

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8SX ファミリ

A/D コンバータ 3 ユニット同時使用による高速サンプリング

要旨

A/D コンバータを 3 ユニット同時に使用して、高速サンプリング A/D 変換を行ないます。A/D 変換データは、DMAC により内蔵 RAM へ転送します。

動作確認デバイス

H8SX/1648F

目次

1. 仕様	2
2. 適用条件	2
3. 使用機能説明	3
4. 動作説明	13
5. ソフトウェア説明	18
6. 参照ドキュメントに関する記述 (注意事項)	39

1. 仕様

A/D コンバータを 3 ユニット同時に使用して、サンプリングを高速化します。

- 図 1 に本例の構成を示します。
- A/D コンバータは 3 ユニットを使用し、各ユニットの A/D 変換開始タイミングを制御することで、A/D 変換のサンプリング周期を 1 ユニット使用時 ($P\phi = 25\text{MHz}$ 時, $2.56\mu\text{s}$ 間隔) と比べて 1/3 ($P\phi = 25\text{MHz}$ 時, $0.84 \sim 0.86\mu\text{s}$ 間隔) にします。*
- A/D コンバータは、各ユニット 4 チャンネルをスキャンモードで動作し、3 ユニット合計 12 チャンネルを使用します。
- A/D 変換の開始タイミングは、ソフトウェアで制御します。
- A/D 変換結果は、DMAC 処理で内蔵 RAM へ転送します。
- アナログ信号は、AN0 ~ AN11 の 12 端子へ同時に入力します。

【注】 * 本例の高速サンプリング A/D 変換は、等間隔のサンプリング周期を保証するものではありません。

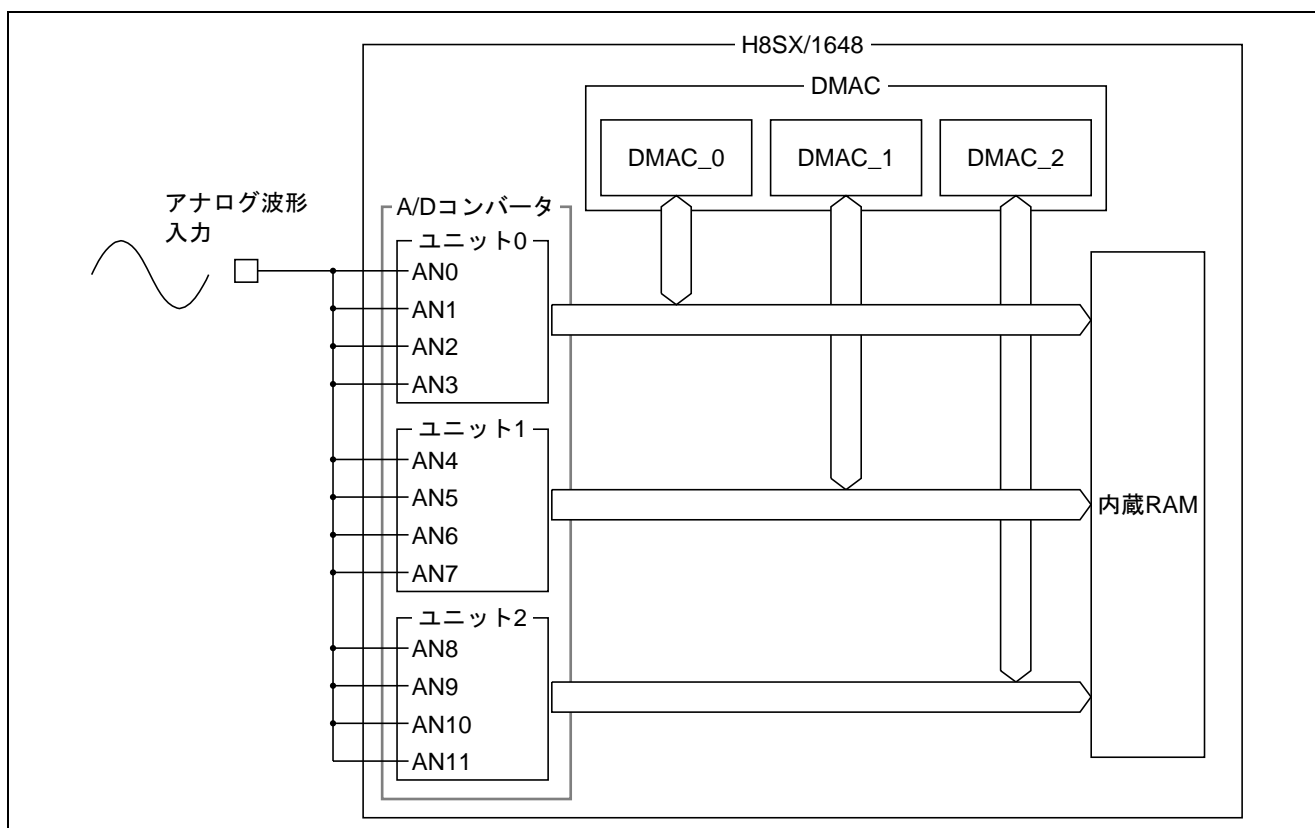


図 1 A/D コンバータの高速サンプリング構成

2. 適用条件

表 1 適用条件

項目	内容
動作周波数	入力クロック: 12.5MHz システムクロック ($I\phi$): 50MHz (入力クロックの 4 通倍) 周辺モジュールクロック ($P\phi$): 25MHz (入力クロックの 2 通倍) 外部バスクロック ($B\phi$): 50MHz (入力クロックの 4 通倍)
動作モード	モード 7 (MD2 = 1, MD1 = 1, MD0 = 1)

3. 使用機能説明

3.1 A/D コンバータ

3.1.1 A/D コンバータの基本機能

図2～図4にA/Dコンバータユニット0(AD_0)～A/Dコンバータユニット2(AD_2)のブロック図を示します。以下に本例で使用するA/Dコンバータの機能を示します。

- 4チャンネルの連続A/D変換(スキャンモード)
- A/D変換終了割り込み(ADI)

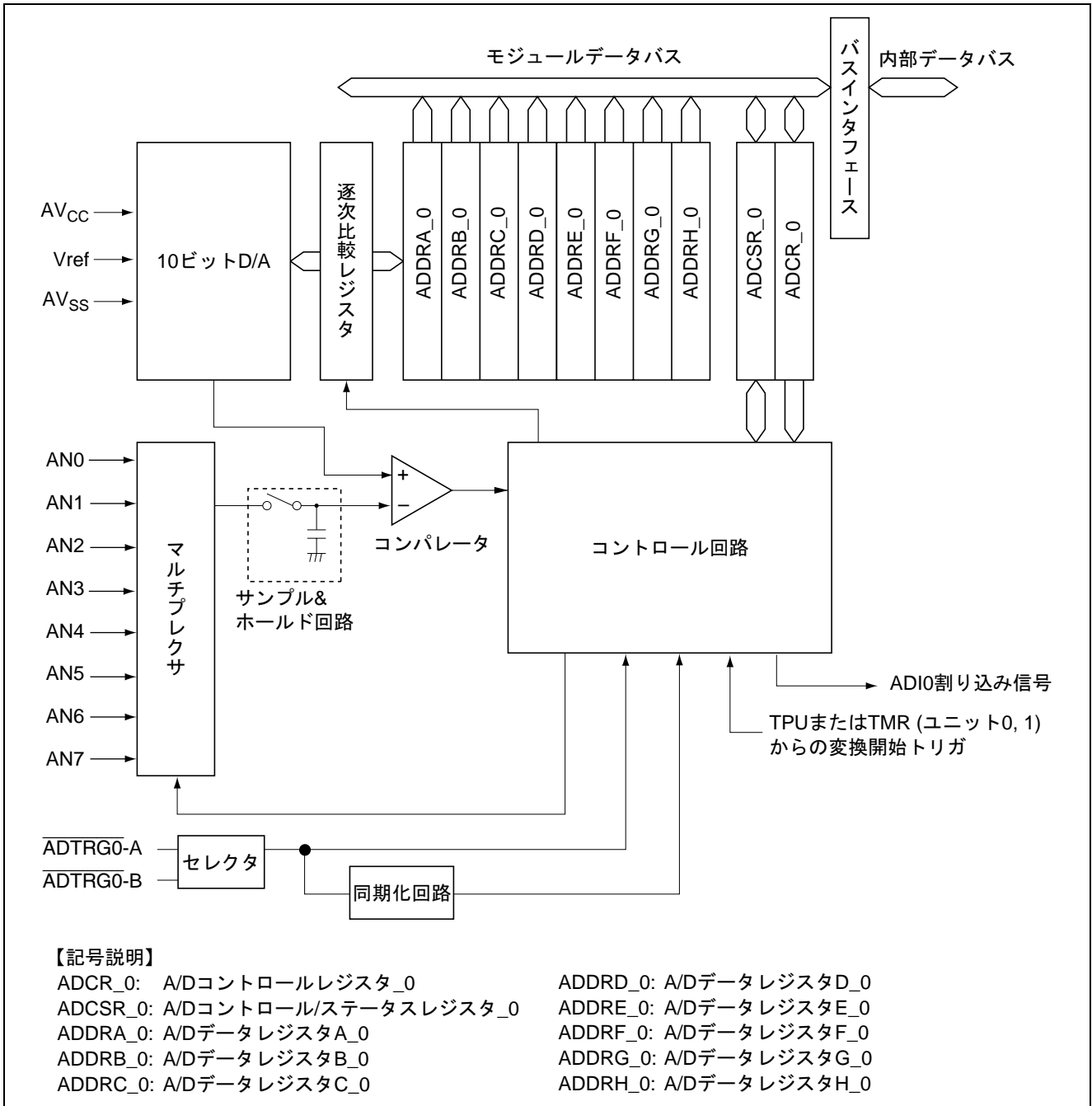


図2 A/Dコンバータ(ユニット0/AD_0)のブロック図

以下に A/D コンバータ (ユニット 0/AD_0) のブロック図について説明します。

- A/D コントロールレジスタ_0 (ADCR_0)
ADCR は、外部トリガによる A/D 変換開始を許可します。
- A/D コントロール/ステータスレジスタ_0 (ADCSR_0)
ADCSR は、A/D 変換動作を制御します。
- A/D データレジスタ A_0 (ADDRA_0)
- A/D データレジスタ B_0 (ADDRB_0)
- A/D データレジスタ C_0 (ADDRC_0)
- A/D データレジスタ D_0 (ADDRD_0)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

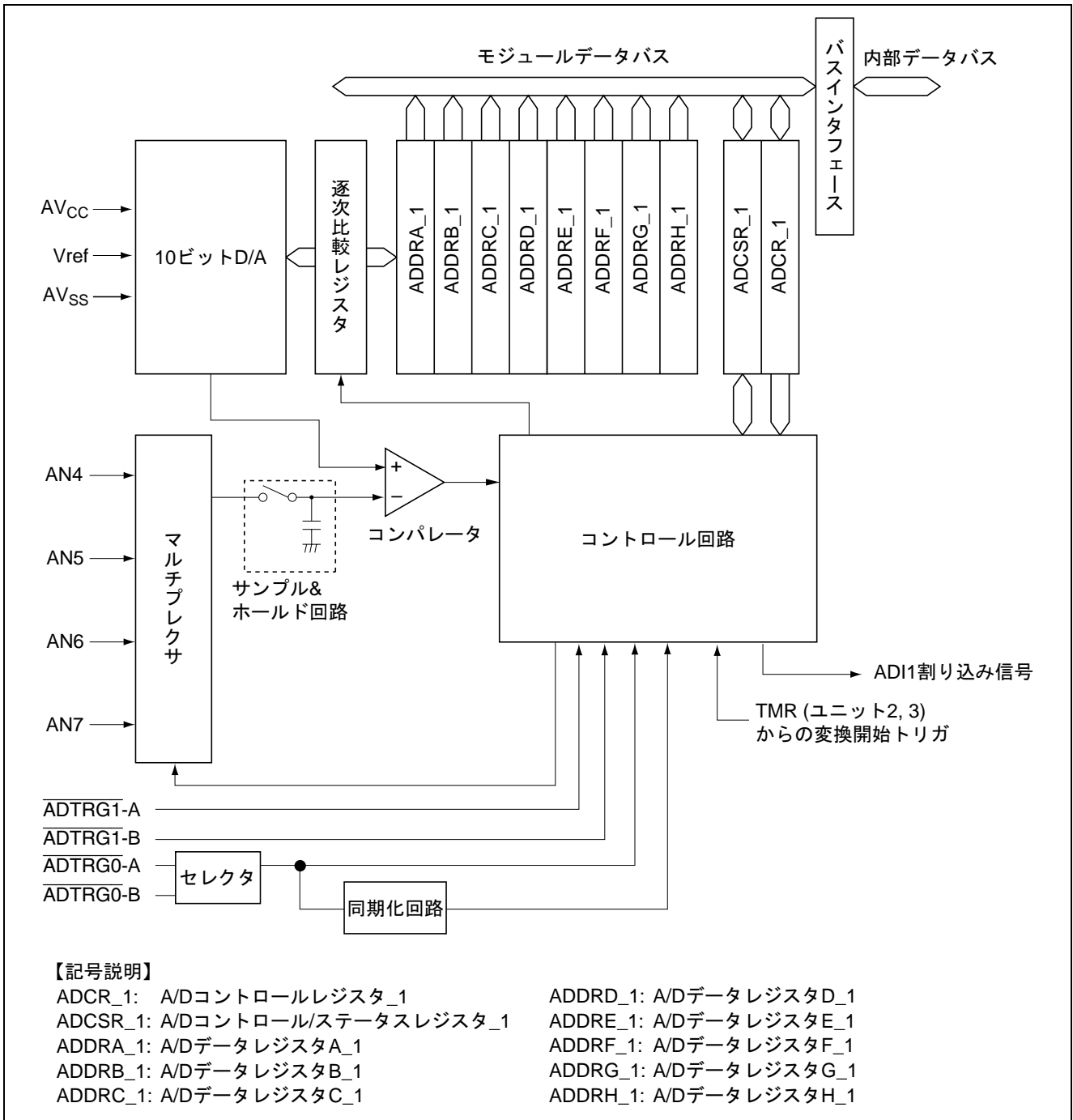


図3 A/D コンバータ (ユニット 1/AD_1) のブロック図

以下に A/D コンバータ (ユニット 1/AD_1) のブロック図について説明します。

- A/D コントロールレジスタ_1 (ADCR_1)
ADCR は、外部トリガによる A/D 変換開始を許可します。
- A/D コントロール/ステータスレジスタ_1 (ADCSR_1)
ADCSR は、A/D 変換動作を制御します。
- A/D データレジスタ E_1 (ADDRE_1)
- A/D データレジスタ F_1 (ADDRF_1)
- A/D データレジスタ G_1 (ADDRG_1)
- A/D データレジスタ H_1 (ADDRH_1)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

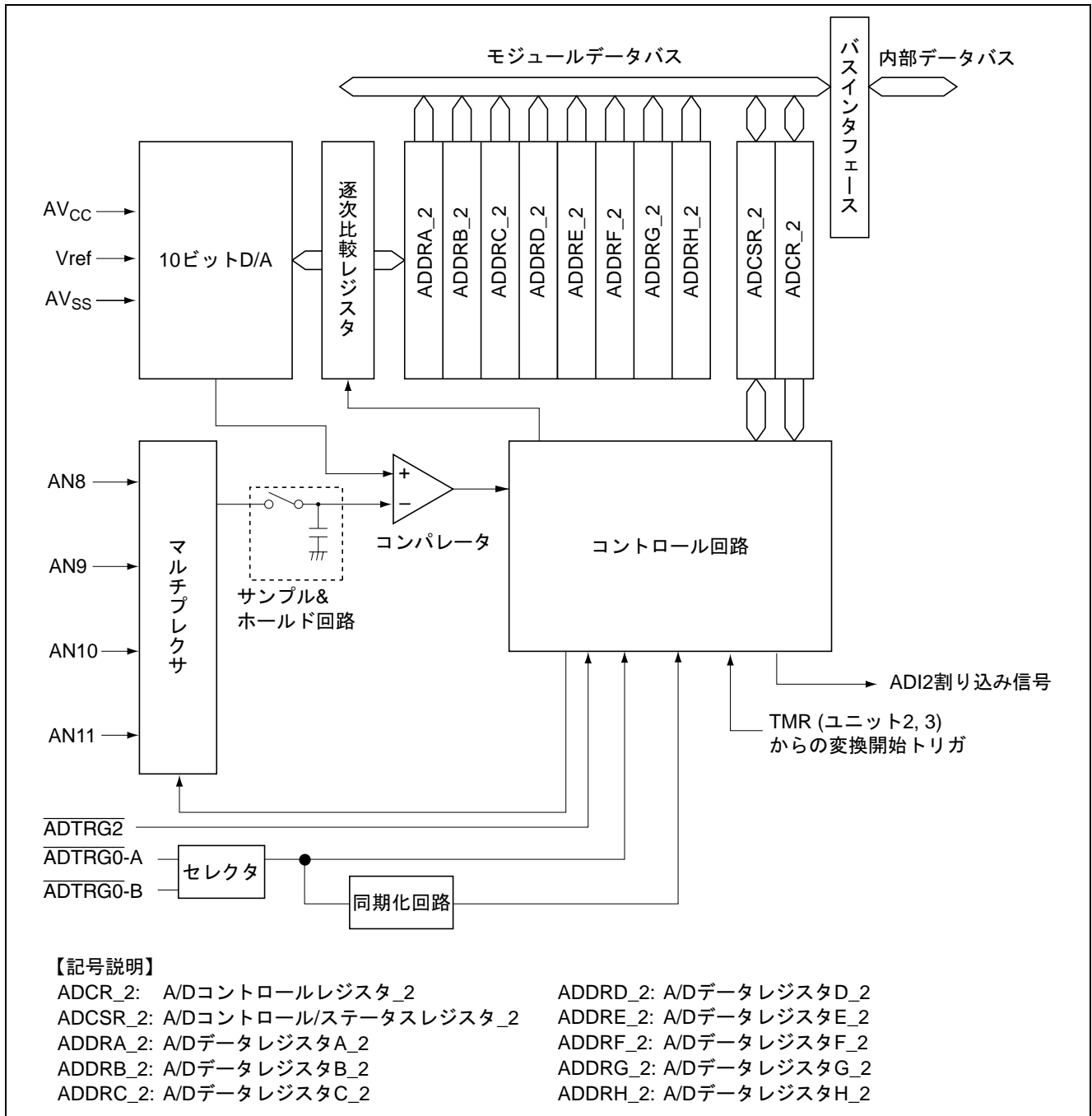


図 4 A/D コンバータ (ユニット 2/AD_2) のブロック図

以下に A/D コンバータ (ユニット 2/AD_2) のブロック図について説明します。

- A/D コントロールレジスタ_2 (ADCR_2)
ADCR は、外部トリガによる A/D 変換開始を許可します。
- A/D コントロール/ステータスレジスタ_2 (ADCSR_2)
ADCSR は、A/D 変換動作を制御します。
- A/D データレジスタ A_2 (ADDRA_2)
- A/D データレジスタ B_2 (ADDRB_2)
- A/D データレジスタ C_2 (ADDRC_2)
- A/D データレジスタ D_2 (ADDRD_2)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

3.1.2 A/D 変換時間の設定

A/D コンバータには、サンプル&ホールド回路が内蔵されています。A/D コンバータは、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_D) 経過後、入力サンプリングを行ない、その後 A/D 変換を開始します。A/D 変換のタイミングを図 5 に示します。また、A/D 変換時間を表 2、表 3 に示します。

A/D 変換時間 (t_{CONV}) は、図 5 に示すように、 t_D と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 2、表 3 に示す範囲で変化します。

スキャンモードの変換時間は、表 2、表 3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 4 に示す値となります。いずれの場合も、変換時間は A/D 変換特性に示す範囲となるように ADCR の CKS1, CKS0 ビットを設定してください。

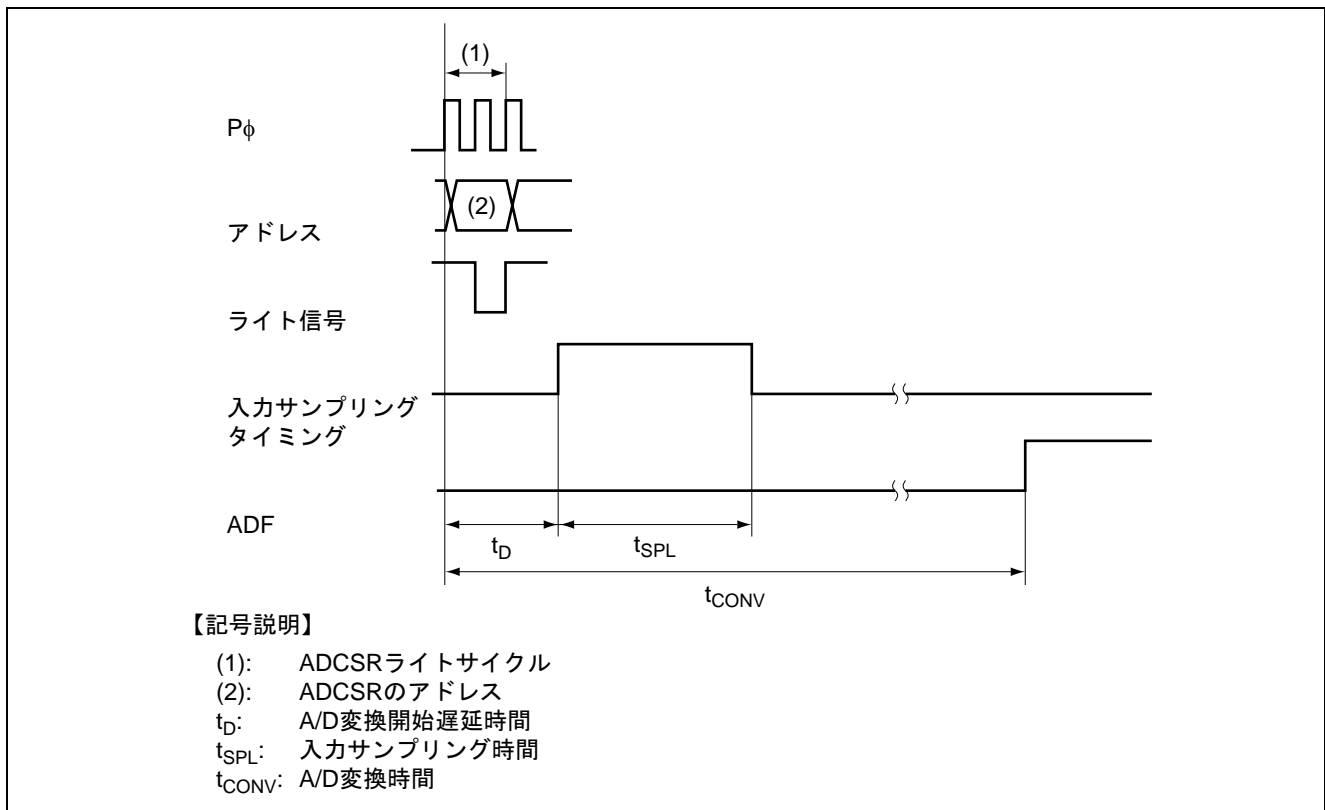


図 5 A/D 変換タイミング

表 2 A/D 変換特性 (EXCKS = 0 時)

項目	記号	CKS1 = 0			CKS1 = 0			CKS1 = 1			CKS1 = 1		
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始タイミング	t_D	18	—	33	10	—	17	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	319	—	—	159	—	—	79	—	—	29	—
A/D 変換時間	t_{CONV}	515	—	530	259	—	266	131	—	134	67	—	68

【注】 表中の数値の単位はステートです。

表 3 A/D 変換特性 (EXCKS = 1 時)

項目	記号	CKS1 = 0			CKS1 = 0			CKS1 = 1			CKS1 = 1		
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始タイミング	t_D	3	—	10	3	—	6	3	—	5	3	—	4
入力サンプリング時間	t_{SPL}	—	120	—	—	60	—	—	30	—	—	15	—
A/D 変換時間	t_{CONV}	325	—	332	165	—	168	85	—	87	45	—	46

【注】 表中の数値の単位はステートです。

表 4 A/D 変換時間 (スキャンモード)

EXCKS*	CKS1	CKS0	変換時間 (ステート)
0	0	0	512 (固定)
		1	256 (固定)
	1	0	128 (固定)
		1	64 (固定)
1	0	0	320 (固定)
		1	160 (固定)
	1	0	80 (固定)
		1	40 (固定)

【注】 * EXCKS ビットはユニット 1, 2 のみ設定可能

3.1.3 アナログ入力チャンネルと A/D データレジスタ (ADDR) の対応

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。ADCR の SCANE, SCANS および ADCSR の CH3~0 の設定により、アナログ入力チャンネルと ADDR の対応が異なります。表 5 に各ユニットを 4 チャンネルスキャンモードに設定した場合のアナログ入力チャンネルと ADDR の対応表を示します。

表 5 アナログ入力チャンネルと A/D データレジスタの対応*

A/D 変換ユニット	アナログ入力チャンネル	A/D データレジスタ
ユニット 0	AN0	ADDRA_0
	AN1	ADDRB_0
	AN2	ADDRC_0
	AN3	ADDRD_0
ユニット 1	AN4	ADDRE_1
	AN5	ADDRF_1
	AN6	ADDRG_1
	AN7	ADDRH_1
ユニット 2	AN8	ADDRA_2
	AN9	ADDRB_2
	AN10	ADDRC_2
	AN11	ADDRD_2

【注】 * A/D コンバータ設定条件

ADCR_0, ADCR_1, ADCR_2 の SCANE = 1, SCANS = 0

ADCSR_0 の CH3~0 = B'0011

ADCSR_1 の CH3~0 = B'0111

ADCSR_2 の CH3~0 = B'1011

3.2 DMAC 機能

図 6 に DMAC のブロック図を示します。

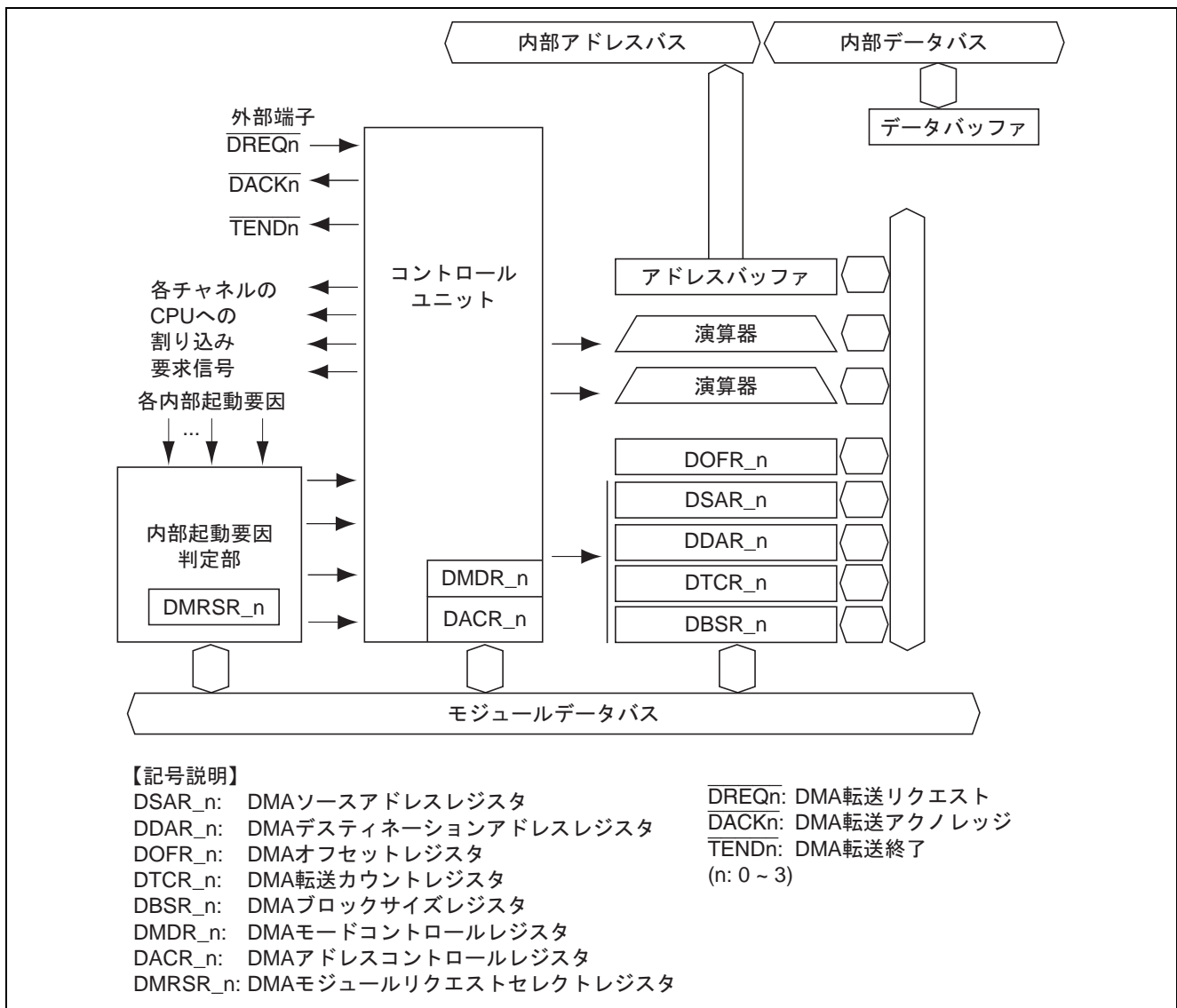


図 6 DMAC のブロック図

以下に DMAC のブロック図について説明します。

- DMA ソースアドレスレジスタ (DSAR_n)
DSAR は、転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行なわれるたびに次の転送元アドレスに更新されます。
- DMA デスティネーションアドレスレジスタ (DDAR_n)
DDAR は、転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行なわれるたびに次の転送先アドレスに更新されます。
- DMA オフセットレジスタ (DOFR_n)
DOFR は、ソースアドレス、デスティネーションアドレスの更新に、オフセット加算を選択したときのオフセット値を設定する 32 ビットのリード/ライト可能なレジスタです。
- DMA 転送カウンタレジスタ (DTCR_n)
DTCR は、転送するデータのサイズ (総転送サイズ) を設定するための 32 ビットのリード/ライト可能なレジスタです。1 データ転送ごとに、転送したデータアクセスサイズに応じた値がデクリメントされます。
- DMA ブロックサイズレジスタ (DBSR_n)
DBSR は、リピートサイズ、ブロックサイズを設定します。DBSR は、リピート転送モード、ブロック転送モードのときに有効となり、ノーマル転送モードのときには無効です。
- DMA モードコントロールレジスタ (DMDR_n)
DMDR は、DMAC の動作を制御します。
- DMA アドレスコントロールレジスタ (DACR_n)
DACR は、動作モード、転送方法などを設定します。
- DMA モジュールリクエストセレクトレジスタ (DMRSR_n)
DMRSR は、内蔵モジュール割り込み要因を指定する 8 ビットのリード/ライト可能な 8 ビットのレジスタです。

4. 動作説明

4.1 高速サンプリング A/D 変換タイミング概要

図 7 に A/D コンバータ 1 ユニット使用時のタイミング, 図 8 に A/D コンバータ 3 ユニット同時使用時のタイミングを示します。A/D コンバータ 1 ユニット使用時と比べて A/D コンバータ 3 ユニット同時使用時は, サンプリング周期を 1/3 とする高速サンプリングが可能です。

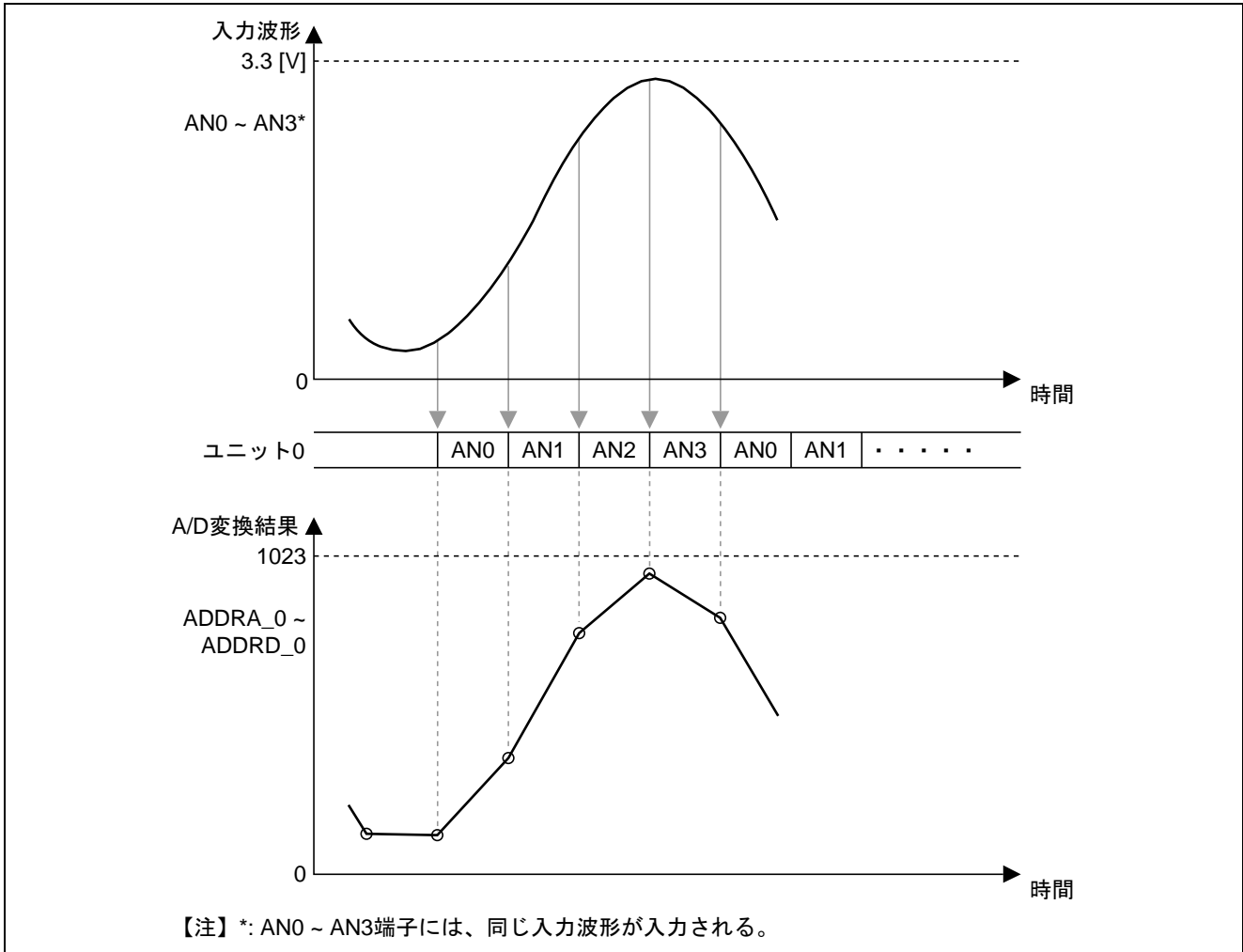


図 7 1 ユニット使用時のサンプリング例

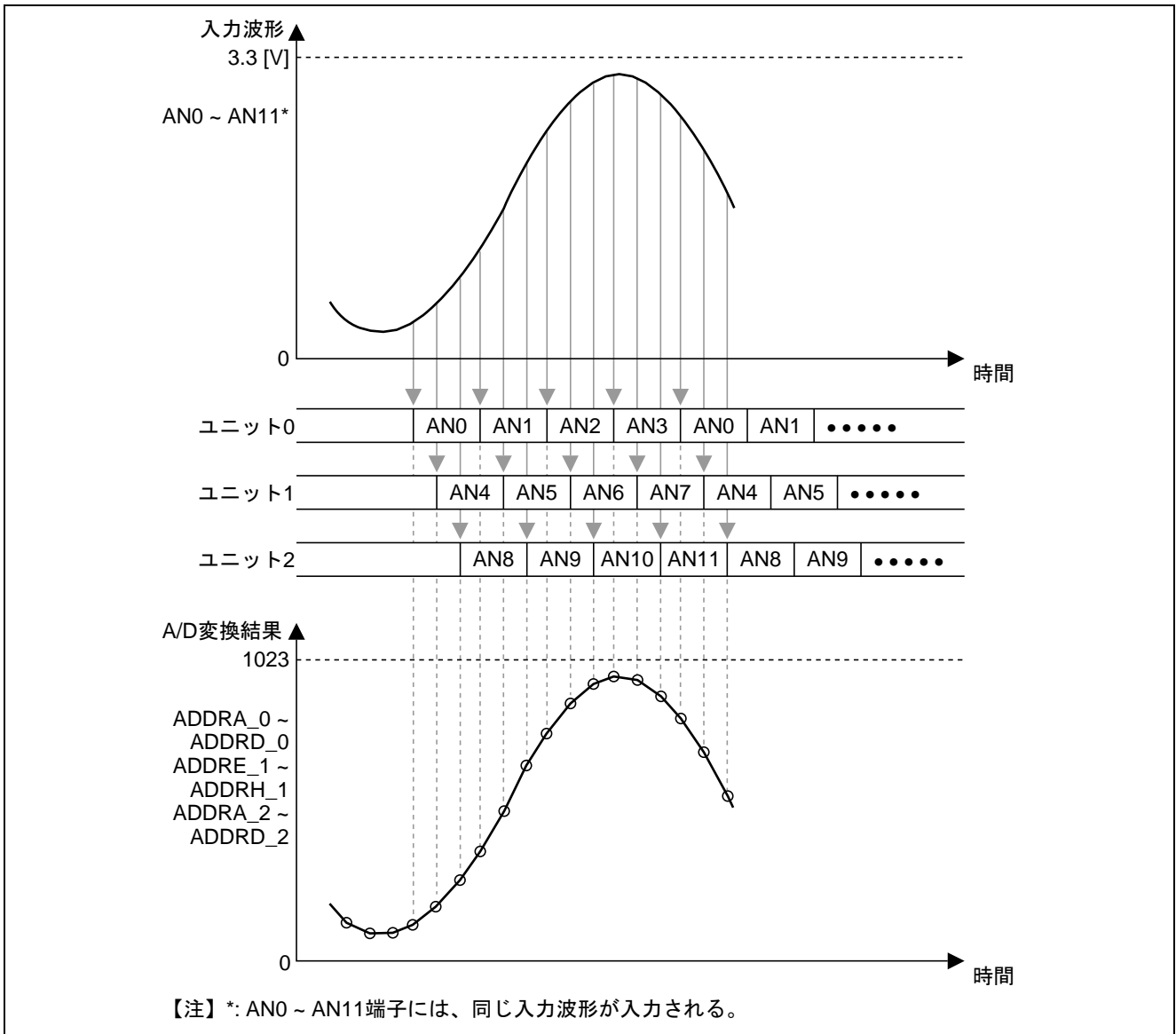


図 8 3 ユニット同時使用時のサンプリング例

4.2 A/D 変換時間

本例では $P\phi = 25\text{MHz}$ のとき $P\phi 1$ ステート = $0.04\mu\text{s}$, $EXCKS = 0$, $CKS1 = 1$, $CKS0 = 1$ の設定にしています。この場合 A/D 変換時間は以下ようになります。(EXCKS ビットはユニット 1, 2 のみ設定可能。)

1 回目の変換時間 (min): $67 \text{ ステート} \times 0.04\mu\text{s} = 2.68\mu\text{s}$
(max): $68 \text{ ステート} \times 0.04\mu\text{s} = 2.72\mu\text{s}$
2 回目以降の変換時間: $64 \text{ ステート} \times 0.04\mu\text{s} = 2.56\mu\text{s}$
(表 2 ~ 表 4 参照)

このように 1 回目の変換時間は変化するため、2 回目以降の変換時間を基準に検討します。

高速サンプリングを実現するためには 3 ユニートを同時に動作し、かつサンプリング周期を均等にする必要があります。

2 回目以降の A/D 変換時間は、 $2.56\mu\text{s}$ であるため

各ユニットの A/D 起動間隔: $2.56\mu\text{s} / 3 \approx 0.853\mu\text{s}$

となります。

ソフトウェア処理時間は、 $I\phi = 50\text{MHz}$ のとき $I\phi 1$ ステート = $0.02\mu\text{s}$ であるため

$I\phi$ ステート数 = $0.853\mu\text{s} / 0.02\mu\text{s} = 42.65$ ステート

となるので、今回は $I\phi$ ステート数 = 43 ステートとし

各ユニットの A/D 起動間隔: $0.02\mu\text{s} \times 43 \text{ ステート} = 0.86\mu\text{s}$

とします。

したがって、各ユニット間の A/D 変換間隔は下記のようにします。

ユニット 0 とユニット 1 の A/D 変換間隔: $0.86\mu\text{s}^*$

ユニット 1 とユニット 2 の A/D 変換間隔: $0.86\mu\text{s}^*$

ユニット 2 とユニット 0 の A/D 変換間隔: $0.84\mu\text{s}^*$ ($2.56\mu\text{s} - 0.86\mu\text{s} - 0.86\mu\text{s} = 0.84\mu\text{s}$)

【注】 * 本例のサンプリング周期は等間隔になりません。

4.3 A/D コンバータ 3 ユニット同時使用による高速サンプリングの動作タイミング

図 9 に A/D コンバータ 3 ユニット同時使用による高速サンプリングの動作タイミングを示します。表 6 にハードウェアおよびソフトウェア処理の内容を示します。

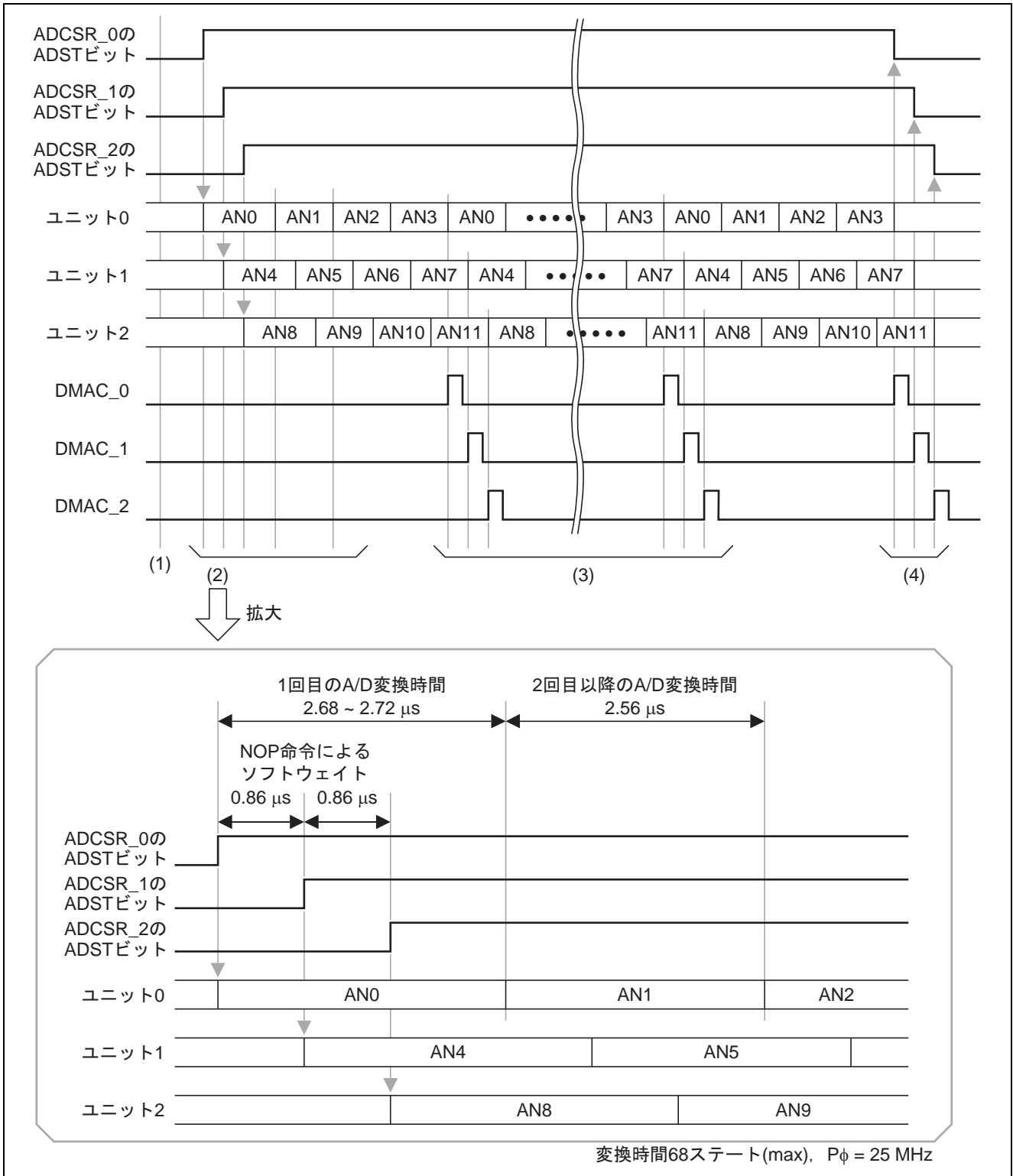


図 9 A/D コンバータ 3 ユニット同時使用による高速サンプリングの動作タイミング

表 6 処理内容

No.	ハードウェア処理	ソフトウェア処理
(1)	パワーオンリセット	初期設定*
(2)	処理なし	NOP 命令により A/D 変換開始タイミングを調整し, 0.86 μ s 間隔で A/D_0, 1, 2 を順次起動する。
(3)	DMAC_0~2 転送処理 (a) A/D コンバータの ADI0~2 割り込みにより DMAC_0~2 を起動し, ADDR から内蔵 RAM へ A/D 変換データを転送する。	処理なし
(4)	DMAC_0~2 転送処理 (a) A/D コンバータの ADI0~2 割り込みにより DMAC_0~2 を起動し, ADDR から内蔵 RAM へ A/D 変換データを転送する。 (b) DMAC_0~2 の転送終了	DMAC_0~2 転送終了割り込み処理 (a) DMAC_0~2 転送終了割り込み要求を禁止 (b) ADCSR_0~2 の ADST を 0 クリアし A/D 変換停止 (c) A/D 変換終了割り込み禁止

- 【注】 * 初期設定
- ・ DMAC_0~2 の設定
 - (a) DMAC_0~2 起動要因を, A/D_0~2 変換終了割り込みに設定。
 - (b) ソースアドレス: A/D データレジスタの先頭アドレス。
 - (c) デスティネーションアドレス: 内蔵 RAM 上の転送先先頭アドレス。
 - (d) ブロック転送モード: ブロックサイズ 4 ワード。
 - (e) オフセット転送: オフセット値 6 バイト (3 ワード)。
 - (f) DMDR の DTE ビット = 1 として, DMAC 転送動作を許可にする。
 - ・ A/D コンバータの設定
 - (a) A/D 変換終了割り込み要求を許可。
 - (b) 4 チャンネルの連続スキャンモードに設定。
 - (c) A/D 変換時間を 68 ステート (max), ADCLK = $P\phi/1 = 25\text{MHz}$ に設定。
 - (d) A/D 変換停止

5. ソフトウェア説明

5.1 動作環境

表 7 動作環境

項目	内容
開発ツール	High-performance Embedded Workshop Ver4.02.00
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 SERIES C/C++ Compiler Ver6.01.03
コンパイルオプション	-cpu = h8sxa: 24:md, -code = machinecode, -optimize = 1, -regparam = 3 -speed = (register, shift, struct, expression)

表 8 セクション設定

アドレス	セクション名	説明
H'001000	P	プログラム領域
H'FEE000	B	未初期化データ領域 (RAM 領域)

表 9 割り込み例外処理ベクタテーブル

例外処理要因		ベクタ 番号	ベクタテーブル アドレス	割り込み先関数
リセット		0	H'000000	init
DMAC_0	DMTEND0	128	H'000202	dmtend0_int
DMAC_1	DMTEND1	129	H'000204	dmtend1_int
DMAC_2	DMTEND2	130	H'000206	dmtend2_int

5.2 関数一覧

本例の関数を表 10 に示します。本例の階層構造を図 10 に示します。

表 10 関数一覧

関数名	機能
init	初期化ルーチン モジュールストップ解除, クロック設定, main 関数のコール。
main	メインルーチン A/D 各ユニットの A/D 変換開始タイミングをソフトウェアで制御します。 また, A/D 変換終了割り込みによる DMAC 起動で A/D データを内蔵 RAM へ転送する設定にします。
dmtend0_int	DMAC_0 転送終了割り込み処理 A/D 変換データを内蔵 RAM へ指定回数転送したときに割り込み処理となり, DMAC_0 転送終了割り込み要求禁止, A/D ユニット 0 変換禁止, ADI0 割り込み禁止に設定します。
dmtend1_int	DMAC_1 転送終了割り込み処理 A/D 変換データを内蔵 RAM へ指定回数転送したときに割り込み処理となり, DMAC_1 転送終了割り込み要求禁止, A/D ユニット 1 変換禁止, ADI1 割り込み禁止に設定します。
dmtend2_int	DMAC_2 転送終了割り込み処理 A/D 変換データを内蔵 RAM へ指定回数転送したときに割り込み処理となり, DMAC_2 転送終了割り込み要求禁止, A/D ユニット 2 変換禁止, ADI2 割り込み禁止に設定します。

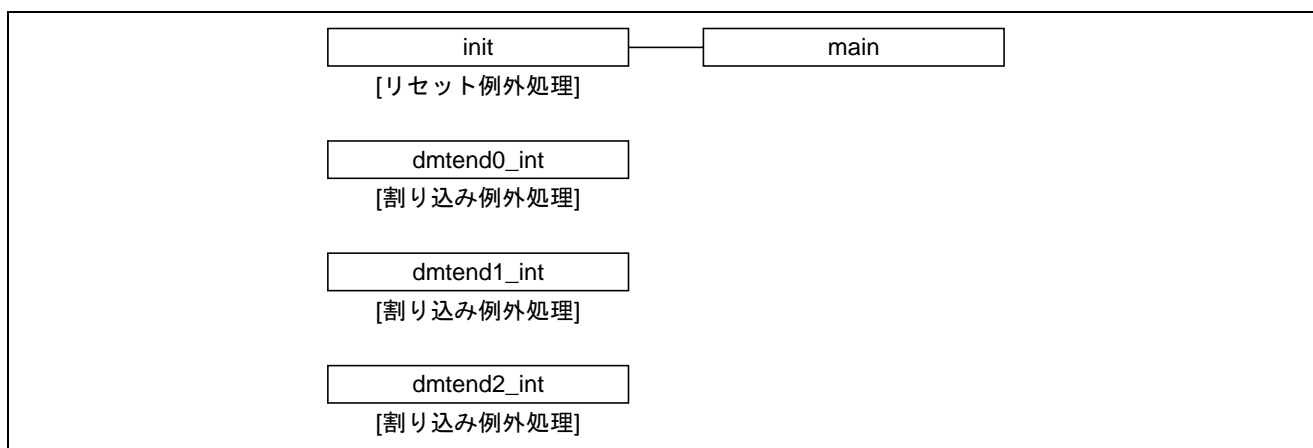


図 10 階層構造

5.3 記号定数

表 11 記号定数

定数名	設定値	内容
UNIT	3	A/D 変換するユニット数
SIZE	2	ADDR レジスタのデータサイズ: 16 ビット = 2 バイト
CNT	6	A/D 変換スキャンモード回数
SCAN	4	スキャンモードの A/D チャンネル数

5.4 使用 RAM

表 12 使用 RAM

型	変数名	内容	使用関数
unsigned short	scn[SCAN*CNT][UNIT]	A/D 変換結果転送領域 SCAN × CNT × UNIT = 4 × 6 × 3 = 72 ワード = 144 バイト	main

5.5 関数説明

5.5.1 init 関数

(1) 機能概要

初期化ルーチン。(モジュールストップ解除, クロック設定, main 関数のコール)

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお, 設定値は本例において使用している値であり, 初期値とは異なります。

● モードコントロールレジスタ (MDCR) ビット数: 16 アドレス: H'FFFDC0

ビット	ビット名	設定値	R/W	説明
11	MDS3	不定*	R	モードセレクト 3~0 モード端子 (MD2~MD0) により設定された動作モードに対応した値を示します (表 13 参照)。MDCR をリードすると, MD2~MD0 端子の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
10	MDS2	不定*	R	
9	MDS1	不定*	R	
8	MDS0	不定*	R	

【注】 * MD2~MD0 端子の設定により決定されます。

表 13 MDS3~MDS0 ビットの値

MCU 動作モード	モード端子			MDCR			
	MD2	MD1	MD0	MDS3	MDS2	MDS1	MDS0
1	0	0	1	1	1	0	1
2	0	1	0	1	1	0	0
3	0	1	1	0	1	0	0
4	1	0	0	0	0	1	0
5	1	0	1	0	0	0	1
6	1	1	0	0	1	0	1
7	1	1	1	0	1	0	0

● システムクロックコントロールレジスタ (SCKCR) ビット数: 16 アドレス: H'FFFDC4

ビット	ビット名	設定値	R/W	説明
10	ICK2	0	R/W	システムクロック (I ϕ) セレクト CPU, DMAC, DTC モジュールとシステムクロックの周波数を選択します。 000: 入力クロック $\times 4$
9	ICK1	0	R/W	
8	ICK0	0	R/W	
6	PCK2	0	R/W	周辺モジュールクロック (P ϕ) セレクト 周辺モジュールクロックの周波数を選択します。 001: 入力クロック $\times 2$
5	PCK1	0	R/W	
4	PCK0	1	R/W	
2	BCK2	0	R/W	外部バスクロック (B ϕ) セレクト 外部バスクロックの周波数を選択します。 000: 入力クロック $\times 4$
1	BCK1	0	R/W	
0	BCK0	0	R/W	

MSTPCRA ,B ,C はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

● モジュールストップコントロールレジスタ A (MSTPCRA) ビット数: 16 アドレス: H'FFFDC8

ビット	ビット名	設定値	R/W	説明
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップモードに設定された上で、CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0: 全モジュールクロックストップモード禁止 1: 全モジュールクロックストップモード許可
13	MSTPA13	0	R/W	DMA コントローラ (DMAC)
12	MSTPA12	1	R/W	データトランスファコントローラ (DTC)
9	MSTPA9	1	R/W	8 ビットタイマ (TMR_3, TMR_2)
8	MSTPA8	1	R/W	8 ビットタイマ (TMR_1, TMR_0)
5	MSTPA5	1	R/W	D/A コンバータ (チャンネル 1, 0)
3	MSTPA3	0	R/W	A/D コンバータ (ユニット 0)
1	MSTPA1	1	R/W	16 ビットタイマパルスユニット (TPU チャンネル 11 ~ 6)
0	MSTPA0	1	R/W	16 ビットタイマパルスユニット (TPU チャンネル 5 ~ 0)

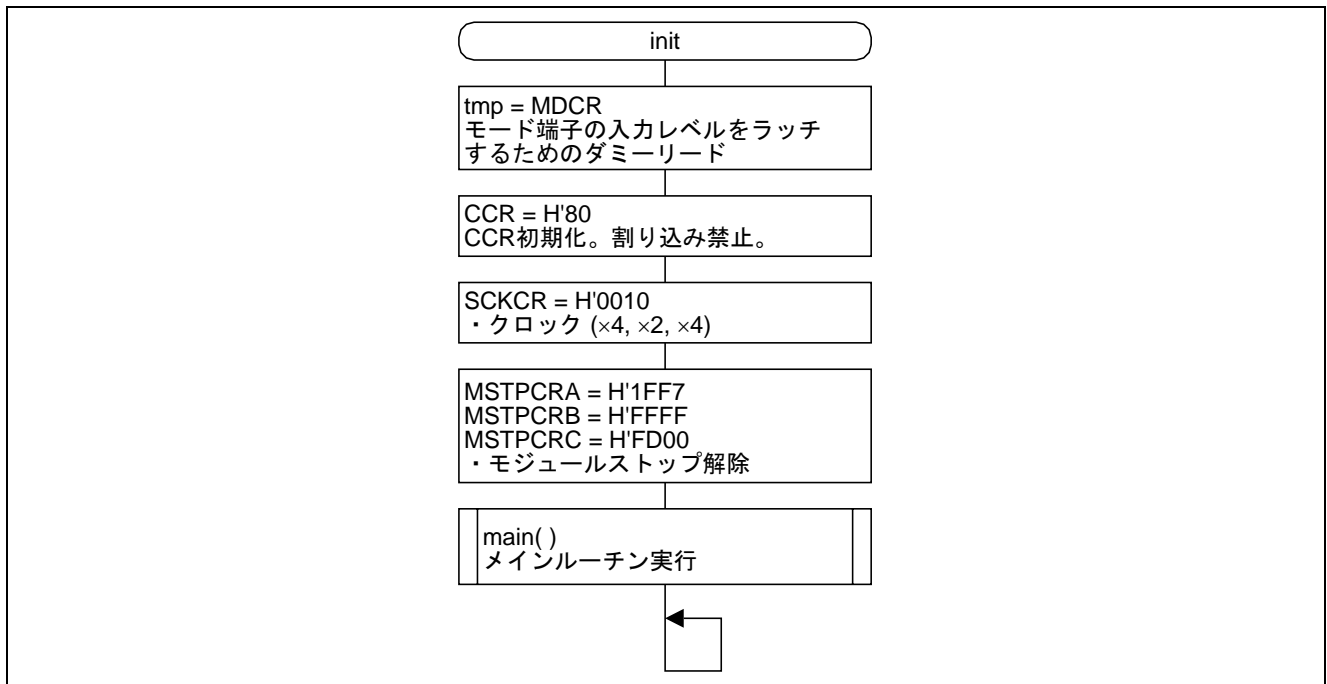
● モジュールストップコントロールレジスタ B (MSTPCRB) ビット数: 16 アドレス: H'FFFDCA

ビット	ビット名	設定値	R/W	説明
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG_0: PO15 ~ PO0)
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
10	MSTPB10	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
9	MSTPB9	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
8	MSTPB8	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
7	MSTPB7	1	R/W	I ² C パスインタフェース_1 (IIC_1)
6	MSTPB6	1	R/W	I ² C パスインタフェース_0 (IIC_0)
5	MSTPB5	1	R/W	ユーザブ레이크コントローラ (UBC)

• モジュールストップコントロールレジスタ C (MSTPCRC) ビット数: 16 アドレス: H'FFFDCC

ビット	ビット名	設定値	R/W	説明
15	MSTPC15	1	R/W	シリアルコミュニケーションインタフェース_5 (SCI_5), (IrDA)
14	MSTPC14	1	R/W	シリアルコミュニケーションインタフェース_6 (SCI_6)
13	MSTPC13	1	R/W	8 ビットタイマ (TMR_4, TMR_5)
12	MSTPC12	1	R/W	8 ビットタイマ (TMR_6, TMR_7)
11	MSTPC11	1	R/W	I ² C バスインタフェース 2_3, 2_2 (IIC2_3/IIC2_2)
10	MSTPC10	1	R/W	CRC 演算器
9	MSTPC9	0	R/W	10 ビット A/D コンバータ (ユニット 2/1)
8	MSTPC8	1	R/W	プログラマブルパルスジェネレータ (PPG_1: PO31 ~ PO16)
7	MSTPC7	0	R/W	内蔵 RAM: 56K バイトの場合: 内蔵 RAM_6 (H'FEE000 ~ H'FEFFFF) 内蔵 RAM: 40K バイトの場合: リザーブビット MSTPC7 と MSTPC6 は常に同じ値を設定してください。
6	MSTPC6	0	R/W	
5	MSTPC5	0	R/W	内蔵 RAM: 56K バイトの場合: 内蔵 RAM_5, 4 (H'FF0000 ~ H'FF3FFF) 内蔵 RAM: 40K バイトの場合: 内蔵 RAM_4 (H'FF2000 ~ H'FF3FFF) MSTPC5 と MSTPC4 は常に同じ値を設定してください。
4	MSTPC4	0	R/W	
3	MSTPC3	0	R/W	内蔵 RAM_3, 2 (H'FF4000 ~ H'FF7FFF)
2	MSTPC2	0	R/W	MSTPC3 と MSTPC2 は常に同じ値を設定してください。
1	MSTPC1	0	R/W	内蔵 RAM_1, 0 (H'FF8000 ~ H'FFBFFF)
0	MSTPC0	0	R/W	MSTPC1 と MSTPC0 は常に同じ値を設定してください。

(5) フローチャート



5.5.2 main 関数

(1) 機能概要

メインルーチン。A/D 各ユニットの A/D 変換開始タイミングをソフトウェアで制御します。また、A/D 変換終了割り込みによる DMAC 起動で A/D データを内蔵 RAM へ転送する設定にします。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。

- | | | |
|------------------------------|----------|----------------|
| ● DMA ソースアドレスレジスタ_0 (DSAR_0) | ビット数: 32 | アドレス: H'FFFC00 |
| 説明: 転送元アドレスを指定する。 | | |
| 設定値: ADDRA_0 レジスタのアドレス | | |

- | | | |
|------------------------------|----------|----------------|
| ● DMA ソースアドレスレジスタ_1 (DSAR_1) | ビット数: 32 | アドレス: H'FFFC20 |
| 説明: 転送元アドレスを指定する。 | | |
| 設定値: ADDRE_1 レジスタのアドレス | | |

- | | | |
|------------------------------|----------|----------------|
| ● DMA ソースアドレスレジスタ_2 (DSAR_2) | ビット数: 32 | アドレス: H'FFFC40 |
| 説明: 転送元アドレスを指定する。 | | |
| 設定値: ADDRA_2 レジスタのアドレス | | |

- DMA デスティネーションアドレスレジスタ_0 (DDAR_0) ビット数: 32 アドレス: H'FFFC04
 説明: 転送先アドレスを指定する。
 設定値: scn[0][0]のアドレス
- DMA デスティネーションアドレスレジスタ_1 (DDAR_1) ビット数: 32 アドレス: H'FFFC24
 説明: 転送先アドレスを指定する。
 設定値: scn[0][1]のアドレス
- DMA デスティネーションアドレスレジスタ_2 (DDAR_2) ビット数: 32 アドレス: H'FFFC44
 説明: 転送先アドレスを指定する。
 設定値: scn[0][2]のアドレス
- DMA 転送カウントレジスタ_0 (DTCR_0) ビット数: 32 アドレス: H'FFFC0C
 説明: 転送サイズを設定
 設定値: $SIZE \times CNT \times SCAN = 2 \times 6 \times 4 = 48$
- DMA 転送カウントレジスタ_1 (DTCR_1) ビット数: 32 アドレス: H'FFFC2C
 説明: 転送サイズを設定
 設定値: $SIZE \times CNT \times SCAN = 2 \times 6 \times 4 = 48$
- DMA 転送カウントレジスタ_2 (DTCR_2) ビット数: 32 アドレス: H'FFFC4C
 説明: 転送サイズを設定
 設定値: $SIZE \times CNT \times SCAN = 2 \times 6 \times 4 = 48$
- DMA オフセットレジスタ_0 (DOFR_0) ビット数: 32 アドレス: H'FFFC08
- DMA オフセットレジスタ_1 (DOFR_1) ビット数: 32 アドレス: H'FFFC28
- DMA オフセットレジスタ_2 (DOFR_2) ビット数: 32 アドレス: H'FFFC48
 説明: オフセット値を設定
 設定値: $SIZE \times UNIT = 2 \times 3 = 6$
- DMA ブロックサイズレジスタ_0 (DBSR_0) ビット数: 32 アドレス: H'FFFC10
- DMA ブロックサイズレジスタ_1 (DBSR_1) ビット数: 32 アドレス: H'FFFC30
- DMA ブロックサイズレジスタ_2 (DBSR_2) ビット数: 32 アドレス: H'FFFC50
 説明: ブロック転送モードのとき、ブロックサイズを設定。データアクセスサイズがワードサイズ、
 DBSR_1 = H'00040004 のとき、ブロックサイズは 4 ワード (8 バイト)。
 設定値: $SCAN \times H'10000 + SCAN = 4 \times H'10000 + 4 = H'00040004$

- DMA モードコントロールレジスタ_0 (DMDR_0) ビット数: 32 アドレス: H'FFFC14
- DMA モードコントロールレジスタ_1 (DMDR_1) ビット数: 32 アドレス: H'FFFC34
- DMA モードコントロールレジスタ_2 (DMDR_2) ビット数: 32 アドレス: H'FFFC54

ビット	ビット名	設定値	R/W	説明
31	DTE	0/1	R/W	データトランスファイネーブル 0: データ転送を禁止 1: データ転送を許可
16	DTIF	不定	R/(W)*	転送カウンタによる転送終了割り込み要求が発生したことを示すフラグです。 0: 転送カウンタによる転送終了割り込み要求なし 1: 転送カウンタによる転送終了割り込み要求発生 [クリア条件] • DTE ビットに 1 をライトしたとき • DTIF = 1 の状態をリードした後, 0 をライトしたとき [セット条件] • DTCR が 0 になり転送が終了したとき
15 14	DTSZ1 DTSZ0	0 1	R/W R/W	データアクセスサイズ 1, 0 転送するデータアクセスサイズを選択します。 01: ワードサイズ (16 ビット)
13 12	MDS1 MDS0	0 1	R/W R/W	転送モードセレクト 1, 0 01: ブロック転送モード
8	DTIE	1	R/W	データトランスファインタラプトイネーブル 転送カウンタによる転送終了割り込み要求を許可または禁止します。このビットを 1 にセットすると, DTIF ビットが 1 にセットされたとき, CPU または DTC に転送終了割り込み要求を発生します。転送終了割り込み要求は, このビットを 0 にクリアするか, DTIF ビットを 0 にクリアすると解除されます。 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可
7 6	DTF1 DTF0	1 0	R/W R/W	データトランスファファクタ 1, 0 DMAC を起動する要因を選択します。内蔵モジュール割り込みのときは, DMRSR で割り込み要因を選択します。 10: 内蔵モジュール割り込み
5	DTA	1	R/W	データトランスファアクノリッジ 内蔵モジュール割り込みによる DMA 転送時に有効となります。DMRSR によって選択されている要因フラグのクリアを許可または禁止します。 0: 内蔵モジュール割り込み要因による DMA 転送時のクリアを禁止 内蔵モジュール割り込み要因は, DMA 転送によりクリアされませんので, CPU または DTC 転送でクリアしてください。 1: 内蔵モジュール割り込み要因による DMA 転送時のクリアを許可 内蔵モジュール割り込み要因は, DMA 転送によりクリアされ, CPU または DTC に割り込みを要求しません。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

- DMA アドレスコントロールレジスタ_0 (DACR_0) ビット数: 32 アドレス: H'FFFC18
- DMA アドレスコントロールレジスタ_1 (DACR_1) ビット数: 32 アドレス: H'FFFC38
- DMA アドレスコントロールレジスタ_2 (DACR_2) ビット数: 32 アドレス: H'FFFC58

ビット	ビット名	設定値	R/W	説明
31	AMS	0	R/W	アドレスモードセレクト 0: デュアルアドレスモード 1: シングルアドレスモード
25	ARS1	0	R/W	エリアセレクト 1, 0 00: ブロックエリア/リピートエリアはソースアドレス側
24	ARS0	0	R/W	
21	SAT1	1	R/W	ソースアドレス更新モード 1, 0 10: ソースアドレスは増加
20	SAT0	0	R/W	
17	DAT1	0	R/W	デスティネーションアドレス更新モード 1, 0 01: デスティネーションアドレスはオフセットを加算
16	DAT0	1	R/W	

- DMA モジュールリクエストセレクトレジスタ_0 (DMRSR_0) ビット数: 8 アドレス: H'FFFD20
説明: DMAC 起動要因の内蔵モジュール割り込み要因を設定する。
設定値: 86 (ADI0)
- DMA モジュールリクエストセレクトレジスタ_1 (DMRSR_1) ビット数: 8 アドレス: H'FFFD21
説明: DMAC 起動要因の内蔵モジュール割り込み要因を設定する。
設定値: 237 (ADI1)
- DMA モジュールリクエストセレクトレジスタ_2 (DMRSR_2) ビット数: 8 アドレス: H'FFFD22
説明: DMAC 起動要因の内蔵モジュール割り込み要因を設定する。
設定値: 232 (ADI2)

• A/D コントロール/ステータスレジスタ_0 (ADCSR_0) ビット数: 8 アドレス: H'FFFA0

ビット	ビット名	設定値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ 0: A/D 変換中 1: A/D 変換終了
6	ADIE	1	R/W	A/D インタラプトイネーブル 0: ADI 割り込み禁止 1: ADI 割り込み許可
5	ADST	0/1	R/W	A/D スタート 0: A/D 変換停止 1: A/D 変換開始
3	CH3	0	R/W	チャンネルセレクト ADCR の SCANE , SCANS ビット = B'10 のとき 0011: アナログ入力 AN0 ~ AN3
2	CH2	0	R/W	
1	CH1	1	R/W	
0	CH0	1	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• A/D コントロールレジスタ_0 (ADCR_0) ビット数: 8 アドレス: H'FFFA1

ビット	ビット名	設定値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1, 0 EXTRGS と共に設定します。 TRGS1, 0 = B'00, EXTRGS = 0: 外部トリガによる A/D 変換開始を禁止
6	TRGS0	0	R/W	
5	SCANE	1	R/W	スキャンモード 10: スキャンモード。1~4 チャンネルの連続 A/D 変換を行なう。
4	SCANS	0	R/W	
3	CKS1	1	R/W	クロックセレクト 1, 0 11: A/D 変換時間は 68 ステート (max)
2	CKS0	1	R/W	
0	EXTRGS	0	R/W	拡張タイマトリガセレクト 詳細は TRGS1/0 の説明をご参照ください。

• A/D コントロール/ステータスレジスタ_1 (ADCSR_1) ビット数: 8 アドレス: H'FFEEA0

ビット	ビット名	設定値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ 0: A/D 変換中 1: A/D 変換終了
6	ADIE	1	R/W	A/D インタラプトイネーブル 0: ADI 割り込み禁止 1: ADI 割り込み許可
5	ADST	0/1	R/W	A/D スタート 0: A/D 変換停止 1: A/D 変換開始
4	EXCKS	0	R/W	拡張クロックセレクト ADCR の CKS1, 0 と合わせて AD 変換時間の設定を行ないます。詳細は ADCR の説明をご参照ください。EXCKS へのライトは CKS1, 0 と同時に行なってください。
3	CH3	0	R/W	チャンネルセレクト ADCR の SCANE, SCANS ビット = B'10 のとき 0111: アナログ入力は AN4 ~ AN7
2	CH2	1	R/W	
1	CH1	1	R/W	
0	CH0	1	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• A/D コントロールレジスタ_1 (ADCR_1) ビット数: 8 アドレス: H'FFEEA1

ビット	ビット名	設定値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1, 0 EXTRGS と共に設定します。 TRGS1, 0 = B'00, EXTRGS = 0: 外部トリガによる A/D 変換開始を禁止
6	TRGS0	0	R/W	
5	SCANE	1	R/W	スキャンモード 10: スキャンモード。1~4 チャンネルの連続 A/D 変換を行なう。
4	SCANS	0	R/W	
3	CKS1	1	R/W	クロックセレクト 1, 0 CKS1, 0 へのライトは ADCRS の EXCKS と同時に行なってください。 EXCKS = 0, CKS1, 0 = B'11: A/D 変換時間は 68 ステート (max)
2	CKS0	1	R/W	
0	EXTRGS	0	R/W	拡張タイマトリガセレクト 詳細は TRGS1/0 の説明をご参照ください。

• A/D コントロール/ステータスレジスタ_2 (ADCSR_2) ビット数: 8 アドレス: H'FFEAB0

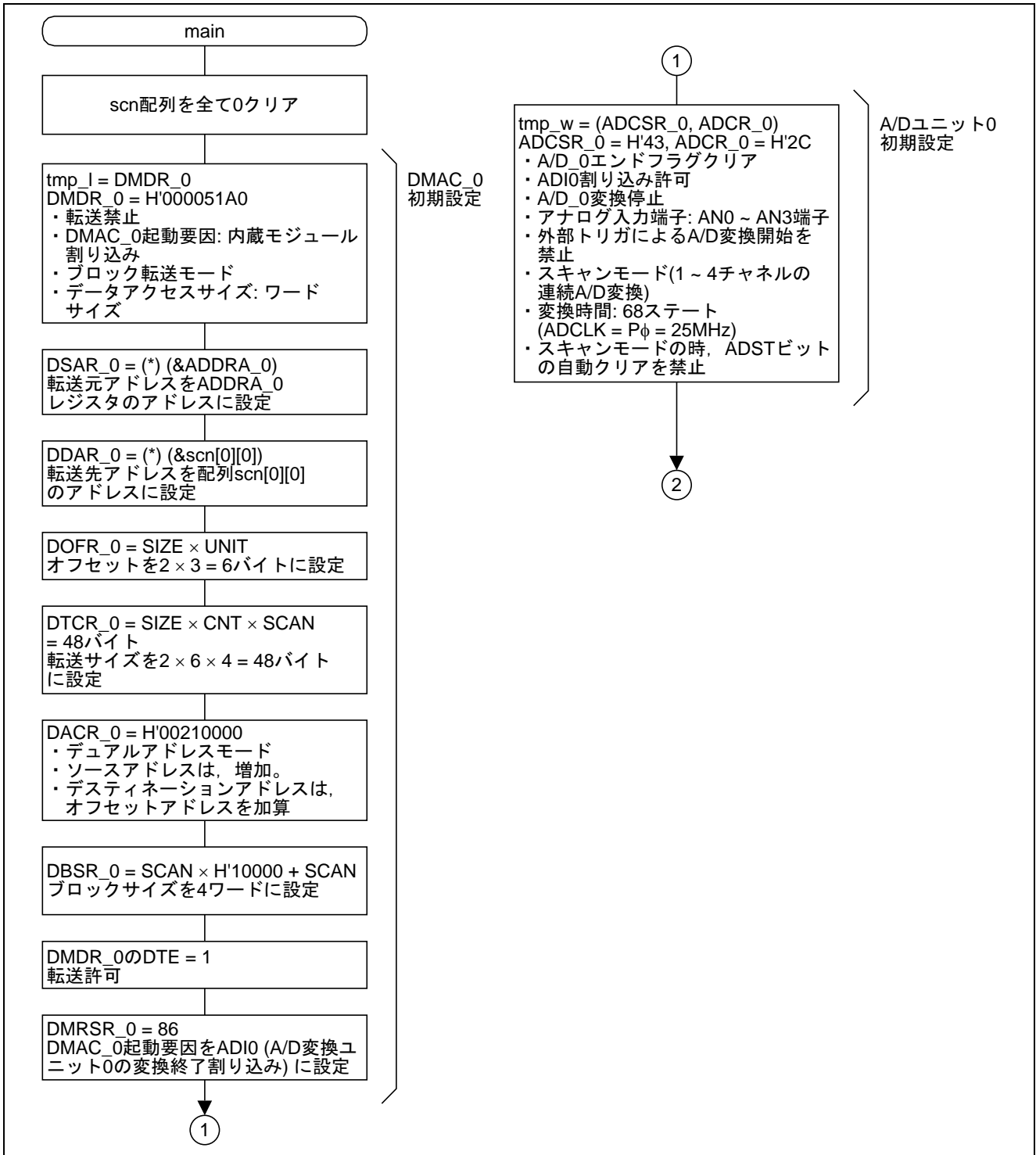
ビット	ビット名	設定値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ 0: A/D 変換中 1: A/D 変換終了
6	ADIE	1	R/W	A/D インタラプトイネーブル 0: ADI 割り込み禁止 1: ADI 割り込み許可
5	ADST	0/1	R/W	A/D スタート 0: A/D 変換停止 1: A/D 変換開始
4	EXCKS	0	R/W	拡張クロックセレクト ADCR の CKS1, 0 と合わせて AD 変換時間の設定を行ないません。詳細は ADCR の説明をご参照ください。EXCKS へのライトは CKS1, 0 と同時に行なってください。
3	CH3	1	R/W	チャンネルセレクト ADCR の SCANE, SCANS ビット = B'10 のとき 1011: アナログ入力 AN8 ~ AN11
2	CH2	0	R/W	
1	CH1	1	R/W	
0	CH0	1	R/W	

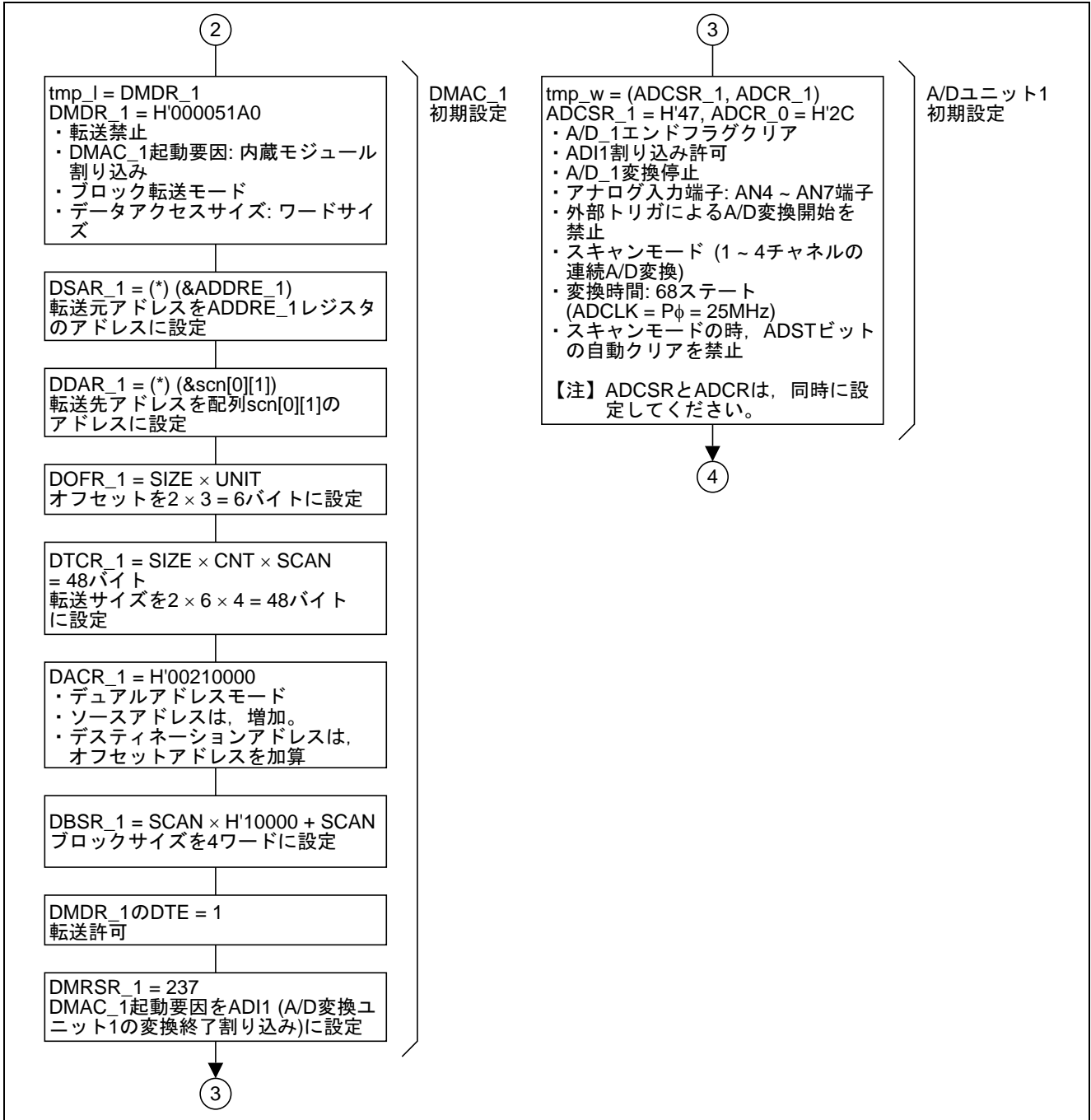
【注】 * フラグをクリアするための 0 ライトのみ可能です。

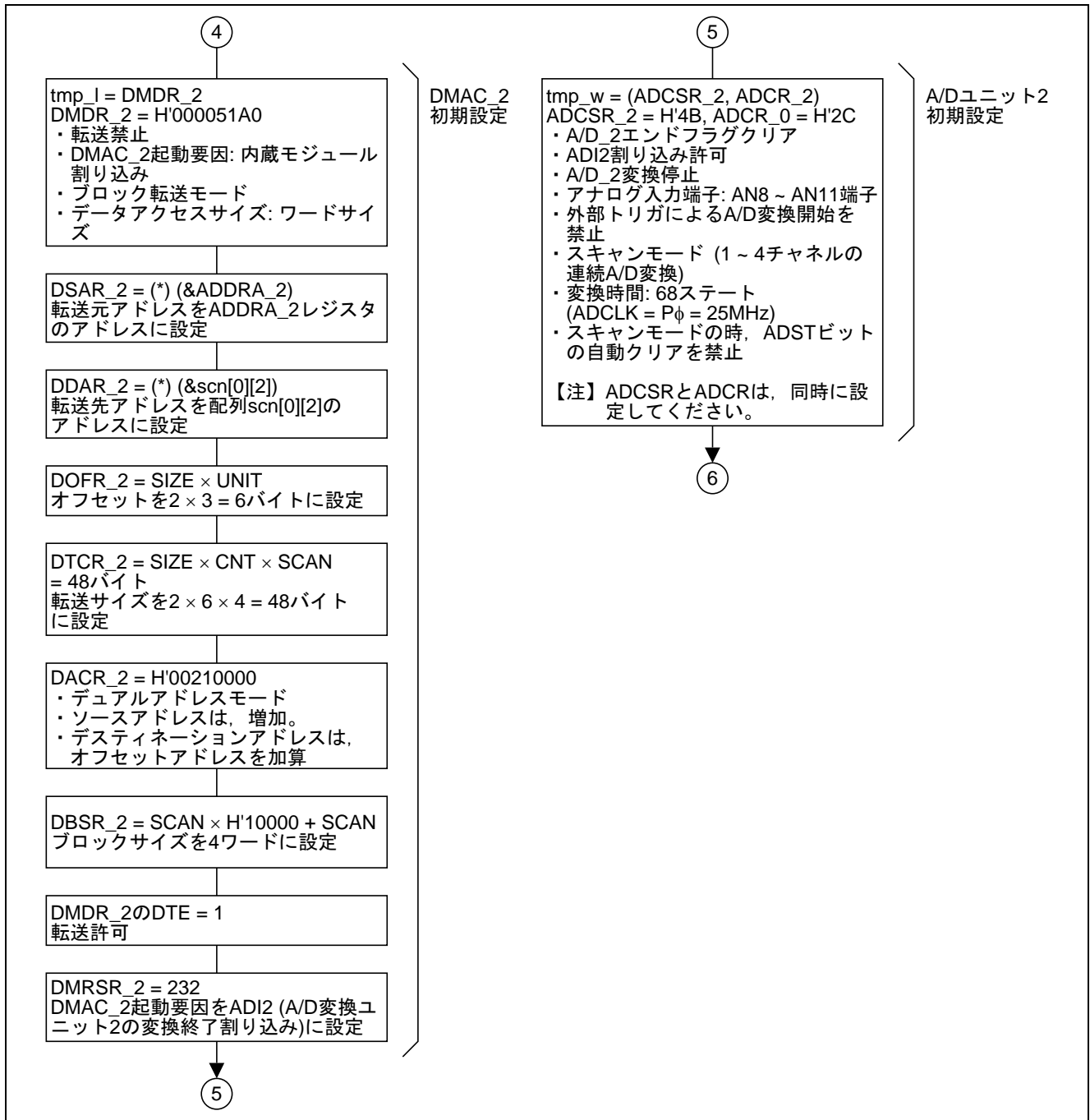
• A/D コントロールレジスタ_2 (ADCR_2) ビット数: 8 アドレス: H'FFEAB1

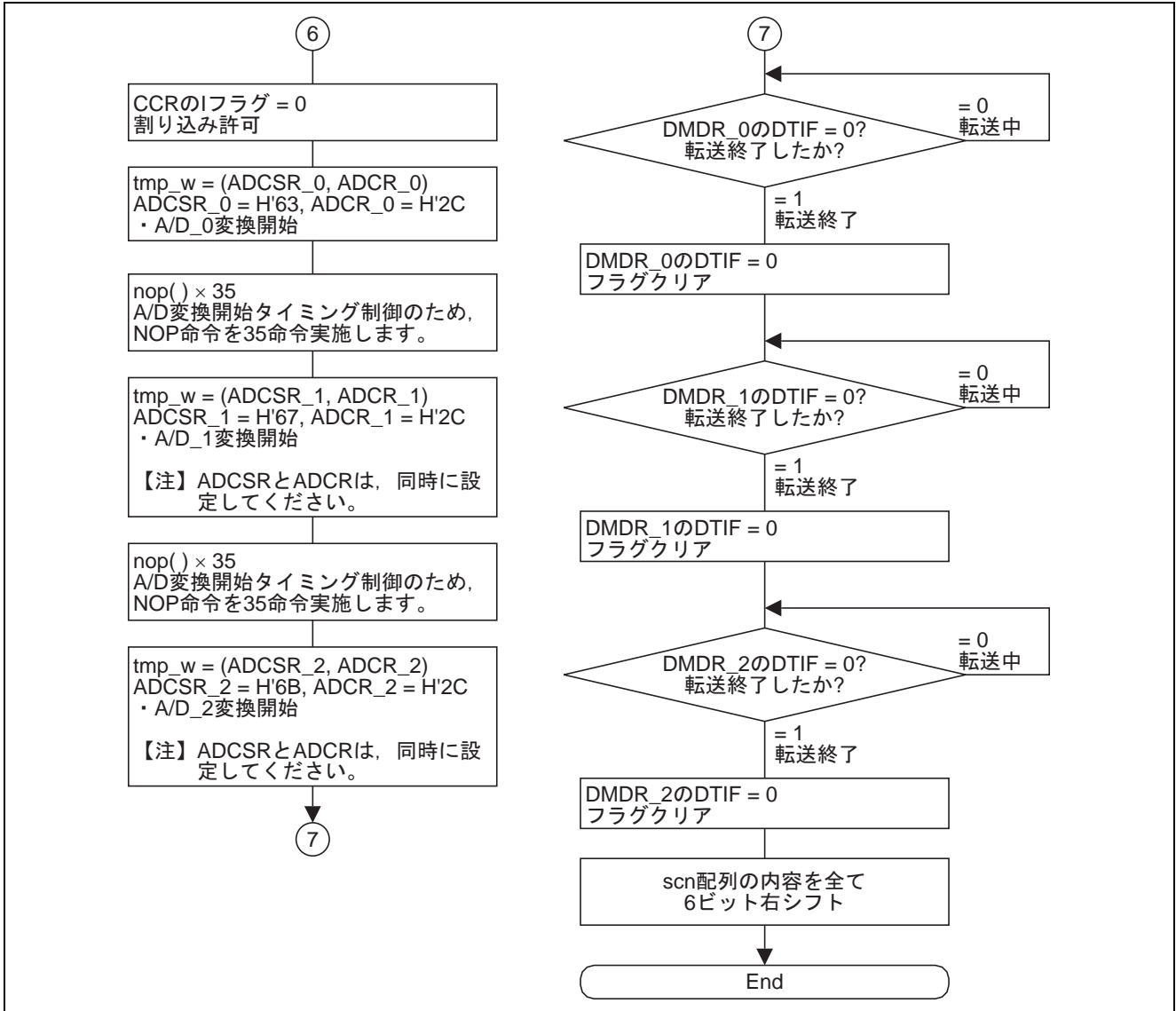
ビット	ビット名	設定値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1, 0 EXTRGS と共に設定します。 TRGS1, 0 = B'00, EXTRGS = 0: 外部トリガによる A/D 変換開始を禁止
6	TRGS0	0	R/W	
5	SCANE	1	R/W	スキャンモード 10: スキャンモード。1~4 チャンネルの連続 A/D 変換を行なう。
4	SCANS	0	R/W	
3	CKS1	1	R/W	クロックセレクト 1, 0 CKS1, 0 へのライトは ADCRS の EXCKS と同時に行なってください。 EXCKS = 0, CKS1, 0 = B'11: A/D 変換時間は 68 ステート (max)
2	CKS0	1	R/W	
0	EXTRGS	0	R/W	拡張タイマトリガセレクト 詳細は TRGS1/0 の説明をご参照ください。

(5) フローチャート









5.5.3 dmtend0_int 関数

(1) 機能概要

DMAC_0 転送終了割り込み処理。A/D 変換データを内蔵 RAM へ指定回数転送したときに割り込み処理となり、DMAC_0 転送終了割り込み要求禁止、A/D ユニット 0 変換禁止、ADI0 割り込み禁止に設定します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。

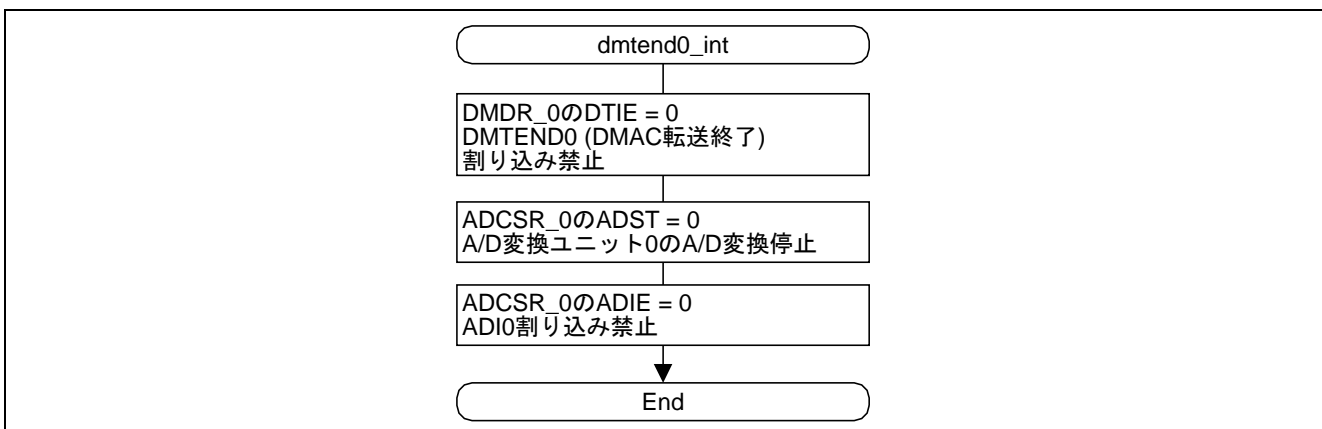
- DMA モードコントロールレジスタ_0 (DMDR_0) ビット数: 32 アドレス: H'FFFC14

ビット	ビット名	設定値	R/W	説明
8	DTIE	0	R/W	データトランスファインタラプトイネーブル 転送カウンタによる転送終了割り込み要求を許可または禁止します。このビットを 1 にセットすると、DTIF ビットが 1 にセットされたとき、CPU または DTC に転送終了割り込み要求を発生します。転送終了割り込み要求は、このビットを 0 にクリアするか、DTIF ビットを 0 にクリアすると解除されます。 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可

- A/D コントロール/ステータスレジスタ_0 (ADCSR_0) ビット数: 8 アドレス: H'FFFA0

ビット	ビット名	設定値	R/W	説明
6	ADIE	0	R/W	A/D インタラプトイネーブル 0: ADI 割り込み禁止 1: ADI 割り込み許可
5	ADST	0	R/W	A/D スタート 0: A/D 変換停止 1: A/D 変換開始

(5) フローチャート



5.5.4 dmtend1_int 関数

(1) 機能概要

DMAC_1 転送終了割り込み処理。A/D 変換データを内蔵 RAM へ指定回数転送したときに割り込み処理となり、DMAC_1 転送終了割り込み要求禁止、A/D ユニット 1 変換禁止、ADI1 割り込み禁止に設定します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。

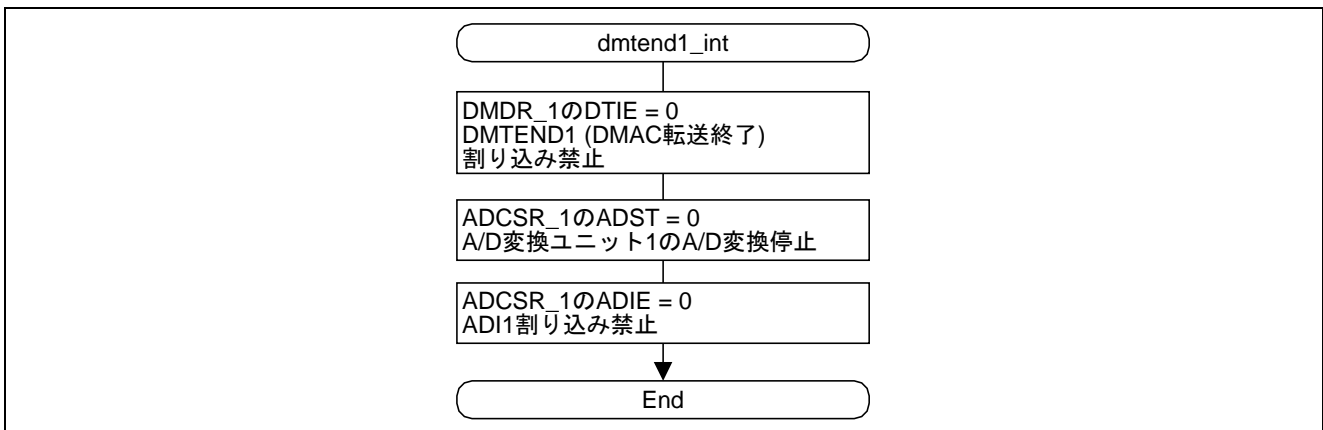
- DMA モードコントロールレジスタ_1 (DMDR_1) ビット数: 32 アドレス: H'FFFC34

ビット	ビット名	設定値	R/W	説明
8	DTIE	0	R/W	データトランスファインタラプトイネーブル 転送カウンタによる転送終了割り込み要求を許可または禁止します。このビットを 1 にセットすると、DTIF ビットが 1 にセットされたとき、CPU または DTC に転送終了割り込み要求を発生します。転送終了割り込み要求は、このビットを 0 にクリアするか、DTIF ビットを 0 にクリアすると解除されます。 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可

- A/D コントロール/ステータスレジスタ_1 (ADCSR_1) ビット数: 8 アドレス: H'FFEAA0

ビット	ビット名	設定値	R/W	説明
6	ADIE	0	R/W	A/D インタラプトイネーブル 0: ADI 割り込み禁止 1: ADI 割り込み許可
5	ADST	0	R/W	A/D スタート 0: A/D 変換停止 1: A/D 変換開始

(5) フローチャート



5.5.5 dmtend2_int 関数

(1) 機能概要

DMAC_2 転送終了割り込み処理。A/D 変換データを内蔵 RAM へ指定回数転送したときに割り込み処理となり、DMAC_2 転送終了割り込み要求禁止、A/D ユニット 2 変換禁止、ADI2 割り込み禁止に設定します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。

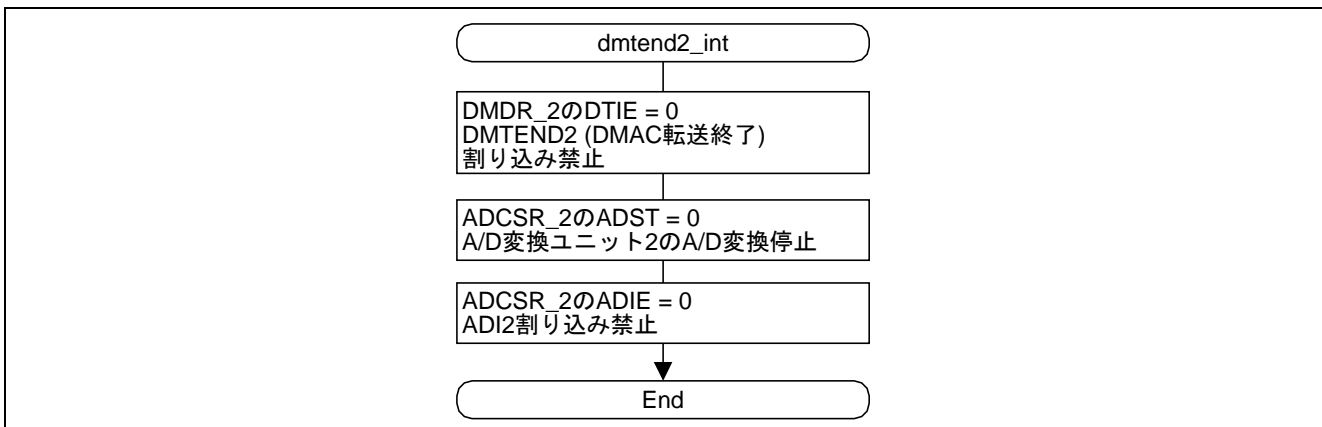
- DMA モードコントロールレジスタ_2 (DMDR_2) ビット数: 32 アドレス: H'FFFC54

ビット	ビット名	設定値	R/W	説明
8	DTIE	0	R/W	データトランスファインタラプトイネーブル 転送カウンタによる転送終了割り込み要求を許可または禁止します。このビットを 1 にセットすると、DTIF ビットが 1 にセットされたとき、CPU または DTC に転送終了割り込み要求を発生します。転送終了割り込み要求は、このビットを 0 にクリアするか、DTIF ビットを 0 にクリアすると解除されます。 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可

- A/D コントロール/ステータスレジスタ_2 (ADCSR_2) ビット数: 8 アドレス: H'FFEAB0

ビット	ビット名	設定値	R/W	説明
6	ADIE	0	R/W	A/D インタラプトイネーブル 0: ADI 割り込み禁止 1: ADI 割り込み許可
5	ADST	0	R/W	A/D スタート 0: A/D 変換停止 1: A/D 変換開始

(5) フローチャート



6. 参照ドキュメントに関する記述 (注意事項)

- ハードウェアマニュアル
H8SX/1648 グループハードウェアマニュアル
(最新版をルネサス テクノロジホームページから入手してください。)
- テクニカルニュース/テクニカルアップデート
(最新の情報をルネサス テクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2007.9.27	—	初版発行

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たっては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質及および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。