

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8S/2400 シリーズ

FIFO 内蔵シリアルコミュニケーションインタフェース送受信動作

要旨

本アプリケーションノートでは、送受信に各々16段のFIFOバッファを内蔵したシリアルコミュニケーションインタフェース（以下 SCIF とする）機能を使用して連続送受信を行います。

送受信に FIFO バッファを各々16 段内蔵している SCIF を使用することにより、効率の良い高速連続通信を実現することができます。

動作確認デバイス

- H8S/2472、H8S/2463、H8S/2462 グループ

はじめに

動作確認デバイスと同様の内部 I/O レジスタを持つ他の H8S ファミリでも本プログラムを使用することができます。ただし、一部機能を機能追加、変更等している場合がありますので、最新のマニュアルを確認してください。

このアプリケーションノートをご使用に際しては十分な評価を行ってください。

目次

1. 仕様	2
2. 適用条件	3
3. 使用機能説明	4
4. 動作説明	7
5. 関数説明	8
6. 参考ドキュメント	25

1. 仕様

本アプリケーションノートの仕様は、SCIF の送信部および受信部に内蔵されている 16 段の FIFO バッファを使用します。なお、送信は 256 バイトのデータを連続送信し、受信はデータを連続受信します。また、SCIF は LPC インタフェースと接続しており、LPC ホストから直接制御することができますが、本アプリケーションノートでは CPU から制御します。

以下に、本アプリケーションノートの動作詳細仕様を示します。

- SCIF は送信 FIFO と受信 FIFO を有効にします。
- 受信 FIFO 割り込みのトリガレベルは 14 バイトに設定します。
- 送信する 256 バイトのデータは、H'00、H'01、H'02、・・・、H'FD、H'FE、H'FF を順番に送信します。
- 受信したデータは、内蔵 RAM に用意した 16 バイトの領域に格納します。
- モデムコントロール機能は未使用です。
- ループバックテスト機能は禁止に設定します。
- エラー発生時は処理を停止します。
- SCIF は調歩同期式のシリアル通信が可能です。
- 以下に調歩同期式のシリアル通信の仕様を示します

項目	設定値
ボーレート	9600bps
データ長	8 ビット
パリティ	なし
ストップビット長	1 ビット

図 1 に、本アプリケーションノートの動作概要図を示します。

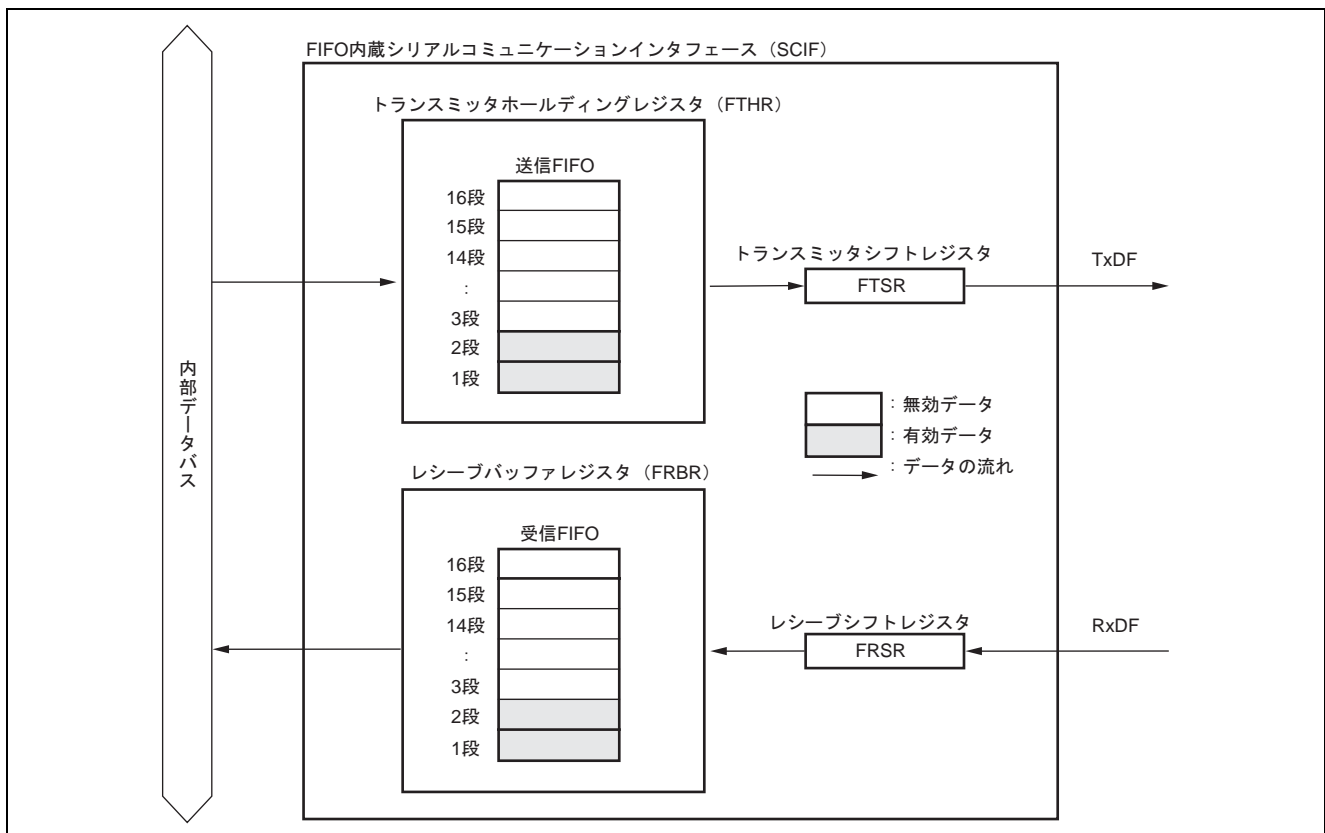


図 1 動作概要図

2. 適用条件

表 1 適用条件

項目	内容
動作周波数	入力クロック : 8.0MHz システムクロック (φ) : 32MHz (8.0MHz の 4 通倍*)
動作電圧	3.3V
動作モード	モード 2 (MD2 = 1, MD1 = 1)
評価ボード	ルネサステクノロジ製 R0K402472D000BR
統合開発環境	High-performance Embedded Workshop (HEW) Ver.4.04.01.001
C/C++コンパイラ	ルネサステクノロジ製 H8S,H8/300 C/C++ Compiler (V.6.02.00)
コンパイルオプション	-cpu=2600A:24, -optimize = 1
最適化リンケージエディタ	ルネサステクノロジ製 Optimizing Linkage Editor (V9.03.00)
リンカオプション	start = PResetPRG,PIntPRG/0400, P,C,C\$DSEC,C\$BSEC,D/0800, B,R/OFF0800, S/OFFEE00

【注】 * PLL 通倍回路は外部から入力されるクロックを 4 通倍します。

3. 使用機能説明

SCIF は、調歩同期式のシリアル通信が可能です。

調歩同期式では、Universal Asynchronous Receiver/Transmitter (UART) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。送受信に FIFO バッファを各々16段内蔵しており、効率の良い高速連続通信を行うことができます。また、SCIF は LPC インタフェースと接続しており、LPC ホストから直接制御することができます。図 2 に SCIF のブロック図を示します。

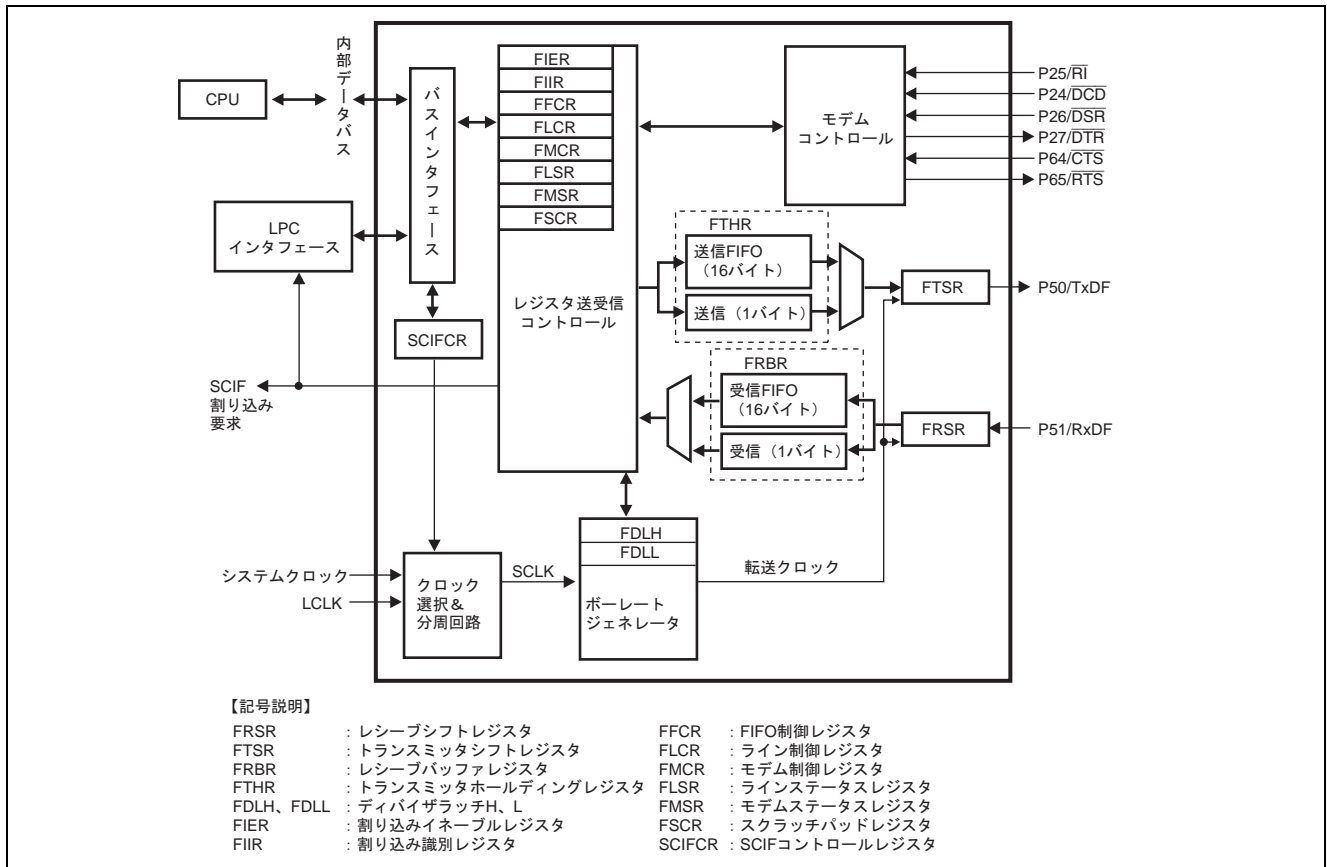


図 2 SCIF のブロック図

3.1 ボーレート

SCIF はボーレートジェネレータを内蔵しており、FDLH、FDLL と SCIFCR の CKSEL ビットにより、任意のボーレートを設定できます。表 2 にボーレートの設定例を示します。

表 2 ボーレートの設定例

CKSEL1、0	00		01	
	LCLK (33MHz) の 18 分周		システムクロック (34MHz) の 11 分周	
ボーレート	FDLH+FDLL (ディバイザ値)	エラー (%)	FDLH+FDLL (ディバイザ値)	エラー (%)
50	H'0900	-0.54%	H'0F18	-0.01%
75	H'0600	-0.54%	H'0A10	-0.01%
110	H'0417	-0.51%	H'06DC	0.01%
300	H'0180	-0.54%	H'0284	-0.01%
600	H'00C0	-0.54%	H'0142	-0.01%
1200	H'0060	-0.54%	H'00A1	-0.01%
1800	H'0040	-0.54%	H'006B	0.30%
2400	H'0030	-0.54%	H'0050	0.62%
4800	H'0018	-0.54%	H'0028	0.62%
9600	H'000C	-0.54%	H'0014	0.62%
14400	H'0008	-0.54%	H'000D	—
19200	H'0006	-0.54%	H'000A	0.62%
38400	H'0003	-0.54%	H'0005	0.62%
57600	H'0002	-0.54%	H'0003	—
115200	H'0001	-0.54%	H'0002	—

以下にボーレートを求める式を示します。

$$\text{ボーレート} = (\text{ボーレートジェネレータに入力するクロックの周波数}) / (16 \times \text{ディバイザ値})$$

3.2 調歩同期式通信の動作

調歩同期式シリアル通信の一般的なフォーマットを図3に示します。

1 フレームは、スタートビット (Low レベル) から始まり送受信データ (LSB ファースト: 最下位ビットから)、パリティビット、ストップビット (High レベル)、の順番で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCIF は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCIF 内部では、送信部と受信部は独立しておりますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

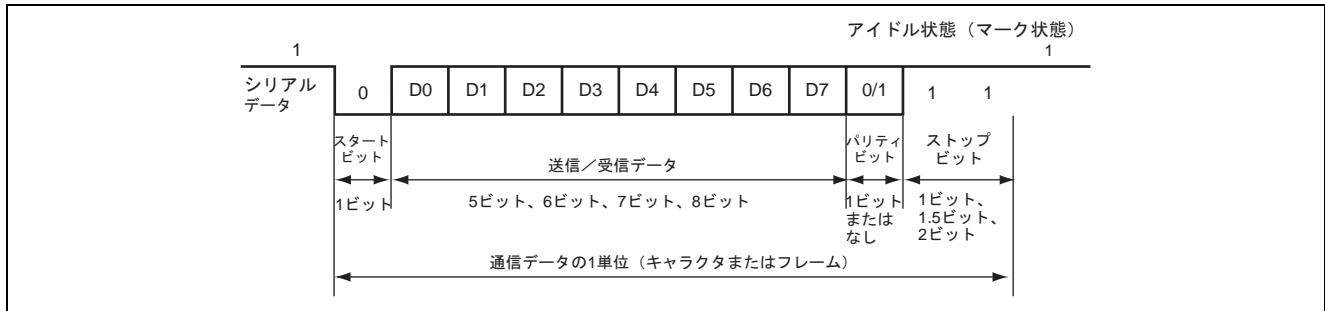


図3 シリアル送信/受信データフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

4. 動作説明

図4と図5に例として256バイトのデータを送信する動作と30バイトのデータを受信する動作の説明を示します。また、受信FIFOにデータが1キャラクタ以上ある状態で、4キャラクタタイム間受信FIFOにデータの入出力がない場合、キャラクタタイムアウト割り込みが発生します。

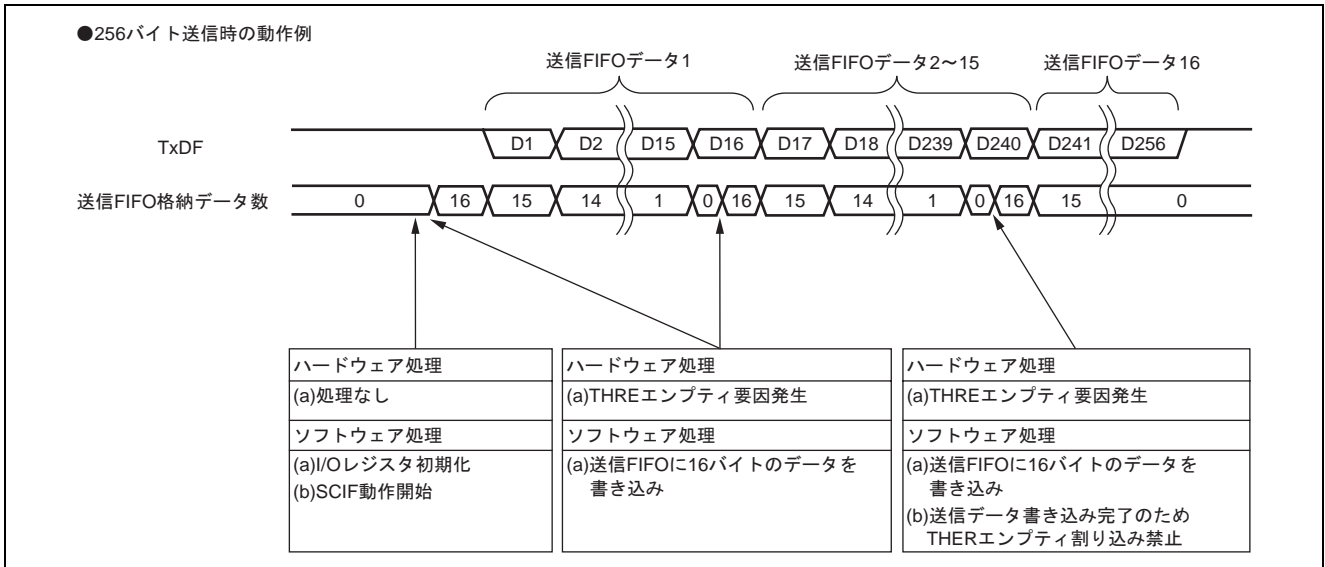


図4 送信動作説明

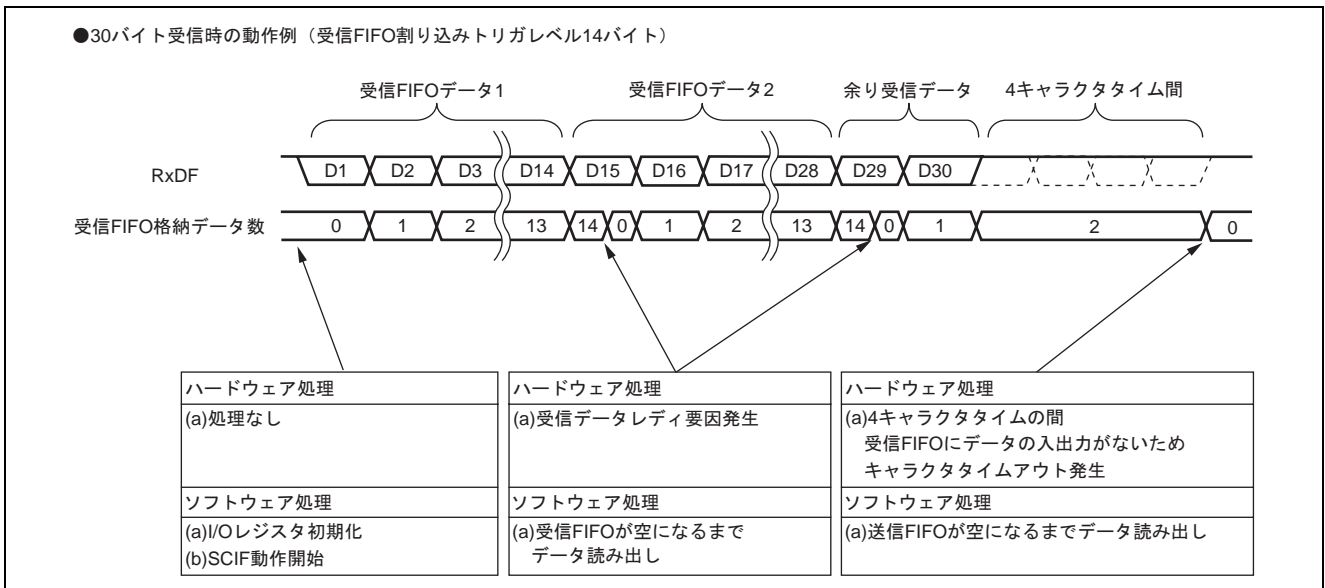


図5 受信動作説明

5. 関数説明

5.1 記号定数

表 3 記号定数一覧

定数名	設定値	内容	使用関数
MAX_SCIF_DATA_CNT	256	送信データ最大数	transmit_func
MODEM_STATUS	0	実行待ち割り込みが モデムステータス時の識別番号	INT_SCIFI
FTHR_EMPTY	1	実行待ち割り込みが FTHR エンプティ時の識別番号	INT_SCIFI
RECEIVE_DATA_READY	2	実行待ち割り込みが 受信データレディ時の識別番号	INT_SCIFI
RECEIVE_LINE_STATIS	3	実行待ち割り込みが 受信ラインステータス時の識別番号	INT_SCIFI
CHARACTER_TIMEOUT	6	実行待ち割り込みが キャラクタタイムアウト時の識別番号	INT_SCIFI

5.2 共用体

表 4 共用体一覧

型名	共用体名	型名	変数名	型名	変数名	ビット数	内容	使用関数
union	uFIIR	unsigned char	BYTE	—	—	8	バイトアクセス用変数	INT_SCIFI
		struct	BIT	unsigned char	FIFOE	2	送信、受信 FIFO の設定状態を示す	
				unsigned char	—	2	—	
				unsigned char	INTID	3	実行待ちの割り込みの中で、最も優先順位の高い割り込みを示す	
unsigned char	INTPEND	1	実行待ちの割り込みの有無を示すビット					

5.3 ROM 化変数

表 5 ROM 化変数一覧

型名	変数名	設定値	内容	使用関数
const unsigned char	scif_transmit_data[MAX_SCIF_DATA_CNT]	0x00, 0x01, 0x02, ..., ..., 0xFD, 0xFE, 0xFF	送信データ	transmit_func

5.4 RAM 変数

表 6 RAM 変数一覧

型名	変数名	設定値	内容	使用関数
unsigned char	scif_receive_data[16]	全て 0x00 で初期化	受信データ格納	init receive_func
unsigned int	scif_transmit_count	0x00	送信バイト数	init transmit_func
union uFIIR	SCIF_FIIR	FIIR レジスタの内容	FIIR レジスタ内容格納	INT_SCIFI

5.5 関数一覧

表 7 関数一覧

関数名	機能
PowerON_Reset	<ul style="list-style-type: none"> 初期設定関数 スタックポインタ (SP) の初期化、割り込みマスクビットの設定、未初期化/初期化データの設定、main 関数の呼び出し
main	<ul style="list-style-type: none"> メイン関数 init 関数の呼び出し、SCI 送受信開始
init	<ul style="list-style-type: none"> I/O レジスタ初期化関数 各レジスタの初期化
receive_func	<ul style="list-style-type: none"> データ送信関数 送信 FIFO に 16 バイト単位でデータを格納
transmit_func	<ul style="list-style-type: none"> データ受信関数 受信 FIFO から内蔵 RAM に受信データを格納
INT_SCIFI	<ul style="list-style-type: none"> SCIF 割り込み処理関数 受信処理、送信処理、モデムステータス処理、エラー処理

5.6 関数説明

5.6.1 PowerON_Reset 関数

(1) 機能概要

PowerON_Reset 関数では、スタックポインタ (SP) を初期化し、組み込み関数や標準ライブラリ関数を用いて、割り込みマスクビットの設定や未初期化/初期化データを設定します。そして、main 関数を呼び出します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部 I/O レジスタ説明

なし

(5) フローチャート

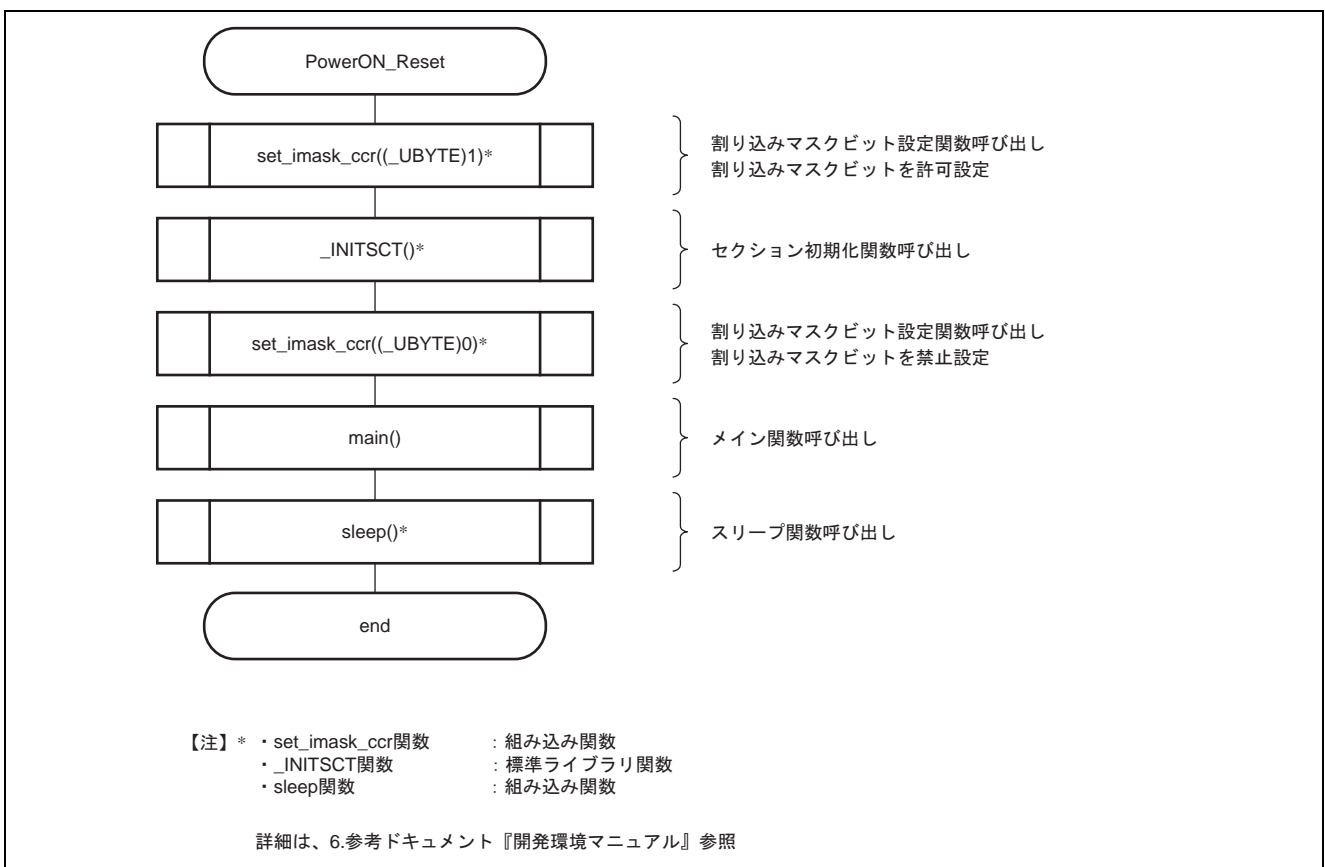


図 6 パワーオンリセットフローチャート (PowerON_Reset)

5.6.2 main 関数

(1) 機能概要

main 関数では、init 関数を呼び出してレジスタの初期化およびシリアル通信の送受信を開始します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部 I/O レジスタ説明

なし

(5) フローチャート

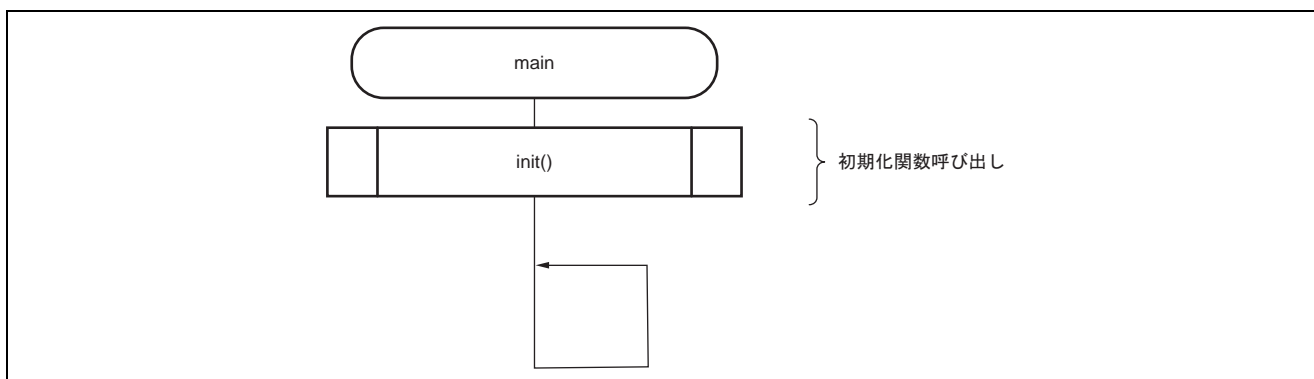


図 7 メインフローチャート (main)

5.6.3 init 関数

(1) 機能概要

init 関数では、レジスタ初期化およびシリアル通信の送受信を開始します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部 I/O レジスタ説明

本関数で使用する内部 I/O レジスタを以下に示します。

なお、設定値は、本タスク例において使用している値であり、初期値とは異なります。

- モードコントロールレジスタ (MDCR) ビット数：8 アドレス：H'FFFFC5

ビット	ビット名	設定値	R/W	機能
2	MDS2	—	R	モードセレクト 2、1 モード端子 (MD2、MD1) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2、MDS1 ビットは MD2、MD1 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2、MD1) の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
1	MDS1	—	R	

- スタンバイコントロールレジスタ (SBYCR) ビット数：8 アドレス：H'FFFF84

ビット	ビット名	設定値	R/W	機能
2	SCK2	0	R/W	システムクロックセレクト 高速モードおよび中速モードでのバスマスタのクロックを選択します。 000：高速モード
1	SCK1	0	R/W	
0	SCK0	0	R/W	

- SUBMSTPBL は内蔵周辺モジュールをモジュール単位でモジュールストップモードにします。各モジュールに対応したビットを 1 にセットするとそのモジュールはモジュールストップモードになります。

- サブチップモジュールストップコントロールレジスタ BL (SUBMSTPBL)

ビット数：8 アドレス：H'FFFE3F

ビット	ビット名	設定値	R/W	機能
3	SMSTPB3	0	R/W	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- ホストインタフェースコントロールレジスタ 5 (HICR5) ビット数：8 アドレス：H'FFFD09

ビット	ビット名	設定値	R/W	機能
1	SCIFE	0	R/W	SCIF イネーブル SCIF の LPC ホストからのアクセスを許可または禁止を設定します。 0：SCIF の LPC ホストからのアクセスを禁止

• SCIF コントロールレジスタ (SCIFCR) ビット数: 8 アドレス: H'FFFC88

ビット	ビット名	設定値	R/W	機能
7	SCIFOE1	1	R/W	SCIF の PORT 出力許可/禁止を設定します。LPC の HICR5 の SCIF ビットとの組み合わせで PORT 機能が変わります。 11: P65 端子: PORT P27 端子: PORT P50 端子: TxDF
6	SCIFOE0	1	R/W	
3	CKSEL1	0	R/W	ポーレートジェネレータへ入力するクロック (SCLK) を選択します。 01: システムクロックを 11 分周したクロック
2	CKSEL0	1	R/W	

• ライン制御レジスタ (FLCR) ビット数: 8 アドレス: H'FFFC83

ビット	ビット名	設定値	R/W	機能
7	DLAB	0	R/W	ディバイザラッチアドレスビット FDLL、FDLH は FRBR/FTHR、FIER と同一アドレスに配置されています。DLAB はどちらのアドレスにアクセスするかを選択します。 0: FRBR/FTHR、FIER のアクセスを許可 1: FDLL、FDLH のアクセスを許可
3	PEN	0	R/W	パリティイネーブル 送信時のパリティビットの付加、受信時のパリティチェックあり/なしの選択を行います。 0: パリティビットの付加/チェックなし
2	STOP	0	R/W	ストップビット 送信時のストップビットの長さを選択します。受信時は設定にかかわらず、最初のストップビットのみチェックします。 0: 1ストップビット
1	CLS1	1	R/W	キャラクタレングスセレクト 0、1 送受信キャラクタのデータ長を設定します。 11: データ長 8 ビット
0	CLS0	1	R/W	

- FDLH、FDLL はボーレートを設定するためのレジスタで、FLCR の DLAB ビットが 1 のときアクセス可能です。分周は $1 \sim (2^{16}-1)$ の範囲が設定可能で、FDLH、FDLL が 0 (初期値) のとき分周回路は停止します。

- ディバイザラッチ H (FDLH) ビット数 : 8 アドレス : H'FFFC81

ビット	ビット名	設定値	R/W	機能
7~0	Bit7~bit0	H'00	R/W	ディバイザラッチの上位 8 ビット

- ディバイザラッチ L (FDLL) ビット数 : 8 アドレス : H'FFFC81

ビット	ビット名	設定値	R/W	機能
7~0	Bit7~bit0	H'0D	R/W	ディバイザラッチの下位 8 ビット

ボーレート = (ボーレートジェネレータに入力するクロックの周波数) / (16 × ディバイザ値)

- FIFO 制御レジスタ (FFCR) ビット数 : 8 アドレス : H'FFFC82

ビット	ビット名	設定値	R/W	機能
7	RCVRTRIG1	1	W	受信 FIFO 割り込みトリガレベル 受信 FIFO 割り込みトリガレベルを設定します。 11 : 14 バイト
6	RCVRTRIG0	1	W	
2	XMITFRST	1	W	送信 FIFO リセット 1 をライトすると送信 FIFO のデータがクリアされます。ただし、FTSR のデータはクリアされません。 このビットは自動的にクリアされます。
1	RCVFRST	1	W	受信 FIFO リセット 1 をライトすると送信 FIFO のデータがクリアされます。ただし、FRSR のデータはクリアされません。 このビットは自動的にクリアされます。
0	FIFOE	1	W	FIFO イネーブル 1 : 送信、受信 FIFO イネーブル

- FIER は割り込みの可能/禁止を設定するためのレジスタで、FLCR の DLAB ビットが 0 のときアクセス可能です。
- 割り込みイネーブルレジスタ (FIER) ビット数 : 8 アドレス : H'FFFC81

ビット	ビット名	設定値	R/W	機能
3	EDSSI	0	R/W	モデムステータス割り込みイネーブル 0 : モデムステータス割り込み禁止
2	ELSI	1	R/W	受信ラインステータス割り込みイネーブル 1 : 受信ラインステータス割り込み許可
1	ETBEI	1	R/W	FTHR エンプティ割り込みイネーブル 1 : FTHR エンプティ割り込み許可
0	ERBFI	1	R/W	受信データレディ割り込みイネーブル FIFO イネーブル時はキャラクタタイムアウト割り込みを含みます 1 : 受信データレディ割り込み許可

- モデム制御レジスタ (FMCR) ビット数 : 8 アドレス : H'FFFC81

ビット	ビット名	設定値	R/W	機能
4	LOOPBACK	0	R/W	ループバックテスト 送信データ出力と受信データ入力が内部接続され、送信データ出力端子 (RxDF) = 1、受信入力端子は外部との接続が切り離されます。また、モデム制御入力の 4 端子 (DSR、CTS、RI、DCD) は外部との接続が切り離され、それぞれモデム制御出力の 4 信号 (DTR、RTS、OUT1、OUT2) に内部で接続されます。ループバックモード時に送信データは直ちに受信されます。また、割り込みの許可/禁止は SCIFCR の OUT2LOOP ビットと FIER で設定します。 0 : ループバック機能を禁止
3	OUT2	1	R/W	SCIF 割り込みの許可/禁止を設定します。 1 : 割り込み許可

(5) フローチャート

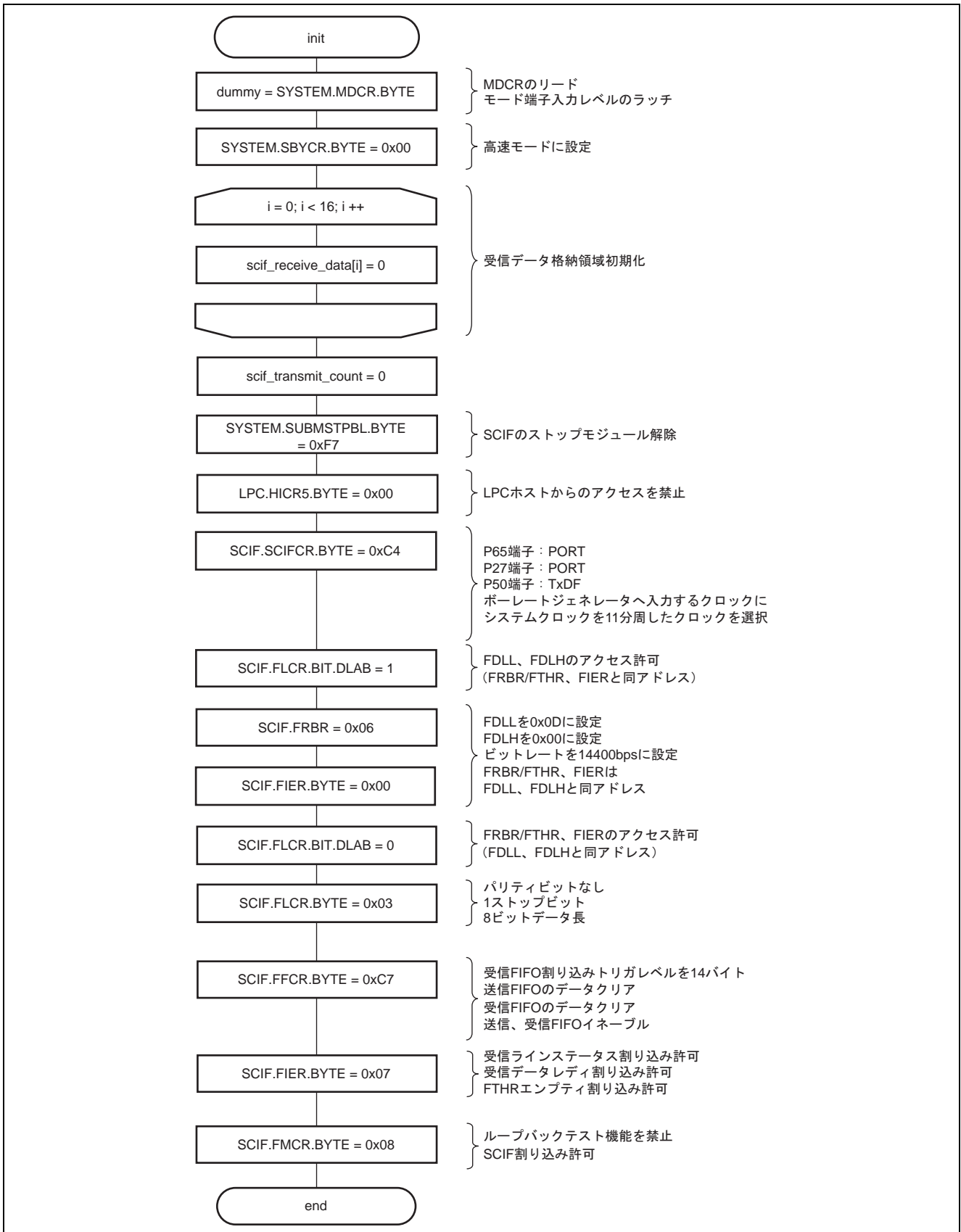


図 8 初期化フローチャート (init)

5.6.4 receive_func 関数

(1) 機能概要

receive_func 関数では、エラーがないことを確認後、受信 FIFO から内蔵 RAM に受信データを転送します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部 I/O レジスタ説明

本関数で使用する内部 I/O レジスタを以下に示します。

なお、設定値は、本タスク例において使用している値であり、初期値とは異なります。

- ラインステータスレジスタ (FLSR) ビット数：8 アドレス：H'FFFC85

ビット	ビット名	設定値	R/W	機能
7	RXIFIFOERR	—	R	<p>受信 FIFO エラー</p> <p>FIFO イネーブル時に、パリティエラー、フレーミングエラー、ブ레이크割り込みのデータエラーが少なくとも一つ発生したことを示します。</p> <p>0：受信 FIFO エラーなし</p> <p>[クリア条件]</p> <p>FRBR をリードするかまたは、FIFO クリアによってエラー要因となるデータが FIFO になくなった状態で FLSR をリードしたとき</p> <p>1：受信 FIFO エラーあり</p> <p>[セット条件]</p> <p>FIFO 内にパリティエラー、フレーミングエラー、ブ레이크割り込みのデータエラーが少なくとも一つ発生</p>
4	BI	—	R	<p>ブ레이크割り込み</p> <p>受信データのブ레이크信号検出を示します。FIFO イネーブル時は、FIFO 内の個々の受信データにより発生しこの受信データが FIFO の先頭にあるときにセットされます。また、次のデータ受信は、受信データ入力がマーク状態に遷移し有効なスタートビットを受信した後に開始します。</p> <p>0：ブ레이크信号未検出</p> <p>[クリア条件]</p> <p>FLSR リード</p> <p>1：ブ레이크信号検出</p> <p>[セット条件]</p> <p>1 フレーム長以上の受信時間を超えて受信データ入力がスペース (Low レベル) 状態に保持</p>

ビット	ビット名	設定値	R/W	機能
3	FE	—	R	<p>フレーミングエラー</p> <p>受信データのストップビットが有効でないことを示します。FIFO イネーブル時は、FIFO 内の個々の受信データにより発生しこの受信データが FIFO の先頭にあるときにセットされます。フレーミングエラー後、UART は再同期化を試みます。この際フレーミングエラーは次のスタートビットによるものと想定し、このスタートビットをサンプリングしてスタートビットとします。</p> <p>0：フレーミングエラーなし</p> <p>[クリア条件]</p> <p>FLSR リード</p> <p>1：フレーミングエラーあり</p> <p>[セット条件]</p> <p>受信データのストップビットが無効</p>
2	OE	—	R	<p>パリティエラー</p> <p>FLCR の PEN ビットが 1 のとき、受信したデータにパリティエラーがあることを示します。FIFO イネーブル時は FIFO 内の個々の受信データにより発生し、この受信データが FIFO の先頭にあるときにセットされます。</p> <p>0：パリティエラーなし</p> <p>[クリア条件]</p> <p>FLSR リード</p> <p>ただし、オーバランエラー時にセットされた場合は FLSR を 2 回リード</p> <p>1：パリティエラーあり</p> <p>[セット条件]</p> <p>受信データがパリティエラー</p>
1	PE	—	R	<p>オーバランエラー</p> <p>オーバランエラーが発生したことを示すビットです。</p> <ul style="list-style-type: none"> • FIFO ディセーブル時 <p>FRBR の受信データがリードされずに次のデータを受信完了したときにオーバランエラーが発生し、前のデータは失われます。</p> <ul style="list-style-type: none"> • FIFO イネーブル時 <p>FIFO が満杯になり、次のデータを受信完了したときにオーバランエラーが発生します。FIFO 内のデータは保持されますが、最後に受信したデータは失われます。</p> <p>0：オーバランエラーなし</p> <p>[クリア条件]</p> <p>FLSR リード</p> <p>1：オーバランエラー</p> <p>[セット条件]</p> <p>オーバランエラー発生時</p>
0	DR	—	R	<p>データレディ</p> <p>FRBR または FIFO に受信データが格納されたことを示します。</p> <p>0：受信データなし</p> <p>[クリア条件]</p> <p>FRBR をリード、または FIFO 内のデータをすべてリード</p> <p>1：受信データあり</p> <p>[セット条件]</p> <p>データを受信</p>

- レシーブバッファレジスタ (FRBR) ビット数 : 8 アドレス : H'FFFC80

ビット	ビット名	設定値	R/W	機能
7~0	bit7~bit0	—	R	受信したシリアルデータを格納します。 FIFO イネーブル時は 16 バイトになります。

(5) フローチャート

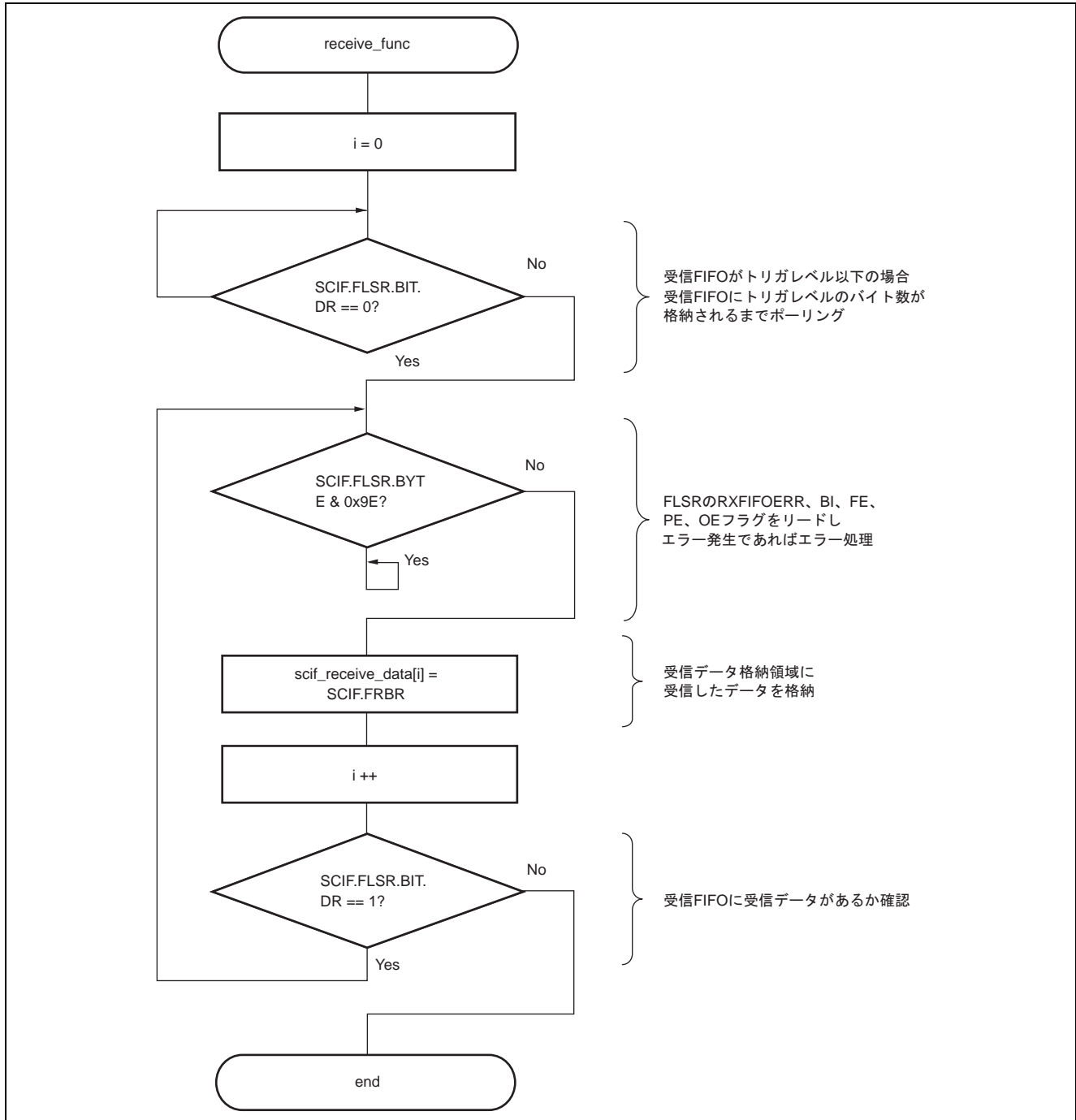


図 9 データ受信フローチャート (receive_func)

5.6.5 transmit_func 関数

(1) 機能概要

transmit_func 関数では、送信 FIFO に 16 バイトのデータを書き込みます。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部 I/O レジスタ説明

本関数で使用する内部 I/O レジスタを以下に示します。

なお、設定値は、本タスク例において使用している値であり、初期値とは異なります。

- ラインステータスレジスタ (FLSR) ビット数：8 アドレス：H'FFFC85

ビット	ビット名	設定値	R/W	機能
5	THRE	—	R	FTHR エンプティ 送信のための新しいデータの受け入れ準備ができていないことを示します。 • FIFO イネーブル時 0：送信 FIFO に 1 バイト以上の送信データあり [クリア条件] FTHR に送信データライト 1：送信 FIFO に送信データなし [セット条件] 送信 FIFO が空になったとき • FIFO ディセーブル時 0：FTHR に送信データあり [クリア条件] FTHR に送信データライト 1：FTHR に送信データなし [セット条件] FTHR のデータを FTSR に転送完了

- トランスミッタホールディングレジスタ (FTHR) ビット数：8 アドレス：H'FFFC80

ビット	ビット名	設定値	R/W	機能
7~0	bit7~bit0	—	W	送信するシリアルデータを格納します。 FIFO イネーブル時は 16 バイトになります。

- 割り込みイネーブルレジスタ (FIER) ビット数：8 アドレス：H'FFFC81

ビット	ビット名	設定値	R/W	機能
1	ETBEI	0	R/W	FTHR エンプティ割り込みイネーブル 0：FTHR エンプティ割り込み禁止

(5) フローチャート

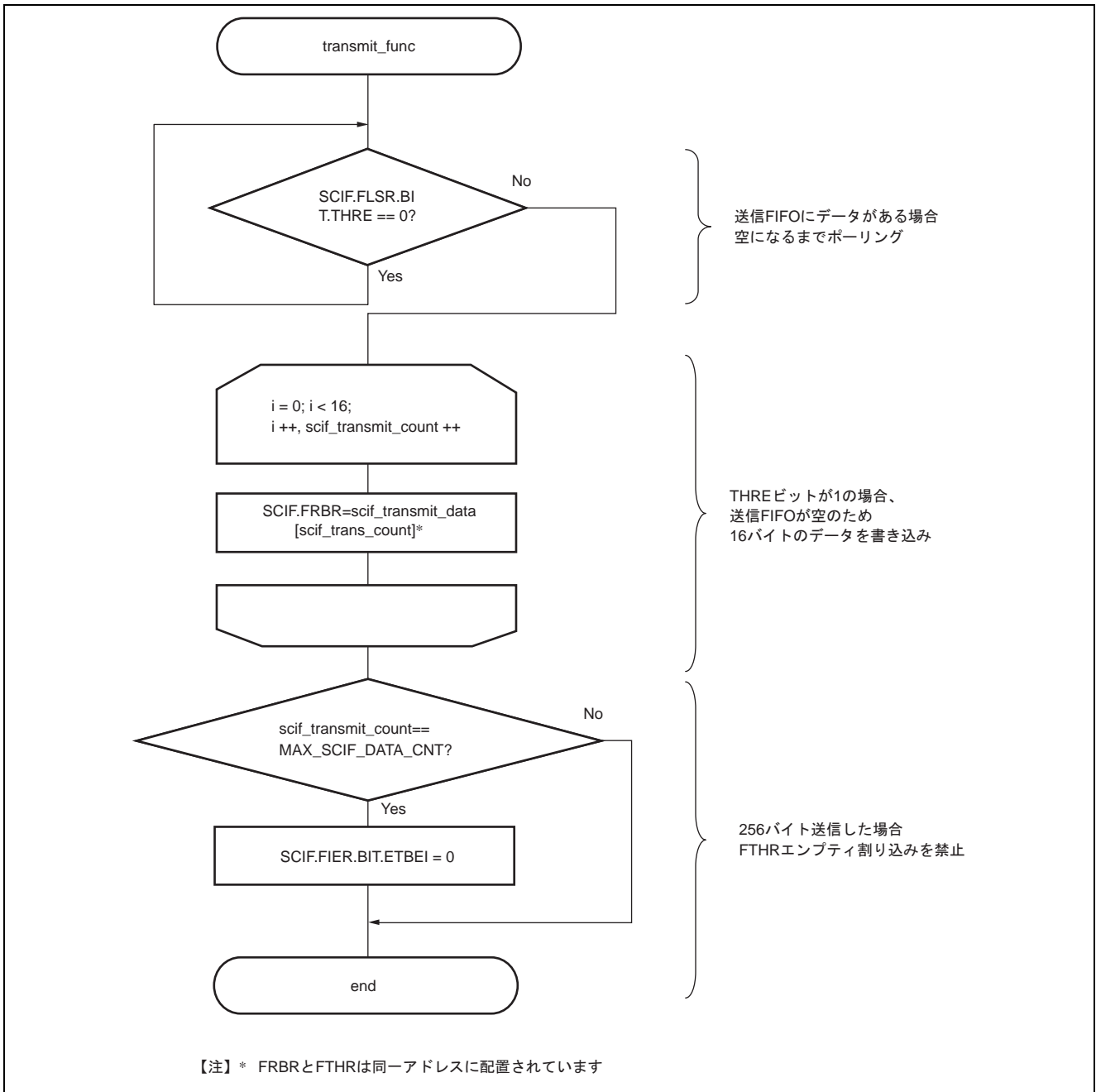


図 10 データ送信フローチャート (transmit_func)

5.6.6 INT_SCIFI 関数

(1) 機能概要

INT_SCIFI 関数では、エラー処理（オーバランエラー、パリティエラー、フレーミングエラー、ブレーク割り込み）、受信データレディ（受信データあり、FIFO トリガレベル）、キャラクタタイムアウト（受信 FIFO にデータが 1 キャラクタ以上ある状態で、4 キャラクタタイム間受信データに FIFO にデータの出入力がない）、FTHR エンプティ（FTHR エンプティ）、モデムステータス（CTS、DSR、RI、DCD）の割り込みが発生していた場合、発生している割り込みに対して処理します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部 I/O レジスタ説明

本関数で使用する内部 I/O レジスタを以下に示します。

なお、設定値は、本タスク例において使用している値であり、初期値とは異なります。

- 割り込み識別レジスタ (FIIR) ビット数 : 8 アドレス : H'FFFC82

ビット	ビット名	設定値	R/W	機能
3	INTID2	—	R	インタラプト ID2、1、0 実行待ちの割り込みの中でもっとも優先順位の高い割り込みを示します。 000 : モデムステータス 001 : FTHR エンプティ 010 : 受信データレディ 011 : 受信ラインステータス 110 : キャラクタタイムアウト (FIFO イネーブル時)
2	INTID1	—	R	
1	INTID0	—	R	
0	INTPEND	—	R	インタラプトペンディング 実行待ちの割り込みの有無を示すビットです。 0 : 実行待ちの割り込みあり 1 : 実行待ちの割り込みなし

(5) フローチャート

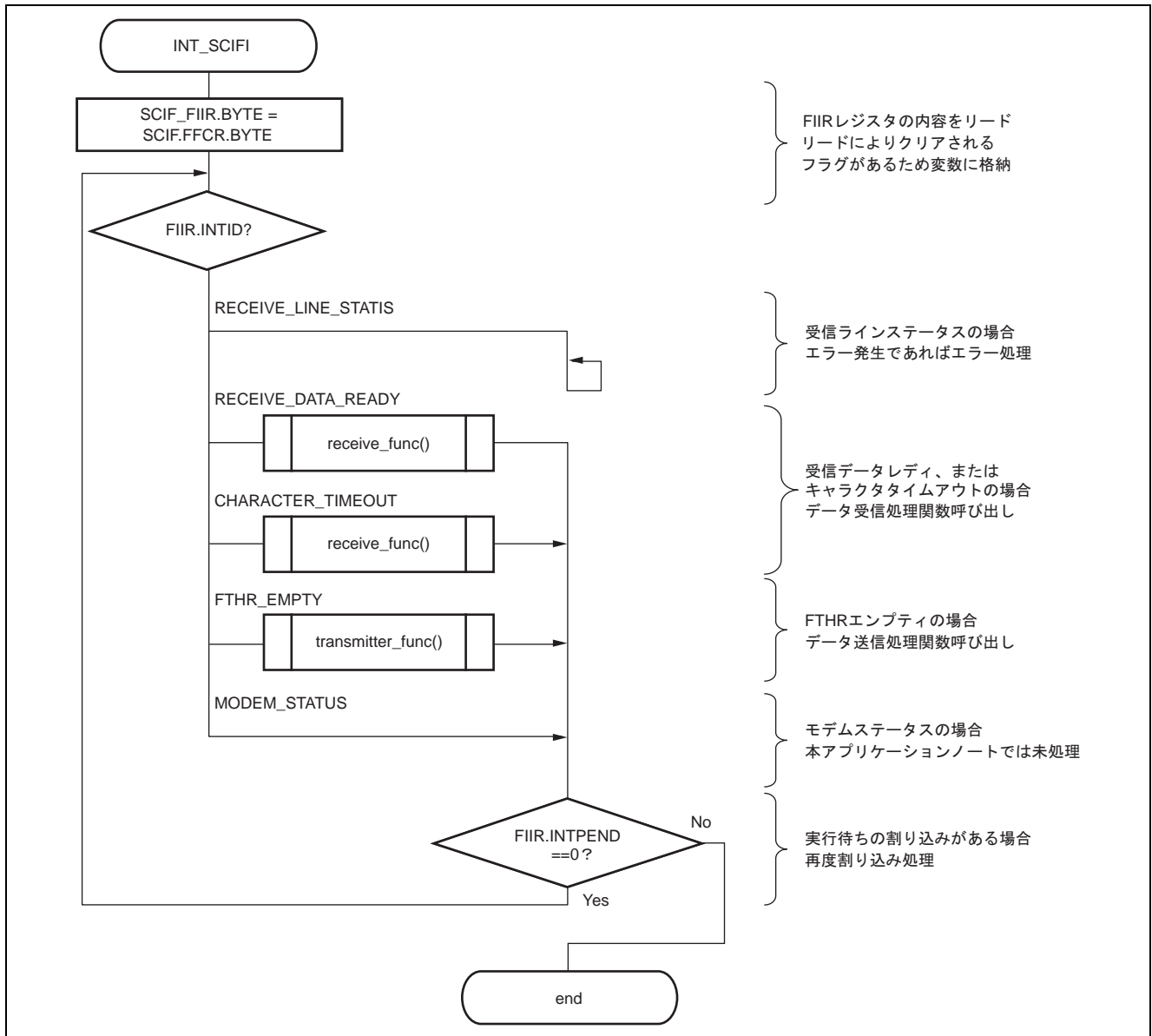


図 11 割り込みフローチャート (INT_SCIFI)

6. 参考ドキュメント

- ハードウェアマニュアル
H8S/2472、H8S/2463、H8S/2462 グループハードウェアマニュアル
(最新版をルネサステクノロジホームページから入手してください。)
- 開発環境マニュアル
H8S、H8/300 シリーズ C/C++コンパイラパッケージ ユーザーズマニュアル
(最新版をルネサステクノロジホームページから入手してください。)
- テクニカルニュース/テクニカルアップデート
(最新の情報をルネサステクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ
<http://japan.renesas.com/>

お問合せ先
<http://japan.renesas.com/inquiry>
csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.01.28	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事事務の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエイジング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。