

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8S ファミリ

TPU によるバッファ動作

要旨

16 ビットタイマパルスユニット (TPU) のアウトプットコンペア機能のバッファ動作を使用して、PWM 波形を出力します。

動作確認デバイス

H8S/2339

目次

1. 仕様	2
2. 適用条件	3
3. 使用機能説明	4
4. 動作説明	6
5. ソフトウェア説明	7
6. フローチャート	10

1. 仕様

- 図 1 に示すように，パルスの High 幅および Low 幅を変化させた PWM 波形を出力します。
- 19.6608 MHz で動作時，出力する PWM 周期は，本タスクにおいて約 102 ns ~ 約 3.33 ms 内で設定が可能です。バッファレジスタに設定できる値は H'0001 ~ H'FFFF です。

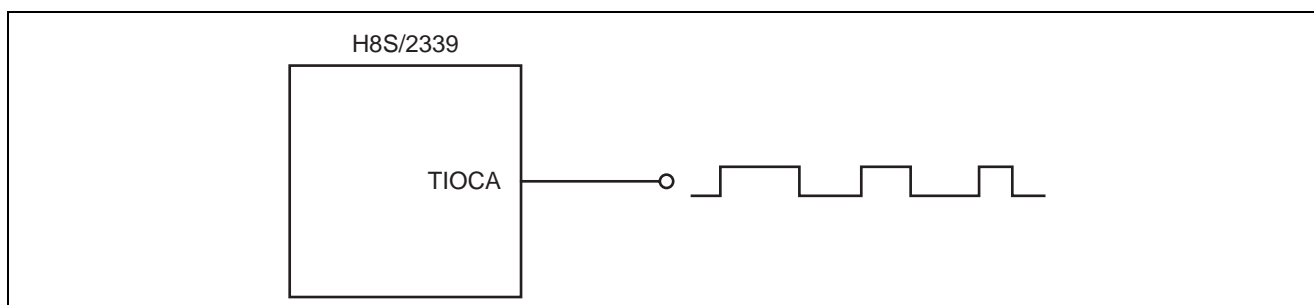


図 1 TPU のバッファ動作による PWM 波形の出力例

2. 適用条件

表 1 適用条件

項目	内容
動作周波数	入力クロック : 19.6608 MHz システムクロック : 19.6608 MHz 周辺モジュールクロック : 19.6608 MHz バスマスタクロック : 19.6608 MHz
動作モード	モード 6 (MD2 = 1, MD1 = 1, MD0 = 0)
開発ツール	HEW Ver3.01 (release1)
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 SERIES C/C++ Compiler Ver6.0.00.005
コンパイルオプション	-cpu = 2000a : 24, -code = machinecode, -optimize = 1

3. 使用機能説明

図 2 に TPU のブロック図を示し、以下に TPU のレジスタの機能を説明します。

- タイマコントロールレジスタ (TCR0)
TCR は、各チャンネルのタイマカウンタ TCNT のクリア条件および、クロックソースなどを設定します。
- タイマモードレジスタ (TMDR0)
TMDR は、各チャンネルについて、通常動作 / バッファ動作等の動作モードの設定を行ないます。
- タイマ I/O コントロールレジスタ (TIOR0H および, TIOR0L)
TIOR は、各 TGR について初期出力値の設定、コンペアマッチ / インพุットキャプチャ動作時の出力値の設定により出力信号を制御します。
- タイマインタラプトイネーブルレジスタ (TIER0)
TIER は、各チャンネルの割り込みの許可、禁止を制御します。
- タイマステータスレジスタ (TSR0)
TSR は、各チャンネルのステータスの表示を行ないます。
- タイマカウンタ (TCNT0)
16 ビットのリード / ライト可能なカウンタです。常に 16 ビット単位でのアクセスとなります。
- タイマジェネラルレジスタ (TGR0A ~ TGR0D までの 4 レジスタ)
16 ビットのリードライト可能なアウトプットコンペア / インพุットキャプチャ兼用のレジスタです。常に 16 ビット単位でのアクセスとなります。
- タイマスタートレジスタ (TSTR)
チャンネル 0 ~ 5 の TCNT の動作 / 停止を選択するレジスタです。

【注】主にチャンネル 0 のレジスタについて記述。

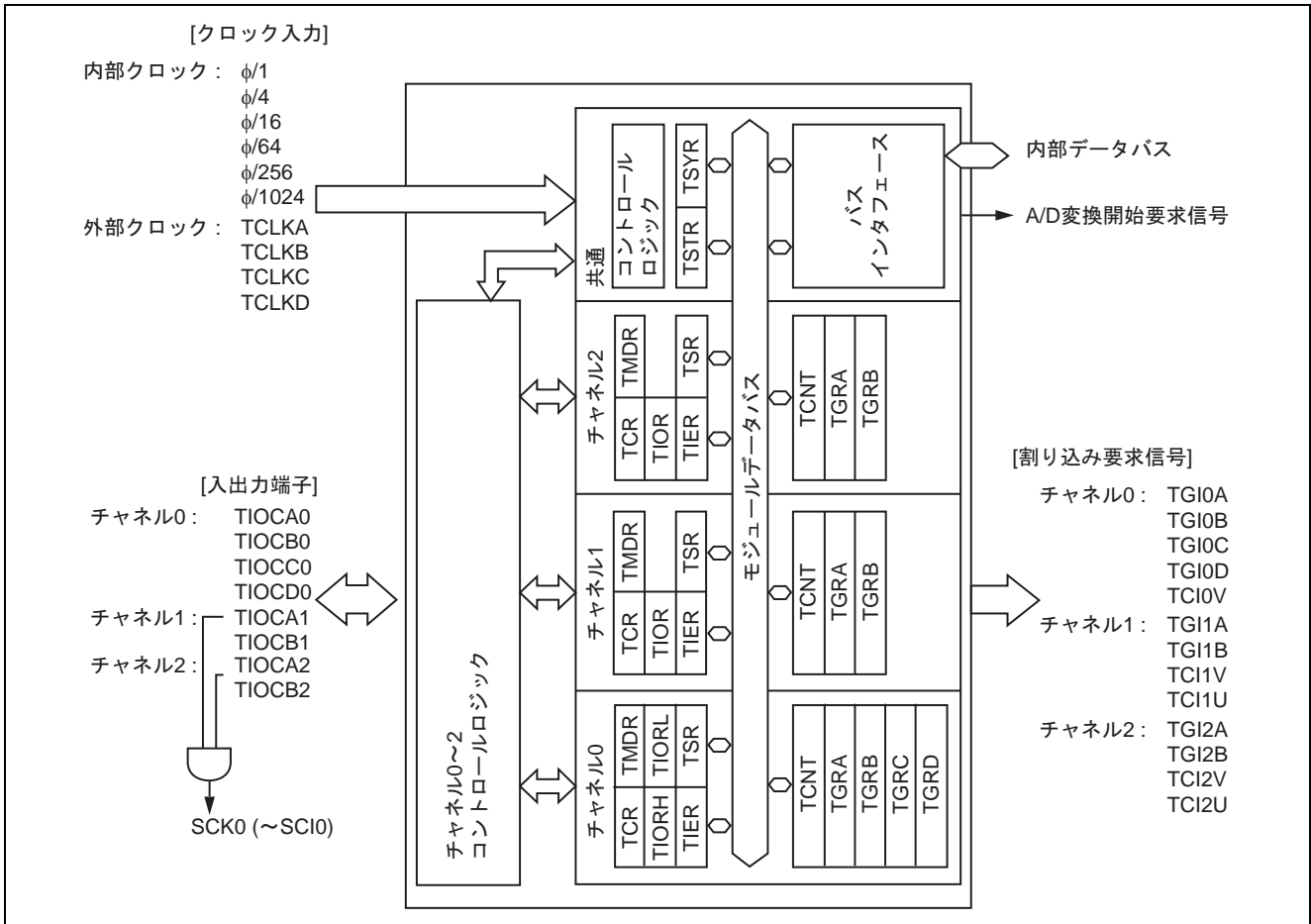


図2 TPUのブロック図

4. 動作説明

図3に本タスク例におけるTPUバッファ動作によるPWM波形の出力動作を示します。また、図3に示す動作の説明として、ソフトウェアおよび、ハードウェア処理の内容を示します。

1. チャンネル0をPWMモード1とし、TGRAとTGRCをバッファ動作に設定。TCNTは、コンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力します。
2. コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。
3. 本タスクでは、TGR0Cの値をH'0450に設定していますが、TGR0Cバッファを書き換えることにより(例：H'0520) 続けて異なるデューティ比のPWMパルスを出力することができます。

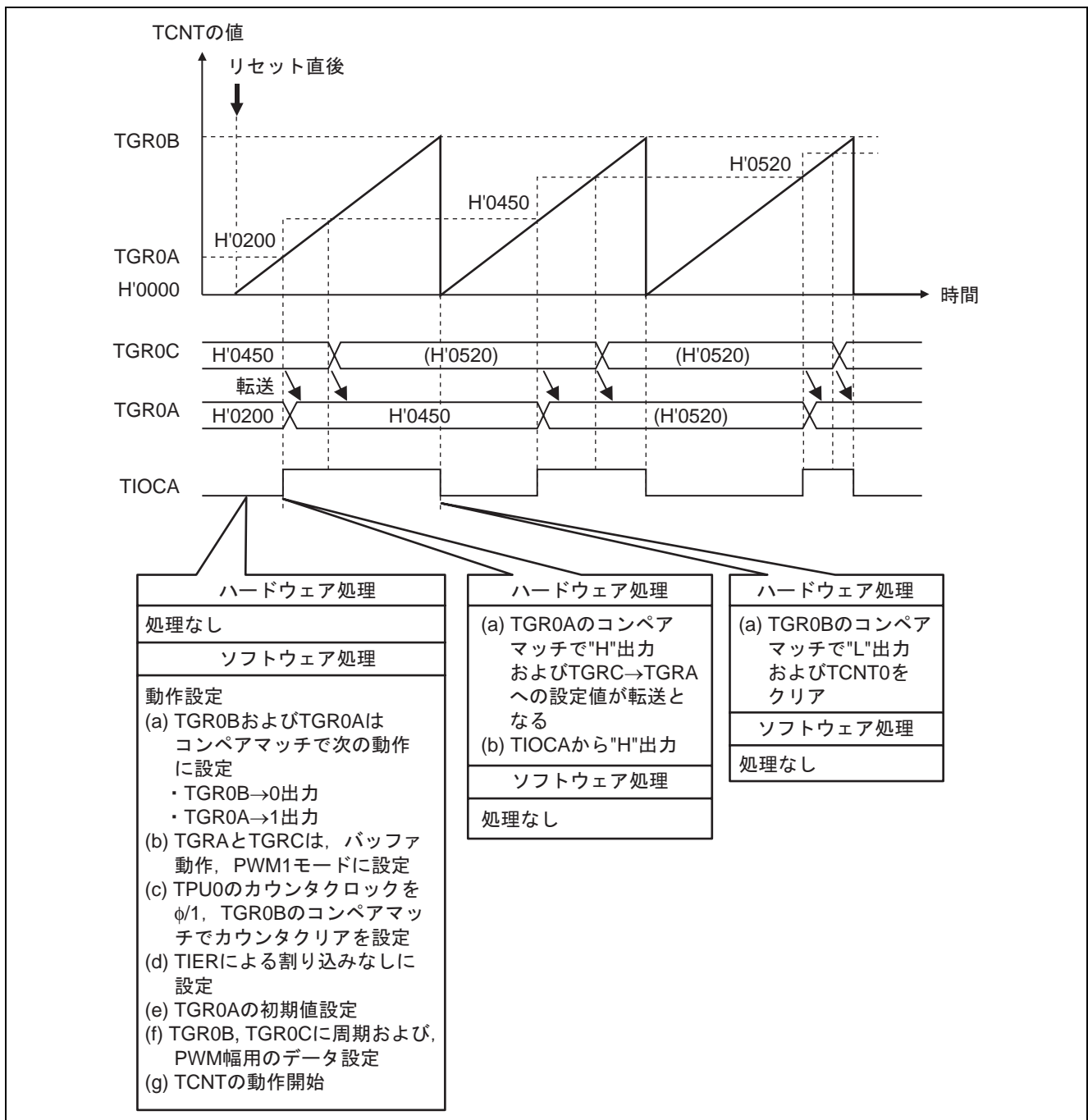


図3 PWMのパルス出力の動作

5. ソフトウェア説明

5.1 モジュール説明

表 2 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	tpubfm	TGRA および, TGRC をバッファ動作に設定し, PWM モード 1 により PWM パルス波形を出力します

5.2 引数の説明

表 3 引数の説明

レジスタ名	機能	データ長	使用モジュール名	入出力
pul_cyc1	TGR0B へセットし, リセット周期を設定する。周期は, 次の式で求まる。 周期 (ns) = (タイマ値 + 1) × クロック (φ)	ワード	メインルーチン	入力
pul_cyc2	TGR0C へセットし, コンペアマッチ A の発生により, TGRC → TGRA へ転送となるデータを格納 PWM の High 幅 (ns) = 周期 - (pul_cyc2 + 1)	ワード	メインルーチン	入力

5.3 使用内部レジスタ説明

表 4 使用内部レジスタ説明

レジスタ名	機能	アドレス	設定値
TSR0	TCFV タイマステータスレジスタ (オーバフローフラグ) TCFD = 0 のとき, TCNT はオーバフローではない状態 TCFD = 1 のとき, TCNT の値が H'FFFF → H'0000 の状態	H'FFD5 ビット 4	0
	TGFB タイマステータスレジスタ (インプットキャプチャ / アウトプットコンペアフラグ B) TGFB = 0 のとき, TCNT ≠ TGFB を示す TGFB = 1 のとき, TCNT = TGFB を示す	H'FFD5 ビット 1	0
	TGFA タイマステータスレジスタ (インプットキャプチャ / アウトプットコンペアフラグ A) TGFA = 0 のとき, TCNT ≠ TGFA を示す TGFA = 1 のとき, TCNT = TGFA を示す	H'FFD5 ビット 0	0
TMDR0	BFB タイマモードレジスタ (バッファ動作 B) BFB = 0 のとき, TGRB は通常動作 BFB = 1 のとき, TGRB と TGRD はバッファ動作	H'FFFD1 ビット 5	0
	BFA タイマモードレジスタ (バッファ動作 A) BFA = 0 のとき, TGRA は通常動作 BFA = 1 のとき, TGRA と TGRC はバッファ動作	H'FFFD1 ビット 4	1
	MD3 MD2 MD1 MD0 タイマモードレジスタ (モード 3 ~ 0) MD3 ~ 0 = 0000 のとき, 通常動作 MD3 ~ 0 = 0010 のとき, PWM モード 1	H'FFFD1 ビット 3, 2, 1, 0	0, 0, 1, 0

表 4 使用内部レジスタ説明 (つづき)

レジスタ名		機能	アドレス	設定値
TCR0	CCLR1 CCLR0	タイマコントロールレジスタ (カウンタクリア 1, 0) CCLR1, 0 = 0, 0 のとき, TCNT のクリア禁止 CCLR1, 0 = 1, 0 のとき, TGRB のインプットキャプチャ / アウトプットコンペアで TCNT をクリア	H'FFFFD0 ビット 6, 5	1, 0
	CKEG1 CKEG0	タイマコントロールレジスタ (クロックエッジ 1, 0) CKEG1, 0 = 0, 0 のとき, 立ち上がりエッジでカウント CKEG1, 0 = 0, 1 のとき, 立ち下がりエッジでカウント	H'FFFFD0 ビット 4, 3	0, 1
	TPSC2 TPSC1 TPSC0	タイマコントロールレジスタ (タイマプリスケアラ 2, 1, 0) TPSC2 ~ 0 = 0, 0, 0 のとき, $\phi/1$ でカウント TPSC2 ~ 0 = 1, 1, 1 のとき, TCNT2 のオーバフロー / アンダフローでカウント	H'FFFFD0 ビット 2, 1, 0	0, 0, 0
TGR0A		タイマジェネラルレジスタ A 16 ビットのアウトプットコンペア / インプットキャプ チャ兼用のレジスタ	H'FFFFD8 ビット 15 ~ 0	H'0200
TGR0B		タイマジェネラルレジスタ B 16 ビットのアウトプットコンペア / インプットキャプ チャ兼用のレジスタ	H'FFFFDA ビット 15 ~ 0	H'0600
TGR0C		タイマジェネラルレジスタ C 16 ビットのアウトプットコンペア / インプットキャプ チャ兼用のレジスタ	H'FFFFDC ビット 15 ~ 0	H'0450
TIOR0H	IOB3 ~ 0	タイマ I/O コントロールレジスタ (I/O コントロール B3 ~ 0) TGRB のコンペアマッチによる出力レベルを設定	H'FFFFD2 ビット 7 ~ 4	0, 1, 0, 1
	IOA3 ~ 0	タイマ I/O コントロールレジスタ (I/O コントロール A3 ~ 0) TGRA のコンペアマッチによる出力レベルを設定	H'FFFFD2 ビット 3 ~ 0	0, 0, 1, 0

表 4 使用内部レジスタ説明 (つづき)

レジスタ名		機能	アドレス	設定値
TIER0	TTGE	タイマインタラプトイネーブルレジスタ (A/D 変換開始要求イネーブル) TTGE = 0 のとき, A/D 変換開始要求の発生を禁止 TTGE = 1 のとき, A/D 変換開始要求の発生を許可	H'FFFFFFD4 ビット 7	0
	TCIEV	タイマインタラプトイネーブルレジスタ (オーバフローインタラプトイネーブル) TCIEV = 0 のとき, TCFV による割込み要求 (TCIV) を禁止 TCIEV = 1 のとき, TCFV による割込み要求 (TCIV) を許可	H'FFFFFFD4 ビット 4	0
	TGIED	タイマインタラプトイネーブルレジスタ (TGFD インタラプトイネーブル D) TGIED = 0 のとき, TGFD による割込み要求 (TGID) を禁止 TGIED = 1 のとき, TGFD による割込み要求 (TGID) を許可	H'FFFFFFD4 ビット 3	0
	TGIEC	タイマインタラプトイネーブルレジスタ (TGFD インタラプトイネーブル C) TGIEC = 0 のとき, TGFC による割込み要求 (TGIC) を禁止 TGIEC = 1 のとき, TGFC による割込み要求 (TGIC) を許可	H'FFFFFFD4 ビット 2	0
	TGIEB	タイマインタラプトイネーブルレジスタ (TGFD インタラプトイネーブル B) TGIEB = 0 のとき, TGFB による割込み要求 (TGIB) を禁止 TGIEB = 1 のとき, TGFB による割込み要求 (TGIB) を許可	H'FFFFFFD4 ビット 1	0
	TGIEA	タイマインタラプトイネーブルレジスタ (TGFD インタラプトイネーブル A) TGIEA = 0 のとき, TGFA による割込み要求 (TGIA) を禁止 TGIEA = 1 のとき, TGFA による割込み要求 (TGIA) を許可	H'FFFFFFD4 ビット 0	0
TSTR	タイマスタートレジスタ チャンネル 0 ~ 5 の TCNT の動作 / 停止を設定	H'FFFFFFC0 ビット 5 ~ 0	H'01	

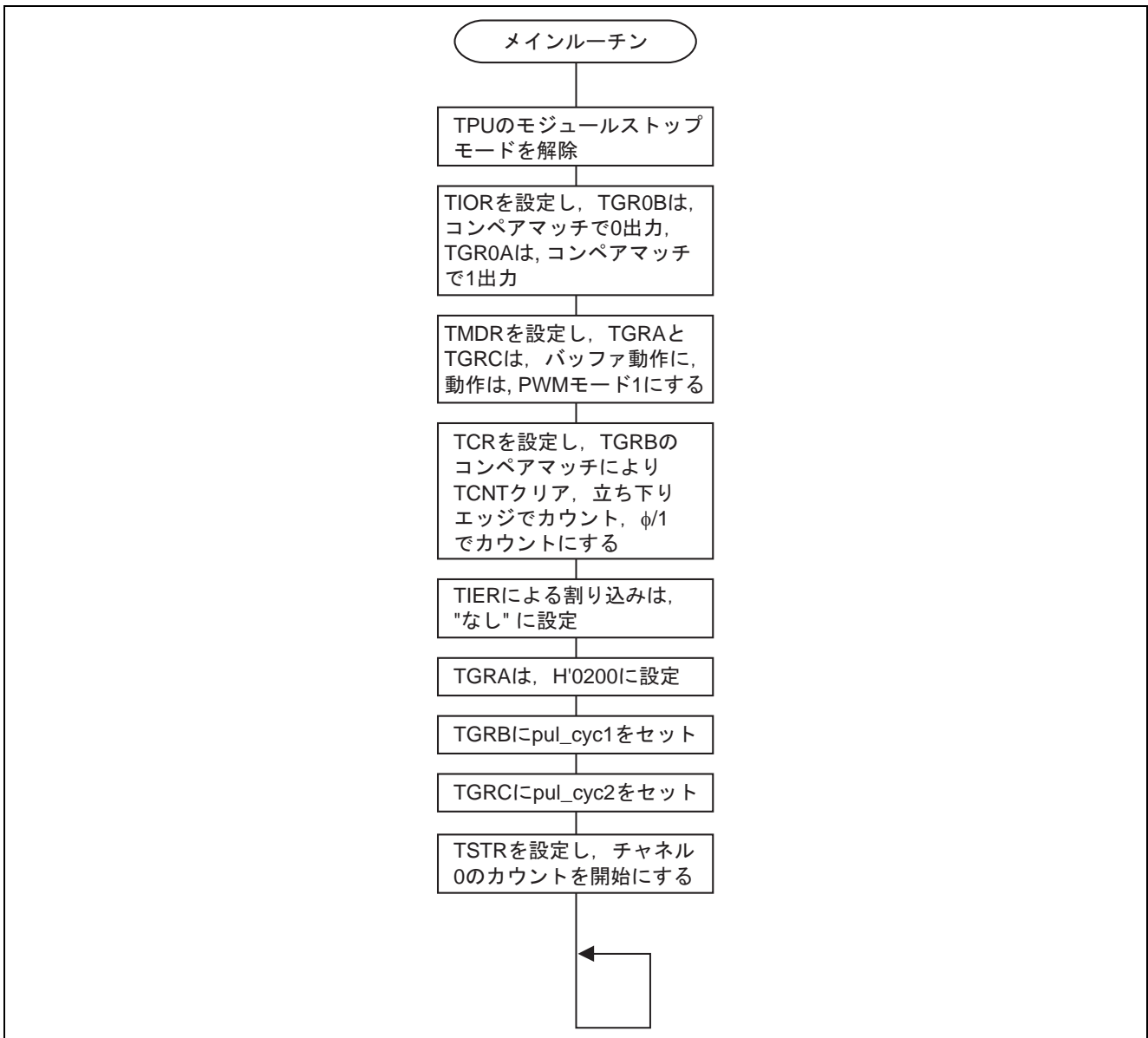
5.4 使用 RAM 説明

表 5 使用 RAM 説明

レジスタ名	機能 (本タスク例の設定値)	データ長	使用モジュール名
pul_cyc1	TGR0B へセットするデータを格納 (H'0600)	ワード	メインルーチン
pul_cyc2	TGR0C へセットするデータを格納 (H'0450)		

6. フローチャート

6.1 メインルーチン



改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.02.18	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。