

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8/300H SLP シリーズ

## IRQ 割り込みによるカウントスタート

---

### 要旨

外部割り込み機能を用いて外部信号の変化を捉え、16ビットカウンタのカウントアップを開始させます。

### 動作確認デバイス

H8/38076R

### 目次

1. 仕様 .....	2
2. 使用機能説明 .....	3
3. 動作説明 .....	6
4. ソフトウェア説明 .....	7
5. フローチャート .....	9

### 1. 仕様

1.  $\overline{\text{IRQ0}}$  端子に接続したスイッチ入力のオンにより IRQ0 割り込みを発生させ、変数 (counter) に設定した 16 ビットカウンタをスタートします。
2. IRQ0 割り込みは、 $\overline{\text{IRQ0}}$  端子入力の立ち下がりエッジの検出により要求されます。
3. 変数 (counter) に設定した 16 ビットカウンタがオーバーフローするたびに LED の点灯、または消灯を行います。
4. LED はポート 9 の P93 出力端子に接続されているものとします。
5. 図 1 に接続例を示します。

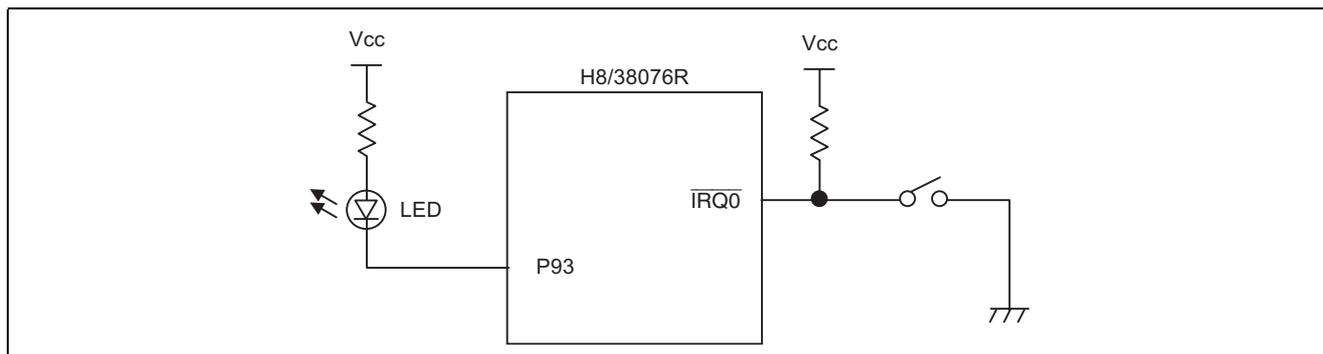


図 1 本タスクの接続例

## 2. 使用機能説明

### 2.1 機能説明

本タスク例では、外部割り込みを使用して IRQ0 外部割り込みによるカウントスタートを行います。

- 外部割り込みには、NMI, IRQ0, IRQ1, IRQ3, IRQ4, IRQAEC, WKP0 ~ WKP7 割り込みの 14 要因があります。
- NMI 割り込みは、 $\overline{\text{NMI}}$  端子の入力信号により要求されます。NMI 割り込みは、立ち上がり / 立ち下がりエッジセンスを割り込みエッジセレクトレジスタ (IEGR) の NMIEG により指定できます。
- NMI 割り込み要求は最優先の割り込みで、CCR の I ビットの値に関わらず常に受け付けられます。
- IRQ0, IRQ1, IRQ3, IRQ4 割り込みは、 $\overline{\text{IRQ0}}$ ,  $\overline{\text{IRQ1}}$ ,  $\overline{\text{IRQ3}}$ ,  $\overline{\text{IRQ4}}$  端子の入力信号により要求されます。IRQ0, IRQ1, IRQ3, IRQ4 割り込みは、立ち上がり / 立ち下がりエッジセンスを割り込みエッジセレクトレジスタ (IEGR) の IEG0, IEG1, IEG3, IEG4 により指定できます。
- ポートモードレジスタ (PMR9, PMRB) により端子機能が  $\overline{\text{IRQ0}}$ ,  $\overline{\text{IRQ1}}$ ,  $\overline{\text{IRQ3}}$ ,  $\overline{\text{IRQ4}}$  端子に選択された状態で指定されたエッジが入力されると、割り込みフラグレジスタ 1 (IRR1) の IRR10, IRR11, IRR13, IRR14 の対応するビットが "1" にセットされ、割り込み要求を発生します。
- 割り込み要求の受け付けは、割り込みイネーブルレジスタ 1 (IENR1) の IEN0, IEN1, IEN3, IEN4 を "0" にクリアすることにより禁止できます。
- インタラプトプライオリティレジスタ (IPR) により、割り込みプライオリティレベルを設定できます。
- WKP 割り込みは、 $\overline{\text{WKP0}}$  ~  $\overline{\text{WKP7}}$  端子の入力信号により要求されます。WKP 割り込みは、立ち上がり / 立ち下がりエッジセンスをウェイクアップエッジセレクトレジスタ (WEGR) の WKEGS0 ~ WKEGS7 により指定できます。
- ポートモードレジスタ 5 (PMR5) により端子機能が  $\overline{\text{WKP0}}$  ~  $\overline{\text{WKP7}}$  端子に選択された状態で指定されたエッジが入力されると、ウェイクアップ割り込み要求レジスタ (IWPR) の IWPF0 ~ IWPF7 の対応するビットが "1" にセットされ、割り込み要求を発生します。
- 割り込み要求の受け付けは、割り込みイネーブルレジスタ 1 (IENR1) の IENWP を "0" にクリアすることにより禁止できます。
- インタラプトプライオリティレジスタ (IPR) により、割り込みプライオリティレベルを設定できます。
- IRQAEC 割り込みは、IRQAEC 端子入力および IECPWM (AEC 用の PWM 出力) により入力されます。
- IRQAEC 端子入力を外部割り込みとして使用する場合は、AEGSR の ECPWME を "0" に設定します。
- IRQAEC 端子入力を外部割り込みとして使用する場合は、立ち上がり / 立ち下がり / 両エッジセンスを AEGSR の AIEGS1 と AIEGS0 により指定できます。
- IENR1 の IENEC2 が "1" で、指定されたエッジが入力されると、IRR1 対応するビットが "1" にセットされ、割り込み要求を発生します。
- インタラプトプライオリティレジスタ (IPR) により、割り込みプライオリティレベルを設定できます。
- 以上、IRQ, WKP, IRQAEC 割り込みは、コンディションコードレジスタ (CCR) の I ビットを "1" にすることにより、全ての割り込みを禁止できます。
- 以下に、割り込みの動作を示します。
  - (1) 割り込みイネーブルレジスタに対応するビットが "1" にセットされている状態で、割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求信号が送られます。
  - (2) 割り込みコントローラに割り込み要求信号が送られると、IPR に設定された割り込み優先レベルに従って、割り込みレベルの高い割り込みが選択され、それより低位の割り込みは保留します。
  - (3) 割り込み優先順位のレベルが同一の場合は、ハードウェアで定められた順位に従って高い割り込み要求が選択されます。
  - (4) インタラプトマスクレジスタ (INTM) の INTM1, INTM0 ビットおよび CCR の I ビットを参照し、I ビットが "1" にセットされているとき、割り込み要求は保留となります。I ビットが "0" にクリア、INTM1 ビットが "1" にセットされているときは、優先レベル 1 以下の割り込みは保留となります。I ビットが "0" クリア、INTM1 ビットが "0" クリア、INTM0 ビットが "1" にセットされているときは、優先レベル 0 の割り込みは保留となります。I, INTM1, INTM0 ビットがいずれも "0" にクリアされているときは、全ての割り込みが受け付けられます。

- (5) CPU に割り込みが受け付けられると、そのとき実行中の命令が終了した後、プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) の内容がスタック領域に退避されます。スタックされる PC はリターン後に実行する最初の命令のアドレスを示しています。
  - (6) CCR の I ビットが "1" にセットされます。これにより、NMI、アドレスブレークを除く全ての割り込みはマスクされます。
  - (7) 受け付けた割り込みに対応するベクタアドレスを生成し、そのアドレスによって示されるアドレスから割り込み処理ルーチンの実行を開始します。
- 割り込みイネーブルレジスタをクリアすることにより割り込みを禁止にする場合、または割り込みフラグレジスタをクリアする場合は、必ず割り込みをマスクした状態 (I = "1") で行います。I = "0" の状態でこのような操作を行うと、当該操作命令の実行と当該割り込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割り込みに対応する例外処理を実行します。
  - ポートモードレジスタ B (PMRB)  
PB0 を  $\overline{\text{IRQ0}}$  入力端子に設定します。
  - 割り込みエッジセレクトレジスタ (IEGR)  
 $\overline{\text{IRQ0}}$  端子の割り込み要求を発生させるエッジの方向を選択します。
  - 割り込みイネーブルレジスタ 1 (IENR1)  
 $\overline{\text{IRQ0}}$  端子割り込みを許可します。
  - 割り込みフラグレジスタ 1 (IRR1)  
 $\overline{\text{IRQ0}}$  割り込み要求ステータスレジスタです。

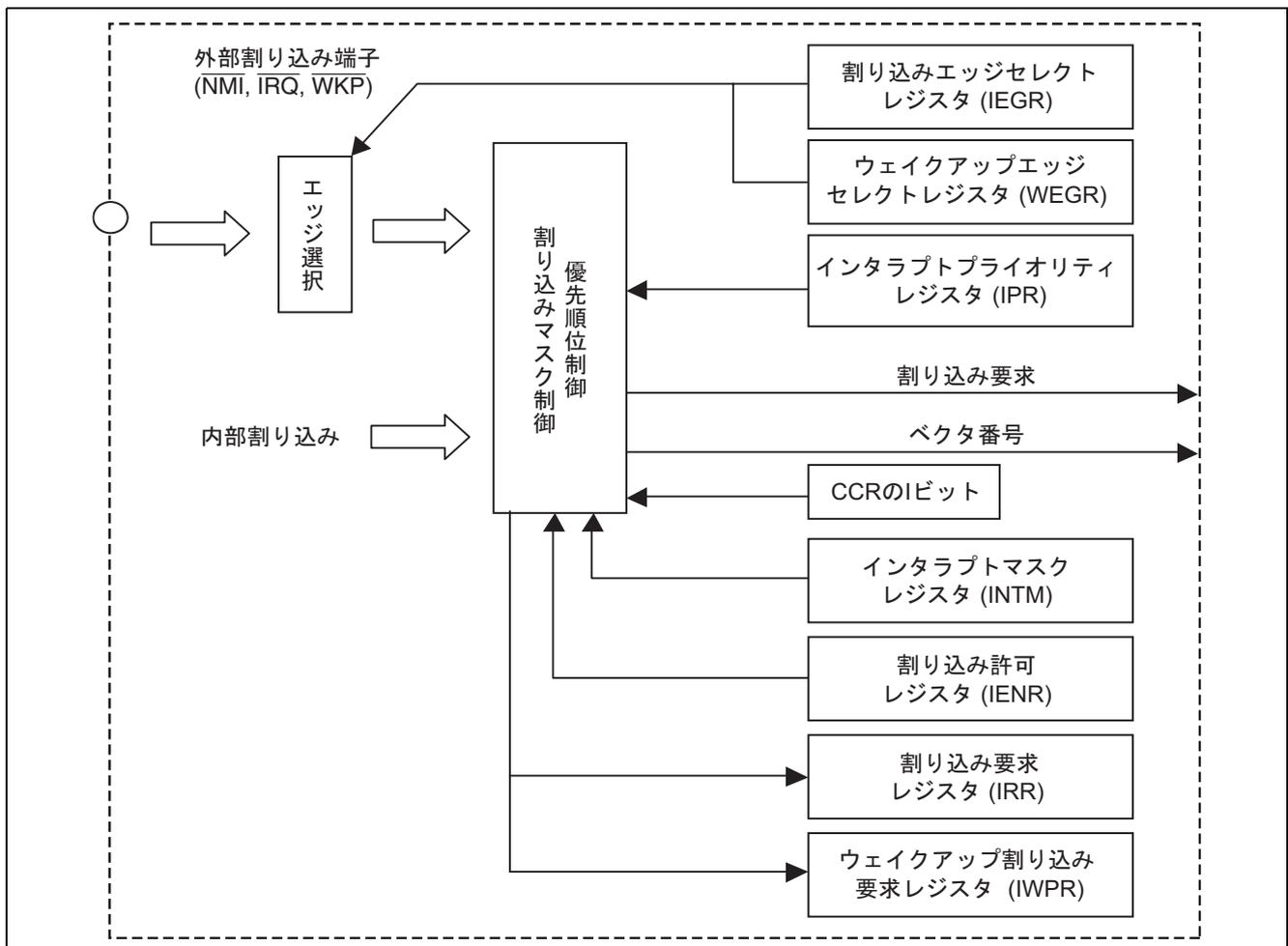


図2 割り込みコントローラのブロック図

## 2.2 機能割り付け

機能割り付けを表 1 に示します。表 1 に示すように機能を割り付け、IRQ 割り込みによるカウンタのカウントアップ行います。

表 1 機能割り付け

機能	機能割り付け
IEGR	$\overline{\text{IRQ0}}$ 端子の入力エッジの選択
IENR1	$\overline{\text{IRQ0}}$ 端子の割り込み要求を許可
IRR1	IRQ0 割り込みの有無を反映
PMRB	$\overline{\text{IRQ0}}$ 端子 / ポートの選択
$\overline{\text{IRQ0}}$	IRQ0 割り込み入力端子

3. 動作説明

- 図 3 に動作説明を示します。図 3 に示すようなハードウェア、ソフトウェア処理により、IRQ 割り込みによるカウンタのカウントアップ行います。

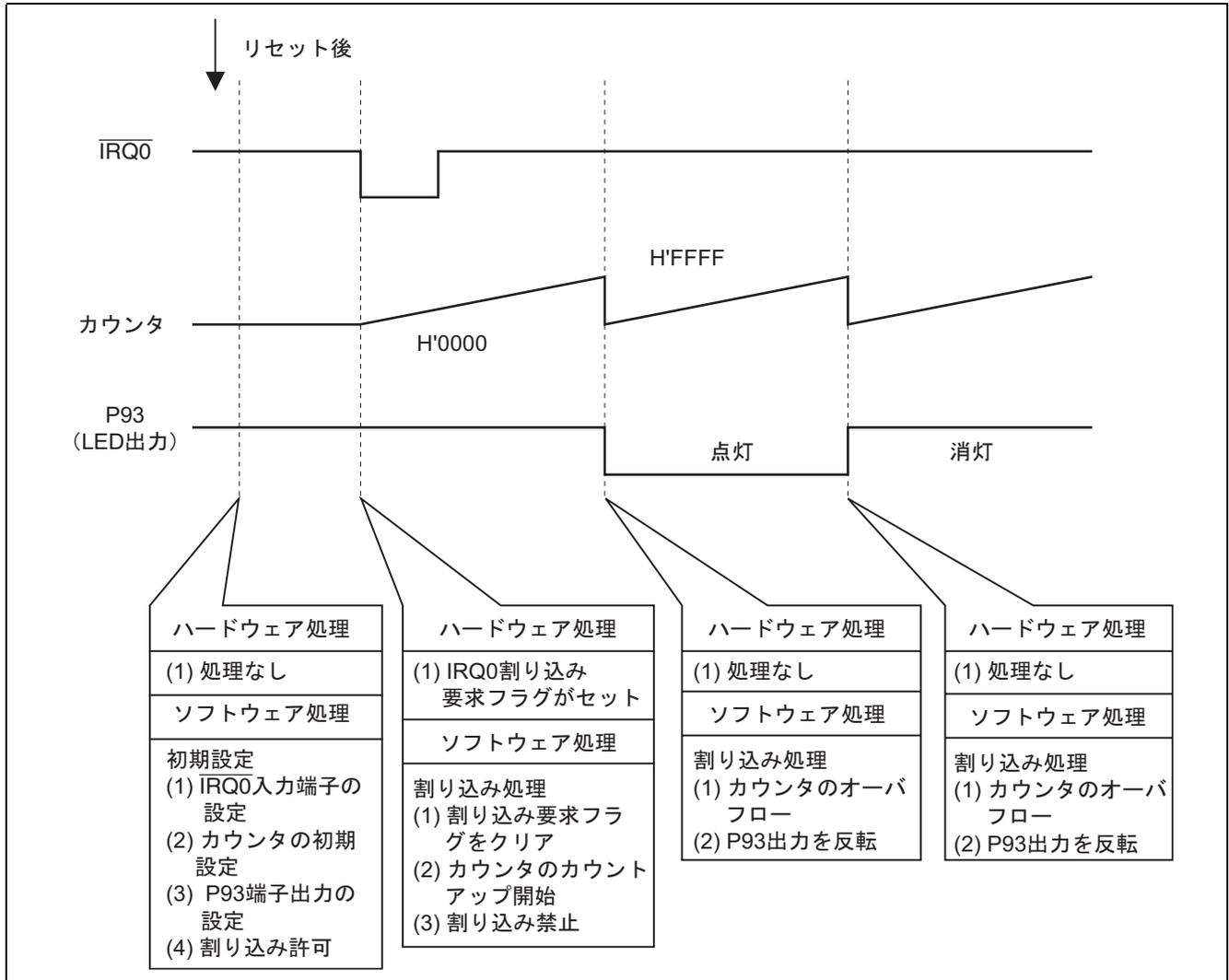


図 3 動作説明

## 4. ソフトウェア説明

### 4.1 モジュール説明

本タスク例のモジュールを表 2 に示します。

表 2 モジュール説明

関数名	機能
main	IRQ0 割り込みの設定, P93 を出力端子に設定し, "1"を出力 (LED 消灯) IRQ0 割り込み発生後, カウンタのオーバフローにより P93 出力を反転
irq0int	IRQ0 割り込み処理, IRRIO のクリア, IRQ0 割り込みの禁止, irq0_f を"1"にセット

### 4.2 引数の説明

本タスク例では, 引数を使用しません。

### 4.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。

● PMRB ポートモードレジスタ B

アドレス: H'FFCA

ビット	ビット名	設定値	R/W	機能
0	IRQ0	1	R/W	PB0 / AN0 / $\overline{\text{IRQ0}}$ 端子切り替え PB0 / AN0 / $\overline{\text{IRQ0}}$ 端子を PB0 / AN0 端子として使用する か, $\overline{\text{IRQ0}}$ 端子として使用するか設定します。 1: $\overline{\text{IRQ0}}$ 入力端子として機能

● PDR9 ポートデータレジスタ 9

アドレス: H'FFDC

ビット	ビット名	設定値	R/W	機能
3	P93	1	R/W	P93 データレジスタ P93 のデータを格納するレジスタです。PCR93 が 1 のとき, P93 のリードを行うと, P93 の値を直接リードします。 PCR93 が 0 のとき, P93 のリードを行うと端子状態が読み 出されます。

● PCR9 ポートコントロールレジスタ 9

アドレス: H'FFEC

ビット	ビット名	設定値	R/W	機能
3	PCR93	1	W	P93 コントロールレジスタ P93 の入出力を制御します。PCR93 を 1 にセットすると P93 は出力端子となり, 0 にクリアすると入力端子となりま す。なお, 本レジスタはライト専用です。リードした場合 には常に 1 が読み出されます。

● IEGR 割り込みエッジセレクトレジスタ

アドレス: H'FFF2

ビット	ビット名	設定値	R/W	機能
0	IEG0	0	R/W	IRQ0 エッジセレクト 0: $\overline{\text{IRQ0}}$ 端子入力の立ち下がりエッジを検出

- IENR1 割り込みイネーブルレジスタ 1 アドレス : H'FFF3

ビット	ビット名	設定値	R / W	機能
0	IEN0	1	R / W	IRQ0 割り込み要求イネーブル 0 : IRQ0 割り込み要求を禁止 1 : IRQ0 割り込み要求を許可

- IRR1 割り込みフラグレジスタ 1 アドレス : H'FFF6

ビット	ビット名	設定値	R / W	機能
0	IRRI0	0	R / W	IRQ0 割り込み要求フラグ [セット条件] IRQ0 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき

#### 4.4 使用定数説明

本タスク例では定数を使用しません。

#### 4.5 使用 RAM 説明

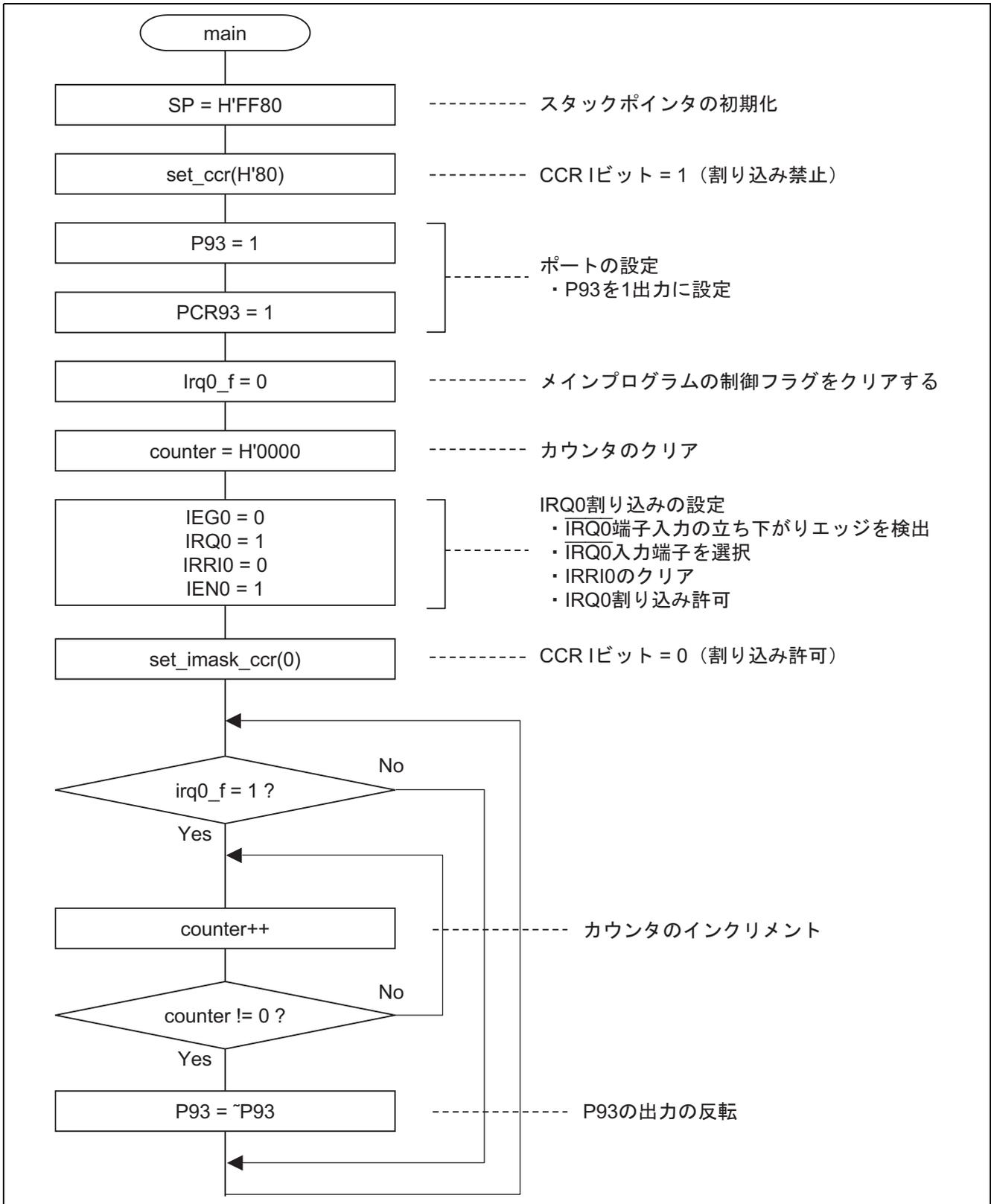
表 3 に本タスク例の使用 RAM 説明を示します。

表 3 使用 RAM 説明

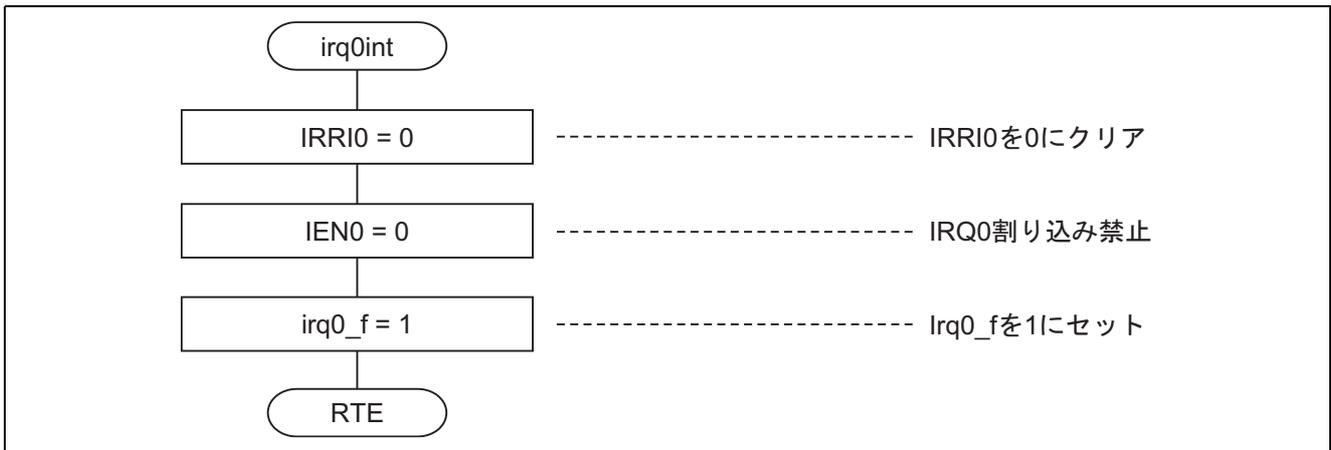
ラベル名	説明	メモリ消費量	使用関数名
irq0_f	IRQ0 割り込みが発生したことを示す。 メインプログラムの制御を行う。 0 : 発生なし 1 : 発生	1 バイト	main , irq0int

## 5. フローチャート

### 5.1 main



5.2 irq0int



• リンクアドレス指定

セクション名	アドレス
CV1	H'0000
CV2	H'000C
P	H'0100
B	H'F780

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.09.15	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。