

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8/3977シリーズ VTRサーボ編

アプリケーションノート

ルネサスシングルチップマイクロコンピュータ

H8/3974
H8/3975
H8/3976
H8/3977

1. 本資料に記載された製品及び製品の仕様は、予告なく変更されることがあります。
2. 本資料に記載された内容は、正確かつ信頼し得るものであります。ただし、これら掲載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、(株)日立製作所は一切その責任を負いません。
3. 本資料によって第三者または(株)日立製作所の特許権その他権利の実施権を許諾するものではありません。
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします。
5. 日立半導体は、人命にかかわる装置用として特別に開発したものは用意しておりません。ライフサポート関連の医療機器用として日立半導体の採用をお考えのお客様は、当社営業窓口へお客様にてシステム設計上の対策をして頂けるかを是非ご連絡頂きますようお願い致します。

はじめに

H8/3977シリーズマイクロコンピュータは、H8/300L CPUを核にVTRシステム制御用に最適なOSD表示、サーボ制御回路を内蔵した日立オリジナル高性能8ビットマイクロコンピュータです。

CPU、RAM、時計用タイマ、リニアタイムカウンタ、SCI等の他に、OSD表示用、サーボ制御用ハードウェアを内蔵しており、VTRシステム制御、OSD表示、サーボ制御を1チップで実現することが可能です。

本アプリケーションノートは、H8/3977シリーズを使用したサーボ制御ソフトウェアの設計方法を紹介しており、ユーザにてサーボ制御ソフトウェア設計を行なう際、ご参考として役立てていただけるようにまとめたものです。

なお、本アプリケーションノートに記載されているソフトウェア例は、一通りデバッグ済みですが、実際のご利用に当たっては、必ず動作確認の上、ご使用くださるようお願い致します。

本版で改訂または追加された主な項目

ページ	項目	内容
	はじめに	説明の修正
2	図1.3 サーボモジュールブロック図	図の修正
7	3.1 ソフトウェア構成	説明の修正
	図3.1 VTRサーボソフトウェア構成	図、項目の修正
8	図3.3 モジュール別ハードウェア構成	図の修正
9	図3.4 サーボモードのインタフェース	図の修正
25	表3.7 ドラム制御プリセットデータ一覧 (PAL/LP)	表の修正
27	3.4 H8/3977のキャプスタンモータ制御	説明の修正
49	図4.3 DRMPWMの出力動作タイミングチャート	図の修正
55	図4.11 停止から再生へ移行時のドラム速度誤差検出回路動作	図の修正
57	図4.13 速度誤差ラッチ割り込み処理フローチャート	図の修正
74	図4.32 CAPPWMの出力動作タイミングチャート	図の修正
80	図4.39 停止から再生へ移行時のキャプスタン速度誤差検出回路動作	図の修正
82	図4.41 速度誤差ラッチ割り込み処理フローチャート	図の修正
84	図4.44 再生時のキャプスタン位相補正	図の修正
85	図4.46 録画時のキャプスタン位相補正	図の修正
88	図4.49 デジタルフィルタブロック	図の修正

目 次

1. H8/3977 製品概要	1
2. サーボ制御	3
2.1 サーボ制御概要	3
2.2 ドラムモータ速度制御	4
2.3 キャプスタンモータ速度制御	4
2.4 位相制御	5
3. H8/3977 サーボ制御	7
3.1 ソフトウェア構成	7
3.2 インタフェース	9
3.2.1 サーボモード設定の方法	10
3.3 H8/3977 のドラムモータ制御	16
3.3.1 基準信号設定値の計算方法	18
3.3.2 ドラム速度誤差検出プリセット値の計算方法	19
3.3.3 ドラム位相誤差検出プリセット値の計算方法	20
3.4 H8/3977 のキャプスタンモータ制御	26
3.4.1 キャプスタン速度誤差検出プリセット値の計算方法	28
3.4.2 キャプスタン位相誤差検出プリセット値の計算方法	29
3.5 デジタルフィルタ	35
3.5.1 デジタルフィルタの機能	35
3.5.2 デジタルフィルタの特性の求め方	36
3.5.3 デジタルフィルタ係数の計算	38
3.6 H.SW (V.FF) の生成	39
3.6.1 H.SW生成タイミングの計算	40
3.6.2 付加Vパルスの生成	41
3.6.3 付加Vパルスのシフト	42
3.7 CTLP検出/記録	43
3.7.1 X値/トラッキング補正	44
3.7.2 CTLシュミットアンプ	45
3.7.3 REC-CTL出力タイミングの計算	46
4. 詳細動作説明	47
4.1 動作説明の概要	47
5. アプリケーション機能の実現	98
5.1 FF/REWのスローランディング	98
5.1.1 FF/REW速度制御の方法	98
5.1.2 スローランディングのアルゴリズム	100
5.1.3 データテーブルの構成	101
5.2 つなぎ録り制御	102
5.2.1 つなぎ録り	102
5.2.2 つなぎ録り制御のタイミング	102
5.3 ヘッドスイッチの自動調整	103
5.3.1 ヘッドスイッチの調整	103
5.3.2 自動調整の方法	103
5.3.3 調整値算出のアルゴリズム	104
5.3.4 ソフトウェア処理	105

1. H8/3977製品概要

図1.1にH8/3977シリーズのブロック図を示します。H8/3977シリーズはAD変換器、SCI、PWMおよび各種タイマ等の周辺モジュールの他、サーボ回路およびOSD回路を内蔵しています。

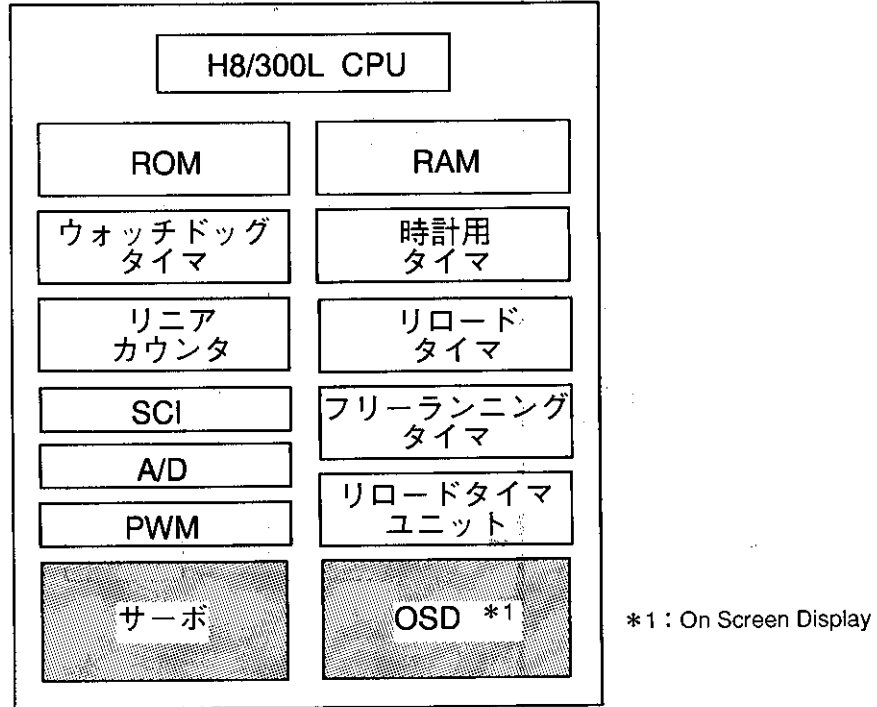


図1.1 H8/3977シリーズブロック図

図1.2にH8/3977シリーズを使用したVTRシステムのソフトウェア構成例を示します。H8/3977シリーズはシステムコントロール制御、タイマ/チューナ制御等のソフトウェアの他、サーボ制御、OSD表示制御が可能です。

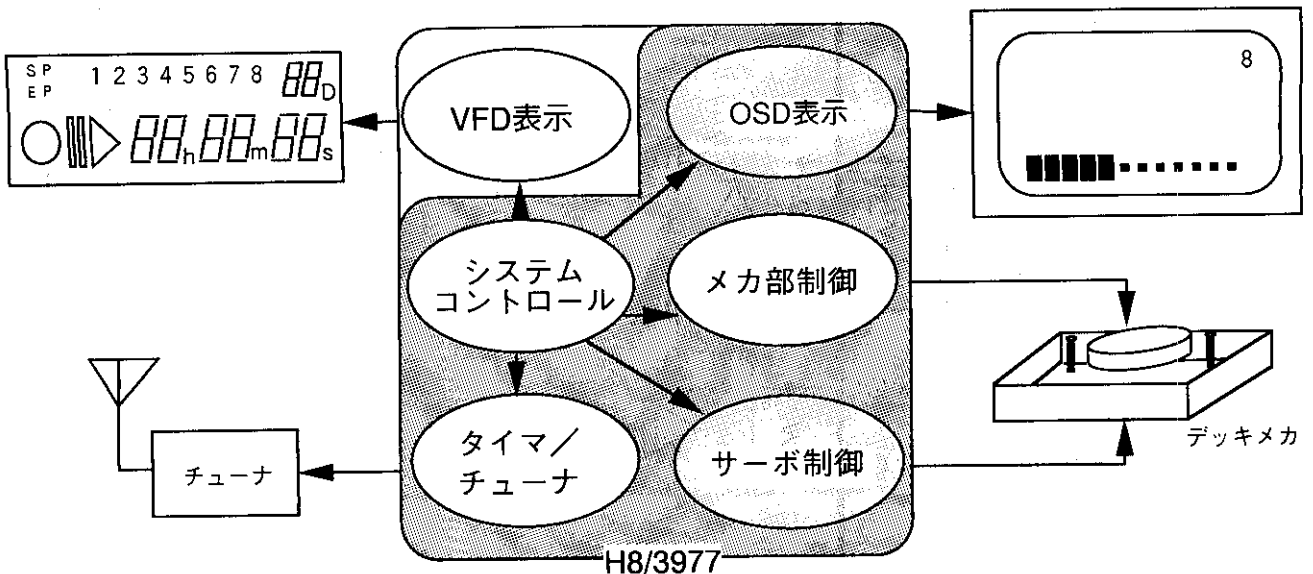


図1.2 H8/3977ソフトウェア構成例

図1.3にH8/3977シリーズのサーボモジュールのブロック図を示します。

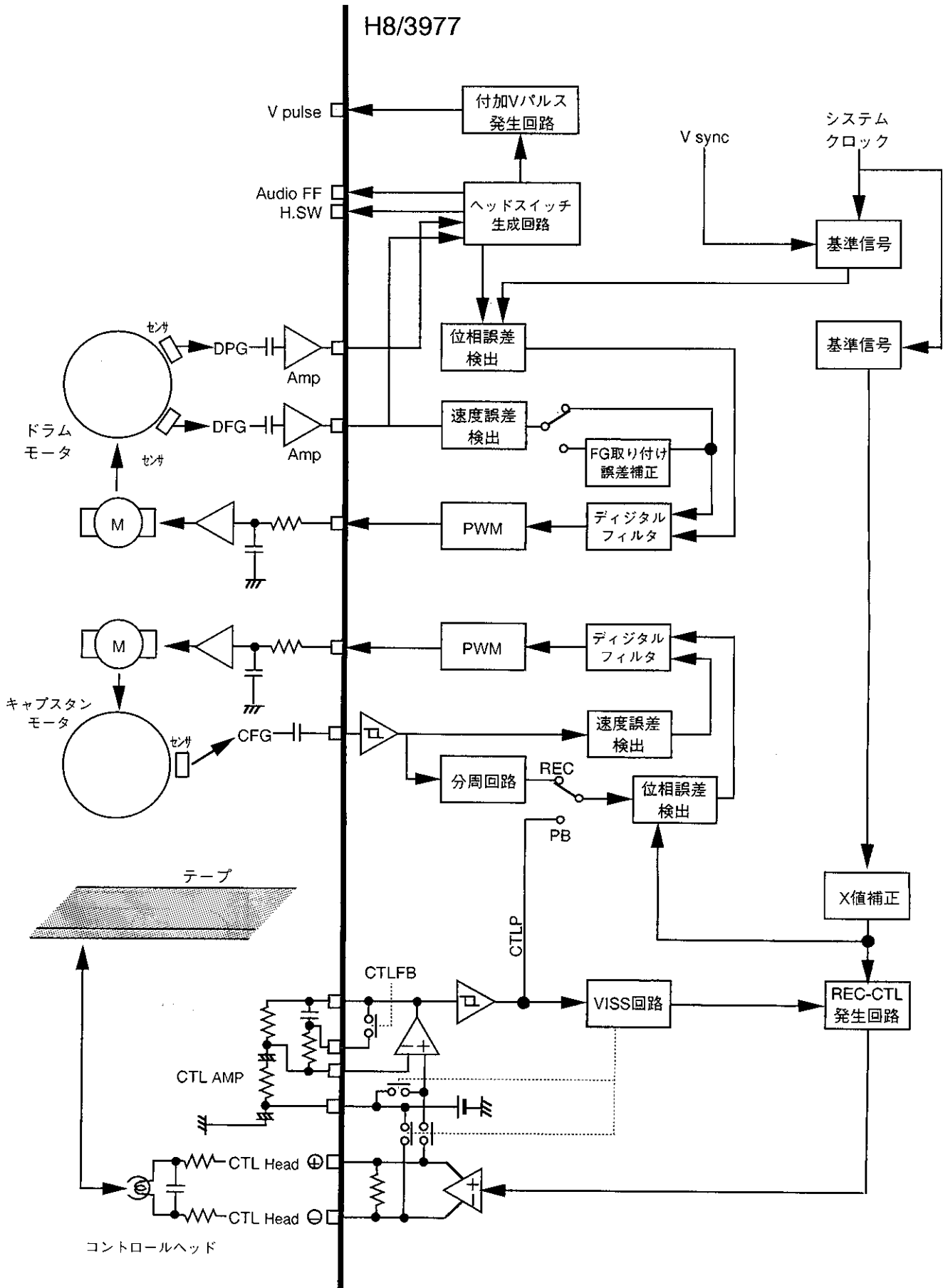


図1.3 サーボモジュールブロック図

2. サーボ制御

2.1 サーボ制御概要

VTRのサーボ制御は図2.1に示すようにドラムモータサーボとキャプスタンモータサーボの2系統があります。ドラムモータのサーボは速度制御と位相制御を行いません。同様にキャプスタンモータのサーボも速度制御と位相制御を行いません。

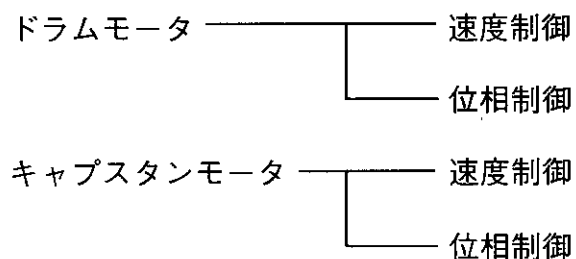


図2.1 サーボ制御の構成

それぞれのサーボの速度制御と位相制御は図2.2に示すような関係があります。速度制御はドラムモータ/キャプスタンモータとも独立した制御を行いますが、位相制御はドラムモータとキャプスタンモータで関係を持った制御になります。

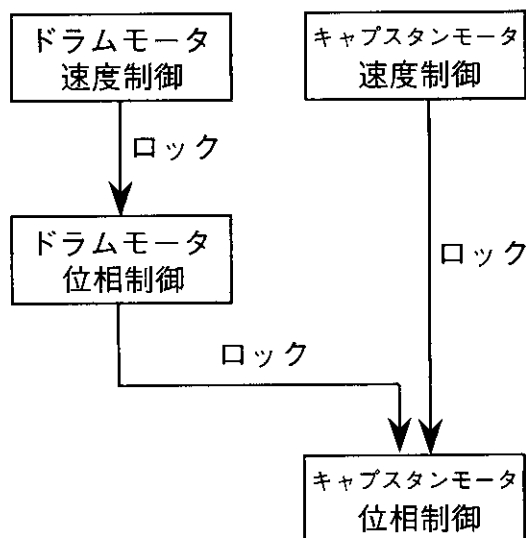


図2.2 速度制御と位相制御の関係

2. 2 ドラムモータ速度制御

ドラムモータ速度制御は、ドラムモータの回転速度を一定に保つ制御です。

図2.3に示すように、ドラムモータからDFG (Drum Frequency Generator) 信号(24発/1回転)がマイコンに入力されます。NTSCの場合、ドラムモータの回転速度が29.97rps (1回転の周期33.36ms) ですのでDFG信号の周期は

$$33.36\text{ms}/24\text{発}=1.39\text{ms}$$

となります。ドラムモータ制御はこのDFG信号の周期を1.39msになるようにドラムモータの回転速度を制御します。

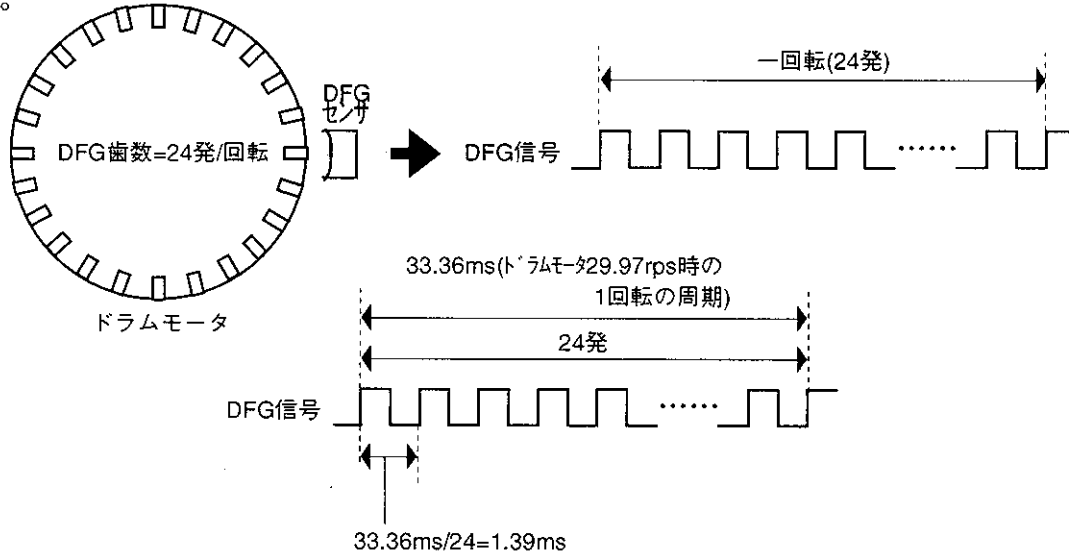


図2.3 ドラム速度制御

2. 3 キャプスタンモータ速度制御

キャプスタンモータ速度制御は、表2.1に示す規定の速度でテープを送るようにキャプスタンモータの回転速度を保つ制御です。図2.4に示すように、キャプスタンモータからCFG (Capstan Frequency Generator) 信号がマイコンに入力されます。SPモードの場合、テープ送りを行なうピンチローラ直径を5.3mmとすると2回転でSPモードのテープ送り量33.4mmとなります。従って、ピンチローラの回転数は2rpsです。

ここで、ピンチローラとキャプスタンモータの回転比を2:3とすると、キャプスタンモータの回転速度3rpsから1回転周期は333.6msとなります。1回転のCFG歯数は360発なので、CFG信号の周期は

$$333.6\text{ms}/360\text{発}=0.9267\text{ms}$$

となります。

キャプスタン速度制御は、CFG信号の周期が0.9267msになるようにキャプスタンモータの回転速度を制御します。

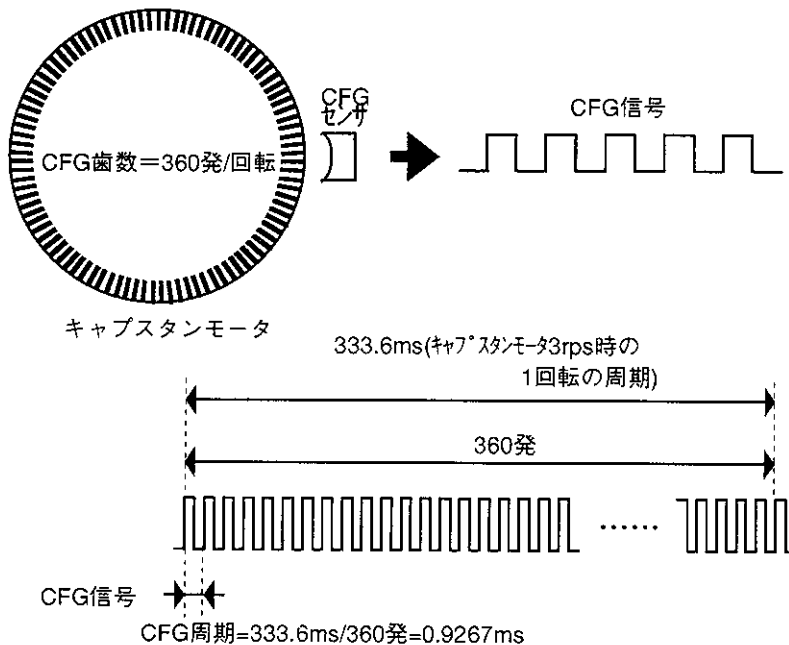


図2.4 キャプスタン速度制御

表2.1 テープ送り速度の規定値

モード	テープ送り速度
NTSC	SP 33.4mm/s
	LP 16.7mm/s
	EP 11.1mm/s
PAL	SP 23.4mm/s
	LP 11.7mm/s

2.4 位相制御

再生時(PB時)の位相制御は、ビデオ信号再生ヘッドが各トラックの中心をなぞるようにする制御です。図2.5にVHS方式のテープ記録状態を示します。

位相制御はドラム位相制御とキャプスタン位相制御の両方で、それぞれの目標とする位相を保つことで行ないます。まずドラムモータの位相制御がキャプスタンモータの位相制御の基準信号となる信号(REF30P:マイコン内部で生成)を、垂直同期信号(Vsync信号)の記録されている位置(ヘッド切換え信号(H.SW信号)の立ち下がりから6.5H後)に同期させます。次にキャプスタンモータの位相制御はREF30P信号の立ち上がりから、再生コントロール信号(PB-CTL信号)の立ち上がりまでの時間を規格値(X値)に保ちます。図2.6に位相制御の目標位相を示します。

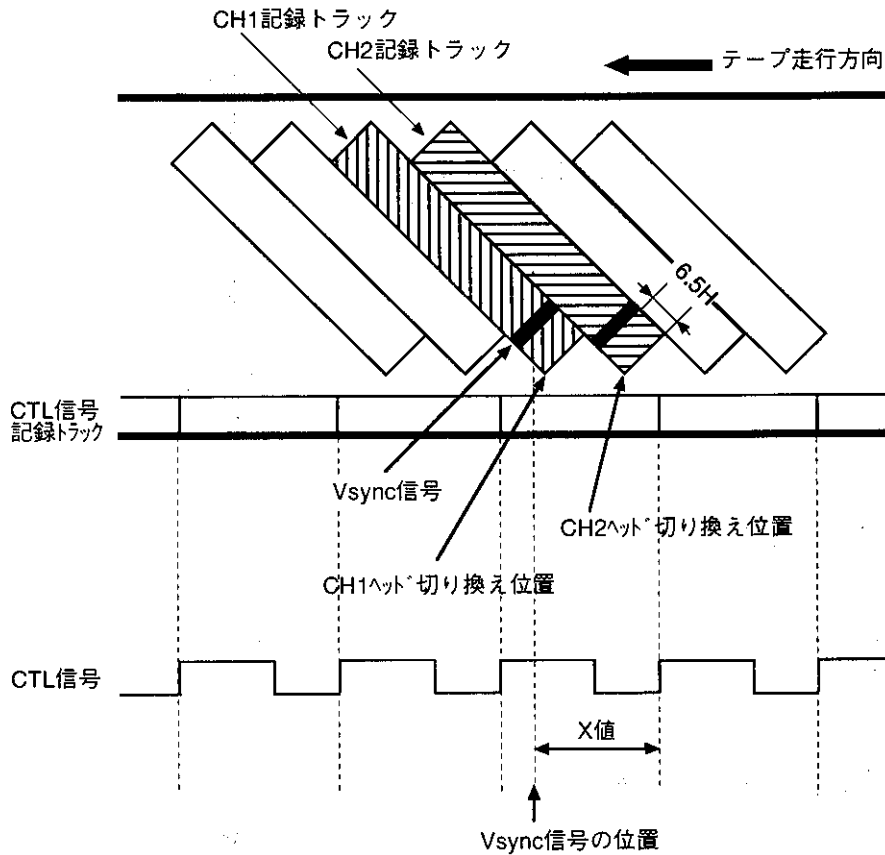


図2.5 VHS方式のテープ記録状態

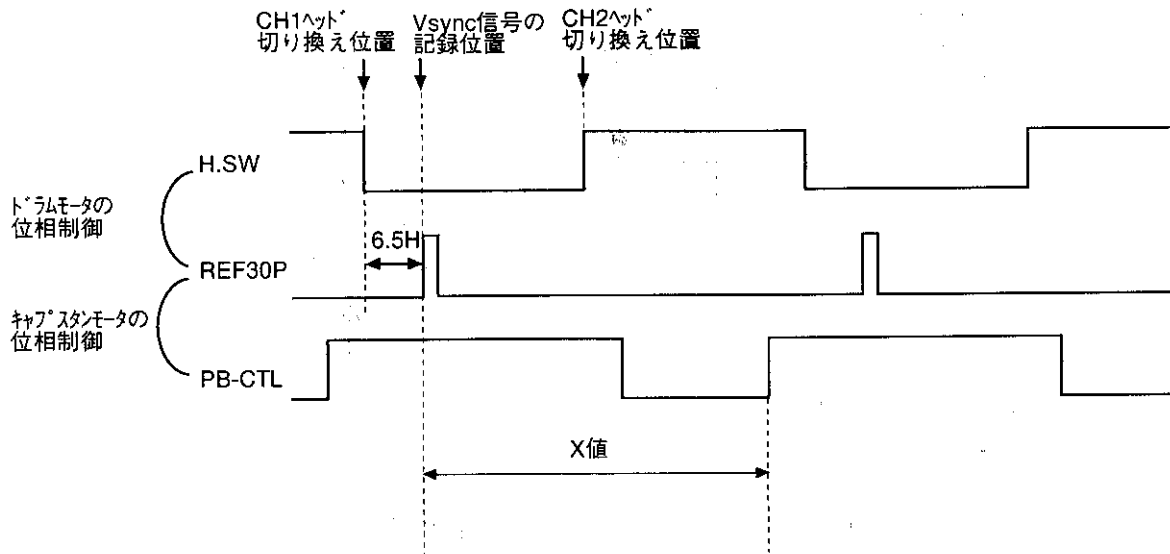


図2.6 位相制御の目標位相

図2.7に再生時/記録時の位相制御の概要を示します。再生時はDPG信号を基準に、記録時はVsync信号を基準にドラム/キャプスタンの位相制御を行ないます。

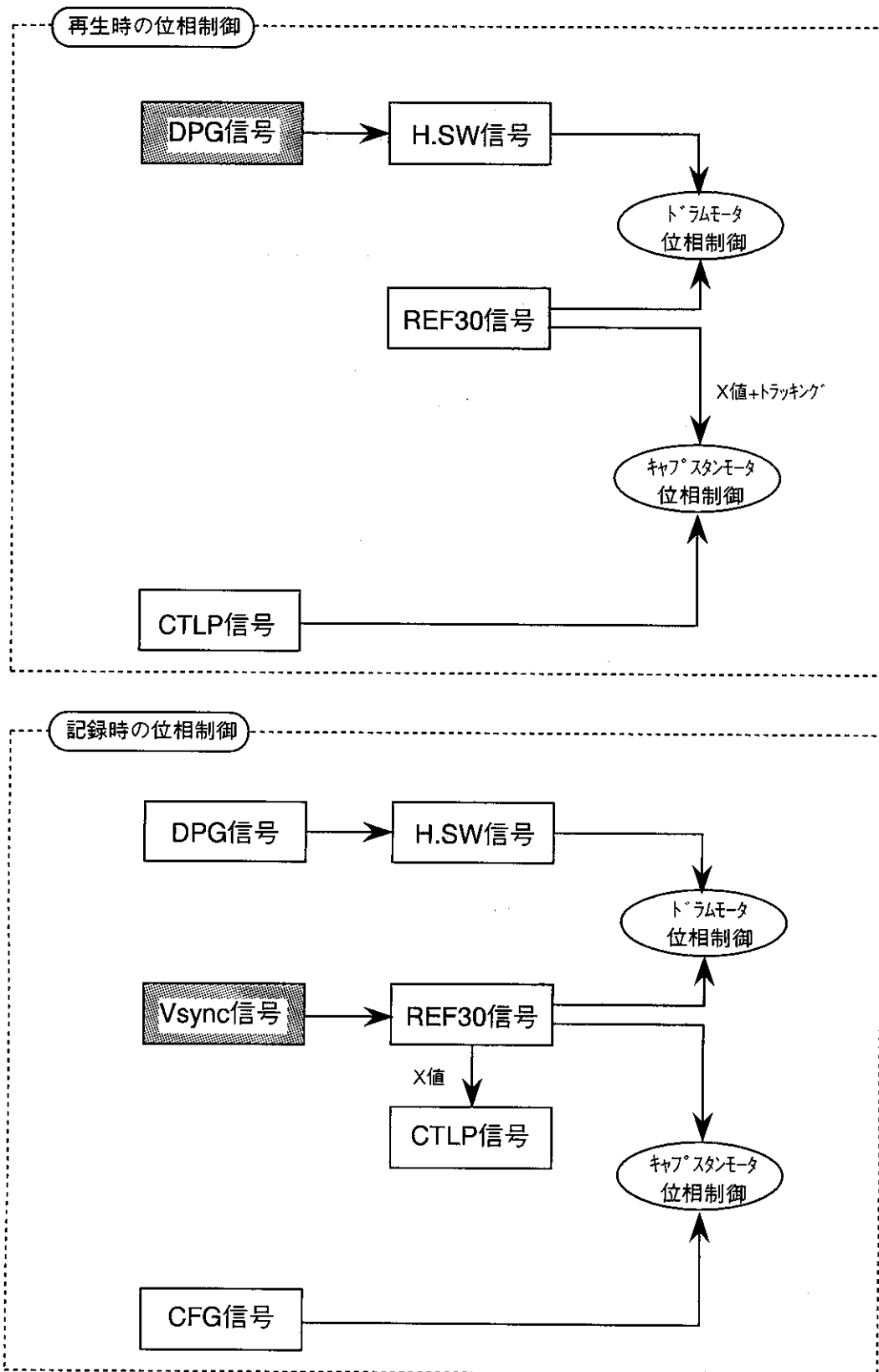


図2.7 再生時/記録時の位相制御の概要

3. H8/3977サーボ制御

3. 1 ソフトウェア構成

図3.1にVTRサーボ制御ソフトウェアの構成を示します。VTRサーボ制御のソフトウェアは、システムコントロールソフトウェアとサーボ制御ソフトウェアの2つに大別できます。システムコントロールソフトウェアはサーボ制御ソフトウェアにサーボ制御の指示を出します。サーボ制御ソフトウェアは受け取ったサーボ制御指示に従って各制御データの設定を行います。

図3.2にサーボ制御ソフトウェアのモジュール構成を示します。サーボ制御ソフトウェアは図3.2に示すようなソフトウェアモジュールに分割することができます。

図3.3に各ソフトウェアモジュールに対応したハードウェアを示します。

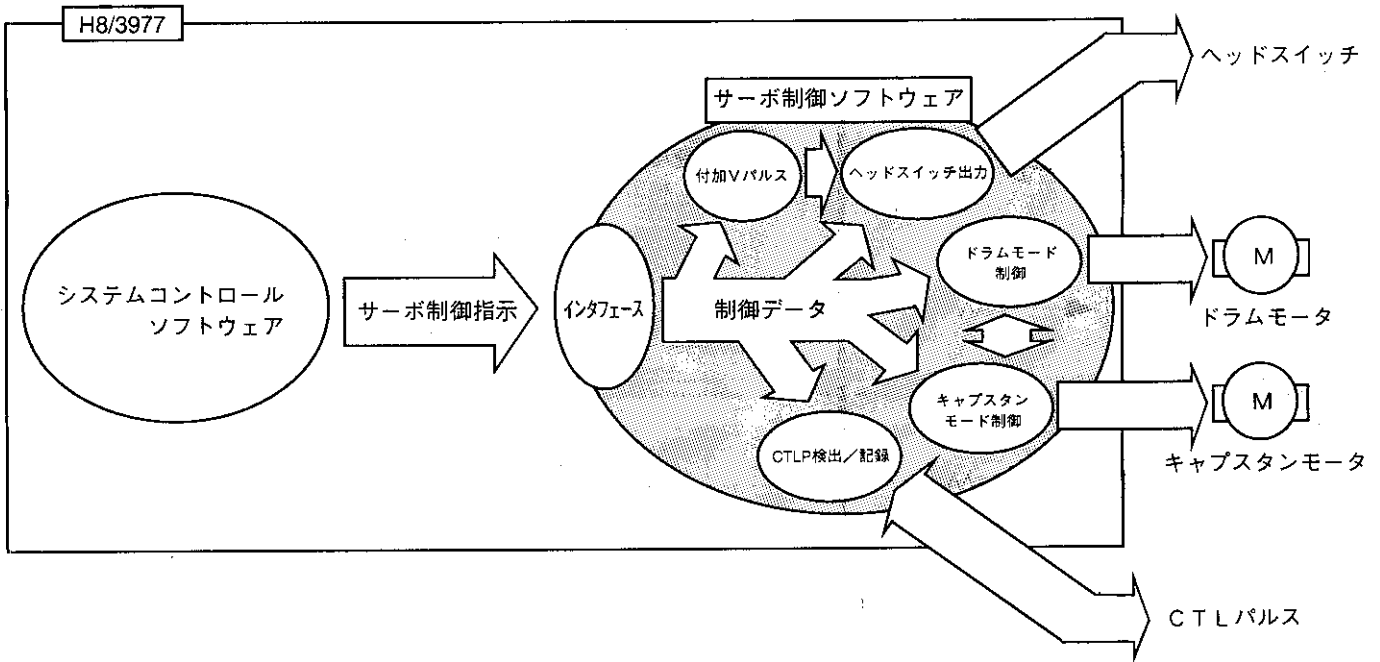


図3.1 VTRサーボソフトウェア構成

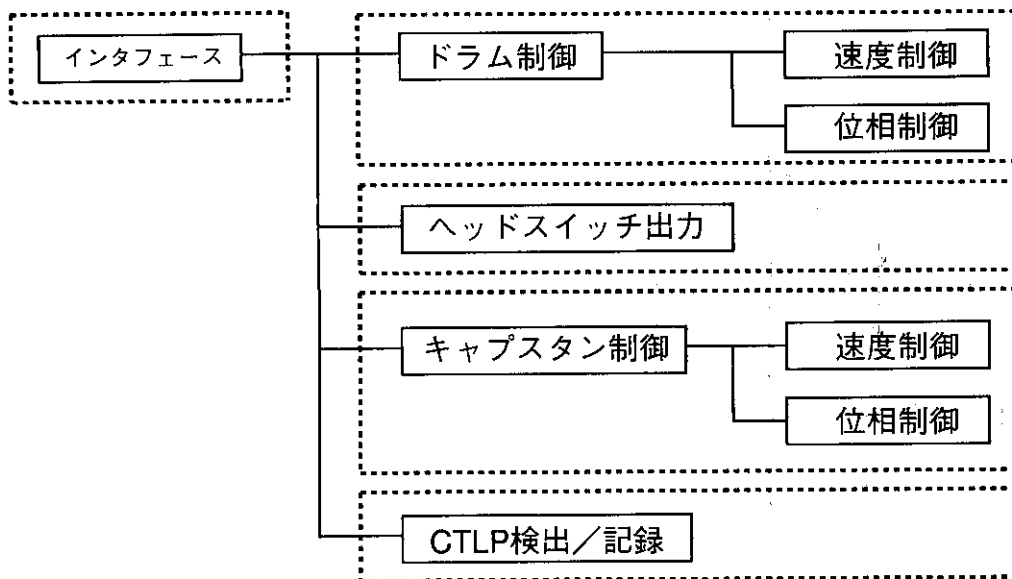


図3.2 サーボソフトウェアのモジュール構成

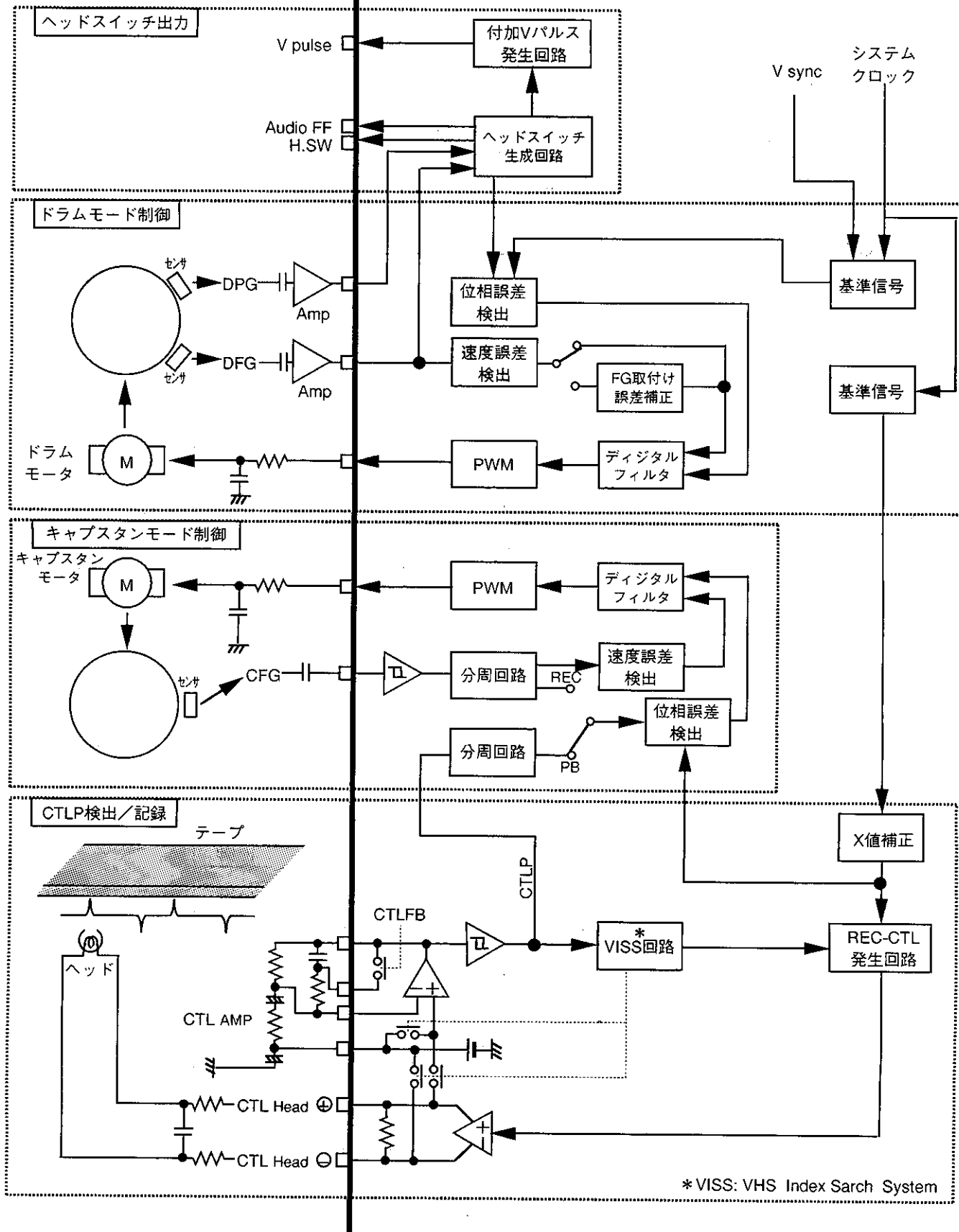


図3.3 モジュール別ハードウェア構成

3. 2 インタフェース

図3.4にサーボモードのインタフェースを示します。サーボモードの受け渡しはRAMを使用して行います。RAMに設定するサーボモードを表3.1に示します。

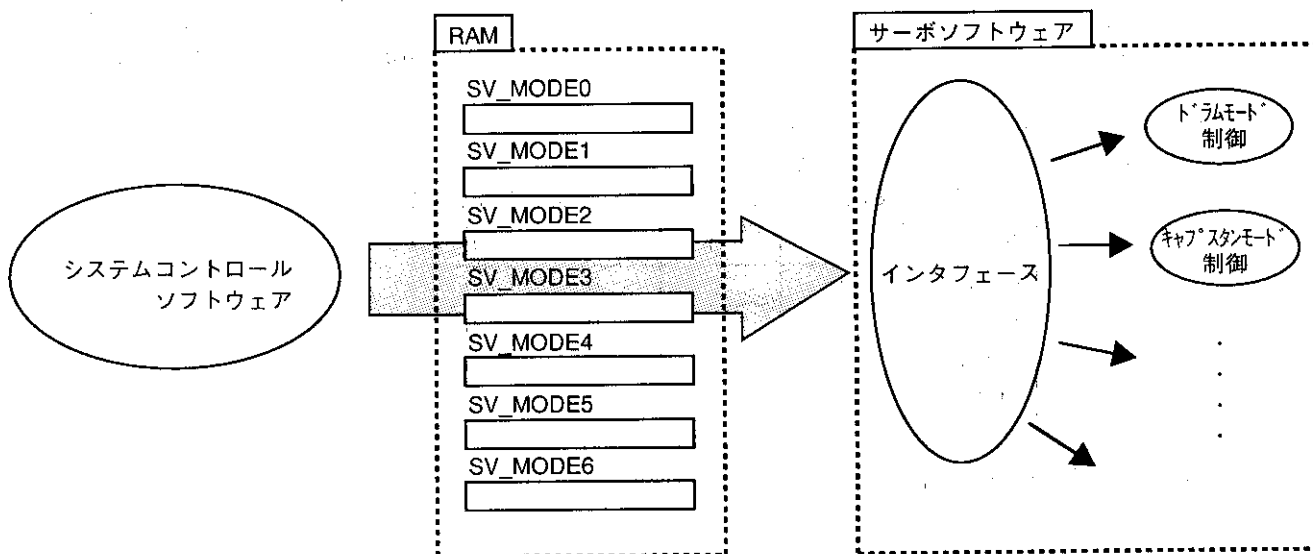


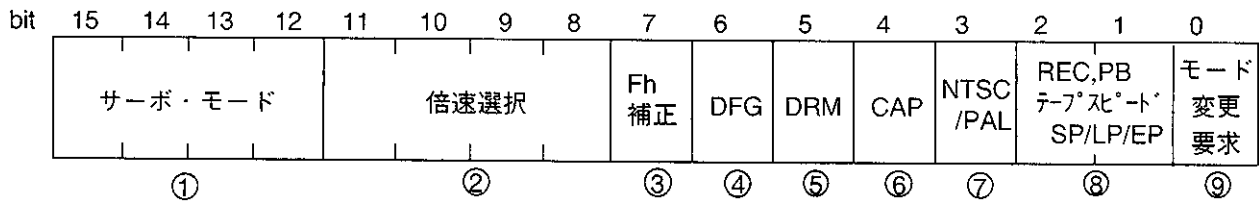
図3.4 サーボモードのインタフェース

表3.1 サーボモード一覧

設定場所		サーボモード機能
SV_MODE0	上位バイト	サーボの状態 (PB, REC, FF/REW等) 及びキャプスタン倍速数を設定
	下位バイト	ドラムON/OFF, キャプスタンON/OFF, NTSC/PAL, SP/LP/EPEモードを設定
SV_MODE1	上位バイト	CTLP検出/記録のモードを設定
	下位バイト	PB時のトラッキングデータを設定
SV_MODE2	上位バイト	付加Vパルスのディレイ量を設定
	下位バイト	付加Vパルスの出力モード及びシフト量を設定
SV_MODE3	上位バイト	ドラム制御が固定値出力モードの時、出力する固定値を設定
	下位バイト	
SV_MODE4	上位バイト	キャプスタン制御が固定値出力モードの時、出力する固定値を設定
	下位バイト	
SV_MODE5	上位バイト	キャプスタン速度可変モード時の速度プリセット値を設定
	下位バイト	
SV_MODE6	上位バイト	—
	下位バイト	キャプスタン速度可変モード時のCFG分周値を設定

3. 2. 1 サーボモード設定の方法

サーボモード0(SV__MODE0)



① bit 15 ~12 (SVREC,SVASM,SVSLOW,FFREW)

ドラム及びキャプスタンのサーボ・モードを設定します。

	SVREC	SVASM	SVSLOW	FFREW
PB	0	0	0	0
REC	1	0	0	0
ASM	0	1	0	0
SLOW	0	0	1	0
FF/REW	0	0	0	1

② bit 11 ~8 (FWREV,CAPSPD2,CAPSPD1,CAPSPD0)

キャプスタン速度サーボのサーチ速度を設定します。サーチ速度の設定はPBモード時とFF/REWモード時で設定内容が異なります。

PBモード時

	FWREV	CAPSPD2	CAPSPD1	CAPSPD0
正転1倍速	0	0	0	0
正転2倍速	0	0	0	1
正転3倍速	0	0	1	0
正転5倍速	0	0	1	1
正転7倍速	0	1	0	0
正転9倍速	0	1	0	1
正転12倍速	0	1	1	0
正転16倍速	0	1	1	1
逆転1倍速	1	0	0	0
逆転2倍速	1	0	0	1
逆転3倍速	1	0	1	0
逆転5倍速	1	0	1	1
逆転7倍速	1	1	0	0
逆転9倍速	1	1	0	1
逆転12倍速	1	1	1	0
逆転16倍速	1	1	1	1

FF/REWモード時

	FWREV	CAPSPD2	CAPSPD1	CAPSPD0
1倍速	0	0	0	0
2倍速	0	0	0	1
3倍速	0	0	1	0
4倍速	0	0	1	1
5倍速	0	1	0	0
6倍速	0	1	0	1
7倍速	0	1	1	0
9倍速	0	1	1	1
11倍速	1	0	0	0
14倍速	1	0	0	1
15倍速	1	0	1	0
16倍速	1	0	1	1
17倍速	1	1	0	0
18倍速	1	1	0	1
19倍速	1	1	1	0
20倍速	1	1	1	1

③ bit 7 (FHON)

Fh補正時のドラムループフィルタ係数の変更をON/OFFします。

ループフィルタ係数の変更有り : 1
ループフィルタ係数の変更無し : 0

⑦ bit 3 (NTPAL)

映像方式の指定

PAL : 1
NTSC : 0

④ bit 6 (DFGON)

FG取付け誤差補正機能のON/OFFの指定

FGムキャンセル機能 ON : 1
FGムキャンセル機能 OFF : 0

⑧ bit 2,1 (CMODE1,CMODE0)

PB時及びREC時のテープ・ストップを設定します。

	CMODE1	CMODE0
SP	0	0
LP	0	1
EP	1	0

⑤ bit 5 (DRMON)

ドラム系サーボのON/OFF指定

ドラム系サーボ ON : 1
ドラム系サーボ OFF : 0

⑨ bit 0 (SVREQ)

サーボモード変更の要求を示します。

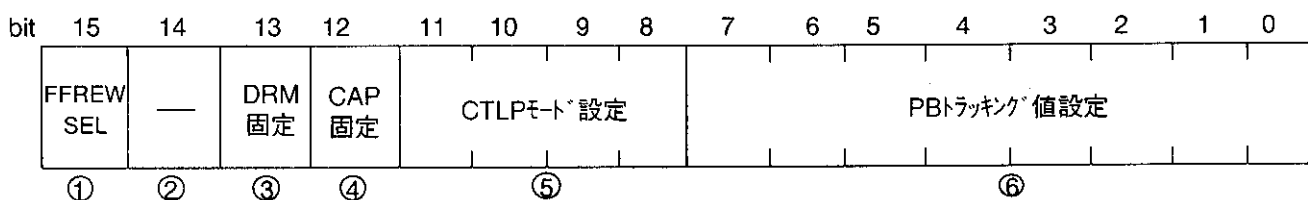
モード変更要求有り : 1
モード要求変更無し : 0

⑥ bit 4 (CAPON)

キャプスタン系サーボのON/OFFの指定

キャプスタン系サーボのON : 1
キャプスタン系サーボのOFF : 0

サーボモード1(SV_MODE1)



① bit 15 (FFREWSEL)

FF/REW時のキャプスタン速度設定のモードを選択をします。速度設定可変モード時はSV_MODE5 (速度プリセット値) 及びSV_MODE6 (CFG分周値) で速度を設定します。速度設定固定モード時はSV_MODE0で指定した16段階の速度を設定します。速度設定可変モードはFF/REW時のスローランディングに使用します。

速度設定可変モード : 1
速度設定固定 (16段階) モード : 0

② bit 14 未使用

③ bit 13 (DRMFI)

ドラム固定値出力モードのON/OFFを設定します。DRMON=1を指定した状態で本ビットが1の時、SV_MODE3(12bit)をPWM出力値としてDRMPWMに出力します。

固定値出力 ON : 1
固定値出力 OFF : 0

④ bit 12 (CAPFI)

キャプスタン固定値出力モードのON/OFFを設定します。CAPON=1を指定した状態で本ビットが1の時、SV_MODE4(12bit)をPWM出力値としてCAPPWMに出力します。

固定値出力 ON : 1
固定値出力 OFF : 0

⑤ bit 11~8 (CTLREC,CTLPVISS,CTLPVASS,CTLPASM)

CTLモード^{*}を設定します。

	CTLPREC	CTLPVISS1	CTLPVISS0	CTLPASM	CTLMLレジスタ値
VISS書込み	1	1	0	0	H'45(REC)
VISS書込み	0	1	0	0	H'05(PB)
VISS強制中止	1/0	1	1	0	H'10
VISS検出	0	0	1	0	H'09,H'29
ASM書込み	1	0	0	1	H'50
ASM検出	0	0	0	1	H'80,A0
REC-CTL記録	1	0	0	0	H'40
PB-CTL検出	0	0	0	0	H'00,H20

⑥ bit 7~0 (TRACK7,TRACK6,TRACK5,TRACK4,TRACK3,TRACK2,TRACK1,TRACK0)

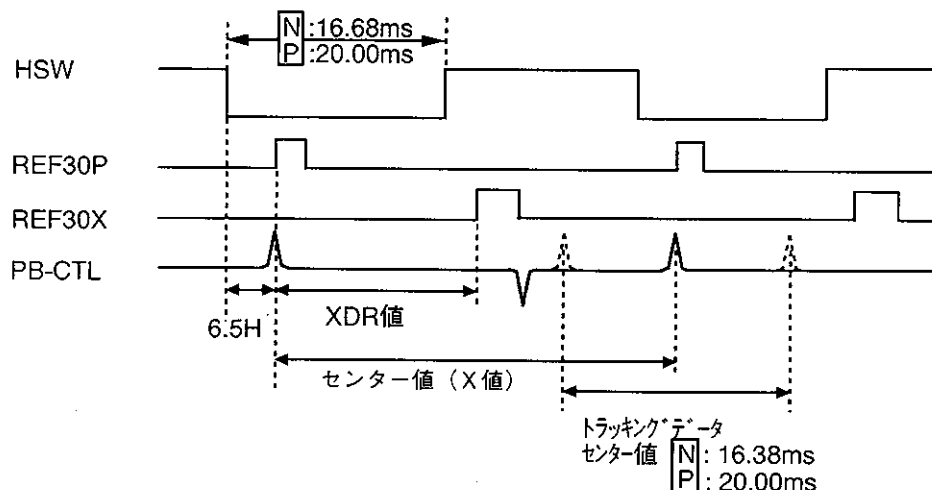
PB時のトラッキングデータを設定します。設定値は次式で求めます。

$$\text{設定値} = 128 - ((\phi / 1024) \times N) \quad N: \text{トラッキングセンターからの移動量 [sec]}$$

ただし、設定値は次に示す範囲の値にしてください。

	Min値	センター値	Max値
NTSC	48 -16.38ms	128	208 +16.38ms
PAL	30 -20ms	128	226 +20ms

$\phi = 5\text{MHz} (\text{fosc} = 10\text{MHz})$

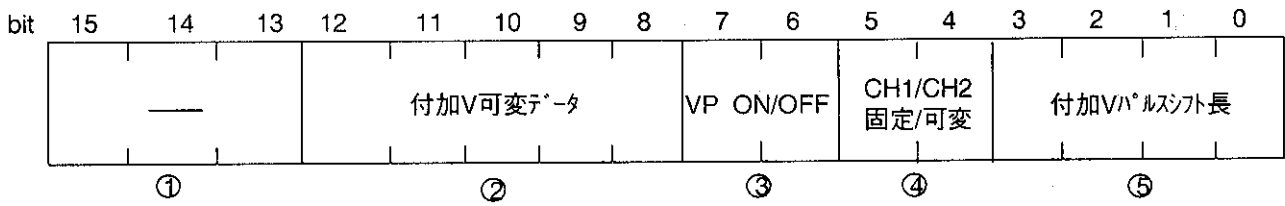


マニュアルトラッキングを、-14ステップ/+14ステップ° (28ステップ°) で行うときの設定データ例を示します。

PAL 1.4336ms/ステップ°
NTSC 1.1700ms/ステップ°

ステップ°	PAL		NTSC		
	トラッキングデータ	トラッキング移動量 (ms)	トラッキングデータ	デレイ値 (ms)	
-14	30	-20.0704ms	48	-16.38ms	DOWN方向
-13	37	.	54	.	
-12	44	.	59	.	
-11	51	.	65	.	
-10	58	-14.336ms	71	-11.7ms	
-9	65	.	77	.	
-8	72	.	82	.	
-7	79	.	88	.	
-6	86	.	94	.	
-5	93	-7.168ms	99	-5.85ms	
-4	100	.	105	.	
-3	107	.	110	.	
-2	114	.	116	.	
-1	121	-1.4336ms	122	-1.17ms	
0	128	±0.0ms	128	±0.0ms	● センタ値
+1	135	+1.4336ms	134	+1.17ms	UP方向
+2	142	.	139	.	
+3	149	.	145	.	
+4	156	.	150	.	
+5	163	+7.168ms	156	+5.85ms	
+6	170	.	162	.	
+7	177	.	168	.	
+8	184	.	174	.	
+9	191	.	179	.	
+10	198	+14.336ms	185	+11.7ms	
+11	205	.	190	.	
+12	212	.	196	.	
+13	219	.	202	.	
+14	226	+20.0704ms	208	+16.38ms	

サーボモード2(SV_MODE2)



① bit 15,14,13未使用

② bit 12~8 (VPOS14~0)

付加パルス可変データを設定します。

VPONCH1,VPONCH2で設定した可変したいチャンネルのVパルスの出力位置を設定します。

	00000	~	10001	~	11111	
NTSC	622.3 μ s	~	384.3 μ s	~	188.3 μ s	56(44.45-N)/4MHz
PAL	626.5 μ s	~	388.85 μ s	~	192.5 μ s	56(44.75-N)/4MHz
						N=5bitデータ

※1/2 SPEED共通仕様

PAL/NTSC	可変量 1step	SPEED	SET値(bit)					Delay(μ s)
			12	11	10	9	8	
PAL	14 μ s	SP	1	1	0	1	0	258.30
		LP	1	1	0	1	0	258.30
NTSC	14 μ s	SP	1	1	0	0	0	272.30
		LP	1	1	0	0	0	272.30
		EP	1	1	0	0	0	272.30

③ bit 7,6 (VPHiz,VP25)

付加VパルスのON/OFF及び出力方式を設定します。

	VPHiz	VP25
VP OFF (Low出力)	0	0
VP ON (3値出力)	0	1
VP ON (L/H/Hi-Z出力)	1	0

④ bit 5,4 (VPONCH1,VPONCH2)

付加Vパルスの位置の指定

bit7,6でVPONを指定の時、付加Vパルスの可変/固定出力を設定します。

	VPONCH1	VPONCH2
CH1 VP固定 /CH2 VP固定	0	0
CH1 VP固定 /CH2 VP可変	0	1
CH1 VP可変 /CH2 VP固定	1	0
CH1 VP可変 /CH2 VP可変	1	1

可変を指定した時、bit12~8による設定値を出力します。

固定を指定した時、6H分出力します。

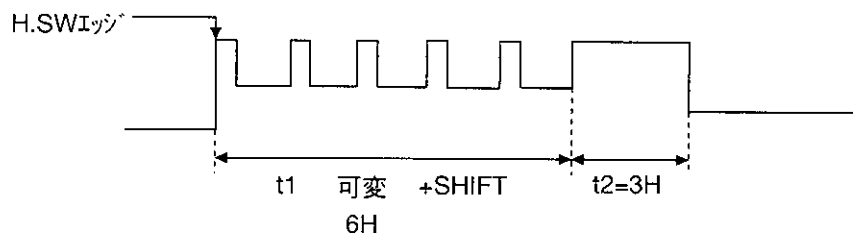
固定値	6H	PAL	→	6×64 μ s	=	384.0 μ s
		NTSC	→	6×63.49 μ s	=	380.9 μ s

⑤ bit 3~0 (VPSHIFT3~0)

付加Vパルスのシフト量を設定します。(VPSHIFT3~0)

VPシフト量	VPSHIFT3	VPSHIFT2	VPSHIFT1	VPSHIFT0	
0.0H	0	0	0	0	} * 設定しても付加Vパルスのシフトはありません
0.0H	0	0	0	1	
-3.0H	0	0	1	0	
-2.5H	0	0	1	1	
-2.0H	0	1	0	0	
-1.5H	0	1	0	1	
-1.0H	0	1	1	0	
-0.5H	0	1	1	1	
0.0H	1	0	0	0	
0.5H	1	0	0	1	
1.0H	1	0	1	0	
1.5H	1	0	1	1	
2.0H	1	1	0	0	
2.5H	1	1	0	1	
3.0H	1	1	1	0	
3.5H	1	1	1	1	

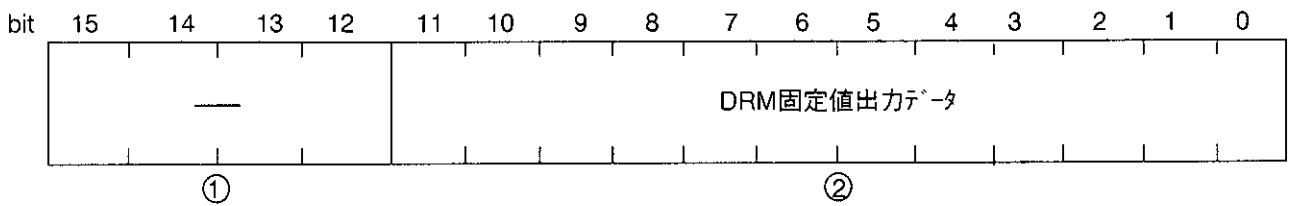
「VP ONの出力波形」



設定例

SV_MODE3=B'00010001 01010111
 NTPAL=0(NTSC)で設定したときのT1は、
 CH1 : 6H-0.5H
 CH2 : 384.3 μs-0.5H

サーボモード3(SV_MODE3)



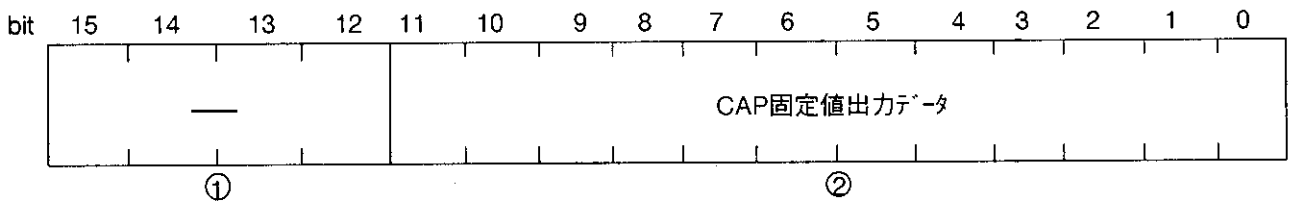
① bit 15~12 未使用

② bit 11~0 (DRMFIXPWM)

DRM固定値出力データ

DRMON=1かつDRMFIx=1の時、設定データをDPWDRにセットしDRMPWMポートにPWM変調信号を出力します。

サーボモード4(SV_MODE4)



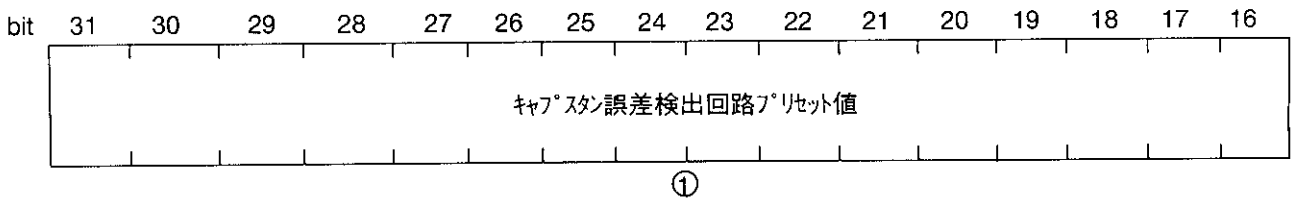
① bit 15~12 未使用

② bit 11~0 (CAPFIXPWM)

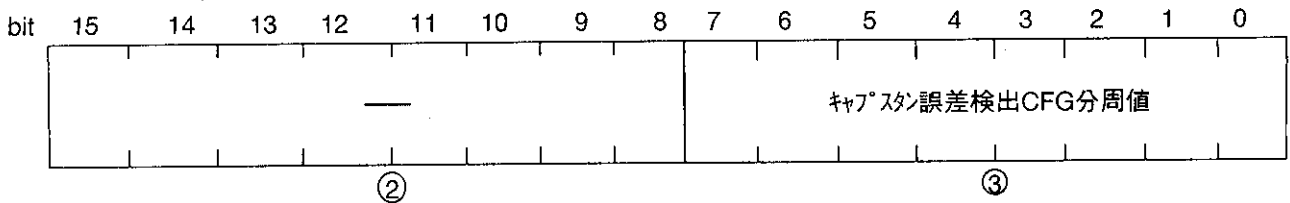
CAP固定値出力データ

CAPON=1かつCAPFIx=1の時、設定データをCPWDRにセットしCAPPWMポートにPWM変調信号を出力します。

サーボモード5(SV_MODE5)



サーボモード6(SV_MODE6)



① bit 31~16 (FFREWCFPR)

FF/REW時のキャプスタン速度誤差リセットデータを設定します。

② bit 15~8 未使用

③ bit 7~0 (FFREWCDIVR)

FF/REW時のCFG分周値を設定します。

3. 3 H8/3977のドラムモータ制御

図3.5にドラムモータ制御のブロック図を示します。図3.5に示すハードウェア機能を用いてドラムモータの制御を行います。表3.2にドラムモータ制御に使用する機能の一覧を示します。

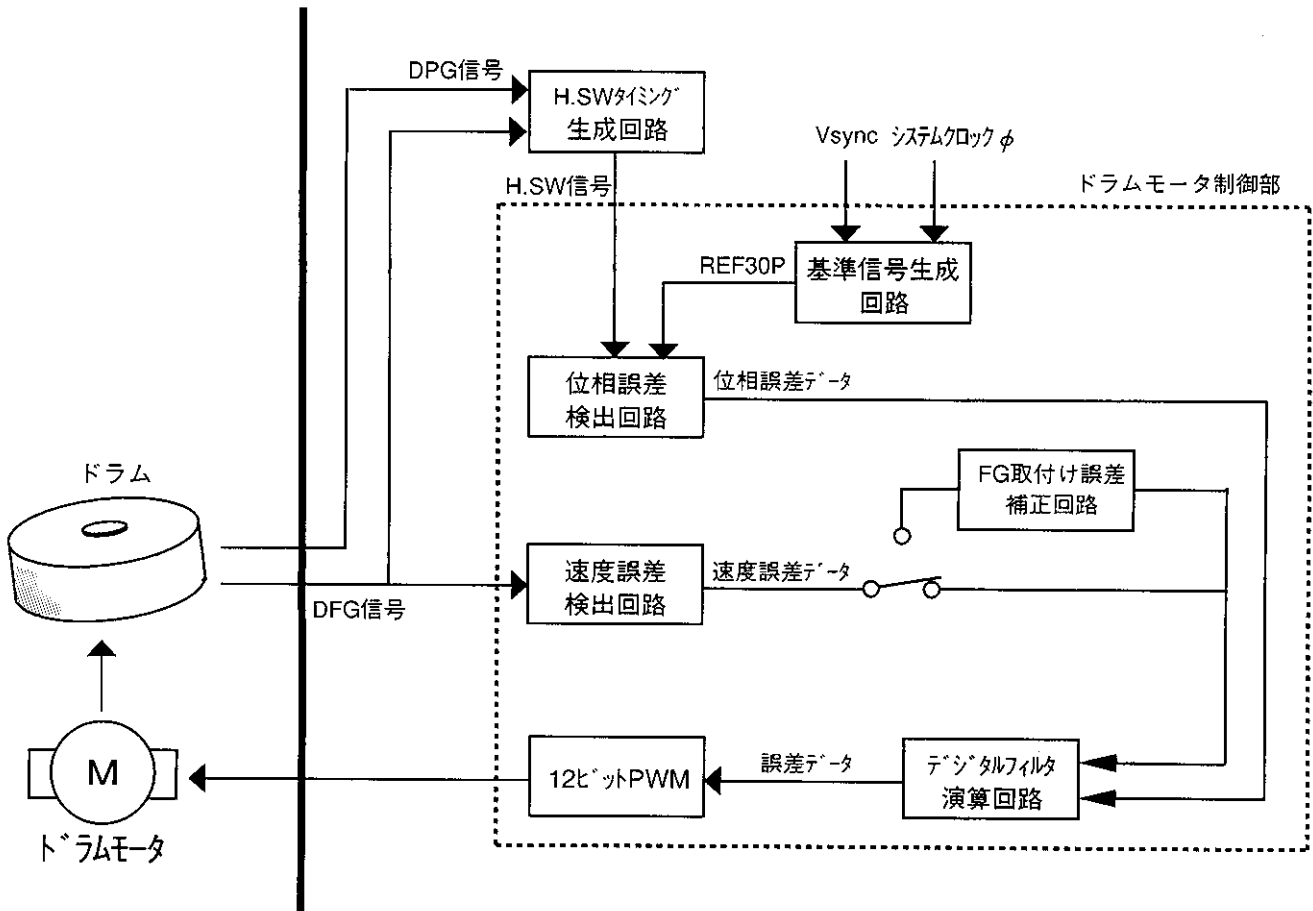


図3.5 ドラムモータ制御部ブロック図

表3.2 機能説明一覧

名称	機能
基準信号生成回路	位相誤差検出に用いる基準信号を生成します。
速度誤差検出回路	DFG信号の周期を測定し、29.97rps時のDFG信号の周期との誤差を検出します。速度誤差データはデジタルフィルタへ出力されます。
位相誤差検出回路	H.SW信号とREF30P信号との位相差を測定し、規定位相差との誤差を検出します。位相誤差データはデジタルフィルタへ出力されます。
FG取付け誤差補正回路	ドラム1回転前のDFG速度誤差データとの差分をとり、速度誤差データからFGムラ成分を取り除きます。
デジタルフィルタ演算回路	速度誤差データおよび位相誤差データに対しフィルタ演算を行い、演算結果を12bitPWMへ送ります。
12bitPWM	デジタルフィルタ演算回路からの誤差データをPWM信号に変換します。

図3.6にドラムモータサーボ制御の状態遷移図を示します。ドラムサーボはモータの停止状態から加速処理によりモータを加速し速度制御へ移行します。次に速度ロック状態を検出した後、位相制御を開始します。速度ロック+位相ロックの状態を検出の後、FG取付け誤差補正を開始します。各制御の状態を外乱によりモータの回転が乱れた時、外乱の大きさにより加速/速度制御/速度+位相制御の状態へ移行します。

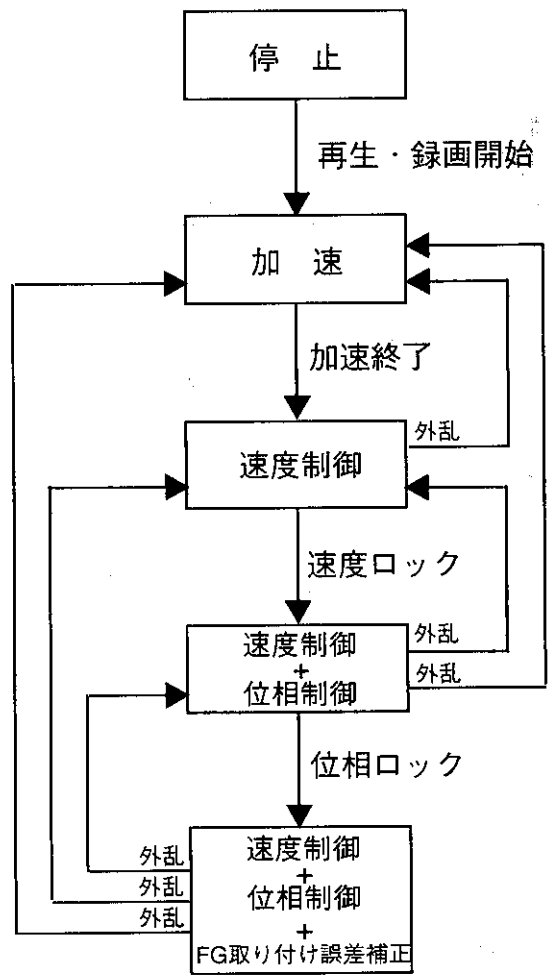


図3.6 ドラムモータサーボ状態遷移

3. 3. 1 基準信号設定値の計算方法

基準信号生成回路は図3.7のブロック図に示すようにカウンタ、基準周期レジスタ及び比較器で構成しています。図3.8にカウンタ動作と基準信号のタイミングを示します。図3.8に示すように、基準信号生成回路はカウンタ値が基準周期レジスタ値と一致すると基準信号のレベルをH→LまたはL→Hに変化させます。このため、基準周期レジスタに設定する値は基準信号周期の1/2の時間となります。

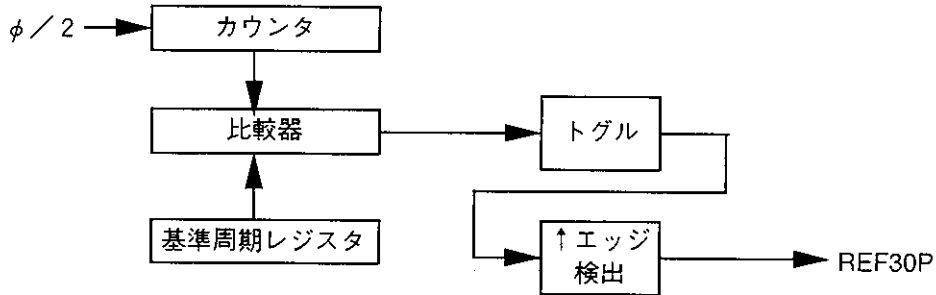


図3.7 基準信号生成回路ブロック図

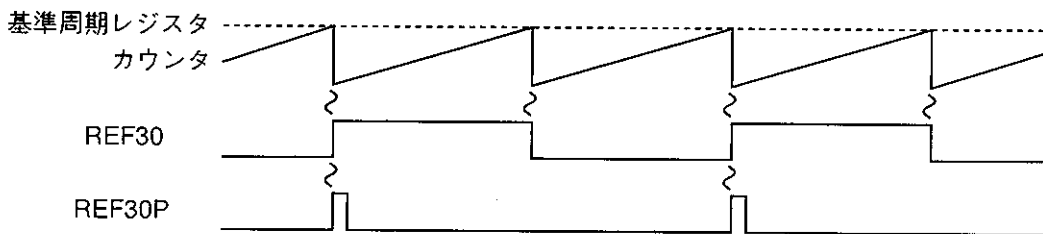


図3.8 基準信号生成回路動作例

基準信号周波数及び基準周期レジスタ設定値の計算方法を示します。

$$\text{基準信号周波数} = \frac{\text{基準H数}}{\text{基準H数} + \text{H並び} (1 - \text{テープ倍速})} \times \frac{\text{フィールド周波数}}{2}$$

$$\text{基準周期レジスタ設定値} = \frac{\text{マイコン動作周波数} \div 2}{\text{基準信号周波数}} \div 2$$

NTSC方式、SPモード、2倍速CUEモード、 $\phi = 5\text{MHz}$ の場合、基準周期レジスタの設定値は次のようになります。

$$\text{基準信号周波数} = \frac{262.5}{262.5 + 1.5 (1 - 2)} \times \frac{59.94}{2} = 30.14 \text{ Hz}$$

$$\text{基準周期レジスタ設定値} = \frac{5 \times 10^6 \div 2}{30.14} \div 2 = 41473 \text{ (H'A201)}$$

条件	
フィールド周波数	: 59.94Hz (NTSC)
基準H数	: 262.5H (NTSC)
H並び	: 1.5
テープ倍速	: 2倍速 (CUE)
マイコン動作周波数	: 5MHz (XTAL=10MHz)

3. 3. 2 ドラム速度誤差検出プリセット値の計算方法

ドラム速度誤差検出回路は図3.9に示すように、 ϕ をクロックソースとするカウンタ、プリセットレジスタ及び誤差データをラッチするレジスタで構成しています。ドラム速度誤差検出回路はDFG信号をトリガにして、カウンタ値を誤差データとしてラッチ及びプリセットレジスタ値をカウンタにプリセットします。このカウンタによってドラムの現状の速度と目標速度との誤差を検出します。したがって、プリセットレジスタに設定する値はDFG周期を設定します。

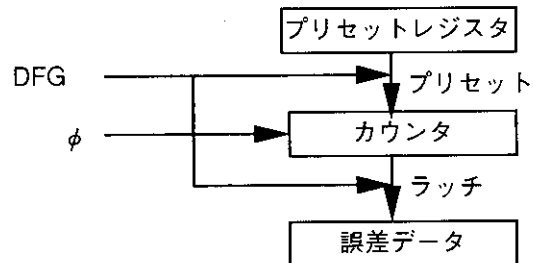


図3.9 ドラム速度誤差検出回路ブロック図

目標DFG周波数及びプリセットレジスタの計算方法は次に示すようになります。

$$\text{目標DFG周波数} = \text{基準信号周波数} \times \text{1回転当りのDFG歯数}$$

$$\text{プリセットレジスタ設定値} = \text{H}'8000 - \left(\frac{\text{マイコン動作周波数}}{\text{目標DFG周波数}} - 2 \right)$$

NTSC方式、SPモード、ノーマルPB、DFG歯数24発、 $\phi=5\text{MHz}$ の場合、プリセットレジスタの設定値は次のようになります。

$$\text{目標DFG周波数} = 29.97 \times 24 = 719.28 \text{ Hz}$$

$$\text{プリセットレジスタ設定値} = \text{H}'8000 - \left(\frac{5 \times 10^6}{719.28} - 2 \right) = 25818 \quad (\text{H}'64\text{DA})$$

	条件
基準信号周波数	: 29.79Hz
1回転当りのDFG歯数	: 24発
マイコン動作周波数	: 5MHz (XTAL=10MHz)

3. 3. 3 ドラム位相誤差検出プリセット値の計算方法

ドラム位相誤差検出回路は図3.10に示すように、 ϕ をクロックソースとするカウンタ、プリセットレジスタ及び誤差データをラッチするレジスタで構成しています。
 ドラム位相誤差検出回路はH.SW信号をトリガにしてカウンタ値を誤差データとしてラッチし、基準信号をトリガにしてプリセットレジスタ値をカウンタにプリセットします。このカウンタによってドラムの現状の位相と目標の位相との差を検出します。
 したがって、プリセットレジスタに設定する値は、基準信号とH.SW信号との位相差を設定します。

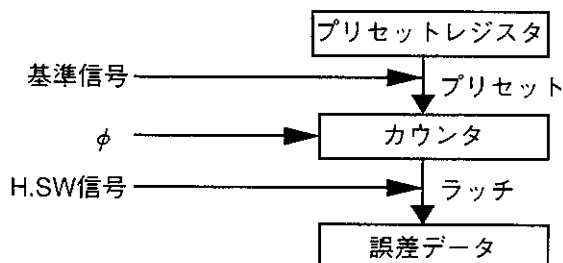


図3.10 ドラム位相誤差検出回路ブロック図

プリセットレジスタの計算方法は次に示すようになります。

$$\text{目標位相差} = (\text{基準信号周期} / 2) - 6.5H$$

$$\begin{aligned} \text{プリセットレジスタ} \\ \text{設定値} &= H'80000 - (\text{マイコン動作周波数} \times \text{目標位相差}) \end{aligned}$$

NTSC方式、SPモード、ノーマルPB、 $\phi=5\text{MHz}$ の場合、位相プリセットレジスタの設定値は次のようになります。

$$\text{目標位相差} = \frac{1}{29.97 \times 2} - 6.5 \times 63.56 \times 10^{-6} = 16.27 \text{ ms}$$

$$\begin{aligned} \text{プリセットレジスタ} \\ \text{設定値} &= H'80000 - (5 \times 10^6 \times 16.27 \times 10^{-3}) \\ &= 442938 \text{ (H'6C23A)} \end{aligned}$$

条件	
基準信号周波数	: 29.97Hz
H周期	: 63.56 μs
マイコン動作周波数	: 5MHz (XTAL=10MHz)

尚、表3.3～表3.7にNTSC/PAL各々モード動作時の基準信号、速度/位相誤差検出プリセットレジスタの一覧表を示します。

表3.3 ドラム制御プリセットデータ一覧 (NTSC/SP)

H 並び	基準 H 数	59.94Hz	フィールド 周波数 P B	59.94Hz	フィールド 周波数 R E C	59.94Hz
	262.5H	262.5H	59.94Hz	59.94Hz	59.94Hz	59.94Hz
NTSC	1.5H	262.5H	59.94Hz	59.94Hz	59.94Hz	59.94Hz

DFG 歯数	24発
マイコン 動作周波数	5MHz

基準信号	ドラム速度系誤差検出			ドラム位相系誤差検出									
	REF30 周波数	基準周 期レ ジスタ 値	DFG周波数	DFG周期	カウント数	プリセット 値	REF30 周期—6.5H	カウント数	プリセット 値				
NTSC	SP	PB	1倍速	29.97Hz	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
			2倍速	30.14Hz	H'A1FE	723.41Hz	1382.33 μs	6909カウント	H'6503	16.18ms	80885カウント	H'6C40B	
			3倍速	30.32Hz	H'A10F	727.60Hz	1374.39 μs	6869カウント	H'652B	16.08ms	80420カウント	H'6C5DC	
			5倍速	30.67Hz	H'9F33	736.11Hz	1358.50 μs	6790カウント	H'657A	15.90ms	79491カウント	H'6C97D	
			7倍速	31.03Hz	H'9D56	744.82Hz	1342.61 μs	6711カウント	H'65C9	15.71ms	78561カウント	H'6CD1F	
			9倍速	31.41Hz	H'9B79	753.74Hz	1326.72 μs	6631カウント	H'6619	15.53ms	77631カウント	H'6D0C1	
			12倍速	31.98Hz	H'98AE	767.52Hz	1302.89 μs	6512カウント	H'6690	15.25ms	76237カウント	H'6D633	
			16倍速	32.78Hz	H'94F5	786.71Hz	1271.11 μs	6353カウント	H'672F	14.88ms	74377カウント	H'6DD77	
			REV	1倍速	29.63Hz	H'A4C9	711.15Hz	1406.17 μs	7028カウント	H'648C	16.46ms	82280カウント	H'6BE98
				2倍速	29.46Hz	H'A5B7	707.16Hz	1414.11 μs	7068カウント	H'6464	16.55ms	82745カウント	H'6BCC7
				3倍速	29.30Hz	H'A6A5	703.21Hz	1422.06 μs	7108カウント	H'643C	16.64ms	83210カウント	H'6BAF6
				5倍速	28.98Hz	H'A882	695.44Hz	1437.95 μs	7187カウント	H'63ED	16.83ms	84139カウント	H'6B755
				7倍速	28.66Hz	H'AA5F	687.84Hz	1453.83 μs	7267カウント	H'639D	17.01ms	85069カウント	H'6B3B3
				9倍速	28.35Hz	H'AC3B	680.40Hz	1469.72 μs	7346カウント	H'634E	17.20ms	85999カウント	H'6B011
				12倍速	27.90Hz	H'AF06	669.54Hz	1493.56 μs	7465カウント	H'62D7	17.48ms	87393カウント	H'6AA9F
			FF/REW	SLOW	1倍速	16倍速	27.32Hz	H'B2C0	655.59Hz	1525.33 μs	7624カウント	H'6238	17.85ms
1倍速	29.97Hz	H'A2EC				719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
0.5倍速	29.80Hz	H'A3DA				715.19Hz	1398.22 μs	6991カウント	H'64B1	16.36ms	81815カウント	H'6C069	
1倍速	29.97Hz	H'A2EC				719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
ASM	REC	1倍速	1倍速	29.97Hz	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
			1倍速	29.97Hz	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	

表3.4 ドラム制御プリセットデータ一覧 (NTSC/LP)

H 並び	標準 H 数	262.50H	フィールド 周波数 P B	59.94Hz	フィールド 周波数 R E C	59.94Hz
	0.75H					
NTSC						
	DFG 歯数	24発	マイコン 動作周波数	5MHz		

		標準信号				ドラム速度系誤差検出				ドラム位相系誤差検出			
		REF30 周波数	基準 レジスタ 値	周期	周波数	DFG周波数	DFG周期	カウント数	プリセット 値	REF30 周期	カウント数	プリセット 値	プリセット 値
NTSC	LP	PB	1倍速	29.97Hz	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
		CUE	2倍速	30.06Hz	H'A275	721.34Hz	1386.31 μs	6929カウント	H'64EF	16.22ms	81118カウント	H'6C322	
			3倍速	30.14Hz	H'A1FE	723.41Hz	1382.33 μs	6909カウント	H'6503	16.18ms	80885カウント	H'6C40B	
			5倍速	30.32Hz	H'A10F	727.60Hz	1374.39 μs	6869カウント	H'652B	16.08ms	80420カウント	H'6C5DC	
			7倍速	30.49Hz	H'A021	731.83Hz	1366.45 μs	6830カウント	H'6552	15.99ms	79956カウント	H'6C7AC	
			9倍速	30.67Hz	H'9F33	736.11Hz	1358.50 μs	6790カウント	H'657A	15.90ms	79491カウント	H'6C97D	
			12倍速	30.94Hz	H'9DCD	742.62Hz	1346.58 μs	6730カウント	H'65B6	15.76ms	78793カウント	H'6CC37	
			16倍速	31.31Hz	H'9BF0	751.49Hz	1330.70 μs	6651カウント	H'6605	15.57ms	77864カウント	H'6CFD8	
		REV	1倍速	29.80Hz	H'A3DA	715.19Hz	1398.22 μs	6989カウント	H'64B3	16.36ms	81815カウント	H'6C069	
			2倍速	29.72Hz	H'A451	713.17Hz	1402.20 μs	7008カウント	H'64A0	16.41ms	82047カウント	H'6BF81	
			3倍速	29.63Hz	H'A4C9	711.15Hz	1406.17 μs	7028カウント	H'648C	16.46ms	82280カウント	H'6BE98	
			5倍速	29.46Hz	H'A5B7	707.16Hz	1414.11 μs	7068カウント	H'6464	16.55ms	82745カウント	H'6BCC7	
			7倍速	29.30Hz	H'A6A5	703.21Hz	1422.06 μs	7108カウント	H'643C	16.64ms	83210カウント	H'6BAF6	
			9倍速	29.14Hz	H'A794	699.30Hz	1430.00 μs	7148カウント	H'6414	16.74ms	83675カウント	H'6B925	
			12倍速	28.90Hz	H'A8F9	693.52Hz	1441.92 μs	7207カウント	H'63D9	16.87ms	84372カウント	H'6B66C	
		FF/REW	16倍速	28.58Hz	H'AAD6	685.96Hz	1457.81 μs	7287カウント	H'6389	17.06ms	85302カウント	H'6B2CA	
1倍速	29.97Hz		H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A			
0.5倍速	29.88Hz		H'A363	717.23Hz	1394.25 μs	6971カウント	H'64C5	16.32ms	81583カウント	H'6C151			
1倍速	29.97Hz		H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A			
REC	1倍速	29.97Hz	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A			

表3.5 ドラム制御プリセットデータ一覧 (NTSC/EP)

	H 並び	基準 H 数	フィールド		DFG 歯数	マイコン動作周波数
			P	B		
NTSC	0.50H	262.50H	59.94Hz	59.94Hz	24発	5MHz

標準信号	標準信号			ドラム速度系誤差検出			ドラム位相系誤差検出			
	RF30 周波数	基準レジスタ値	DFG 周波数	DFG 周期	カウント数	プリセット値	RF30 周期	カウント数	プリセット値	
EP	PB	1倍速	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A
		2倍速	H'A29C	720.65Hz	1387.63 μs	6936カウント	H'64E8	16.24ms	81195カウント	H'6C2D5
		3倍速	H'A24D	722.03Hz	1384.98 μs	6922カウント	H'64F6	16.21ms	81040カウント	H'6C370
		5倍速	H'A1AE	724.80Hz	1379.69 μs	6896カウント	H'6510	16.15ms	80730カウント	H'6C4A6
		7倍速	H'A10F	727.60Hz	1374.39 μs	6869カウント	H'652B	16.08ms	80420カウント	H'6C5DC
		9倍速	H'A070	730.41Hz	1369.09 μs	6843カウント	H'6545	16.02ms	80111カウント	H'6C711
		12倍速	H'9F82	734.67Hz	1361.15 μs	6803カウント	H'656D	15.93ms	79646カウント	H'6C8E2
		16倍速	H'9E44	740.44Hz	1350.56 μs	6750カウント	H'65A2	15.81ms	79026カウント	H'6CB4E
		REV	1倍速	H'A38B	716.55Hz	1395.58 μs	6975カウント	H'64C1	16.33ms	81660カウント
	2倍速		H'A3DA	715.19Hz	1398.22 μs	6989カウント	H'64B3	16.36ms	81815カウント	H'6C069
	3倍速		H'A42A	713.84Hz	1400.87 μs	7002カウント	H'64A6	16.39ms	81970カウント	H'6BFCE
	5倍速		H'A4C9	711.15Hz	1406.17 μs	7028カウント	H'648C	16.46ms	82280カウント	H'6BE98
	7倍速		H'A567	708.48Hz	1411.46 μs	7055カウント	H'6471	16.52ms	82590カウント	H'6BD62
	9倍速		H'A606	705.84Hz	1416.76 μs	7081カウント	H'6457	16.58ms	82900カウント	H'6BC2C
	12倍速		H'A6F5	701.90Hz	1424.71 μs	7121カウント	H'642F	16.67ms	83365カウント	H'6BA5B
	FF/REW	16倍速	H'A832	696.72Hz	1435.30 μs	7174カウント	H'63FA	16.80ms	83984カウント	H'6B7F0
1倍速		H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
0.5倍速		H'A33B	717.91Hz	1392.93 μs	6964カウント	H'64CC	16.30ms	81505カウント	H'6C19F	
1倍速		H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
SLOW	1倍速	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
	1倍速	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
ASM	1倍速	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
	1倍速	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
REC	1倍速	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	
	1倍速	H'A2EC	719.28Hz	1390.28 μs	6949カウント	H'64DB	16.27ms	81350カウント	H'6C23A	

表3.6 ドラム制御プリセットデータ一覧 (PAL/SP)

H 並び	基準 H 数	312.50H	フィールド 周波数 P B	50.00Hz	フィールド 周波数 R E C	50.00Hz	D F G 歯 数	24発	マイコン 動作周波数	5MHz
	PAL	1.50H								

		基準信号				ドラム速度系誤差検出				ドラム位相系誤差検出			
		R E F 3 0 周波数	基準 レジスタ 値	周期	周波数	DFG周波数	DFG周期	カウント数	プリセット 値	R E F 3 0 周期	カウント数	プリセット 値	
PAL	SP	REV	1倍速	H'C350	25.00Hz	600.00Hz	1666.67 μs	8331カウント	H'5F75	19.58ms	97919カウント	H'68181	
			2倍速	H'C260	25.12Hz	602.89Hz	1658.67 μs	8291カウント	H'5F9D	19.49ms	97449カウント	H'68357	
			3倍速	H'C170	25.24Hz	605.82Hz	1650.67 μs	8251カウント	H'5FC5	19.40ms	96979カウント	H'6852D	
			5倍速	H'BF90	25.49Hz	611.75Hz	1634.67 μs	8171カウント	H'6015	19.21ms	96039カウント	H'688D9	
			7倍速	H'BD80	25.74Hz	617.79Hz	1618.67 μs	8091カウント	H'6065	19.02ms	95099カウント	H'68C85	
			9倍速	H'BB00	26.00Hz	623.96Hz	1602.67 μs	8011カウント	H'60B5	18.83ms	94159カウント	H'69031	
			12倍速	H'B900	26.39Hz	633.45Hz	1578.67 μs	7891カウント	H'612D	18.55ms	92749カウント	H'695B3	
			16倍速	H'B540	26.94Hz	646.55Hz	1546.67 μs	7731カウント	H'61CD	18.17ms	90869カウント	H'69D0B	
			1倍速	H'C530	24.76Hz	594.29Hz	1682.67 μs	8411カウント	H'5F25	19.77ms	98859カウント	H'67DD5	
			2倍速	H'C620	24.65Hz	591.48Hz	1690.67 μs	8451カウント	H'5EFD	19.87ms	99329カウント	H'67BFF	
			3倍速	H'C710	24.53Hz	588.70Hz	1698.67 μs	8491カウント	H'5ED5	19.96ms	99799カウント	H'67A29	
			5倍速	H'C8F0	24.30Hz	583.20Hz	1714.67 μs	8571カウント	H'5E85	20.15ms	100739カウント	H'6767D	
			7倍速	H'CAD0	24.08Hz	577.81Hz	1730.67 μs	8651カウント	H'5E35	20.34ms	101679カウント	H'672D1	
			9倍速	H'CCB0	23.85Hz	572.52Hz	1746.67 μs	8731カウント	H'5DE5	20.52ms	102619カウント	H'66F25	
			12倍速	H'CF80	23.53Hz	564.76Hz	1770.67 μs	8851カウント	H'5D6D	20.81ms	104029カウント	H'669A3	
			16倍速	H'D340	23.11Hz	554.73Hz	1802.67 μs	9011カウント	H'5CCD	21.18ms	105909カウント	H'6624B	
FF/REW	1倍速	H'C350	25.00Hz	600.00Hz	1666.67 μs	8331カウント	H'5F75	19.58ms	97919カウント	H'68181			
SLOW	0.5倍速	H'C440	24.88Hz	597.13Hz	1674.67 μs	8373カウント	H'5F4B	19.68ms	98389カウント	H'67FAB			
ASM	1倍速	H'C350	25.00Hz	600.00Hz	1666.67 μs	8331カウント	H'5F75	19.58ms	97919カウント	H'68181			
REC	1倍速	H'C350	25.00Hz	600.00Hz	1666.67 μs	8331カウント	H'5F75	19.58ms	97919カウント	H'68181			

表3.7 ドラム制御プリセットデータ一覧 (PAL/LP)

H 並び	標準 H 数	312.50H	フィールド 周波数 P B	50.00Hz	フィールド 周波数 R E C	50.00Hz
	D F G 歯 数	24発	マイコン 動作周波数	5MHz		

PAL	LP	H 並び	基準信号		ドラム速度系誤差検出				ドラム位相系誤差検出			
			R E F 3 0 周 波 数	基 準 周 期 レ ジ ス タ 値	D F G 周 波 数	D F G 周 期	カ ウ ン ト 数	プ リ セ ッ ト 値	R E F 3 0 周 期	カ ウ ン ト 数	プ リ セ ッ ト 値	P R I セ ッ ト 値
		0.50H	25.00Hz	H'C350	600.00Hz	1666.67 μs	8331カウント	H'5F75	19.58ms	97919カウント	H'68181	
		1倍速	25.04Hz	H'C300	600.96Hz	1664.00 μs	8318カウント	H'5F82	19.55ms	97762カウント	H'6821E	
		2倍速	25.08Hz	H'C2B0	601.93Hz	1661.33 μs	8304カウント	H'5F90	19.52ms	97606カウント	H'682BA	
		3倍速	25.16Hz	H'C210	603.86Hz	1656.00 μs	8278カウント	H'5FAA	19.46ms	97292カウント	H'683F4	
		5倍速	25.24Hz	H'C170	605.82Hz	1650.67 μs	8251カウント	H'5FC5	19.40ms	96979カウント	H'6852D	
		7倍速	25.32Hz	H'C0D0	607.78Hz	1645.33 μs	8224カウント	H'5FE0	19.33ms	96666カウント	H'68666	
		9倍速	25.45Hz	H'BFEO	610.75Hz	1637.33 μs	8184カウント	H'6008	19.24ms	96196カウント	H'6883C	
		12倍速	25.61Hz	H'BEA0	614.75Hz	1626.67 μs	8131カウント	H'603D	19.11ms	95569カウント	H'68AAF	
		16倍速	24.92Hz	H'C3F0	598.09Hz	1672.00 μs	8358カウント	H'5F5A	19.65ms	98232カウント	H'68048	
		1倍速	24.88Hz	H'C440	597.13Hz	1674.67 μs	8371カウント	H'5F4D	19.68ms	98389カウント	H'67FAB	
		2倍速	24.84Hz	H'C490	596.18Hz	1677.33 μs	8384カウント	H'5F40	19.71ms	98546カウント	H'67F0E	
		3倍速	24.76Hz	H'C530	594.29Hz	1682.67 μs	8411カウント	H'5F25	19.77ms	98859カウント	H'67DD5	
		5倍速	24.68Hz	H'C5D0	592.42Hz	1688.00 μs	8438カウント	H'5F0A	19.83ms	99172カウント	H'67C9C	
		7倍速	24.61Hz	H'C670	590.55Hz	1693.33 μs	8464カウント	H'5EF0	19.90ms	99486カウント	H'67B62	
		9倍速	24.49Hz	H'C760	587.77Hz	1701.33 μs	8504カウント	H'5EC8	19.99ms	99956カウント	H'6798C	
		12倍速	24.34Hz	H'C8A0	584.11Hz	1712.00 μs	8558カウント	H'5E92	20.12ms	100582カウント	H'6771A	
		16倍速	25.00Hz	H'C350	600.00Hz	1666.67 μs	8331カウント	H'5F75	19.58ms	97919カウント	H'68181	
		1倍速	24.96Hz	H'C3A0	599.04Hz	1669.33 μs	8346カウント	H'5F66	19.62ms	98076カウント	H'680E4	
		0.5倍速	25.00Hz	H'C350	600.00Hz	1666.67 μs	8331カウント	H'5F75	19.58ms	97919カウント	H'68181	
		1倍速	25.00Hz	H'C350	600.00Hz	1666.67 μs	8331カウント	H'5F75	19.58ms	97919カウント	H'68181	
		1倍速	25.00Hz	H'C350	600.00Hz	1666.67 μs	8331カウント	H'5F75	19.58ms	97919カウント	H'68181	

3. 4 H8/3977のキャプスタンモータ制御

図3.11にキャプスタンモータ制御部のブロック図を示します。図3.11に示すハードウェア機能を用いてキャプスタンモータの制御を行います。表3.8にキャプスタンモータ制御に使用する機能の一覧を示します。

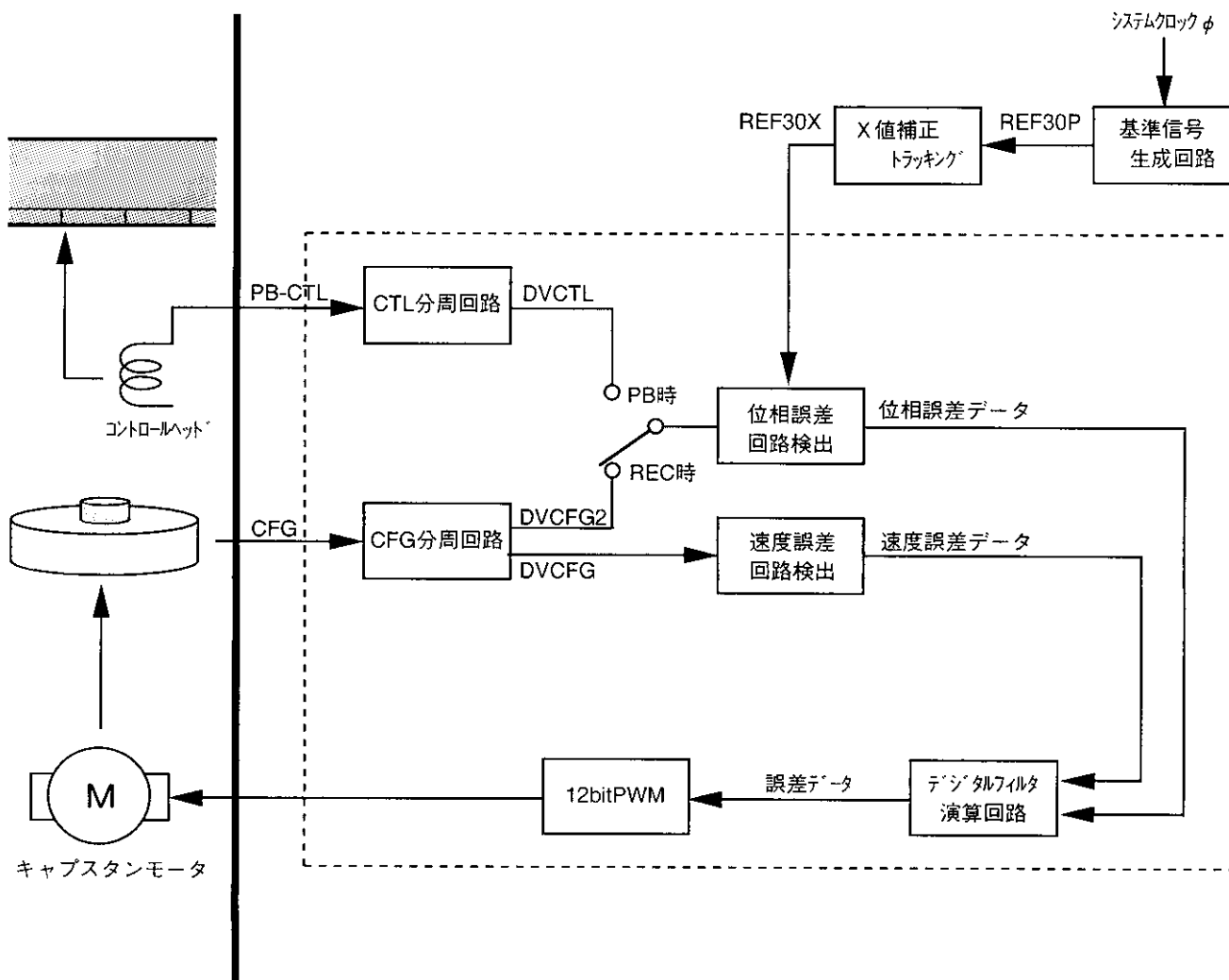


図3.11 キャプスタンモータ制御部ブロック図

表3.8 機能説明一覧

名称	機能
CTL分周回路	PB-CTL信号を分周します。位相誤差検出に使用する分周信号 (DVCTL) を生成します。
CFG分周回路	CFG信号を分周します。速度誤差検出に使用する分周信号 (DVCFG) と位相誤差検出に使用する分周信号 (DVCFG2) を生成します。
速度誤差検出回路	CFG信号の周期を測定し、あらかじめ設定したCFG信号周期との誤差を検出します。速度誤差データはデジタルフィルタへ出力されます。
位相誤差検出回路	PB-CTLパルスと基準信号との位相差を測定し、あらかじめ設定した位相差との誤差を検出します。位相誤差データはデジタルフィルタへ出力されます。
デジタルフィルタ	速度誤差データおよび位相誤差データに対しフィルタ演算を行い、演算結果を12bitPWMへ送ります。
12bit PWM	デジタルフィルタ演算回路からの誤差データをPWM信号に変調します。

図3.12にキャプスタンモータサーボ制御の状態遷移図を示します。キャプスタンサーボはモータの停止状態から加速処理によりモータを加速し速度制御へ移行します。次に速度ロック状態を検出した後、位相制御を開始します。各制御の状態を外乱によりモータの回転が乱れた時、外乱の大きさにより加速/速度制御の状態へ移行します。

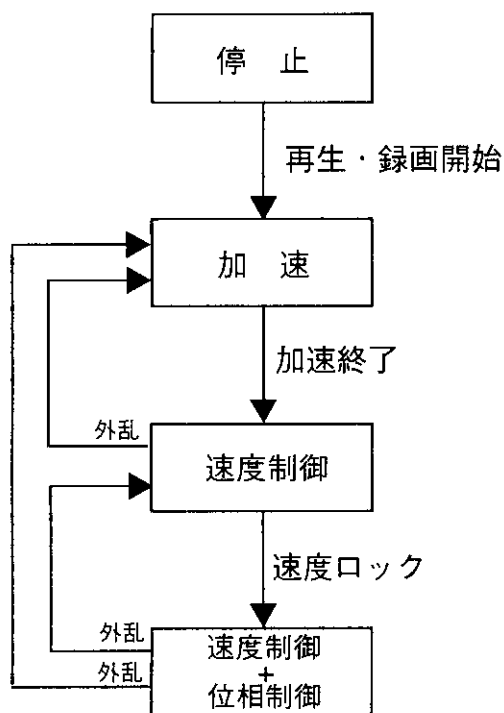


図3.12 キャプスタンサーボ状態遷移

3. 4. 1 キャプスタン速度誤差検出プリセットの計算方法

キャプスタン速度誤差検出回路は図3.13に示すように、 ϕ をクロックソースとするカウンタ、プリセットレジスタ及び誤差データをラッチするレジスタで構成しています。キャプスタン速度誤差検出回路はCFGを分周したDVCFG信号をトリガにしてカウンタ値を誤差データとしてデータをラッチ及びプリセットレジスタ値をカウンタにプリセットします。この動作によってキャプスタンモータの現状の速度と目標速度との誤差を検出します。したがって、プリセットレジスタに設定する値はDVCFGの周期です。

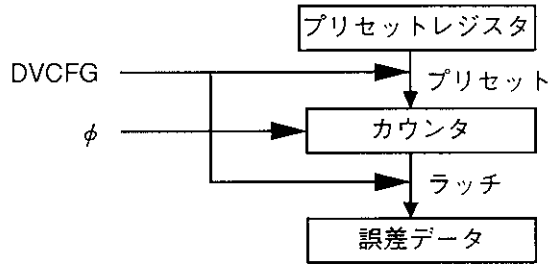


図3.13 キャプスタン速度誤差検出回路ブロック図

目標CFG周波数及びプリセットレジスタの計算方法は次に示すようになります。

$$\text{目標CFG周波数} = \text{CTL信号周波数} \times \text{1 CTLパルス当りのCFG歯数}$$

$$\text{プリセットレジスタ} = \text{H}'8000 - \left(\frac{\text{マイコン動作周波数} \phi \times \text{CFG分周値}}{\text{目標CFG周波数}} - 2 \right)$$

設定値

NTSC方式、SPモード、ノーマル再生、CFG歯数36発、 $\phi = 5\text{MHz}$ の場合、プリセットレジスタの設定値は次のようになります。

$$\text{目標CFG周波数} = 29.97 \times 36 = 1078.92 \text{ Hz}$$

$$\text{プリセットレジスタ} = \text{H}'8000 - \left(\frac{5 \times 10^6 \times 1}{1078.92} - 2 \right) = 28136 \quad (\text{H}'6DE8)$$

設定値

条件	
基準信号周波数	: 29.97Hz
1 CTL当りのCFG歯数	: 36発
マイコン動作周波数 ϕ	: 5MHz (XTAL=10MHz)

3. 4. 2 キャプスタン位相誤差検出プリセットの計算方法

キャプスタン位相誤差検出回路は図3.14に示すように、 ϕ をクロックソースとするカウンタ、プリセットレジスタ及び誤差データをラッチするレジスタで構成しています。再生モード時のキャプスタン位相誤差検出回路はPB-CTL信号をトリガにしてカウンタ値を誤差データとしてラッチし、トラッキング補正した基準信号をトリガにしてプリセットレジスタ値をカウンタにプリセットします。記録モード時にはCFGを分周したDVCFG2信号をトリガにして誤差データをラッチし、基準信号をトリガにしてカウンタのプリセットを行います。このカウンタによってキャプスタンの現状の位相差と目標位相差との誤差を検出します。したがって、プリセットレジスタには、基準信号とPB-CTL信号（DVCTL2信号）の位相差を設定します。

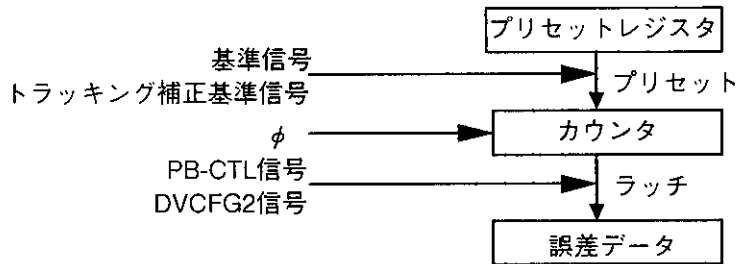


図3.14 キャプスタン位相誤差検出回路ブロック図

プリセットレジスタの計算方法は次に示すようになります。

$$\text{目標位相差} = \text{基準信号周期} \div 2$$

$$\begin{aligned} \text{プリセットレジスタ} \\ \text{設定値} &= \text{H}'80000 - (\text{マイコン動作周波数} \phi \times \text{目標位相差}) \end{aligned}$$

NTSC方式、SPモード、ノーマル再生、 $\phi = 5\text{MHz}$ の場合、位相プリセットレジスタの設定値は次のようになります。

$$\text{目標位相差} = \frac{1}{29.97} \div 2 = 16.68 \text{ ms}$$

$$\begin{aligned} \text{プリセットレジスタ} \\ \text{設定値} &= \text{H}'80000 - (5 \times 10^6 \times 16.68 \times 10^{-3}) \\ &= 440888 \text{ (H}'6BA38) \end{aligned}$$

条件
基準信号周波数 : 29.97Hz
マイコン動作周波数 : 5MHz (XTAL=10MHz)

尚、表3.9～表3.13に速度/位相誤差検出プリセットデータの一覧表を示します。

表3.9 キャプスタン制御プリセットデータ一覧 (NTSC/SP)

H並び	基準H数	フィールド周波数
NTSC	1.5	59.94Hz

C F G	動作周波数	DVCFG777ク
1フレーム	36発	基準クロック
	5MHz	φ256

NTSC	SP	キャプスタン速度系誤差検出										キャプスタン位相系誤差検出									
		CFG周波数	DVCFG分周値	DVCFG周期	DVCFGマスク値	カウンタ数	フリップセット値	CTLP周波数	DVCTLP分周値	DVCTLP周期	DVCFG2分周値	DVCFG2周期	カウンタ数	フリップセット値							
	PB	1倍速	1078.9Hz	H'0	926.85 μs	H'7	H'6DE8	29.97Hz	H'0	33.367ms	-	83415カウント	H'6BA28								
	CUE	2倍速	2170.2Hz	H'1	921.56 μs	H'7	H'6E03	60.28Hz	H'1	33.176ms	-	82939カウント	H'6BC05								
		3倍速	3274.2Hz	H'2	916.26 μs	H'7	H'6E1D	90.95Hz	H'2	32.985ms	-	82462カウント	H'6BDE2								
		5倍速	5520.8Hz	H'4	905.67 μs	H'7	H'6E52	153.36Hz	H'4	32.604ms	-	81509カウント	H'6C19B								
		7倍速	7820.6Hz	H'6	895.07 μs	H'6	H'6E87	217.24Hz	H'6	32.223ms	-	80555カウント	H'6C554								
		9倍速	10175.4Hz	H'8	884.48 μs	H'6	H'6EBC	282.65Hz	H'8	31.841ms	-	79602カウント	H'6C90E								
	REV	12倍速	13815.4Hz	H'B	868.59 μs	H'6	H'6F0C	383.76Hz	H'8	31.269ms	-	78172カウント	H'6CEA4								
		16倍速	18881.1Hz	H'F	847.41 μs	H'6	H'6F75	524.48Hz	H'F	30.507ms	-	76265カウント	H'6D616								
		1倍速	1066.7Hz	H'0	937.45 μs	H'7	H'6DB3	29.63Hz	H'0	33.748ms	-	84369カウント	H'6B66F								
		2倍速	2121.5Hz	H'1	942.74 μs	H'7	H'6D99	58.93Hz	H'1	33.939ms	-	84845カウント	H'6B493								
		3倍速	3164.4Hz	H'2	948.04 μs	H'7	H'6D7E	87.90Hz	H'2	34.129ms	-	85322カウント	H'6B2B6								
	FF/REW	5倍速	5215.8Hz	H'4	958.63 μs	H'7	H'6D49	144.88Hz	H'4	34.511ms	-	86275カウント	H'6AEFC								
		7倍速	7222.3Hz	H'6	969.22 μs	H'7	H'6D14	200.62Hz	H'6	34.892ms	-	87229カウント	H'6AB43								
		9倍速	9185.4Hz	H'8	979.82 μs	H'7	H'6CDF	255.15Hz	H'8	35.273ms	-	88182カウント	H'6A78A								
		12倍速	12051.8Hz	H'B	995.70 μs	H'7	H'6C90	334.77Hz	H'8	35.845ms	-	89612カウント	H'6A1F4								
		16倍速	15734.3Hz	H'F	1016.89 μs	H'7	H'6C26	437.06Hz	H'F	36.608ms	-	91519カウント	H'69A81								
	SLOW ASM REC	1倍速	1078.9Hz	H'1	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-								
		2倍速	2157.8Hz	H'2	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		3倍速	3236.8Hz	H'3	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		4倍速	4315.7Hz	H'4	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		5倍速	5394.6Hz	H'5	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		6倍速	6473.5Hz	H'6	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		7倍速	7552.4Hz	H'7	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		9倍速	9710.3Hz	H'8	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		11倍速	11868.1Hz	H'A	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		14倍速	15104.9Hz	H'D	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		15倍速	16183.8Hz	H'E	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		16倍速	17262.7Hz	H'F	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		17倍速	18341.6Hz	H'10	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		18倍速	19420.6Hz	H'11	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		19倍速	20499.5Hz	H'12	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		20倍速	21578.4Hz	H'13	926.85 μs	H'7	H'6DE8	-	-	-	-	-	-	-							
		0.5倍速	536.4Hz	H'0	1864.30 μs	H'E	H'5B99	-	-	-	-	-	-	-							
	1倍速	1078.9Hz	H'0	926.85 μs	H'7	H'6DE8	-	-	-	-	H'23	33.37ms	83415カウント	H'6BA28							
	1倍速	1078.9Hz	H'0	926.85 μs	H'7	H'6DE8	-	-	-	-	H'23	33.37ms	83415カウント	H'6BA28							

表3.10 キャプスタン制御プリセットデータ一覧 (NTSC/LP)

C F G	DVCFG777
1フレーム	基準クロック
18発	φ/256

H並び	標準H数	フィールド周波数
NTSC	0.75	59.94Hz

NTSC	LP	キャプスタン速度系誤差検出										キャプスタン位相系誤差検出									
		CFG周波数	DVCFG分周値	DVCFG周期	DVCFGマスク値	カウント数	プリセット値	CTLP周波数	DVCTLP分周値	DVCTLP周期	DVCFG2分周値	DVCFG2周期	カウント数	プリセット値	DVCTLP分周値	DVCTLP周期	DVCFG2分周値	DVCFG2周期	カウント数	プリセット値	
	PB	1倍速	539.5Hz	H'0	1853.71 μs	H'E	H'E	9266	H'5BCE	29.97Hz	H'0	33.367ms	-	-	83415	H'6BA28					
	CUE	2倍速	1082.0Hz	H'1	1848.41 μs	H'E	H'E	9240	H'5BE8	60.11Hz	H'1	33.271ms	-	-	83177	H'6BB17					
		3倍速	1627.7Hz	H'2	1843.11 μs	H'E	H'E	9213	H'5C03	90.43Hz	H'2	33.176ms	-	-	82939	H'6BC05					
		5倍速	2728.5Hz	H'4	1832.52 μs	H'E	H'E	9160	H'5C38	151.58Hz	H'4	32.985ms	-	-	82462	H'6BDE2					
		7倍速	3842.1Hz	H'6	1821.93 μs	H'E	H'E	9107	H'5C6D	213.45Hz	H'6	32.795ms	-	-	81985	H'6BFBE					
		9倍速	4968.7Hz	H'8	1811.34 μs	H'E	H'E	9054	H'5CA2	276.04Hz	H'8	32.604ms	-	-	81509	H'6C19B					
		12倍速	6683.6Hz	H'B	1795.45 μs	H'E	H'E	8975	H'5CF1	371.31Hz	H'B	32.318ms	-	-	80794	H'6C466					
		16倍速	9017.8Hz	H'D	1774.26 μs	H'D	H'D	8869	H'5D5B	500.99Hz	H'E	31.937ms	-	-	79840	H'6C81F					
		1倍速	536.4Hz	H'0	1864.30 μs	H'E	H'E	9319	H'5B99	29.80Hz	H'0	33.557ms	-	-	83892	H'6B84C					
		2倍速	1069.8Hz	H'1	1869.59 μs	H'E	H'E	9345	H'5B7F	59.43Hz	H'1	33.653ms	-	-	84130	H'6B75E					
		3倍速	1600.1Hz	H'2	1874.89 μs	H'E	H'E	9372	H'5B64	88.89Hz	H'2	33.748ms	-	-	84369	H'6B66F					
		5倍速	2651.8Hz	H'4	1885.48 μs	H'E	H'E	9425	H'5B2F	147.32Hz	H'4	33.939ms	-	-	84845	H'6B492					
		7倍速	3691.8Hz	H'6	1896.08 μs	H'E	H'E	9478	H'5AFA	205.10Hz	H'6	34.123ms	-	-	85322	H'6B2B6					
	9倍速	4720.3Hz	H'8	1906.67 μs	H'E	H'E	9531	H'5AC5	262.24Hz	H'8	34.320ms	-	-	85799	H'6B0D9						
	12倍速	6241.7Hz	H'B	1922.56 μs	H'E	H'E	9610	H'5A76	346.76Hz	H'B	34.606ms	-	-	86514	H'6AE0E						
	16倍速	8231.5Hz	H'D	1943.74 μs	H'E	H'E	9716	H'5A0C	457.31Hz	H'E	34.987ms	-	-	87467	H'6AA55						
	1倍速	1078.9Hz	H'0	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-					
	2倍速	2157.8Hz	H'1	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	3倍速	3236.8Hz	H'2	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	4倍速	4315.7Hz	H'3	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	5倍速	5394.6Hz	H'4	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	6倍速	6473.5Hz	H'5	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	7倍速	7552.4Hz	H'6	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	9倍速	9710.3Hz	H'8	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	11倍速	11868.1Hz	H'A	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	14倍速	15104.9Hz	H'D	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	15倍速	16183.8Hz	H'E	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	16倍速	17262.7Hz	H'F	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	17倍速	18341.6Hz	H'10	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	18倍速	19420.6Hz	H'11	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	19倍速	20499.5Hz	H'12	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	20倍速	21578.4Hz	H'13	926.85 μs	H'7	H'7	4632	H'6DE8	-	-	-	-	-	-	-	-	-				
	0.5倍速	269.0Hz	H'0	3718.00 μs	H'1D	H'1D	18588	H'3764	-	-	-	-	-	-	-	-	-				
	1倍速	539.5Hz	H'0	1853.71 μs	H'E	H'E	9266	H'5BCE	-	-	-	-	-	-	-	-	-				
	REC	539.5Hz	H'0	1853.71 μs	H'E	H'E	9266	H'5BCE	-	-	-	-	-	-	-	-	-				

表3.11 キャプスタン制御プリセットデータ一覧 (NTSC/EP)

H 並び	基準H数	フィールド 間波数
NTSC	0.5	59.94Hz

C F G	動作周波数	DVCFG777 基準クロック
17レーム	5MHz	φ/256

NTSC	EP	キャプスタン速度系誤差検出										キャプスタン位相系誤差検出									
		CFG周波数	DVCFG 分周値	DVCFG周期	DVCFG マスク値	カウンタ数	プリセット値	CTLP周波数	DVCTLP 分周値	DVCTLP 周期	DVCFG2 分周値	DVCFG2 周期	カウンタ数	プリセット値	7リセット						
	PB	1倍速	359.6Hz	H0	2780.56 μs	H15	13900カウント	H49B4	29.97Hz	H0	33.367ms	-	-	83415カウント	H'6BA28						
	CUE	2倍速	720.7Hz	H1	2775.26 μs	H15	13874カウント	H49CE	60.05Hz	H1	33.303ms	-	-	83256カウント	H'6BAC7						
		3倍速	1083.0Hz	H2	2769.97 μs	H15	13847カウント	H49E9	90.25Hz	H2	33.240ms	-	-	83097カウント	H'6BB66						
		5倍速	1812.0Hz	H4	2759.37 μs	H15	13794カウント	H4A1E	151.00Hz	H4	33.112ms	-	-	82780カウント	H'6BCA4						
		7倍速	2546.6Hz	H6	2748.78 μs	H15	13741カウント	H4A53	212.22Hz	H6	32.986ms	-	-	82462カウント	H'6BDE2						
		9倍速	3286.8Hz	H8	2738.19 μs	H15	13688カウント	H4A88	273.90Hz	H8	32.858ms	-	-	82144カウント	H'6BF1F						
		12倍速	4408.0Hz	H1B	2722.30 μs	H15	13609カウント	H4AD7	367.34Hz	H1B	32.688ms	-	-	81667カウント	H'6C0FC						
		16倍速	5923.5Hz	H1F	2701.11 μs	H15	13503カウント	H4B41	493.62Hz	H1F	32.413ms	-	-	81032カウント	H'6C378						
	REV	1倍速	358.3Hz	H0	2791.15 μs	H15	13953カウント	H497F	29.86Hz	H0	33.494ms	-	-	83733カウント	H'6B8EA						
		2倍速	715.2Hz	H1	2796.45 μs	H15	13980カウント	H4964	59.60Hz	H1	33.557ms	-	-	83892カウント	H'6B84D						
		3倍速	1070.8Hz	H2	2801.74 μs	H15	14006カウント	H494A	89.23Hz	H2	33.621ms	-	-	84051カウント	H'6B7AD						
		5倍速	1777.9Hz	H4	2812.34 μs	H15	14059カウント	H4915	148.16Hz	H4	33.748ms	-	-	84369カウント	H'6B66F						
		7倍速	2479.7Hz	H6	2822.93 μs	H16	14112カウント	H48E0	206.64Hz	H6	33.875ms	-	-	84686カウント	H'6B531						
		9倍速	3176.3Hz	H8	2833.52 μs	H16	14165カウント	H48AB	264.69Hz	H8	34.002ms	-	-	85004カウント	H'6B3F3						
		12倍速	4211.4Hz	H1B	2849.41 μs	H16	14245カウント	H485B	350.95Hz	H1B	34.193ms	-	-	85481カウント	H'6B217						
	FF/REW	1倍速	573.8Hz	H1F	2870.60 μs	H16	14350カウント	H47F2	464.48Hz	H1F	34.447ms	-	-	86116カウント	H'6AF9B						
		2倍速	1078.9Hz	H0	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		3倍速	2157.8Hz	H1	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		4倍速	3236.8Hz	H2	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		5倍速	4315.7Hz	H3	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		6倍速	5394.6Hz	H4	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		7倍速	6473.5Hz	H5	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		8倍速	7552.4Hz	H6	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		9倍速	8631.3Hz	H7	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		11倍速	11868.1Hz	H1A	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		14倍速	15104.9Hz	H1D	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		15倍速	16183.8Hz	H1E	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		16倍速	17262.7Hz	H1F	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		17倍速	18341.6Hz	H10	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		18倍速	19420.6Hz	H11	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		19倍速	20499.5Hz	H12	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
		20倍速	21578.4Hz	H13	926.85 μs	H7	4632カウント	H6DE8	-	-	-	-	-	-	-						
	SLOW	0.5倍速	179.5Hz	H0	5571.71 μs	H2B	27856カウント	H1330	-	-	-	-	-	-	-						
	ASM	1倍速	359.6Hz	H0	2780.56 μs	H15	13900カウント	H49B4	-	-	-	-	-	H'B	33.37ms						
	REC	1倍速	359.6Hz	H0	2780.56 μs	H15	13900カウント	H49B4	-	-	-	-	-	H'B	33.37ms						

表3.12 キャプスタン制御プリセットデータ一覧 (PAL/SP)

H 並び	基準H数	フィールド周波数
PAL	1.5	312.5H
		50.00Hz

C F G	動作周波数	DVCFG7スケ
1フレーム	36発	基準クロック
	5MHz	φ/256

PAL	SP	キャプスタン速度系誤差検出										キャプスタン位相系誤差検出									
		CFG周波数	DVCFG分周値	DVCFG周期	DVCFGマスク値	カウント数	フリセット値	CTLP周波数	DVCTLP分周値	DVCTLP周期	DVCFG2分周値	DVCFG2期	カウント数	フリセット値							
	PB	1倍速	900.0Hz	H'0	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	25.00Hz	H'0	40.000ms	-	-	999999カウント	H'67961				
	CUE	2倍速	1808.7Hz	H'1	1105.78 μs	H'8	H'8	H'8	5526カウント	H'6A6A	50.24Hz	H'1	39.808ms	-	-	995199カウント	H'67B41				
		3倍速	2726.2Hz	H'2	1100.44 μs	H'8	H'8	H'8	5500カウント	H'6A84	75.73Hz	H'2	39.616ms	-	-	990399カウント	H'67D21				
		5倍速	4588.1Hz	H'4	1089.78 μs	H'8	H'8	H'8	5446カウント	H'6ABA	127.45Hz	H'4	39.232ms	-	-	980799カウント	H'680E1				
		7倍速	6486.8Hz	H'6	1079.11 μs	H'8	H'8	H'8	5393カウント	H'6AEF	180.19Hz	H'6	38.848ms	-	-	971199カウント	H'684A1				
		9倍速	8423.5Hz	H'8	1068.44 μs	H'8	H'8	H'8	5340カウント	H'6B24	233.99Hz	H'8	38.464ms	-	-	961599カウント	H'68861				
		12倍速	11402.0Hz	H'B	1052.44 μs	H'8	H'8	H'8	5260カウント	H'6B74	316.72Hz	H'B	37.888ms	-	-	947199カウント	H'68E01				
		16倍速	15517.2Hz	H'F	1031.11 μs	H'8	H'8	H'8	5153カウント	H'6BDF	431.03Hz	H'F	37.120ms	-	-	927999カウント	H'69581				
	REV	1倍速	891.4Hz	H'0	1121.78 μs	H'8	H'8	H'8	5606カウント	H'6A1A	24.76Hz	H'0	40.384ms	-	-	1009599カウント	H'675A1				
		2倍速	1774.4Hz	H'1	1127.11 μs	H'8	H'8	H'8	5633カウント	H'69FF	49.29Hz	H'1	40.576ms	-	-	1014399カウント	H'673C2				
		3倍速	2649.1Hz	H'2	1132.44 μs	H'8	H'8	H'8	5660カウント	H'69E4	73.59Hz	H'2	40.768ms	-	-	1019199カウント	H'671E1				
		5倍速	4374.0Hz	H'4	1143.11 μs	H'8	H'8	H'8	5713カウント	H'69AF	121.50Hz	H'4	41.152ms	-	-	1028799カウント	H'66E21				
		7倍速	6067.0Hz	H'6	1153.78 μs	H'9	H'9	H'9	5766カウント	H'697A	168.53Hz	H'6	41.536ms	-	-	1038399カウント	H'66A61				
		9倍速	7729.0Hz	H'8	1164.44 μs	H'9	H'9	H'9	5820カウント	H'6944	214.69Hz	H'8	41.920ms	-	-	1047999カウント	H'666A1				
		12倍速	10165.7Hz	H'B	1180.44 μs	H'9	H'9	H'9	5900カウント	H'68F4	282.38Hz	H'B	42.496ms	-	-	1062399カウント	H'66101				
		16倍速	13313.6Hz	H'F	1201.78 μs	H'9	H'9	H'9	6006カウント	H'688A	369.82Hz	H'F	43.264ms	-	-	1081599カウント	H'65981				
	FF/REW	1倍速	900.0Hz	H'0	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		2倍速	1800.0Hz	H'1	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		3倍速	2700.0Hz	H'2	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		4倍速	3600.0Hz	H'3	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		5倍速	4500.0Hz	H'4	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		6倍速	5400.0Hz	H'5	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		7倍速	6300.0Hz	H'6	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		9倍速	8100.0Hz	H'8	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		11倍速	9900.0Hz	H'A	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		14倍速	12600.0Hz	H'D	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		15倍速	13500.0Hz	H'E	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		16倍速	14400.0Hz	H'F	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		17倍速	15300.0Hz	H'10	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		18倍速	16200.0Hz	H'11	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		19倍速	17100.0Hz	H'12	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
		20倍速	18000.0Hz	H'13	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	-	-	-	-				
	SLOW	0.5倍速	447.9Hz	H'0	2232.89 μs	H'11	H'11	H'11	11162カウント	H'5466	-	-	-	-	-	-	-				
	ASM	1倍速	900.0Hz	H'0	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	H'23 40.00ms	-	999999カウント	H'67961				
	REC	1倍速	900.0Hz	H'0	1111.11 μs	H'8	H'8	H'8	5553カウント	H'6A4F	-	-	-	H'23 40.00ms	-	999999カウント	H'67961				

表3.13 キャプスタン制御プリセットデータ一覧 (PAL/LP)

H 並び	基準H数	フィールド周波数
PAL	0.75	312.5H
		50.00Hz

C F G	動作周波数	DVCFGマスキング
1フレーム	5MHz	基準クロック
18発		φ/256

PAL	LP	キャプスタン速度系誤差検出										キャプスタン位相系誤差検出									
		CFG周波数	DVCFG分周値	DVCFG周期	DVCFGマスキング	カウント数	フ°リセット値	CTLP周波数	DVCTLP分周値	DVCTLP周期	DVCFG2分周値	DVCFG2周期	カウント数	フ°リセット値							
	PB	1倍速	450.0Hz	H0	2222.22 μs	H11	H11	H11	11109カウント	H1549B	25.00Hz	H10	40.000ms	-	-	99999カウント	H167961				
	CUE	2倍速	902.2Hz	H1	2216.89 μs	H11	H11	H11	11082カウント	H154B6	50.12Hz	H11	39.904ms	-	-	99759カウント	H167A51				
		3倍速	1356.5Hz	H2	2211.56 μs	H11	H11	H11	11055カウント	H154D1	75.36Hz	H12	39.808ms	-	-	99519カウント	H167B41				
		5倍速	2271.8Hz	H4	2200.89 μs	H11	H11	H11	11002カウント	H15506	126.21Hz	H14	39.616ms	-	-	99039カウント	H167D21				
		7倍速	3196.0Hz	H6	2190.22 μs	H11	H11	H11	10949カウント	H1553B	177.56Hz	H16	39.424ms	-	-	98559カウント	H167F01				
		9倍速	4129.3Hz	H8	2179.56 μs	H11	H11	H11	10895カウント	H15571	229.40Hz	H18	39.232ms	-	-	98079カウント	H1680E1				
		12倍速	5546.4Hz	H12	2163.56 μs	H11	H11	H11	10815カウント	H155C1	308.13Hz	H18	38.944ms	-	-	97359カウント	H1683B1				
		16倍速	7468.9Hz	H16	2142.22 μs	H11	H11	H11	10709カウント	H1562B	414.94Hz	H18	38.560ms	-	-	96399カウント	H168771				
	REV	1倍速	447.9Hz	H0	2232.89 μs	H11	H11	H11	11162カウント	H15466	24.88Hz	H10	40.192ms	-	-	100479カウント	H167781				
		2倍速	893.6Hz	H1	2238.22 μs	H11	H11	H11	11189カウント	H1544B	49.64Hz	H11	40.288ms	-	-	100719カウント	H167692				
		3倍速	1337.2Hz	H2	2243.56 μs	H11	H11	H11	11215カウント	H15431	74.29Hz	H12	40.384ms	-	-	100959カウント	H1675A1				
		5倍速	2218.1Hz	H4	2254.22 μs	H11	H11	H11	11269カウント	H153FB	123.23Hz	H14	40.576ms	-	-	101439カウント	H1673C1				
		7倍速	3090.7Hz	H6	2264.89 μs	H11	H11	H11	11322カウント	H153C6	171.70Hz	H16	40.768ms	-	-	101919カウント	H1671E1				
		9倍速	3955.1Hz	H8	2275.56 μs	H11	H11	H11	11375カウント	H15391	219.73Hz	H18	40.960ms	-	-	102399カウント	H167001				
		12倍速	5236.6Hz	H12	2291.56 μs	H11	H11	H11	11455カウント	H15341	290.92Hz	H18	41.248ms	-	-	103119カウント	H166D31				
		16倍速	6917.8Hz	H16	2312.89 μs	H11	H11	H11	11562カウント	H152D6	384.32Hz	H18	41.632ms	-	-	104079カウント	H166971				
	FF/REW	1倍速	900.0Hz	H0	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		2倍速	1800.0Hz	H1	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		3倍速	2700.0Hz	H2	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		4倍速	3600.0Hz	H3	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		5倍速	4500.0Hz	H4	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		6倍速	5400.0Hz	H5	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		7倍速	6300.0Hz	H6	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		9倍速	8100.0Hz	H8	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		11倍速	9900.0Hz	H10	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		14倍速	12600.0Hz	H12	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		15倍速	13500.0Hz	H13	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		16倍速	14400.0Hz	H14	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		17倍速	15300.0Hz	H15	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		18倍速	16200.0Hz	H16	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		19倍速	17100.0Hz	H17	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
		20倍速	18000.0Hz	H18	1111.11 μs	H8	H8	H8	5553カウント	H16A4F	-	-	-	-	-	-	-				
	SLOW	0.5倍速	224.5Hz	H0	455.11 μs	H22	H22	H22	22273カウント	H128FF	-	-	-	-	-	-	-				
	ASM	1倍速	450.0Hz	H0	2222.22 μs	H11	H11	H11	11109カウント	H1549B	-	-	H11	40.00ms	-	99999カウント	H167961				
	REC	1倍速	450.0Hz	H0	2222.22 μs	H11	H11	H11	11109カウント	H1549B	-	-	H11	40.00ms	-	99999カウント	H167961				

3.5 デジタルフィルタ

3.5.1 デジタルフィルタの機能

図3.15にデジタルフィルタのブロック図を示します。H8/3977は図3.15に示すように、速度系デジタルフィルタと位相系デジタルフィルタを持っています。デジタルフィルタの係数には速度系フィルタ係数（ A_s 、 B_s 、 GK_s ）と位相系フィルタ係数（ A_p 、 B_p 、 GK_p ）があります。ここで、 GK_s は G_s と K_s をひとつにまとめたものです。同様に、 GK_p は G_p と K_p をひとつにまとめたものです。

H8/3977の持つデジタルフィルタは、図3.16に示すような周波数特性を持つラグ・リードフィルタの特性を実現します。図3.16のような周波数特性にするためのフィルタ係数（ A 、 B ）は、 f_1 と f_2 から式3.1を用いて求めます。

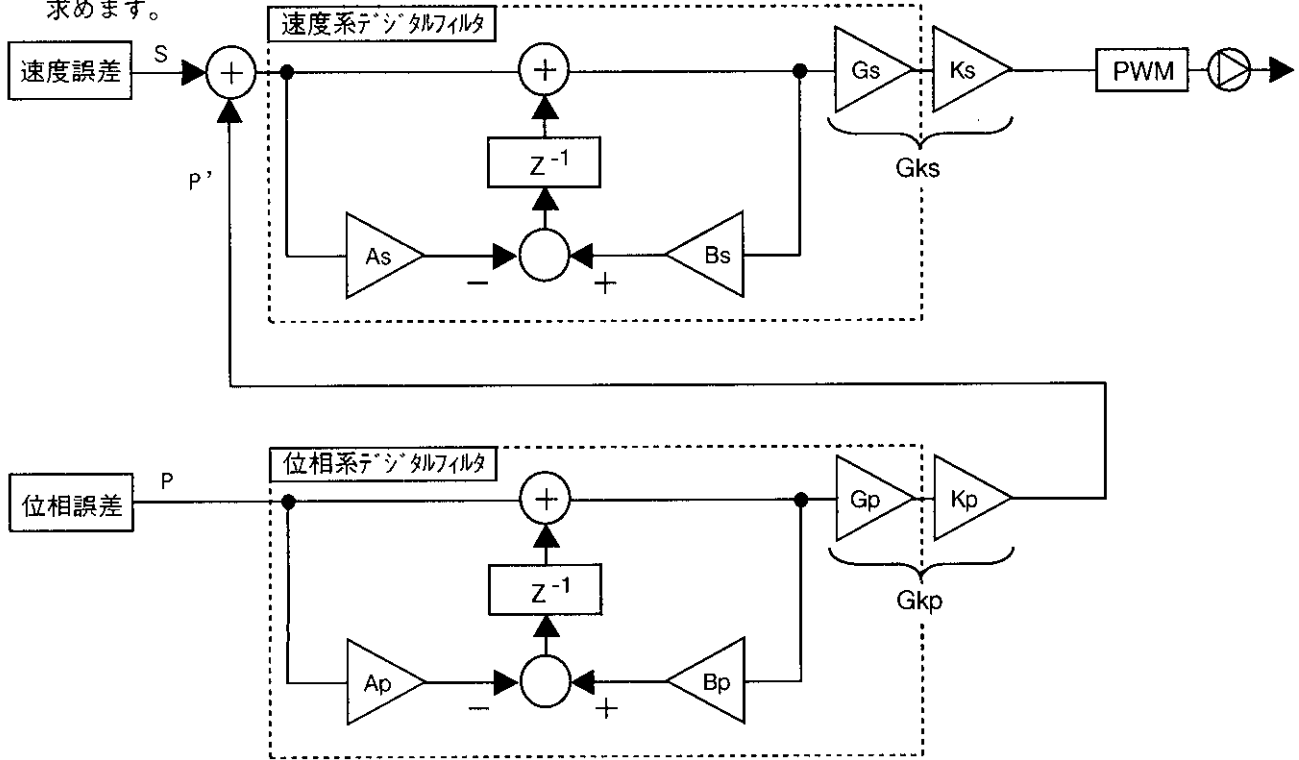


図3.15 デジタルフィルタブロック図

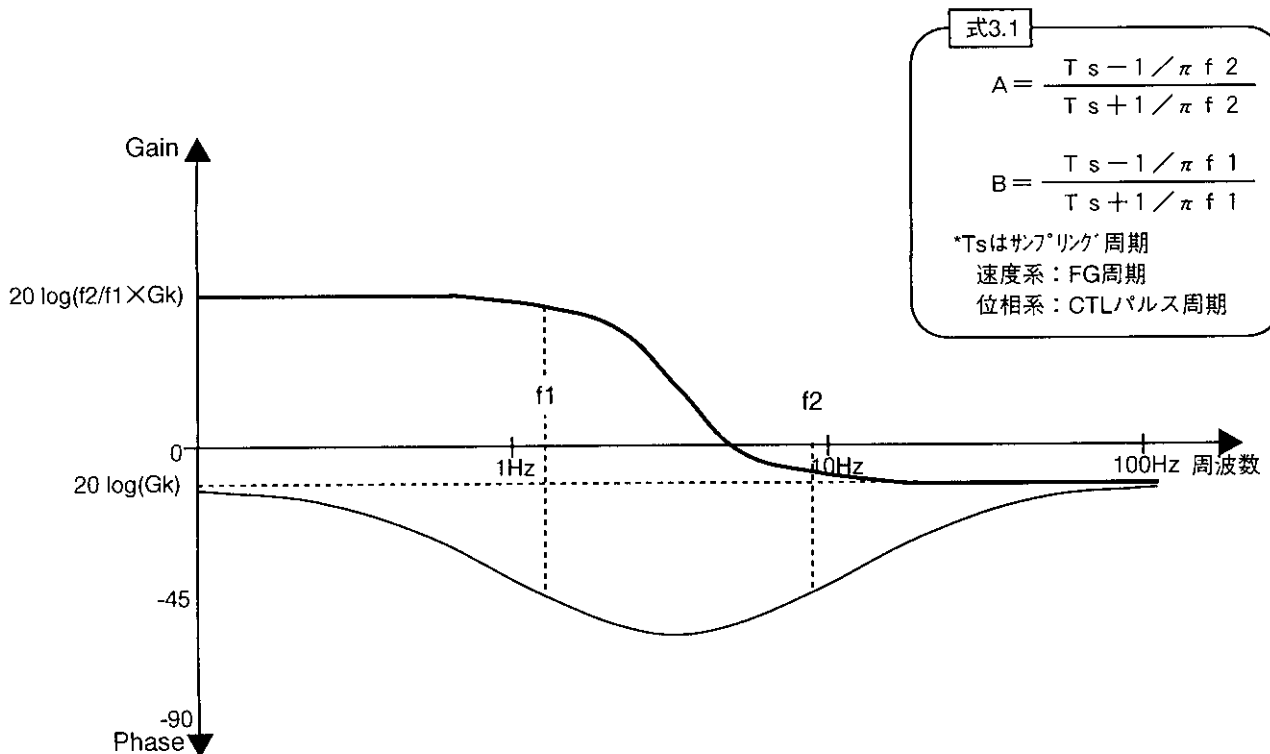


図3.16 ラグ・リードフィルタ周波数特性

3. 5. 2 デジタルフィルタの特性の求め方

デジタルフィルタの特性を決める周波数 f_1 、 f_2 及び G_{Ks} 、 G_{Kp} はモータの特性から理論値を求め、カット&トライによって決定します。

(1) 速度系デジタルフィルタの特性

速度系のデジタルフィルタはサーボループのループフィルタとなるので、モータのDCゲインから f_1 、 f_2 及び G_{Ks} を求めます。例えば、モータのDCゲインが10dB、サーボループのDCゲインを40dBとしたい時、デジタルフィルタのゲインは30dB必要になります。そこで、 $20 \log ((f_2 / f_1) \times G_{Ks}) = 30\text{dB}$ となるような f_1 、 f_2 及び G_{Ks} とします。

また、一般的なサーボの帯域は10~50Hzのため、 $f_2 < 10\text{Hz}$ となるような f_1 、 f_2 とします。

[Example]

モータDCゲイン：10 dB

目標のサーボループのDCゲイン：40 dB

デジタルフィルタのゲインは目標DCゲインとモータDCゲインの差となります。

$$40 \text{ dB} - 10 \text{ dB} = 30 \text{ dB} \cdots \text{デジタルフィルタのゲイン}$$

ここで、 $f_2 < 10 \text{ Hz}$ の条件から

$$f_1 = 0.16 \text{ Hz}$$

$$f_2 = 5.10 \text{ Hz} \quad \text{とおくと、}$$

$$30 \text{ dB} = 20 \log ((f_2 / f_1) \times G_{Ks})$$

$$30 \text{ dB} = 20 \log (5.10 \text{ Hz} / 0.16 \text{ Hz}) + 20 \log G_{Ks}$$

$$20 \log G_{Ks} = 30\text{dB} - 30\text{dB} = 0\text{dB}$$

したがって、 $G_{Ks} = 0.9999$ (G_{Ks} のMax 値) となります。

(2) 位相系デジタルフィルタの特性

位相系のデジタルフィルタは速度検波感度と位相検波感度の加算比から f_1 、 f_2 及び GKp を求めます。速度と位相の加算比は速度誤差0.5%時の速度検波感度と位相誤差0.5H (NTSCの場合: 約31.75 μs) 時の位相検波感度が等しくなるようにします。(図3.15の $S = P'$)

例えば、速度系サンプリング周波数 (FG周波数) を719.28Hzとすると速度誤差0.5%時の検波感度は41.965mV (式3.2参照) になります。そこで、位相誤差0.5H時の検波感度が41.965mVとなるような f_1 、 f_2 及び GKp とします。

速度系に加算する位相誤差データ (図3.15の P') は位相系フィルタ (ラグ・リードフィルタ) と GKp を通過したデータです。したがって、加算する位相誤差データ P' は式3.3のようになります。式3.3から位相誤差0.5H時の位相検波感度が速度誤差0.5%時の速度検波感度と等しくなるような f_1 、 f_2 及び GKp を求めます。

[Example]

$$\begin{aligned} \text{速度検波感度 } S (1\%) &= \frac{1}{\text{サンプリング周波数}} \times \left(1 - \frac{1}{1.01}\right) \times \phi \times \frac{V_{cc}}{2^{12}} \\ &= \frac{1}{719.28} \times \left(1 - \frac{1}{1.01}\right) \times 5 \times 10^6 \times \frac{5}{4096} \\ &= 83.93 \text{ mV}/\% \end{aligned}$$

サンプリング周波数: 719.28Hz
 ϕ : 5MHz
 V_{cc} : 5V

$$\begin{aligned} \text{速度誤差0.5\%時の速度系検波感度 } S (0.5\%) &= S (1\%) \times 0.5 \\ &= 41.97 \text{ mV} \quad \dots \text{式3.2} \end{aligned}$$

$$\begin{aligned} \text{位相検波感度 } P (1 \text{ ms}) &= \frac{V_{cc}}{2^{12}} \times \phi \times 1 \text{ ms} \\ &= \frac{5}{4096} \times 5 \times 10^6 \times 1 \text{ ms} \\ &= 6.104 \text{ V}/\text{ms} \end{aligned}$$

ϕ : 5MHz
 V_{cc} : 5V

$$\begin{aligned} \text{位相誤差0.5H時の位相検波感度 } P (0.5 \text{ H}) &= P (1 \text{ ms}) \times \frac{0.5 \text{ H (NTSC時 } 31.75 \mu s)}{1 \text{ ms}} \\ &= 193.8 \text{ mV} \end{aligned}$$

$$\begin{aligned} \text{加算する位相誤差データ } P' &= P (0.5 \text{ H}) \times \frac{f_2}{f_1} \times GKp \\ &= 193.8 \text{ mV} \times \frac{f_2}{f_1} \times GKp = 41.97 \text{ mV} \quad \dots \text{式3.3} \end{aligned}$$

式3.3より

$$\begin{aligned} 193.8 \text{ mV} \times \frac{f_2}{f_1} \times GKp &= 41.97 \text{ mV} \\ \frac{f_2}{f_1} \times GKp &= \frac{41.97 \text{ mV}}{193.8 \text{ mV}} = 0.22 \end{aligned}$$

ここで $f_1=0.03\text{Hz}$ 、 $f_2=0.11\text{Hz}$ とすると、 $GKp=0.059$ となります。

3. 5. 3 デジタルフィルタ係数の計算

図3.17に速度系デジタルフィルタの特性例を、図3.18に位相系デジタルフィルタの特性例を示します。図3.17及び図3.18に示す特性をデジタルフィルタ係数As, Bs, Ap, Bp及びGks, GKpへ、次のように変換します。

[速度系デジタルフィルタ係数]

$$f_1 = 0.16\text{Hz}$$

$$f_2 = 5.10\text{Hz}$$

$$G_{ks} = 0.9999$$

サンプリング周波数 (FG周波数) = 719.28Hzの場合、式3.1より

$$A = \frac{T_s - 1 / \pi f_2}{T_s + 1 / \pi f_2} = \frac{1.39\text{ms} - 1 / \pi \times 5.10\text{Hz}}{1.39\text{ms} + 1 / \pi \times 5.10\text{Hz}} = -0.95642$$

$$A_s = A \times (-65536) = (-0.95642) \times (-65536) = 62680 = \text{H'F4D8}$$

$$B = \frac{T_s - 1 / \pi f_1}{T_s + 1 / \pi f_1} = \frac{1.39\text{msec} - 1 / \pi \times 0.16\text{Hz}}{1.39\text{msec} + 1 / \pi \times 0.16\text{Hz}} = -0.99860$$

$$B_s = B \times (-65536) = (-0.99860) \times (-65536) = 65444 = \text{H'FFA4}$$

$$G_{ks} = G_{ks} \times 65536 = 0.9999 \times 65536 = 65535 = \text{H'FFFF}$$

[位相系デジタルフィルタ係数]

$$f_1 = 0.03\text{Hz}$$

$$f_2 = 0.11\text{Hz}$$

$$G_{kp} = 0.059$$

サンプリング周波数 = 29.97Hz (NTSC) の場合、式3.1より

$$A = \frac{T_s - 1 / \pi f_2}{T_s + 1 / \pi f_2} = \frac{33.36\text{ms} - 1 / \pi \times 0.11\text{Hz}}{33.36\text{ms} + 1 / \pi \times 0.11\text{Hz}} = -0.97720$$

$$A_p = A \times (-65536) = (-0.97720) \times (-65536) = 64042 = \text{H'FA2A}$$

$$B = \frac{T_s - 1 / \pi f_1}{T_s + 1 / \pi f_1} = \frac{33.36\text{ms} - 1 / \pi \times 0.03\text{Hz}}{33.36\text{ms} + 1 / \pi \times 0.03\text{Hz}} = -0.99373$$

$$B_p = B \times (-65536) = (-0.99373) \times (-65536) = 65125 = \text{H'FE65}$$

$$G_{kp} = G_{kp} \times 65536 = 0.059 \times 65536 = 3866 = \text{H'0F1A}$$

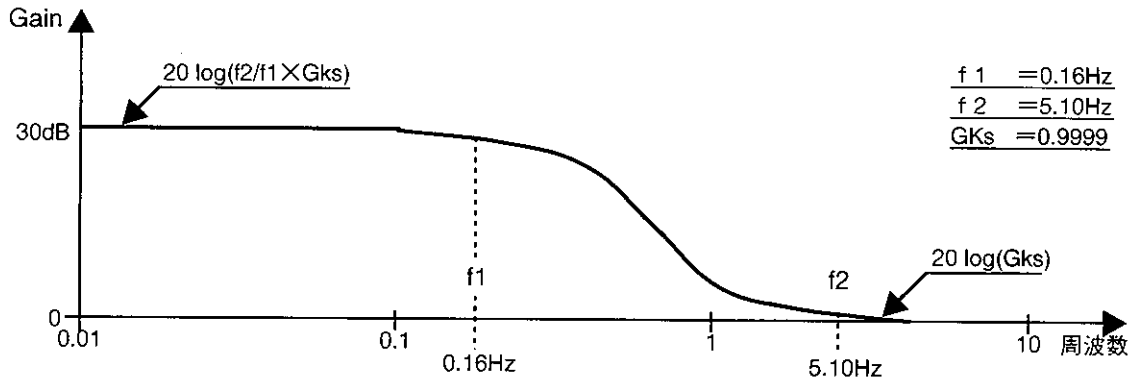


図3.17 速度系デジタルフィルタ特性例

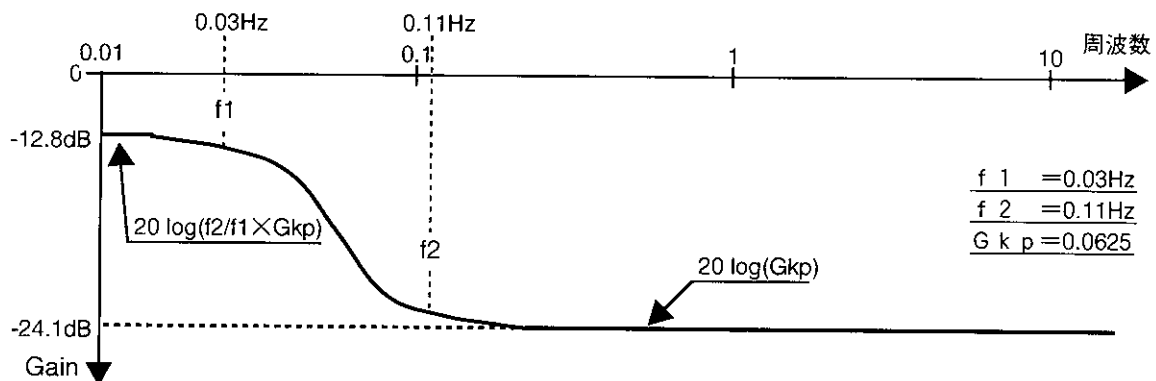


図3.18 位相系デジタルフィルタ特性例

3. 6 H.SW (V.FF) の生成

図3.19にヘッドスイッチ生成回路のブロック図を示します。図3.19に示すハードウェア機能を用いてH.SWを生成します。ヘッドスイッチ生成回路は生成タイミング及び出力パターンを設定するFIFOバッファと出力タイミングを計測するタイマ及び出力制御回路で構成しています。

FIFOバッファはH.SW信号(Video-FF信号)、Audio-FF信号、M level信号及びV pulse信号等の出力パターンと出力するタイミングをバッファします。出力タイミングの計測は、DPG信号およびDFG信号を基準にするタイマカウンタによって行ないます。タイマカウンタの値とFIFOバッファのタイミングが一致したとき、FIFOに設定した出力パターンを出力します。FIFOの内容を1段出力する毎に次段の出力タイミングを計測するタイマに送ります。図3.20にDFG 24発/1回転の場合の各信号の出力タイミングを示します。

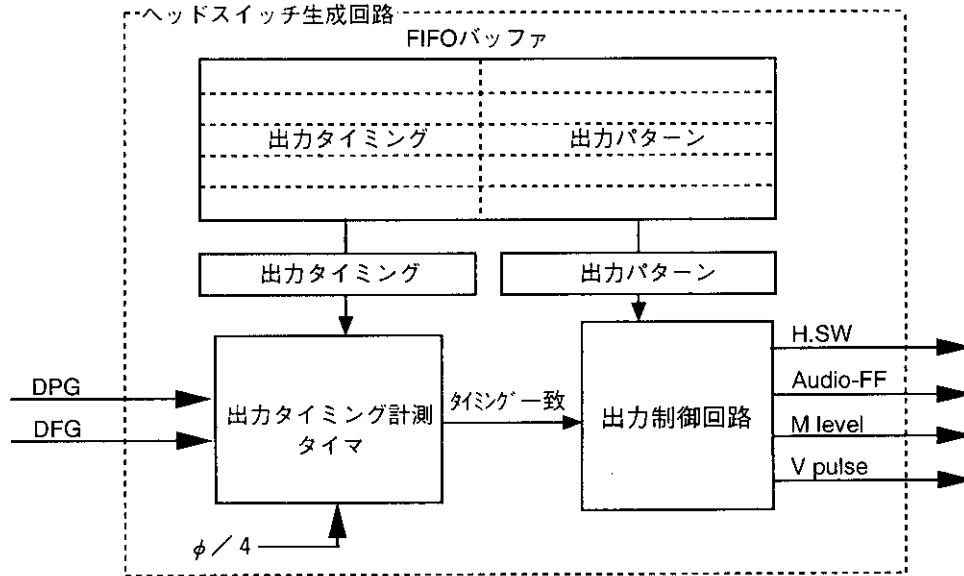


図3.19 ヘッドスイッチ生成回路ブロック図

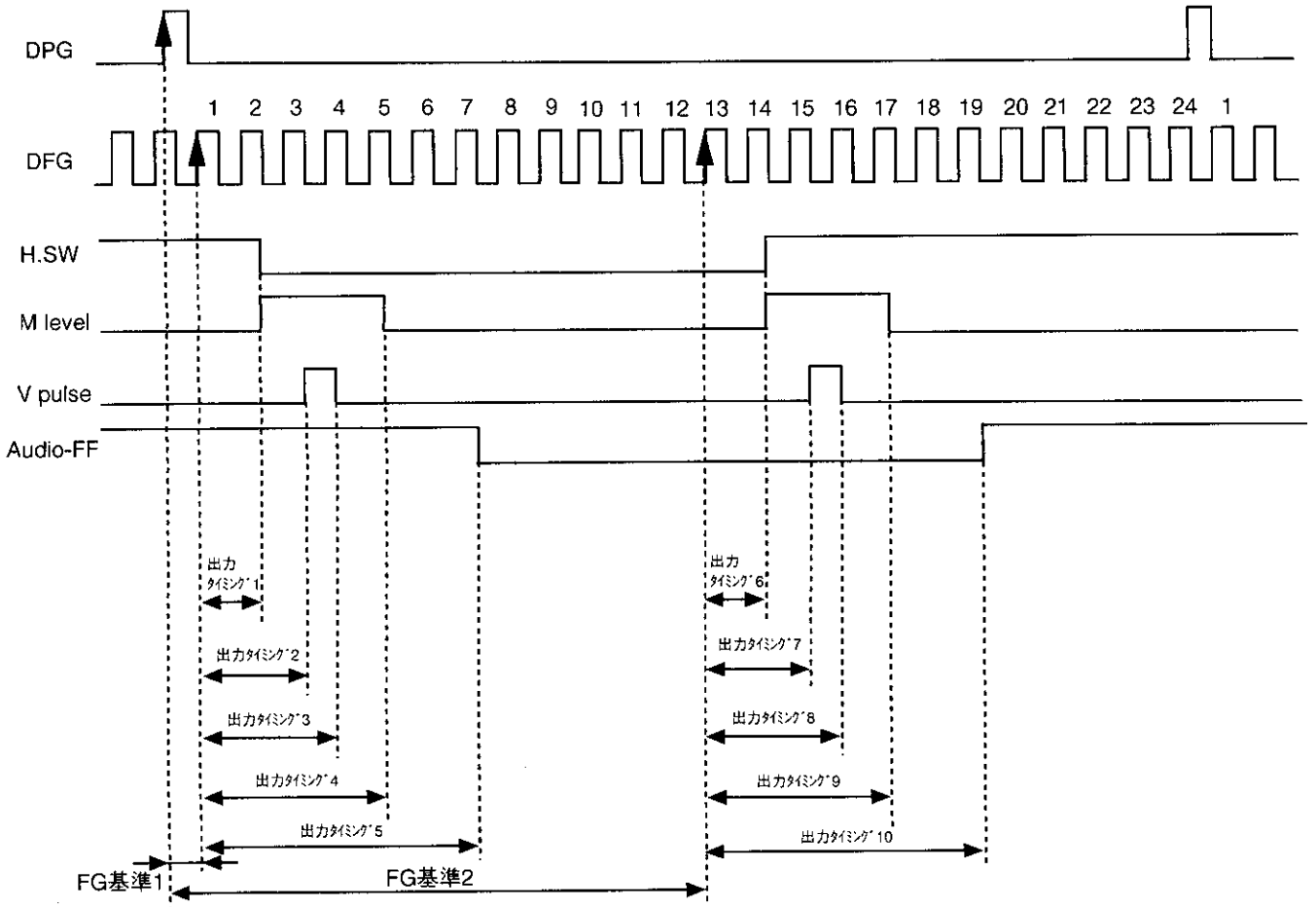


図3.20 各信号の出力タイミング

3. 6. 1 H.SW生成タイミングの計算

図3.21にH.SW出力タイミング計測タイマのブロック図を示します。H.SW出力タイミング計測タイマはDFGをカウントするカウンタ及び $\phi/4$ をカウントするタイマカウンタで構成しています。

DFGカウンタはDPG信号でリセットし、ここからDFGをカウントします。DFGカウンタ値がDFG基準レジスタ値と一致した時、タイマカウンタをリセットし、DFGとタイマカウンタを同期させます。

タイマカウンタは、カウンタ値がFIFOバッファのタイミングと一致した時、パターン出力回路へタイミング一致信号を出力します。したがって、DFG基準レジスタにはDPGからのDFGパルス数を、FIFOバッファには $\phi/4$ 基準のタイミングデータを設定します。

図3.20のタイミングの場合のFIFOバッファ設定値及びDFG基準レジスタ設定値の例を表3.14に示します。

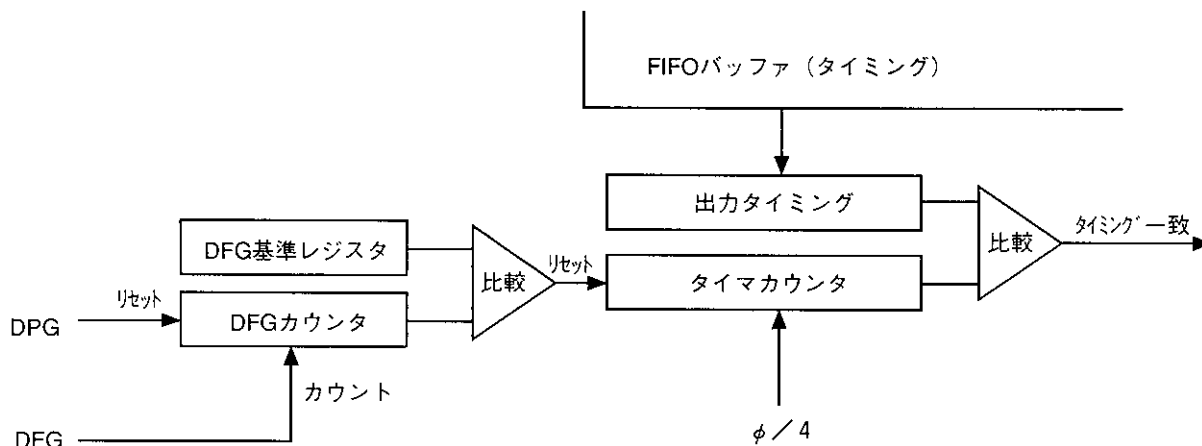


図3.21 H.SW出力タイミング計測タイマブロック図

表3.14 FIFO設定タイミングデータ

DFG基準	タイミング名	出力パターン	設定時間	FIFO設定値 ^{*1}
1	出力タイミング1	H.SW立ち下がり 付加V (等価パルス) 立ち上がり	400 μ s	H'01F4
	出力タイミング2	付加Vパルス立ち上がり	780 μ s	H'03CF
	出力タイミング3	付加Vパルス立ち下がり	970 μ s	H'04BC
	出力タイミング4	付加V (等価パルス) 立ち下がり	1351 μ s	H'0698
	出力タイミング5	Audio-FF立ち下がり	9693 μ s	H'2F54
13	出力タイミング6	H.SW立ち上がり 付加V (等価パルス) 立ち上がり	400 μ s	H'01F4
	出力タイミング7	付加Vパルス立ち上がり	780 μ s	H'03CF
	出力タイミング8	付加Vパルス立ち下がり	970 μ s	H'04BC
	出力タイミング9	付加V (等価パルス) 立ち下がり	1351 μ s	H'0698
	出力タイミング10	Audio-FF立ち上がり	9693 μ s	H'2F54

*1 FIFO設定値 = 設定時間 \times $\phi/4$

$\phi = 5$ MHz

3. 6. 2 付加Vパルスの生成

付加Vパルス生成回路は特殊再生時(CUE/REV、STILL及びSLOW等)にVsyncに代わる信号を出力する回路です。図3.22に付加Vパルス生成のブロック図を示します。付加Vパルスの生成は、H.SW生成回路からのM level信号、V pulse信号及び同期分離回路からのOSCH信号を使用して生成します。

図3.23に付加Vパルス信号のタイミングを示します。M level信号は等化パルスの位置を、V pulse信号は垂直同期パルス位置を示す信号です。等化パルスは6H (NTSCの場合 $381.4\mu\text{s}$)、垂直同期パルスは3H (NTSCの場合 $190.7\mu\text{s}$) のパルス幅になります。これらの付加Vパルスのタイミングはヘッドスイッチ生成回路のFIFOバッファにタイミングデータとして設定します。

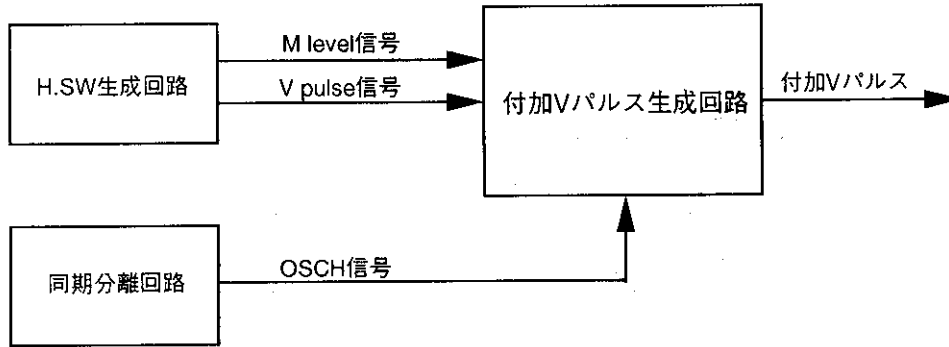


図3.22 付加Vパルス生成のブロック図

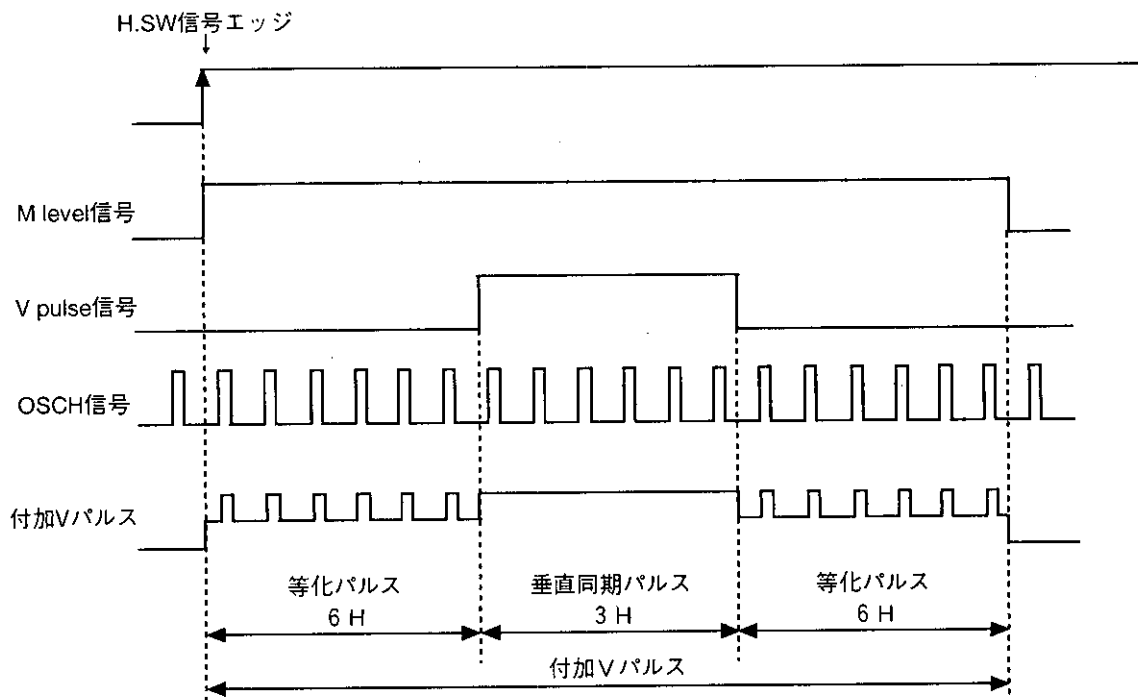


図3.23 付加Vパルス信号のタイミング

3. 6. 3 付加Vパルスのシフト

図3.24に付加Vパルスのシフトのタイミングを示します。付加Vパルスのシフト量 T はVパルス位置 t_1 とVパルスシフト量 t_2 によって決まります。Vパルス位置 t_1 は付加Vパルスシフトのオフセットになる値です。Vパルスシフト量 t_2 はVパルス位置 t_1 に対して、 $-3.5H \sim +3.0H$ まで $0.5H$ 単位のシフト量となる値です。

Vパルス位置を決める t_1 は表3.15示すようにNTSC信号方式の場合 $188.3 \mu s$ 、PAL信号方式の場合、 $192.5 \sim 626.5 \mu s$ を設定します。

Vパルスシフト量を決める t_2 はNTSC/PAL信号方式ともに、 $-3.5H \sim +3.0H$ まで $0.5H$ 単位で設定します。

表3.15 Vパルス位置 t_1

信号方式	最小値	最大値
NTSC	$188.3 \mu s$	$622.3 \mu s$
PAL	$192.5 \mu s$	$626.5 \mu s$

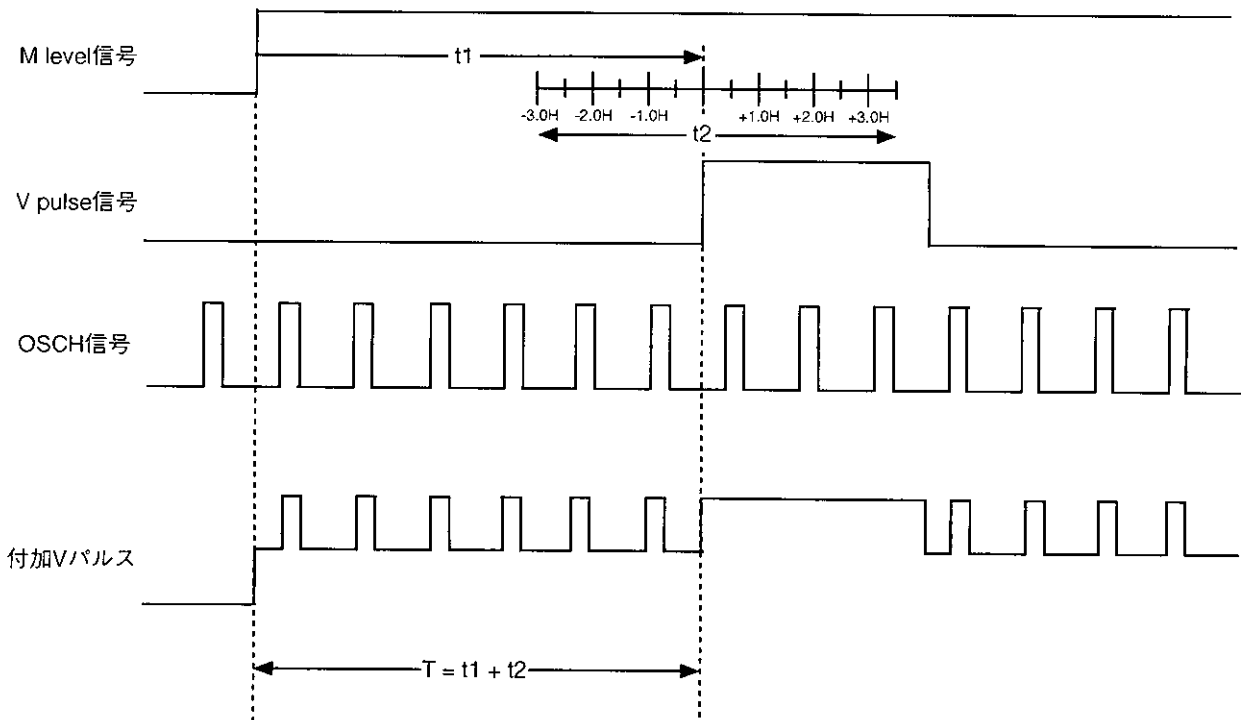


図3.24 付加Vパルス信号のシフト

3.7 CTLP検出/記録

図3.25にCTLP検出/記録回路のブロック図を示します。再生モード時はCTL検出を行ない、記録モード時はCTL記録を行ないます。CTL検出時はCTLシュミットアンプにより波形成型したPB-CTL信号を用いてデューティ判別を行ないます。CTL記録時はVISS/ASM制御回路及びライトコントロール回路でREC-CTL信号を生成します。

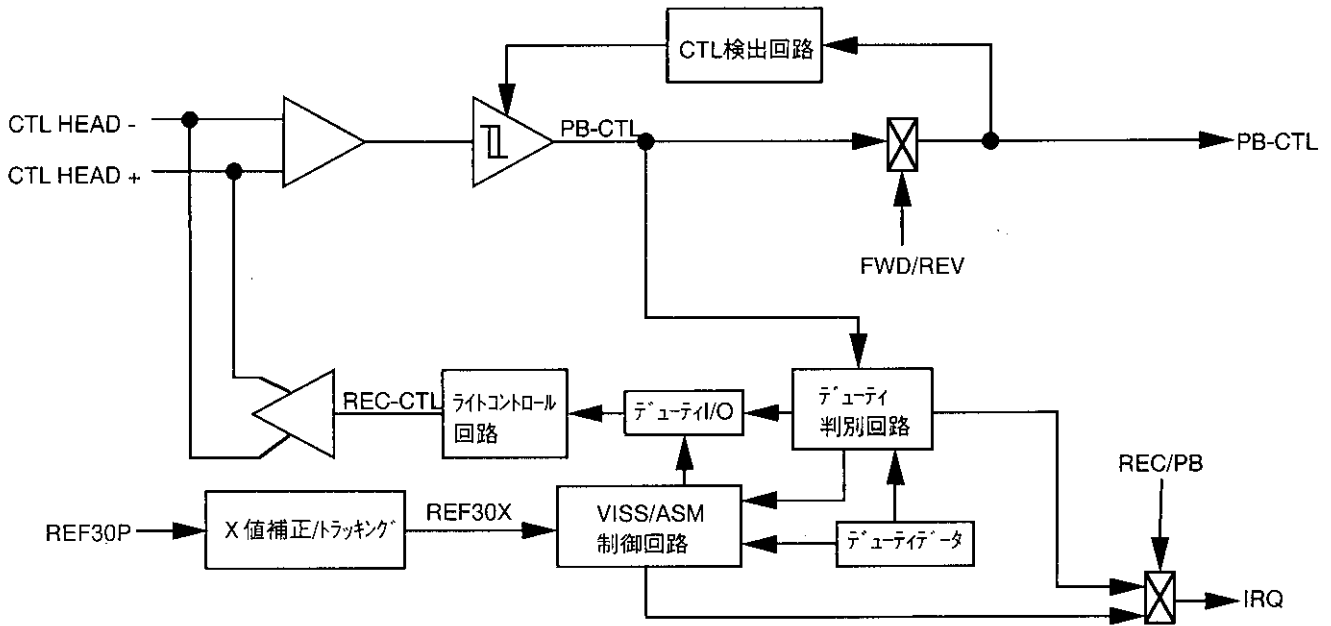


図3.25 CTLP検出/記録回路ブロック図

通常のCTLP検出/記録では図3.26に示すように、デューティが60%±5%のCTL信号の検出/記録を行います。

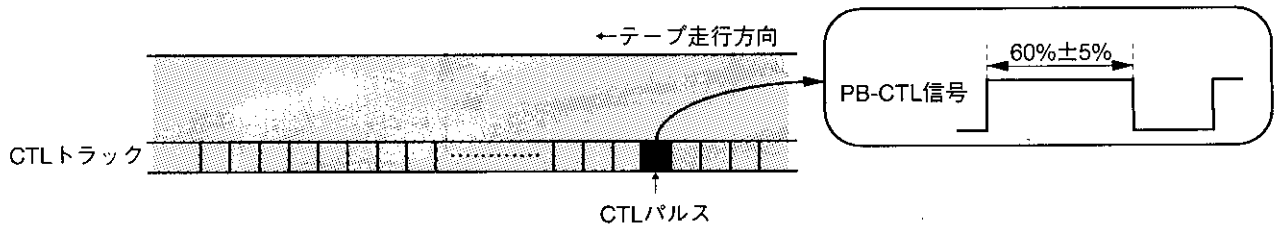


図3.26 CTLパルス

VISSマークを図3.27に示します。VISS検出は1パルス32発以上を検出した時、VISS検出と判定します。また、VISS記録は図3.27に示すような、0パルス1発+1パルス64発+0パルス1発というビット列をCTLトラックに記録します。

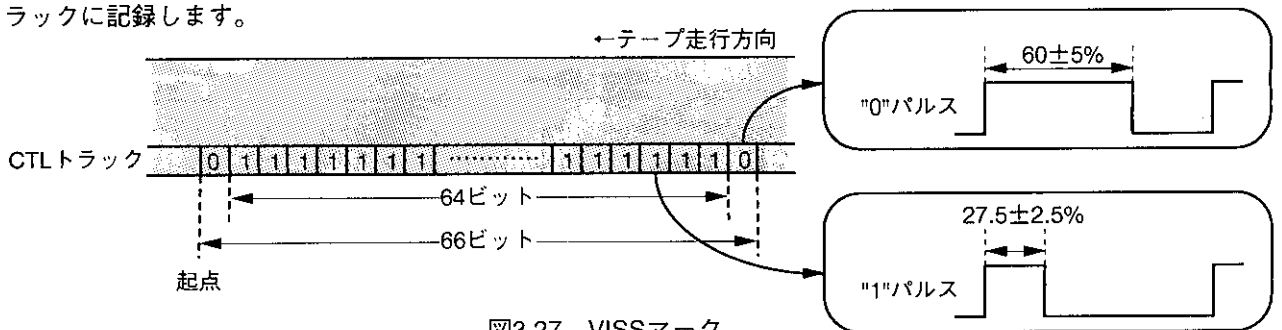


図3.27 VISSマーク

ASMマークを図3.28に示します。ASM検出は図3.28に示すようなデューティ66%以上のCTLパルスを検出した時、ASM検出と判定します。また、ASM記録は図3.28に示すようなデューティ66%以上のCTLパルスを記録します。

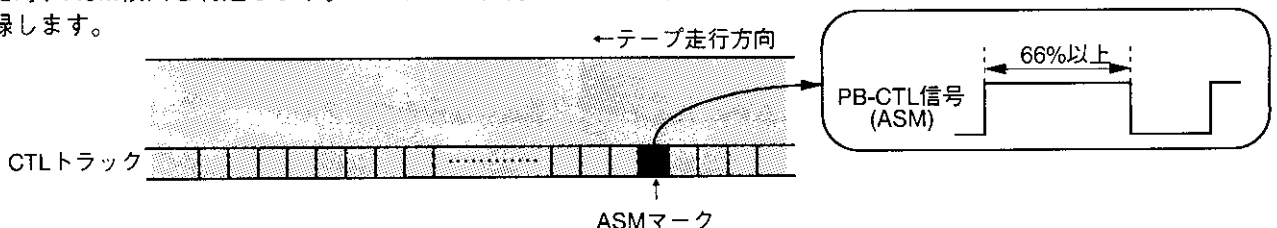


図3.28 ASMマーク

3. 7. 1 X値/トラッキング補正

図3.29にX値/トラッキング補正回路のブロック図を示します。再生モード時はトラッキング補正を行ない、記録モード時はX値の補正を行ないません。X値/トラッキング補正は図3.30に示すように基準信号REF30Pをカウンタでディレイし、REF30X信号を生成します。

REF30P信号からREF30X信号へのディレイ量は図3.29及び図3.30に示すように $\phi/1024$ のクロックでカウントする為、X値/トラッキング補正のデータは次のようになります。

トラッキング補正量：10.0 ms

X値補正量：5.4 ms の場合 ($\phi = 5 \text{ MHz}$)

(1) 再生モード時に設定するトラッキングデータは

$$\begin{aligned} \text{トラッキングデータ} &= (\text{X値} + \text{トラッキング補正量}) \times \phi / 1024 + \text{トラッキングセンター値} \\ &= (5.4\text{ms} + 10.0\text{ms}) \times 5\text{MHz} / 1024 + \text{H}'80 \\ &= \underline{203 \text{ (H}'\text{CB)}} \end{aligned}$$

(2) 記録モード時に設定するX値データは

$$\begin{aligned} \text{X値データ} &= \text{X値} \times \phi / 1024 \\ &= 5.4\text{ms} \times 5\text{MHz} / 1024 \\ &= \underline{26 \text{ (H}'\text{1A)}} \end{aligned}$$

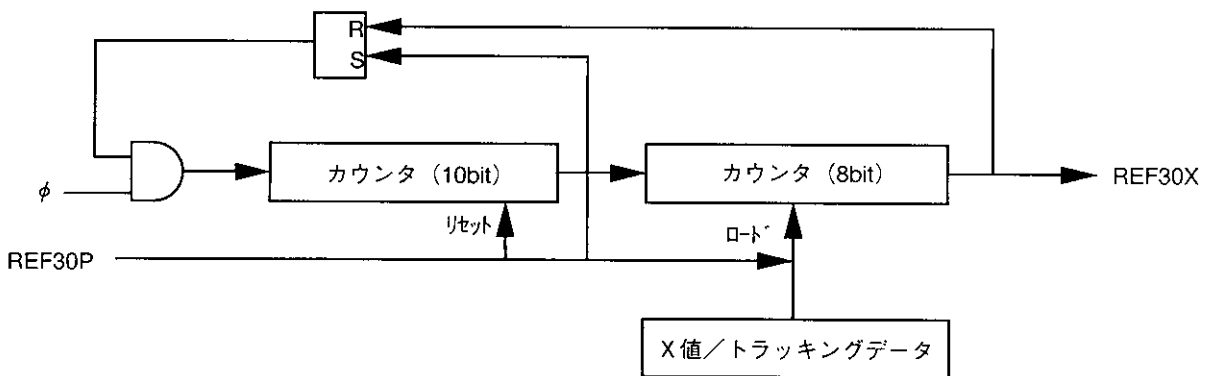


図3.29 X値/トラッキング補正回路ブロック図

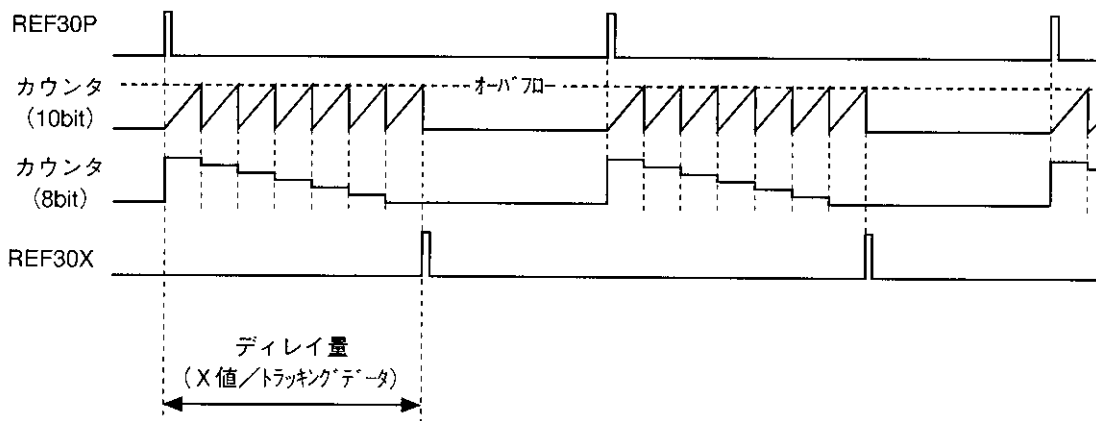


図3.30 X値/トラッキング補正回路のカウンタ動作

3. 7. 2 CTLシュミットアンプ

図3.31にCTLシュミットアンプ回路のブロック図を示します。CTLシュミットアンプは前段のCTLアンプにより増幅したCTL信号を矩形パルスのPB-CTL信号に変換します。CTLシュミットアンプは、表3.16に示す3種類のキャプスタンのサーボモードそれぞれの状態に合わせてしきい値レベルを選択します。

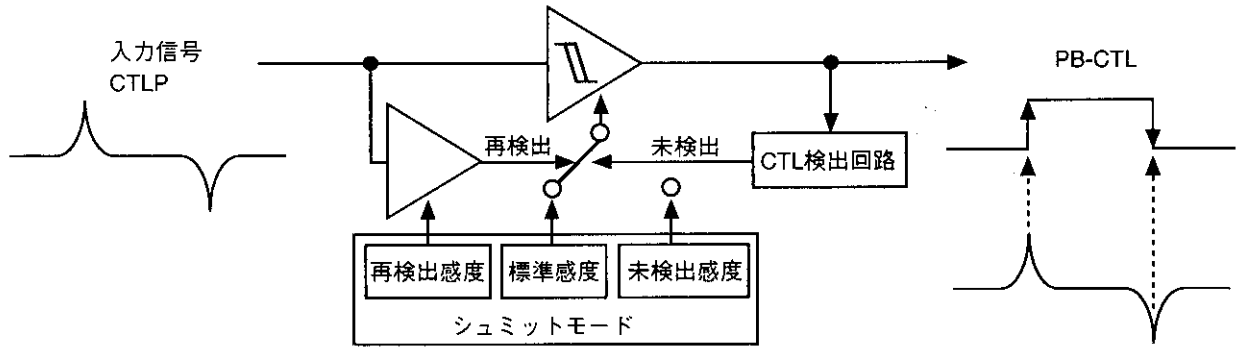


図3.31 CTLシュミットアンプ回路ブロック図

表3.16 CTLシュミットアンプのモード

キャプスタンのサーボモード	シュミットモード	V _{th} (しきい値レベル)		
		再検出感度	標準感度	未検出感度
ファインスロー再生	Mode1	—	130 ± 30 mv	130 ± 30 mv
通常再生	Mode2	500 ± 80 mv	260 ± 60 mv	130 ± 30 mv
サーチ (CUE/REV)	Mode3	1000 ± 100 mv	500 ± 80 mv	260 ± 60 mv

3. 7. 3 REC-CTL出力タイミングの計算

図3.32にREC-CTL出力回路のブロック図を示します。REC-CTLは基準信号REF30Xに同期したタイマカウンタにより、テープに書き込むCTLパルスのデューティを制御します。

デューティの設定は '1' パルス、'0' パルス及びASMマークの3種類のデューティを設定します。

表3.17にNTSC信号時のREC-CTLデューティ設定値を示します。

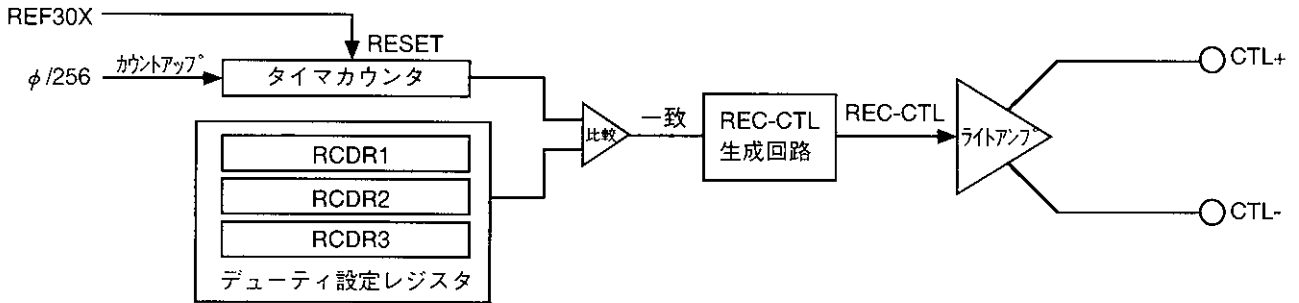


図3.32 REC-CTL出力回路ブロック図

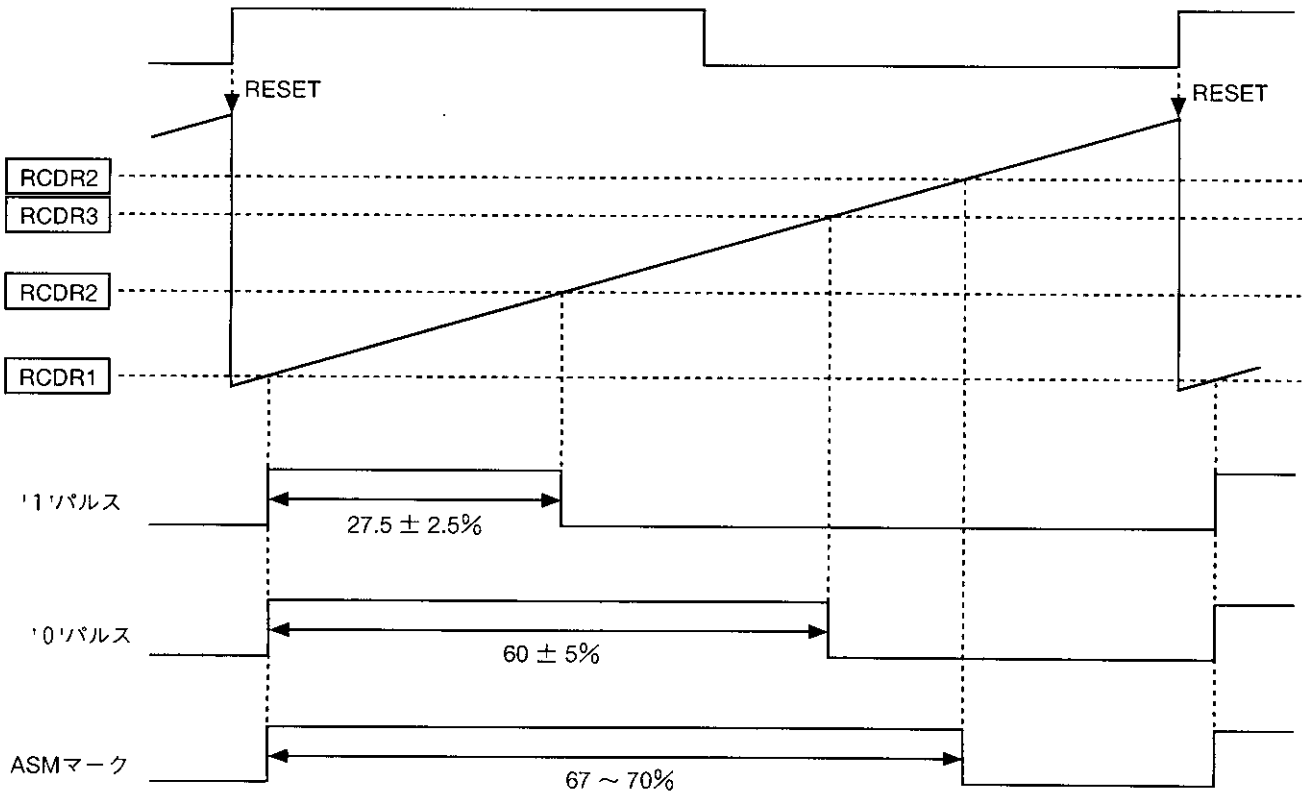


図3.33 REC-CTL出力タイミング

表3.17 REC-CTLデューティ設定値

		通常REC (VISS記録含む)	ASM マーク記録	VISS再書き込み
RCDR1	設定値	H'001	H'001	H'001
RCDR2	デューティ	27.5%	67%	20%
	設定値	H'0B3	H'1B4	H'082
RCDR3	デューティ	60%	60%	54%
	設定値	H'186	H'186	H'160

$$\text{設定値} = \frac{\text{基準周期} \times \text{デューティ} \times \phi}{256}$$

基準周期：NTSC時は
33.36ms

ϕ : 5MHz

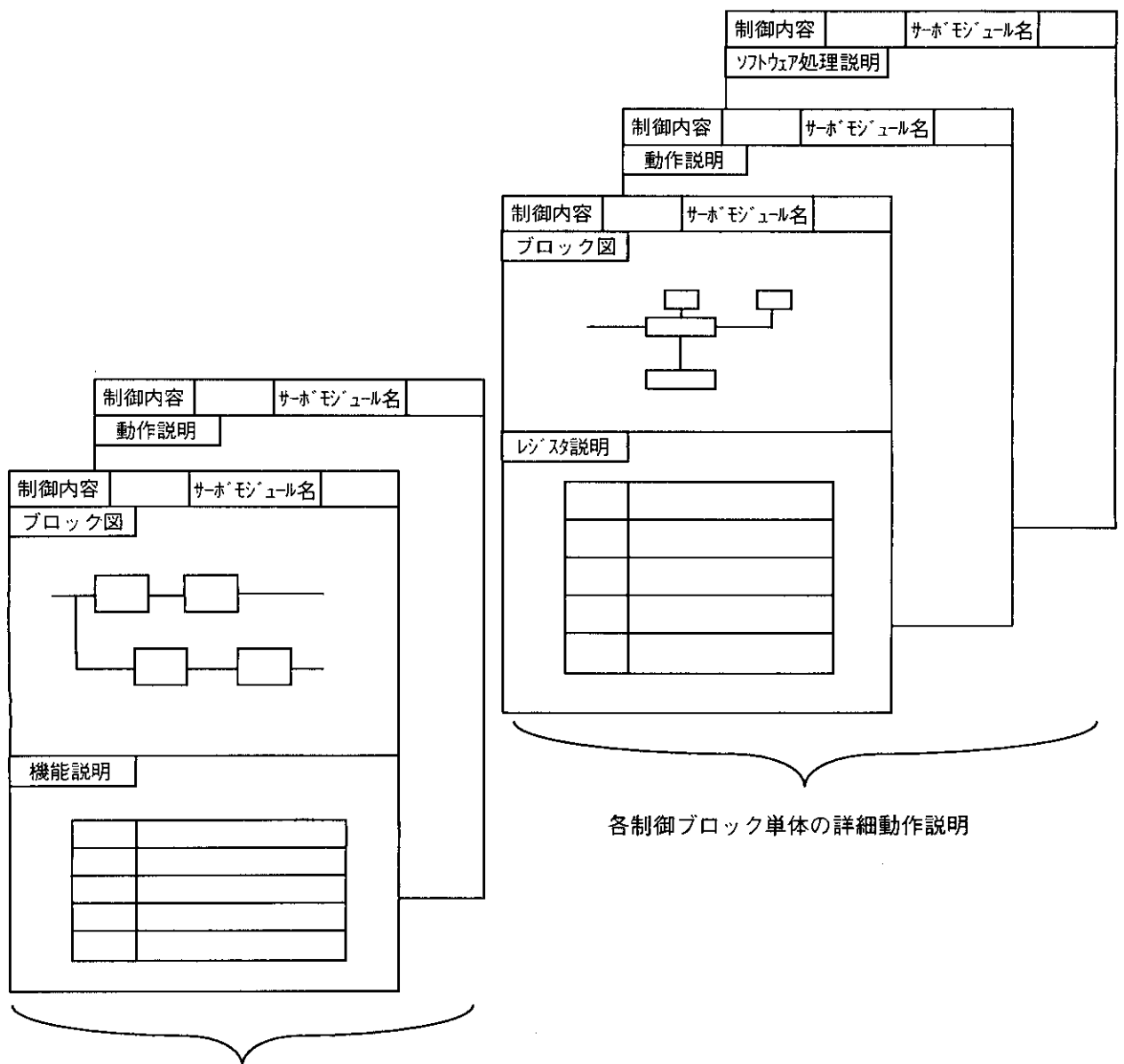
4. 詳細動作説明

4.1 動作説明の概要

ここではH8/3977に内蔵しているサーボ用ハードウェア及びそれを制御するソフトウェアについて詳細な動作を説明します。

本章では各サーボモジュール毎に、全体的な制御ブロックの構成と機能、各制御ブロックの詳細な構成、各制御ブロックの詳細動作及びソフトウェアの処理について、図4.1に示すフォーマットで説明します。本章で扱うサーボモジュールは以下のモジュールについて説明します。

- (1) ドラム制御
- (2) ヘッドスイッチ出力
- (3) キャプスタン制御
- (4) CTLP検出／記録



サーボモジュールの全体的な制御ブロックの説明

図4.1 詳細動作説明の概要

サーボモジュール名	ドラム制御	制御内容	—
-----------	-------	------	---

ブロック図

図4.2にドラムモータ制御部のブロック図を示します。図に示す機能を用いてドラムモータの制御を行います。

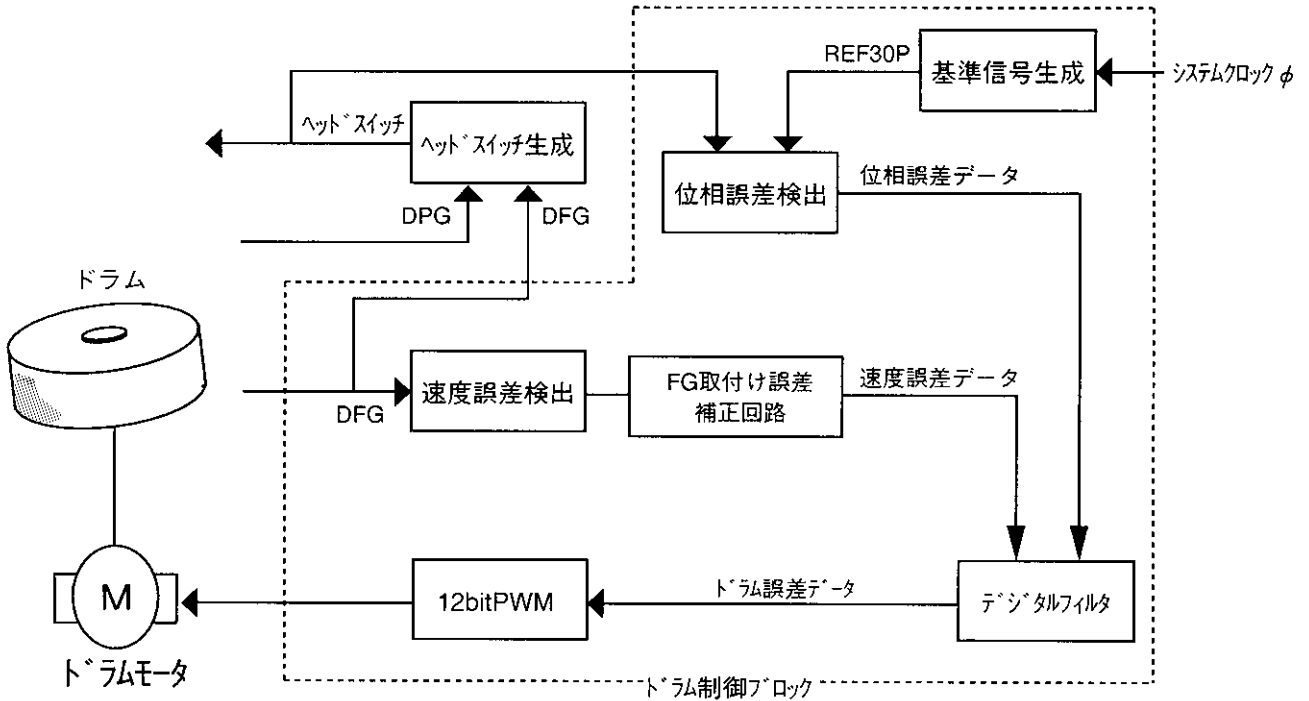


図4.2 ドラムモータ制御のブロック図

機能説明

表4.1に各機能の説明一覧を示します。

表4.1 機能説明一覧

機能名称	機能説明
基準信号生成回路	位相誤差検出に用いる基準信号を生成します。
ドラム速度誤差検出	DFGパルスの周期を測定し、あらかじめ設定したDFGパルス周期との誤差を検出します。
ドラム位相誤差検出	ヘッドスイッチ信号と基準信号との位相差を測定し、あらかじめ設定した位相差との誤差を検出します。
デジタルフィルタ	デジタル積和演算によるラグ・リードフィルタにより位相補償等のサーボ特性を制御します。
FGムラキャンセル回路	ドラム1回転前のDFG速度誤差データとの差分をとり、速度誤差データからFGムラ成分を取り除きます。
12bit PWM	ドラムモータ制御用のPWM信号発生回路です。

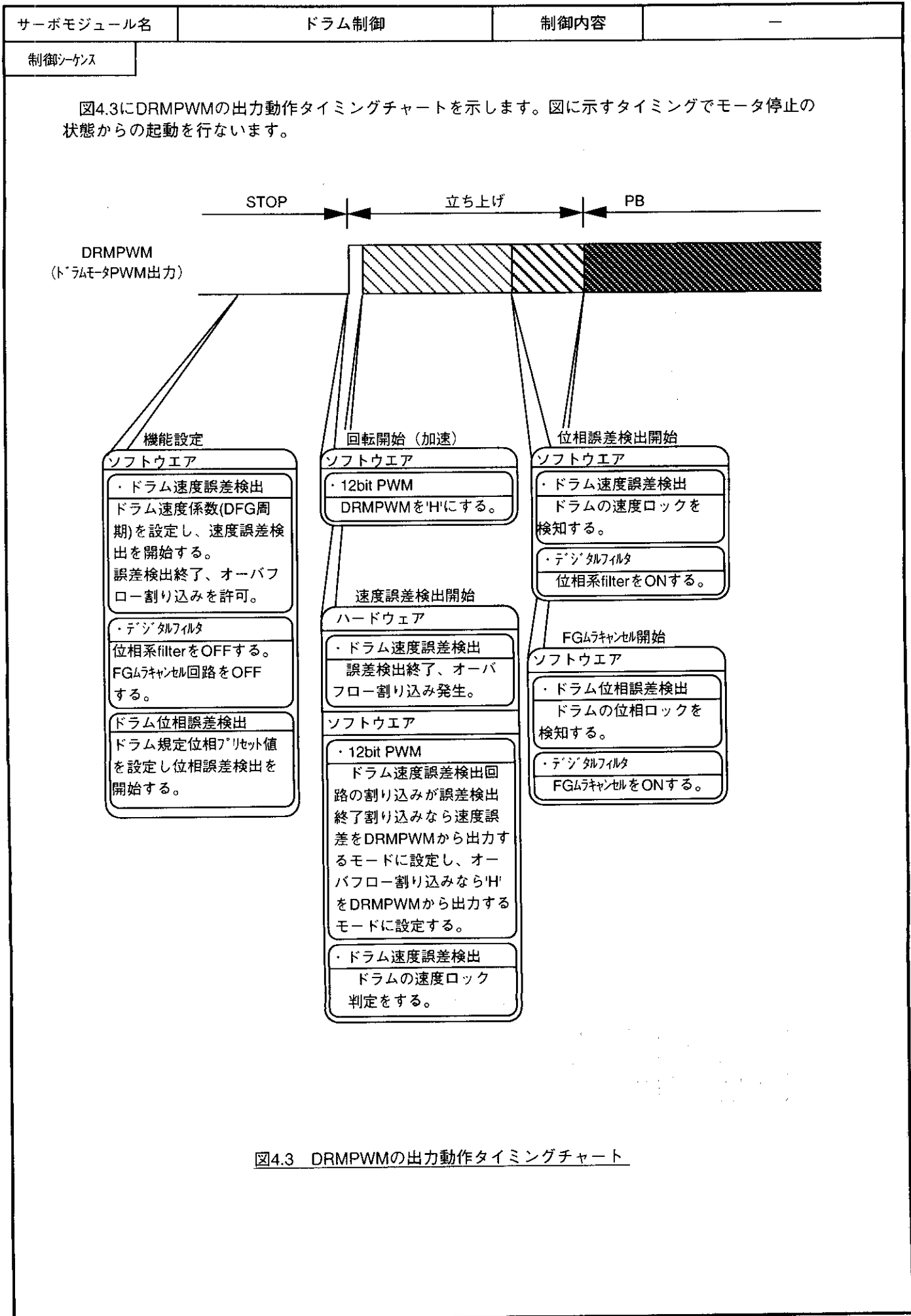


図4.3 DRMPWMの出力動作タイミングチャート

ブロック図

図4.4に基準信号（REF30）生成回路のブロック図を示します。

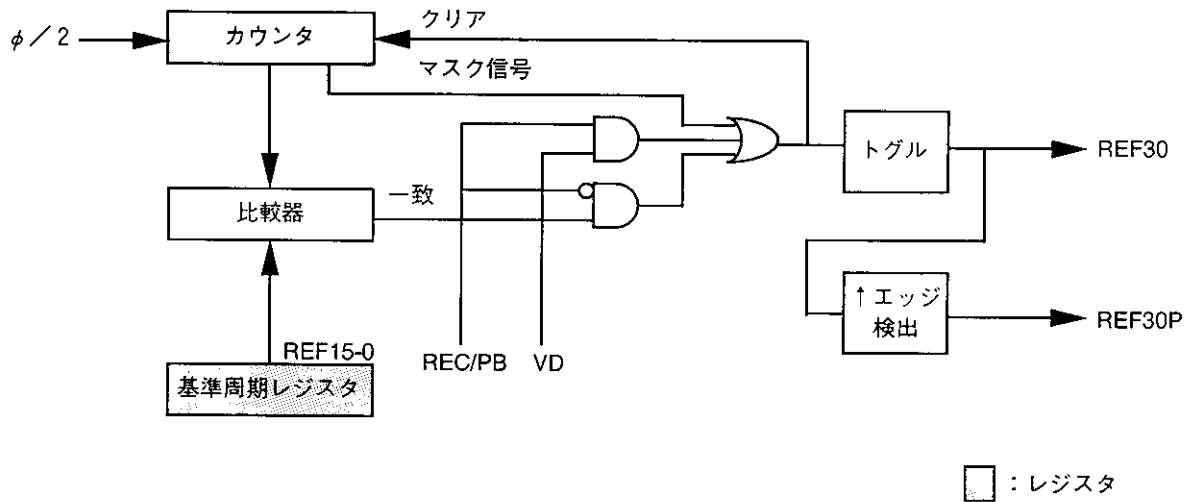


図4.4 基準信号生成回路ブロック図

レジスタ説明

表4.2にレジスタ一覧を示します。

表4.2 レジスタ一覧

レジスタ名	略称	データ長	機能
基準周期レジスタ	REF15-0	16bit	REF30の1/2周期を設定します。

サーボモジュール名	ドラム制御	制御内容	基準信号生成
-----------	-------	------	--------

動作説明

図4.5に再生時の基準信号生成の動作を示します。カウンタと基準周期レジスタの値が一致するとREF30の極性が反転し、同時にカウンタをクリアします。

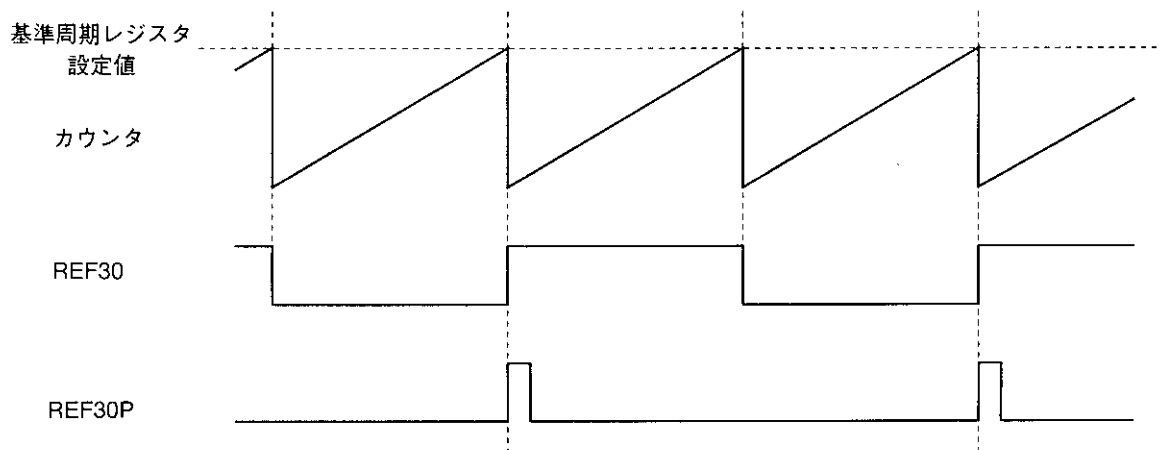


図4.5 再生時の基準信号の生成

図4.6に録画時の基準信号生成の動作を示します。VDの立ち上がりエッジでREF30の極性が反転し、同時にカウンタをクリアします。VDの欠落が生じた場合、VD基準周期レジスタの値から、REF30の極性の反転、カウンタのクリアを行いません。

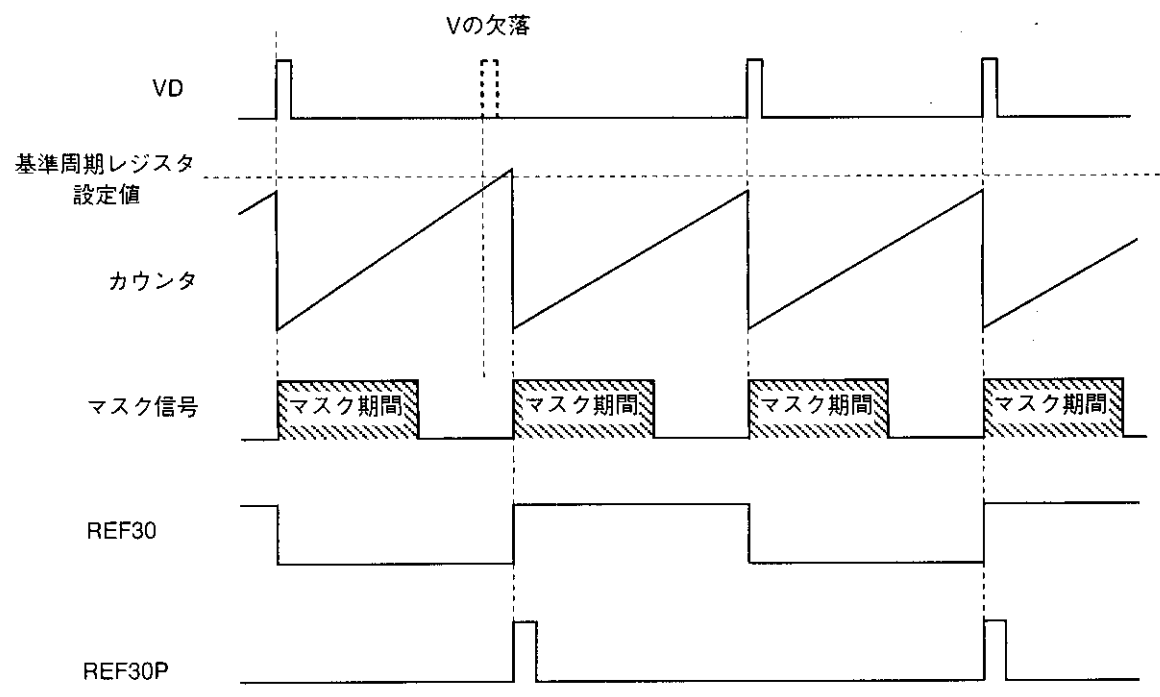


図4.6 録画時の基準信号の生成

サーボモジュール名	ドラム制御	制御内容	基準信号生成
-----------	-------	------	--------

ブロック図

図4.7にCREF生成回路のブロック図を示します。

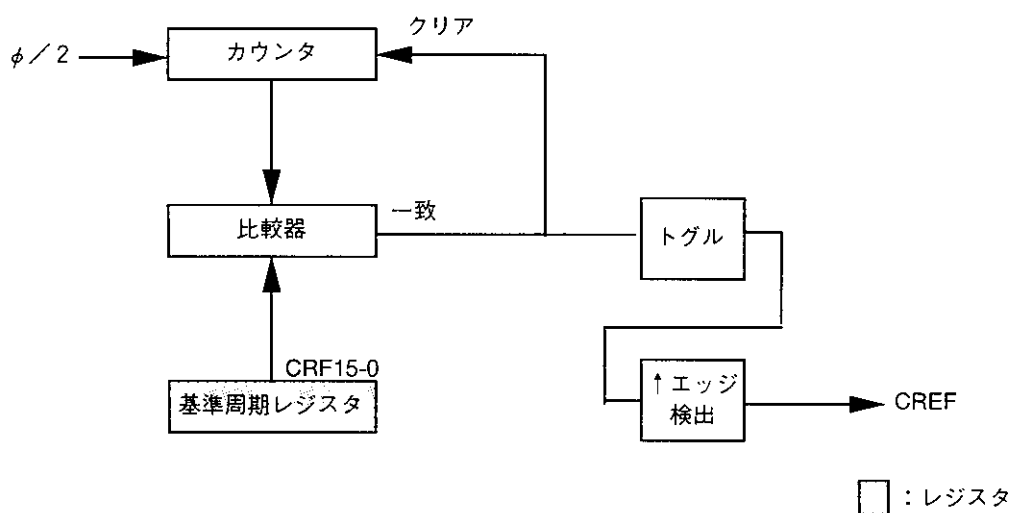


図4.7 CREF生成回路ブロック図

レジスタ説明

表4.3にレジスタ一覧を示します。

表4.3 レジスタ一覧

レジスタ名	略称	データ長	機能
基準周期レジスタ	CRF15-0	16bit	CREFの1/2周期を設定します。

動作説明

図4.8にCREF信号生成の動作を示します。カウンタと基準周期レジスタの値が一致するとトグルの極性が反転し、同時にカウンタをクリアします。トグルの立ち上がりエッジを検出する毎に、CREF信号パルスを生成します。

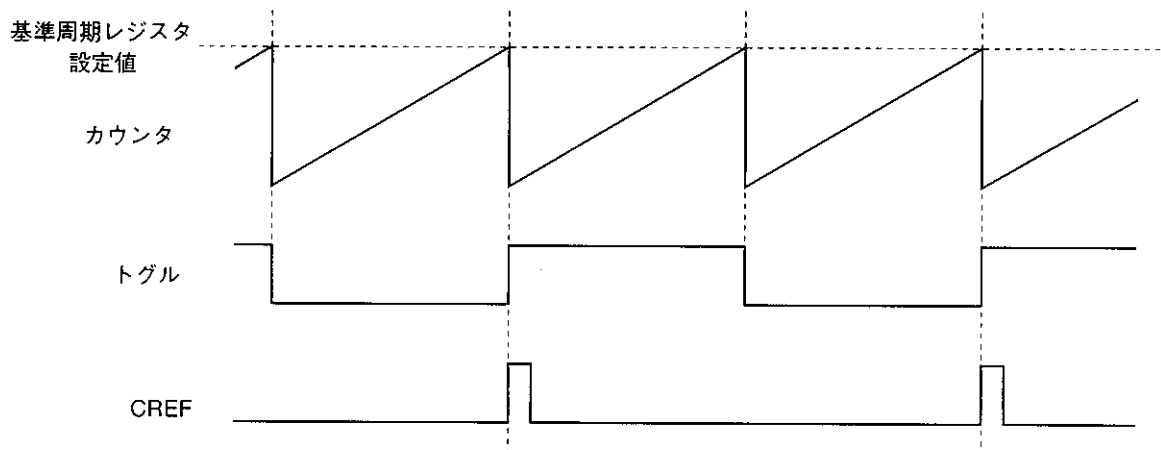


図4.8 CREF信号生成

サーボモジュール名	ドラム制御	制御内容	ドラム速度誤差検出
ブロック図	<p>図4.9にドラム速度誤差検出回路のブロック図を示します。 ドラム速度誤差検出回路ではDFGパルスの周期と目標とする周期との誤差を測定します。 また、カウンタのオーバーフローおよびDFG周期の誤差検出終了で割り込みを発生します。</p>		
<p>図4.9 ドラム速度誤差検出回路ブロック図</p>			

レジスタ説明	<p>表4.4にレジスタ一覧を示します。</p> <p style="text-align: center;">表4.4 レジスタ一覧</p> <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>略称</th> <th>データ長</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>プリセットデータ</td> <td>DFPR</td> <td>16bit</td> <td>DFG規定速度プリセットデータを設定します。</td> </tr> <tr> <td>誤差データ</td> <td>DFER</td> <td>16bit</td> <td>DFG速度誤差データをラッチします。</td> </tr> <tr> <td>エッジ選択</td> <td>R/F</td> <td>1bit</td> <td>DFGのエッジを選択します。</td> </tr> <tr> <td>オーバーフロー</td> <td>OVF</td> <td>1bit</td> <td>オーバーフローの有無を示します。</td> </tr> </tbody> </table> <p>プリセットデータの算出式は</p> $\text{DFG規定速度プリセットデータ} = \text{H}'8000 - \left(\frac{\phi}{\text{DFGの周波数}} - 2 \right)$ <p style="text-align: right;">φ：システムクロック (fosc / 2)</p> <p>となります。</p>			レジスタ名	略称	データ長	機能	プリセットデータ	DFPR	16bit	DFG規定速度プリセットデータを設定します。	誤差データ	DFER	16bit	DFG速度誤差データをラッチします。	エッジ選択	R/F	1bit	DFGのエッジを選択します。	オーバーフロー	OVF	1bit	オーバーフローの有無を示します。
レジスタ名	略称	データ長	機能																				
プリセットデータ	DFPR	16bit	DFG規定速度プリセットデータを設定します。																				
誤差データ	DFER	16bit	DFG速度誤差データをラッチします。																				
エッジ選択	R/F	1bit	DFGのエッジを選択します。																				
オーバーフロー	OVF	1bit	オーバーフローの有無を示します。																				

サーボモジュール名	ドラム制御	制御内容	ドラム速度誤差検出
-----------	-------	------	-----------

動作説明

図4.10に再生時のドラム速度誤差検出回路の動作を示します。速度系ロックの判定は図4.10に示すように速度誤差データの0付近にサーボロック判定範囲を設定し、この範囲に検出した速度誤差データがある時、速度系がロックしたと判定します。

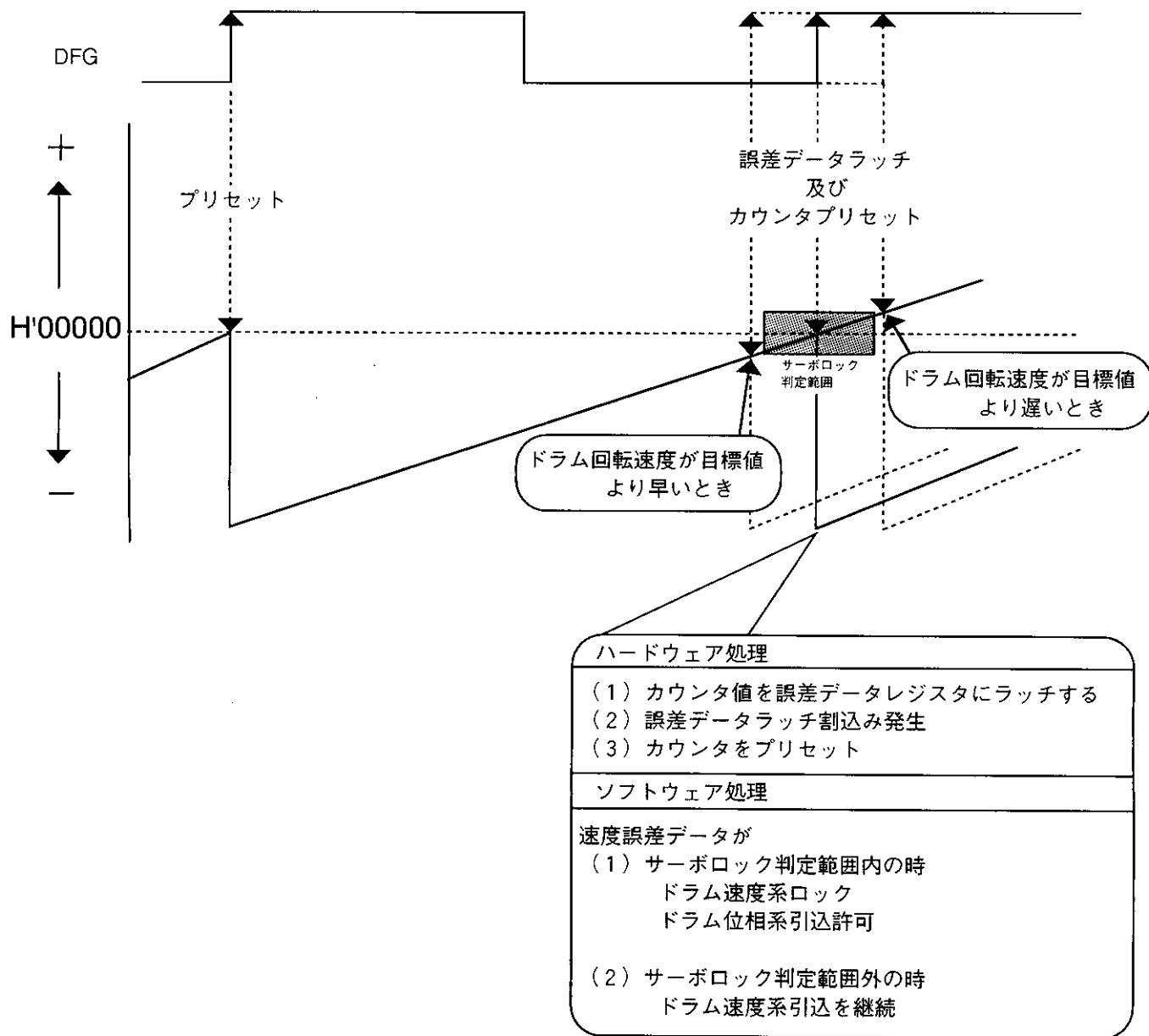


図4.10 ドラム速度誤差検出回路 動作

サーボモジュール名	ドラム制御	制御内容	ドラム速度誤差検出
-----------	-------	------	-----------

動作説明

図4.11にドラム停止から再生へ移行時のドラム速度誤差検出回路の動作を示します。移行当初、ドラム速度は遅いため、DFGの立ち上がりタイミングの前にオーバーフローが発生します。この場合DRMPWMを'H'にして加速させます。また、オーバーフロー直後に検出される誤差データは無視します。

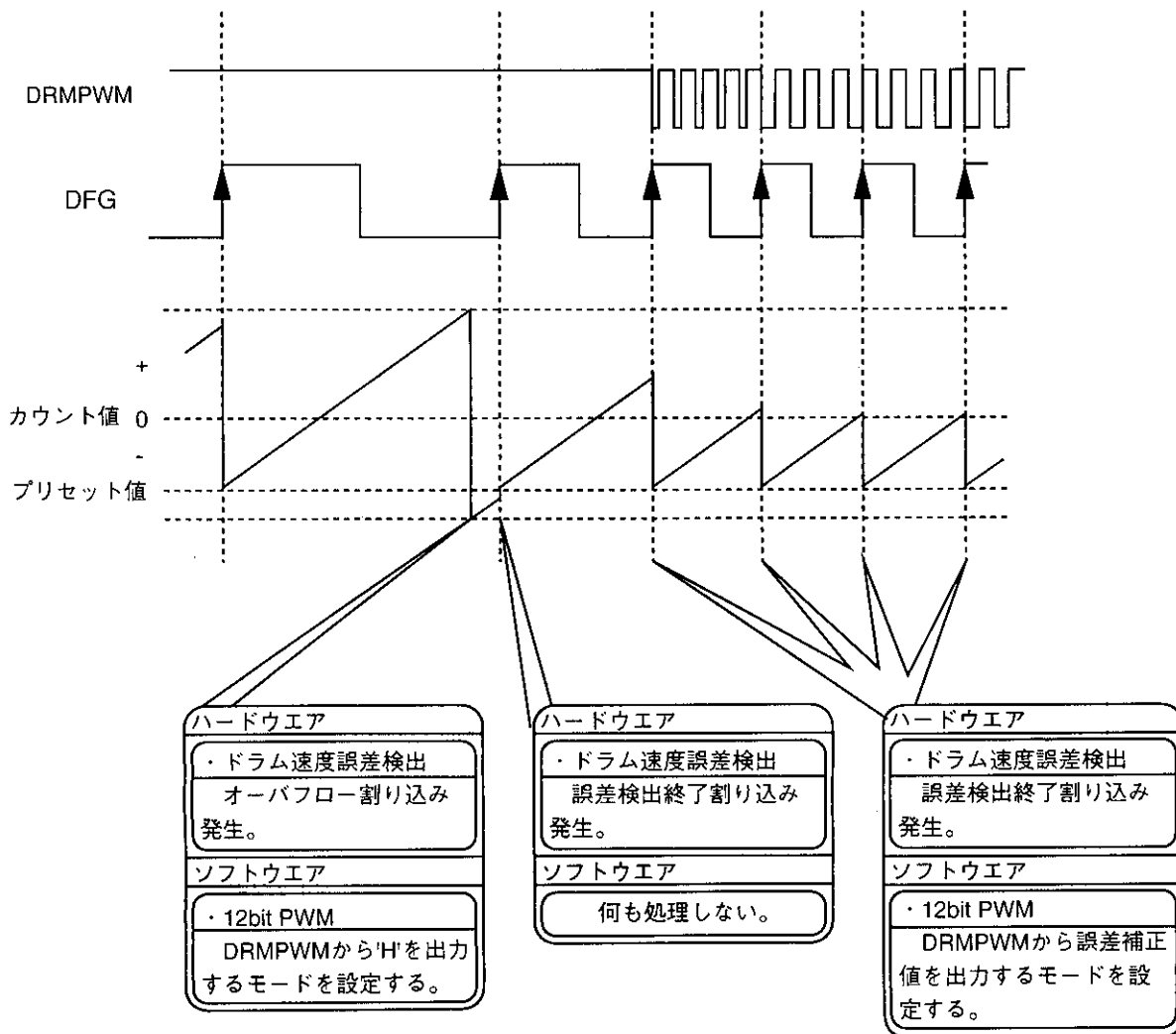


図4.11 停止から再生へ移行時のドラム速度誤差検出回路動作

サーボモジュール名	ドラム制御	制御内容	ドラム速度誤差検出
-----------	-------	------	-----------

ソフトウェア処理説明

ドラム速度ロック検出処理は図4.12に示すようなサーボロック判定範囲を設定し、この中に速度誤差データがあるとき、ドラム速度系サーボのロックと判定します。ここで、サーボロック判定範囲にヒステリシスを持たせ、速度系サーボロックを検出した後、頻繁にロックが外れることを防いで速度系サーボの安定化を図ります。

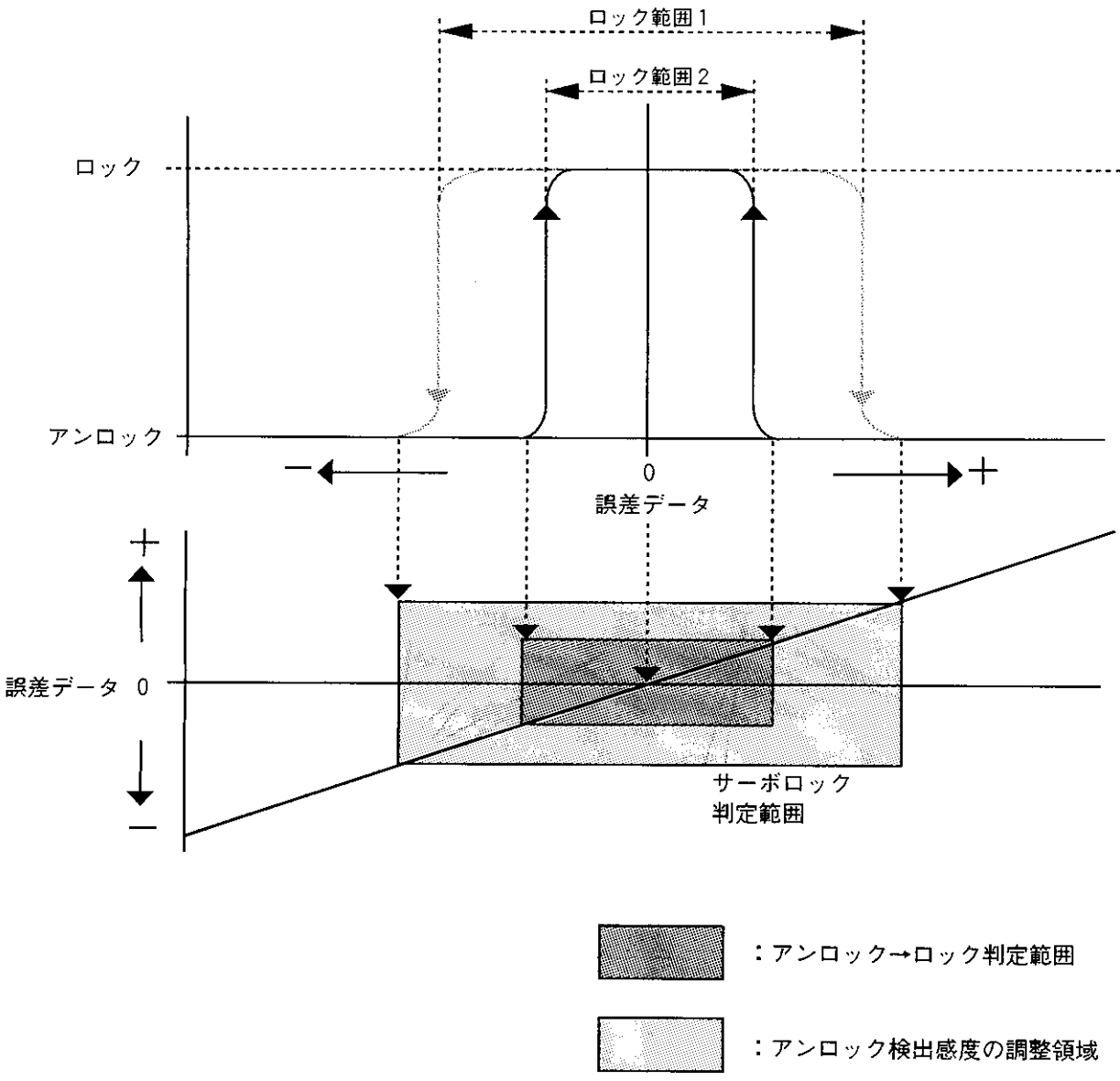


図4.12 ドラム速度系サーボロック判定範囲

サーボモジュール名	ドラム制御	制御内容	ドラム速度誤差検出
-----------	-------	------	-----------

ソフトウェア処理説明

図4.13に速度誤差ラッチ割り込み処理のフローチャートを示します。図4.7に示す割り込み処理により、ドラムモータの速度系サーボのロック判定を行ないます。

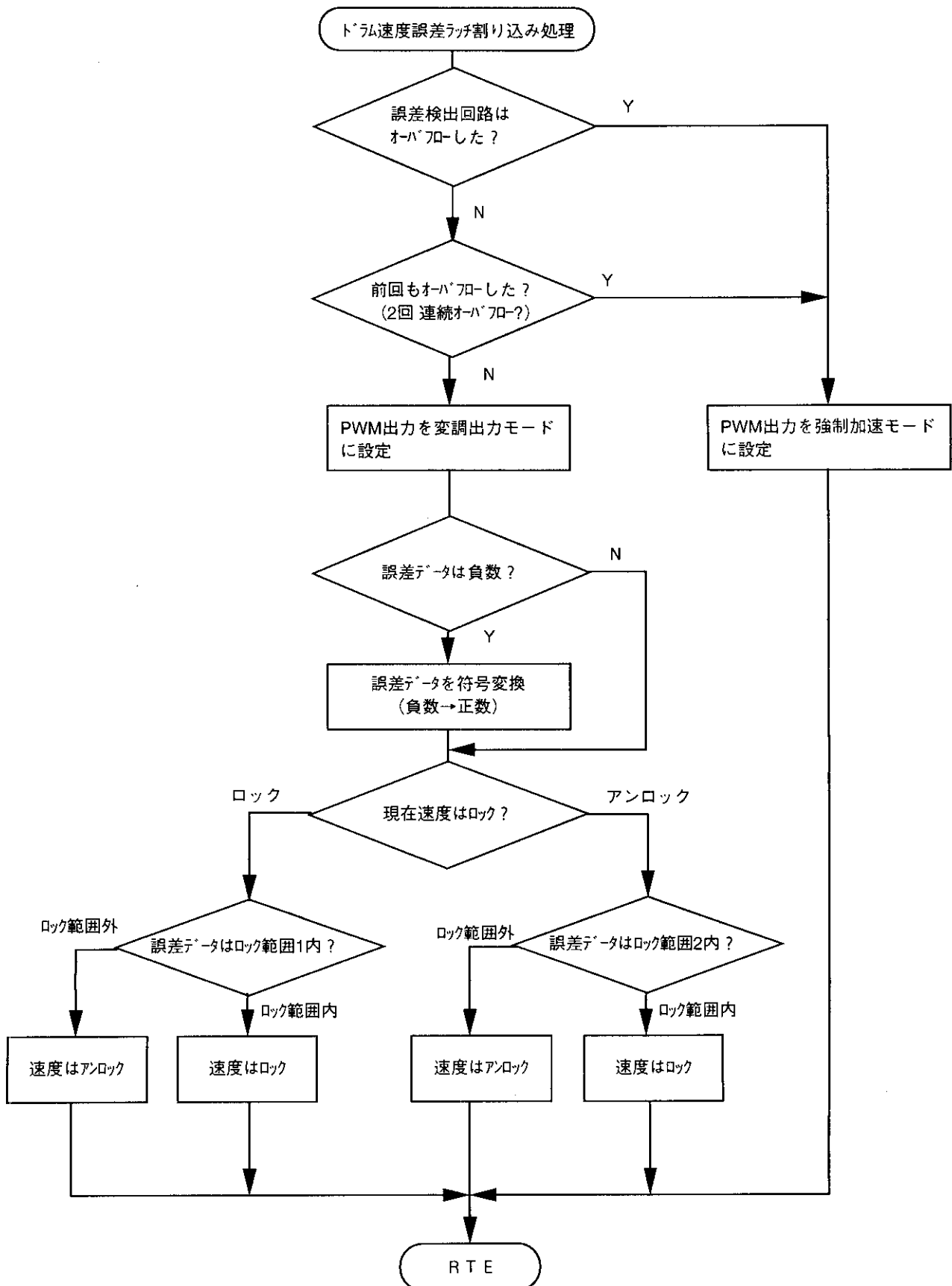


図4.13 速度誤差ラッチ割り込み処理フローチャート

サーボモジュール名	ドラム制御	制御内容	ドラム位相誤差検出
-----------	-------	------	-----------

ブロック図

図4.14にドラム位相誤差検出回路のブロック図を示します。
 ドラム位相誤差検出回路ではDPG信号を元に生成するH.SW信号と基準信号との位相差を計測し、目標とする位相差との誤差を検出します。

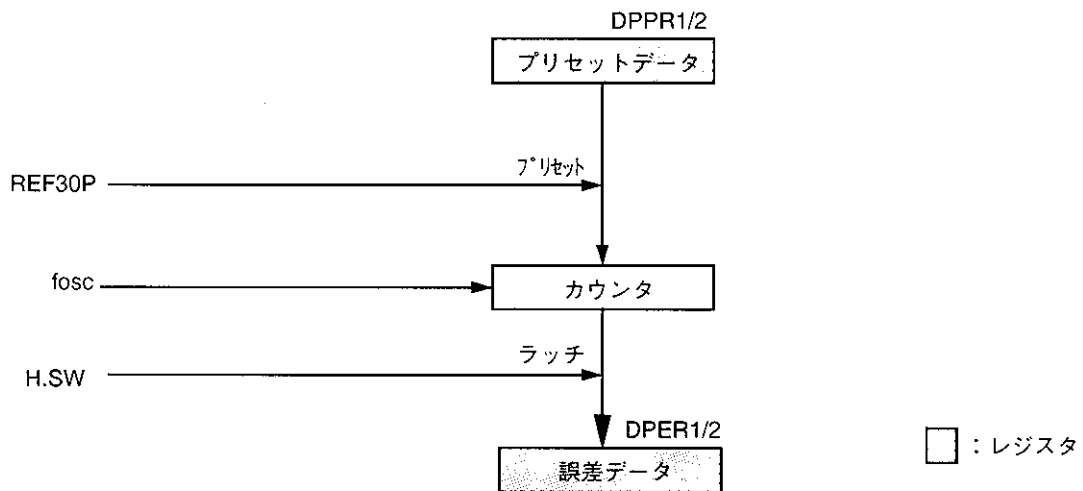


図4.14 ドラム位相誤差検出回路

レジスタ説明

表4.5にレジスタ一覧を示します。

表4.5 レジスタ一覧

レジスタ名	略称	データ長	機能
プリセットデータ	DPPR1/2	20bit	規定位相差をプリセットデータとして設定します。
誤差データ	DPER1/2	20bit	規定位相差との誤差をラッチします。

プリセットデータの算出式は

$$\text{規定位相プリセットデータ} = H'80000 - \{ (16.68\text{ms} - 6.5 \times 1\text{H周期}) \times \phi \}$$

ϕ : システムクロック ($f_{osc} / 2$)

となります。

サーボモジュール名	ドラム制御	制御内容	ドラム位相誤差検出
-----------	-------	------	-----------

動作説明

図4.15に再生時のドラム位相誤差検出回路の動作を示します。位相系ロックの判定は位相誤差データの0付近にサーボロック判定範囲を設定し、この範囲に検出した誤差データがある時、位相系がロックしたと判定します。

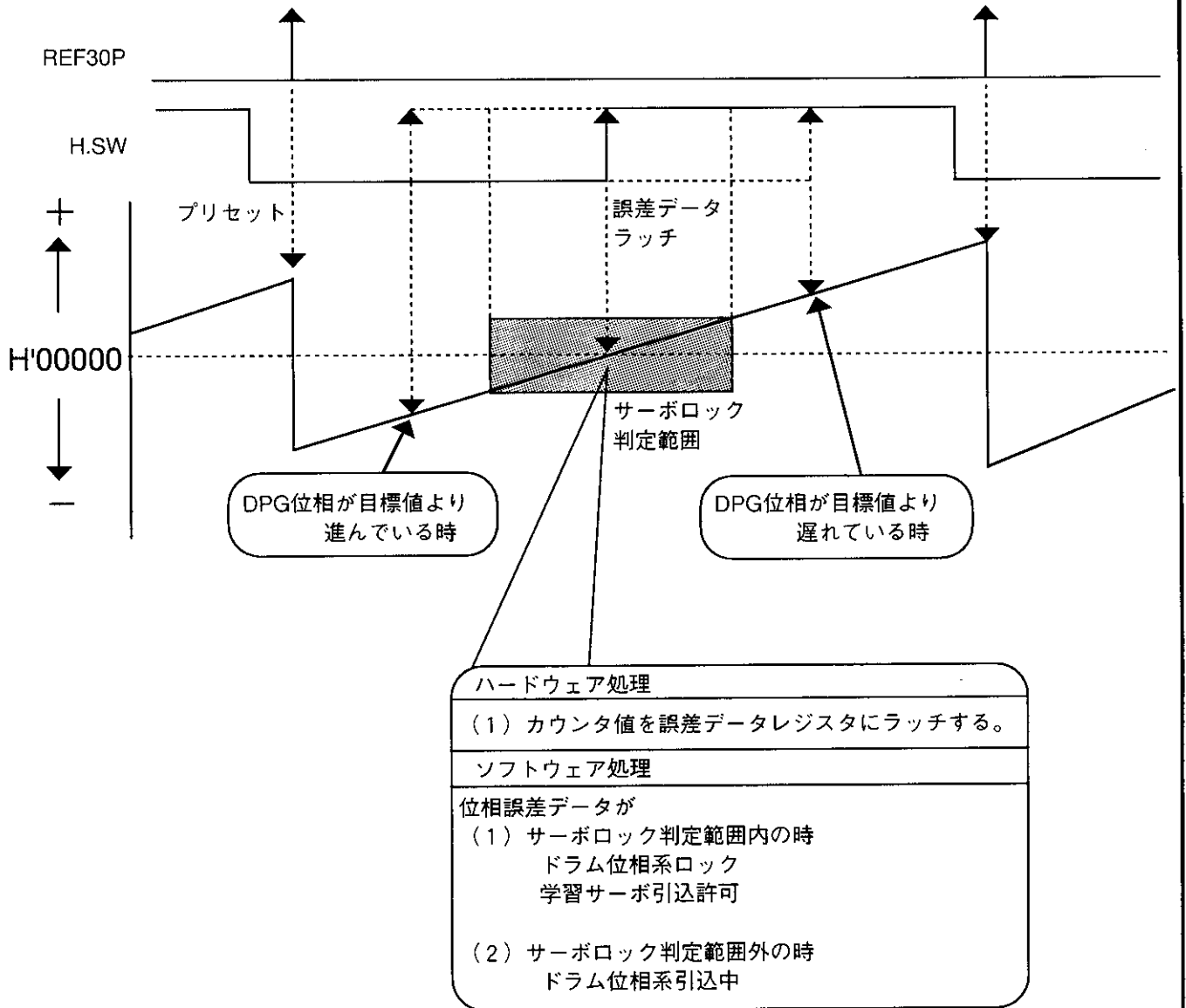


図4.15 ドラム位相誤差検出回路動作

サーボモジュール名	ドラム制御	制御内容	ドラム位相誤差検出
-----------	-------	------	-----------

動作説明

図4.16に引き込み開始時のドラム位相誤差検出回路の動作を示します。
 基準信号REF30P信号とH.SW信号の位相差が規定した位相差よりも大きいとき、H.SW信号の位相を進めるようにドラムモータ回転を制御します。

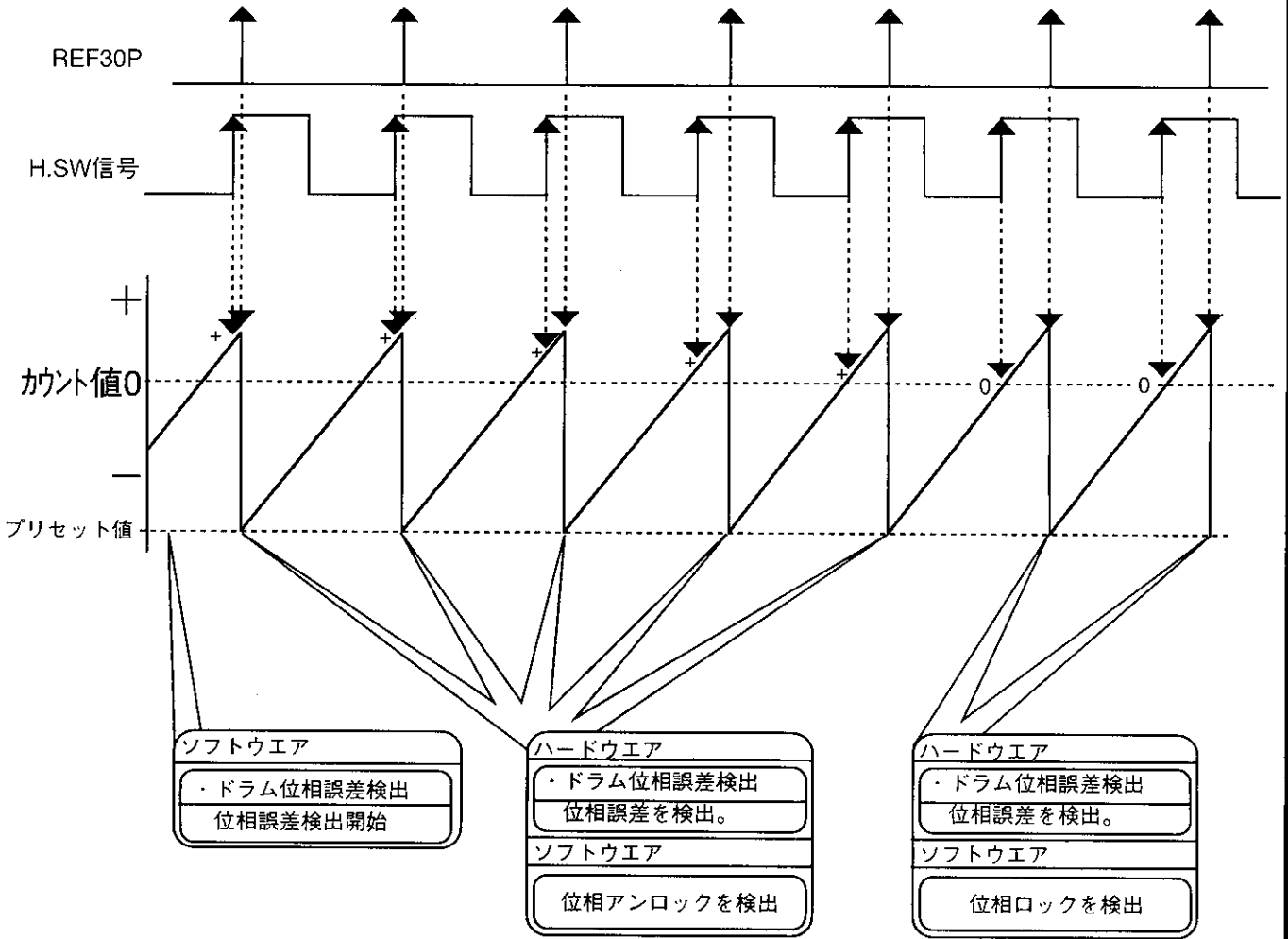
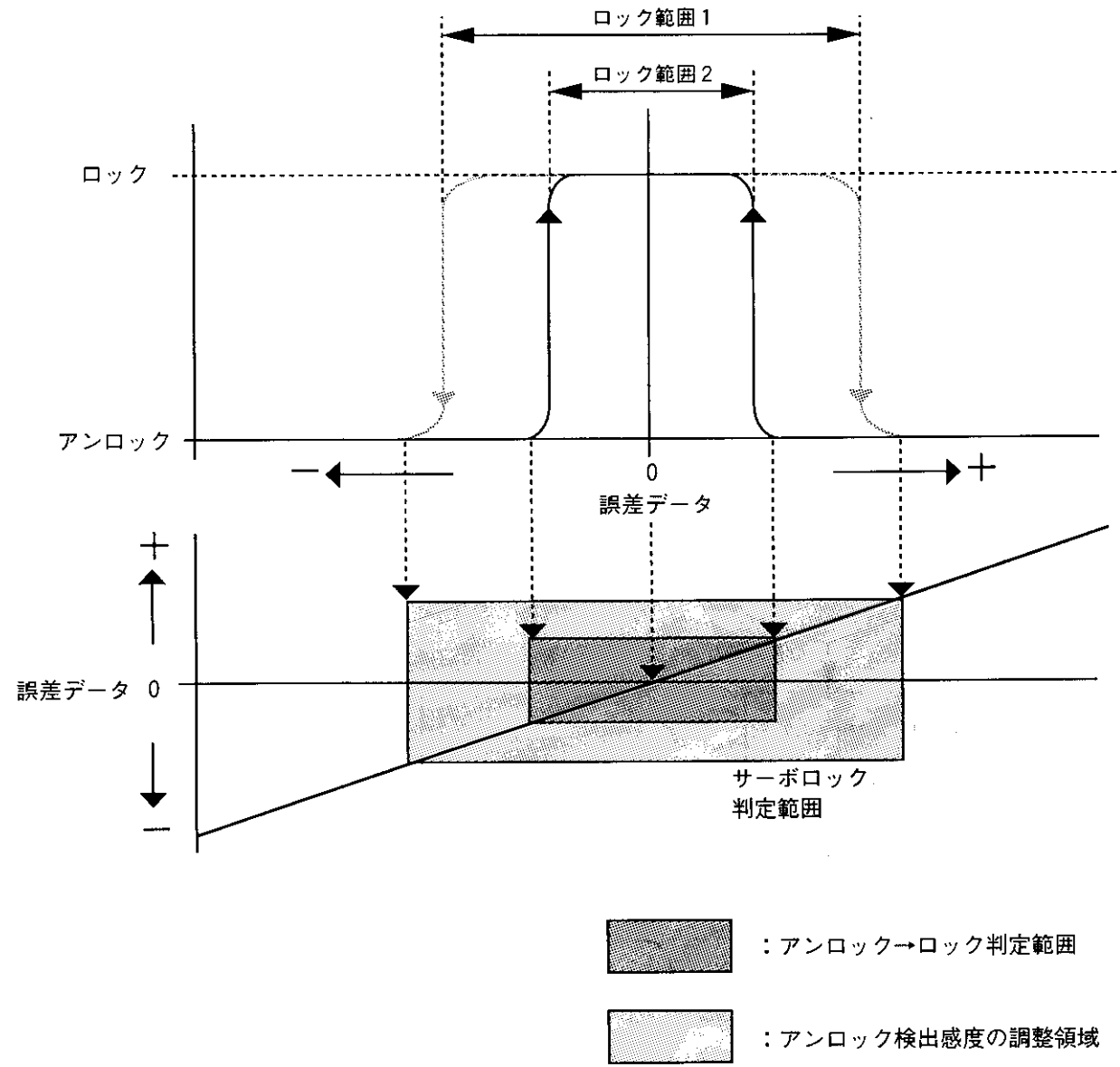


図4.16 引き込み開始時のドラム位相誤差検出回路動作

サーボモジュール名	ドラム制御	制御内容	ドラム位相誤差検出
<div data-bbox="119 168 311 201" style="border: 1px solid black; padding: 2px;">ソフトウェア処理説明</div> <p data-bbox="159 246 1372 392"> ドラム位相ロック検出処理は図4.17に示すようなサーボロック判定範囲を設定し、この中に位相誤差データがあるとき、ドラム位相系サーボのロックと判定します。ここで、サーボロック判定範囲にヒステリシスを持たせ、位相系サーボロックを検出した後、頻繁にロックが外れることを防いで位相系サーボ処理の安定化を図ります。 </p> 			
図4.17 ドラム位相系サーボロック判定範囲			

サーボモジュール名	ドラム制御	制御内容	ドラム位相誤差検出
-----------	-------	------	-----------

ソフトウェア処理説明

図4.18に位相系ロック判定処理のフローチャートを示します。図4.18に示す処理により、ドラムモータの位相系サーボのロック判定を行ないます。

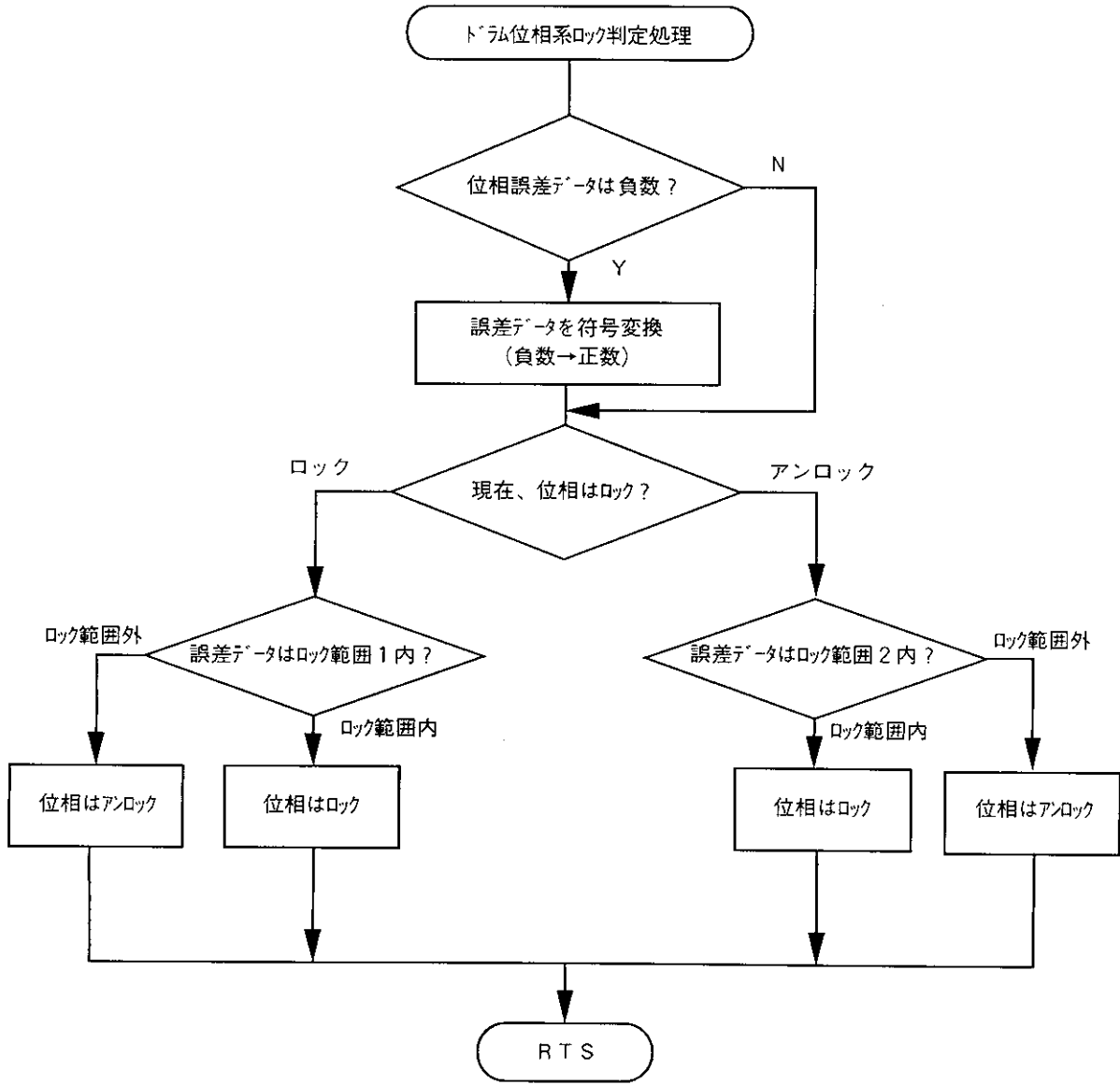
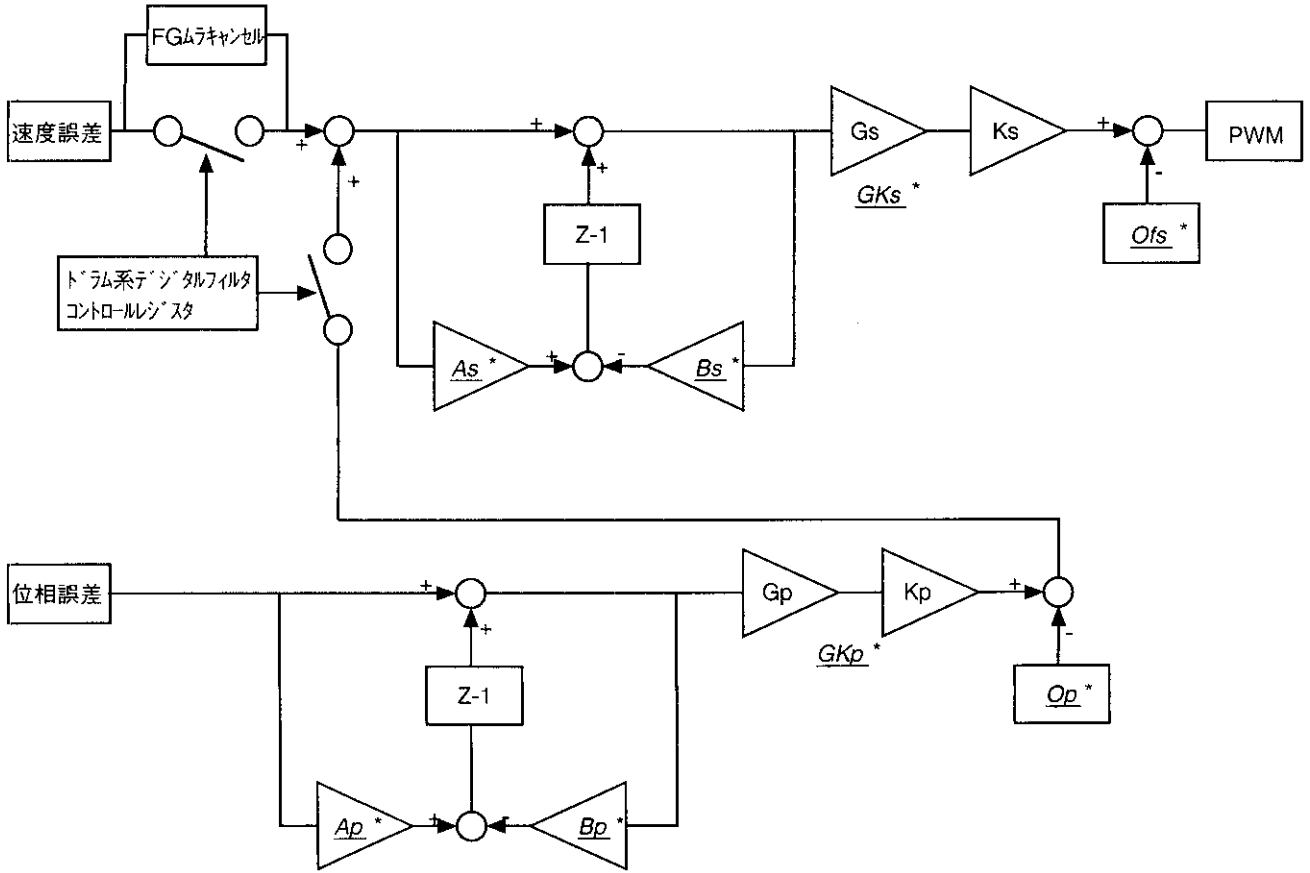


図4.18 位相系ロック判定処理フローチャート

サーボモジュール名	ドラム制御	制御内容	ドラム系デジタルフィルタ
-----------	-------	------	--------------

ブロック図

図4.19にデジタルフィルタ回路のブロック図を示します。デジタルフィルタ回路ではドラムモータの速度誤差と位相誤差を演算します。



* : 設定可能な係数

図4.19 デジタルフィルタ回路ブロック図

レジスタ説明

表4.6にレジスタ一覧を示します。

表4.6 レジスタ一覧

レジスタ名	略称	データ長	機能
ゲイン係数	GKs	16bit	速度系のゲイン係数
ゲイン係数	GKp	16bit	位相系のゲイン係数
係数	Ap	16bit	位相系フィルタの係数
係数	Bp	16bit	位相系フィルタの係数
係数	As	16bit	速度系フィルタの係数
係数	Bs	16bit	速度系フィルタの係数
オフセット	Op	16bit	位相系のオフセット値
オフセット	Ofs	16bit	速度系のオフセット値

動作説明

デジタルフィルタ回路では、図4.20に示すようなラグ・リードフィルタの演算を行いません。図4.21にラグ・リードフィルタの周波数特性を示します。

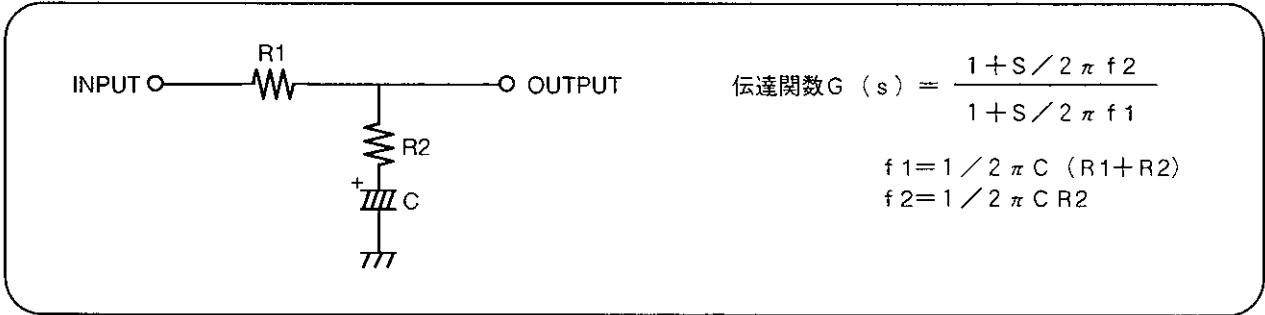


図4.20 アナログ ラグ・リードフィルタ

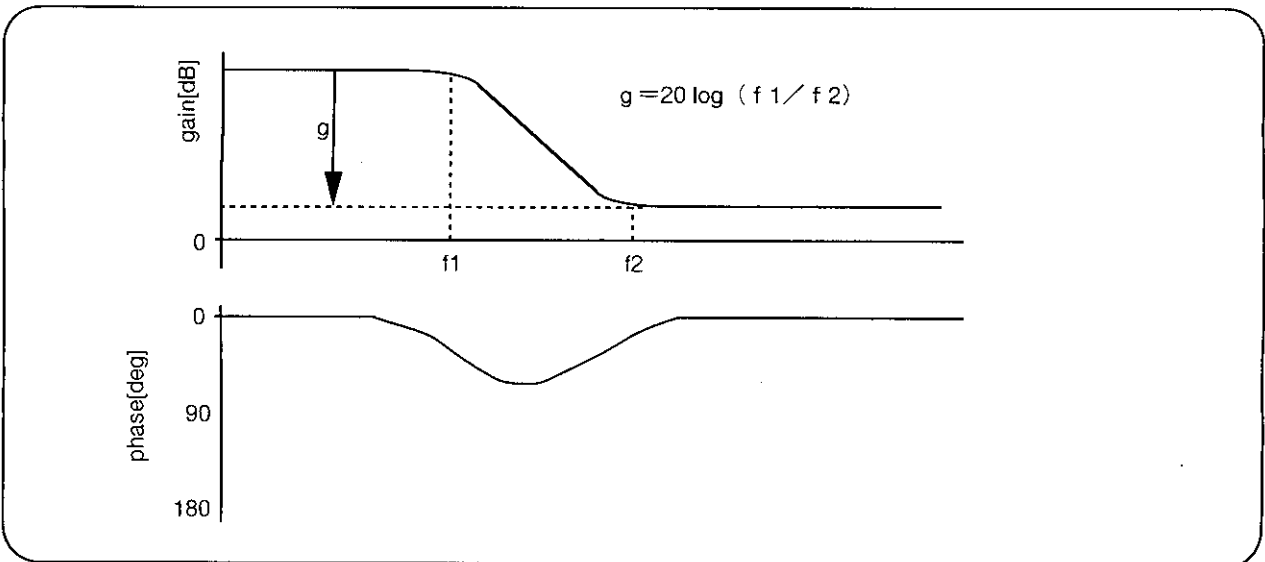
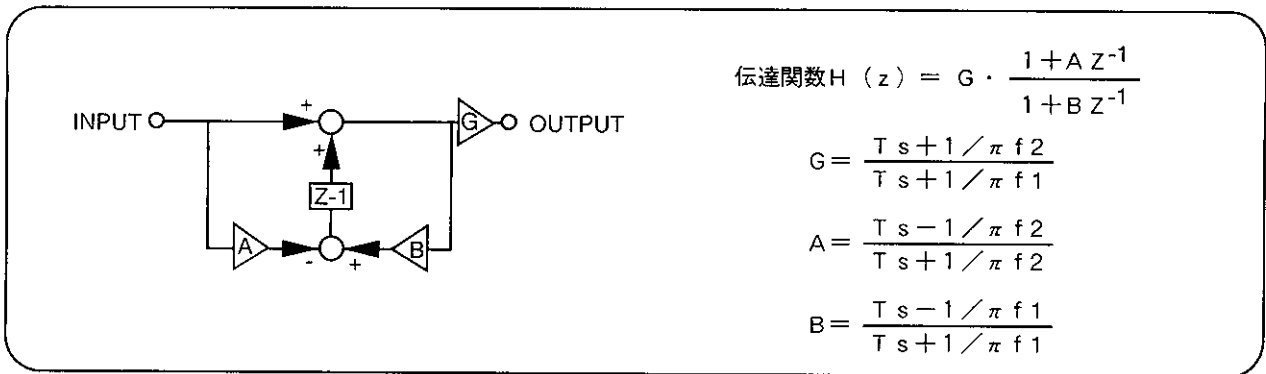


図4.21 ラグ・リードフィルタ周波数特性

図4.21に示すようなラグ・リードフィルタの伝達関数G(S)を双1次変換によりパルス伝達関数H(Z)で示すと図4.22のようになります。デジタルフィルタ回路では図4.22に示すパルス演算を行いません。



$$\text{伝達関数 } H(z) = G \cdot \frac{1 + A Z^{-1}}{1 + B Z^{-1}}$$

$$G = \frac{T s + 1 / \pi f 2}{T s + 1 / \pi f 1}$$

$$A = \frac{T s - 1 / \pi f 2}{T s + 1 / \pi f 2}$$

$$B = \frac{T s - 1 / \pi f 1}{T s + 1 / \pi f 1}$$

図4.22 デジタル演算によるラグ・リードフィルタ

サーボモジュール名	ドラム制御	制御内容	ドラム系デジタルフィルタ
-----------	-------	------	--------------

ブロック図

図4.23にドラムFG取付け誤差補正回路のブロック図を示します。
 FG取付け誤差補正回路は、帰還型ノッチフィルタ及び積算回路により速度誤差データからFGのムラ成分を除去します。

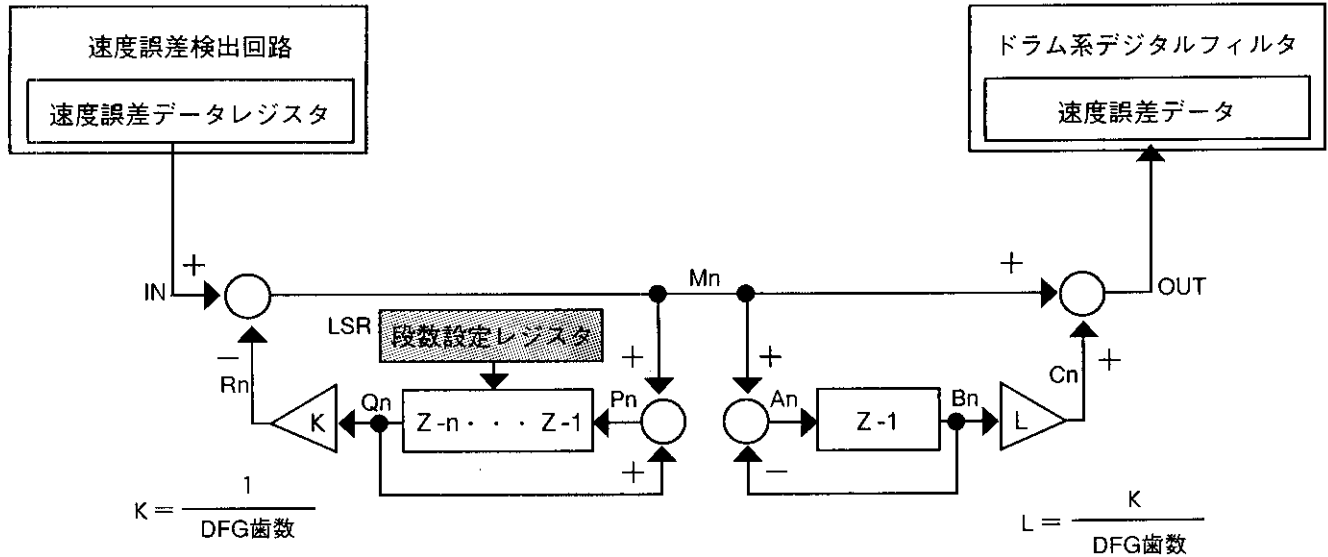


図4.23 ドラムFGムラキャンセル回路ブロック図

レジスタ説明

表4.7にレジスタ一覧を示します。

表4.7 レジスタ一覧

レジスタ名	略称	データ長	機能
段数設定	LSR	4bit	段数としてドラム1回転のDFG函数を設定する。

サーボモジュール名	ドラム制御	制御内容	ドラム系デジタルフィルタ
-----------	-------	------	--------------

ソフトウェア処理説明

デジタルフィルタ回路は、表4.8に示すようにドラム速度系デジタルフィルタ、ドラム位相系デジタルフィルタおよびFGムラキャンセルフィルタを持っています。各デジタルフィルタ回路の制御は、各サーボのロック状態による制御をソフトウェアで行います。

図4.24にデジタルフィルタ制御のフローチャートを示します。

表4.8 デジタルフィルタ制御一覧

デジタルフィルタ サーボロック状態	ドラム速度系 デジタルフィルタ	ドラム位相系 デジタルフィルタ	FGムラキャンセル
ドラム速度アンロック	ON	OFF	OFF
ドラム速度ロック	ON	ON	OFF
ドラム位相アンロック	ON	ON	OFF
ドラム位相ロック	ON	ON	ON

OFF：デジタルフィルタ演算結果を無効（0固定）
ON：デジタルフィルタ演算結果を有効

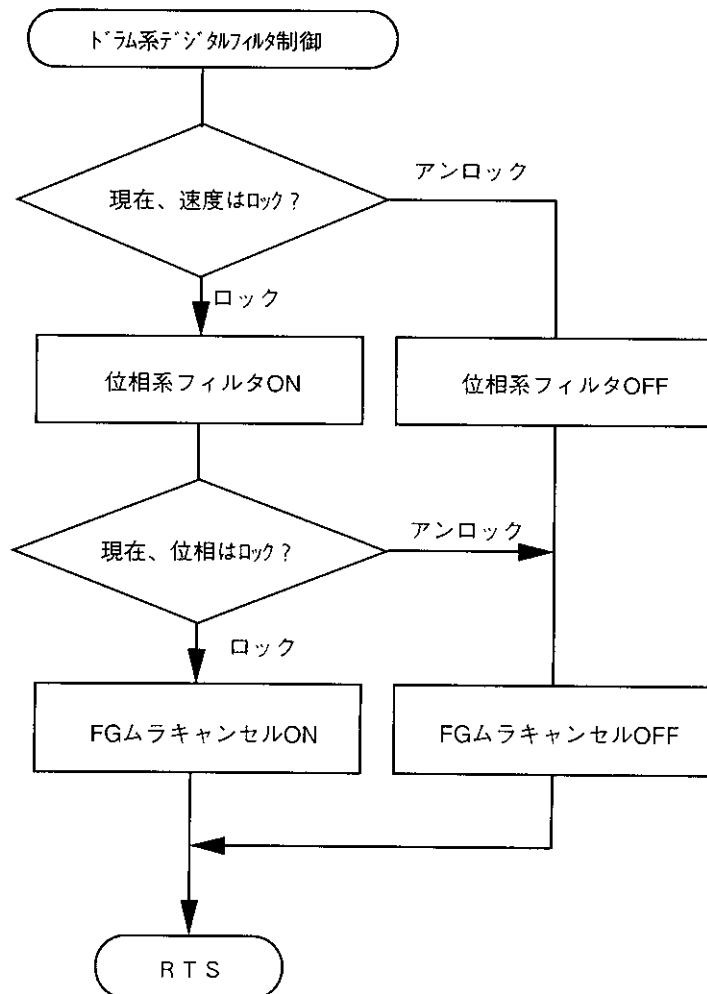


図4.24 デジタルフィルタ制御フローチャート

サーボモジュール名	ドラム制御	制御内容	12bitPWM
-----------	-------	------	----------

ブロック図

図4.25に12bitPWMのブロック図を示します。

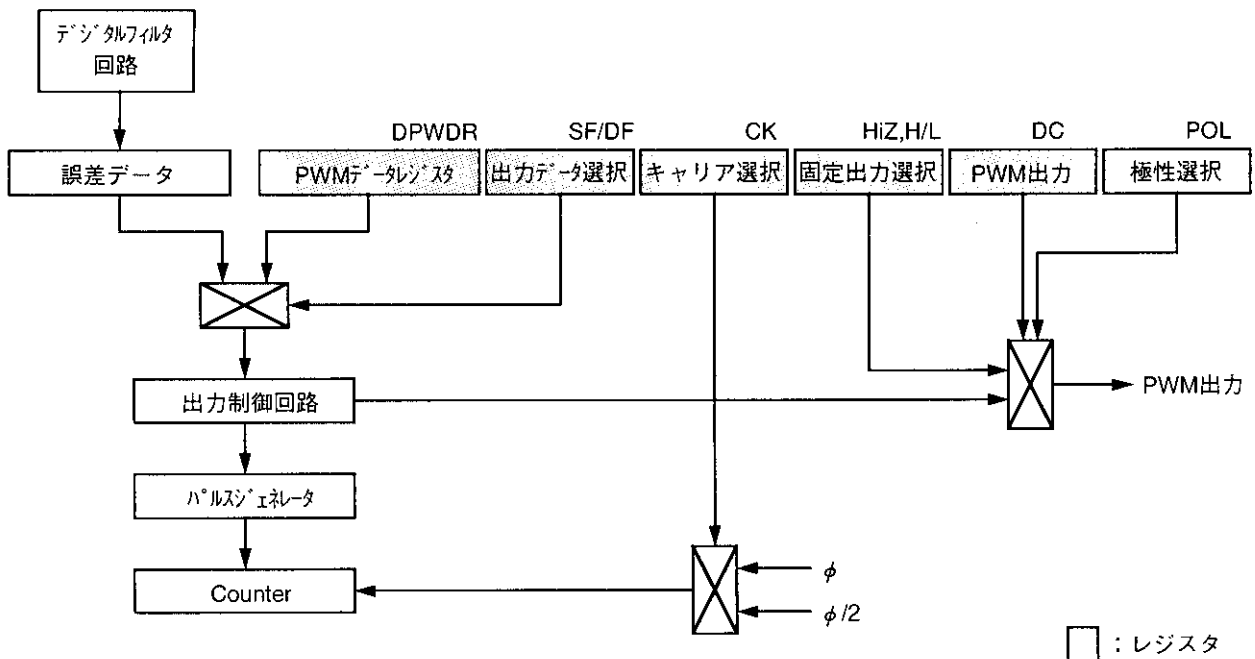


図4.25 12bitPWMのブロック図

レジスタ説明

表4.9にレジスタ一覧を示します。

表4.9 レジスタ一覧

レジスタ名	略称	データ長	機能
PWM出力	DC	1bit	PWM出力／固定出力を選択します。
固定出力選択	HiZ,H/L	2bit	固定出力の際の出力レベルを選択します。
キャリア選択	CK	1bit	PWM搬送周波数を選択します。
極性選択	POL	1bit	出力が正転か逆転か選択します。
PWMデータレジスタ	DPWDR	12bit	固定データを出力する際に出力データを設定します。
出力データ選択	SF/DF	1bit	出力データが固定値かデジタルフィルタからの値かを選択します。

サーボモジュール名	ドラム制御	制御内容	12bitPWM
-----------	-------	------	----------

動作説明

図4.26にPWM出力波形例（3bit）を示します。図に示すような出力データを元に内部のパルスジェネレータの波形を合成し出力します。

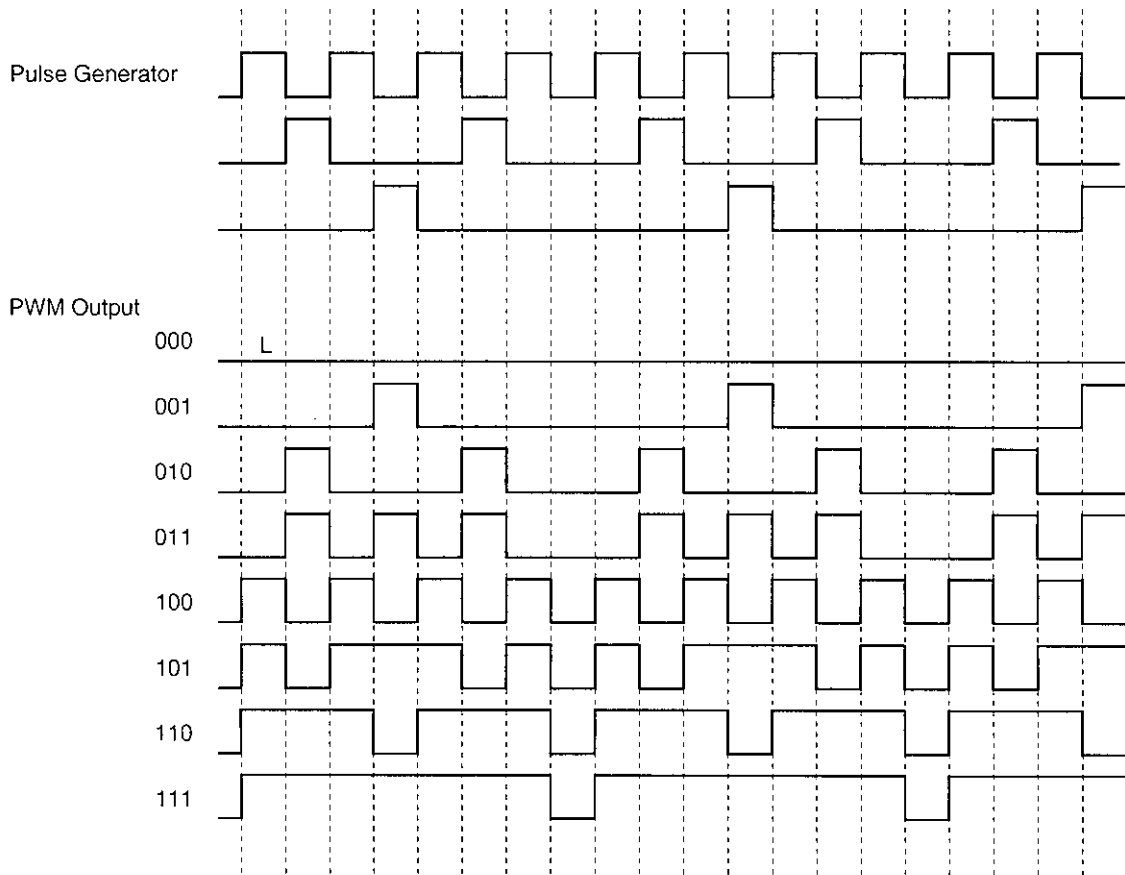


図4.26 PWM出力波形例（3bitの例）

サーボモジュール名	ヘッドスイッチ出力	制御内容	—
-----------	-----------	------	---

ブロック図

図4.27にヘッドスイッチ生成のブロック図を示します。図に示す機能を用いてヘッドスイッチの出力を行ないます。

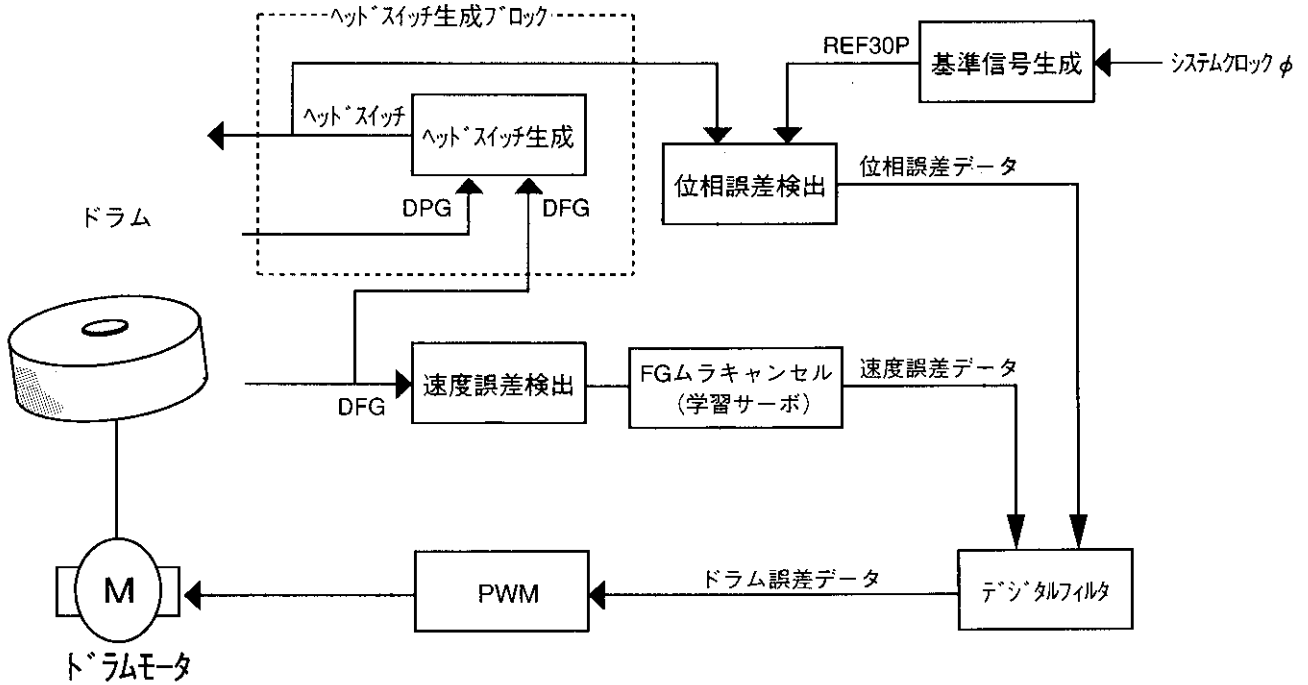


図4.27 ドラムモータ 制御のブロック図

機能説明

表4.10に各機能の説明一覧を示します。

表4.10 機能説明一覧

機能名称	機能説明
ヘッドスイッチ生成回路	DPG及びDFG信号を基準としてヘッドスイッチ信号を生成します。

サーボモジュール名	ヘッドスイッチ出力	制御内容	ヘッドスイッチ生成
-----------	-----------	------	-----------

ブロック図

図4.28にヘッドスイッチ生成回路のブロック図を示します。ヘッドスイッチ生成はDFG / DPG信号を用いてヘッドスイッチ出力タイミングの基準を決定し、FIFOデータの出力タイミングにしたがってヘッドスイッチ信号を出力します。

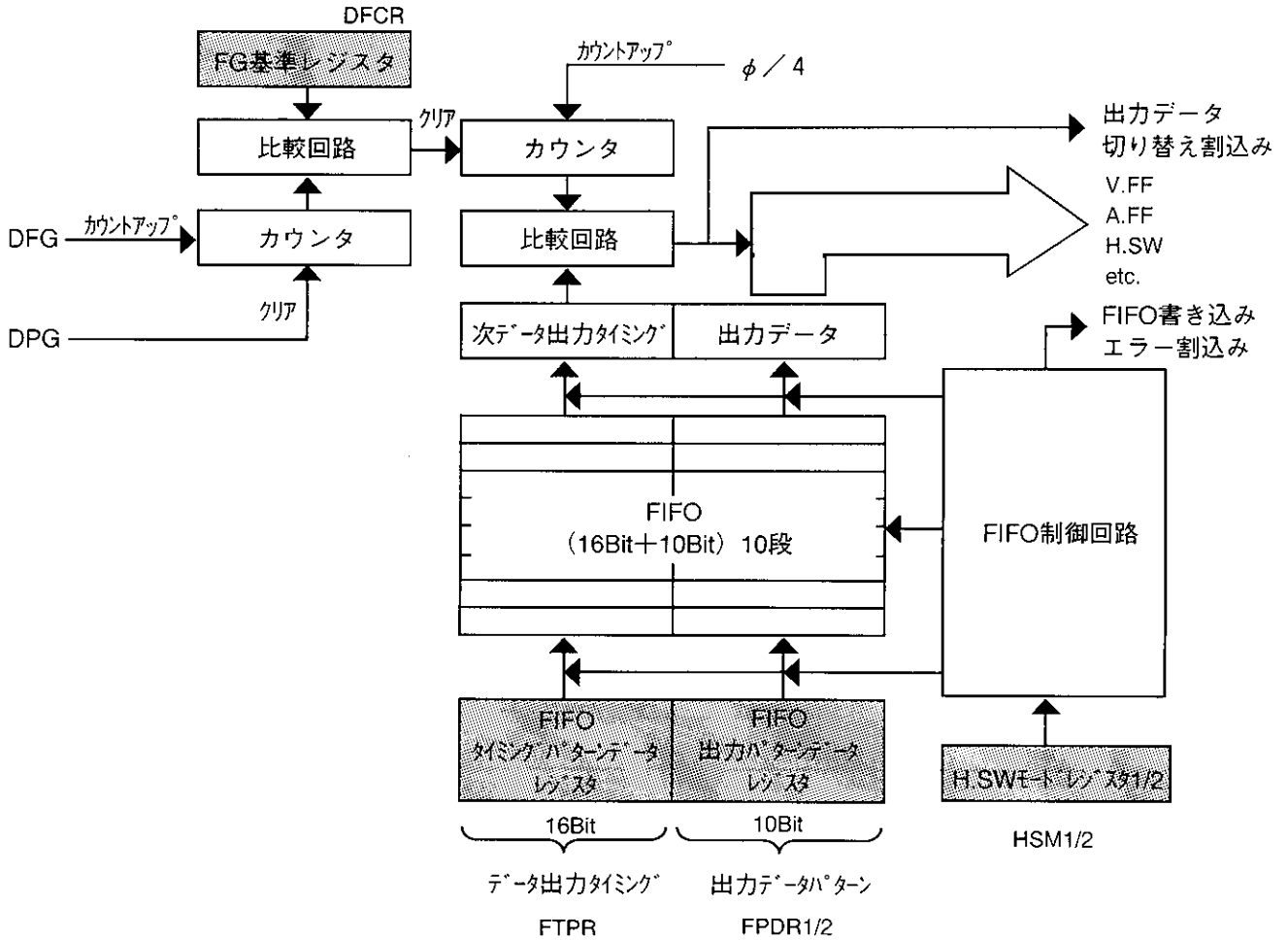


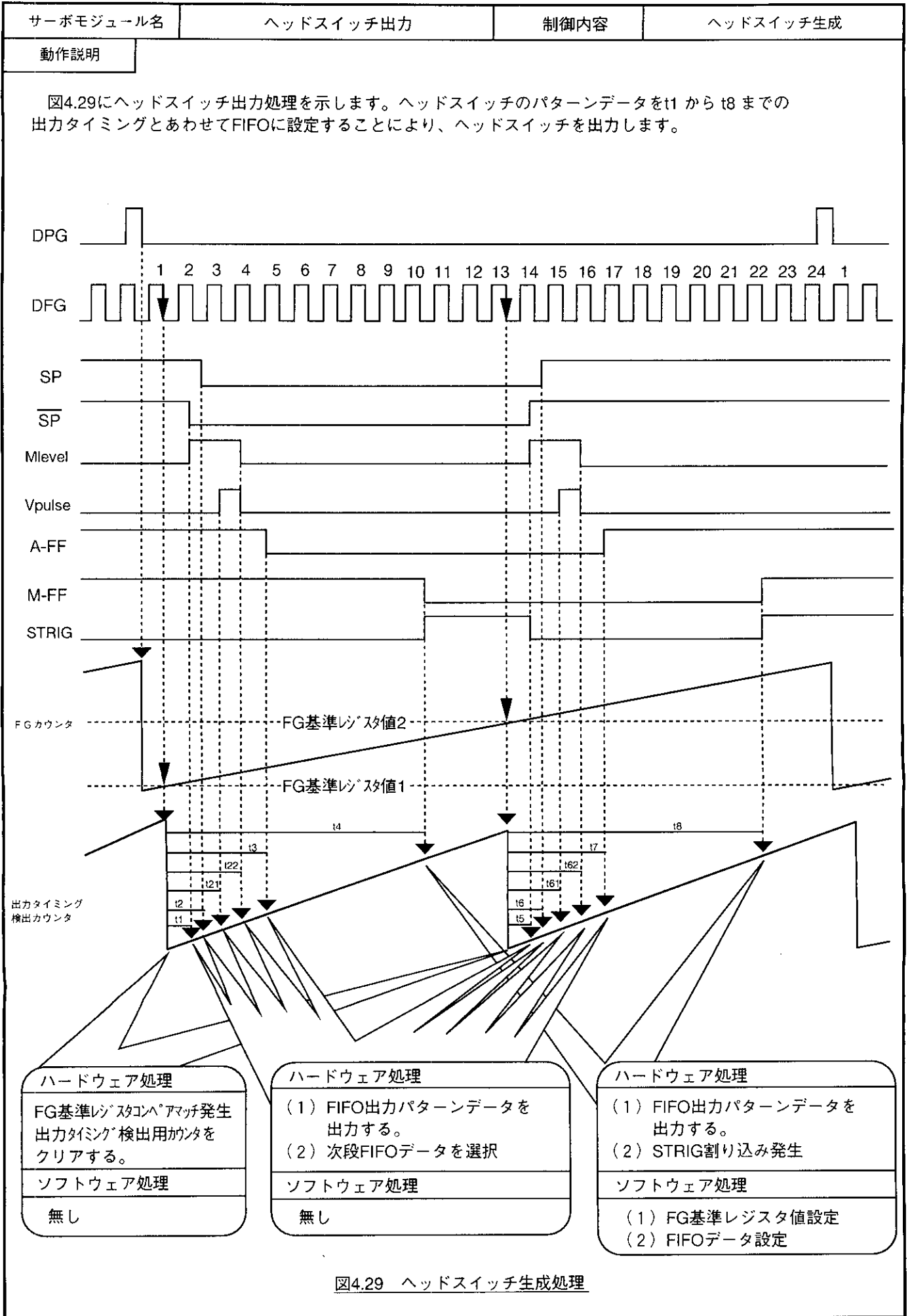
図4.28 ヘッドスイッチ生成回路ブロック

レジスタ説明

表4.11にレジスタ一覧を示します。

表4.11 レジスタ一覧

レジスタ名	略称	データ長	機能
FG基準レジスタ	DFCR	5bit	DFG基準位置を設定する。
H.SWE-Tレジスタ1/2	HSM1/2	8bit	FIFO制御モード及び状態を示す。
FIFOタイミングパターンレジスタ	FTP	16bit	タイミングパターンデータをFIFOに書き込む時にバッファとして使用する。
FIFO出力パターンレジスタ1/2	FPDR1/2	16bit	出力パターンデータをFIFOに書き込む時にバッファとして使用する。



サーボモジュール名	ヘッドスイッチ出力	制御内容	ヘッドスイッチ生成
-----------	-----------	------	-----------

ソフトウェア処理説明

図4.30に速度誤差ラフ割り込み処理のフローチャートを示します。本割り込み処理により、ヘッドスイッチ出力に必要なFIFO設定を行ないます。

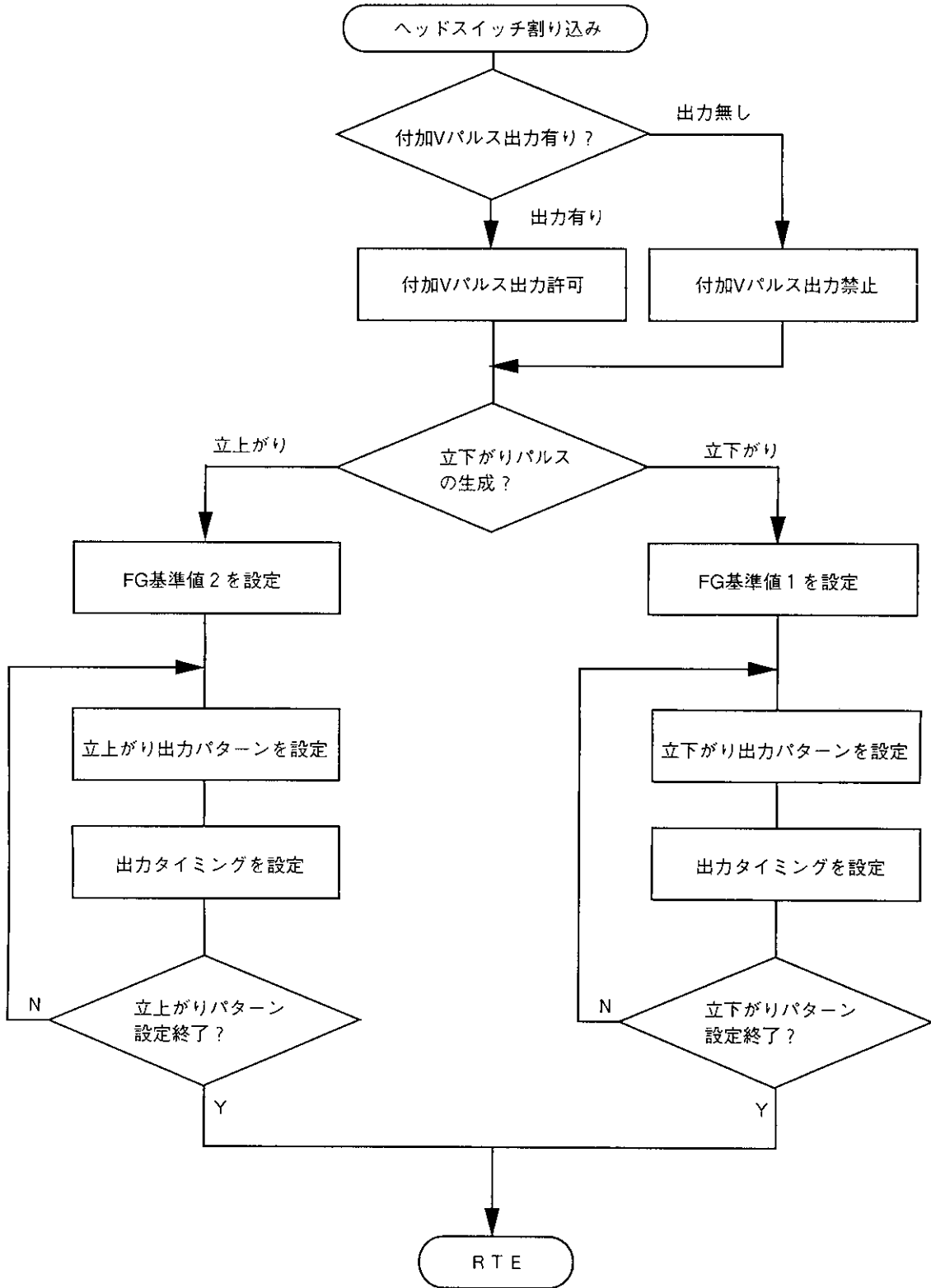
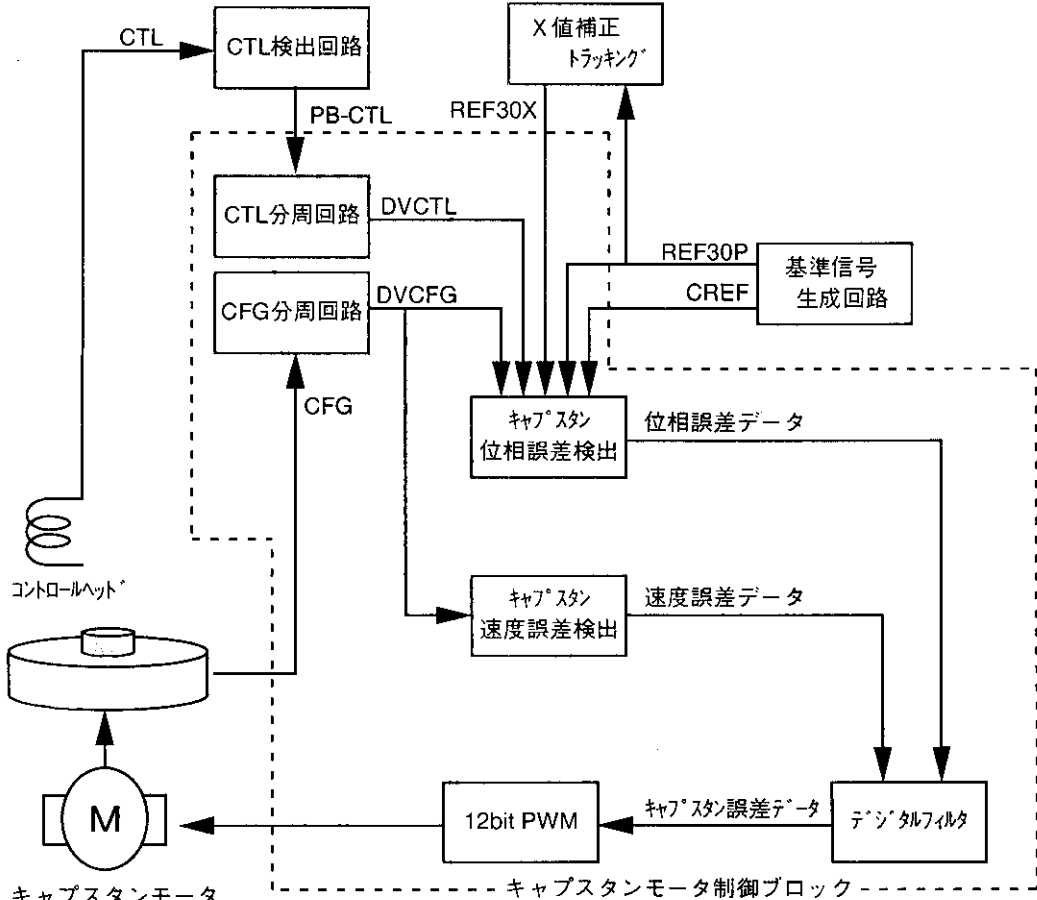


図4.30 ヘッドスイッチ割り込み処理フローチャート

サーボモジュール名	キャプスタン制御	制御内容	—
ブロック図			
<p data-bbox="215 253 1382 315">図4.31にキャプスタンモータ制御部のブロック図を示します。図に示す機能を用いてキャプスタンモータの制御を行います。</p>  <p data-bbox="603 1279 1054 1310">図4.31 キャプスタンモータ制御 ブロック図</p>			
機能説明			
表4.12に各機能の説明一覧を示します。			
表4.12 機能説明一覧			
機能名称	機能説明		
CFG分周回路	CFGパルスを分周します。また、CFGパルスのマスク機能で、キャプスタンの暴走を検出します。		
CTL分周回路	PB-CTL信号を分周します。		
キャプスタン速度誤差検出	CFGパルスの周期を測定し、あらかじめ設定したCFG信号周期との誤差を検出します。		
キャプスタン位相誤差検出	PB-CTLパルスと基準信号との位相差を測定し、あらかじめ設定した位相差との誤差を検出します。		
デジタルフィルタ	デジタル積和演算によるラグ・リードフィルタにより位相補償等のサーボ特性を制御します。		
12bit PWM	キャプスタンモータ制御用のPWM信号発生回路です。		

サーボモジュール名	キャプスタン制御	制御内容	—
-----------	----------	------	---

動作説明

図4.32にCAPPWMの出力動作タイミングチャートを示します。本タイミングでモータ停止からの起動を行ないます。

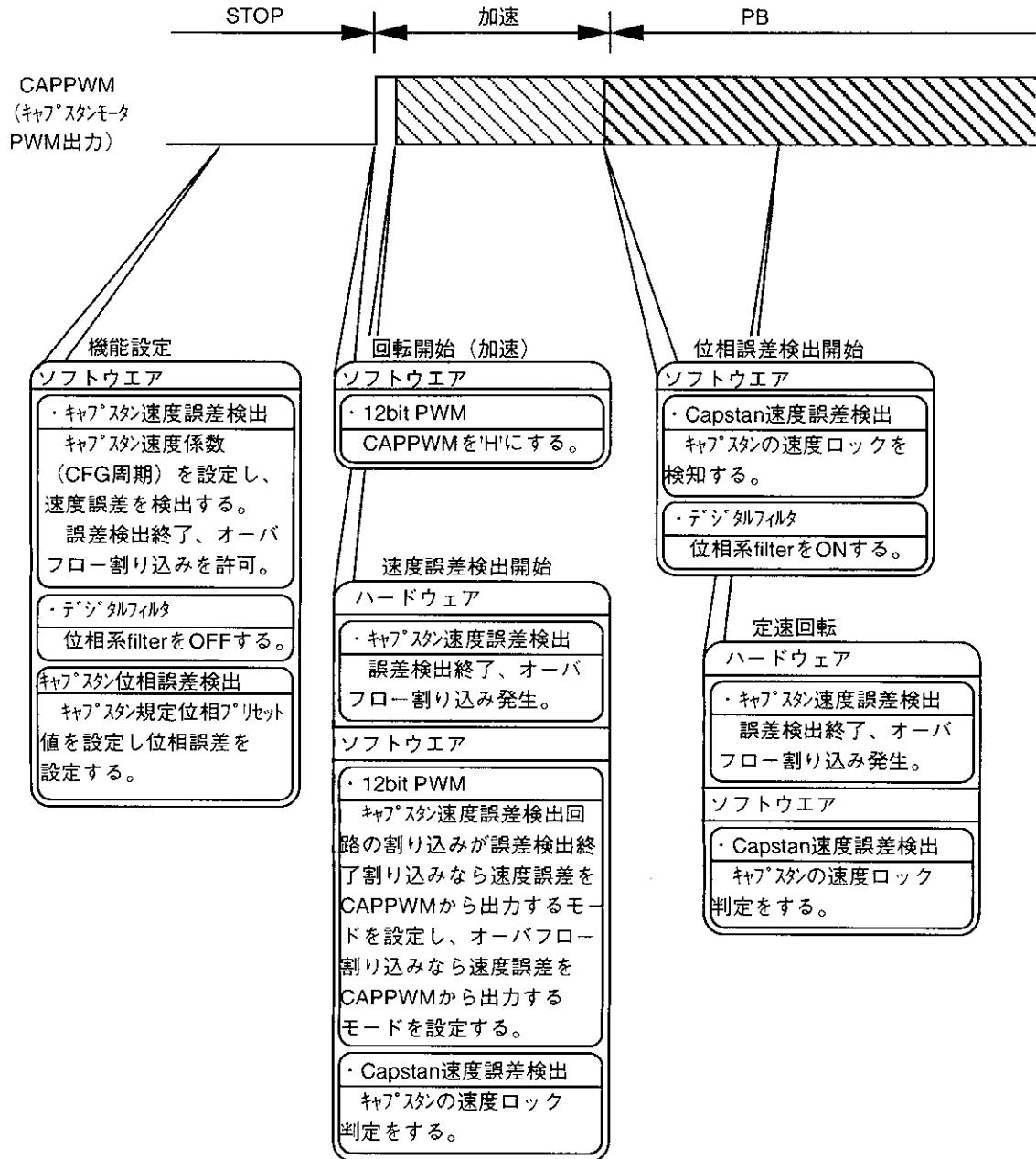


図4.32 CAPPWMの出力動作タイミングチャート

サーボモジュール名	キャプスタン制御	制御内容	CFG分周
-----------	----------	------	-------

ブロック図

図4.33にCFG分周回路のブロック図を示します。

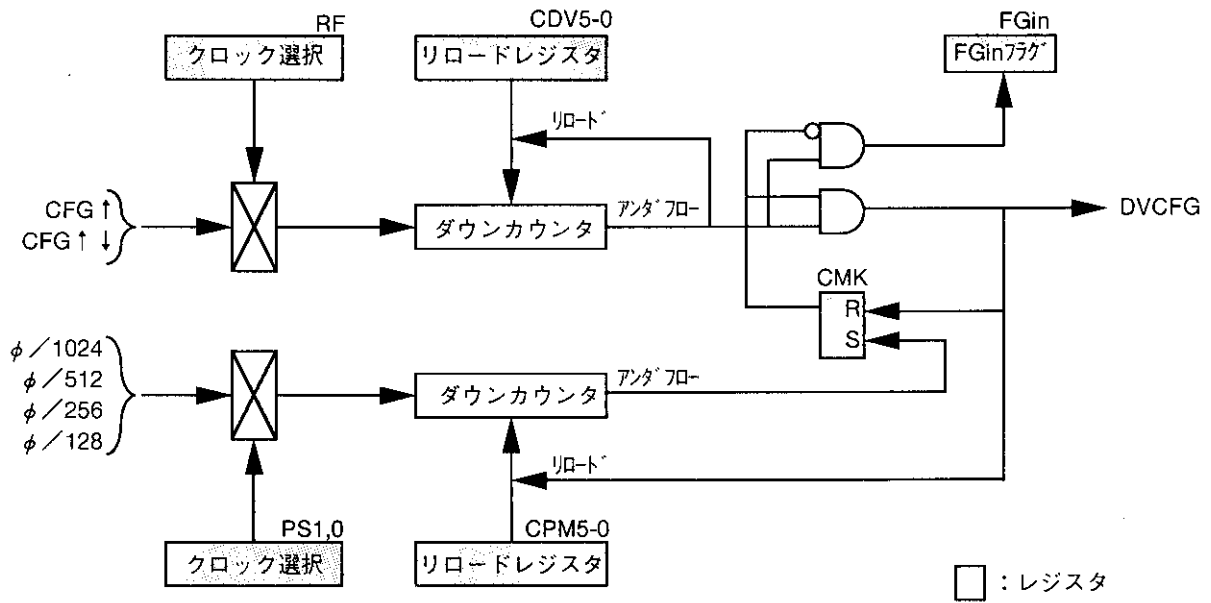


図4.33 CFG分周回路ブロック図

レジスタ説明

表4.13にレジスタ一覧を示します。

表4.13 レジスタ一覧

レジスタ名	略称	データ長	機能
CFG分周 データレジスタ	CDV5-0	6bit	CFGの分周値 (N-1) を設定します。
DVCFGマスク期間 データレジスタ	CPM5-0	6bit	CFGのマスク期間を設定します。
CFG分周 エッジ選択	RF	1bit	カウントするCFGのエッジを選択します。
CFGマスクタイマ クロック選択	PS1,0	2bit	マスク期間測定用のクロックを選択します。
CFGマスク状態	CMK	1bit	マスク状態を示します。
マスクCFG	FGin	1bit	マスク期間中にアンダフローがあったことを示します。

サーボモジュール名	キャプスタン制御	制御内容	CFG分周
-----------	----------	------	-------

動作説明

図4.34にCFG分周波形を示します。CFGのエッジでカウントダウンし、アンダフローが発生したらリロードレジスタの内容をカウンタにセットし、同時にDVCFGを立ち上げます。マスク期間中にアンダフローが発生するとDVCFGに出力せずFGinフラグをセットします。

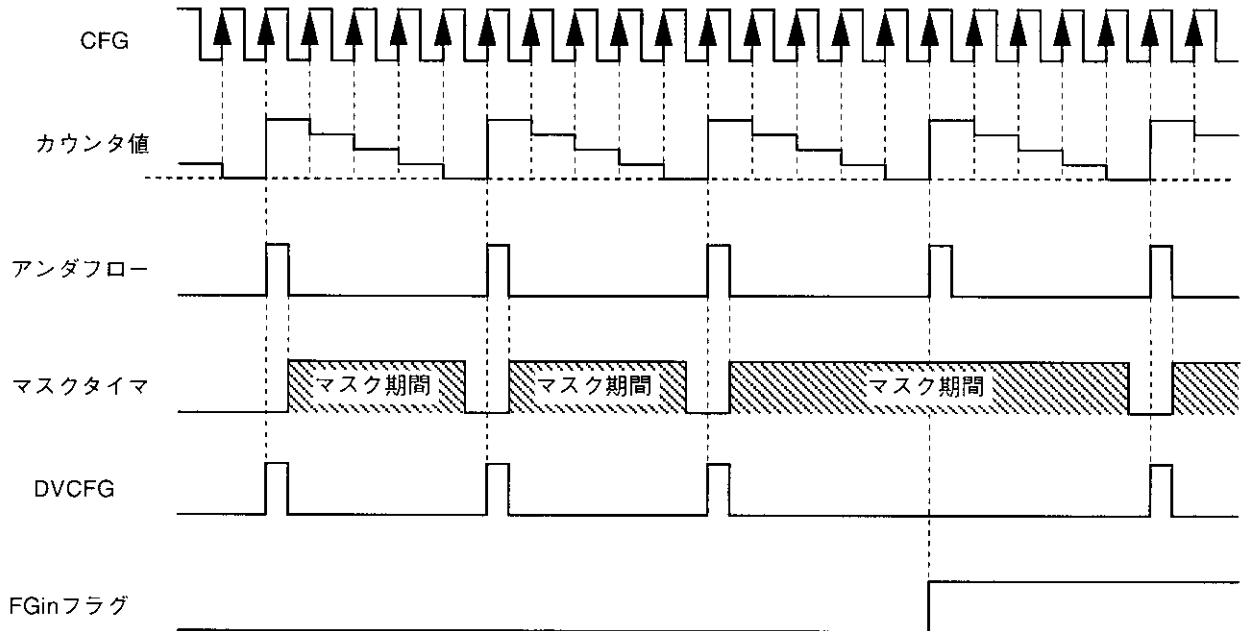


図4.34 CFG分周波形

サーボモジュール名	キャプスタン制御	制御内容	CTL分周
-----------	----------	------	-------

ブロック図

図4.35にCTL分周回路のブロック図を示します。

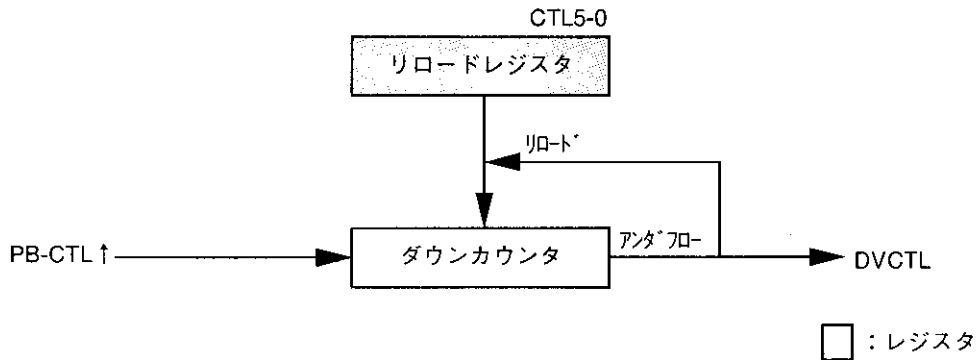


図4.35 CTL分周回路ブロック図

レジスタ説明

表4.14にレジスタ一覧を示します。

表4.14 レジスタ一覧

レジスタ名	略称	データ長	機能
リロードレジスタ	CTL5-0	6bit	PB-CTLの分周値 (N-1) を設定します。

動作説明

図4.36にCTL分周波形を示します。PB-CTLの立ち上がりエッジによりカウントダウンしアンダフローが発生したらリロードレジスタの内容をカウンタにセットし同時にDVCTLを立ち上げます。

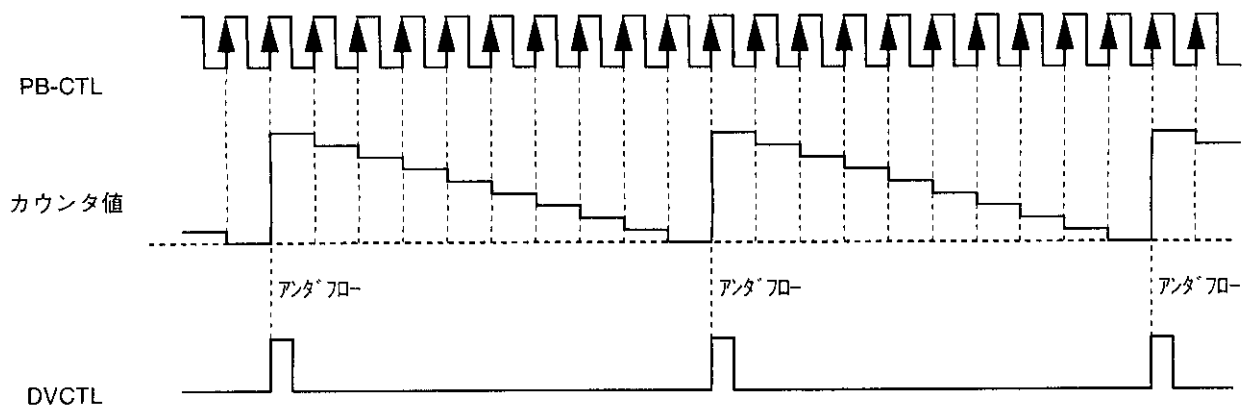


図4.36 CTL分周波形

サーボモジュール名	キャプスタン制御	制御内容	キャプスタン速度誤差検出
-----------	----------	------	--------------

ブロック図

図4.37にキャプスタン速度誤差検出回路のブロック図を示します。
 キャプスタン速度誤差検出回路ではCFGパルスの周期と期待する周期との誤差を測定します。
 また、カウンタのオーバーフローおよびCFG周期の誤差検出終了でIRQを発生します。

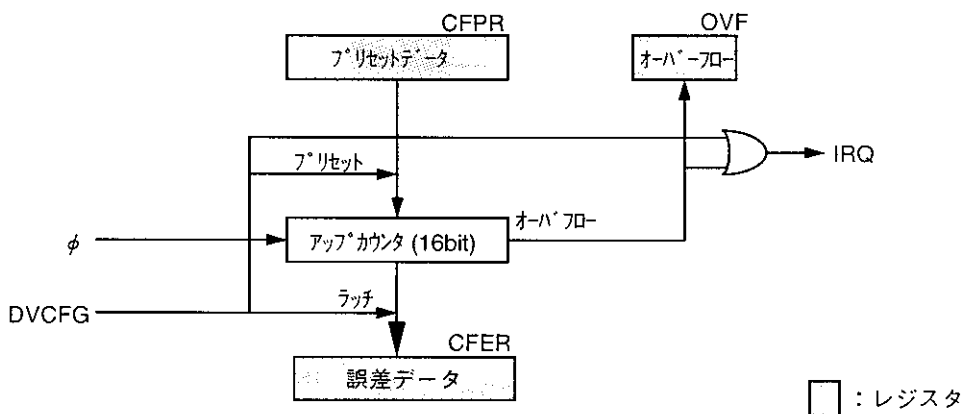


図4.37 キャプスタン速度誤差検出回路 ブロック図

レジスタ説明

表4.15にレジスタ一覧を示します。

表4.15 レジスタ一覧

レジスタ名	略称	データ長	機能
プリセットデータ	CFPR	16bit	CFG規定速度プリセットデータを設定します。
誤差データ	CFER	16bit	CFG速度誤差が出力されます。
オーバーフロー	OVF	1bit	オーバーフローの有無を示します。

プリセットデータの算出式は

$$\text{CFG規定速度プリセットデータ} = \text{H}'8000 - \left(\frac{\phi}{\text{CFGの周波数}} - 2 \right)$$

φ：システムクロック (fosc / 2)

となります。

サーボモジュール名	キャプスタン制御	制御内容	キャプスタン速度誤差検出
-----------	----------	------	--------------

動作説明

図4.38にキャプスタン速度誤差検出回路の動作を示します。キャプスタン速度系サーボ処理は検出した速度誤差から速度系ロックの判定を行ないます。再生時のドラム速度系処理の概要を示します。速度系ロックの判定は速度誤差が0付近にサーボロック判定範囲を設定し、この範囲に検出した速度誤差データがある時、速度系がロックしたと判定します。

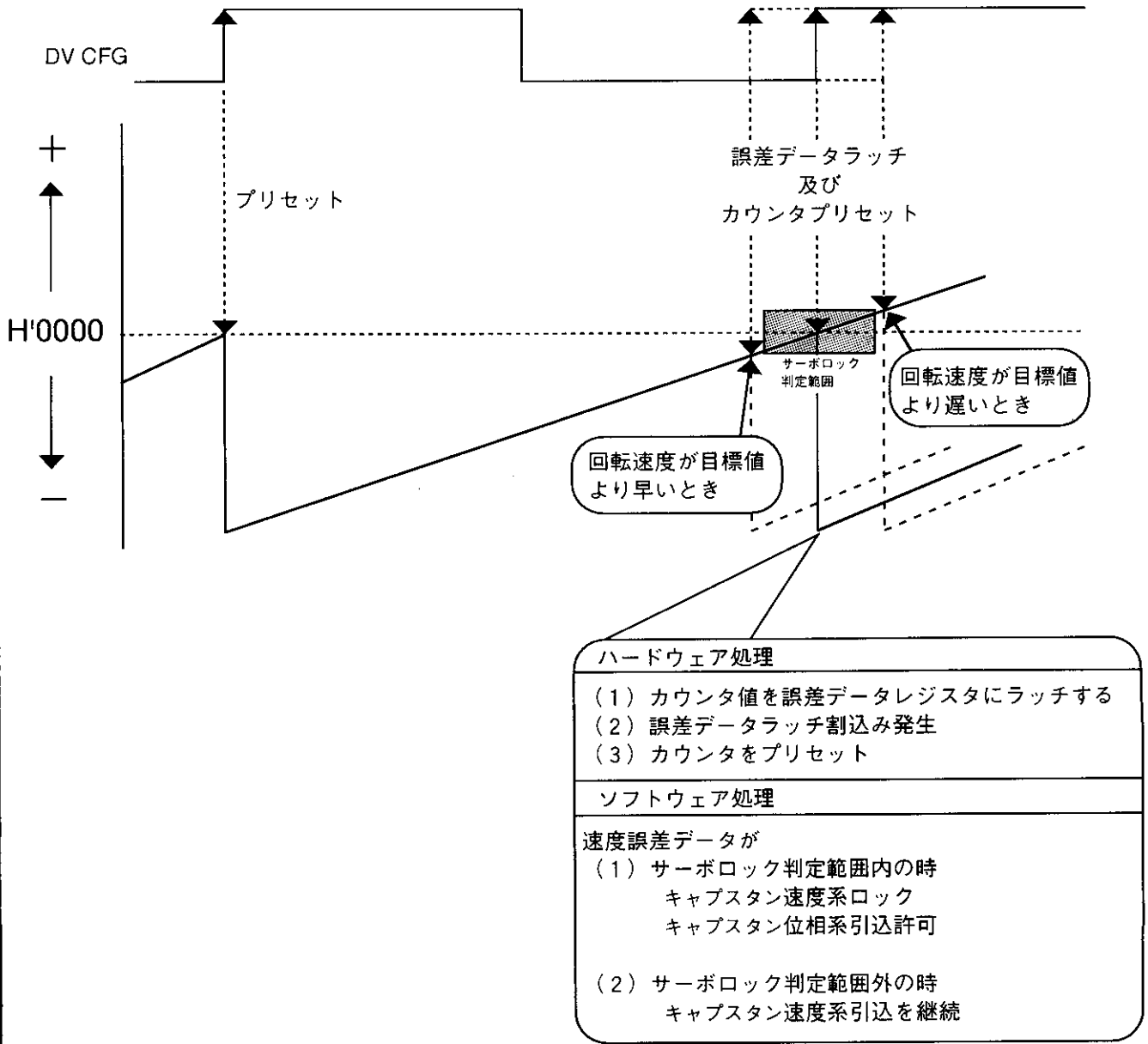


図4.38 キャプスタン速度誤差検出回路動作

サーボモジュール名	キャプスタン制御	制御内容	キャプスタン速度誤差検出
-----------	----------	------	--------------

動作説明

図4.39に停止から再生へ移行時のキャプスタン速度誤差検出回路の動作を示します。
 移行当初、キャプスタン速度が遅く、DVCFGの立ち上がりタイミングよりも早くオーバーフローが発生します。この場合CAPPWMを'H'にして加速させます。また、オーバーフロー直後に検出される誤差データは無視します。

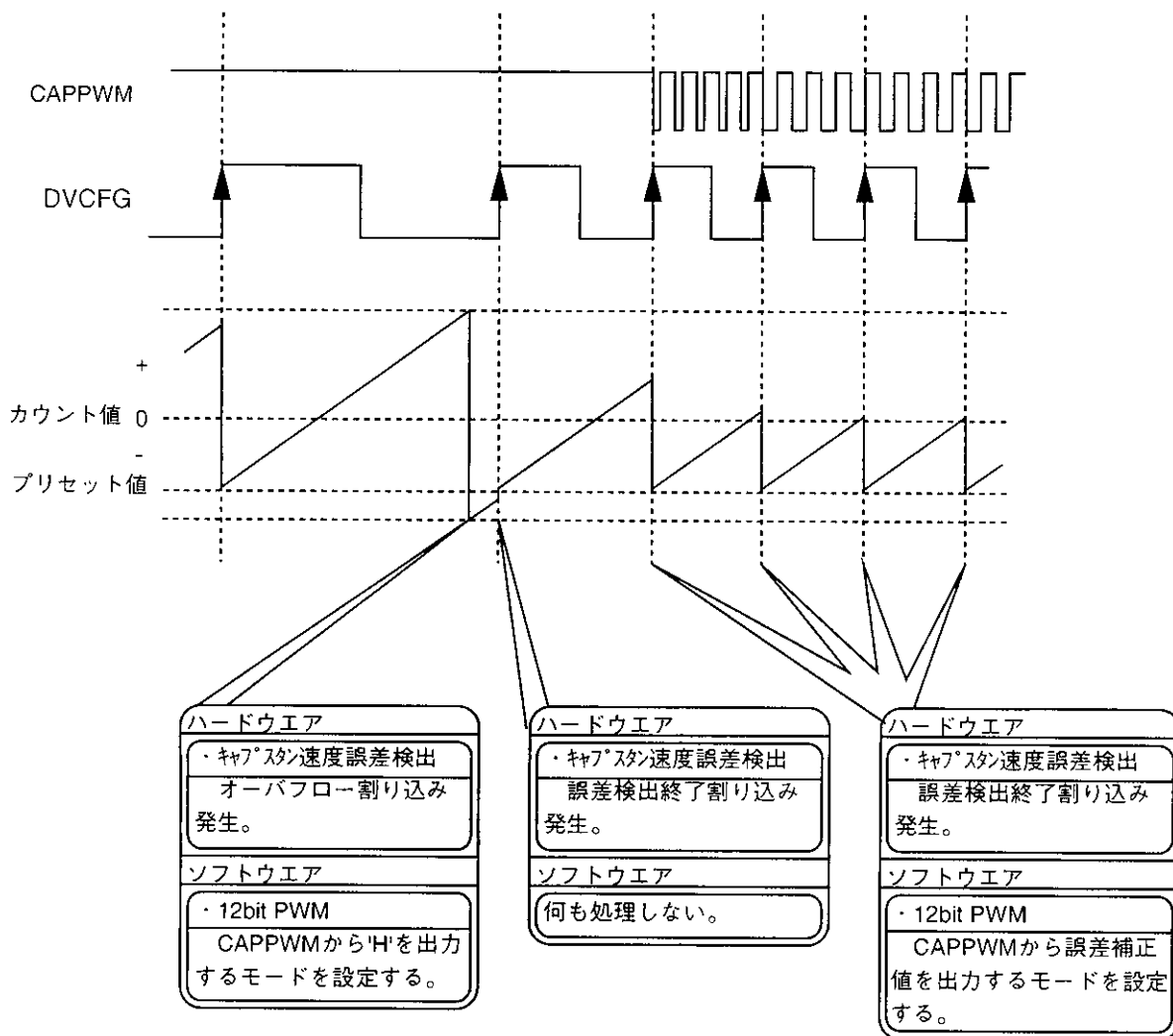


図4.39 停止から再生へ移行時のキャプスタン速度誤差検出回路動作

サーボモジュール名	キャプスタン制御	制御内容	キャプスタン速度誤差検出
-----------	----------	------	--------------

ソフトウェア処理説明

キャプスタン速度ロック検出処理は図4.40に示すようなサーボロック判定範囲を設定し、この中に速度誤差データがあるとき、キャプスタン速度系サーボのロックと判定します。

ここで、サーボロック判定範囲にヒステリシスを持たせ、速度系サーボロックを検出した後、頻繁にロックが外れることを防いで速度系サーボ処理の安定化を図ります。

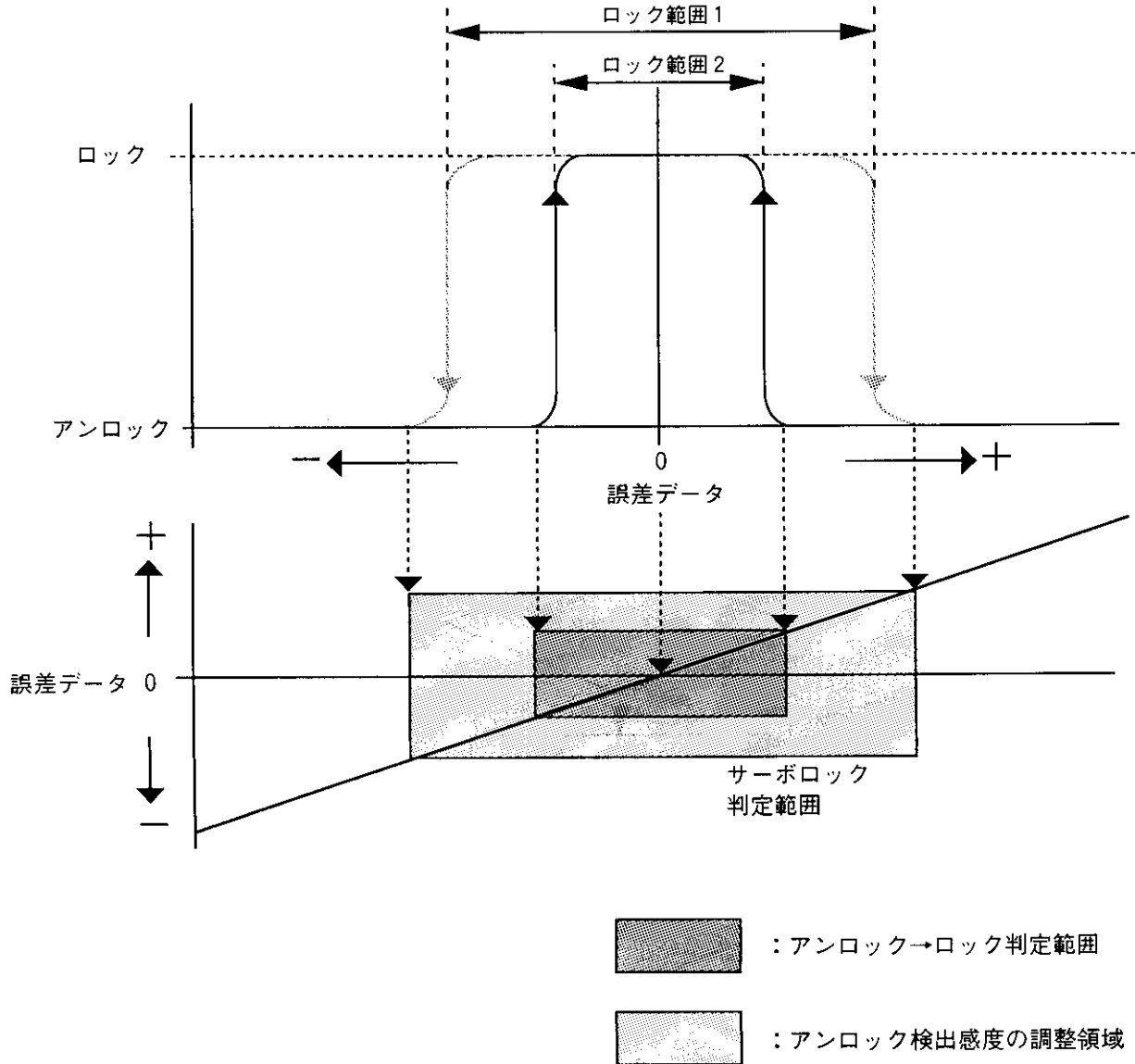


図4.40 キャプスタン速度系サーボロック判定範囲

サーボモジュール名	キャプスタン制御	制御内容	キャプスタン速度誤差検出
-----------	----------	------	--------------

ソフトウェア処理説明

図4.41に速度誤差ラッチ割り込み処理のフローチャートを示します。本割り込み処理により、キャプスタンの速度系サーボのロック判定を行いません。

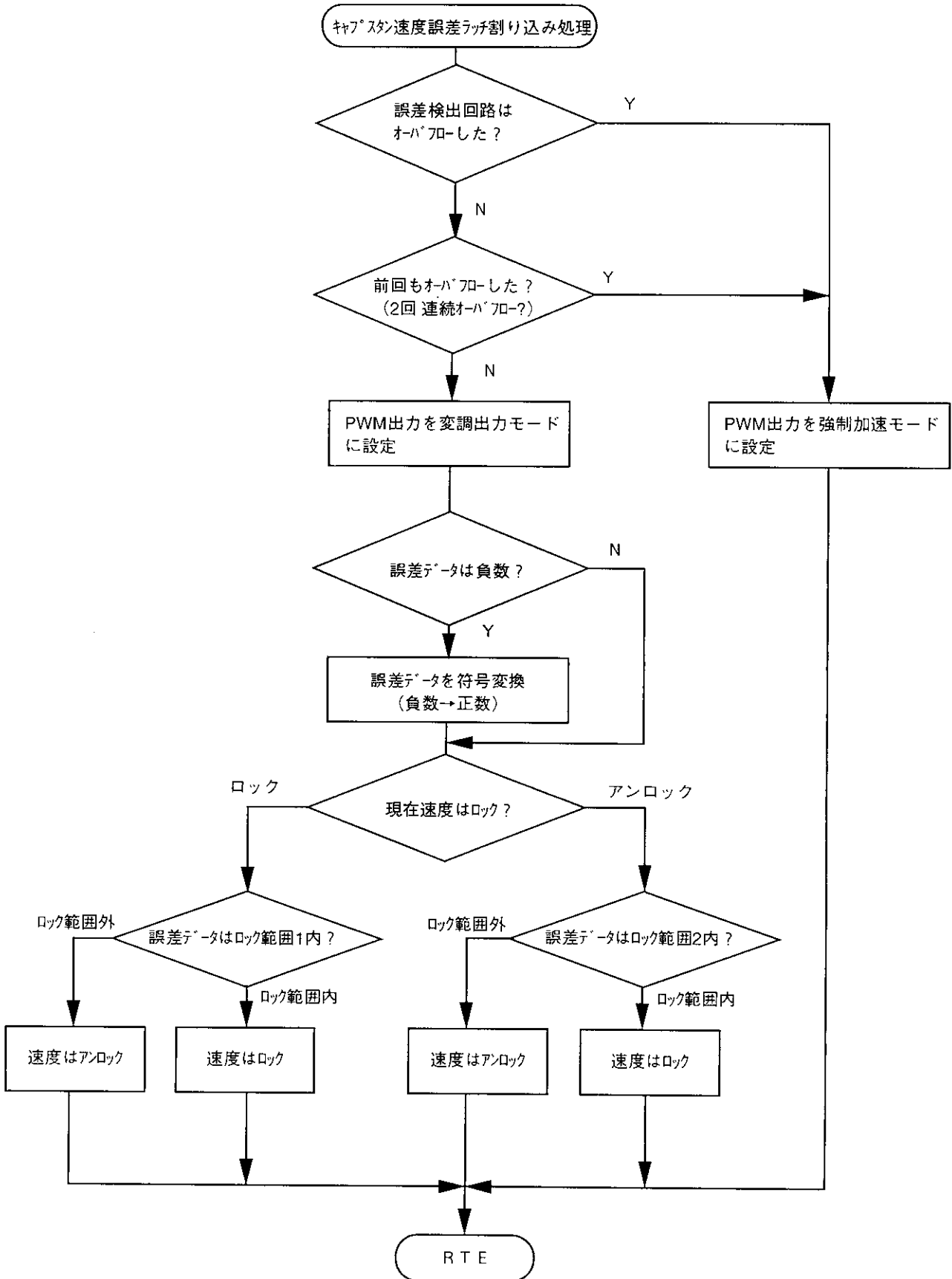


図4.41 速度誤差ラッチ割り込み処理フローチャート

サーボモジュール名	キャプスタン制御	制御内容	キャプスタン位相誤差検出
-----------	----------	------	--------------

ブロック図

図4.42にキャプスタン位相誤差検出回路のブロック図を示します。
 キャプスタン位相誤差検出回路により、再生時REF30XとDVCTLの位相を、録画時REF30PとDVCFG2の位相を同期させます。

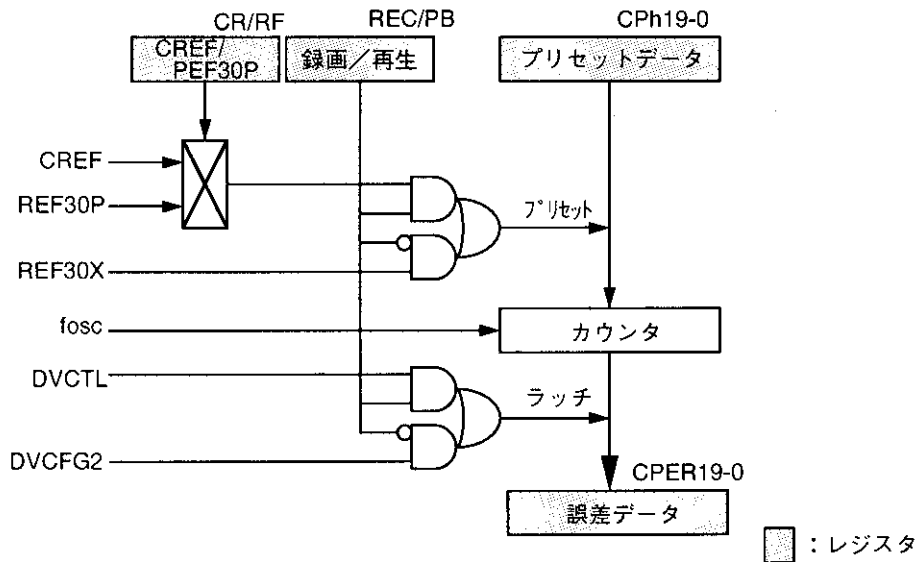


図4.42 キャプスタン位相誤差検出回路

レジスタ説明

表4.16にレジスタ一覧を示します。

表4.16 レジスタ一覧

レジスタ名	略称	データ長	機能
プリセットデータ	CPER19-0	20bit	規定位相値をプリセットデータを設定します。
誤差データ	CPh19-0	20bit	規定位相との誤差が出力されます。
録画/再生	REC/PB	1bit	録画か再生かの選択をします。
CREF/REF30	CR/RF	1bit	録画時のプリセットタイミング信号にCREFかREF30Pのどちらを使うか選択します。

再生時のプリセットデータの算出式は

$$\text{規定位相プリセットデータ} = H'80000 - (\text{REF30Xの立ち上がりエッジから DVCTLの立ち上がりエッジまでの時間} \times \phi)$$

録画時のプリセットデータの算出式は

$$\text{規定位相プリセットデータ} = H'80000 - (\text{REF30Pの立ち上がりエッジから DVCFGの立ち上がりエッジまでの時間} \times \phi)$$

ϕ : システムクロック ($f_{osc} / 2$)

となります。

サーボモジュール名	キャプスタン制御	制御内容	キャプスタン位相誤差検出
-----------	----------	------	--------------

動作説明

図4.43に再生時のキャプスタン位相制御を示します。REF30Xの立ち上がりエッジでカウンタをプリセットしDVCTLの立ち上がりエッジで誤差値をラッチします。この時、規定値よりも早くDVCTLが立ち上がると一値を、遅く立ち上がると十値をラッチします。

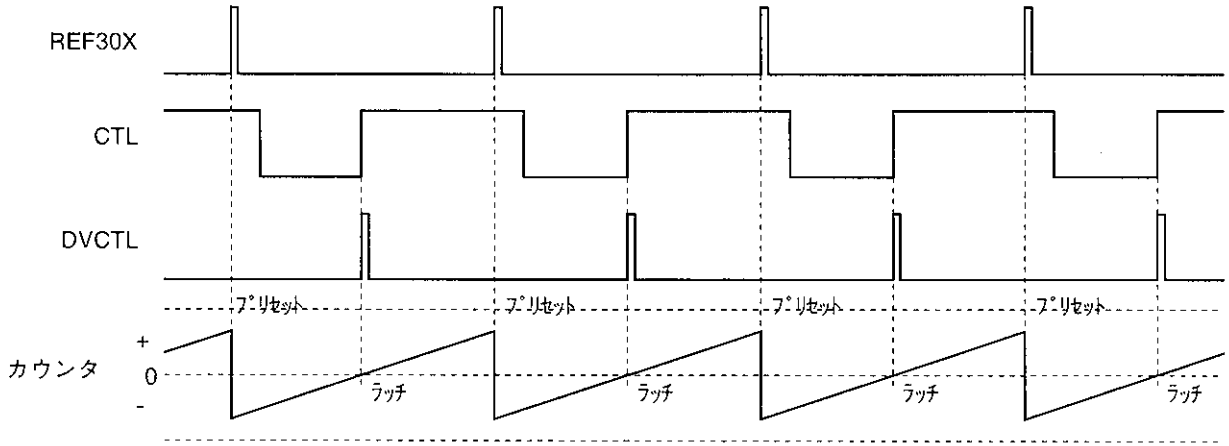


図4.43 再生時のキャプスタン位相制御

図4.44に再生時のキャプスタン位相補正の動作を示します。DVCTL位相が規定値からはずれていると規定値に近づくように位相を変化させます。

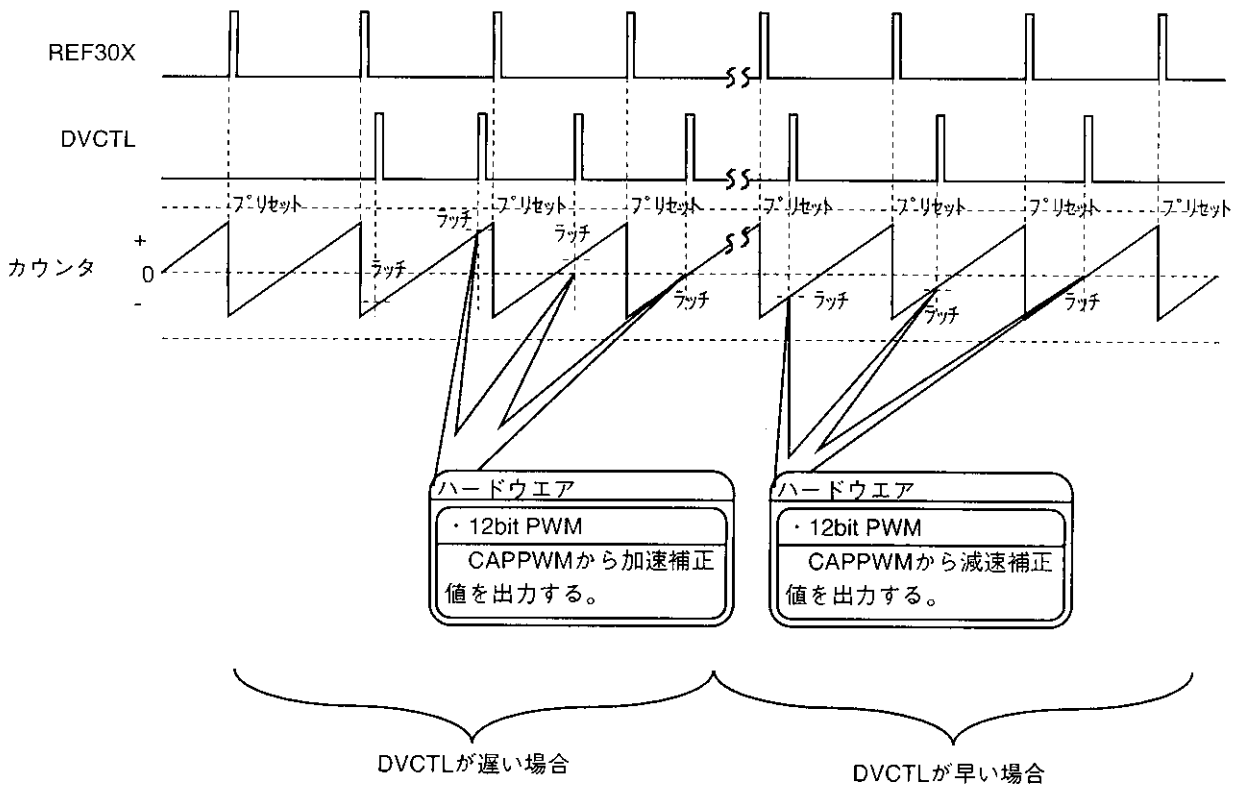
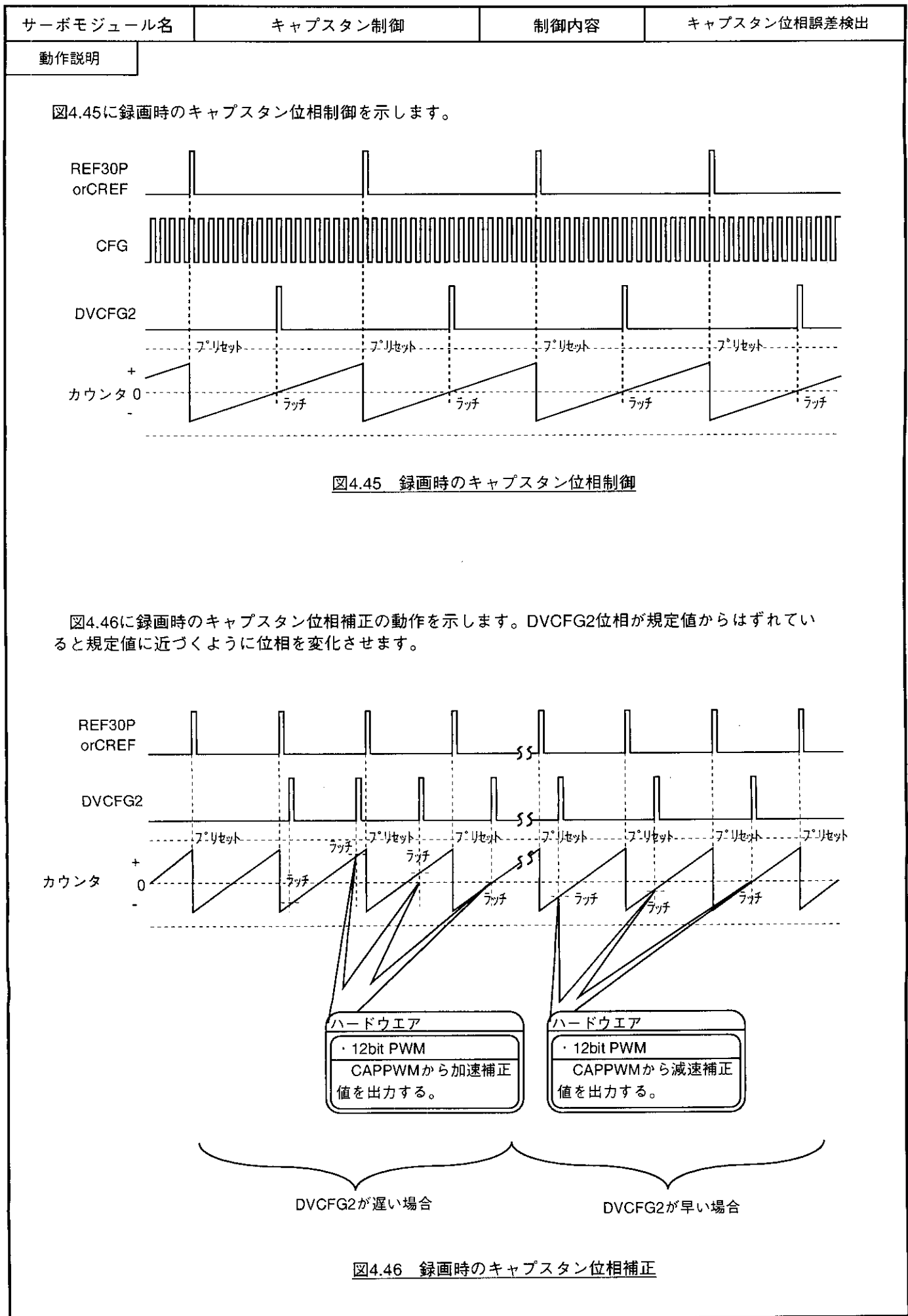


図4.44 再生時のキャプスタン位相補正



サーボモジュール名	キャプスタン制御	制御内容	キャプスタン位相誤差検出
-----------	----------	------	--------------

ソフトウェア処理説明

キャプスタン位相ロック検出処理は図4.47に示すようなサーボロック判定範囲を設定し、この中に位相誤差データがあるとき、キャプスタン位相系サーボのロックと判定します。
 ここで、サーボロック判定範囲にヒステリシスを持たせ、位相系サーボロックを検出した後、頻繁にロックが外れることを防いで位相系サーボ処理の安定化を図ります。

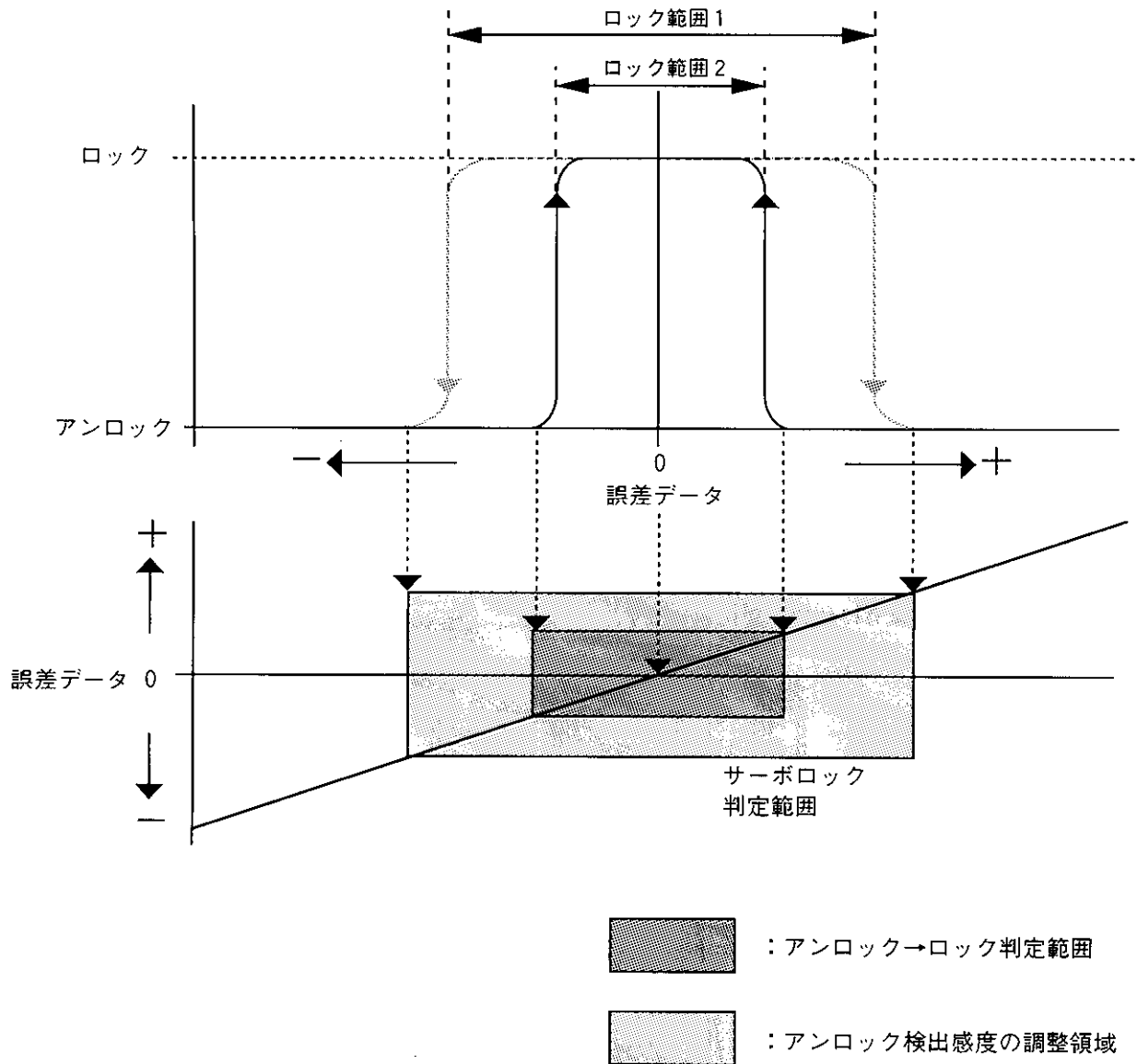


図4.47 キャプスタン位相系サーボロック判定範囲

サーボモジュール名	キャプスタン制御	制御内容	キャプスタン位相誤差検出回路
-----------	----------	------	----------------

ソフトウェア処理説明

図4.48に位相系ロック判定処理のフローチャートを示します。図4.48に示す処理により、キャプスタンモータの位相系サーボのロック判定を行ないます。

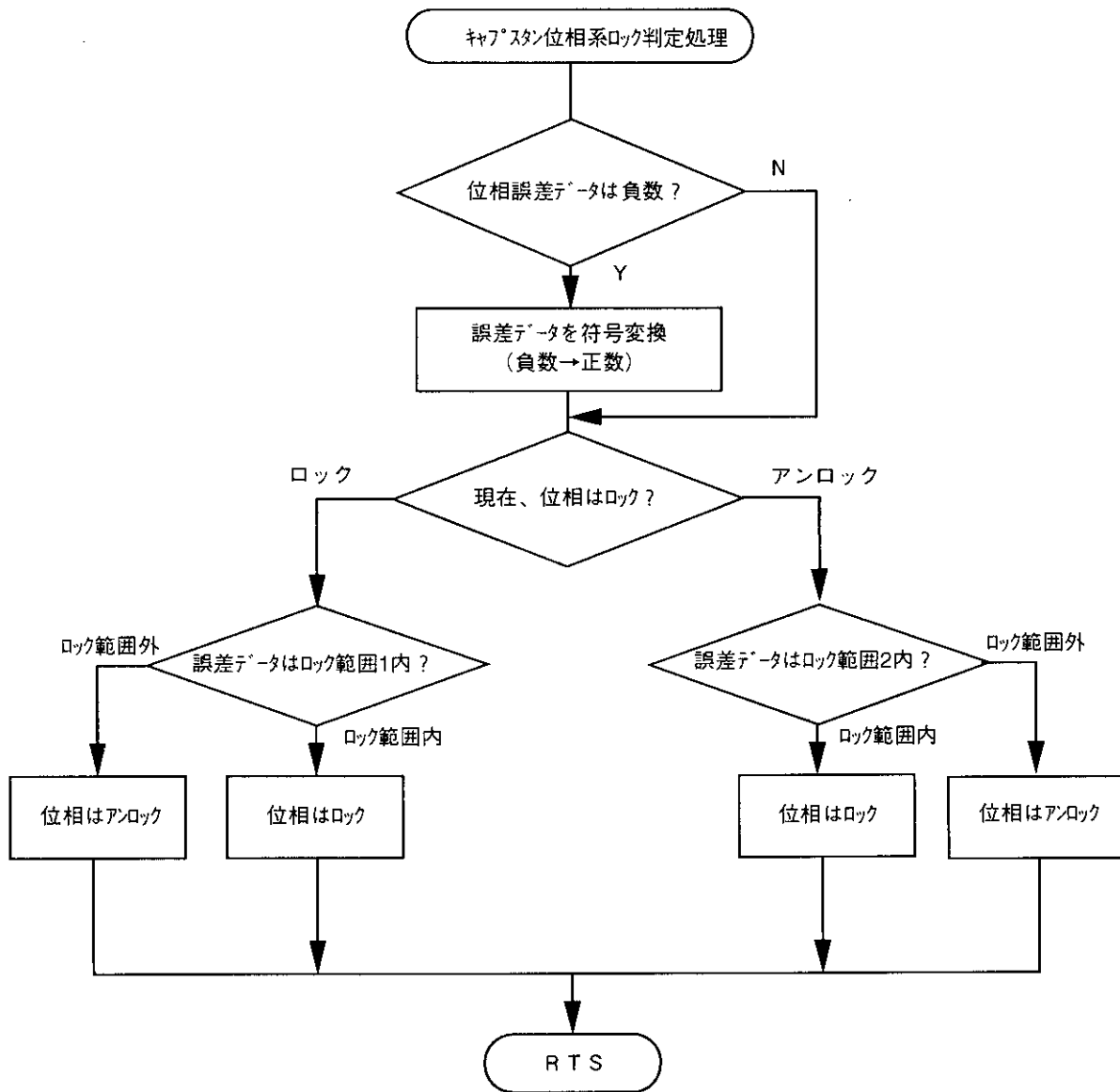
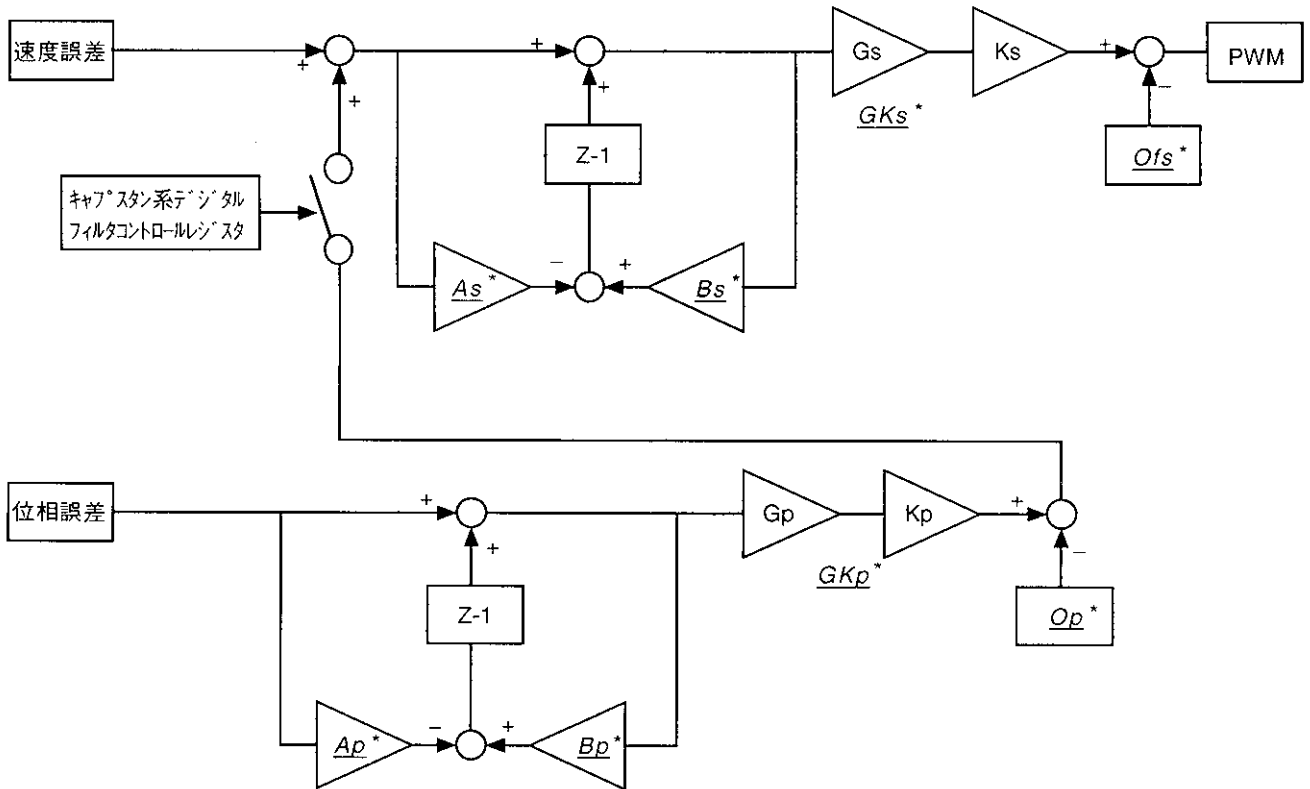


図4.48 位相系ロック判定処理フローチャート

ブロック図

図4.49にデジタルフィルタ回路の構成図を示します。デジタルフィルタ回路ではキャプスタンモータの速度誤差と位相誤差を演算します。



* : 設定可能な係数

図4.49 デジタルフィルタブロック

レジスタ説明

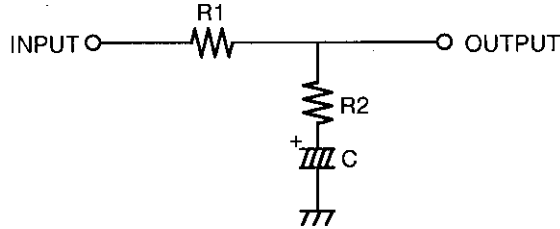
表4.17にレジスタ一覧を示します。

表4.17 レジスタ一覧

レジスタ名	略称	データ長	機能
ゲイン係数	GKs	16bit	速度系のゲイン係数
ゲイン係数	GKp	16bit	位相系のゲイン係数
係数	Ap	16bit	位相系フィルタの係数
係数	Bp	16bit	位相系フィルタの係数
係数	As	16bit	速度系フィルタの係数
係数	Bs	16bit	速度系フィルタの係数
オフセット	Op	16bit	位相系のオフセット値
オフセット	Ofs	16bit	速度系のオフセット値

動作説明

デジタルフィルタ回路では、図4.50に示すようなラグ・リードフィルタの演算を行ないます。
 図4.51にラグ・リードフィルタの周波数特性を示します。



$$\text{伝達関数 } G(s) = \frac{1 + s / 2\pi f_2}{1 + s / 2\pi f_1}$$

$$f_1 = 1 / 2\pi C (R_1 + R_2)$$

$$f_2 = 1 / 2\pi C R_2$$

図4.50 アナログ ラグ・リードフィルタ

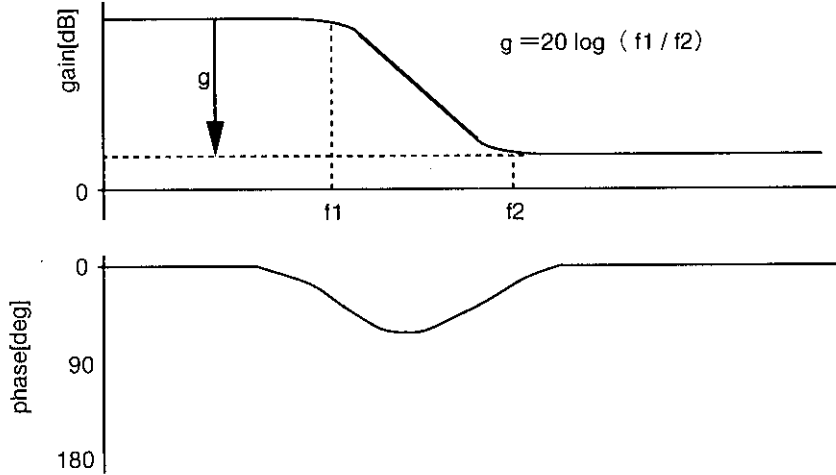
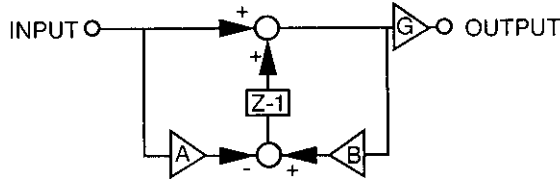


図4.51 ラグ・リードフィルタ周波数特性

図4.51に示すようなラグ・リードフィルタの伝達関数G(S)を双1次変換によりパルス伝達関数H(Z)で示すと図4.52のようになります。デジタルフィルタ回路では図4.52に示すパルス演算を行ないます。



$$\text{伝達関数 } H(Z) = G \cdot \frac{1 + A Z^{-1}}{1 + B Z^{-1}}$$

$$G = \frac{T s + 1 / \pi f_2}{T s + 1 / \pi f_1}$$

$$A = \frac{T s - 1 / \pi f_2}{T s + 1 / \pi f_2}$$

$$B = \frac{T s - 1 / \pi f_1}{T s + 1 / \pi f_1}$$

図4.52 デジタル演算によるラグ・リードフィルタ

サーボモジュール名	キャプスタン制御	制御内容	キャプスタン系デジタルフィルタ
-----------	----------	------	-----------------

ソフトウェア処理説明

デジタルフィルタ回路は、表4.18に示すようにキャプスタン速度系デジタルフィルタ、キャプスタン位相系デジタルフィルタを持っています。各デジタルフィルタ回路の制御は、各サーボのロック状態による制御をソフトウェアで行います。図4.53にデジタルフィルタ制御のフローチャートを示します。

表4.18 デジタルフィルタ制御一覧

サーボロック状態	デジタルフィルタ キャプスタン速度系 デジタルフィルタ	デジタルフィルタ キャプスタン位相系 デジタルフィルタ
キャプスタン速度アンロック	ON	OFF
キャプスタン速度ロック	ON	ON
キャプスタン位相アンロック	ON	ON
キャプスタン位相ロック	ON	ON

OFF：デジタルフィルタ演算結果を無効（0固定）
ON：デジタルフィルタ演算結果を有効

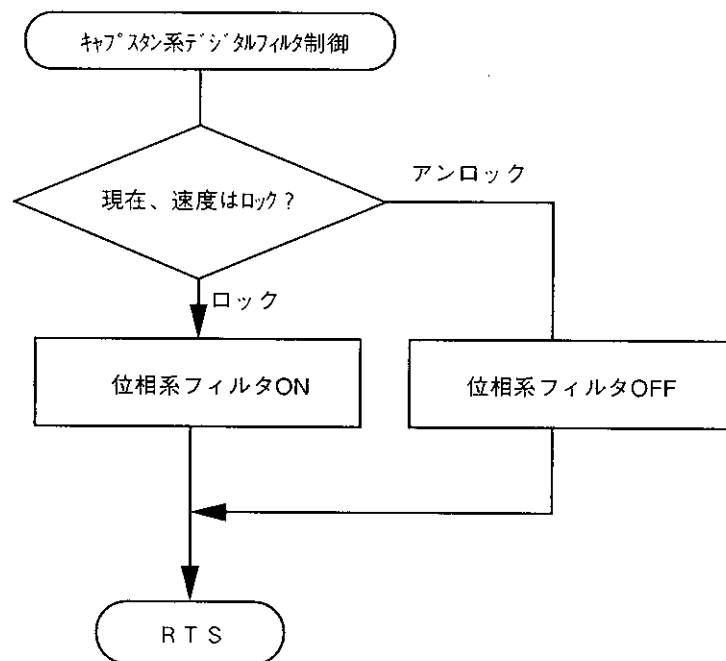


図4.53 デジタルフィルタ制御フローチャート

サーボモジュール名	キャプスタン制御	制御内容	12bitPWM
-----------	----------	------	----------

ブロック図

図4.54に12bitPWMのブロック図を示します。

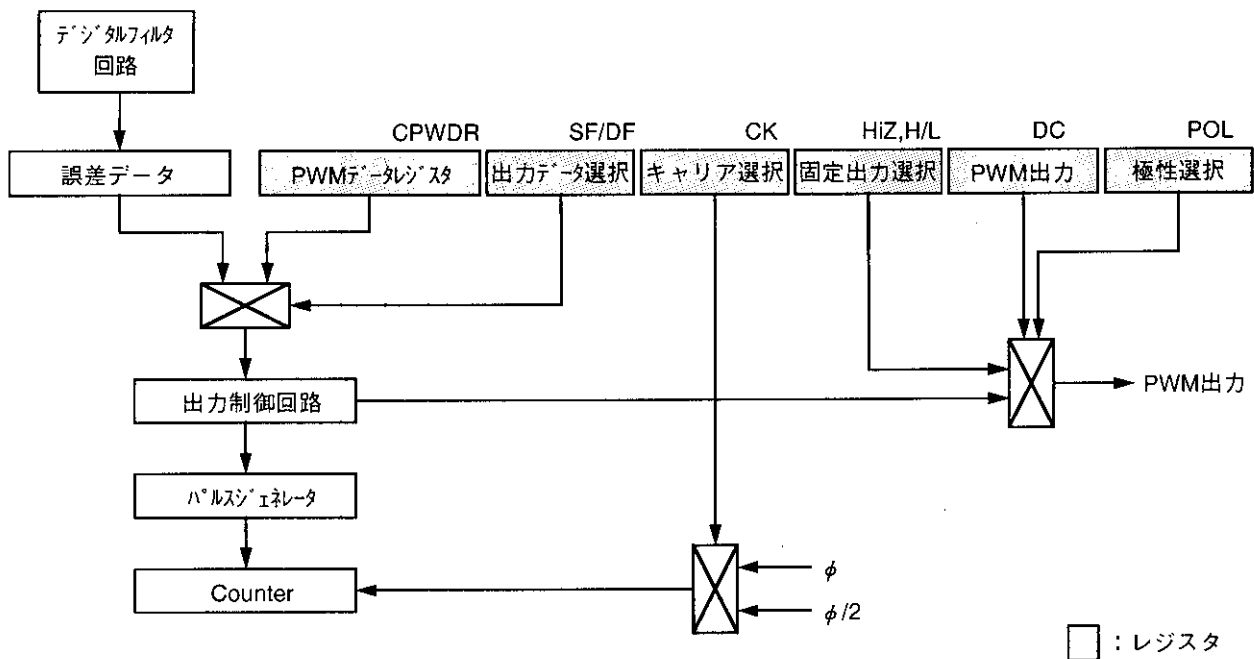


図4.54 12bitPWMのブロック図

レジスタ説明

表4.19にレジスタ一覧を示します。

表4.19 レジスタ一覧

レジスタ名	略称	データ長	機能
PWM出力	DC	1bit	PWM出力が固定かを選択します。
固定出力選択	HiZ,H/L	2bit	固定出力の際の出力レベルを選択します。
キャリア選択	CK	1bit	PWM搬送周波数を選択します。
極性選択	POL	1bit	出力が正転か逆転かを選択します。
PWMレジスタ	CWR11-0	12bit	固定データを出力する際に出力データを設定します。
出力データ選択	SF/DF	1bit	出力データが固定値かデジタルフィルタからの値かを選択します。

サーボモジュール名	キャプスタン制御	制御内容	12bitPWM
-----------	----------	------	----------

動作説明

図4.55にPWM出力波形例（3bit）を示します。図に示すような出力データを元に内部のパルスジェネレータの波形を合成し出力します。

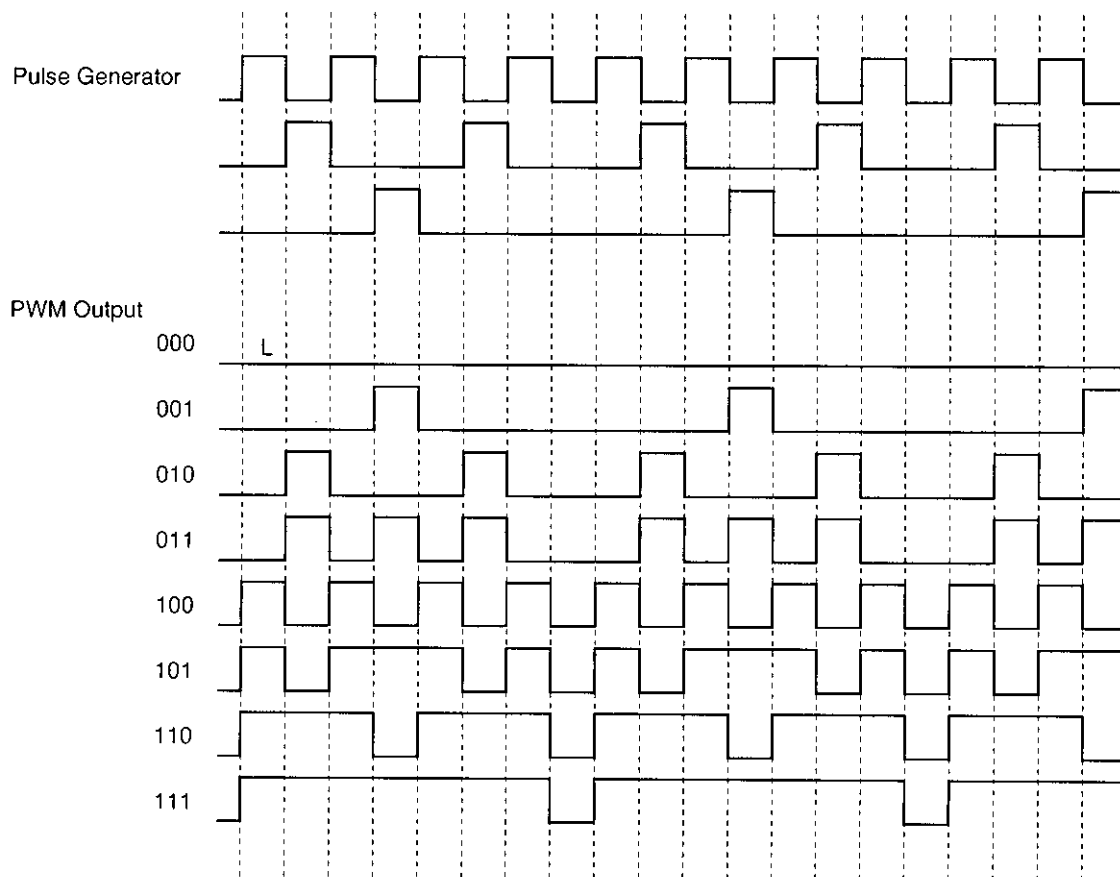


図4.55 PWM出力波形例（3bit）

サーボモジュール名	CTLTP検出／記録	制御内容	—
-----------	------------	------	---

ブロック図

図4.56にCTLTP検出／記録のブロック図を示します。図に示す機能を用いてCTLの検出／記録を行います。

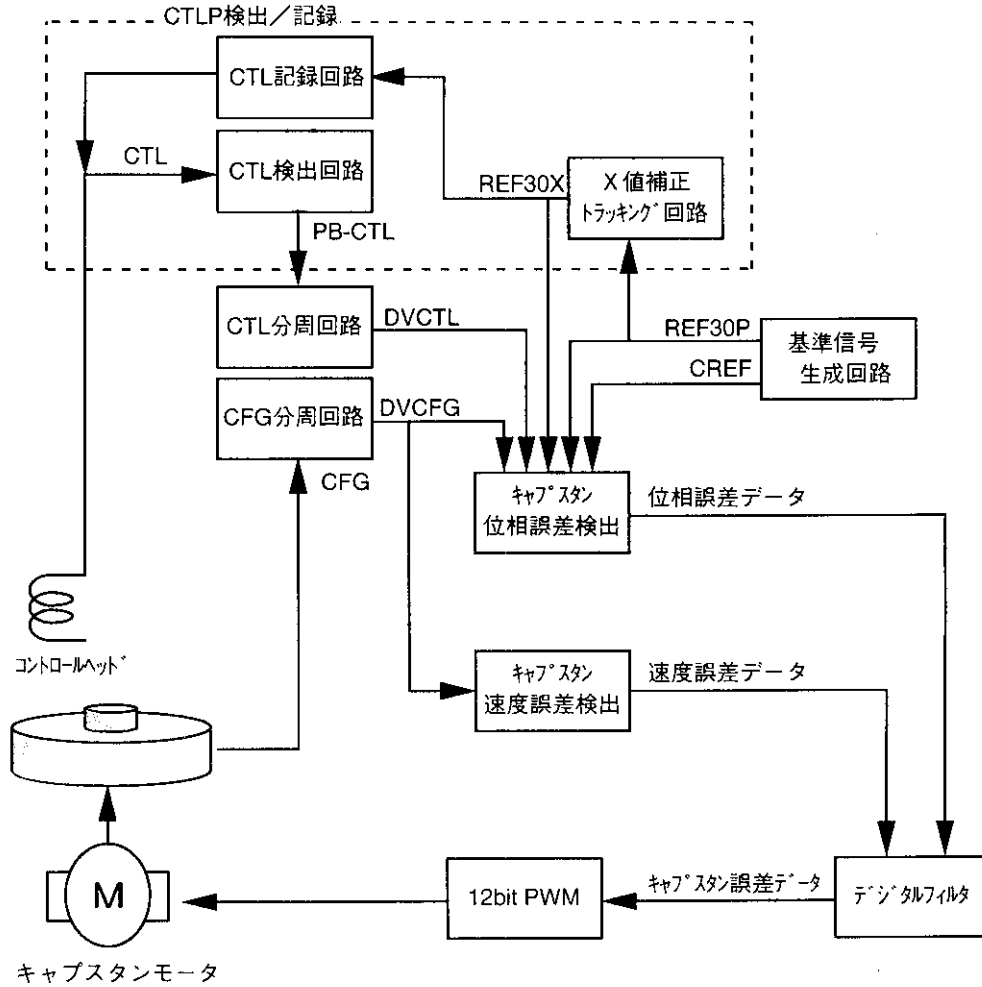


図4.56 CTLTP検出／記録 ブロック図

機能説明

表4.20に各機能の説明一覧を示します。

表4.20 機能説明一覧

機能名称	機能説明
CTL検出回路	CTL信号を矩形波に成形し、デューティを判別します。
CTL記録回路	CTL記録信号を生成します。
X値補正／トラッキング回路	記録時のX値補正及び再生時のトラッキング制御を行いません。

サーボモジュール名	CTLP検出／記録	制御内容	CTL検出／記録
-----------	-----------	------	----------

ブロック図

図4.57にCTL回路のブロック図を示します。

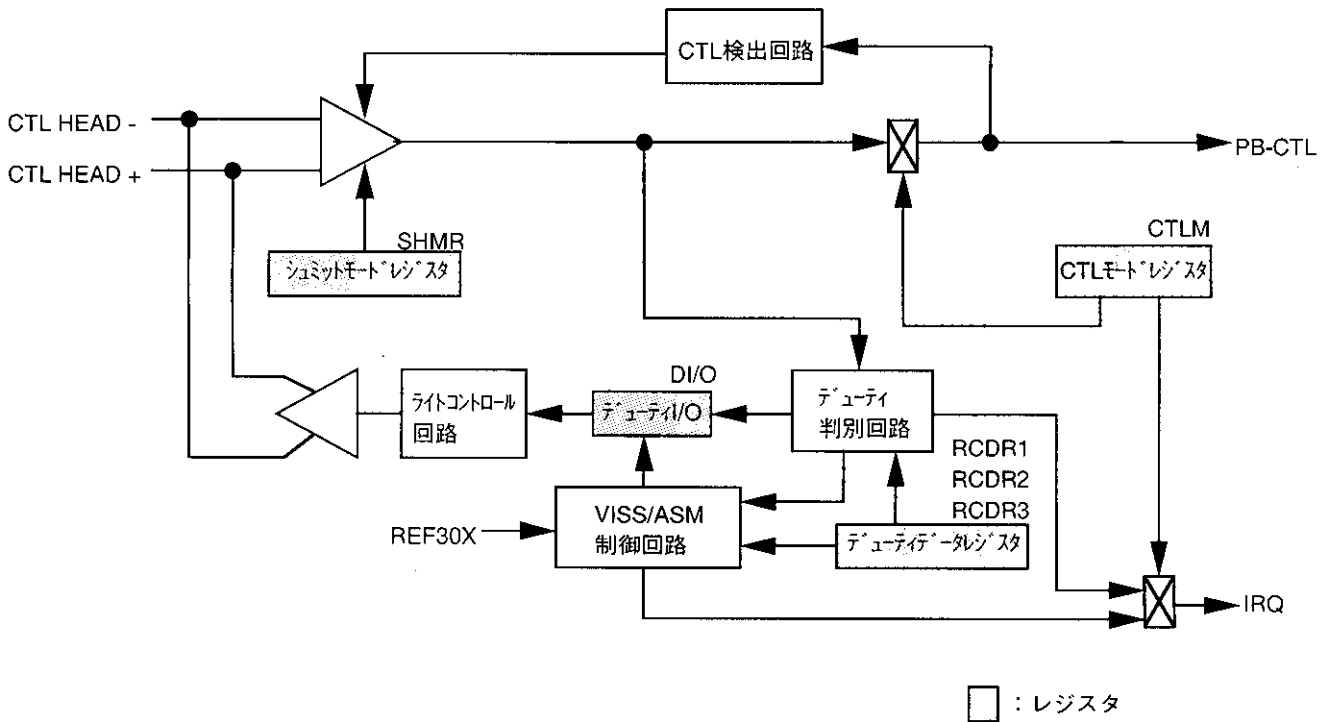


図4.57 CTL回路ブロック図

レジスタ説明

表4.21にレジスタ一覧を示します。

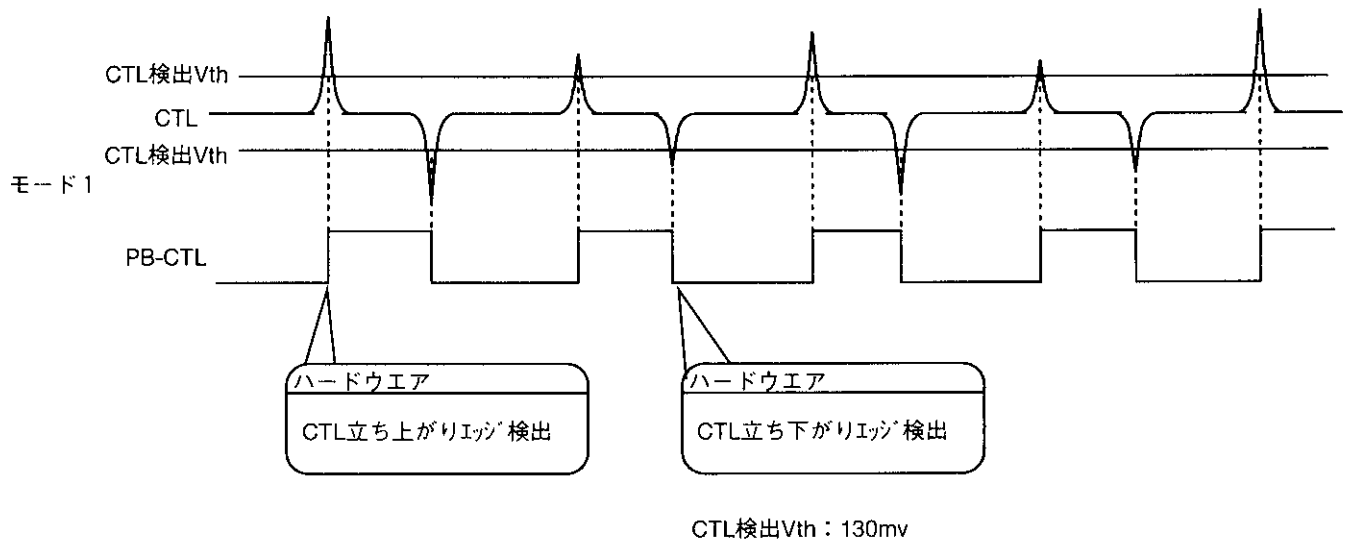
表4.21 レジスタ一覧

レジスタ名	略称	データ長	機能
シュミットレジスタ	SHMR	2bit	CTL信号の入力感度を設定します。
CTLモードレジスタ	CTLM	8bit	CTL回路の動作状態を設定します。
デューティレジスタ	RCDR1	10bit	REC-CTL信号の立ち上がり点を設定します。
デューティレジスタ	RCDR2	10bit	REC-CTL信号の'1'パルス (ASM) 立ち下がり点を設定します。
デューティレジスタ	RCDR3	10bit	REC-CTL信号の'0'パルス立ち下がり点を設定します。
デューティI/O	D/I/O	1bit	VISS/ASM検出結果を示します。

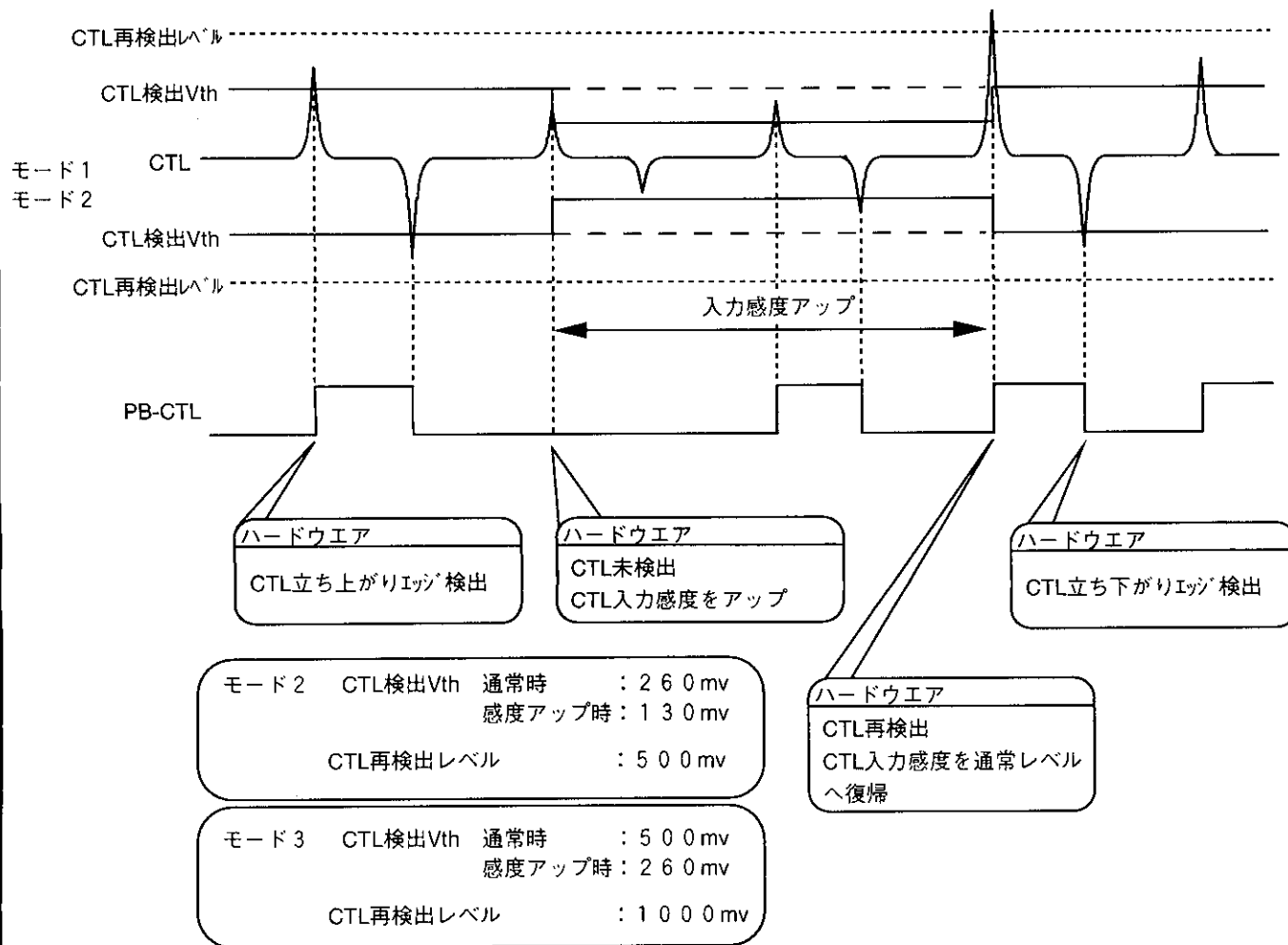
サーボモジュール名	CTLP検出／記録	制御内容	CTL検出／記録
-----------	-----------	------	----------

動作説明

図4.58にCTL検出の動作を示します。CTL検出はSHMRに設定したモードによって検出動作を行います。



(1) 入力感度固定モード (モード1)



(2) 入力感度制御モード (モード2、モード3)

図4.58 CTL検出動作

サーボモジュール名	CTLP検出／記録	制御内容	CTL検出／記録
-----------	-----------	------	----------

動作説明

図4.59にCTL記録の動作を示します。CTL記録はデューティレジスタに設定した値によってVISS信号及びASM信号の記録を行います。

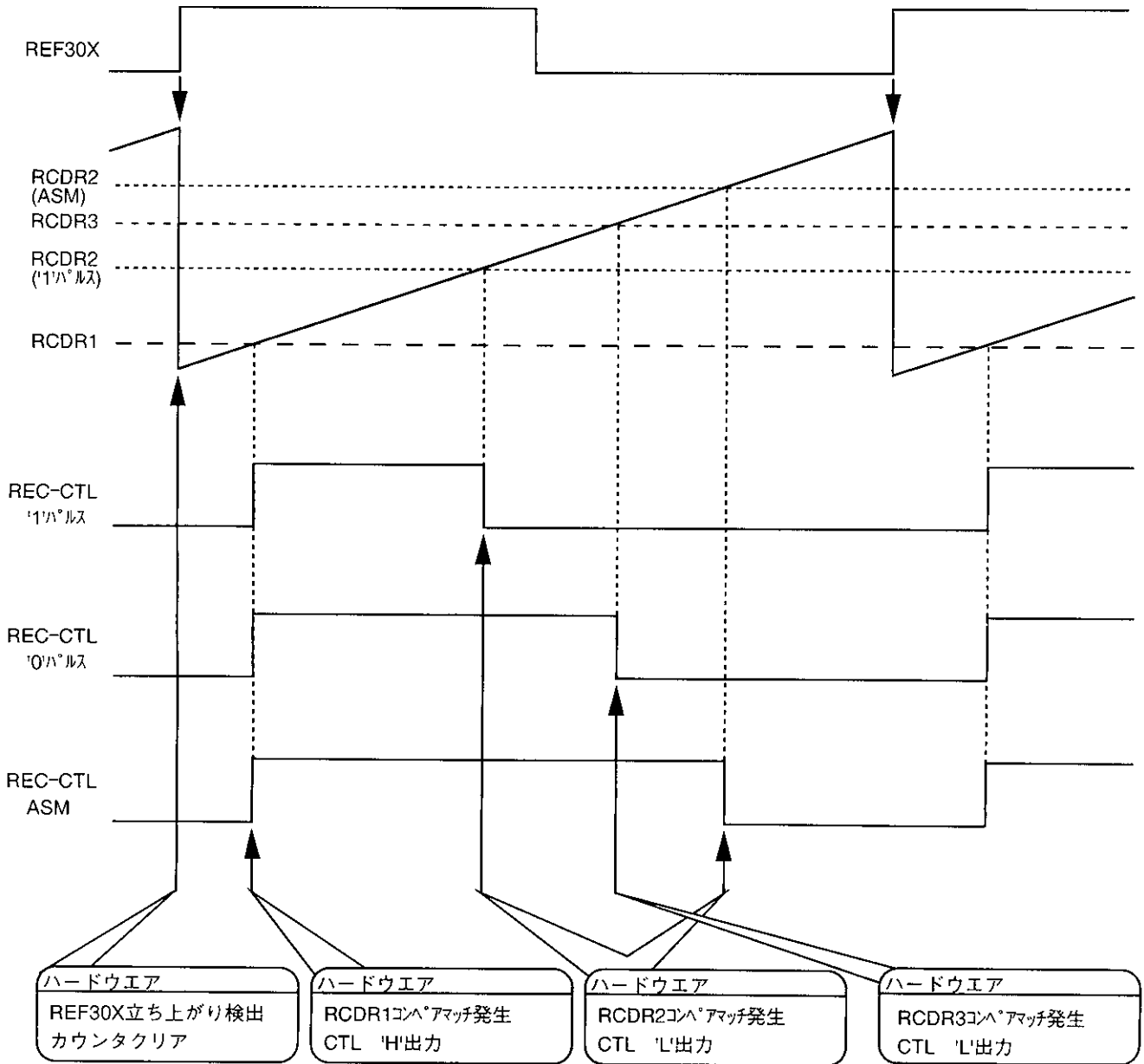
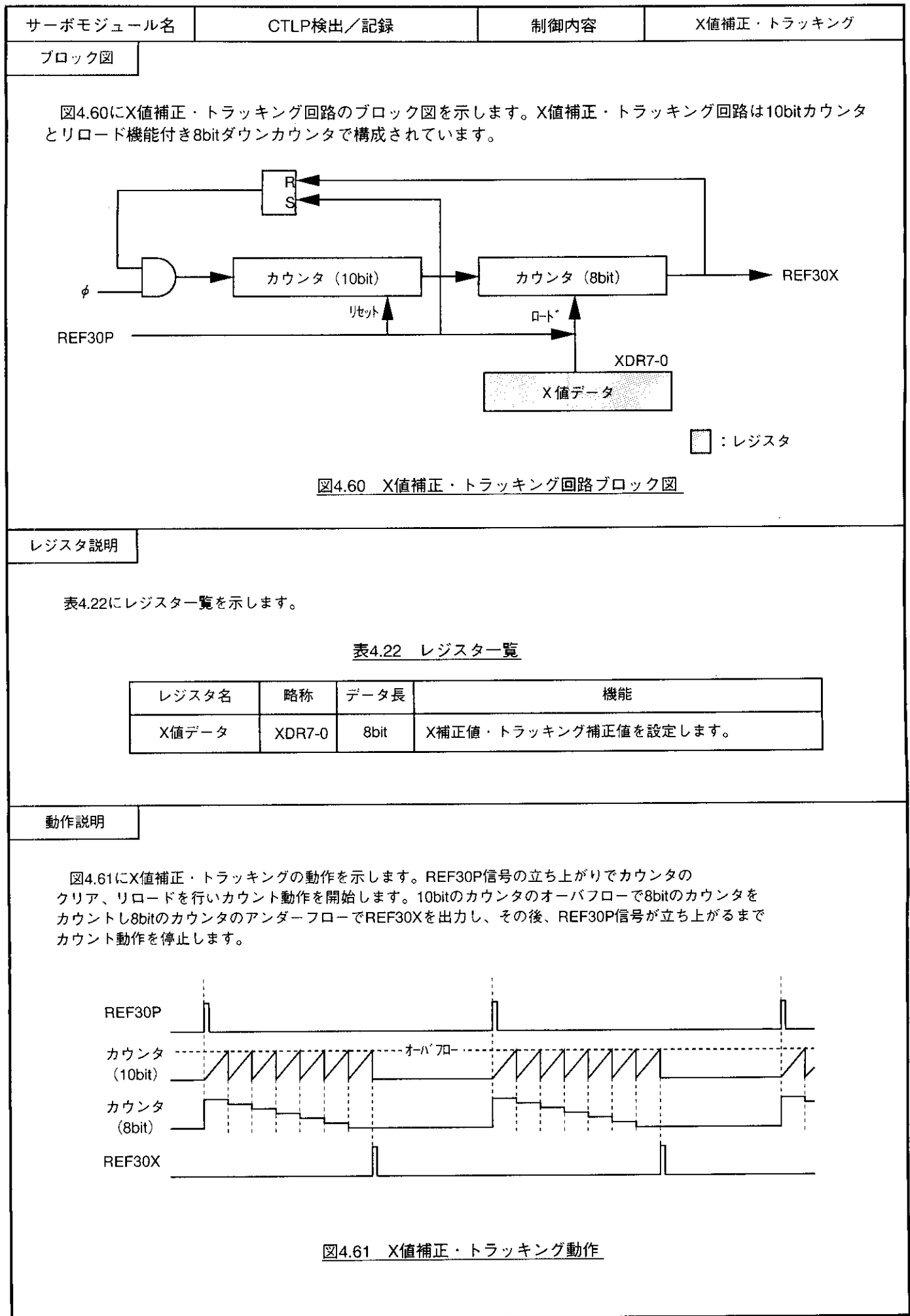


図4.59 CTL記録動作



5. アプリケーション機能の実現

5.1 FF/REWのスローランディング（該当サーボモジュール：キャプスタン制御）

5.1.1 FF/REW速度制御の方法

FF/REWの速度制御を行なう方法は（１）～（３）の方法があります。

（１）CFG分周値を変化させる方法（プリセット値一定）

この制御方法は図5.1に示すように、CFG分周値を大きく（加速時）または小さく（減速時）することによって速度の制御を行ないます。この方法はCFG分周値の1ステップ当りの速度変化が大きく、滑らかな速度制御には適していません。しかし、割り込みのタイミングは、速度に関わらず常に一定となるため、ソフトウェア処理の負担が軽く制御が容易です。

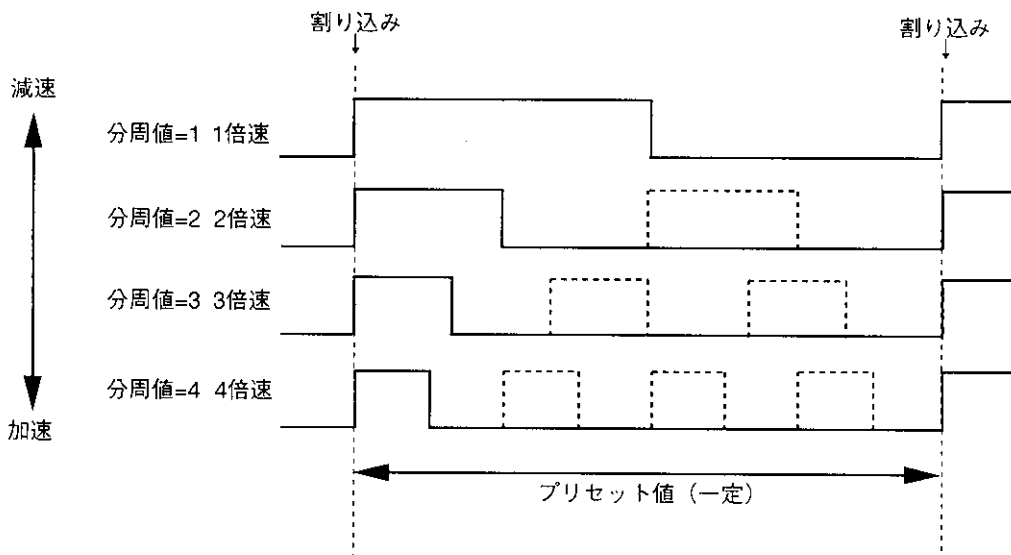


図5.1 CFG分周値を変化させる方法

（２）プリセット値を変化させる方法（CFG分周値一定）

この制御方法は図5.2に示すように、プリセット値を徐々に小さく（加速時）または徐々に大きく（減速時）することによって速度の制御を行ないます。この方法は速度を上げていくと、割り込み周期が短くなり、割り込み応答ができなくなるので、速度の制御範囲に限界があります。

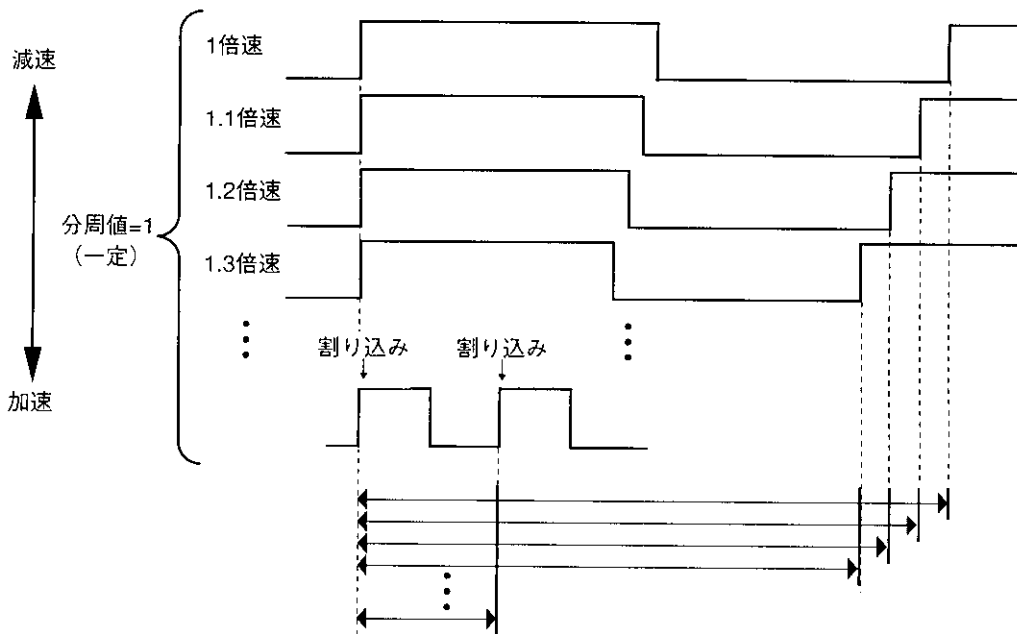


図5.2 プリセット値を変化させる方法

(3) プリセット値、CFG分周値ともに変化させる方法

この方法は図5.3に示すようにCFG分周1ステップの中で、プリセット値を段階的に変化させて速度の制御を行ないます。FF/REWのスローランディングでは、広範囲の速度域において滑らかな速度制御が必要なため、この制御方法を用いて速度制御を行ないます。

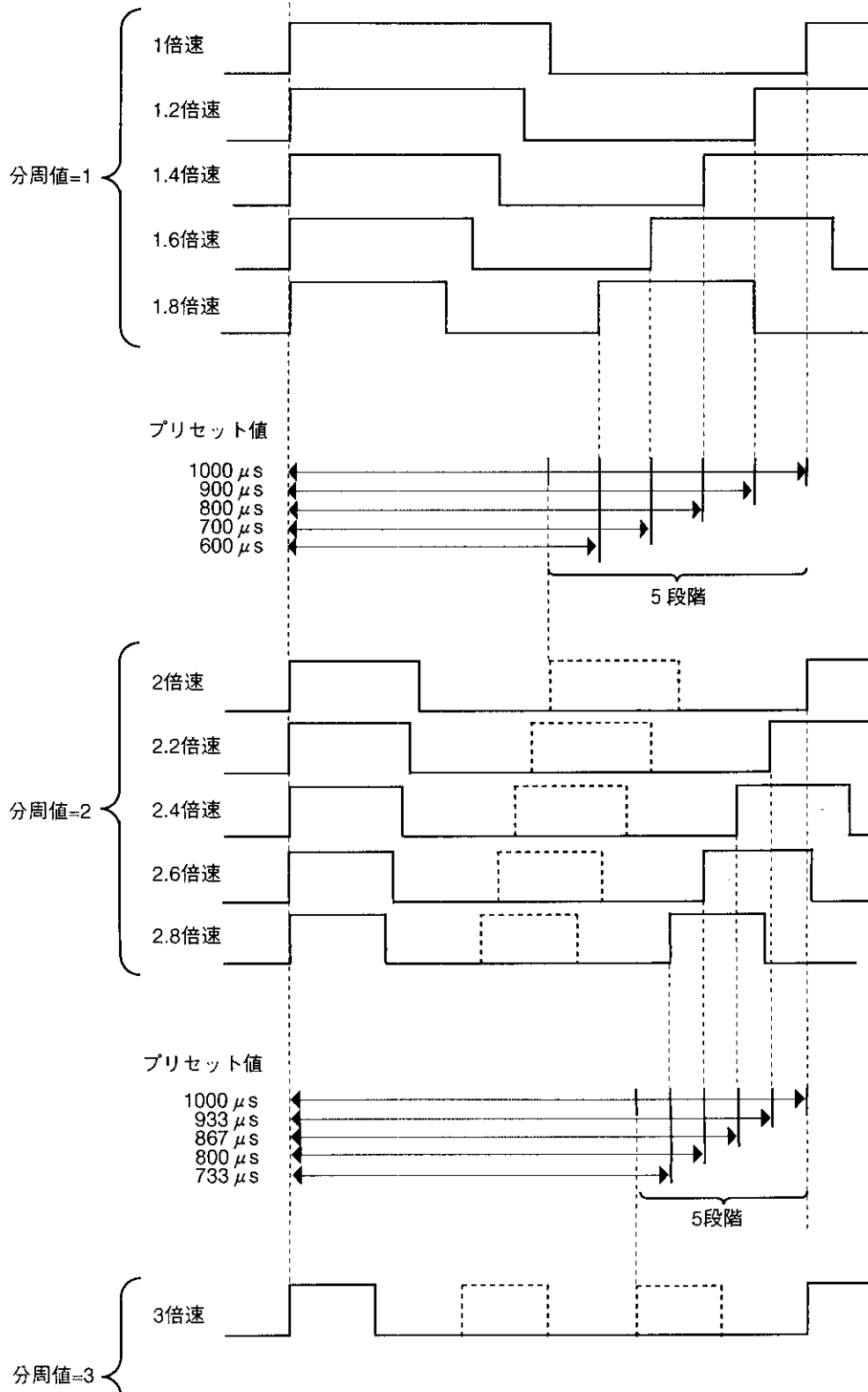


図5.3 CFG分周値およびプリセット値を変化させる方法

5.1.2 スローランディングのアルゴリズム

図5.4にスローランディングのソフトウェア処理を示します。FF/REWスローランディングはシステム制御ソフトウェア及びサーボ制御ソフトウェアで機能を実現します。システム制御ソフトウェアはテープ残量を検出し、テープ残量に対応した速度のプリセット値及びCFG分周値を設定します。

サーボ制御ソフトウェアは、設定されたプリセット値及びCFG分周値を各レジスタに設定します。

システム制御ソフトウェアは、各速度(例.200倍速、198倍速、196倍速…)のプリセット値およびCFG分周値のデータテーブルを用意します。

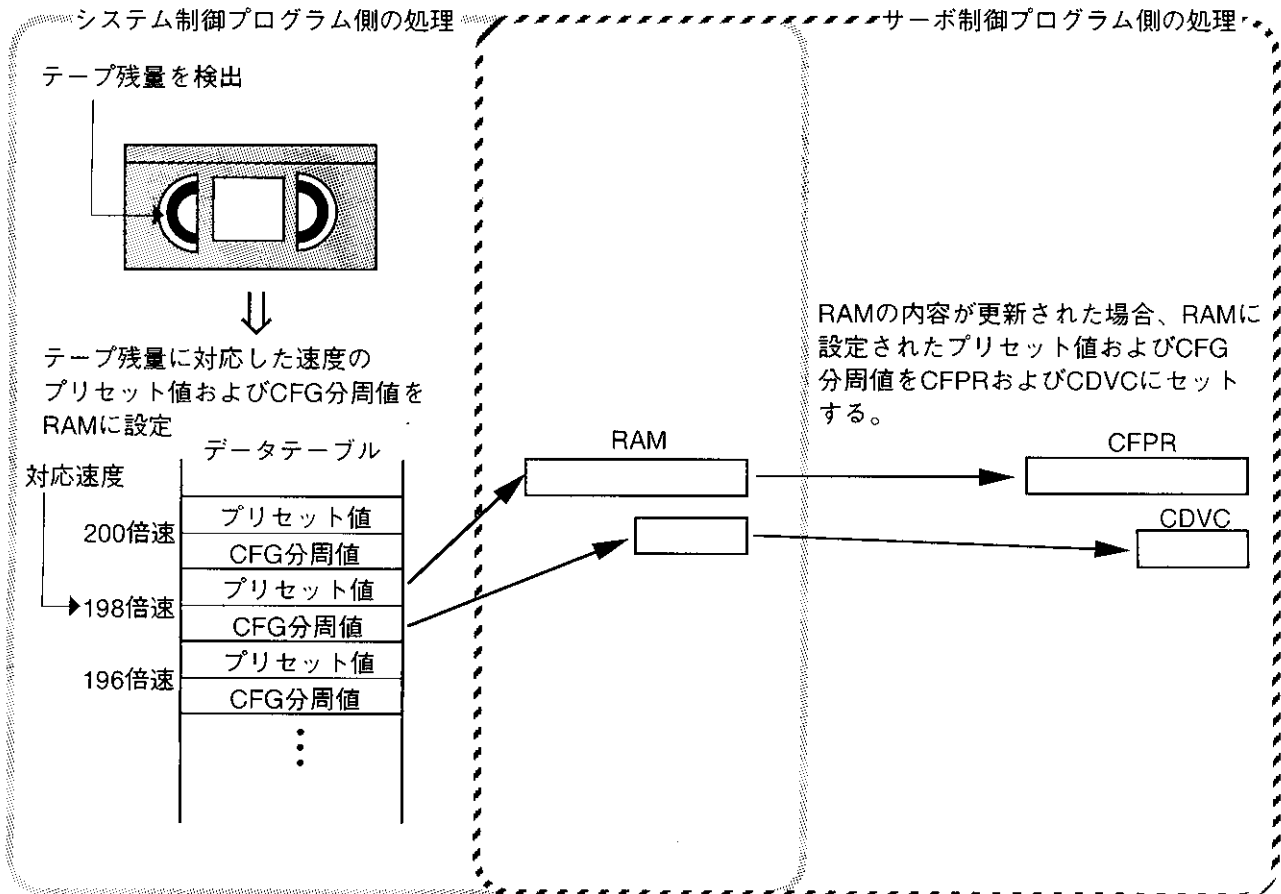


図5.4 FF/REWスローランディングの処理

5.1.3 データテーブルの構成

表5.1にデータテーブルの構成を示します。プリセット値は 式5.1より求めます。

表5.1 データテーブル構成

速度(倍速)	分周値	PB時のCFG周期	各分周のCFG周期	速度段階	1段階当たりのCFG周期変化	CFG周期	DVCFG周期
1.0	1	1000 μ s	1000/1 =1000 μ s	5	(1000-500)/5 =100 μ s	1000	1000
1.2						900	900
1.4						800	800
1.6						700	700
1.8						600	600
2.0	2		1000/2 =500 μ s	5	(500-333.3)/5 =33.3 μ s	500	1000
2.2						466.6	933
2.4						433.3	867
2.6						400.0	800
2.8						366.7	733
3.0	3		1000/3 =333.3 μ s	5	(333.3-250)/5 =16.7 μ s	333.3	1000
⋮	⋮		⋮	⋮	⋮	⋮	⋮
⋮	⋮		⋮	⋮	⋮	⋮	⋮
190	19		1000/19 =52.6 μ s	5	(52.6-50.0)/5 =0.52 μ s	52.6	1000
192						52.08	990
194						51.56	980
196						51.04	970
198						50.52	960
200	20		1000/20 =50 μ s			50.0	1000

$$\text{プリセット値} = H'8000 - (\text{DVCFG周期} \times \phi - 2) \cdots \text{式5.1}$$

ϕ : システムクロック ($f_{osc}/2$) (Hz)

5. 2 つなぎ録り制御 (該当サーボモジュール: CTLP検出/記録)

5. 2. 1 つなぎ録り

つなぎ録り制御は図5.5に示すように、記録済みのテープパターンとこれから記録するテープパターンの重なる部分の過不足を抑える制御です。重ね記録の過不足を抑えるため、記録済みトラックの最終位置を示すCTLパルスをASMマークとして記録し、記録開始時にこのASMマークを起点に記録を開始します。

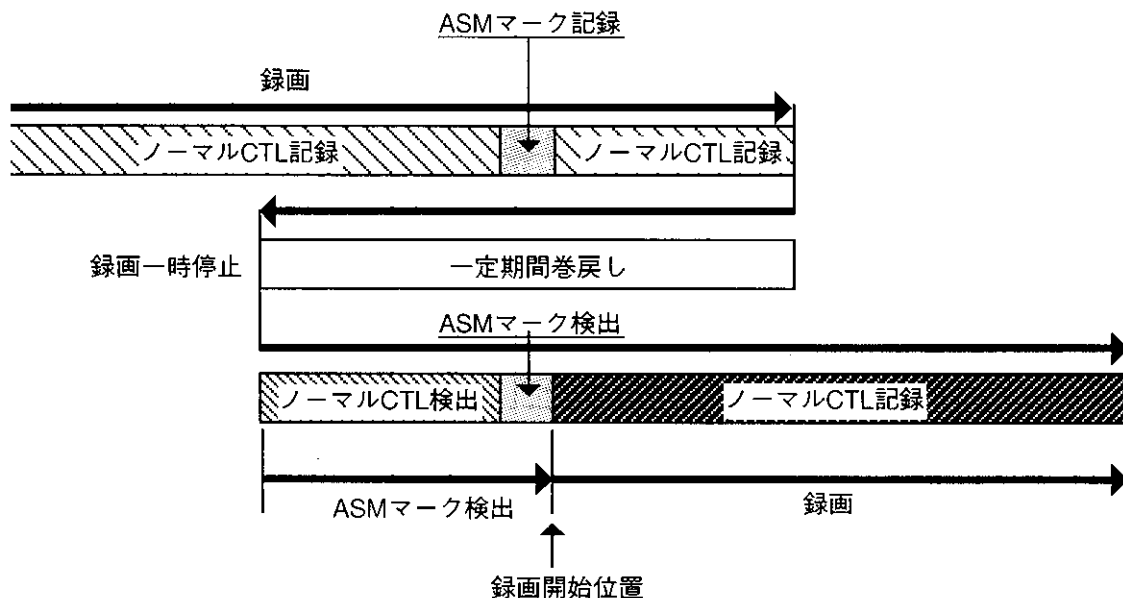


図5.5 つなぎ録り制御

5. 2. 2 つなぎ録り制御のタイミング

ASMマーク検出からCTL記録への切替タイミングを図5.6に示します。ASMマーク検出/記録のモード切替はCTLモードレジスタのモードを設定することで行ないます。また、ASMマーク検出モード時のキャプスタン位相検波信号Vsyncと記録モード時のキャプスタン位相検波信号DVCFG2に相関関係がありません。したがって、記録モードに切替る前にDVCFG2とVsyncの位相をソフトウェアで合わせます。

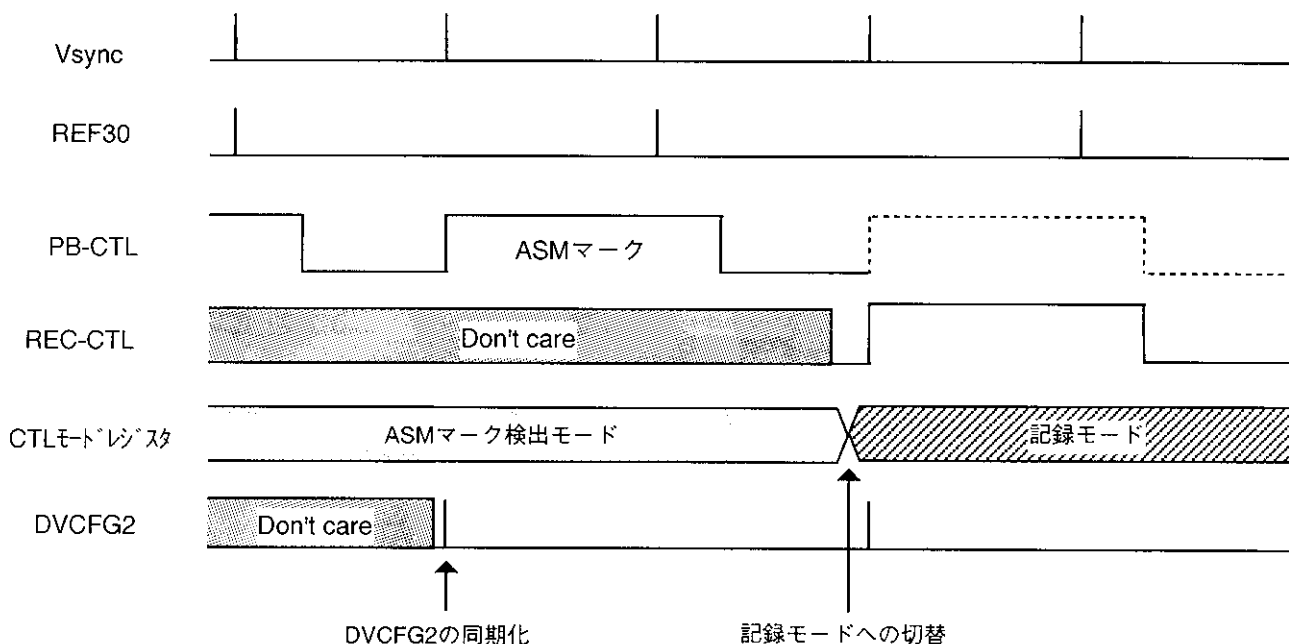


図5.6 つなぎ録り制御タイミング

5. 3 ヘッドスイッチの自動調整 (該当サーボモジュール：ヘッドスイッチ出力)

5. 3. 1 ヘッドスイッチの自動調整

図5.7に示すように、H.SW信号の立ち下がりからVD信号の立ち上がりまでの時間は、 $6.5H(413\mu s)\pm 0.5H$ の範囲内にする必要があります。ヘッドスイッチの自動調整は図5.8に示すように、ドラムの取付け誤差等によるH.SW信号の出力タイミングのズレを調整します。

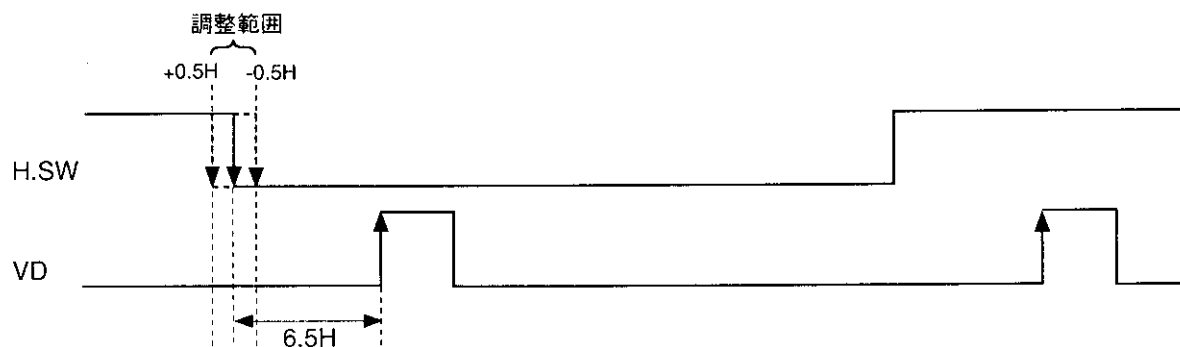


図5.7 H.SW信号とVD信号のタイミング

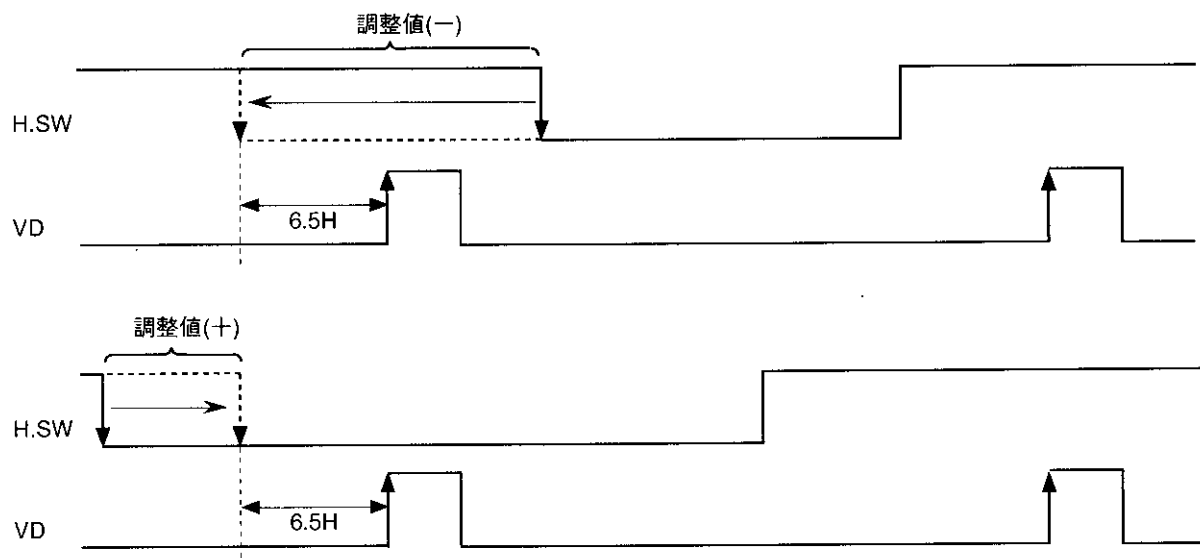


図5.8 H.SW信号の出力タイミング調整

5. 3. 2 自動調整の方法

ヘッドスイッチの自動調整では、以下に示す機能を使用して、H.SW信号のタイミング調整値を算出します。

- ・ H.SW割込み (H.SW信号の立ち下がりでの割込みを発生します。)
- ・ VD割込み (VD信号の立ち上がりでの割込みを発生します。)
- ・ タイマカウンタB、C (リロードレジスタBの内容を下位8ビット、リロードレジスタCの内容を上位8ビットとして、タイマカウンタBを $\phi/2$ でダウンカウントします。タイマカウンタCはタイマカウンタBのオーバーフローでダウンカウントします。)

5. 3. 3 調整値算出のアルゴリズム

図5.9にH.SW信号のタイミング調整値の算出アルゴリズムを示します。H.SW信号の立ち下がりからVD信号(図2の②)の立ち上がりまでの時間(タイマカウンタB,Cのカウンタ値)を計測し、目標値(6.5H時のカウンタ値=H'FFFF-17.093msのカウンタ値)との誤差から、H.SW信号のタイミング調整値を算出します。

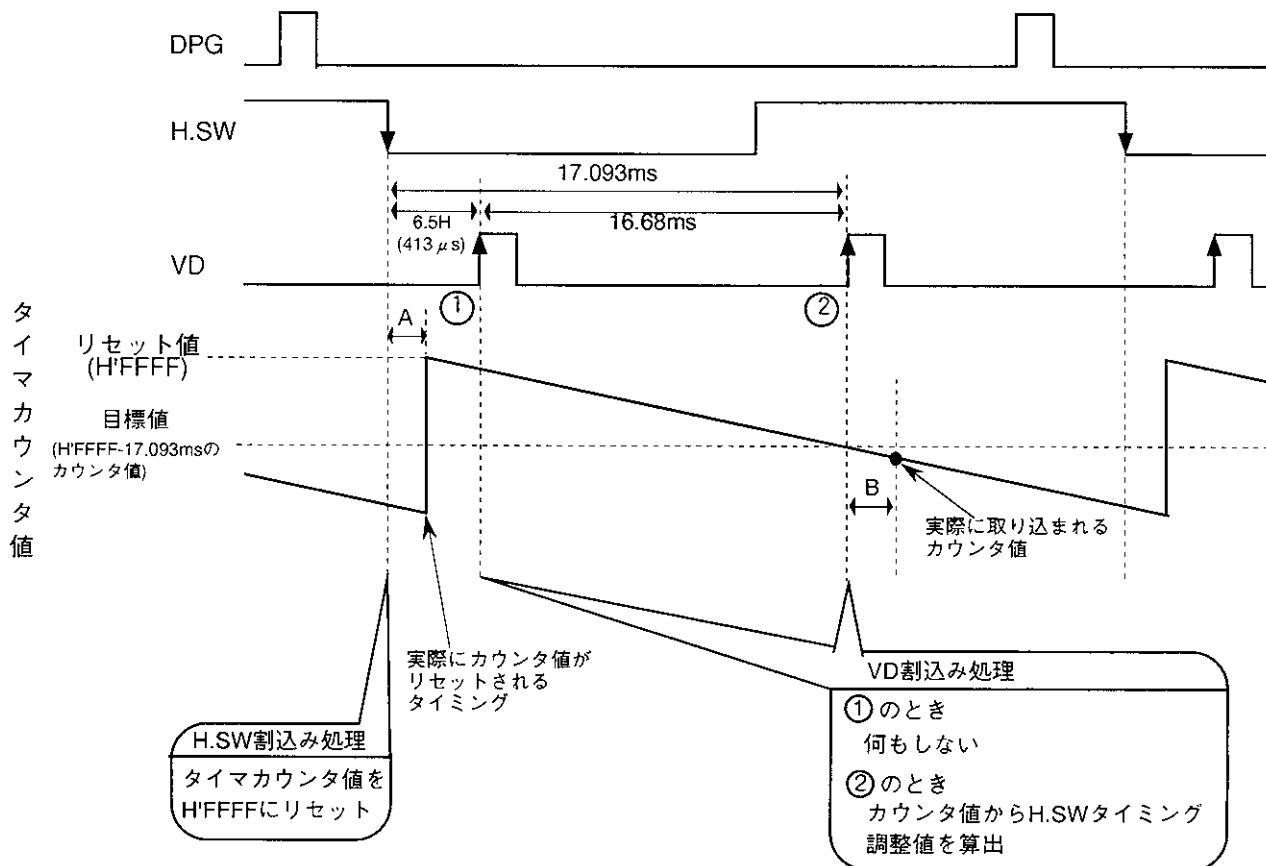


図5.9 調整値算出アルゴリズム

5. 3. 4 ソフトウェア処理

図5.10にH.SW割込み処理の概要を示します。H.SW割込みを受け付けてからタイマカウンタのリセット処理を行なうまでの時間は、26ステート(5.2 μ s : ϕ =5MHz)になります。

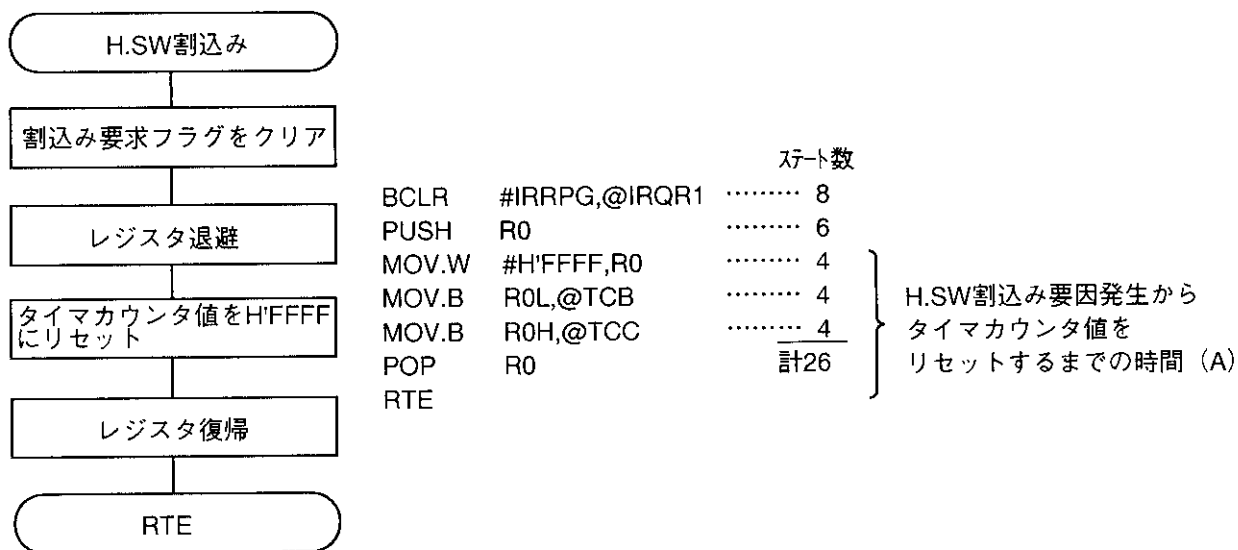


図5.10 H.SW割込み処理概要

図5.11にVD割込み処理の概要を示します。VD割込みを受け付けてからタイマカウンタ値をラッチするまでの処理時間は、24ステート(4.8 μ s : ϕ =5MHz)になります。

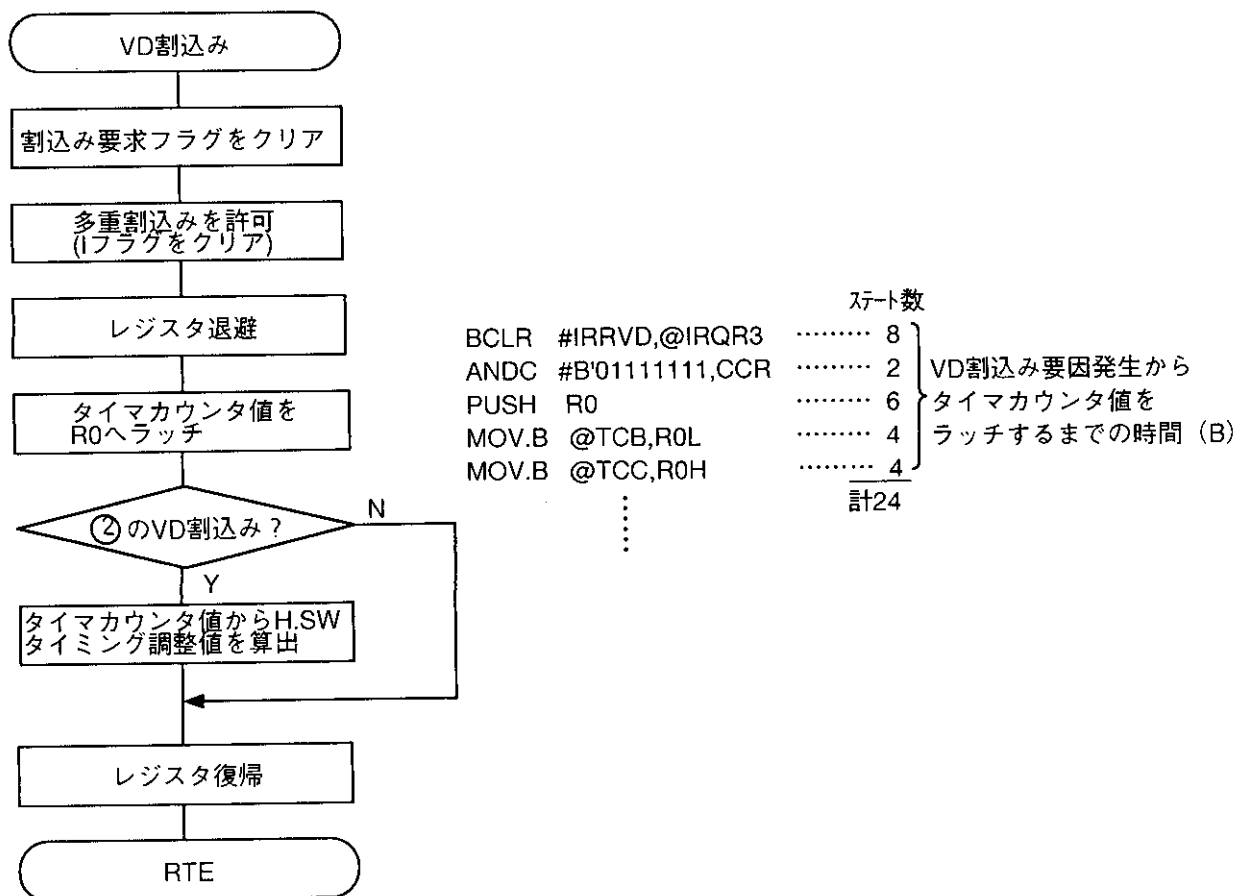


図5.11 VD割込み処理概要

H8/3977シリーズ VTRサーボ編 アプリケーションノート

発行年月 平成7年9月 第1版

平成8年11月 第2版

発 行 株式会社 日立製作所

半導体事業部

編 集 株式会社 日立マイコンシステム

技術情報センタ

©株式会社 日立製作所 1995

H8/3977 シリーズ VTR サーボ編 アプリケーションノート



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-502-050A