

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/38602R グループ

サブクロックによる A/D 変換

要旨

サブアクティブモードで、A/D 変換を行います。サブクロックは 32.768kHz の水晶発振子によるサブクロック発振回路を使用します。アナログ入力端子 0 (AN0) に可変抵抗を接続して、0.5 秒ごとに A/D 変換を行い、A/D 変換結果を内蔵 RAM に格納します。

動作確認デバイス

H8/38602R

目次

1. 仕様	2
2. 使用機能説明	3
3. 動作説明	6
4. ソフトウェア説明	7
5. フローチャート	13

1. 仕様

サブアクティブモードで A/D 変換を行います。サブクロックは 32.768kHz の水晶発振子によるサブクロック発振回路を使用します。アナログ入力端子 0 (AN0) に可変抵抗を接続して、0.5 秒ごとに A/D 変換を行い、A/D 変換結果を内蔵 RAM に格納します。なお、0.5 秒周期は RTC の 0.5 秒周期割り込み機能を使用します。図 1 にサブクロックによる A/D 変換動作のブロック図を示します。

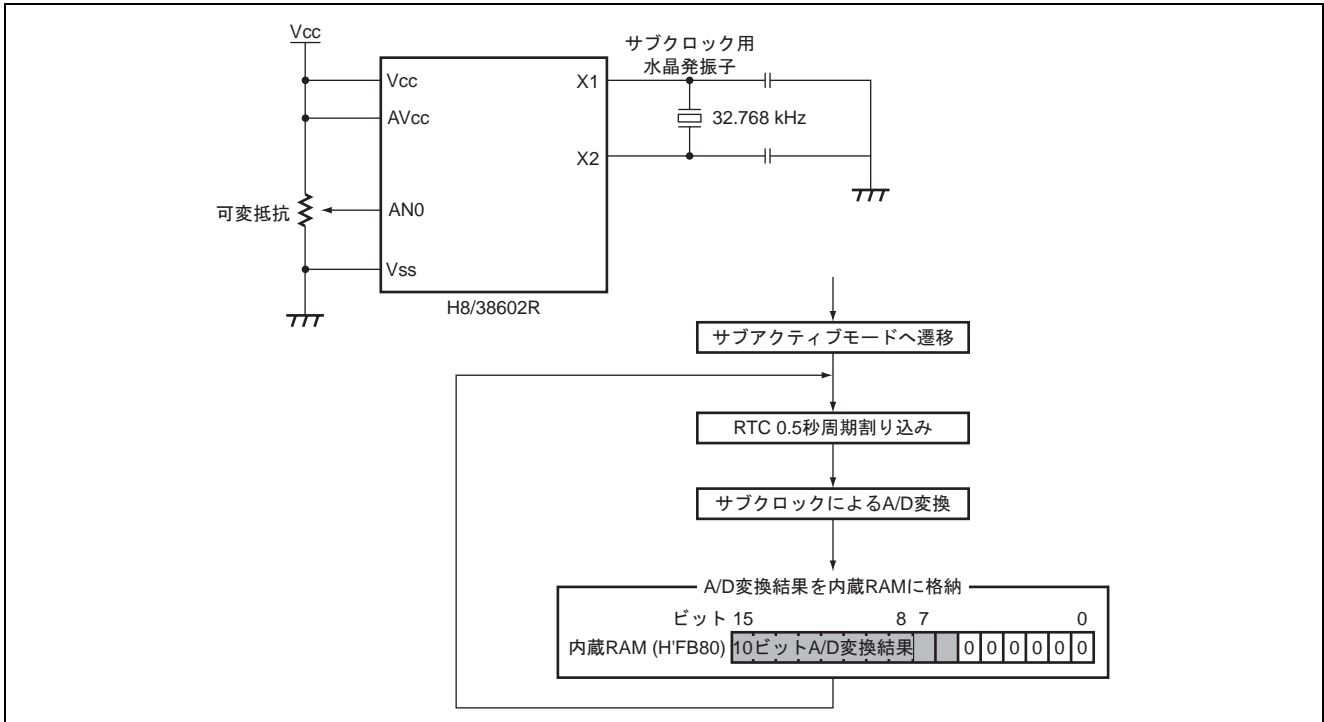


図 1 サブクロックによる A/D 変換動作

2. 使用機能説明

2.1 使用機能

本タスク例では、サブアクティブモードで、A/D 変換を行います。サブクロックは 32.768kHz の水晶発振子によるサブクロック発振回路を使用します。アナログ入力端子 0 (AN0) に可変抵抗を接続して、0.5 秒ごとに A/D 変換を行い、A/D 変換結果を内蔵 RAM に格納します。なお、0.5 秒周期は RTC の 0.5 秒周期割り込みを使用します。

2.1.1 A/D 変換器機能

逐次比較方式の 10 ビットの A/D 変換器で、6 チャンネルのアナログ入力を変換することが可能です。図 2 に A/D 変換器のブロック図を示します。

- A/D リザルトレジスタ (ADRR)
ADRR は A/D 変換結果を格納するための 16 ビットのリード専用レジスタで、ADRR に上位 10 ビットデータが格納されます。ADRR は常に CPU からリード可能です。A/D 変換中は ADRR の値は不定で、A/D 変換終了時に変換結果の 10 ビットデータが格納され、次の変換開始までこのデータが保持されます。ADRR の初期値は不定です。なお、ADRR のリードはワードサイズで行ってください。
- A/D モードレジスタ (AMR)
AMR は A/D 変換器の変換時間の設定、外部トリガの選択、およびアナログ入力端子の指定を行います。
- A/D スタートレジスタ (ADSR)
ADSR は A/D 変換の開始/停止の制御、ラダー抵抗の動作/停止を制御します。

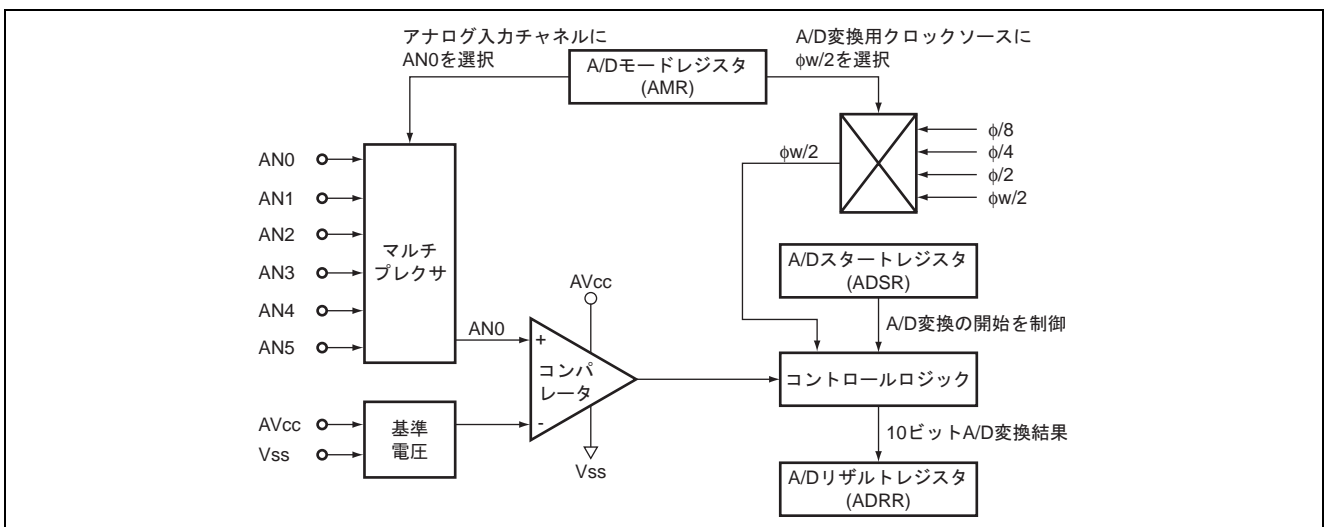


図 2 A/D 変換器

2.1.2 モジュールスタンバイ機能

モジュールスタンバイ機能により、A/D 変換器はリセット解除後モジュールスタンバイ状態に設定されています。クロック停止レジスタ 1 (CKSTPR1) の ADCKSTP を 1 に設定することにより A/D 変換器のモジュールスタンバイを解除します。

- クロック停止レジスタ 1 (CKSTPR1)
内蔵周辺モジュールをモジュール単位でスタンバイ状態に設定します。

2.1.3 ウォッチドッグタイマ機能

H8/38602R はウォッチドッグタイマを内蔵しており、リセット解除後、ウォッチドッグタイマはオンになります。タイマカウンタ WD (TCWD) はカウントアップ動作を行い、TCWD がオーバーフローすると H8/38602R 内部をリセットします。本タスク例では、ウォッチドッグタイマ機能を使用しないため、ウォッチドッグタイマ機能を停止させます。

- タイマコントロール/ステータスレジスタ WD1 (TCSRWD1)

TCSRWD1 は TCSRWD1 自身と TCWD の書き込み制御を行うレジスタです。また、ウォッチドッグタイマの動作制御と動作状態を示す機能も持っています。本レジスタの書き換えは MOV 命令で行います。ビット操作命令では設定値の変更ができません。

2.1.4 低消費電力モード (サブアクティブモード) 機能

サブアクティブモードでは、システムクロック発振器が停止し、IIC2 以外の内蔵周辺モジュールは動作します。規定の電圧が与えられている限り、一部の内蔵周辺モジュールの内部レジスタ値は保持されます。

サブアクティブモードは、SLEEP 命令を実行すると解除されます。解除後のモードは、システムコントロールレジスタ 1 (SYSCR1) の SSBY ビットと LSON ビット、TMA3 ビット、システムコントロールレジスタ 2 (SYSCR2) の MSON ビットと DTON ビットの組み合わせによりサブスリープモード、アクティブモード、ウォッチモードへ遷移します。なお、コンディションコードレジスタ (CCR) の I ビットが 1 の場合、あるいは割り込みイネーブルレジスタにより当該割り込みの受付が禁止されている場合は、サブアクティブモードは解除されません。

サブアクティブモードの動作周波数は、SYSCR2 の SA1, SA0 ビットにより、ウォッチクロック (ϕ_w)、ウォッチクロックの 2 分周, 4 分周, 8 分周から選択できます。動作周波数は SLEEP 命令実行後、SLEEP 命令実行前に設定した周波数に切り換わります。

本タスク例では、アクティブ (高速) モードからサブアクティブモードへ直接遷移します。CPU がプログラムを実行している動作モードにはアクティブモードとサブアクティブモードがあります。直接遷移はこの 2 つの動作モード間でプログラムの実行を停止することなく遷移します。SYSCR2 の DTON ビットを 1 にセットして SLEEP 命令を実行すると直接遷移します。アクティブモード、サブアクティブモードで動作周波数を変更する場合にも有効です。遷移後は直接遷移割り込み例外処理を開始します。CCR の I ビットを 1 の状態で直接遷移を行うとスリープモード、またはウォッチモードに遷移した後、割り込みによる解除ができませんので注意してください。

アクティブ (高速) モードからサブアクティブモードへの直接遷移は、アクティブ (高速) モードで SYSCR1 の SSBY ビットを 1, TMA3 ビットを 1, LSON ビットを 1, SYSCR2 の DTON を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

図 3 にアクティブ (高速) モードからサブアクティブモードへの直接遷移のブロック図を示します。

- システムコントロールレジスタ 1 (SYSCR1)
SYSCR1 は SYSCR2 とともに低消費電力モードの制御を行います。
- システムコントロールレジスタ 2 (SYCCR2)
SYSCR2 は SYSCR1 とともに低消費電力モードの制御を行います。

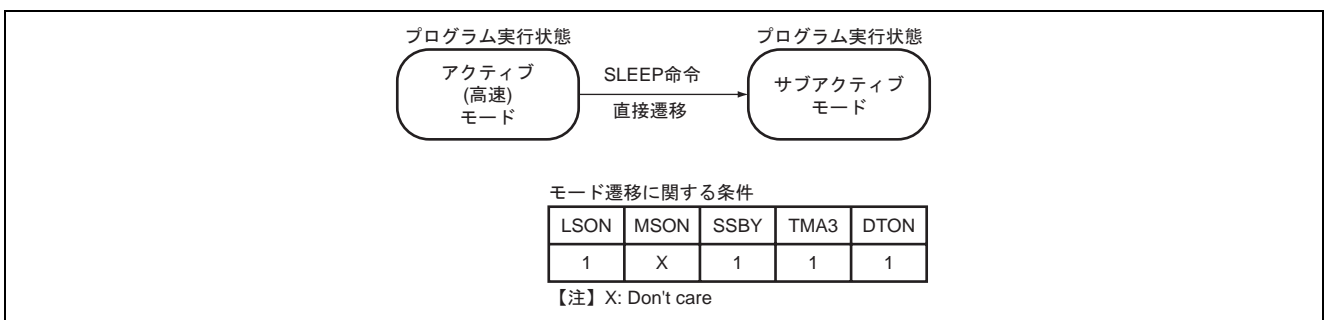


図 3 アクティブ (高速) モードからサブアクティブモードへの直接遷移

2.1.5 RTC 機能

本タスク例では、RTC の 0.5 秒周期割り込みを使用して、サブクロックによる A/D 変換を行います。

- RTC コントロールレジスタ 1 (RTCCR1)
RTCCR1 は時計タイマの動作開始/停止の制御、12 時間モード/24 時間モードの設定、RTC のリセット制御、割り込み発生タイミングの制御を行います。
- RTC コントロールレジスタ 2 (RTCCR2)
RTCCR2 は週、日、時、分、1 秒、0.5 秒、および 0.25 秒の RTC 周期割り込みを制御します。週、日、時、分、1 秒、0.5 秒、および 0.25 秒の各割り込みを許可すると、割り込みが発生した場合、RTC 割り込みフラグレジスタ (RTCFLG) の対応するフラグが 1 にセットされます。
- クロックソースレジスタ (RTCCSR)
RTCCSR はクロックソースの選択を行います。
- RTC 割り込みフラグレジスタ (RTCFLG)
RTCFLG は割り込みが発生したときに、対応するフラグをセットします。各フラグは割り込みが受け付けられてもオートクリアされません。フラグをクリアする場合は 0 をライトしてください。

2.1.6 例外処理機能

本タスク例では、0.5 秒ごとの RTC 割り込み処理により、サブクロックによる A/D 変換を行います。

- 割り込みイネーブルレジスタ 1 (IENR1)
RTC 割り込み要求をイネーブルにします。

2.2 機能割り付け

本タスク例の機能割り付けを表 1 に示します。表 1 に示すように機能を割り付け、サブクロックによる A/D 変換を行います。

表 1 機能割り付け

機能	機能割り付け
ADDR	10 ビットの A/D 変換結果を格納
AMR	アナログ入力チャンネルを AN0 に設定、A/D 変換用のクロックソースを $\phi_w/2$ に設定
ADSR	A/D 変換の開始/停止を設定
CKSTPR1	A/D 変換器のモジュールスタンバイを解除
TCSRWD1	ウォッチドッグタイマを停止
SYSCR1	SYSCR2 とともにサブアクティブモードへの直接遷移を制御
SYSCR2	SYSCR1 とともにサブアクティブモードへの直接遷移を制御
RTCCR1	時計タイマのリセット、動作開始/停止を制御
RTCCR2	0.5 秒周期割り込み要求をイネーブルに設定
RTCCSR	32.768kHz RTC 動作を設定
RTCFLG	0.5 秒周期割り込み要求ステータスフラグ
IENR1	RTC 割り込み要求をイネーブルに設定

3. 動作説明

本タスク例では、サブアクティブモードで、A/D 変換を行います。サブクロックは 32.768kHz の水晶発振子によるサブクロック発振回路を使用します。アナログ入力端子 0 (AN0) に可変抵抗を接続して、0.5 秒ごとに A/D 変換を行い、A/D 変換結果を内蔵 RAM に格納します。なお、0.5 秒周期は RTC の 0.5 秒周期割り込みを使用します。図 4 にサブクロックによる A/D 変換の動作説明を示します。

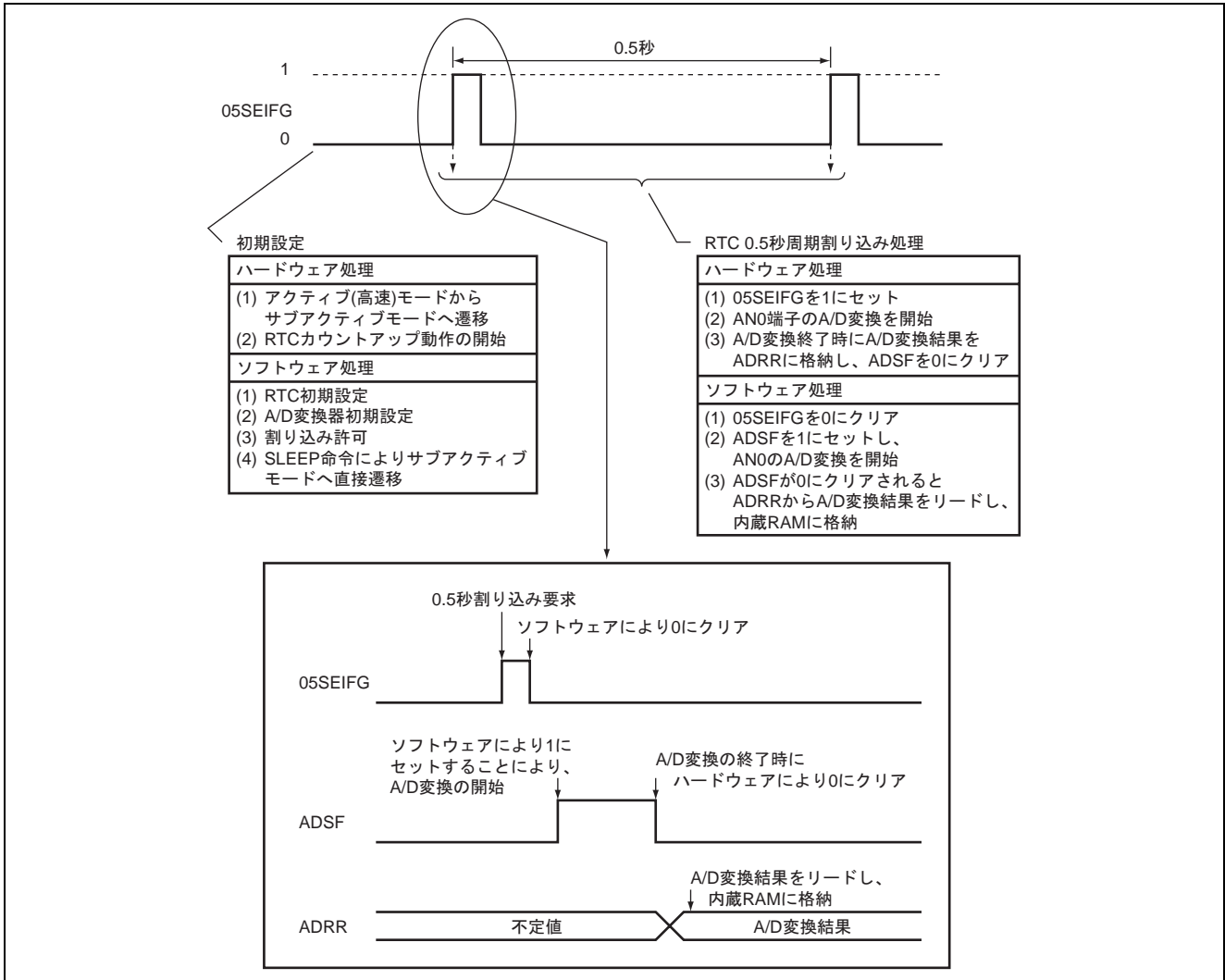


図 4 動作説明

4. ソフトウェア説明

4.1 モジュール説明

本タスク例のモジュールを表 2 に示します。

表 2 モジュール説明

関数名	機能
main	ウォッチドッグタイマの停止, A/D 変換器のモジュールスタンバイの解除, RTC, A/D 変換器の初期設定, 割り込み許可, サブアクティブモードへの直接遷移
int_rtc	0.5 秒周期割り込み処理, AN0 の A/D 変換を行い, A/D 変換結果を内蔵 RAM に格納
int_sleep	直接遷移割り込み処理

4.2 引数の説明

本タスク例では, 引数を使用しません。

4.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。

- ADRR A/D リザルトレジスタ アドレス: H'FFBC

ビット	ビット名	設定値	R/W	機能
15	ADR9	-	R	ADRR は A/D 変換結果を格納するための 16 ビットのリード専用レジスタで, ADRR に上位 10 ビットデータが格納されます。ADRR は常に CPU からのリードが可能です。A/D 変換中は ADRR の値は不定で, A/D 変換終了時に変換結果の 10 ビットデータが格納され, 次の変換開始までこのデータが保持されます。ADRR の初期値は不定です。また, 本レジスタのリードは, ワードサイズで行ってください。
14	ADR8	-	R	
13	ADR7	-	R	
12	ADR6	-	R	
11	ADR5	-	R	
10	ADR4	-	R	
9	ADR3	-	R	
8	ADR2	-	R	
7	ADR1	-	R	
6	ADR0	-	R	

● AMR A/D モードレジスタ アドレス : H'FFBE

ビット	ビット名	設定値	R/W	機能
5	CKS1	1	R/W	クロックセレクト 1, 0 A/D 変換用クロックソースを選択します。 00 : $\phi/8$ (変換時間 = 124 ステート (max.) (基準クロック = ϕ)) 01 : $\phi/4$ (変換時間 = 62 ステート (max.) (基準クロック = ϕ)) 10 : $\phi/2$ (変換時間 = 31 ステート (max.) (基準クロック = ϕ)) 11 : $\phi_W/2$ (変換時間 = 31 ステート (max.) (基準クロック = ϕ_{SUB})) 【注】 設定値 11 でサブアクティブモード, サブスリープモード時では, CPU 動作クロックが ϕ_W のときのみ, A/D 変換器が使用可能となります。
4	CKS0	1	R/W	
3	CH3	0	R/W	チャンネルセレクト 3~0 アナログ入力チャンネルの選択を行います。 00xx : 非選択 0100 : AN0 0101 : AN1 0110 : AN2 0111 : AN3 1000 : AN4 1001 : AN5 101x : 非選択 11xx : 非選択 【注】 1. チャンネル選択の切り換えは, ADSF = 0 の状態で行ってください。 2. x : Don't Care
2	CH2	1	R/W	
1	CH1	0	R/W	
0	CH0	0	R/W	

● ADSR A/D スタートレジスタ アドレス : H'FFBF

ビット	ビット名	設定値	R/W	機能
7	ADSF	1	R/W	このビットを 1 にセットすると A/D 変換を開始します。変換が終了すると変換データは ADDR にセットされます。同時に ADSF は 0 にクリアされ, A/D 変換を終了します。また, このビットに 0 をライトすることで A/D 変換を強制終了することができます。
6	LADS	0	R/W	ラダー抵抗セレクト 0 : A/D 変換器が待機中, ラダー抵抗は接続する 1 : A/D 変換器が待機中, ラダー抵抗は停止 【注】 スタンバイモード, ウォッチモード, モジュールスタンバイモード, およびリセット時, 常にラダー抵抗は停止です。

● CKSTPR1 クロック停止レジスタ 1 アドレス : H'FFFA

ビット	ビット名	設定値	R/W	機能
4	ADCKSTP	1	R/W	A/D 変換器モジュールスタンバイ このビットが 0 のとき, A/D 変換器はモジュールスタンバイ状態。

● TCSRWD1 タイマコントロール/ステータスレジスタ WD1 アドレス：H'FFB1

ビット	ビット名	設定値	R/W	機能
7	B6WI	1	R/W	ビット 6 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 6 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
6	TCWE	0	R/W	タイマカウンタ WD 書き込み許可 このビットが 1 のとき TCWD がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください。
5	B4WI	1	R/W	ビット 4 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 4 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
4	TCSRWE	0	R/W	タイマコントロール/ステータスレジスタ WD1 書き込み許可 このビットが 1 のとき、このレジスタのビット 2 およびビット 0 がライトイネーブルとなります。このビットにデータを書き込むときにはビット 5 の書き込み値は 0 にしてください。
3	B2WI	1	R/W	ビット 2 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 2 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
2	WDON	0	R/W	ウォッチドッグタイマオン このビットを 1 にセットすると、TCWD がカウントアップを開始します。0 にクリアすると TCWD はカウントアップを停止します。 [クリア条件] TCSRWE = 1 の状態で、B2WI に 0、WDON に 0 をライトしたとき [セット条件] TCSRWE = 1 の状態で、B2WI に 0、WDON に 1 をライトしたとき
1	B0WI	1	R/W	ビット 0 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 0 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
0	WRST	0	R/W	ウォッチドッグタイマリセット [クリア条件] RES 端子によるリセット TCSRWE = 1 の状態で、B0WI に 0、WRST に 0 をライトしたとき [セット条件] TCWD がオーバフローし、内部リセット信号が発生したとき

● SYSCR1 システムコントロールレジスタ 1 アドレス : H'FFF0

ビット	ビット名	設定値	R/W	機能
7	SSBY	1	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を選択します。 0 : スリープモード, あるいはサブスリープモードに遷移 1 : スタンバイモード, あるいはウォッチモードへ遷移
3	LSON	1	R/W	ロースピードオンフラグ ウォッチモードを解除したときに CPU の動作クロックをシステムクロック (ϕ) にするか, サブクロック (ϕ_{SUB}) にするか選択します。 0 : CPU の動作クロックはシステムクロック (ϕ) 1 : CPU の動作クロックはサブクロック (ϕ_{SUB})
2	TMA3	1	R/W	SYSCR1 の SSBY ビット, LSON ビット, SYSCR2 の DTON ビット, MSON ビットとの組み合わせにより, SLEEP 命令実行後の遷移先を選択します。

● SYSCR2 システムコントロールレジスタ 2 アドレス : H'FFF1

ビット	ビット名	設定値	R/W	機能
3	DTON	1	R/W	ダイレクトトランスファオンフラグ SYSCR1 の SSBY ビット, TMA3 ビット, LSON ビット, SYSCR2 の MSON ビットとの組み合わせにより, SLEEP 命令実行後の遷移先を選択します。
2	MSON	0	R/W	ミドルスピードオンフラグ スタンバイモード, ウォッチモード, スリープモード解除後, アクティブ (高速) モードで動作させるか, アクティブ (中速) モードで動作させるか選択します。 0 : アクティブ (高速) モード 1 : アクティブ (中速) モード
1 0	SA1 SA0	1 1	R/W R/W	サブアクティブモードクロックセレクト 1, 0 サブアクティブモード, およびサブスリープモードの動作クロック周波数を選択します。クロックは SLEEP 命令実行後, 設定した周波数に切り換わります。 00 : $\phi_W/8$ 01 : $\phi_W/4$ 10 : $\phi_W/2$ 11 : ϕ_W

● RTCCR1 RTC コントロールレジスタ 1 アドレス : H'F06C

ビット	ビット名	設定値	R/W	機能
7	RUN	1	R/W	RTC 動作開始 0 : RTC は動作停止 1 : RTC は動作開始
4	RST	0	R/W	リセット 0 : 通常動作 1 : RTCCSR およびこのビットを除く全レジスタ, 制御回路をリセットします。なお 1 にセットした後は, 必ずこのビットを 0 にクリアしてください。

• RTCCR2 RTC コントロールレジスタ 2 アドレス : H'F06D

ビット	ビット名	設定値	R/W	機能
1	05SEIE	1	R/W	0.5 秒周期割り込み許可 0 : 0.5 秒周期割り込みを禁止 1 : 0.5 秒周期割り込みを許可

• RTCCSR クロックソースセレクトレジスタ アドレス : H'F06F

ビット	ビット名	設定値	R/W	機能
3	RCS3	1	R/W	クロックソース選択 0000 : $\phi/8$ (フリーランカウンタ動作) 0001 : $\phi/32$ (フリーランカウンタ動作) 0010 : $\phi/128$ (フリーランカウンタ動作) 0011 : $\phi/256$ (フリーランカウンタ動作) 0100 : $\phi/512$ (フリーランカウンタ動作) 0101 : $\phi/2048$ (フリーランカウンタ動作) 0110 : $\phi/4096$ (フリーランカウンタ動作) 0111 : $\phi/8192$ (フリーランカウンタ動作) 1xxx : 32.768kHz (RTC 動作) 【注】 x : Don't Care
2	RCS2	0	R/W	
1	RCS1	0	R/W	
0	RCS0	0	R/W	

• RTCFLG RTC 割り込みフラグレジスタ アドレス : H'F067

ビット	ビット名	設定値	R/W	機能
1	05SEIFG	0	R/(W)*	[セット条件] 0.5 秒周期割り込みが発生したとき [クリア条件] 05SEIFG = 1 の状態で、05SEIFG に 0 をライトしたとき

【注】 * フラグクリアのための 0 ライトのみ可能です。

• IENR1 割り込みイネーブルレジスタ 1 アドレス : H'FFF3

ビット	ビット名	設定値	R/W	機能
7	IENRTC	1	R/W	RTC 割り込み要求イネーブル このビットを 1 にセットすると、RTC 割り込み要求がイネーブルになります。

4.4 使用 RAM 説明

本タスク例の使用 RAM 説明，機能説明を以下に示します。

表 3 使用する RAM

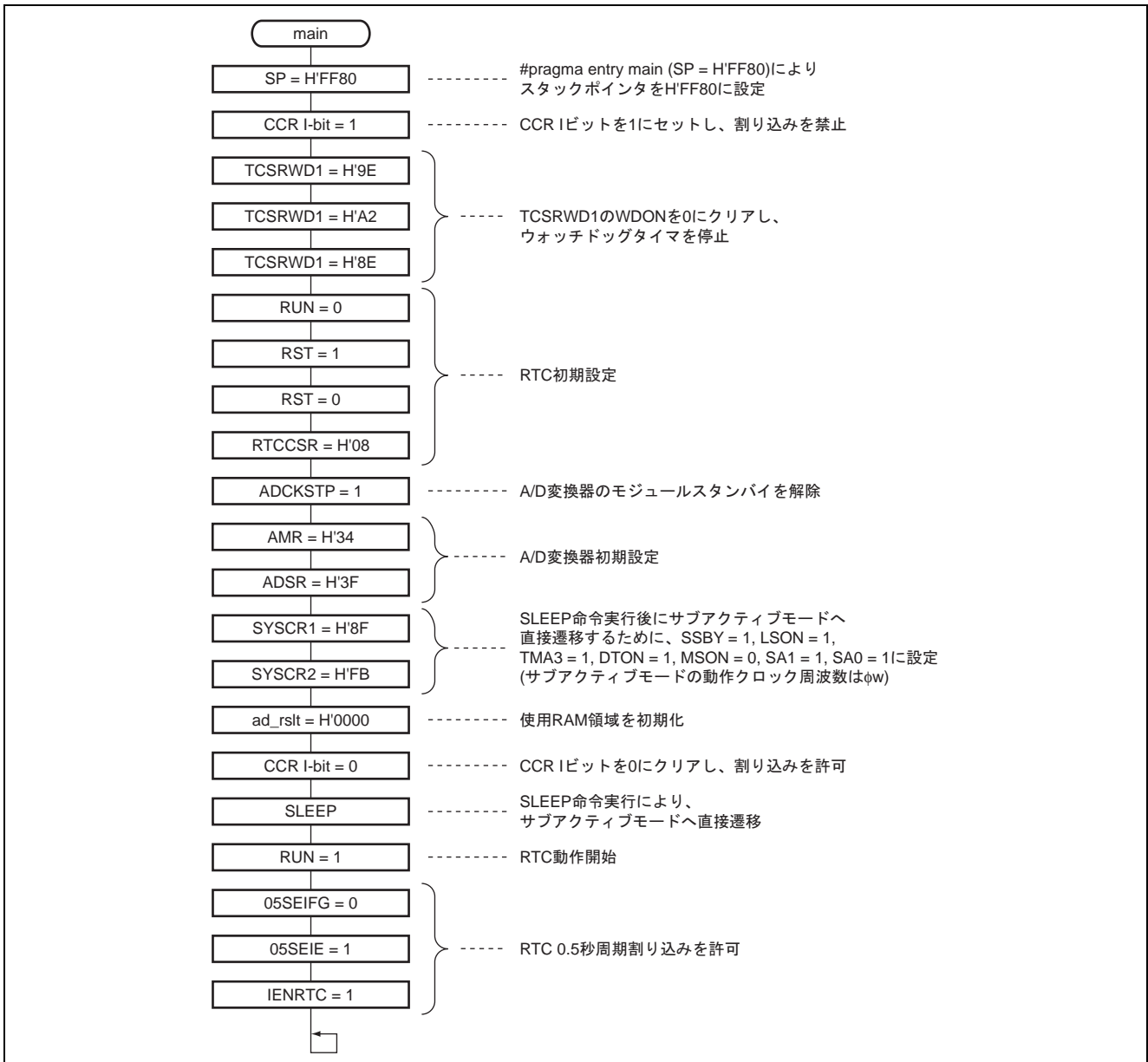
定数名	説明	メモリ消費量	使用関数名
ad_rslt	10 ビット A/D 変換結果を格納	1 ワード	main, int_rtc

- ad_rslt A/D 変換結果 アドレス：H'FB80

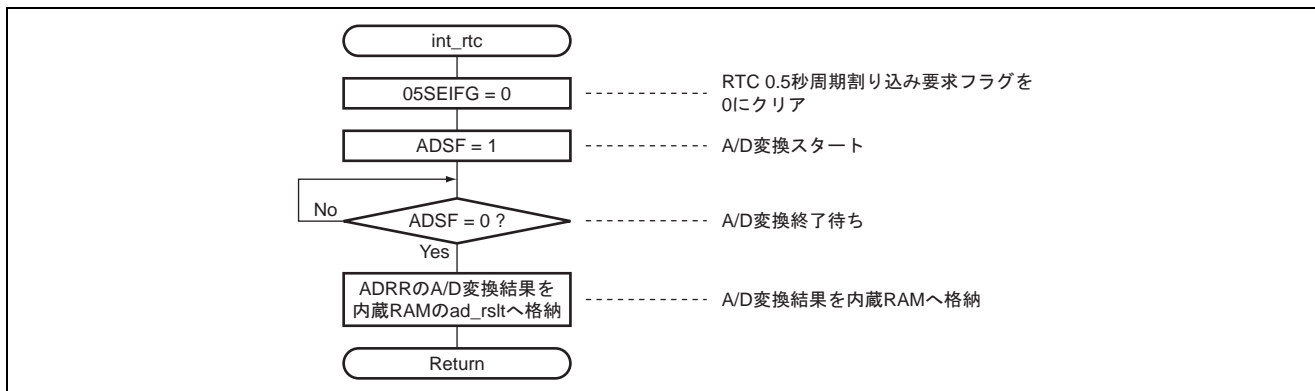
ビット	ビット名	初期値	機能
15	ad_rslt9	0	A/D 変換結果 10 ビット A/D 変換結果を格納
14	ad_rslt8	0	
13	ad_rslt7	0	
12	ad_rslt6	0	
11	ad_rslt5	0	
10	ad_rslt4	0	
9	ad_rslt3	0	
8	ad_rslt2	0	
7	ad_rslt1	0	
6	ad_rslt0	0	
5~0	-	0	未使用

5. フローチャート

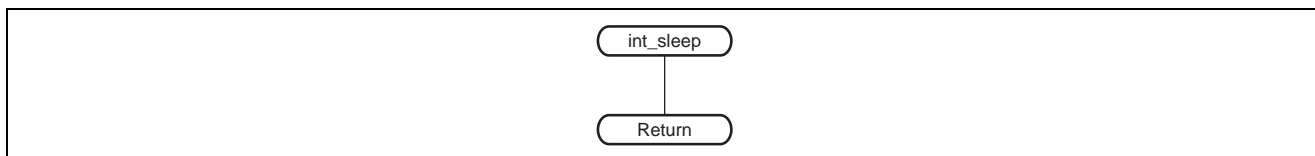
5.1 main



5.2 int_rtc



5.3 int_sleep



5.4 リンクアドレス指定

セクション名	アドレス
CVECT	H'0000
P	H'0100
B	H'FB80

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.03.18	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。