

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## H8/38602R グループ

### 4 線式バス通信モードによるマスタ/スレーブ通信と割り込み

---

#### 要旨

SSU (Synchronous Serial communication Unit) の 4 線式バス通信モードにより、割り込みを使用し、通信を行います。

#### 動作確認デバイス

H8/38602R

#### 目次

1. 仕様 .....	2
2. 使用機能説明 .....	3
3. 動作説明 .....	6
4. ソフトウェア説明 (スレーブ) .....	8
5. ソフトウェア説明 (マスタ) .....	19

1. 仕様

- 図 1 に示すように、H8/38602R の SSU の 4 線式バス通信モードにより、割り込みを使用し、通信を行います。
- 本タスク例では、マスタ側が 4 バイトのデータを送信し、スレーブ側が 4 バイトのデータを受信します。スレーブ側は受信した 4 バイトのデータをマスタ側へ送信し、マスタ側が 4 バイトのデータを受信します。
- 本タスク例での転送クロックレートは、 $\phi/32$  です ( $\phi = 10\text{MHz}$ )。

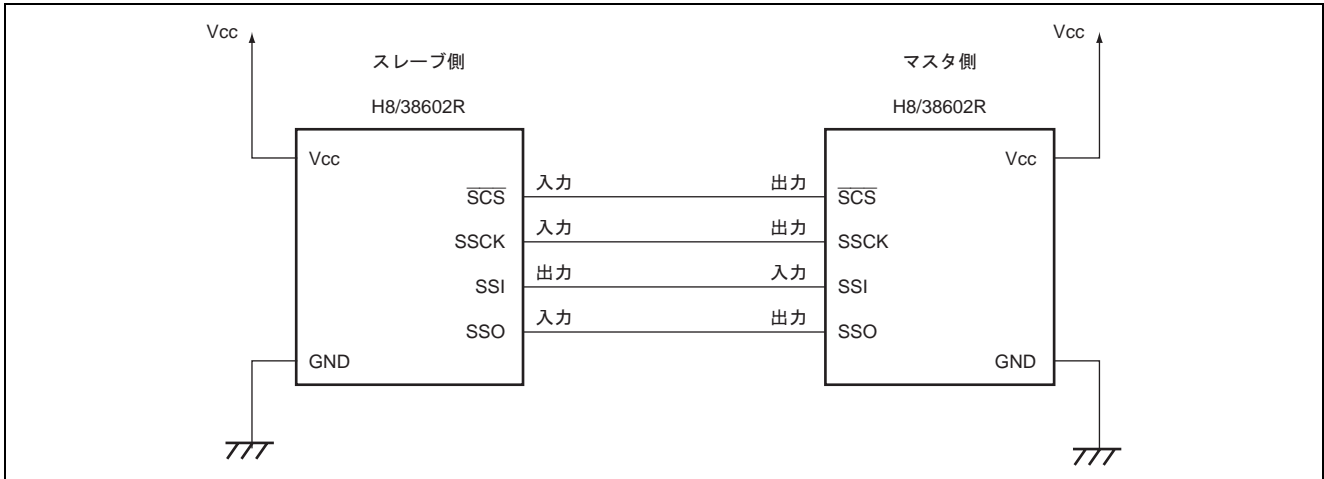


図 1 SSU の 4 線式バスモード通信の接続図

## 2. 使用機能説明

### 2.1 使用機能

本タスク例では、SSU の 4 線式バス通信モードにより、割り込みを使用し、通信を行います。図 2 に SSU のブロック図を示し、以下に機能説明をします。

#### 2.1.1 SSU4 線式バス通信モード機能

マスタ側が 4 バイトのデータを送信し、スレーブ側が 4 バイトのデータを受信します。スレーブ側は受信した 4 バイトのデータをマスタ側へ送信し、マスタ側が 4 バイトのデータを受信します。転送クロックレートは、 $\phi/32$  です ( $\phi = 10\text{MHz}$ )。

- SS コントロールレジスタ H (SSCRH)  
マスタ/スレーブデバイス選択, SSCK 端子選択, SCS 端子選択を設定するレジスタです。
- SS コントロールレジスタ L (SSCRL)  
モードを選択するレジスタです。
- SS モードレジスタ (SSMR)  
MSB ファースト/LSB ファーストの選択, 転送クロックレート選択を設定するレジスタです。
- SS イネーブルレジスタ (SSER)  
トランスミットイネーブル, レシーブイネーブル, および各種割り込みイネーブルを設定するレジスタです。
- SS ステータスレジスタ (SSSR)  
各種割り込みフラグを設定するレジスタです。
- SS レシーブデータレジスタ (SSRDR)  
受信したシリアルデータを格納する 8 ビットのレジスタです。SSU は、1 バイトのシリアルデータの受信が終了すると、SSTRSR から受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SSTRSR は受信可能となります。このように SSTRSR と SSRDR はダブルバッファになっているため、連続した受信動作が可能です。なお SSRDR はリード専用のレジスタで CPU からライトできません。SSRDR の初期値は H'00 です。
- SS トランスミットデータレジスタ (SSTDR)  
送信するシリアルデータを格納する 8 ビットのレジスタで、常に CPU によるリード/ライトが可能です。SSU は SSTRSR の空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中、SSTDR に次の送信データをライトしておくと、連続してシリアル送信できます。SSTDR の初期値は H'00 です。
- SS シフトレジスタ (SSTRSR)  
シリアルデータを送受信するためのシフトレジスタです。SSTDR から SSTRSR に送信データが転送される際のビット 0 には、SSMR の MLS = 0 のとき SSTDR のビット 0 が転送され (LSB ファースト通信), MLS = 1 のとき SSTDR のビット 7 が転送されます (MSB ファースト通信)。CPU から直接 SSTRSR をリード/ライトできません。

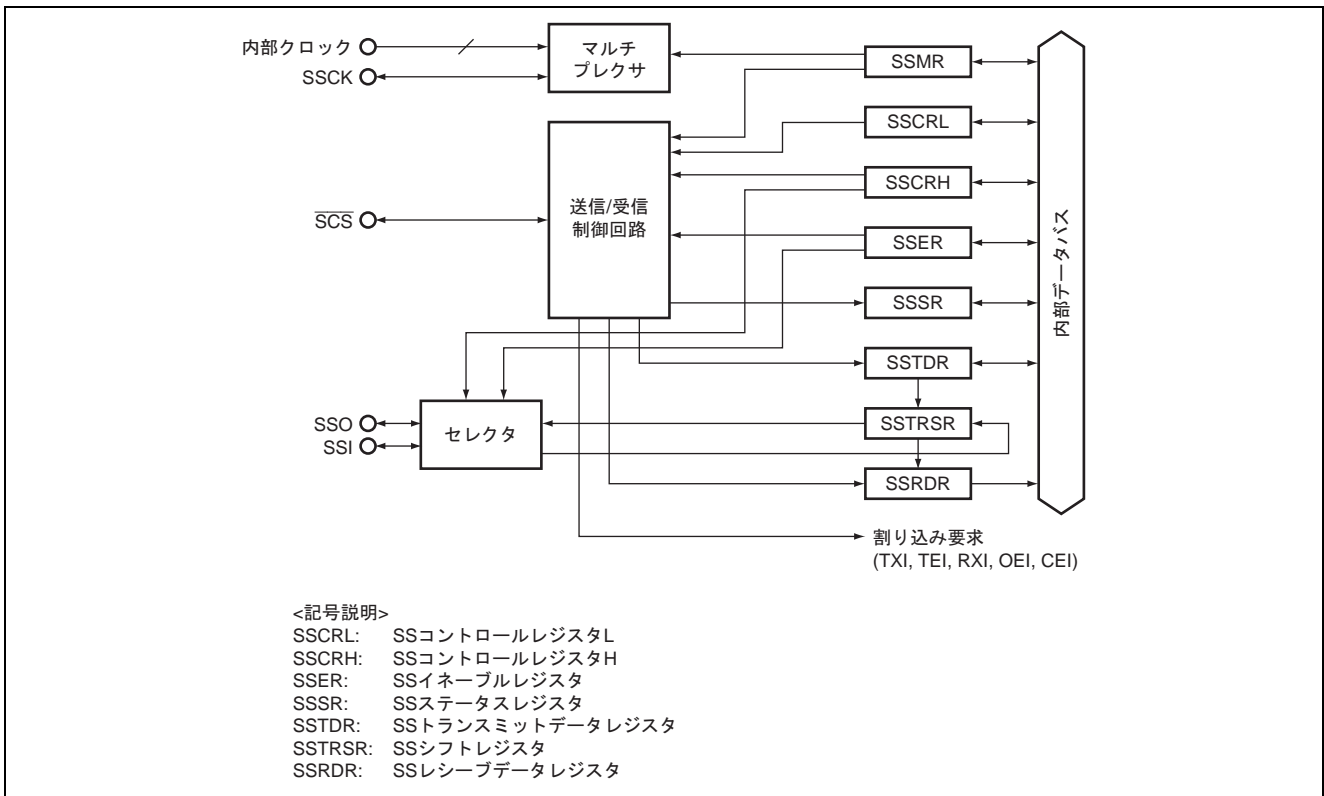


図 2 SSU のブロック図

### 2.1.2 ウォッチドッグタイマ機能

H8/38602R はウォッチドッグタイマを内蔵しており、リセット後、ウォッチドッグタイマはオンになります。タイマカウンタ WD (TCWD) はカウントアップ動作を行い、TCWD がオーバーフローすると H8/38602R 内部をリセットします。本タスク例では、ウォッチドッグタイマ機能を使用しないため、ウォッチドッグタイマ機能を停止させます。

- タイマコントロール/ステータスレジスタ WD1 (TCSRWD1)  
TCSRWD1 は TCSRWD1 自身と TCWD の書き込み制御を行うレジスタです。また、ウォッチドッグタイマの動作制御と動作状態を示します。本レジスタの書き換えは MOV 命令で行ってください。ビット操作命令では、設定値の変更ができません。

### 2.1.3 モジュールスタンバイ機能

モジュールスタンバイ機能により、SSU はリセット解除後モジュールスタンバイ状態に設定されています。クロック停止レジスタ 2 (CKSTPR2) の SSUCKSTP を 1 に設定することにより、SSU のモジュールスタンバイ状態を解除します。

- クロック停止レジスタ 2 (CKSTPR2)  
内蔵周辺モジュールをモジュール単位でスタンバイ状態を制御します。

### 2.1.4 I/O ポート機能

P91/SSCK/SDA 端子をプルアップし、通常状態を High に設定します (スレーブ側のみ)。

- ポートプルアップコントロールレジスタ 9 (PUCR9)  
ポート 9 のプルアップ MOS をビットごとに制御します。

## 2.2 機能割り付け

本タスク例の機能割り付けを表 1, 表 2 に示します。表 1, 表 2 に示すように機能を割り付け, SSU の 4 線式バス通信モードにより, 割り込みを使用し, 通信を行います。

表 1 スレーブ機能割り付け

機能	分類	機能割り付け
SSCK	端子	SSU のクロック入力端子
SSI	端子	SSU のデータ出力端子
SSO	端子	SSU のデータ入力端子
SCS	端子	SSU のチップセレクト入力端子
SSCRH	SSU	スレーブモード, SSCK 端子選択, SCS 端子選択
SSCRL	SSU	4 線式バス通信モードを選択
SSMR	SSU	MSB ファーストの選択, 転送クロックレート $\phi/32$ を選択
SSER	SSU	送信, 受信, TXI, TEI, RXI, OEI, CEI を許可
SSSR	SSU	ステータスフラグ
SSRDR	SSU	受信データを格納するレジスタ
SSTDR	SSU	送信データを格納するレジスタ
SSTRSR	SSU	データを送信/受信するためのシフトレジスタ
PUCR9	I/O ポート	SCS 端子をプルアップ
CKSTPR2	低消費電力	SSU モジュールスタンバイ状態を解除
TCSRWD1	WDT	ウォッチドッグタイマの停止

表 2 マスタ機能割り付け

機能	分類	機能割り付け
SSCK	端子	SSU のクロック出力端子
SSI	端子	SSU のデータ入力端子
SSO	端子	SSU のデータ出力端子
SCS	端子	SSU のチップセレクト出力端子
SSCRH	SSU	マスタモード, SSCK 端子選択, SCS 端子選択
SSCRL	SSU	4 線式バス通信モードを選択
SSMR	SSU	MSB ファーストの選択, 転送クロックレート $\phi/32$ を選択
SSER	SSU	送信, 受信, TXI, TEI, RXI, OEI, CEI を許可, RSSTP の制御
SSSR	SSU	ステータスフラグ
SSRDR	SSU	受信データを格納するレジスタ
SSTDR	SSU	送信データを格納するレジスタ
SSTRSR	SSU	データを送信/受信するためのシフトレジスタ
CKSTPR2	低消費電力	SSU モジュールスタンバイ状態を解除
TCSRWD1	WDT	ウォッチドッグタイマの停止

### 3. 動作説明

#### 3.1 送信モード

本タスク例における送信モードの動作タイミングを図3に示します。また、ソフトウェアおよびハードウェア処理の内容を示します。

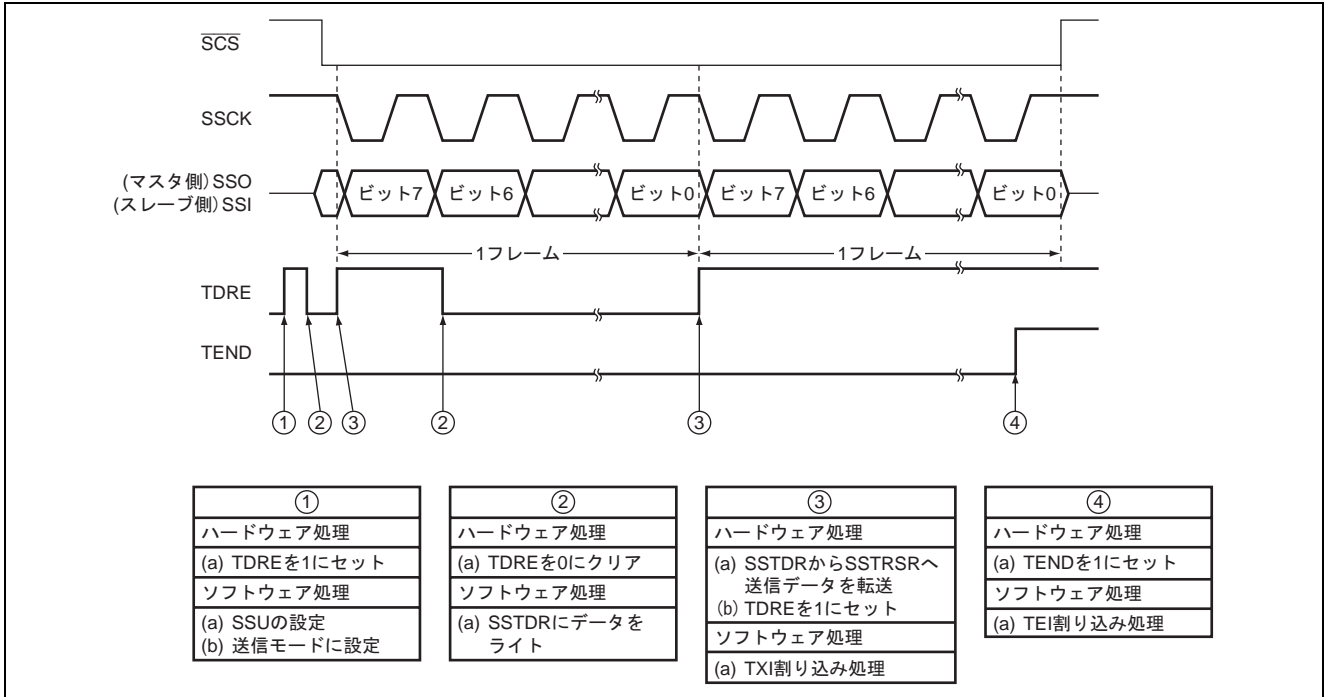


図3 送信モード動作タイミング



3.2 受信モード

本タスク例における受信モードの動作タイミングを図4に示します。また、ソフトウェアおよびハードウェア処理の内容を示します。

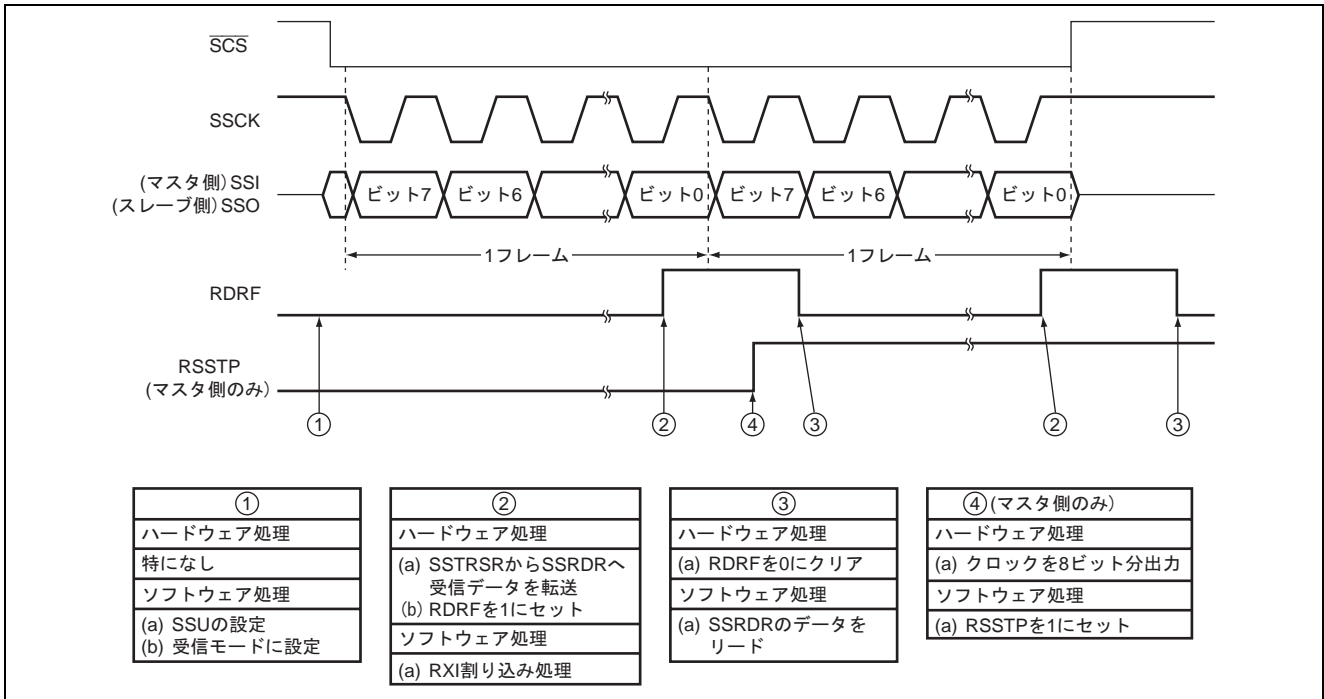


図4 受信モード動作タイミング

## 4. ソフトウェア説明 (スレーブ)

本タスク例では、SSU の 4 線式バス通信モード (SPI モード) により、割り込みを使用し、スレーブ通信を行います。

### 4.1 関数一覧

表 3 スレーブプログラム関数一覧

関数名	機能
main	ウォッチドッグタイマの停止, スレーブ通信の制御, 割り込みの制御, 使用 RAM 領域の初期化
SSU_spi_init	SSU, SPI モードの初期化, SSU モジュールスタンバイの解除
ssu_int	SSU 割り込み処理 (TXI, TEI, RXI, OEI, CEI)

### 4.2 使用定数説明

本タスク例では、定数を使用しません。

### 4.3 使用 RAM 説明

本タスク例で使用する RAM を表 4 に示します。

表 4 使用 RAM

ラベル名	説明	メモリ消費量	使用関数名
s_rcv[4]	受信データ格納バッファ	4 バイト	main, ssu_int
trs_cnt	送信回数を判定する送信カウンタ	1 バイト	main, ssu_int
rcv_cnt	受信回数を判定する受信カウンタ	1 バイト	main, ssu_int
error	エラー判定フラグ 0 : エラー無し 1 : エラー有り	1 バイト	main, ssu_int

## 4.4 モジュール説明

### 4.4.1 main()関数

#### 1. モジュール仕様

- ウォッチドッグタイマの停止，スレーブ通信の制御，割り込み制御，使用 RAM 領域の初期化

表 5 モジュール仕様

	型	変数名	内容
引数	なし	なし	なし

#### 2. 使用内部レジスタ

以下に，本タスク例で使用する内部レジスタを示します。なお，設定値は本タスク例において使用している値であり，初期値とは異なります。

- PUCR9 ポートプルアップコントロールレジスタ 9 アドレス：HF087

ビット	ビット名	設定値	R/W	機能
0	PUCR90	1	R/W	PCR9 が 0 の状態で PUCR9 に 1 をセットすると対応するプルアップ MOS は ON 状態となり，0 にクリアすると OFF 状態となります。

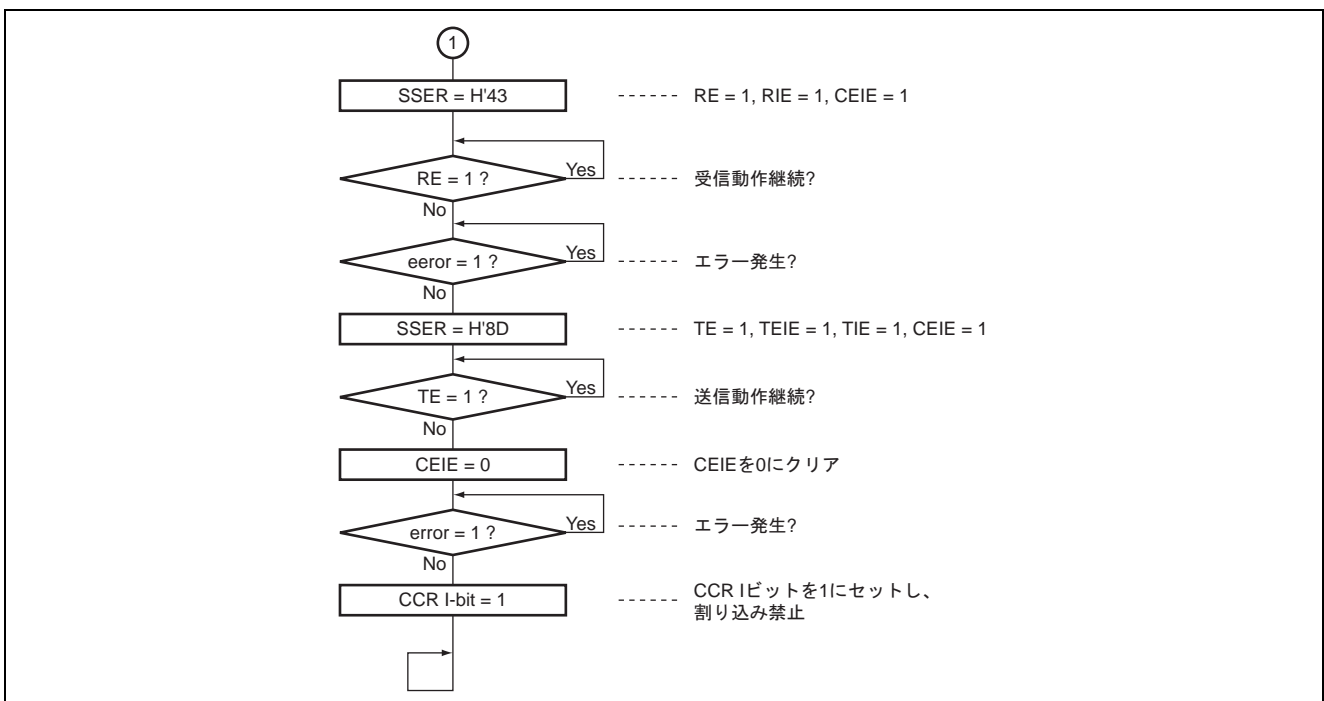
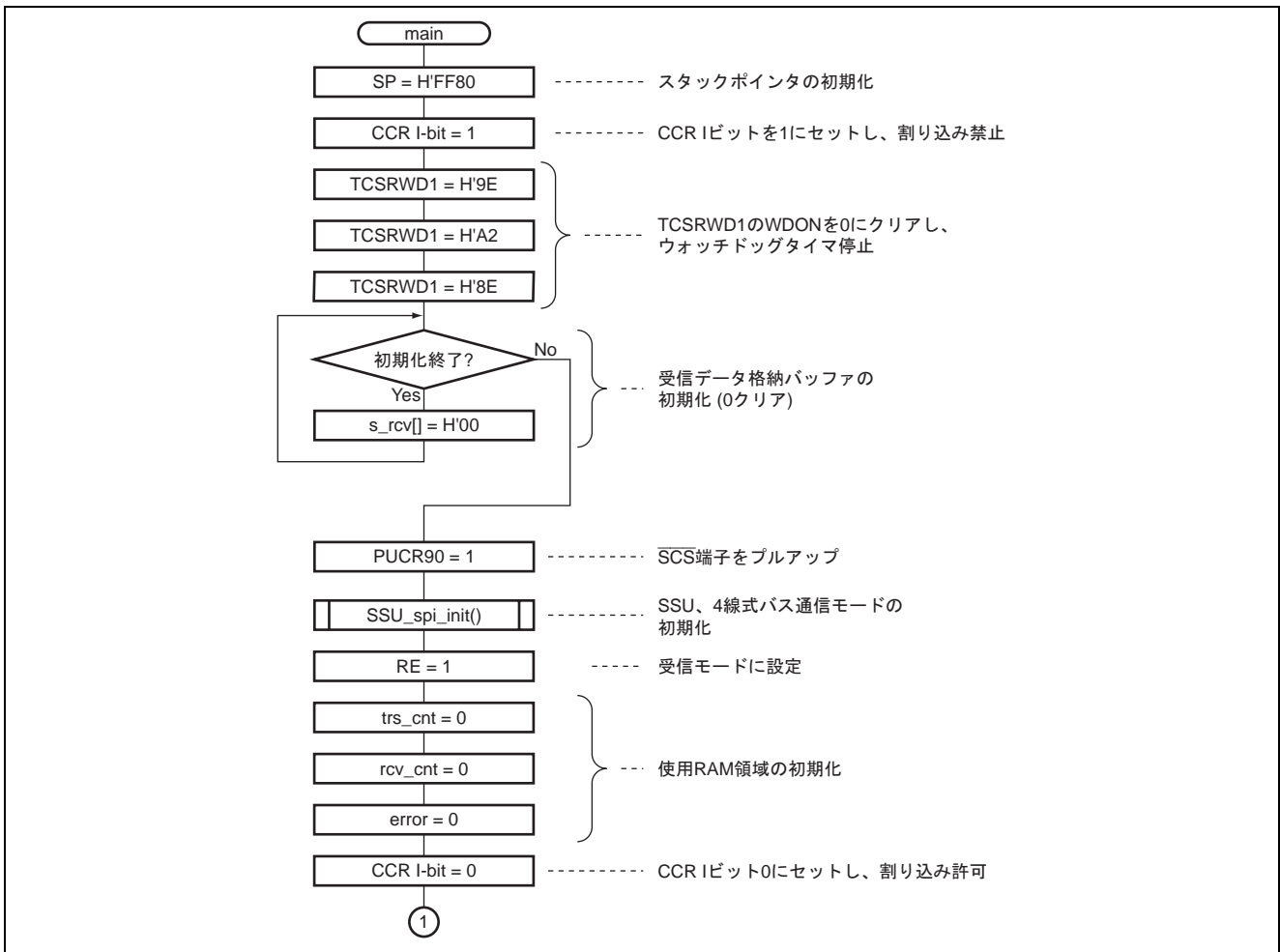
- SSER SS イネーブルレジスタ アドレス：HF0E3

ビット	ビット名	設定値	R/W	機能
7	TE	1	R/W	トランスミットイネーブル このビットが 1 のとき，送信動作が可能になります。 0：送信動作を禁止 1：送信動作を許可
6	RE	1	R/W	レシーブイネーブル このビットが 1 のとき，受信動作が可能になります。 0：受信動作を禁止 1：受信動作を許可
3	TEIE	1	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると，TEI 割り込み要求がイネーブルになります。 1：TEI 割り込みを許可
2	TIE	1	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると，TXI 割り込み要求がイネーブルになります。 1：TXI 割り込みを許可
1	RIE	1	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると，RXI および OEI 割り込み要求がイネーブルになります。 1：RXI および OEI 割り込みを許可
0	CEIE	1	R/W	コンフリクトエラーインタラプトイネーブル このビットを 1 にセットすると，CEI 割り込み要求がイネーブルになります。 1：CEI 割り込みを許可

• TCSRWD1 タイマコントロール/ステータスレジスタ WD1 アドレス：H'FFB1

ビット	ビット名	設定値	R/W	機能
7	B6WI	1	R/W	ビット 6 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 6 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
6	TCWE	0	R/W	タイマカウンタ W 書き込み許可 このビットが 1 のとき TCWD がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください
5	B4WI	1	R/W	ビット 4 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 4 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
4	TCSRWE	0	R/W	タイマコントロール/ステータスレジスタ W 書き込み許可 このビットが 1 のとき、このレジスタのビット 2 およびビット 0 がライトイネーブルになります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。
3	B2WI	1	R/W	ビット 2 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 2 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
2	WDON	0	R/W	ウォッチドッグタイマオン このビットを 1 にセットすると、TCWD がカウントアップを開始します。0 にクリアすると TCWD はカウントアップを停止します。 [クリア条件] TCSRWE = 1 の状態で B2WI に 0, WDON に 0 をライトしたとき [セット条件] リセット TCSRWE = 1 の状態で B2WI に 0, WDON に 1 をライトしたとき
1	B0WI	1	R/W	ビット 0 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 0 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
0	WRST	0	R/W	ウォッチドッグタイマリセット [クリア条件] RES 端子によるリセット TCSRWE = 1 の状態で B0WI に 0, WRST に 0 をライトしたとき [セット条件] TCWD がオーバフローし、内部リセット信号が発生したとき

3. フローチャート



#### 4.4.2 SSU\_spi\_init()

##### 1. モジュール仕様

- SSU を SPI モード (4 線式バス通信モード) に初期化し, SSU モジュールスタンバイを解除

表 6 モジュール仕様

引数	型	変数名	内容
	なし	なし	なし

##### 2. 使用内部レジスタ

以下に, 本タスク例で使用する内部レジスタを示します。なお, 設定値は本タスク例において使用している値であり, 初期値とは異なります。

- SSCRH SS コントロールレジスタ H      アドレス: HF0E0

ビット	ビット名	設定値	R/W	機能
7	MSS	0	R/W	マスタ/スレーブデバイス選択 モジュールをマスタデバイスと使用するか, スレーブデバイスとして使用するかを選択します。マスタデバイスの場合は, SSCK 端子から転送クロックを出力します。SSSR の CE がセットされた場合には MSS を自動的にクリアします。 0: スレーブデバイスとして動作します。
6	BIDE	0	R/W	双方向モードイネーブル シリアルデータ入力端子, 出力端子を 2 端子使用するか, 1 端子のみ使用するかを選択します。 0: 標準モード。データ入力とデータ出力を 2 端子使用して通信します。
2	SCKS	1	R/W	SSCK 端子選択 SSCK 端子をポートとして機能させるかシリアルクロック端子として機能させるかを選択します。 1: シリアルクロック端子として機能
1 0	CSS1 CSS0	0 1	R/W R/W	SCS 端子選択 SCS 端子をポートとして機能させるか, SCS 入力または SCS 出力として機能させるかを選択します。 CSS1 = 0, CSS0 = 1: SCS 入力として機能

- SSCRL SS コントロールレジスタ L      アドレス: HF0E1

ビット	ビット名	設定値	R/W	機能
6	SSUMS	1	R/W	SSU モード選択 シリアルデータ入力端子, 出力端子をどのような組み合わせで使用するかを選択します。 1: 4 線式バス通信モード SSCRH の MSS = 0, BIDE = 0 のとき, データ入力: SSO 端子, データ出力: SSI 端子

• SSMR SS モードレジスタ アドレス：H'F0E2

ビット	ビット名	設定値	R/W	機能
7	MLS	1	R/W	MSB ファースト/LSB ファースト選択 データ転送を MSB ファーストで転送するか LSB ファーストで転送するかを選択します。 1：MSB ファースト
2 1 0	CKS2 CKS1 CKS0	0 1 1	R/W R/W R/W	転送クロックレート選択 内部クロックを選択した場合の転送クロックレート (プリスケラ分周比) を設定します。表 7 に転送レートを示します。 CKS2 = 0, CKS1 = 1, CKS0 = 1 : $\phi/32$

表 7 転送レート

ビット 2	ビット 1	ビット 0	クロック	転送レート
CKS2	CKS1	CKS0		$\phi = 10\text{MHz}$
0	1	1	$\phi/32$	312.5kHz

• SSER SS イネーブルレジスタ アドレス：H'F0E3

ビット	ビット名	設定値	R/W	機能
7	TE	0	R/W	トランスミットイネーブル このビットが 1 のとき、送信動作が可能になります。 0：送信動作を禁止
6	RE	0	R/W	レシーブイネーブル このビットが 1 のとき、受信動作が可能になります。 0：受信動作を禁止

• SSSR SS ステータスレジスタ アドレス：H'F0E4

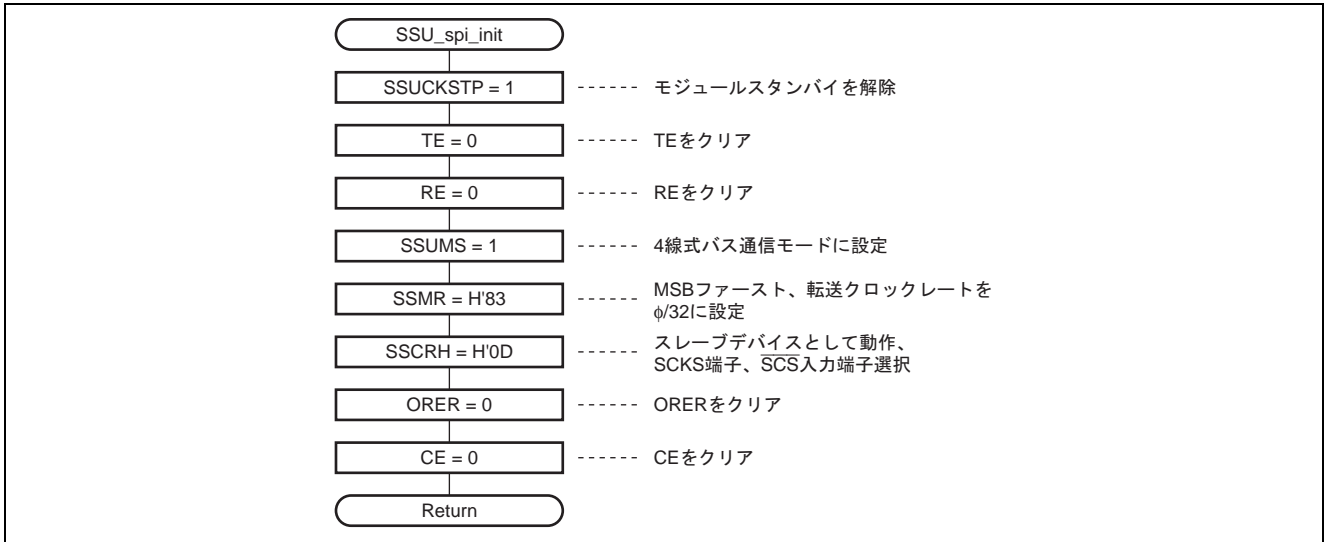
ビット	ビット名	設定値	R/W	機能
6	ORER	0	R/(W)*	オーバランエラーフラグ 受信時にオーバランエラーが発生して異常終了したことを示します。SSRDR では、オーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに ORER = 1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、MSS = 1 ではシリアル送信も続けることはできません。 [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき [クリア条件] 1 をリードした後、0 をライトしたとき
0	CE	0	R/(W)*	コンフリクトエラーフラグ [セット条件] SSUMS = 1, MSS = 1 でシリアル通信を開始しようとしたとき、SCS 端子入力が Low レベルのとき SSUMS = 1, MSS = 0 で転送中に SCS 端子が Low から High に変化したとき [クリア条件] 1 をリード後、0 をライトしたとき

【注】 \* フラグクリアするための 0 ライトのみ可能です。

- CKSTPR2 クロック停止レジスタ2 アドレス：H'FFFB

ビット	ビット名	設定値	R/W	機能
4	SSUCKSTP	1	R/W	SSU モジュールスタンバイ このビットが0のとき,SSU はモジュールスタンバイ状態になります。 1: モジュールスタンバイを解除

### 3. フローチャート





### 4.4.3 ssu\_int()関数

#### 1. モジュール仕様

- SSU 割り込み処理

表 8 モジュール仕様

	型	変数名	内容
引数	なし	なし	なし

#### 2. 使用内部レジスタ

以下に、本タスク例で使用する内部レジスタを示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- SSER SS イネーブルレジスタ      アドレス：H'F0E3

ビット	ビット名	設定値	R/W	機能
7	TE	0	R/W	トランスミットイネーブル このビットが1のとき、送信動作が可能になります。 0：送信動作を禁止
6	RE	0	R/W	レシーブイネーブル このビットが1のとき、受信動作が可能になります。 0：受信動作を禁止
3	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると、TEI 割り込み要求がイネーブルになります。 0：TEI 割り込みを禁止
2	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。 0：TXI 割り込みを禁止
1	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および OEI 割り込み要求がイネーブルになります。 0：RXI および OEI 割り込みを禁止
0	CEIE	0	R/W	コンフリクトエラーインタラプトイネーブル このビットを1にセットすると、CEI 割り込み要求がイネーブルになります。 0：CEI 割り込みを禁止

• SSSR SS ステータスレジスタ アドレス：H'F0E4

ビット	ビット名	設定値	R/W	機能
6	ORER	不定	R/(W)*	<p>オーバランエラーフラグ</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。SSRDR では、オーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに ORER = 1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、MSS = 1 ではシリアル送信も続けることはできません。</p> <p>[セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき</p> <p>[クリア条件] 1 をリードした後、0 をライトしたとき</p>
3	TEND	不定	R/(W)*	<p>トランスミットエンド</p> <p>[セット条件] 送信データの最後尾ビットの送信時に、TDRE が 1 であったとき</p> <p>[クリア条件] 1 をリードした後、0 をライトしたとき SSTDR ヘデータをライトしたとき</p>
2	TDRE	不定	R/(W)*	<p>トランスミットデータエンプティ</p> <p>[セット条件] SSER の TE が 0 のとき SSTDR から SSTRSR にデータ転送が行われ、SSTDR にデータライトが可能になったとき</p> <p>[クリア条件] 1 をリードした後、0 をライトしたとき SSTDR ヘデータをライトしたとき</p>
1	RDRF	不定	R/(W)*	<p>レシーブデータレジスタフル</p> <p>[セット条件] シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送されたとき</p> <p>[クリア条件] 1 をリード後、0 をライトしたとき SSRDR からデータをリードしたとき</p>
0	CE	不定	R/(W)*	<p>コンフリクトエラーフラグ</p> <p>[セット条件] SSUMS = 1, MSS = 1 でシリアル通信を開始しようとしたとき、SCS 端子入力が Low レベルのとき SSUMS = 1, MSS = 0 で転送中に SCS 端子が Low から High に変化したとき</p> <p>[クリア条件] 1 をリード後、0 をライトしたとき</p>

【注】 \* フラグクリアするための 0 ライトのみ可能です。

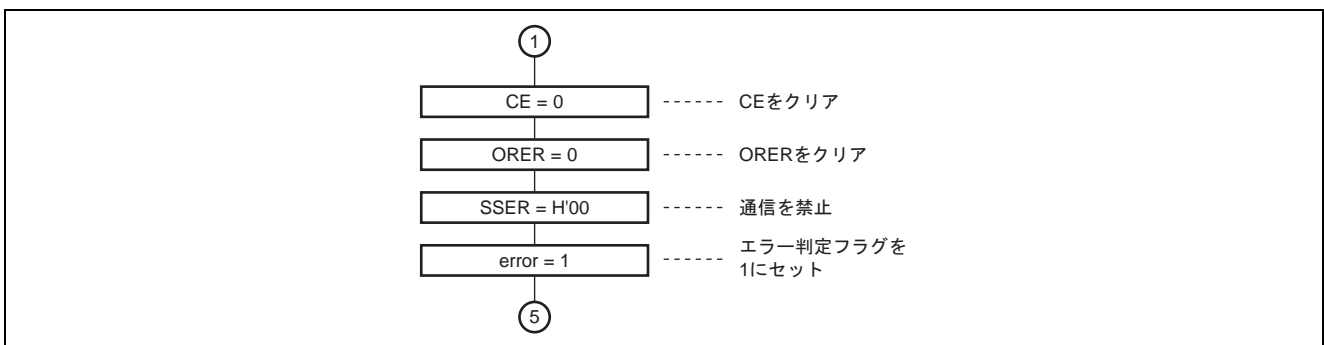
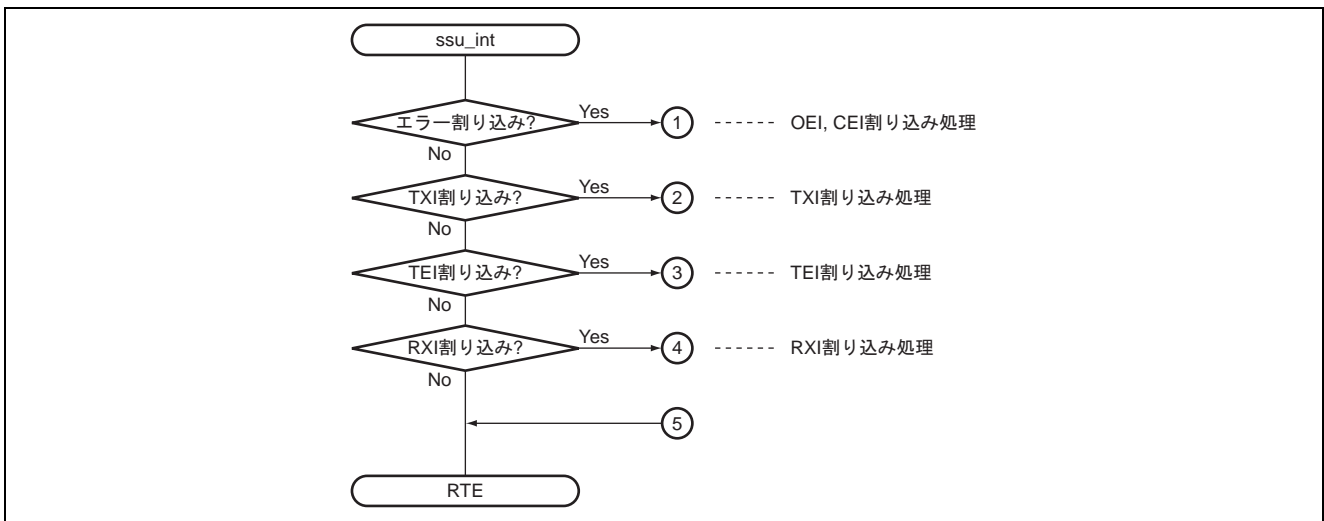
• SSRDR SS レシーブデータレジスタ アドレス : H'F0E9

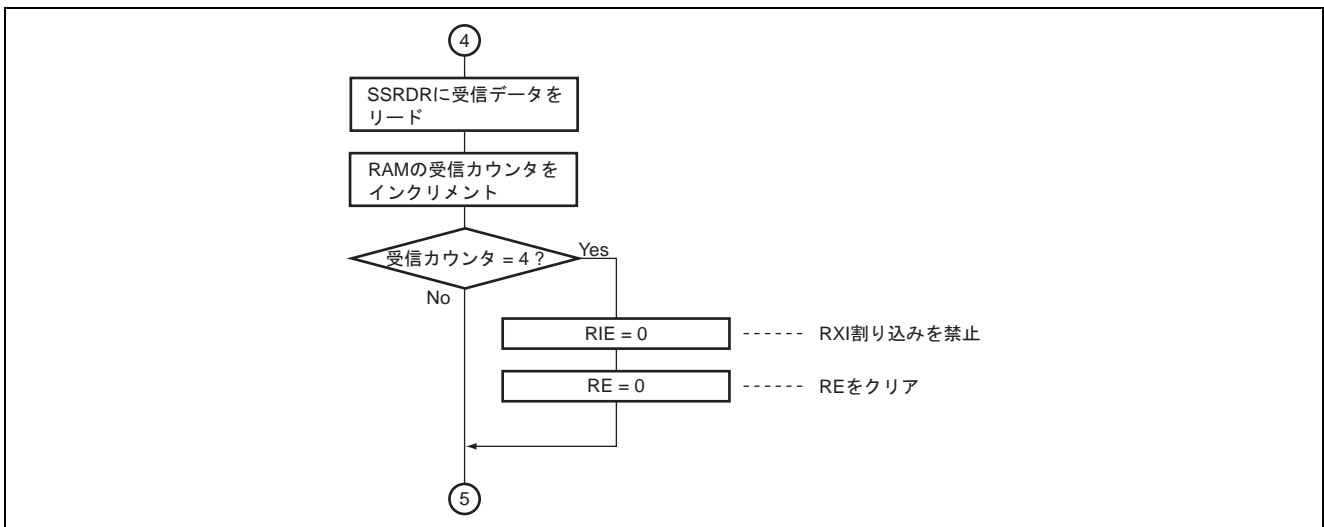
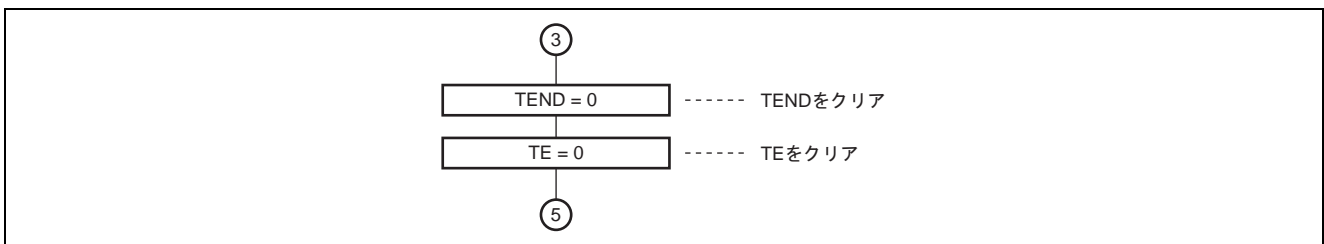
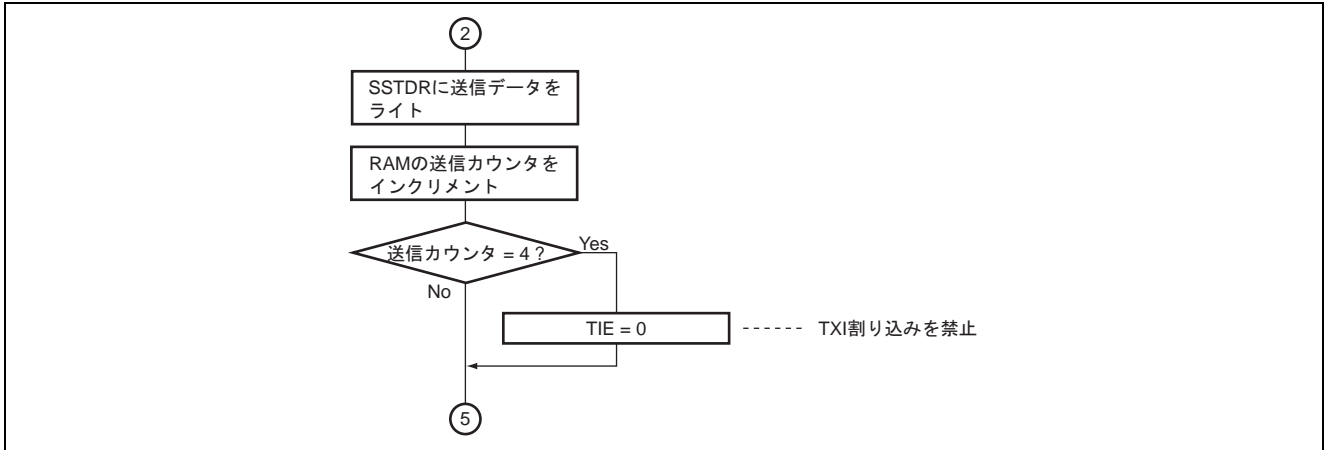
ビット	ビット名	設定値	R/W	機能
7	bit7	不定	R	受信したシリアルデータを格納する 8 ビットのレジスタです。1 バイトのシリアルデータの受信が終了すると、SSTRSR から受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SSTRSR は受信可能になります。このように SSTRSR と SSRDR はダブルバッファになっているため、連続した受信動作が可能です。なお、SSRDR はリード専用のレジスタで、CPU からライトできません。SSRDR の初期値は H'00 です。
6	bit6	不定	R	
5	bit5	不定	R	
4	bit4	不定	R	
3	bit3	不定	R	
2	bit2	不定	R	
1	bit1	不定	R	
0	bit0	不定	R	

• SSTDR SS トランスミットデータレジスタ アドレス : H'F0EB

ビット	ビット名	設定値	R/W	機能
7	bit7	不定	R/W	送信するシリアルデータを格納する 8 ビットのレジスタで、常に CPU によるリード/ライトが可能です。SSTRSR に空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中、SSTDR に次のデータをライトしておく、連続してシリアル送信できます。SSTDR の初期値は H'00 です。
6	bit6	不定	R/W	
5	bit5	不定	R/W	
4	bit4	不定	R/W	
3	bit3	不定	R/W	
2	bit2	不定	R/W	
1	bit1	不定	R/W	
0	bit0	不定	R/W	

3. フローチャート





#### 4.5 リンクアドレス指定

セクション名	アドレス
CVECT	H'0000
P	H'0100
B	H'FB80

## 5. ソフトウェア説明 (マスタ)

本タスク例では、SSU の 4 線式バス通信モード (SPI モード) により、割り込みを使用し、マスタ通信を行います。

### 5.1 関数一覧

表 9 マスタプログラム関数一覧

関数名	機能
main	ウォッチドッグタイマの停止，マスタ通信の制御，割り込みの制御，使用 RAM 領域の初期化
SSU_spi_init	SSU, SPI モードの初期化，SSU モジュールスタンバイの解除
ssu_int	SSU 割り込み処理 (TXI, TEI, RXI, OEI, CEI)

### 5.2 使用定数説明

本タスク例では、定数を使用しません。

### 5.3 使用 RAM 説明

本タスク例で使用する RAM を表 10 に示します。

表 10 使用 RAM

ラベル名	説明	メモリ消費量	使用関数名
m_trsr[4]	送信データ格納バッファ	4 バイト	main, ssu_int
m_rcvr[4]	受信データ格納バッファ	4 バイト	main, ssu_int
trs_cnt	送信回数を判定する送信カウンタ	1 バイト	main, ssu_int
rcv_cnt	受信回数を判定する受信カウンタ	1 バイト	main, ssu_int
error	エラー判定フラグ 0 : エラー無し 1 : エラー有り	1 バイト	main, ssu_int

## 5.4 モジュール説明

### 5.4.1 main()関数

#### 1. モジュール仕様

- ウォッチドッグタイマの停止，マスタ通信の制御，割り込み制御，使用 RAM 領域の初期化

表 11 モジュール仕様

	型	変数名	内容
引数	なし	なし	なし

## 2. 使用内部レジスタ

以下に、本タスク例で使用する内部レジスタを示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

### ● SSER SS イネーブルレジスタ アドレス：H'F0E3

ビット	ビット名	設定値	R/W	機能
7	TE	1	R/W	トランスミットイネーブル このビットが1のとき、送信動作が可能になります。 0：送信動作を禁止 1：送信動作を許可
6	RE	1	R/W	レシーブイネーブル このビットが1のとき、受信動作が可能になります。 0：受信動作を禁止 1：受信動作を許可
3	TEIE	1	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると、TEI 割り込み要求がイネーブルになります。 1：TEI 割り込みを許可
2	TIE	1	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。 1：TXI 割り込みを許可
1	RIE	1	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および OEI 割り込み要求がイネーブルになります。 1：RXI および OEI 割り込みを許可
0	CEIE	1	R/W	コンフリクトエラーインタラプトイネーブル このビットを1にセットすると、CEI 割り込み要求がイネーブルになります。 1：CEI 割り込みを許可

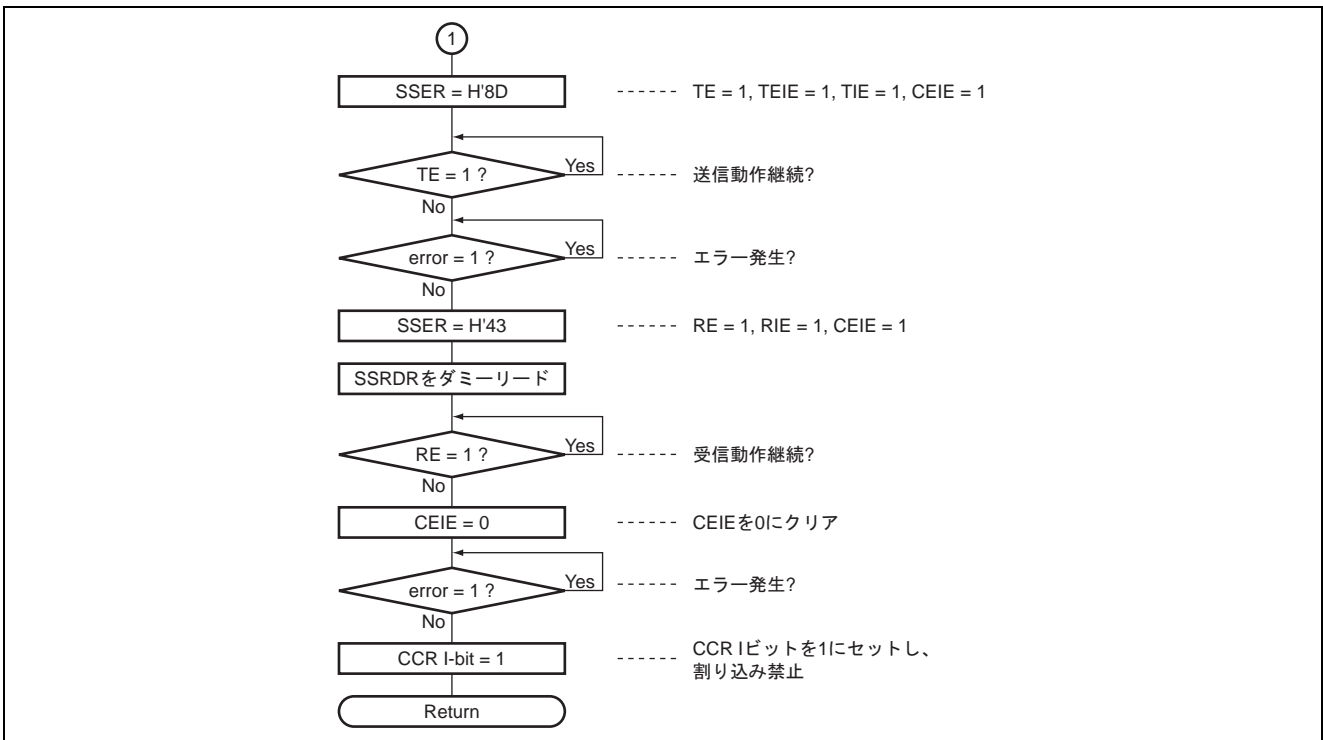
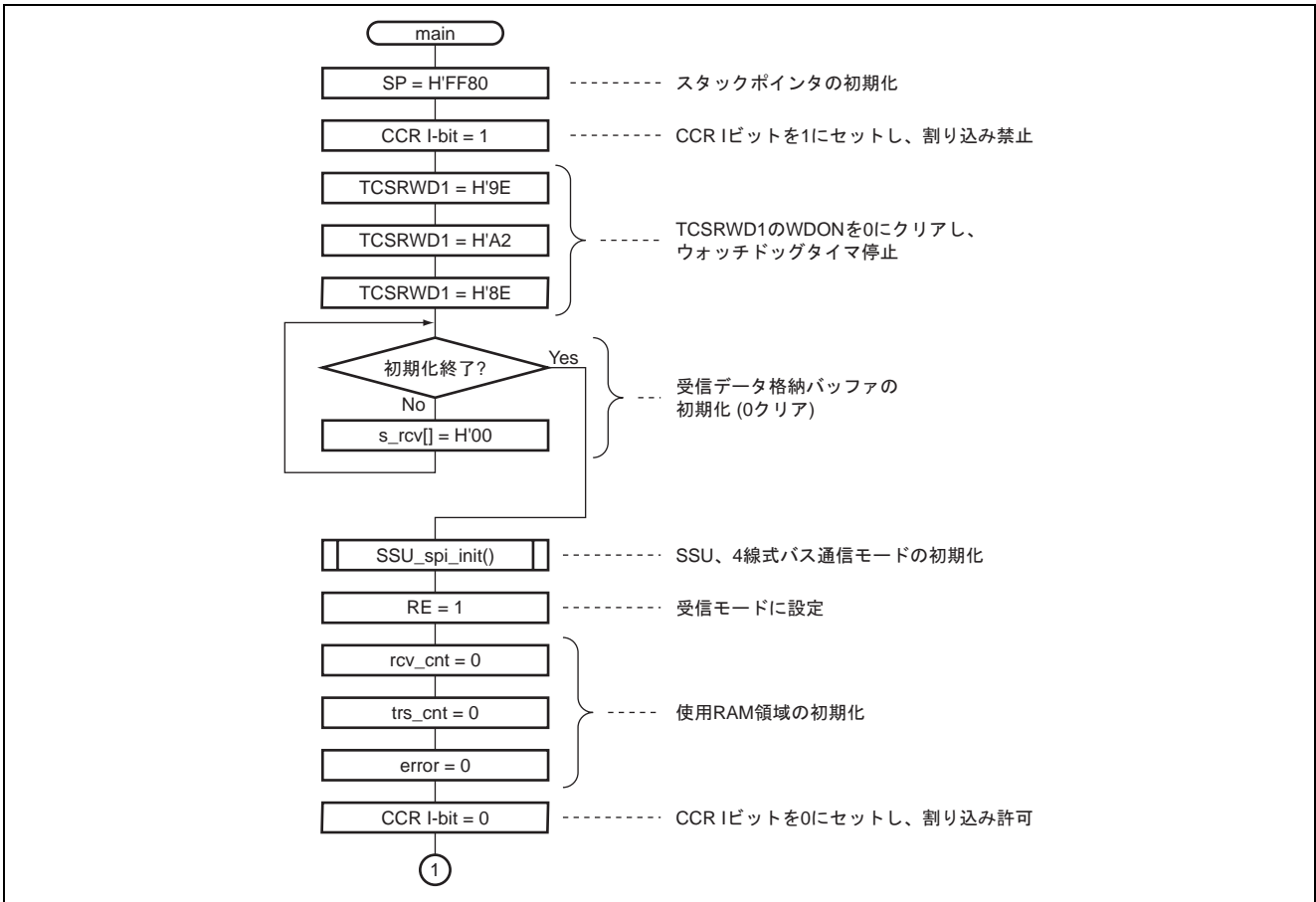
### ● SSRDR SS レシーブデータレジスタ アドレス：H'F0E9

ビット	ビット名	設定値	R/W	機能
7	bit7	不定	R	受信したシリアルデータを格納する8ビットのレジスタです。1バイトのシリアルデータの受信が終了すると、SSTRSR から受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SSTRSR は受信可能になります。このように SSTRSR と SSRDR はダブルバッファになっているため、連続した受信動作が可能です。なお、SSRDR はリード専用のレジスタで、CPU からライトできません。SSRDR の初期値は H'00 です。
6	bit6	不定	R	
5	bit5	不定	R	
4	bit4	不定	R	
3	bit3	不定	R	
2	bit2	不定	R	
1	bit1	不定	R	
0	bit0	不定	R	

• TCSRWD1 タイマコントロール/ステータスレジスタ WD1 アドレス：H'FFB1

ビット	ビット名	設定値	R/W	機能
7	B6WI	1	R/W	ビット 6 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 6 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
6	TCWE	0	R/W	タイマカウンタ WD 書き込み許可 このビットが 1 のとき TCWD がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください
5	B4WI	1	R/W	ビット 4 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 4 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
4	TCSRWE	0	R/W	タイマコントロール/ステータスレジスタ WD1 書き込み許可 このビットが 1 のとき、このレジスタのビット 2 およびビット 0 がライトイネーブルになります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。
3	B2WI	1	R/W	ビット 2 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 2 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
2	WDON	0	R/W	ウォッチドッグタイマオン このビットを 1 にセットすると、TCWD がカウントアップを開始します。0 にクリアすると TCWD はカウントアップを停止します。 [クリア条件] TCSRWE = 1 の状態で B2WI に 0, WDON に 0 をライトしたとき [セット条件] リセット TCSRWE = 1 の状態で B2WI に 0, WDON に 1 をライトしたとき
1	B0WI	1	R/W	ビット 0 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 0 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
0	WRST	0	R/W	ウォッチドッグタイマリセット [クリア条件] RES 端子によるリセット TCSRWE = 1 の状態で B0WI に 0, WRST に 0 をライトしたとき [セット条件] TCWD がオーバフローし、内部リセット信号が発生したとき

3. フローチャート





### 5.4.2 SSU\_spi\_init()

#### 1. モジュール仕様

- SSU を SPI モード (4 線式バス通信モード) に初期化し, SSU モジュールスタンバイを解除

表 12 モジュール仕様

引数	型	変数名	内容
なし	なし	なし	なし

#### 2. 使用内部レジスタ

以下に, 本タスク例で使用する内部レジスタを示します。なお, 設定値は本タスク例において使用している値であり, 初期値とは異なります。

- SSCRH SS コントロールレジスタ H      アドレス: HF0E0

ビット	ビット名	設定値	R/W	機能
7	MSS	1	R/W	マスタ/スレーブデバイス選択 モジュールをマスタデバイスと使用するか, スレーブデバイスとして使用するかを選択します。マスタデバイスの場合は, SSCK 端子から転送クロックを出力します。SSSR の CE がセットされた場合には MSS を自動的にクリアします。 1: マスタデバイスとして動作します。
6	BIDE	0	R/W	双方向モードイネーブル シリアルデータ入力端子, 出力端子を 2 端子使用するか, 1 端子のみ使用するかを選択します。 0: 標準モード。データ入力とデータ出力を 2 端子使用して通信します。
2	SCKS	1	R/W	SSCK 端子選択 SSCK 端子をポートとして機能させるかシリアルクロック端子として機能させるかを選択します。 1: シリアルクロック端子として機能
1 0	CSS1 CSS0	1 1	R/W R/W	SCS 端子選択 SCS 端子をポートとして機能させるか, SCS 入力または SCS 出力として機能させるかを選択します。 CSS1 = 1, CSS0 = X: SCS 出力として機能 (ただし, 転送開始前は SCS 入力として機能)

【注】 X: Don't care

- SSCRL SS コントロールレジスタ L      アドレス: HF0E1

ビット	ビット名	設定値	R/W	機能
6	SSUMS	1	R/W	SSU モード選択 シリアルデータ入力端子, 出力端子をどのような組み合わせで使用するかを選択します。 1: 4 線式バス通信モード SSCRH の MSS = 1, BIDE = 0 のとき, データ入力: SSI 端子, データ出力: SSO 端子

## • SSMR SS モードレジスタ アドレス：H'F0E2

ビット	ビット名	設定値	R/W	機能
7	MLS	1	R/W	MSB ファースト/LSB ファースト選択 データ転送を MSB ファーストで転送するか LSB ファーストで転送するかを選択します。 1：MSB ファースト
2	CKS2	0	R/W	転送クロックレート選択 内部クロックを選択した場合の転送クロックレート (プリスケアラ分周比) を設定します。表 13 に転送レートを示します。 CKS2 = 0, CKS1 = 1, CKS0 = 1 : $\phi/32$
1	CKS1	1	R/W	
0	CKS0	1	R/W	

表 13 転送レート

ビット 2	ビット 1	ビット 0	クロック	転送レート
CKS2	CKS1	CKS0		$\phi = 10\text{MHz}$
0	1	1	$\phi/32$	312.5kHz

## • SSER SS イネーブルレジスタ アドレス：H'F0E3

ビット	ビット名	設定値	R/W	機能
7	TE	0	R/W	トランスミットイネーブル このビットが 1 のとき、送信動作が可能になります。 0：送信動作を禁止
6	RE	0	R/W	レシーブイネーブル このビットが 1 のとき、受信動作が可能になります。 0：受信動作を禁止

## • SSSR SS ステータスレジスタ アドレス：H'F0E4

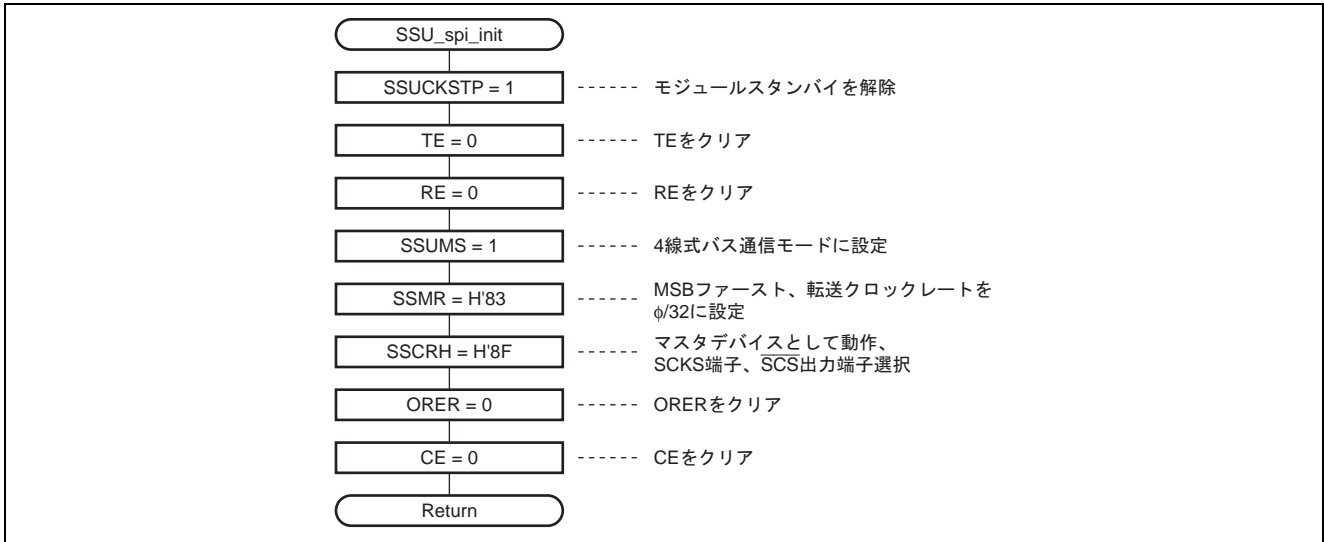
ビット	ビット名	設定値	R/W	機能
6	ORER	0	R/(W)*	オーバランエラーフラグ 受信時にオーバランエラーが発生して異常終了したことを示します。SSRDR では、オーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに ORER = 1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、MSS = 1 ではシリアル送信も続けることはできません。 [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき [クリア条件] 1 をリードした後、0 をライトしたとき
0	CE	0	R/(W)*	コンフリクトエラーフラグ [セット条件] SSUMS = 1, MSS = 1 でシリアル通信を開始しようとしたとき、SCS 端子入力が Low レベルのとき SSUMS = 1, MSS = 0 で転送中に SCS 端子が Low から High に変化したとき [クリア条件] 1 をリード後、0 をライトしたとき

【注】 \* フラグクリアするための 0 ライトのみ可能です。

• CKSTPR2 クロック停止レジスタ 2      アドレス : H'FFFB

ビット	ビット名	設定値	R/W	機能
4	SSUCKSTP	1	R/W	SSU モジュールスタンバイ このビットが0 のとき , SSU はモジュールスタンバイ状態になります。 1 : モジュールスタンバイを解除

3. フローチャート



### 5.4.3 ssu\_int()関数

#### 1. モジュール仕様

- SSU 割り込み処理

表 14 モジュール仕様

引数	型	変数名	内容
	なし	なし	なし

#### 2. 使用内部レジスタ

以下に、本タスク例で使用する内部レジスタを示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- SSER イネーブルレジスタ      アドレス：HF0E3

ビット	ビット名	設定値	R/W	機能
7	TE	0	R/W	トランスミットイネーブル このビットが1のとき、送信動作が可能になります。 0：送信動作を禁止
6	RE	0	R/W	レシーブイネーブル このビットが1のとき、受信動作が可能になります。 0：受信動作を禁止
5	RSSTP	1	R/W	レシーブシングルストップ このビットが1のとき、1バイト受信後、受信動作が終了します。
3	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると、TEI 割り込み要求がイネーブルになります。 0：TEI 割り込みを禁止
2	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。 0：TXI 割り込みを禁止
1	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および OEI 割り込み要求がイネーブルになります。 0：RXI および OEI 割り込みを禁止
0	CEIE	0	R/W	コンフリクトエラーインタラプトイネーブル このビットを1にセットすると、CEI 割り込み要求がイネーブルになります。 0：CEI 割り込みを禁止

• SSSR SS ステータスレジスタ アドレス : H'F0E4

ビット	ビット名	設定値	R/W	機能
6	ORER	不定	R/(W)*	<p>オーバランエラーフラグ</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。SSRDR では、オーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに ORER = 1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、MSS = 1 ではシリアル送信も続けることはできません。</p> <p>[セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき</p> <p>[クリア条件] 1 をリードした後、0 をライトしたとき</p>
3	TEND	不定	R/(W)*	<p>トランスミットエンド</p> <p>[セット条件] 送信データの最後尾ビットの送信時に、TDRE が 1 であったとき</p> <p>[クリア条件] 1 をリードした後、0 をライトしたとき SSTDR ヘデータをライトしたとき</p>
2	TDRE	不定	R/(W)*	<p>トランスミットデータエンプティ</p> <p>[セット条件] SSER の TE が 0 のとき SSTDR から SSTRSR にデータ転送が行われ、SSTDR にデータライトが可能になったとき</p> <p>[クリア条件] 1 をリードした後、0 をライトしたとき SSTDR ヘデータをライトしたとき</p>
1	RDRF	不定	R/(W)*	<p>レシーブデータレジスタフル</p> <p>[セット条件] シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送されたとき</p> <p>[クリア条件] 1 をリード後、0 をライトしたとき SSRDR からデータをリードしたとき</p>
0	CE	不定	R/(W)*	<p>コンフリクトエラーフラグ</p> <p>[セット条件] SSUMS = 1, MSS = 1 でシリアル通信を開始しようとしたとき、SCS 端子入力が Low レベルのとき SSUMS = 1, MSS = 0 で転送中に SCS 端子が Low から High に変化したとき</p> <p>[クリア条件] 1 をリード後、0 をライトしたとき</p>

【注】 \* フラグクリアするための 0 ライトのみ可能です。

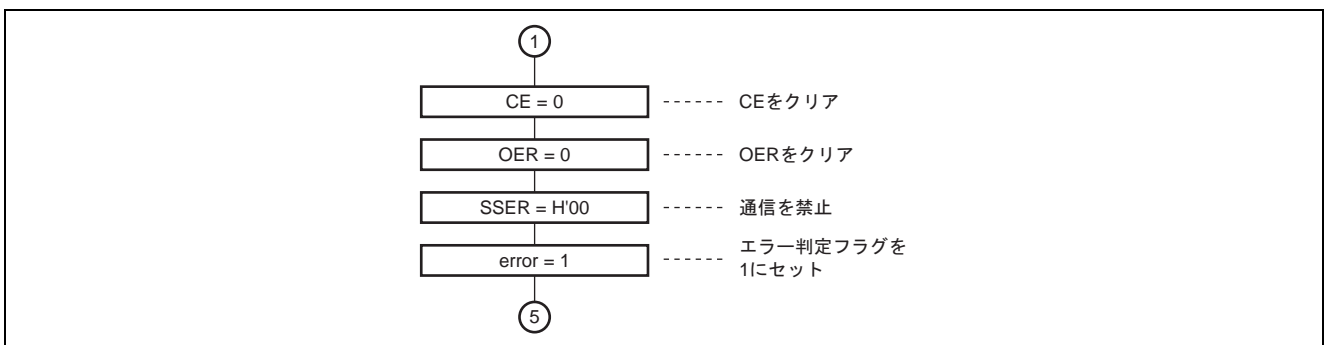
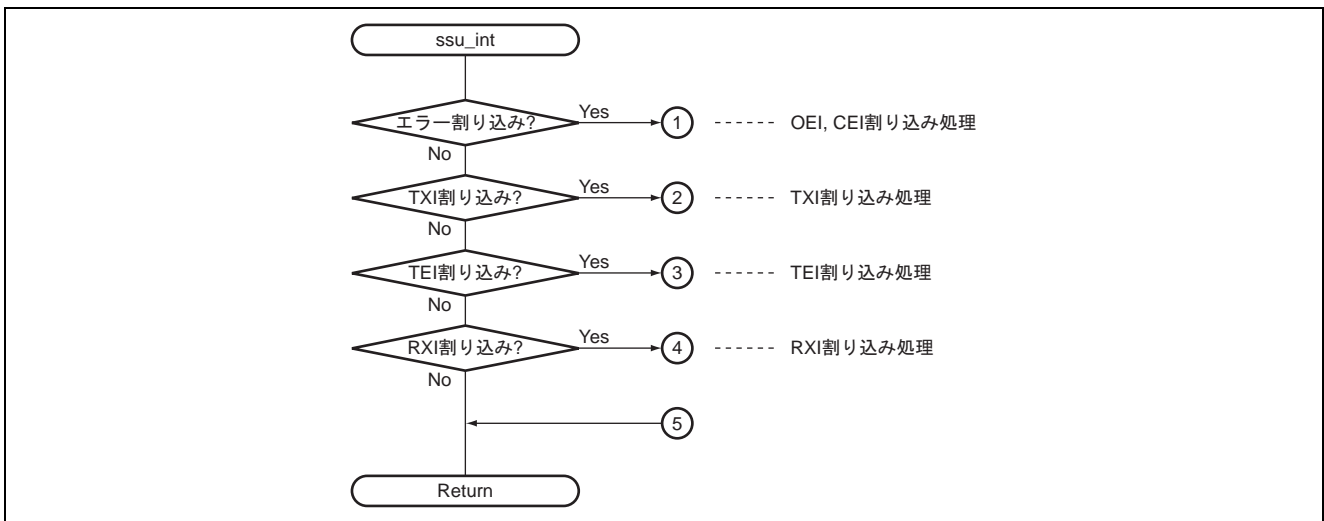
• SSRDR SS レシーブデータレジスタ アドレス：H'F0E9

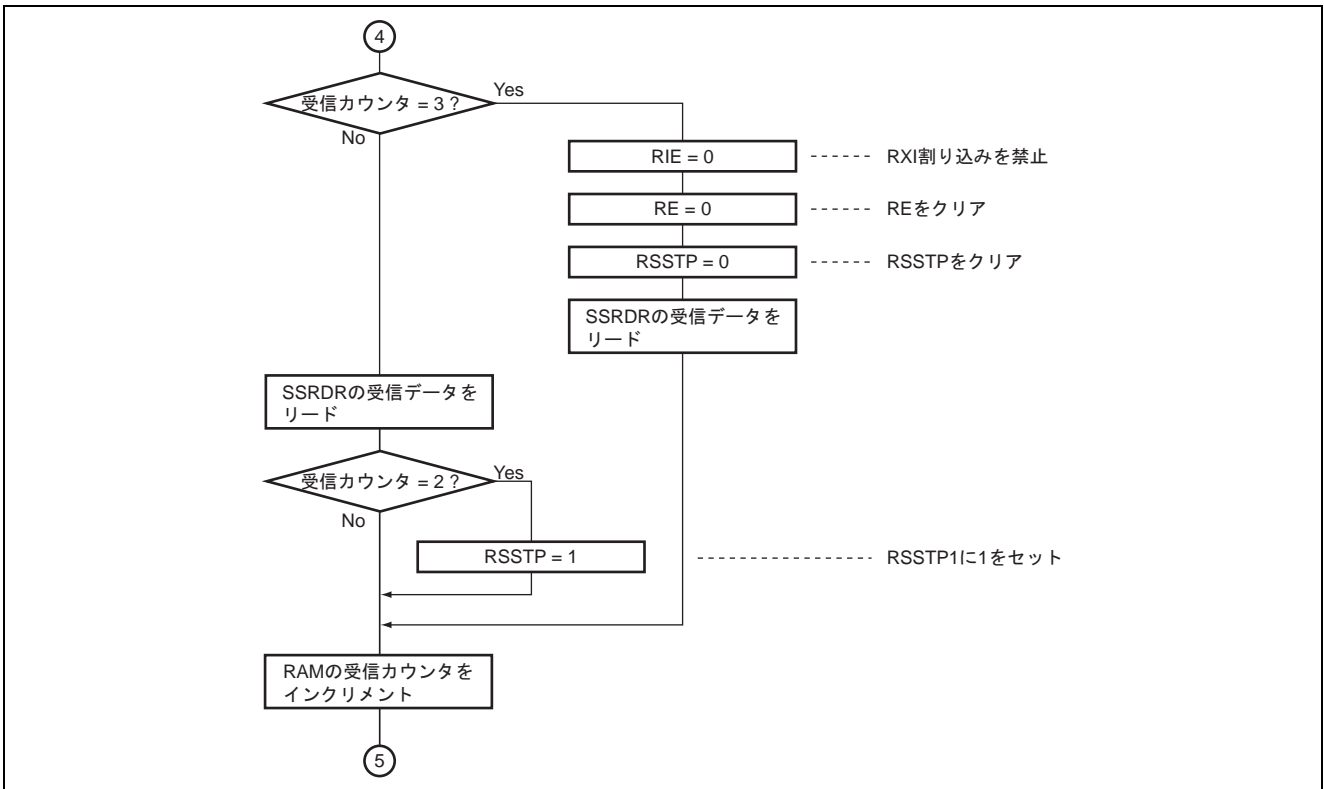
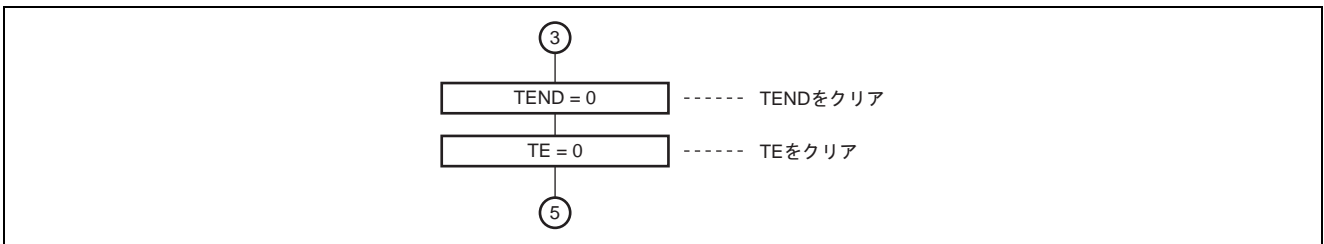
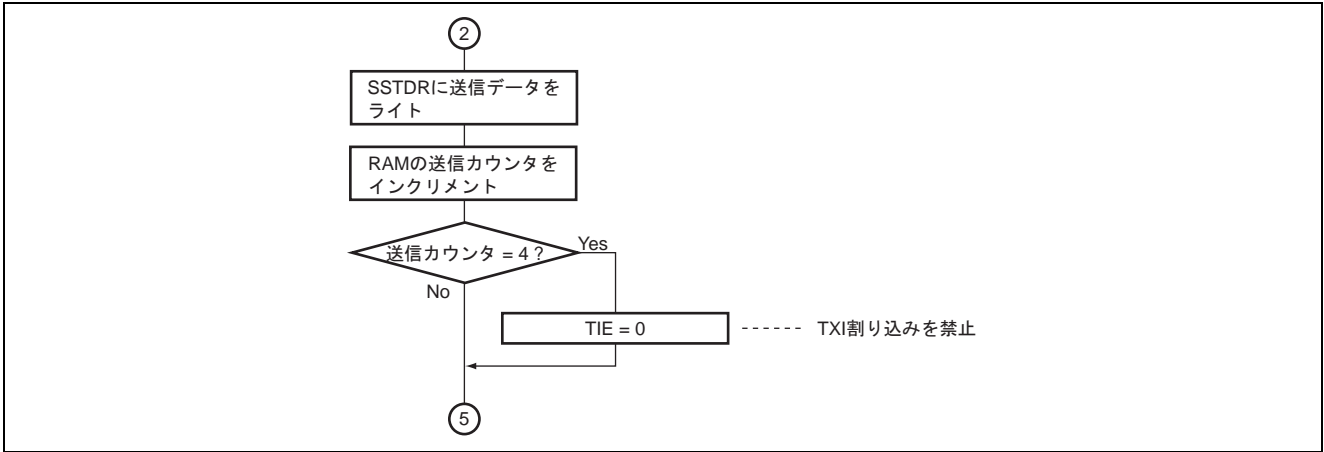
ビット	ビット名	設定値	R/W	機能
7	bit7	不定	R	受信したシリアルデータを格納する 8 ビットのレジスタです。1 バイトのシリアルデータの受信が終了すると、SSTRSR から受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SSTRSR は受信可能になります。このように SSTRSR と SSRDR はダブルバッファになっているため、連続した受信動作が可能です。なお、SSRDR はリード専用のレジスタで、CPU からライトできません。SSRDR の初期値は H'00 です。
6	bit6	不定	R	
5	bit5	不定	R	
4	bit4	不定	R	
3	bit3	不定	R	
2	bit2	不定	R	
1	bit1	不定	R	
0	bit0	不定	R	

• SSTDR SS トランスミットデータレジスタ アドレス：H'F0EB

ビット	ビット名	設定値	R/W	機能
7	bit7	不定	R/W	送信するシリアルデータを格納する 8 ビットのレジスタで、常に CPU によるリード/ライトが可能です。SSTRSR に空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中、SSTDR に次のデータをライトしておく、連続してシリアル送信できます。SSTDR の初期値は H'00 です。
6	bit6	不定	R/W	
5	bit5	不定	R/W	
4	bit4	不定	R/W	
3	bit3	不定	R/W	
2	bit2	不定	R/W	
1	bit1	不定	R/W	
0	bit0	不定	R/W	

3. フローチャート





### 5.5 リンクアドレス指定

セクション名	アドレス
CVECT	H'0000
P	H'0100
D, B	H'FB80



改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.03.18	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。