

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

H8/3003 インタフェース編

アプリケーションノート

ルネサスマイクロコンピュータ

1. 本資料に記載された製品及び製品の仕様は、予告なく変更されることがあります。
2. 本資料に記載された内容は、正確かつ信頼し得るものであります。ただし、これら掲載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、(株)日立製作所は一切その責任を負いません。
3. 本資料によって第三者または(株)日立製作所の特許権その他権利の実施権を許諾するものではありません。
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします。
5. 日立半導体は、人命にかかわる装置用として特別に開発したものは用意しておりません。ライフサポート関連の医療機器用として日立半導体の採用をお考えのお客様は、当社営業窓口へお客様にてシステム設計上の対策をして頂けるかを是非ご連絡頂きますようお願い致します。

はじめに

H8/300Hシリーズマイクロコンピュータは、H8/300CPUと上位互換のアーキテクチャを持つ高速H8/300H CPUを核に、産業用機器組込み用に最適な周辺機能を内蔵した日立オリジナル高性能16ビットマイクロコンピュータです。

1チップ上にCPU、RAM、DMAコントローラ、バスコントローラ、タイマおよびSCIを内蔵しており、小規模システムから大規模システムまで幅広いアプリケーションに適用できます。

H8/3003アプリケーションノート（インタフェース編）は、H8/3003と周辺LSIのインタフェース例を紹介しており、ユーザにてハードウェア設計の際、ご参考として役立てていただけるようにまとめたものです。

なお、本アプリケーションノートに掲載されているタスク例は動作確認しておりますが、
実際にご使用になる場合には、必ず動作確認の上ご使用くださいますようお願い致します。

目 次

1. H8/3003アプリケーションノート使用手引	1
1.1 インタフェース編構成	3
2. バス制御機能説明	5
2.1 バスコントローラ	7
2.1.1 バイト/ワードエリアコントロールレジスタ (ABWCR)	7
2.1.2 2ステート/3ステートエリアコントロールレジスタ (ASTCR)	7
2.1.3 ウェイトコントローライネーブルレジスタ (WCER)	8
2.1.4 ウェイトコントロールレジスタ (WCR)	8
2.2 リフレッシュコントローラ	9
2.2.1 リフレッシュコントロールレジスタ (RFSHCR)	9
2.2.2 リフレッシュタイマコントロールステータスレジスタ (RTMCSR)	10
2.2.3 リフレッシュタイムコンスタントレジスタ (RTCOR)	10
2.3 バスコントローラ、リフレッシュコントローラ設定例	11
3. インタフェース例	13
3.1 SRAMインタフェース	15
3.2 EPROMインタフェース	19
3.3 DPRAMインタフェース	22
3.4 マスクROMインタフェース	28
3.5 疑似SRAMインタフェース	31
3.6 DRAMインタフェース	36
3.7 UPPインタフェース	43
3.8 PIOインタフェース	49
3.9 RTCインタフェース	53
3.10 LCDインタフェース	57

4.	H8/3003 AC特性	63
4.1	H8/3003 AC特性	65
5.	メモリ AC特性	75
5.1	HM62832H-45 AC特性	77
5.2	HN27C256HG-70 AC特性	81
5.3	HN62444BNP AC特性	82
5.4	HM65256B-12 AC特性	83
5.5	HM514260 AC特性	86
6.	周辺LSI AC特性	93
6.1	HD63310RP20 AC特性	95
6.2	HD63143 AC特性	97
6.3	TMP82C55AP-10 AC特性	102
6.4	HD64610 AC特性	104
6.5	LM032L AC特性	106

1. H8 / 3003 アプリケーションノート使用手引

第1章 目次

1.1 インタフェース編構成	3
----------------------	---

1.1 インタフェース編構成

インタフェース編は図1.1に示す構成で周辺LSI（ROM、RAM、タイマ用LSI等）とのインタフェース方法について説明しています。

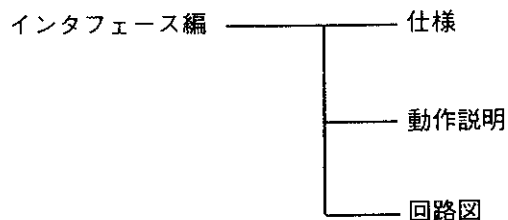


図1.1 インタフェース編構成

(1) 仕様

接続する周辺LSI名およびメモリマップ等の回路仕様について説明しています。

(2) 動作説明

回路の動作をタイミングチャートを使用し説明しています。

(3) 回路図

周辺LSIとインタフェースする回路図を示します。

2. バス制御機能説明

第2章 目次

2.1	バスコントローラ	7
2.2.1	バイト/ワードエリアコントロールレジスタ (ABWCR)	7
2.1.2	2ステート/3ステートエリアコントロールレジスタ (ASTCR)	7
2.1.3	ウェイトコントローライネーブルレジスタ (WCER)	8
2.1.4	ウェイトコントロールレジスタ (WCR)	8
2.2	リフレッシュコントローラ	9
2.2.1	リフレッシュコントロールレジスタ (RFSHCR)	9
2.2.2	リフレッシュタイマコントロールステータスレジスタ (RTMCSR)	10
2.2.3	リフレッシュタイムコンスタントレジスタ (RTCOR)	10
2.3	バスコントローラ、リフレッシュコントローラ設定例	11

2.1 バスコントローラ

H8/3003では動作モードの設定によりアクセス空間を最大16M（モード3、4）または最大1M（モード1、2）のいずれかに設定できます。また、設定したモードにおける最大アクセス空間を8等分しアドレスの低いほうより順にエリア0、エリア1、・・・、エリア7としています。バスコントローラを使用することにより、各エリアごとにアクセスデータバス幅および、アクセスステート数を設定できます。また、低速の外部デバイスとのインタフェースを行うためにウェイトステートを自動挿入して、バスサイクルを伸ばすことも可能です。

本アプリケーションノートのインタフェース例で使用するエリアを設定するためのレジスタの設定例を示します。バスコントローラのバス幅コントロールレジスタ（ABWCR）、アクセスステートコントロールレジスタ（ASTCR）および、ウェイトコントロールレジスタ（WCR）、ウェイトコントロールラインレベルレジスタ（WCER）を設定してエリアごとにアクセスバス幅、アクセスステート数および、ウェイトの有無を設定します。各レジスタの機能は以下のとおりです。

2.1.1 バイト/ワードエリアコントロールレジスタ（ABWCR）

各エリア8ビットデータバスアクセス空間または、16ビットデータバスアクセス空間のいずれかに設定するための8ビットレジスタです。ビット0がエリア0に対応し、0～7ビットでエリア0～7を制御します。ビットの値を0に設定すると16ビットデータバスアクセス空間に、1に設定すると8ビットデータバスアクセス空間に設定されます。

ビット	7	6	5	4	3	2	1	0
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0・・・対応するエリアを16ビットデータバスアクセス空間に設定
 1・・・対応するエリアを8ビットデータバスアクセス空間に設定

2.1.2 2ステート/3ステートエリアコントロールレジスタ（ASTCR）

各エリアを2ステートアクセス空間または、3ステートアクセス空間のいずれかに設定するための8ビットレジスタです。ビット0がエリア0に対応し、0～7ビットでエリア0～7を制御します。ビットの値を0に設定すると2ステートアクセス空間に、1に設定すると3ステートアクセス空間に設定されます。

ビット	7	6	5	4	3	2	1	0
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

0・・・対応するエリアを2ステートアクセス空間に設定
 1・・・対応するエリアを3ステートアクセス空間に設定

2.1.3 ウェイトコントローラライネーブルレジスタ (WCER)

外部3ステートアクセス空間について、WSCの動作を許可/禁止するための8ビットレジスタです。ビット0がエリア0に対応し7~0ビットでエリア7~0を制御します。ビット値を0に設定するとWSCを禁止し、1に設定するとWSCに従います。

2ステートアクセス空間に設定されたエリアでは、ウェイトを挿入することができません。このため、ASTCRで2ステートアクセス空間に設定したエリアに該当するWCERのビットは意味がありません。

ビット	7	6	5	4	3	2	1	0
WCER	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

{ 0・・・対応するエリアはWCEを禁止
 { 1・・・対応するエリアはWCEに従うように設定

2.1.4 ウェイトコントロールレジスタ (WCR)

WCRはウェイトモードと、挿入ウェイト数を選択するための8ビットレジスタです。ビット1、0 (WC0、1) で挿入ウェイト数を指定し、ビット3、2 (WMS1、0) でウェイトモードを設定します。なお、ビット7~4はリザーブビットなので使用しません。

ビット	7	6	5	4	3	2	1	0
WCR	—	—	—	—	WMS1	WMS0	WC1	WC0
初期値	1	1	1	1	1	1	1	1
R/W	—	—	—	—	R/W	R/W	R/W	R/W

↳ リザーブビット
 ↳ ウェイトモードの選択
 ↳ 挿入するウェイトステート数を設定 (0~3)

表2.1 ウェイトモード一覧

ウェイトモード	説明
端子ウェイトモード0	WAIT端子によるウェイトステートのみが挿入可能。
端子ウェイトモード1	常にWC1、0ビットにより設定されたウェイトステートを挿入し、さらにWAIT端子によるウェイトステートが挿入可能。
端子オートウェイトモード	WAIT端子により、WC1、0ビットにより設定されたウェイトステートを挿入。
プログラムウェイトモード	常にWC1、0ビットにより設定されたウェイトステートを挿入。WAIT端子によるウェイトステートの挿入は不可。

表2.2 ウェイトモードの選択

ASTCR	WCER	WCR		ウェイトモード
		WMS1	WMS0	
0	—	—	—	禁止
1	0	—	—	端子ウェイトモード0
1	1	0	0	プログラムウェイトモード
		0	1	禁止
		1	0	端子ウェイトモード1
		1	1	端子オートウェイトモード

2.2 リフレッシュコントローラ

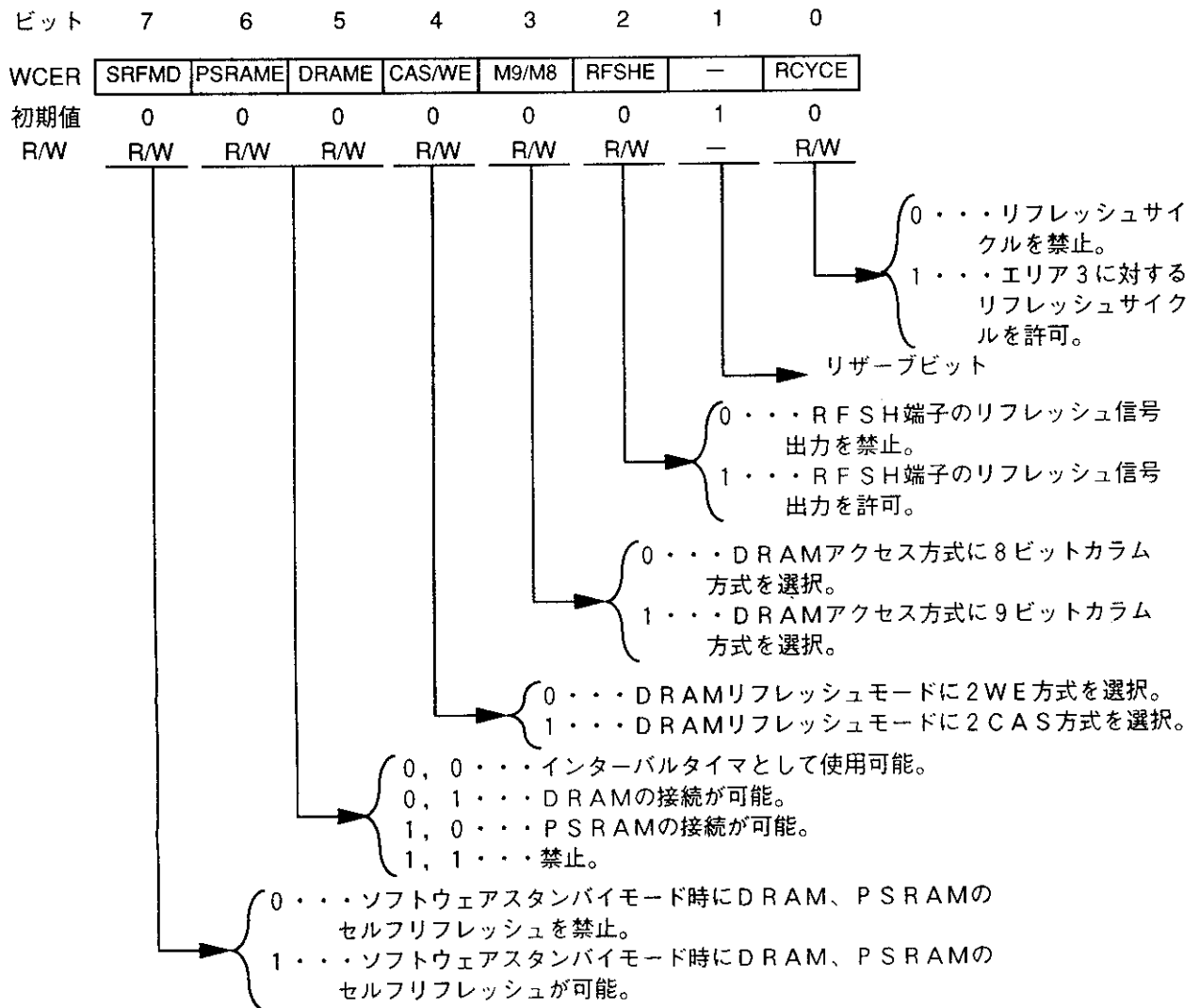
H8/3003はリフレッシュコントローラを内蔵しており、×16ビット構成のDRAMを直接接続できます。また、DRAMの代わりにPSRAMと接続することも可能です。

リフレッシュコントローラにより制御できるアドレス空間はエリア3です。モード1, 2 (1Mバイトモード)は最大128kバイト、モード3, 4 (16Mバイトモード)は最大2Mバイトを使用できます。

2.2.1 リフレッシュコントロールレジスタ (RFSHCR)

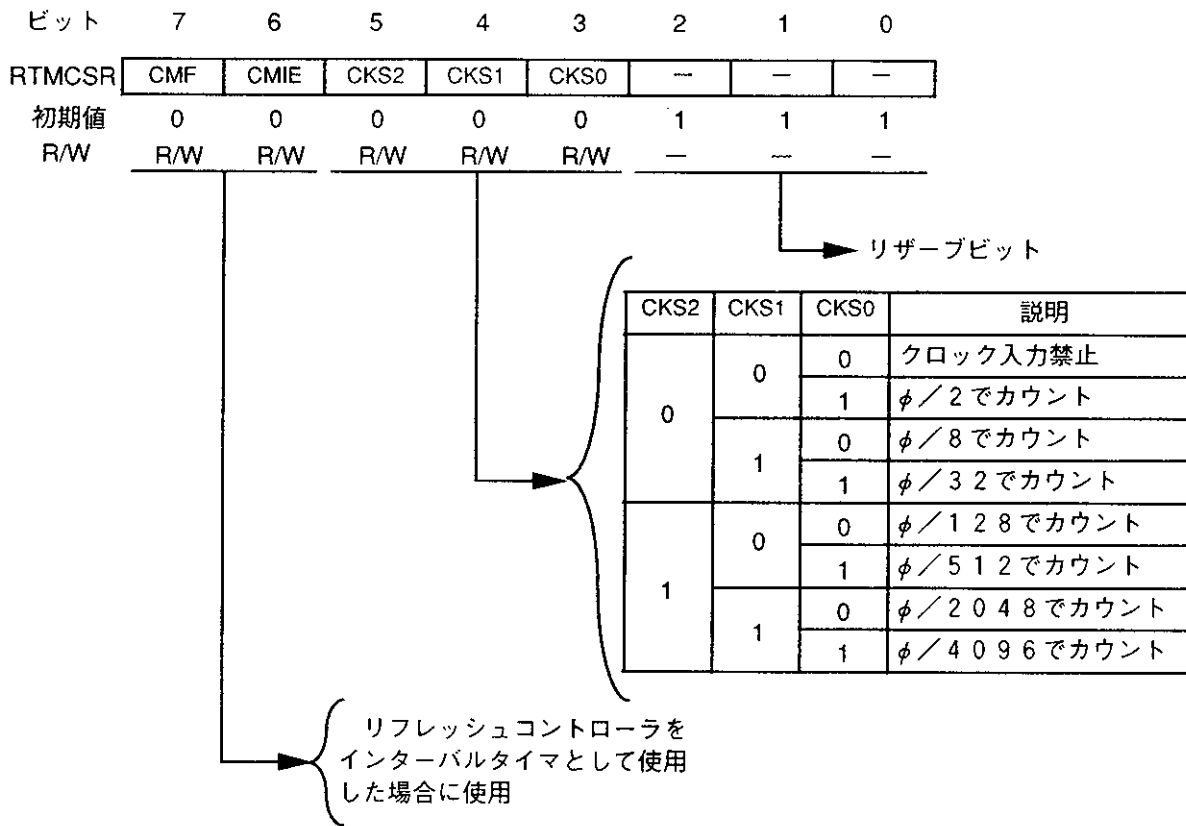
リフレッシュコントローラの動作モードを選択する8ビットレジスタです。

このレジスタを設定することにより接続デバイス (DRAM/PSRAM) の選択、リフレッシュの有無、アクセス方法の選択などが可能です



2.2.2 リフレッシュタイムコントロールステータスレジスタ (RTMCSR)

リフレッシュタイムカウンタに入力するクロックを選択する8ビットレジスタです。



2.2.3 リフレッシュタイムコンスタントレジスタ (RTCOR)

リフレッシュタイムカウンタのクリア周期を設定する8ビットレジスタです。
リフレッシュタイムカウンタとリフレッシュタイムコンスタントレジスタの値が常に比較されており、
両方の値が一致するとリフレッシュタイムカウンタがクリアされます。

ビット	7	6	5	4	3	2	1	0
RTCOR								
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

2.3 バスコントローラ、リフレッシュコントローラ設定例

本アプリケーションノートのインターフェイス例のエリアマップを図2.1に示します。

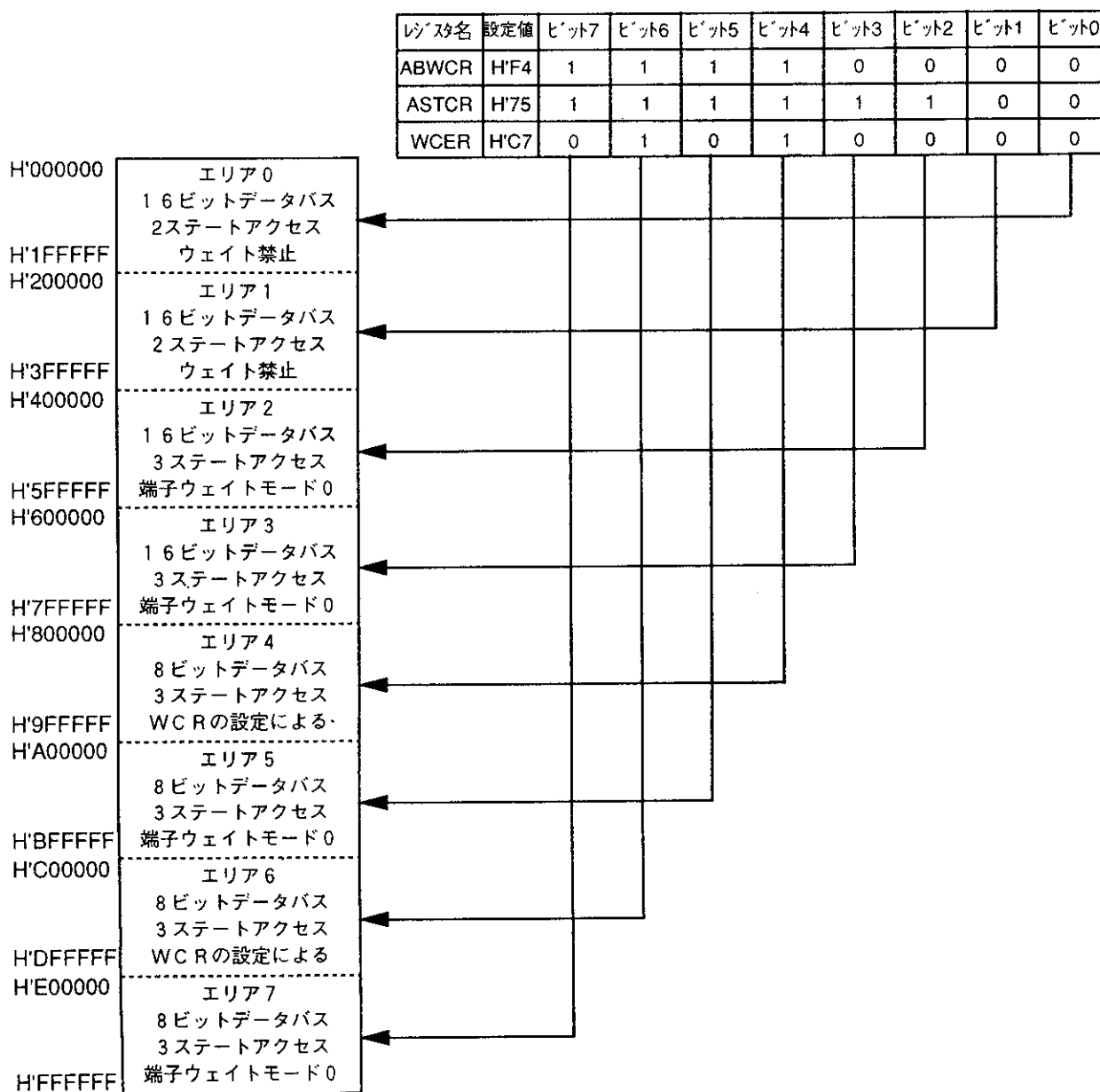


図2.1 エリアマップ

WCR（ウェイトコントロールレジスタ）の設定は接続デバイスにより異なります。本アプリケーションノートでの設定値を表2.3に示します。

表2.3 WCR設定例一覧

接続デバイス	ウェイトモード	挿入ウェイト数	WCR
DPRAM	端子ウェイトモード1	2ステート	H'FA
LCD			H'FA
UPP		1ステート	H'F9
PIO	プログラマブルウェイトモード		H'F1

本アプリケーションノートのインタフェース例におけるエリアの設定のための各レジスタの設定例を示します。



図2.2 エリア設定のための各レジスタの設定例

3. インタフェース例

第3章 目次

3.1	SRAMインタフェース	15
3.2	EPROMインタフェース	19
3.3	DPRAMインタフェース	22
3.4	マスクROMインタフェース	28
3.5	疑似SRAMインタフェース	31
3.6	DRAMインタフェース	36
3.7	UPPインタフェース	43
3.8	PIOインタフェース	49
3.9	RTCインタフェース	53
3.10	LCDインタフェース	57

3.1 SRAMインタフェース

SRAM(HM62832H-45)インタフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス、16Mバイトアドレス空間)
仕様				

(1) 図3.1に示すように、H8/3003のモード4 (16ビットデータバス、16Mバイトアドレス) でSRAM (HM62832H-45) とインタフェースを行います。

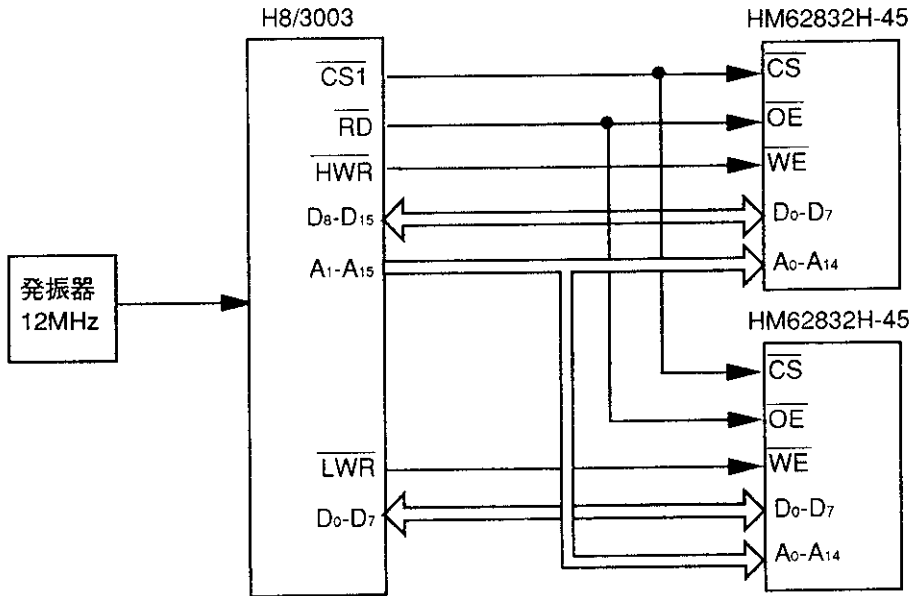


図3.1 H8/3003およびHM62832H-45接続ブロック図

(2) 図3.2に示すように、H8/3003の16Mバイトのメモリ空間のうち、エリア1 (H' 200000 ~ H' 3FFFFFF) に割り付けます。また、エリア1のバスコントローラを以下のように設定します。

データバス幅：16ビットバス
 ステート数：2ステート
 ウェイトモード：ウェイト禁止

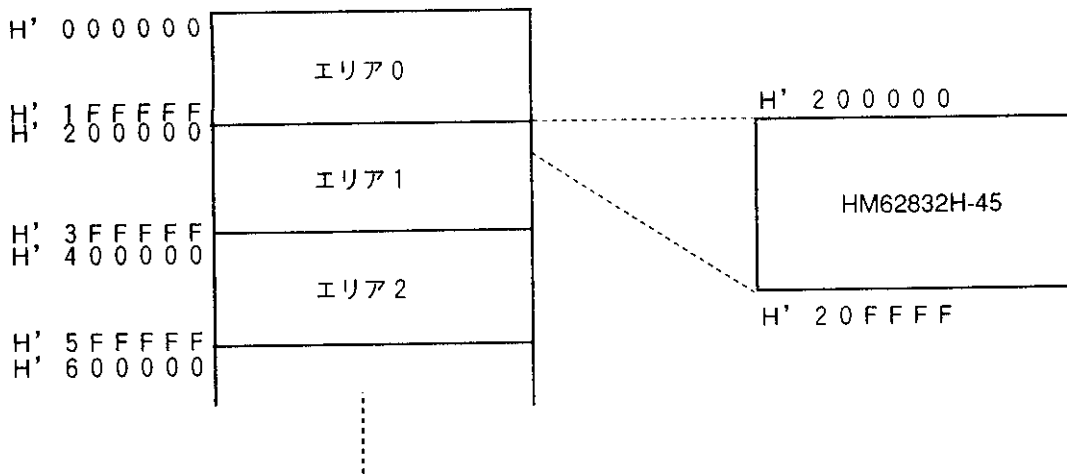


図3.2 メモリマップ

動作説明

(1) データのリード/ライト

図3.3にデータのリード/ライトタイミングチャートを示します。H8/3003とHM62832H-45を直接接続する場合、H8/3003の t_{ACCI} 、 t_{ACC3} (リードデータアクセス時間)、 t_{RDH} (リードデータホールド時間) およびHM62832H-45の t_{DW} (データセットアップ時間)、 t_{DH} (データホールド時間)、 t_{CW} (チップセレクト時間)、 t_{WP} (ライトパルス幅) が満足されているかを確認します。

図3.3から各タイミングは以下のようになります。

(a) H8/3003の t_{ACCI} および t_{ACC3}

$$t_{ACCI} = t_{ACS(max)} \\ = 45 ns \leq 80 ns \text{ (H8/3003 } t_{ACCI})$$

$$t_{ACC3} = t_{OE(max)} \\ = 20 ns \leq 40 ns \text{ (H8/3003 } t_{ACC3})$$

(b) H8/3003の t_{RDH}

$$t_{RDH} = t_{CHZ(min)} \\ = 0 ns \geq 0 ns \text{ (H8/3003 } t_{RDH})$$

(c) HM62832H-45の t_{DW} および t_{DH}

$$t_{DW} = t_{WDS1(min)} \\ = 60 ns \geq 20 ns \text{ (HM62832H-45 } t_{DW})$$

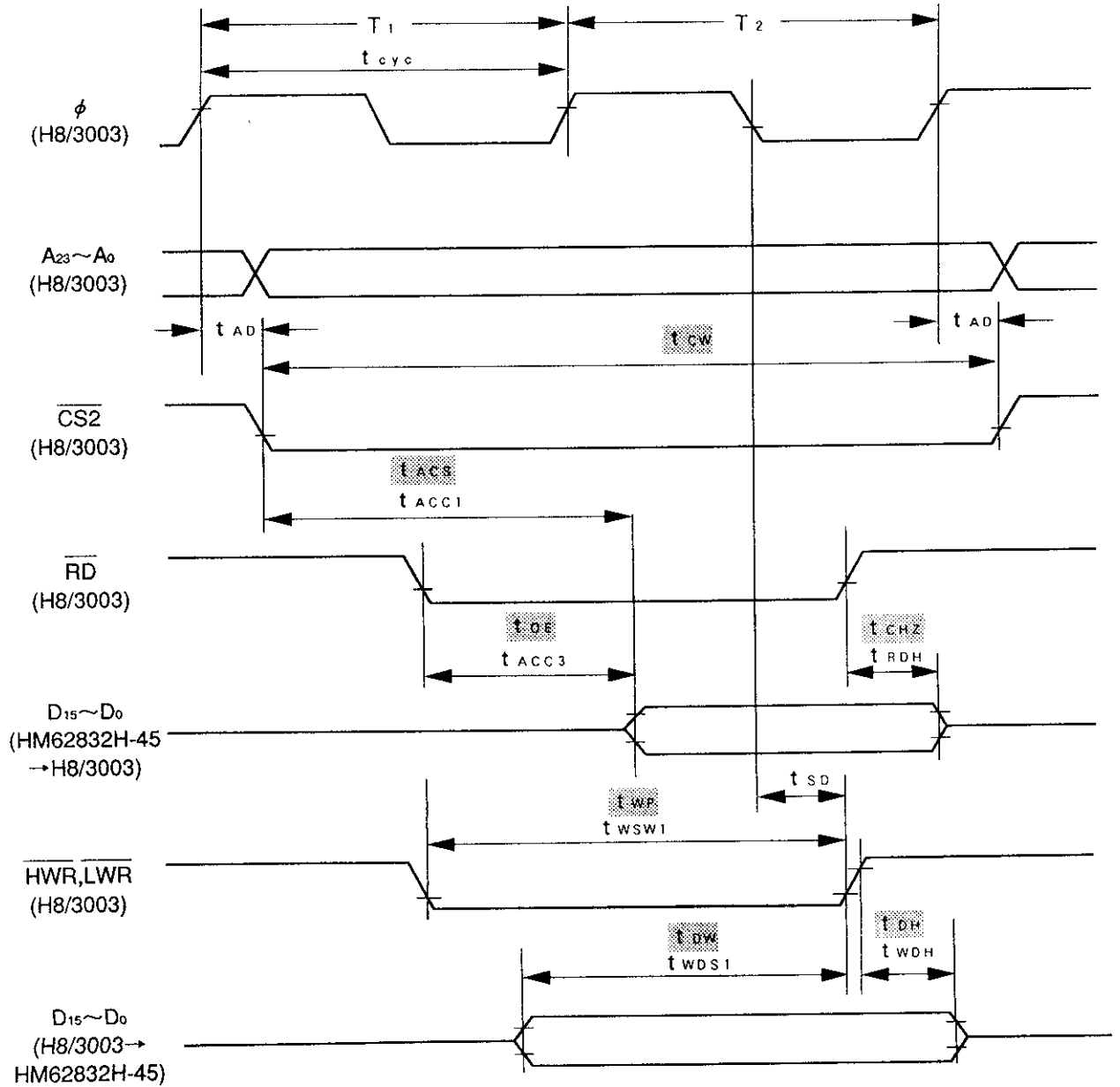
$$t_{DH} = t_{WDH(min)} \\ = 20 ns \geq 0 ns \text{ (HM62832H-45 } t_{DH})$$

(d) HM62832H-45の t_{CW} および t_{WP}

$$t_{CW} = T_1 + T_2 + t_{AD(min)} - t_{AD(max)} \\ = 83.3 + 83.3 + 0 - 35 \\ = 131.6 ns \geq 25 ns \text{ (HM62832H-45 } t_{CW})$$

$$t_{WP} = t_{WSWI(min)} \\ = 55 ns \geq 25 ns \text{ (HM62832H-45 } t_{WP})$$

動作説明



■ : HM62832H-45のAC特性

図 3.3 リード/ライトタイミングチャート

回路図

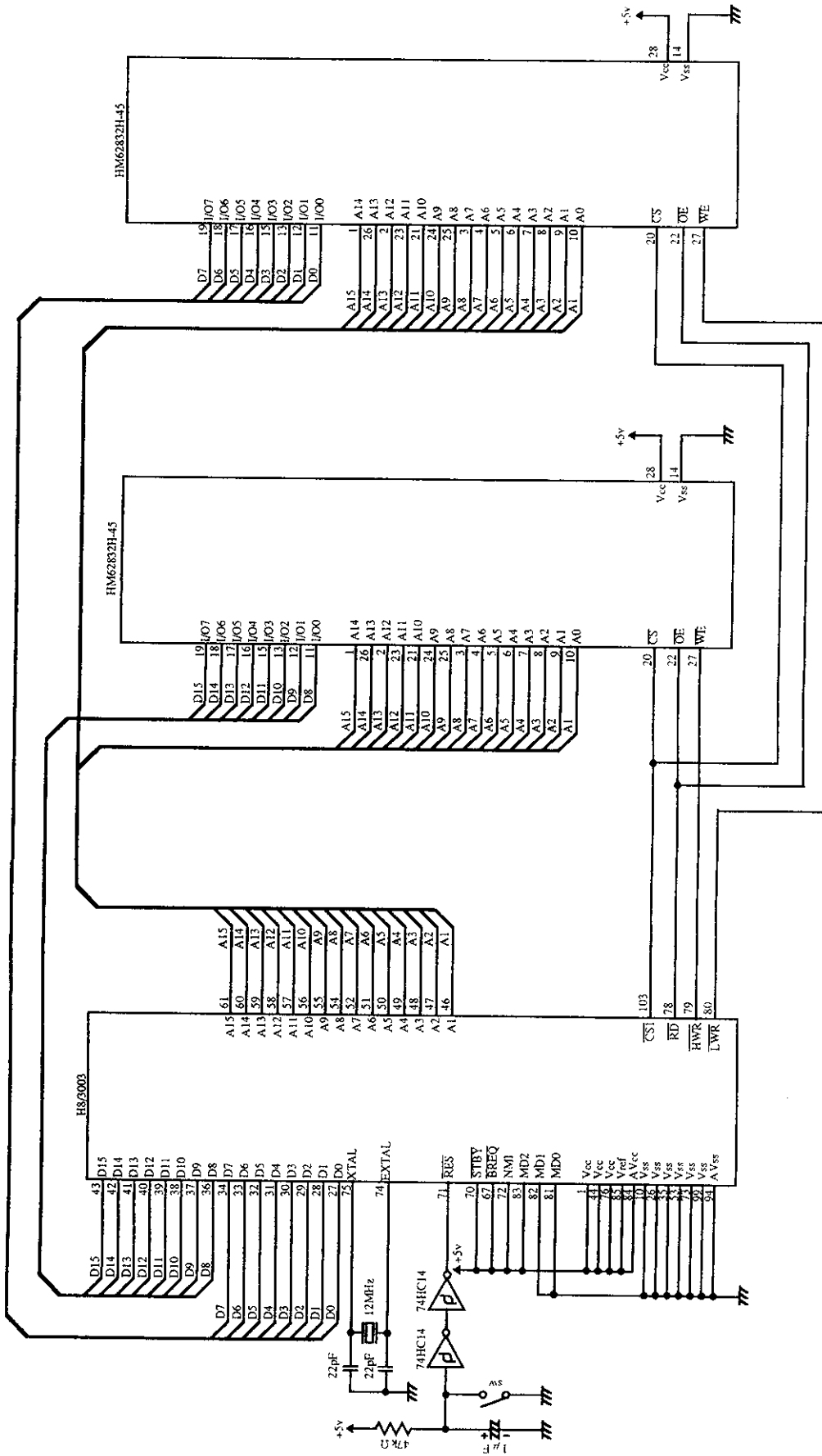


図 3.4 HM62832H-45インタフェース

3.2 EPROMインタフェース

EPROM(HN27C256-70)インタフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス、16Mバイトアドレス)
仕様				

(1) 図3.5に示すように、H8/3003のモード4 (16ビットデータバス、16Mバイトアドレス) で EPROM (HN27C256-70) とインタフェースを行います。

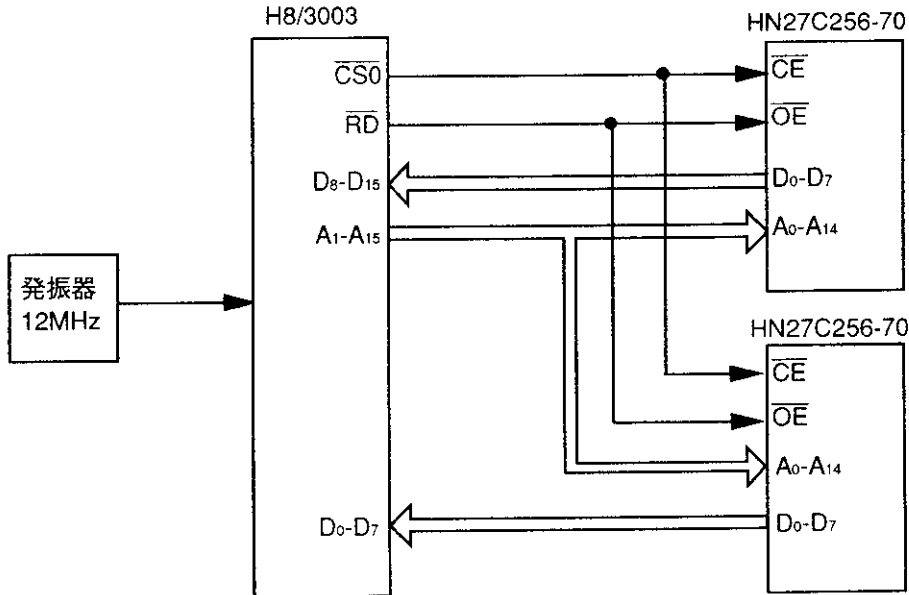


図3.5 H8/3003およびHN27C256-70接続ブロック図

(2) 図3.6に示すように、H8/3003の16Mバイトのメモリ空間のうち、エリア0 (H' 000000 ~ H' 1FFFFFF) に割り付けます。また、エリア0のバスコントローラを以下のように設定します。

データバス幅: 16ビットバス
 ステート数: 2ステート
 ウェイトモード: ウェイト禁止

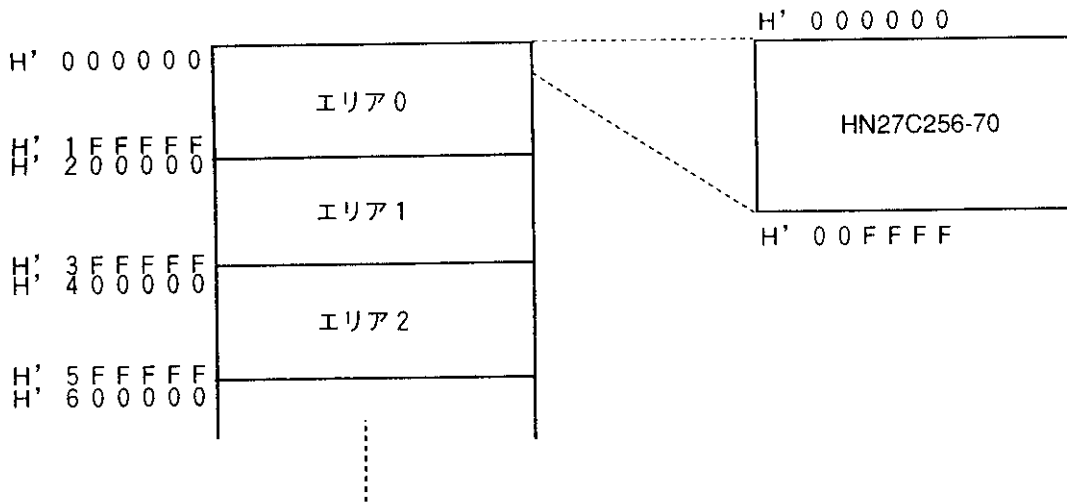


図3.6 メモリマップ

動作説明

(1) データのリード

図3.7にデータのリードタイミングチャートを示します。H8/3003とHN27C256-70を直接接続する場合、H8/3003の t_{ACC1} 、 t_{ACC3} (リードデータアクセス時間) および t_{RDH} (リードデータホールド時間) が満足されているかを確認します。

図3.7から各タイミングは以下のようになります。

(a) H8/3003の t_{ACC1} および t_{ACC3}

$$t_{ACC1} = t_{CE(max)} \\ = 70ns \leq 80ns \text{ (H8/3003 } t_{ACC1})$$

$$t_{ACC3} = t_{OE(max)} \\ = 40ns \leq 40ns \text{ (H8/3003 } t_{ACC3})$$

(b) H8/3003の t_{RDH}

$$t_{RDH} = t_{DOH(min)} \\ = 5ns \geq 0ns \text{ (H8/3003の } t_{RDH})$$

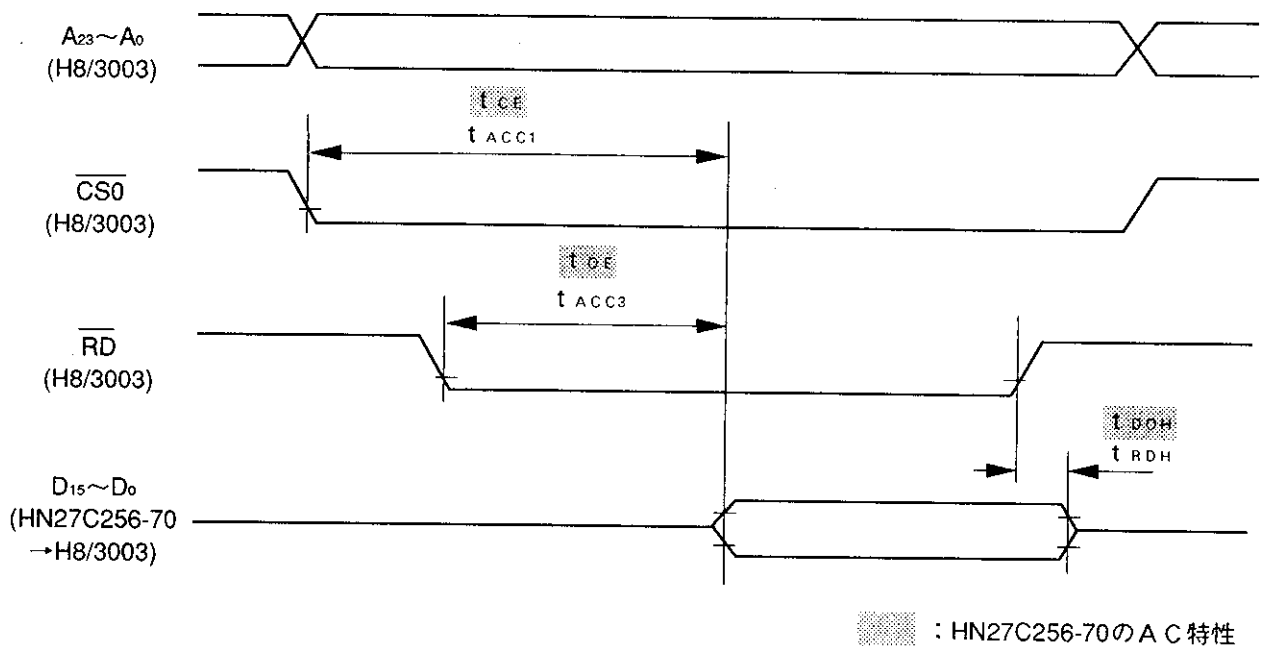


図3.7 リードタイミングチャート

回路図

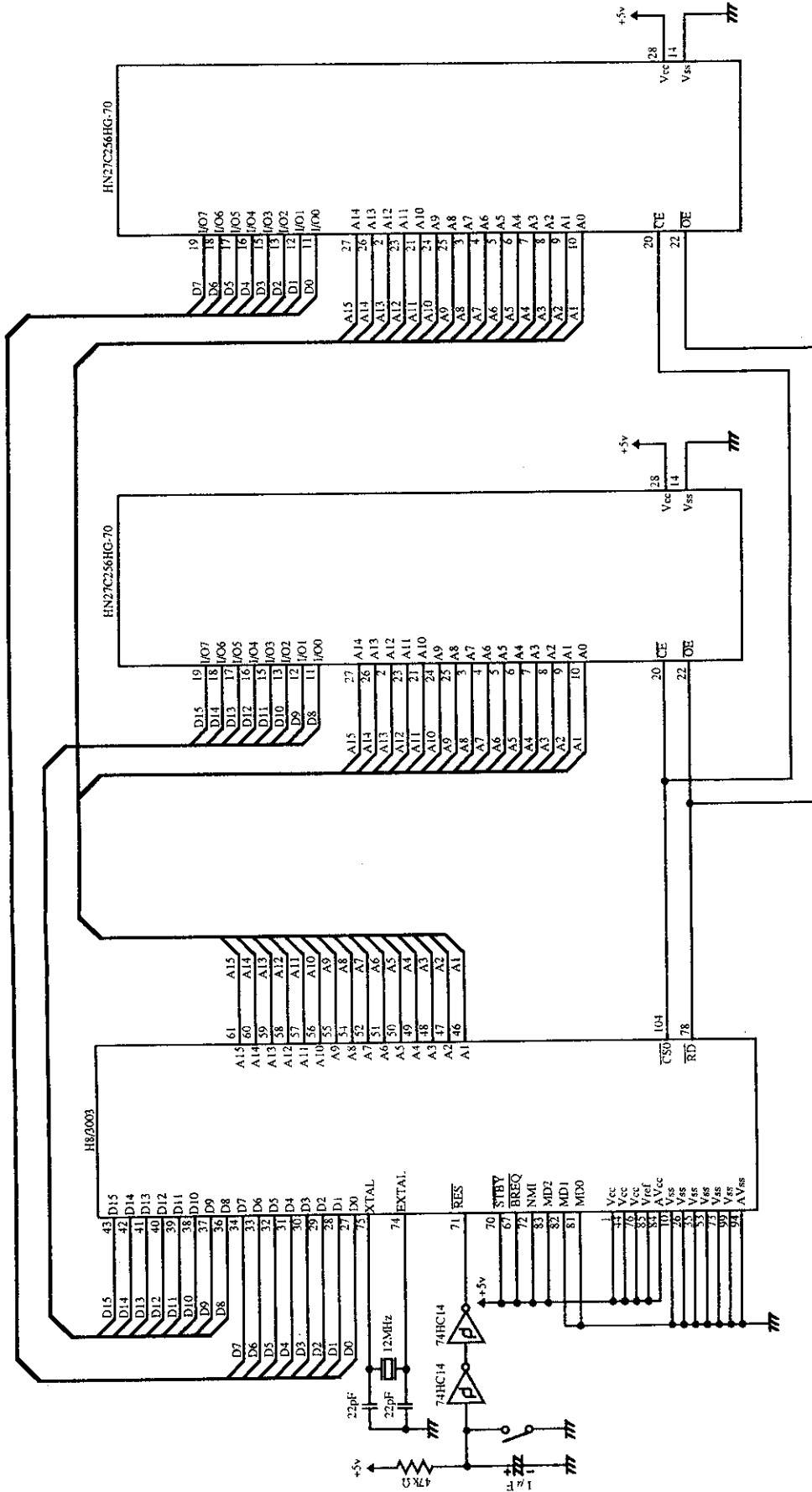


図 3.8 HN27C256-70 インタフェース

3.3 DPRAMインターフェース

DPRAM(HD63310RP20)インターフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス、16Mバイトアドレス空間)
----------------------------	-----	---------	------	--------------------------------

仕様

- (1) 図3.9に示すように、H8/3003のモード4 (16ビットデータバス、16Mバイトアドレス) で DPRAM (HD63310RP20) とインターフェースを行います。

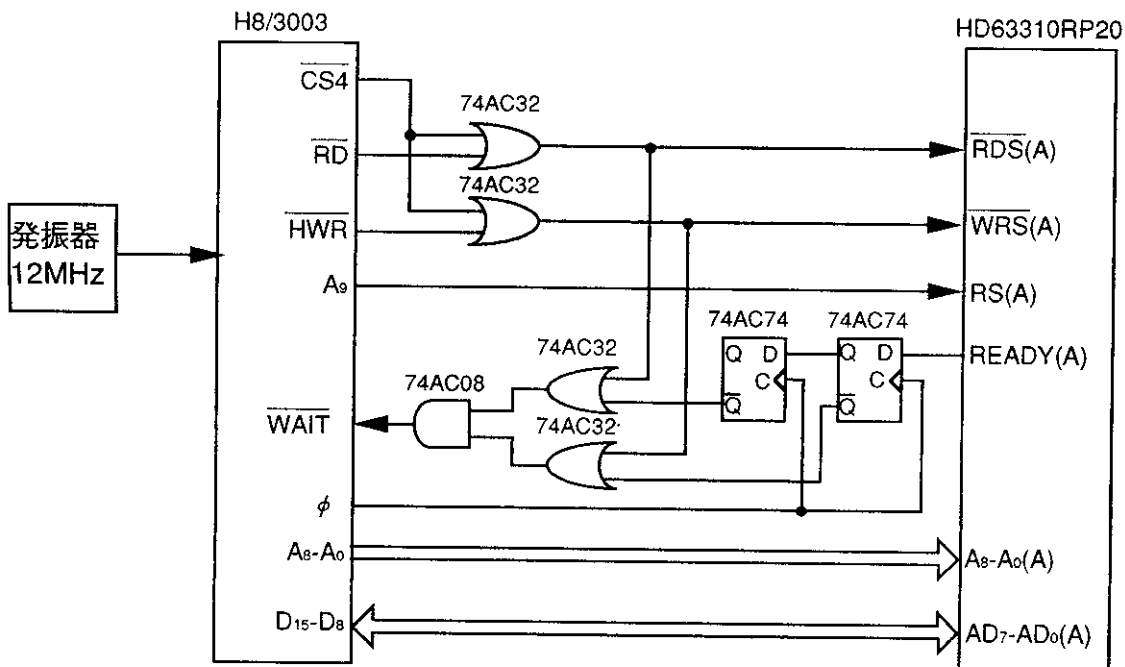


図3.9 H8/3003およびHD63320RP20接続ブロック図

- (2) 図3.10に示すように、H8/3003の16Mバイトのメモリ空間のうち、エリア4 (H' 800000 ~ H' 9FFFFFF) に割り付けます。また、エリア4のバスコントローラを以下のように設定します。

データバス幅: 8ビットバス

ステート数: 3ステート

ウェイトモード: 端子ウェイトモード1

挿入ウェイト数: 2ステート

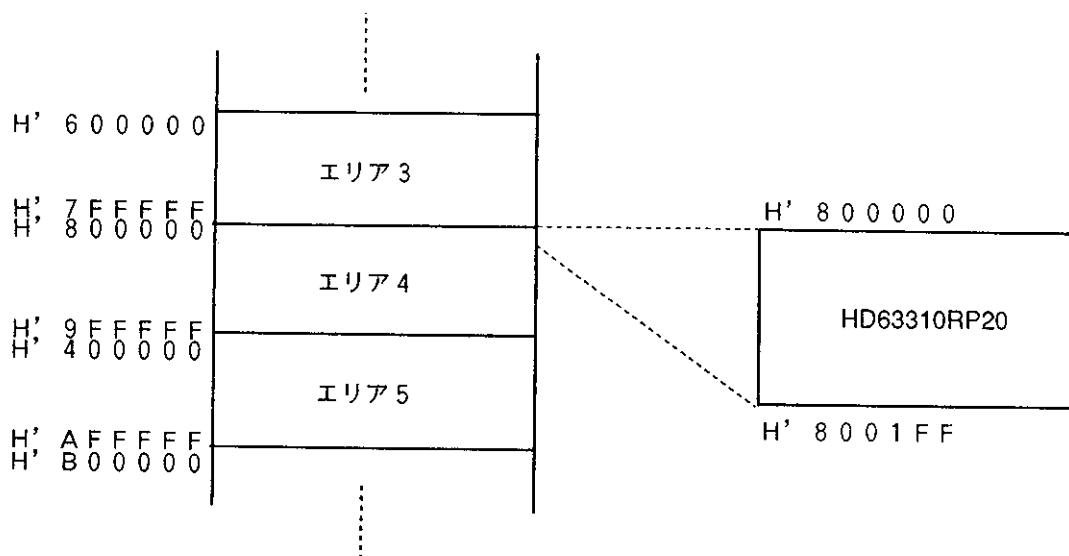


図3.10 メモリマップ

動作説明

(1) ウェイト信号の生成部

図3.1.1にウェイト信号生成回路を、図3.1.2にウェイトタイミングチャートを示します。H8/3003とHD63310RP20を接続する場合、HD63310RP20が他の処理を行っているときH8/3003からのリード/ライトが正常に行われません。このため、HD63310RP20のREADY信号が立ち下がるまでリード/ライトサイクルにウェイトサイクルを挿入しHD63310RP20の処理完了を待ちます。

RDS信号、WRS信号の立ち下がりによってWAIT信号を立ち下げます。φクロックの立ち上がりでREADY信号を検出し、“L”レベル検出後、リードサイクル時は1クロック遅れて、ライトサイクル時は即時に、WAIT信号を立ち上げます。

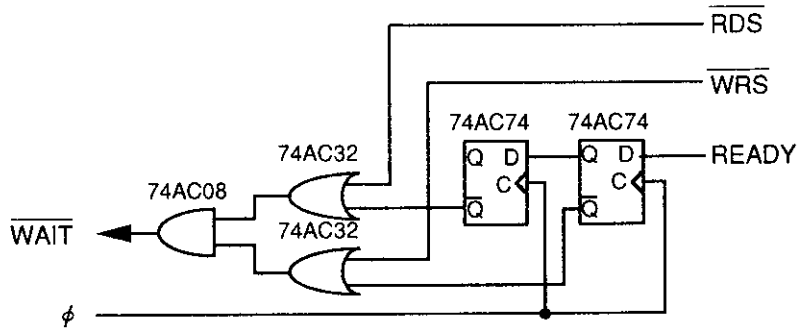


図3.1.1 ウェイト信号生成回路

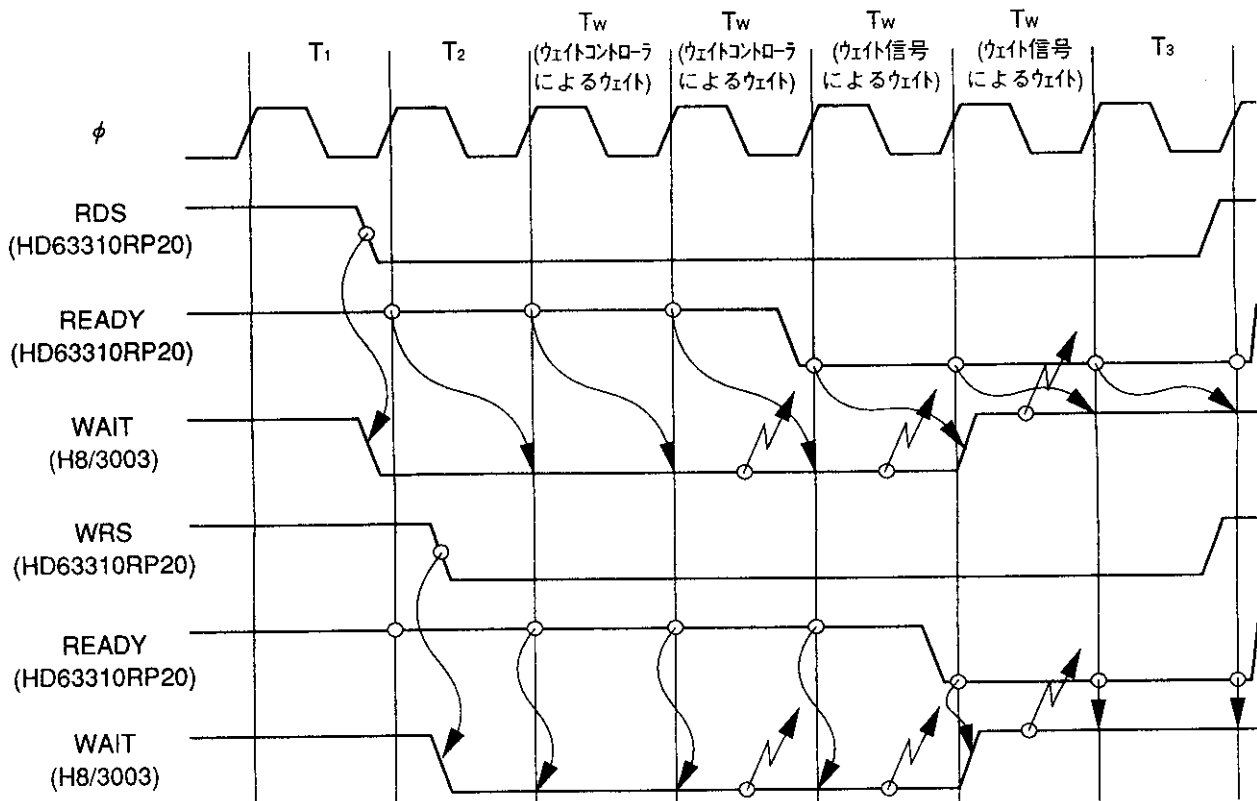


図3.1.2 ウェイトタイミングチャート

動作説明

(2) データのリード/ライト

図3.13にデータのリードタイミングチャートを、図3.14にデータのライトタイミングチャートを示します。H8/3003とHD63310RP20を接続する場合、H8/3003の t_{RDS} (リードデータセットアップ時間)、 t_{RDH} (リードデータホールド時間) およびHD63310Rの t_{DSW} (データ入力セットアップ時間)、 t_{DHW} (データ入力ホールド時間) が満足されているかを確認します。

リードサイクル時、HD63310RP20のデータ出力タイミングはREADY信号の立ち下がりに依存します。 t_{RDS} の算出を行う際に、READY信号の立ち下がりタイミングが重要となります。

しかし、READY信号のタイミングはHD63310RP20の動作状況によって大きくかわります。

このため、READY信号の立ち下がりから次のクロックの立ち上がりまでの時間を α と置いて t_{RDS} の算出を行います。

図3.13および図3.14から各タイミングは以下のようになります。

(a) H8/3003の t_{RDS} および t_{RDH}

$$\begin{aligned} t_{RDS} &= \alpha_{(min)} + T_W + T_W + t_{CH(min)} - t_{DDR(max)} \\ &= 0 + 83.3 + 83.3 + 30 - 120 \\ &= \underline{76.6 ns} \geq 20 ns \text{ (H8/3003 } t_{RDS}) \end{aligned}$$

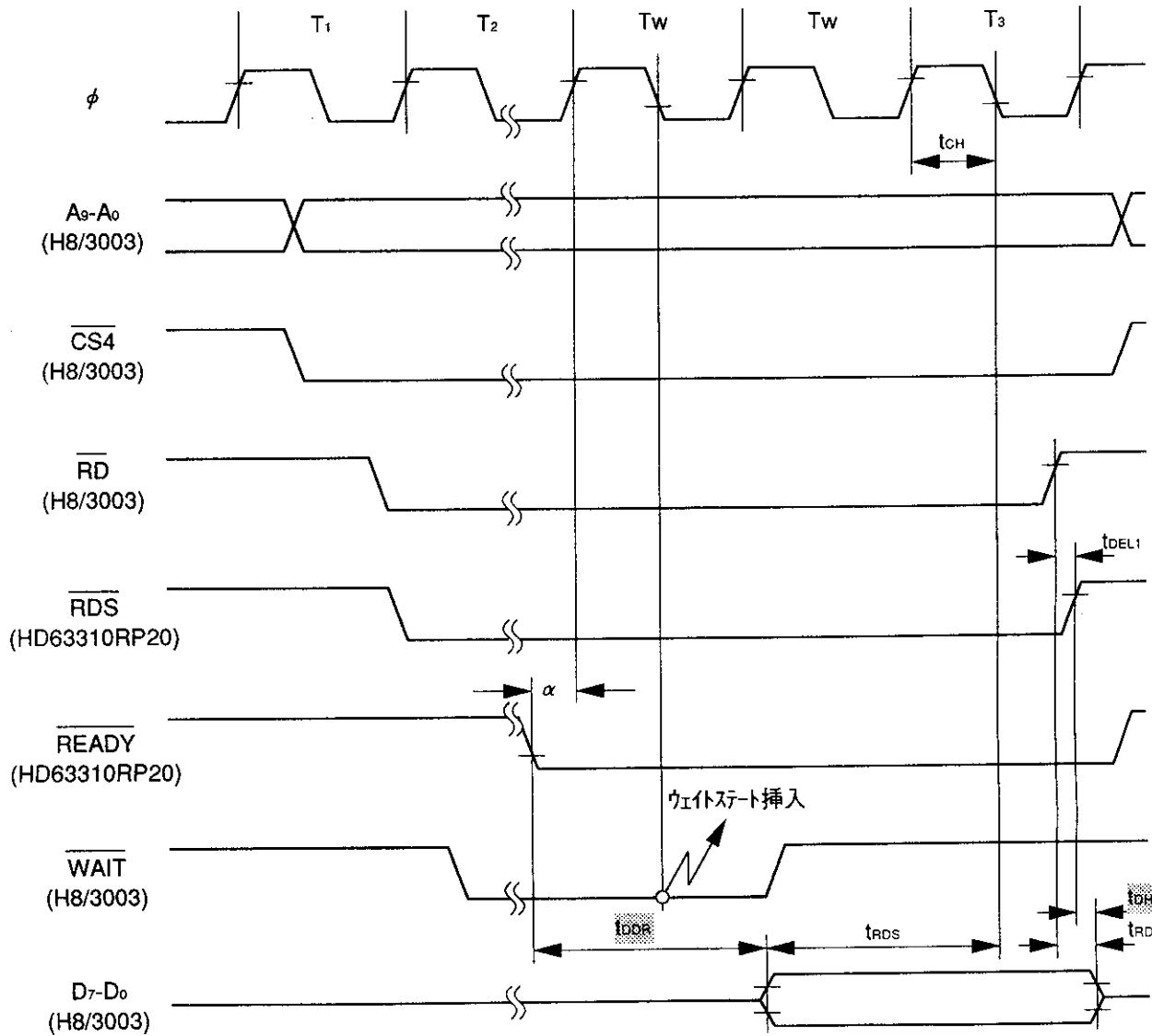
$$\begin{aligned} t_{RDH} &= t_{DHR(min)} + t_{DELI(min)} \\ &= 10 + 0 \\ &= \underline{10 ns} \geq 0 ns \text{ (H8/3003 } t_{RDH}) \end{aligned}$$

(b) HD63310Rの t_{DSW} および t_{DHW}

$$\begin{aligned} t_{DSW} &= T_2 + T_W \times 2 + t_{CH(min)} + t_{SD(min)} + t_{DEL2(min)} - t_{WSD(max)} + t_{WDS2(min)} \\ &= 83.3 + 83.3 \times 2 + 30 + 0 + 0 - 35 + 10 \\ &= \underline{254.9 ns} \geq 60 ns \text{ (HD63310RP20 } t_{DSW}) \end{aligned}$$

$$\begin{aligned} t_{DHW} &= t_{WDH(min)} - t_{DEL2(max)} \\ &= 20 - 8.5 \\ &= \underline{11.5 ns} \geq 0 ns \text{ (HD63310RP20 } t_{DHW}) \end{aligned}$$

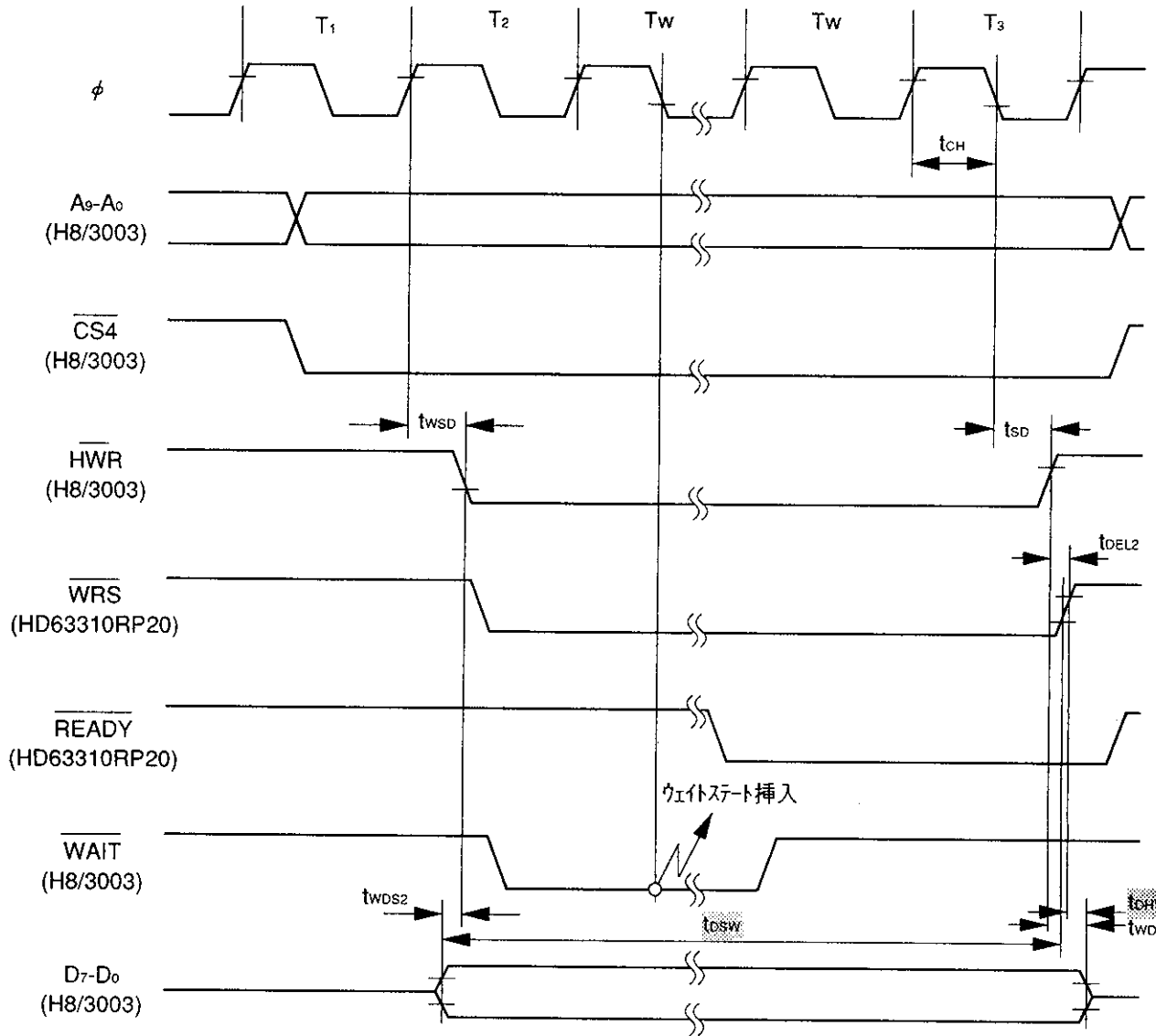
動作説明



t_{DEL1} : RDS信号生成回路遅延時間
 (Hatched area): HD63310RP20のAC特性

図3.13 リードタイミングチャート

動作説明



t_{DEL2} : WRS信号生成回路遅延時間
 (Shaded area): HD63310RP20のAC特性

図3.14 ライトタイミングチャート

回路図

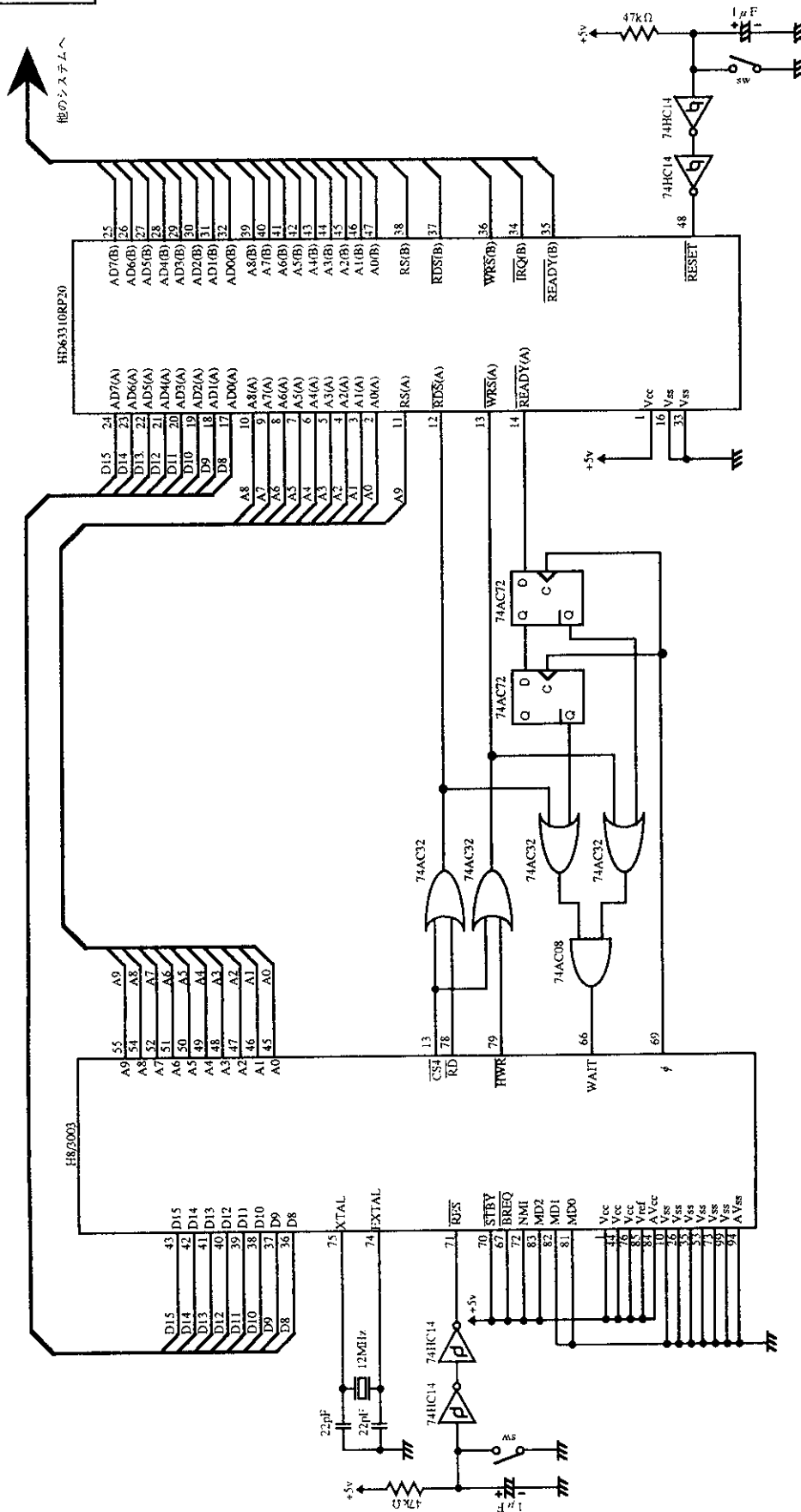


図 3.15 HD63310RP20インタフェース回路

3.4 マスクROMインタフェース

マスクROM(HN62444BNP)インタフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス、16Mバイトアドレス空間)
---------------------------	-----	---------	------	--------------------------------

仕様

(1) 図3.16に示すように、H8/3003のモード4 (16ビットデータバス、16Mバイトアドレス) でマスクROM (HN62444BNP) とインタフェースを行います。

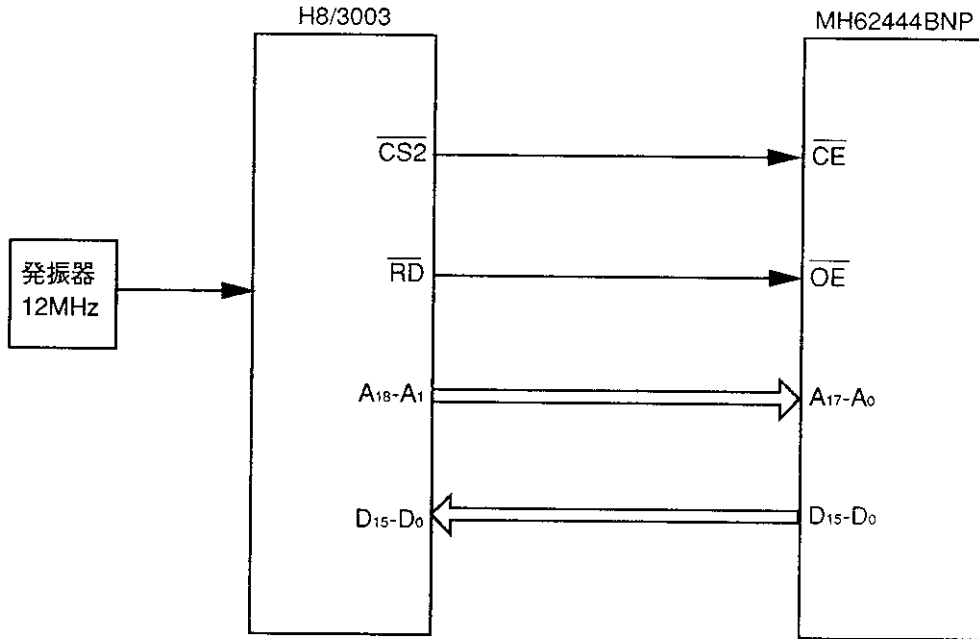


図3.16 H8/3003およびHN62444BNP接続ブロック図

(2) 図3.17に示すように、H8/3003の16Mバイトのメモリ空間のうち、エリア2 (H' 400000 ~ H' 5FFFFFF) に割り付けます。また、エリア2のバスコントローラを以下のように設定します。

データバス幅：16ビットバス
 ステート数：3ステート
 ウェイトモード：端子ウェイトモード0

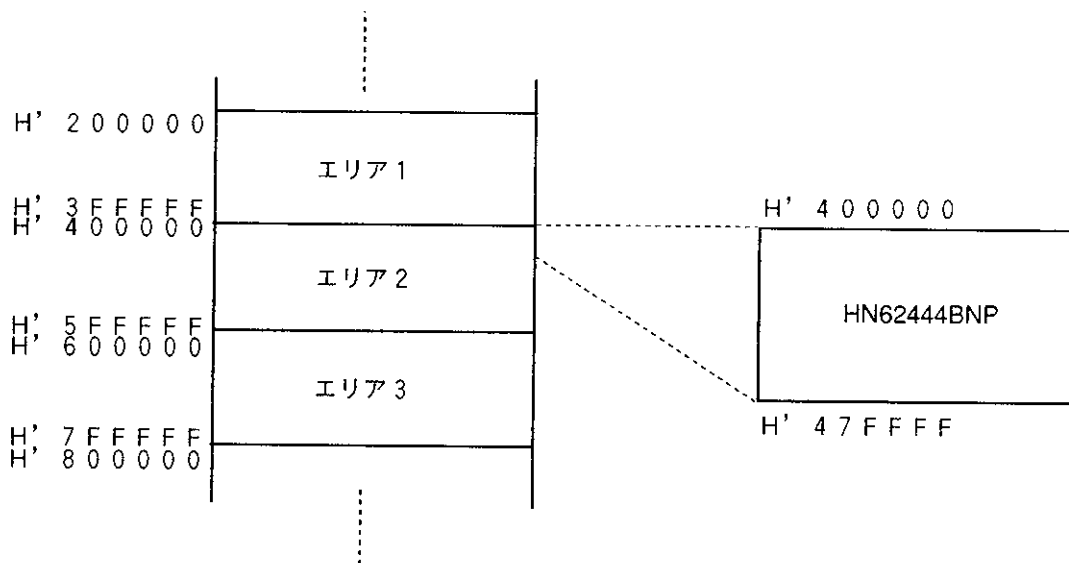


図3.17 メモリマップ

動作説明

(1) データのリード

図3.18にデータのリードタイミングチャートを示します。H8/3003とHN62444BNPを直接接続する場合、H8/3003の t_{ACC2} 、 t_{ACC4} (リードデータアクセス時間) および t_{RDH} (リードデータホールド時間) が満足されているかを確認します。

図3.18から各タイミングは以下のようになります。

(a) H8/3003の t_{ACC2} および t_{ACC4}

$$t_{ACC2} = t_{ACE(max)} = 120ns \leq 160ns (H8/3003 \ t_{ACC2})$$

$$t_{ACC4} = t_{OE(max)} = 55ns \leq 120ns (H8/3003 \ t_{ACC4})$$

(b) H8/3003の t_{RDH}

$$t_{RDH} = t_{DHO(min)} = 0ns \geq 0ns (H8/3003 \ t_{RDH})$$

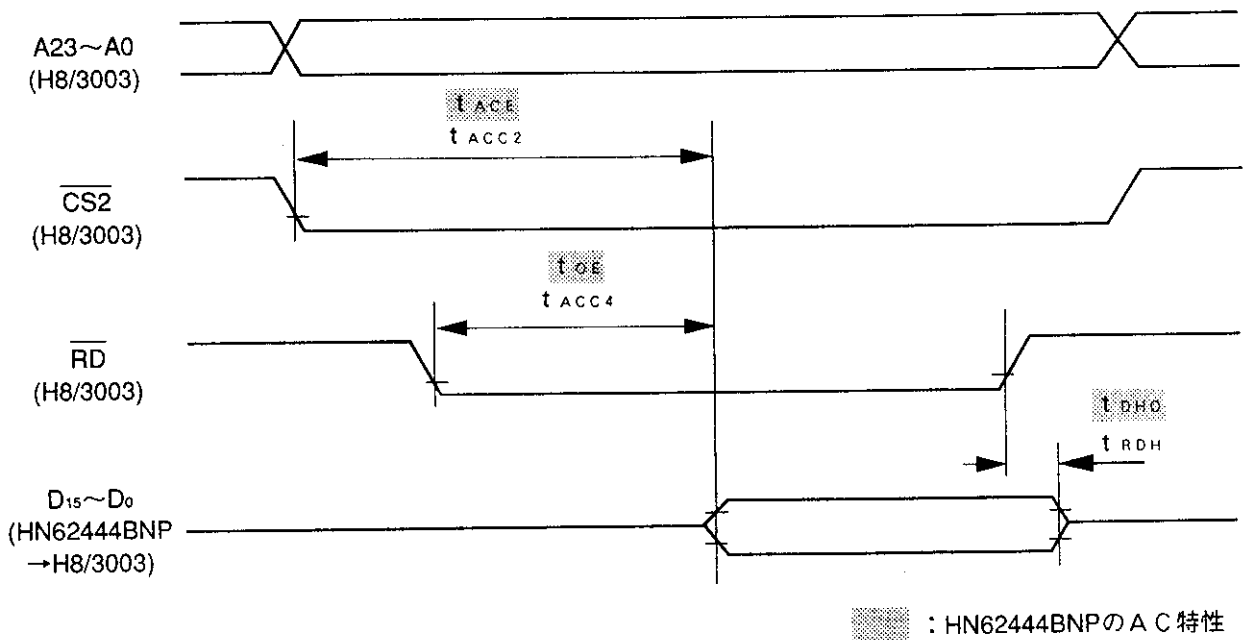


図3.18 リードタイミングチャート

回路図

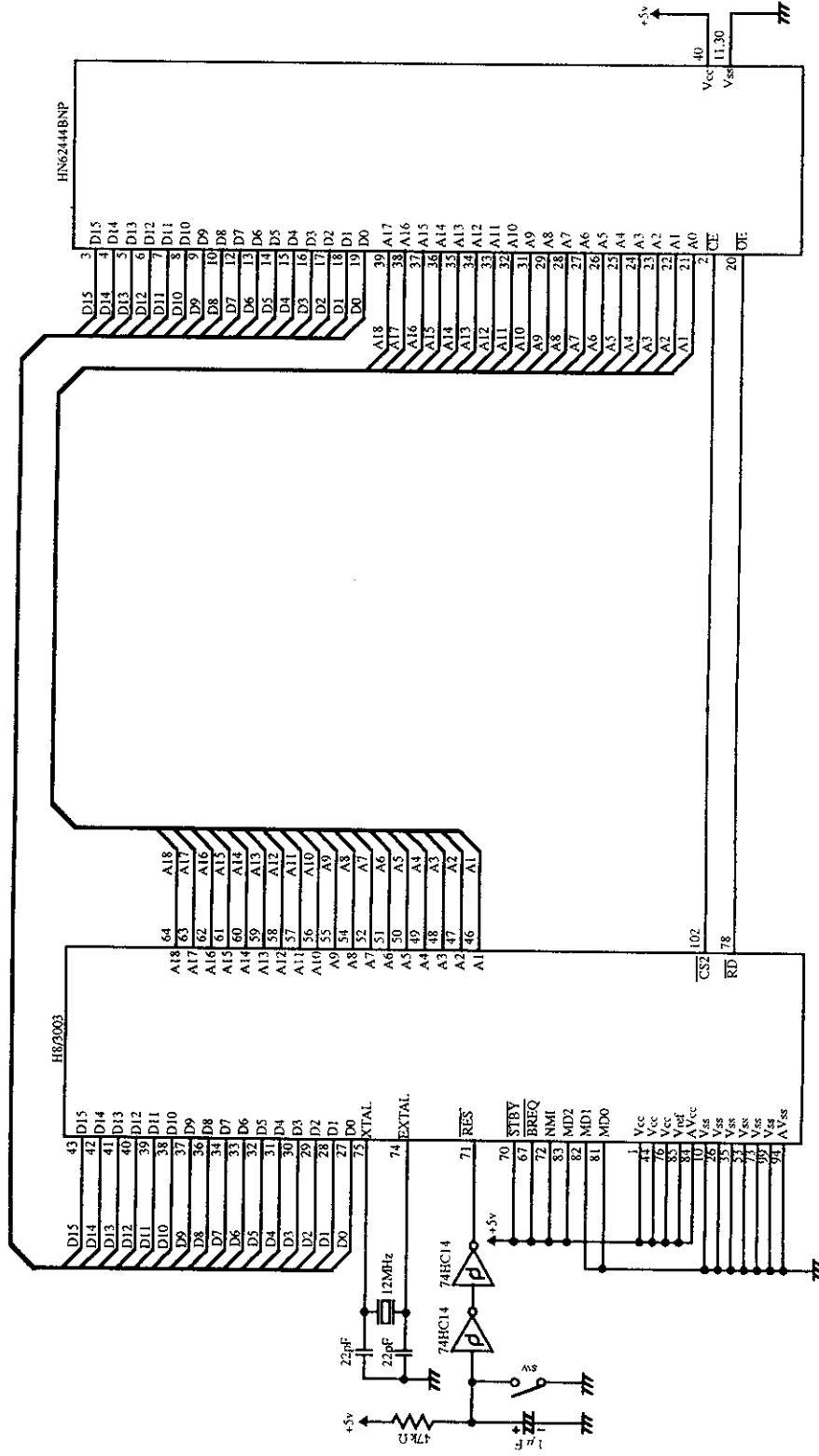


図3.19 HN62444BNPインタフェース

3.5 疑似SRAMインタフェース

疑似SRAM(HM65256B-10)インタフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス16Mバイトアドレス空間)
仕様				

(1) 図3.20に示すように、H8/3003のモード4 (16ビットデータバス、16Mバイトアドレス) で疑似SRAM (HM65256B-10) とインタフェースを行います。

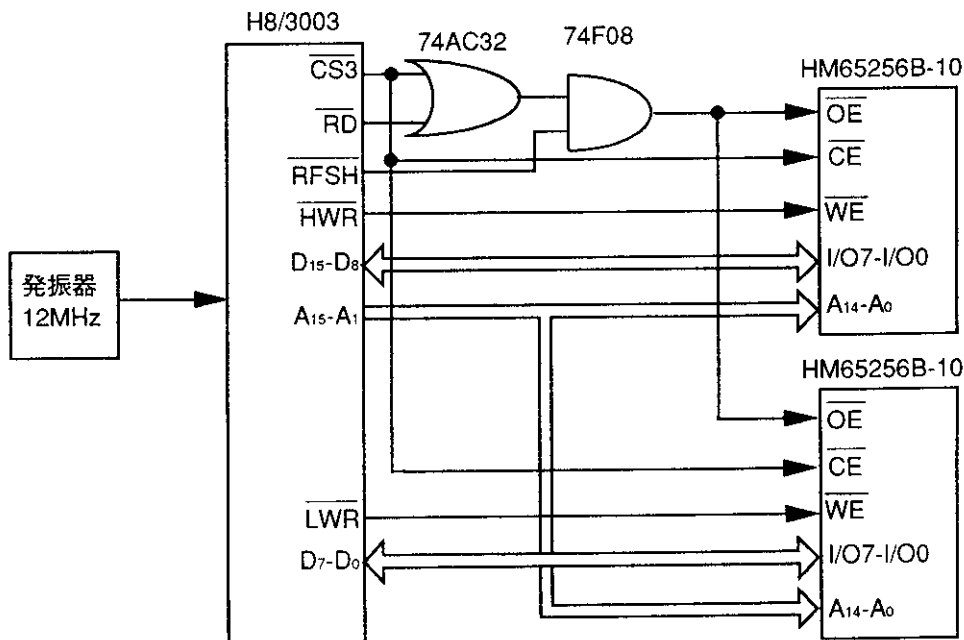


図3.20 H8/3003およびHM65256B-10接続ブロック図

(2) 図3.21に示すように、H8/3003の16Mバイトのメモリ空間のうち、エリア3 (H' 600000 ~ H' 7FFFFFFF) に割り付けます。また、エリア3のバスコントローラを以下のように設定します。

- データバス幅：16ビットバス
- ステート数：3ステート
- ウェイトモード：端子ウェイトモード0
- リフレッシュコントローラ：疑似SRAMモード

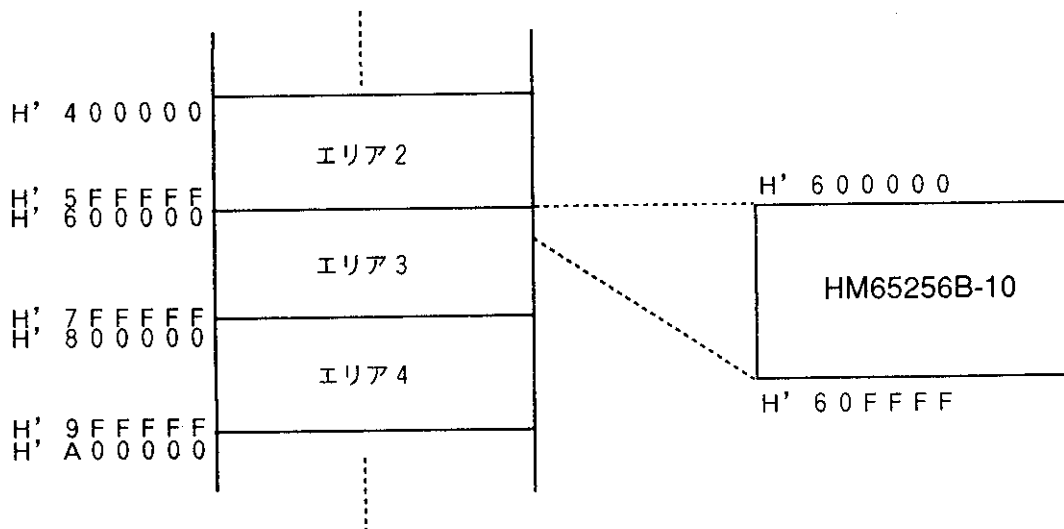


図3.21 メモリマップ

動作説明

(1) データのリード/ライト

図3.22にデータのリード/ライトタイミングチャートを示します。H8/3003とHM65256B-10を接続する場合、H8/3003の t_{RDS} (リードデータセットアップ時間)、 t_{RDH} (リードデータホールド時間) およびHM65256B-10の t_{DW} (データ入力セットアップ時間)、 t_{DH} (データ入力ホールド時間)、 t_P (チップイネーブルプリチャージ時間)、 t_{CE} (チップイネーブルパルス幅)、 t_{RC} (ランダムリード/ライトサイクル時間) が満足されているかを確認します。

図3.22から各タイミングは以下のようになります。

(a) H8/3003の t_{RDS} 、 t_{RDH}

$$\begin{aligned} t_{RDS} &= T_2 + t_{CH(\min)} - t_{ASD(\max)} - t_{DEL(\max)} - t_{OEA(\max)} \\ &= 83.3 + 30 - 35 - 14.8 - 40 \\ &= 23.5 \text{ ns} \geq 10 \text{ ns (H8/3003 } t_{RDS}) \end{aligned}$$

$$\begin{aligned} t_{RDH} &= t_{OHZ(\min)} + t_{DEH(\min)} \\ &= 25 + 4 \\ &= 29 \text{ ns} \geq 0 \text{ ns (H8/3003 } t_{RDH}) \end{aligned}$$

(b) HM65256B-10の t_{DW} 、 t_{DH}

$$\begin{aligned} t_{DW} &= T_2 + t_{CH(\min)} - t_{WSD(\max)} + t_{WSD2(\min)} \\ &= 83.3 + 30 - 35 + 10 \\ &= 88.3 \text{ ns} \geq 20 \text{ ns (HM65256B-10 } t_{DW}) \end{aligned}$$

$$\begin{aligned} t_{DH} &= t_{WDH(\min)} \\ &= 20 \text{ ns} \geq 5 \text{ ns (HM65256B-10 } t_{DH}) \end{aligned}$$

(c) HM65256B-10の t_P 、 t_{CE} 、 t_{RC}

$$\begin{aligned} t_P &= t_{RP(\min)} \\ &= 55 \text{ ns} \geq 50 \text{ ns (HM65256B-10 } t_P) \end{aligned}$$

$$\begin{aligned} t_{CE} &= t_{CL(\min)} + T_2 + t_{CH(\min)} + t_{RAD3(\min)} - t_{RAD1(\max)} \\ &= 30 + 83.3 + 30 + 0 - 30 \\ &= 113.3 \text{ ns} \geq 100 \text{ ns (HM65256B-10 } t_{CE}) \end{aligned}$$

$$\begin{aligned} t_{RC} &= t_{CL(\min)} + T_2 + t_{CH(\min)} + t_{RAD3(\min)} - t_{RAD1(\max)} + t_{RP(\min)} \\ &= 30 + 83.3 + 30 + 0 - 30 + 55 \\ &= 168.3 \text{ ns} \geq 160 \text{ ns (HM65256B-10 } t_{RC}) \end{aligned}$$

動作説明

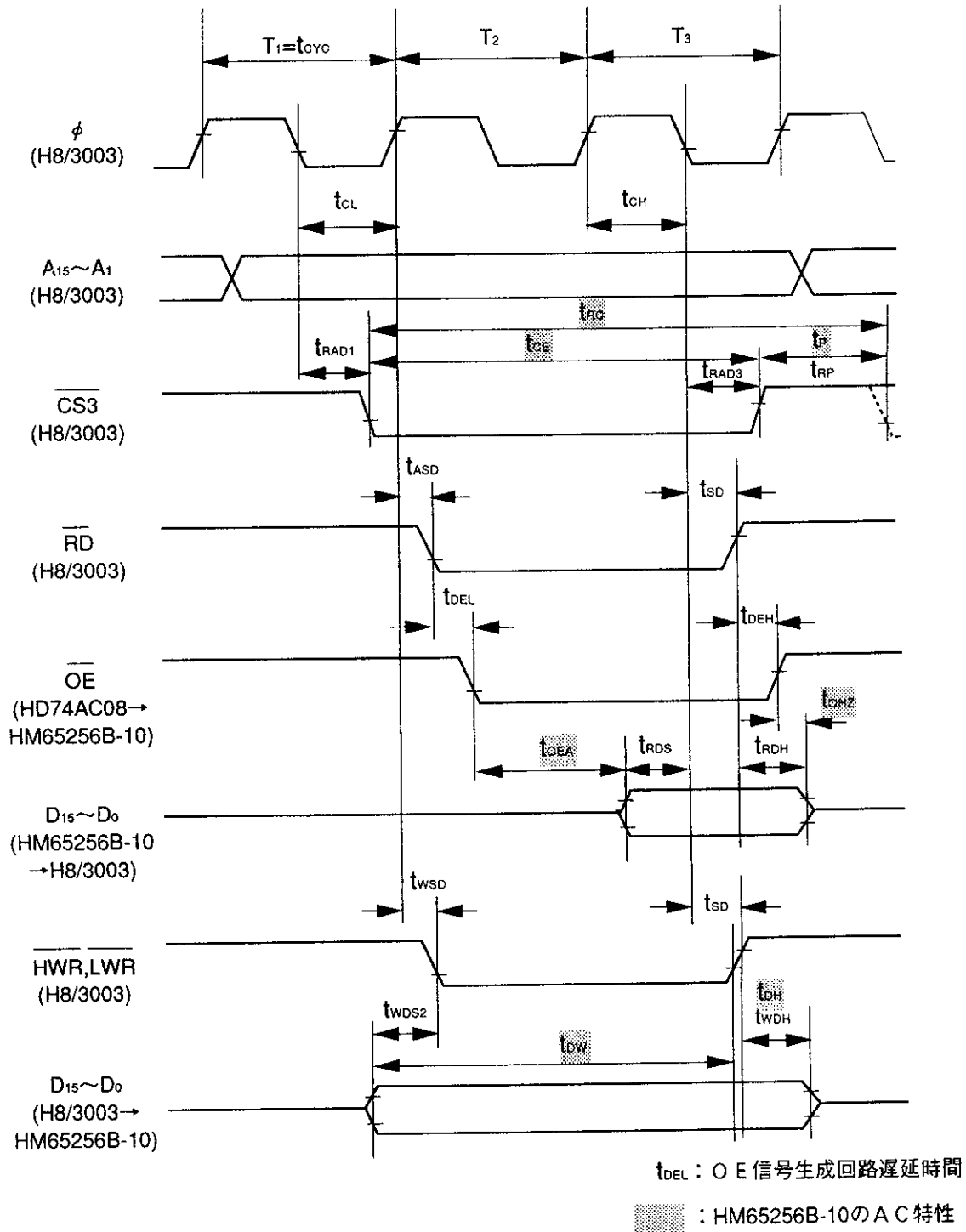


図 3.22 リード/ライトタイミングチャート

動作説明

(d) リフレッシュタイミング

図3.2.3にリフレッシュタイミングを示します。HM65256B-10のリフレッシュはH8/3003のリフレッシュコントローラを使用しHM65256B-10のオートリフレッシュ機能によりリフレッシュを行ないます。HM65256B-10のリフレッシュサイクルは256サイクル/4msですから以下のようになります。

$$4\text{ms} / 256 = 15.625\mu\text{s}$$

このリフレッシュサイクルを満足するためリフレッシュコントローラにより15.5μs(12MHz/2×93)ごとにREFS信号を”L”にし、HM65256B-10のリフレッシュを行ないます。

リフレッシュ時のタイミング設計は、HM65256B-10の t_{FP} (リフレッシュプリチャージ時間)および t_{FAP} (リフレッシュコマンドパルス幅)が満足されていることを確認します。

t_{FP} および t_{FAP} は以下の式にて求めます。

$$\begin{aligned} t_{FP} &= t_{CL(\min)} + T_1 + t_{RAD2(\min)} + t_{DEL(\min)} - t_{RAD3(\max)} - t_{DEH(\max)} \\ &= 30 + 83.3 + 0 + 2.5 - 30 - 6.6 \\ &= 79.2\text{ns} \geq 30\text{ns} \quad (\text{HM65256B-10 } t_{FP}) \end{aligned}$$

$$\begin{aligned} t_{FAP} &= T_1 + t_{CH(\min)} + t_{RAD3(\min)} + t_{DEH(\min)} - t_{RAD2(\max)} - t_{DEL(\max)} \\ &= 83.3 + 30 + 0 + 3 - 30 - 6.3 \\ &= 80\text{ns} \geq 80\text{ns} \quad (\text{HM65256B-10 } t_{FAP}) \end{aligned}$$

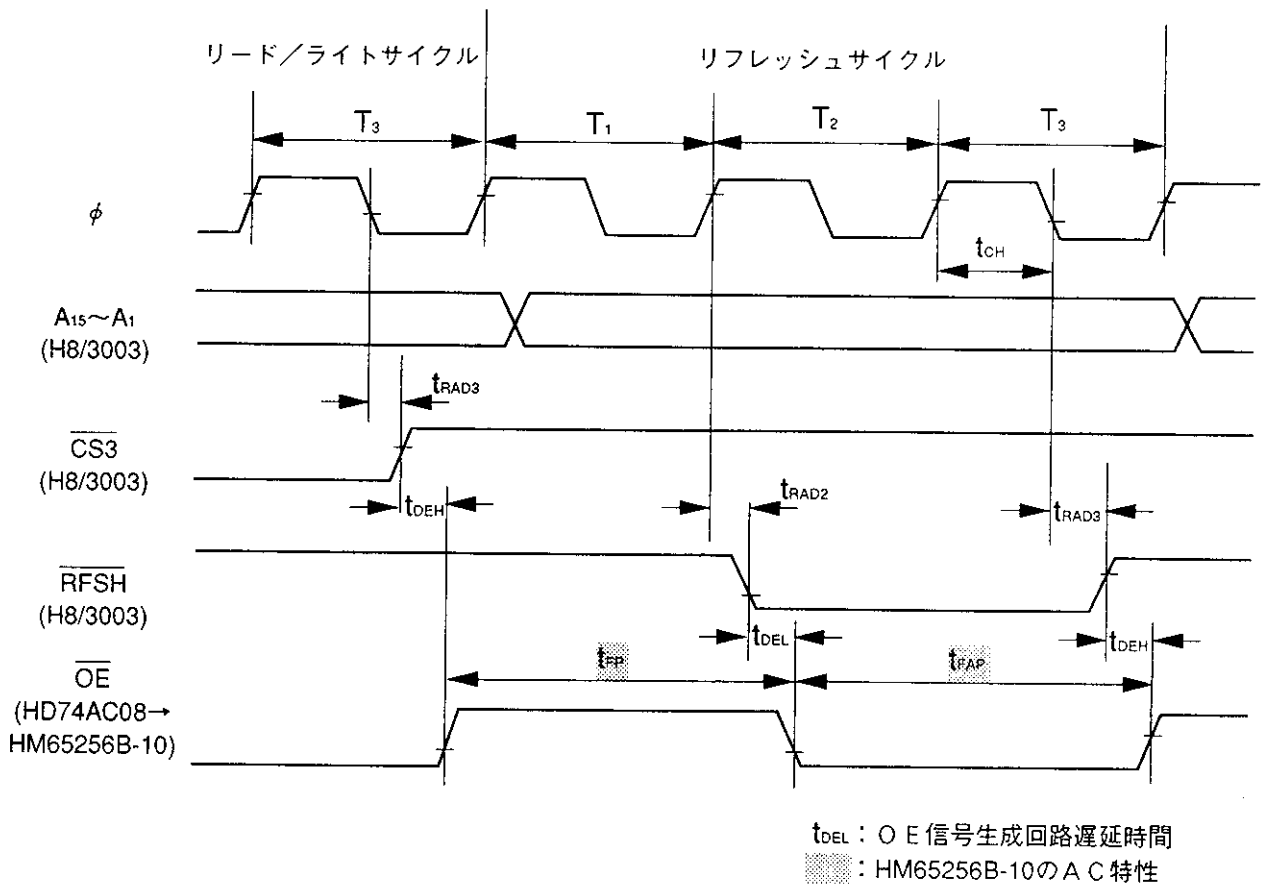


図3.2.3 リフレッシュタイミング

回路図

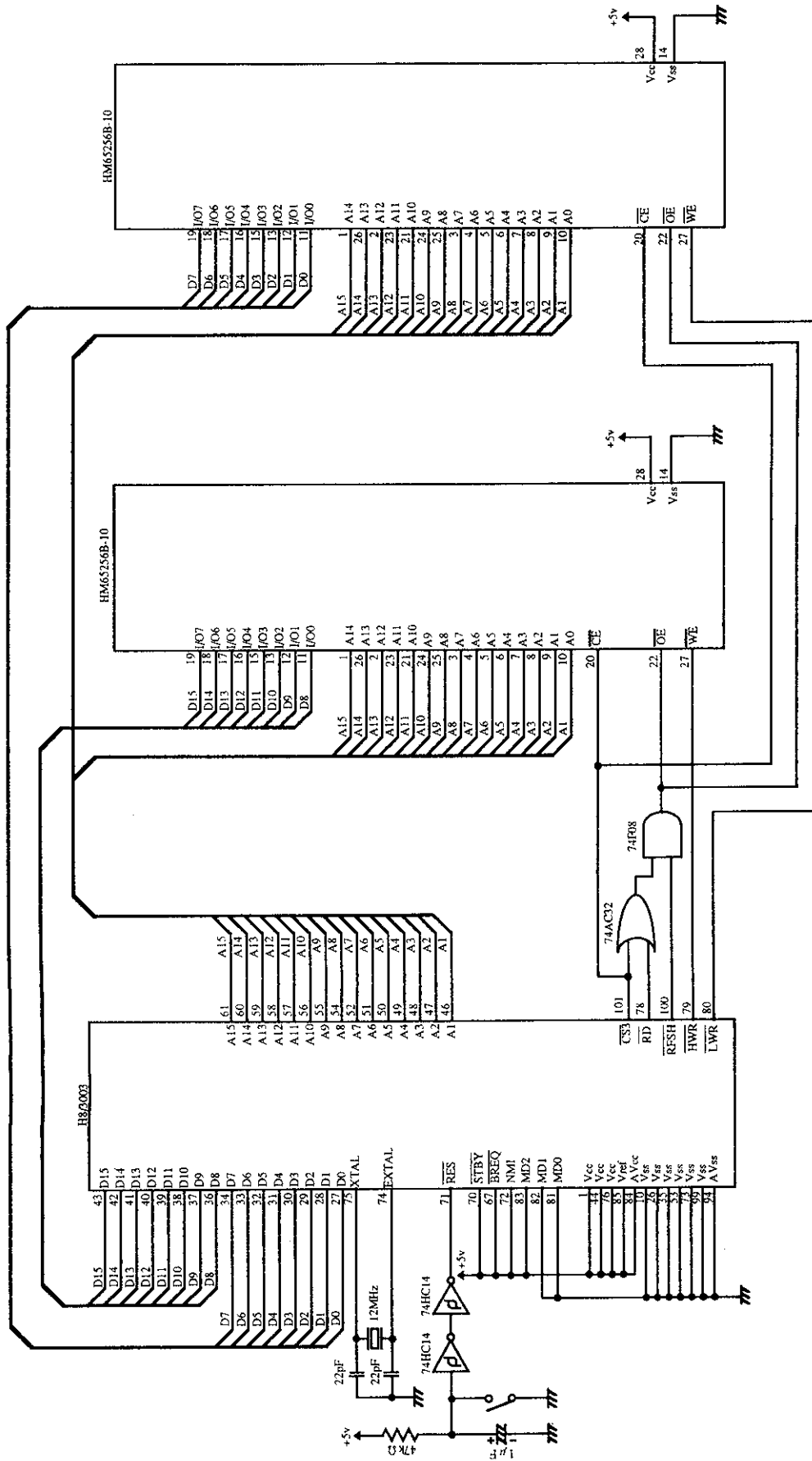


図3.2.4 HM65256B-10インタフェース

3. 6 DRAMインタフェース

DRAM(HM514260-7)インタフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス、16Mバイトアドレス)
-------------------------	-----	---------	------	------------------------------

仕様

(1) 図3. 25に示すように、H8/3003のモード4 (16ビットデータバス、16Mバイトアドレス) でDRAM (HM514260-7) とインタフェースを行います。

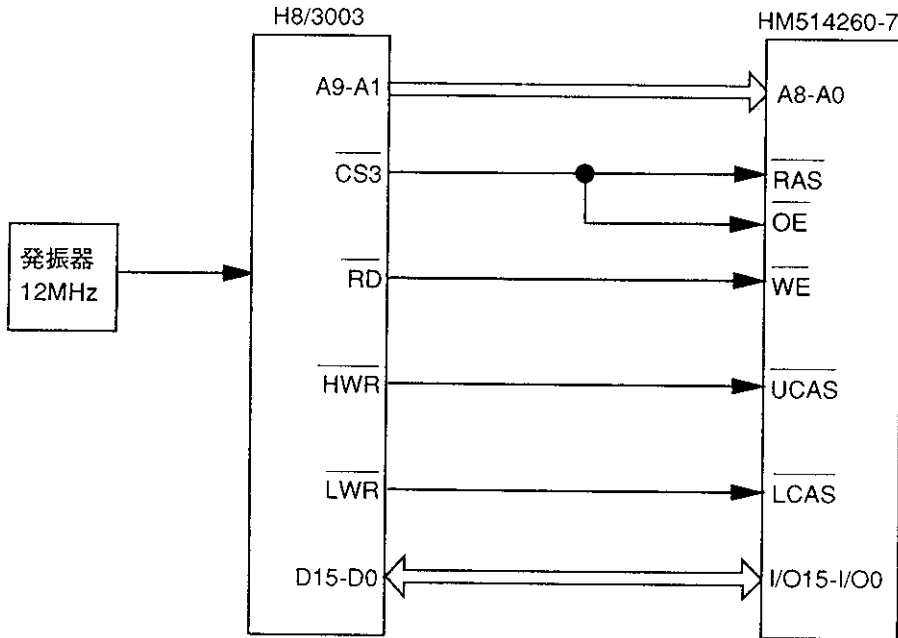


図3. 25 H8/3003およびHM514260-7接続ブロック図

(2) 図3. 26に示すように、H8/3003の16Mバイトのメモリ空間のうち、エリア3 (H' 600000~H' 7FFFFFFF) に割付けます。また、エリア3のバスコントローラを以下のよう

データバス幅: 16ビットバス
 ステート数: 3ステート
 ウェイトモード: 端子ウェイトモード0
 リフレッシュコントローラ: 2CAS方式4MビットDRAM

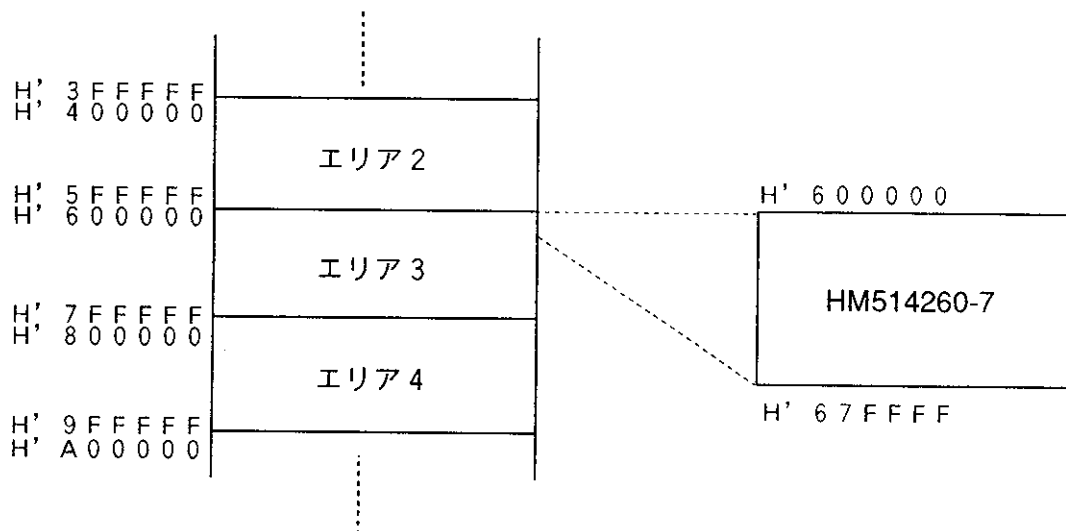


図3. 26 メモリマップ

動作説明

(1) データのリード/ライト

図3.27にデータのリード/ライトタイミングチャートを示します。H8/3003とHM514260-7を直接接続する場合、H8/3003の t_{CAC} (CASアクセス時間)、 t_{AA} (アドレスアクセス時間)、 t_{RAC} (RASアクセス時間)、 t_{RDH} (リードデータホールド時間) および、HM514260-7の t_{DS} (データ入力セットアップ時間)、 t_{DH} (データ入力ホールド時間)、 t_{RC} (ランダムリード/ライトサイクル時間)、 t_{RP} (RASプリチャージ時間) が満足されていることを確認します。

また、DRAMはアドレスマルチプレクス方式を採用しているためHM514260-7の t_{ASR} (ロウアドレスセットアップ時間)、 t_{RAH} (ロウアドレスホールド時間)、 t_{ASC} (カラムアドレスセットアップ時間)、 t_{CAH} (カラムアドレスホールド時間) が満足されていることも確認します。

図3.27から各タイミングは以下のようになります。

(a) H8/3003の t_{CAC} 、 t_{AA} 、 t_{RAC} および t_{RDH}

$$\begin{aligned} t_{CAC} &= t_{CAC(max)} \\ &= 20\text{ ns} \leq 40\text{ ns} \text{ (H8/3003 } t_{CAC}) \\ t_{AA} &= t_{AA(max)} \\ &= 35\text{ ns} \leq 55\text{ ns} \text{ (H8/3003 } t_{AA}) \\ t_{RAC} &= t_{RAC(max)} \\ &= 70\text{ ns} \leq 120\text{ ns} \text{ (H8/3003 } t_{RAC}) \\ t_{RDH} &= t_{OFF1(min)} \\ &= 0\text{ ns} \geq 0\text{ ns} \text{ (H8/3003 } t_{RDH}) \end{aligned}$$

(b) HM514260-7の t_{DS} 、 t_{DH} 、 t_{RC} および t_{RP}

$$\begin{aligned} t_{DS} &= t_{WDS3(min)} \\ &= 40\text{ ns} \geq 0\text{ ns} \text{ (HM514260-7 } t_{DS}) \\ t_{DH} &= t_{CL(min)} + t_{CH(min)} + t_{SD(min)} + t_{WDH(min)} - t_{ASD(max)} \\ &= 30 + 30 + 0 + 20 - 30 \\ &= 50\text{ ns} \geq 15\text{ ns} \text{ (HM514260-7 } t_{DH}) \\ t_{RC} &= t_{CL(min)} + T2 + T3 + t_{CH(min)} + t_{ASD(min)} - t_{ASD(max)} \\ &= 30 + 83.3 + 83.3 + 30 + 0 - 30 \\ &= 196.6\text{ ns} \geq 130\text{ ns} \text{ (HM514260-7 } t_{RC}) \\ t_{RP} &= t_{RP(min)} \\ &= 55\text{ ns} \geq 50\text{ ns} \text{ (HM514260-7 } t_{DS}) \end{aligned}$$

動作説明

(c) HM514260-7の t_{ASR} 、 t_{RAH} 、 t_{ASC} および t_{CAH}

$$t_{ASR} = t_{AS1(\min)}$$

$$= 10\text{ ns} \geq 0\text{ ns (HM514260-7 } t_{ASR})$$

$$t_{RAH} = t_{RAH(\min)}$$

$$= 15\text{ ns} \geq 10\text{ ns (HM514260-7 } t_{RAH})$$

$$t_{ASC} = t_{AS1(\min)}$$

$$= 10\text{ ns} \geq 10\text{ ns (HM514260-7 } t_{ASC})$$

$$t_{CAH} = T2 + T3 + t_{AD(\min)} - t_{AD(\max)}$$

$$= 83.3 + 83.3 + 0 - 35$$

$$= 131.6\text{ ns} \geq 15\text{ ns (HM514260-7 } t_{CAH})$$

(d) HM514260-7の t_{RAS} 、 t_{CAS} 、 t_{CSH} および t_{RSH}

$$t_{RAS} = t_{CL(\min)} + T2 + t_{CH(\min)} + t_{RAD3(\min)} - t_{ASD(\max)}$$

$$= 30 + 83.3 + 30 + 0 - 35$$

$$= 108.3\text{ ns} \geq 70\text{ ns (HM514260-7 } t_{RAS})$$

$$t_{CAS} = t_{CL(\min)} + t_{CH(\min)} + t_{SD(\min)} - t_{ASD(\max)}$$

$$= 30 + 30 + 0 - 35$$

$$= 25\text{ ns} \geq 20\text{ ns (HM514260-7 } t_{CAS})$$

$$t_{CSH} = t_{CL(\min)} + T2 + t_{CH(\min)} + t_{SD(\min)} - t_{ASD(\max)}$$

$$= 30 + 83.3 + 30 + 0 - 35$$

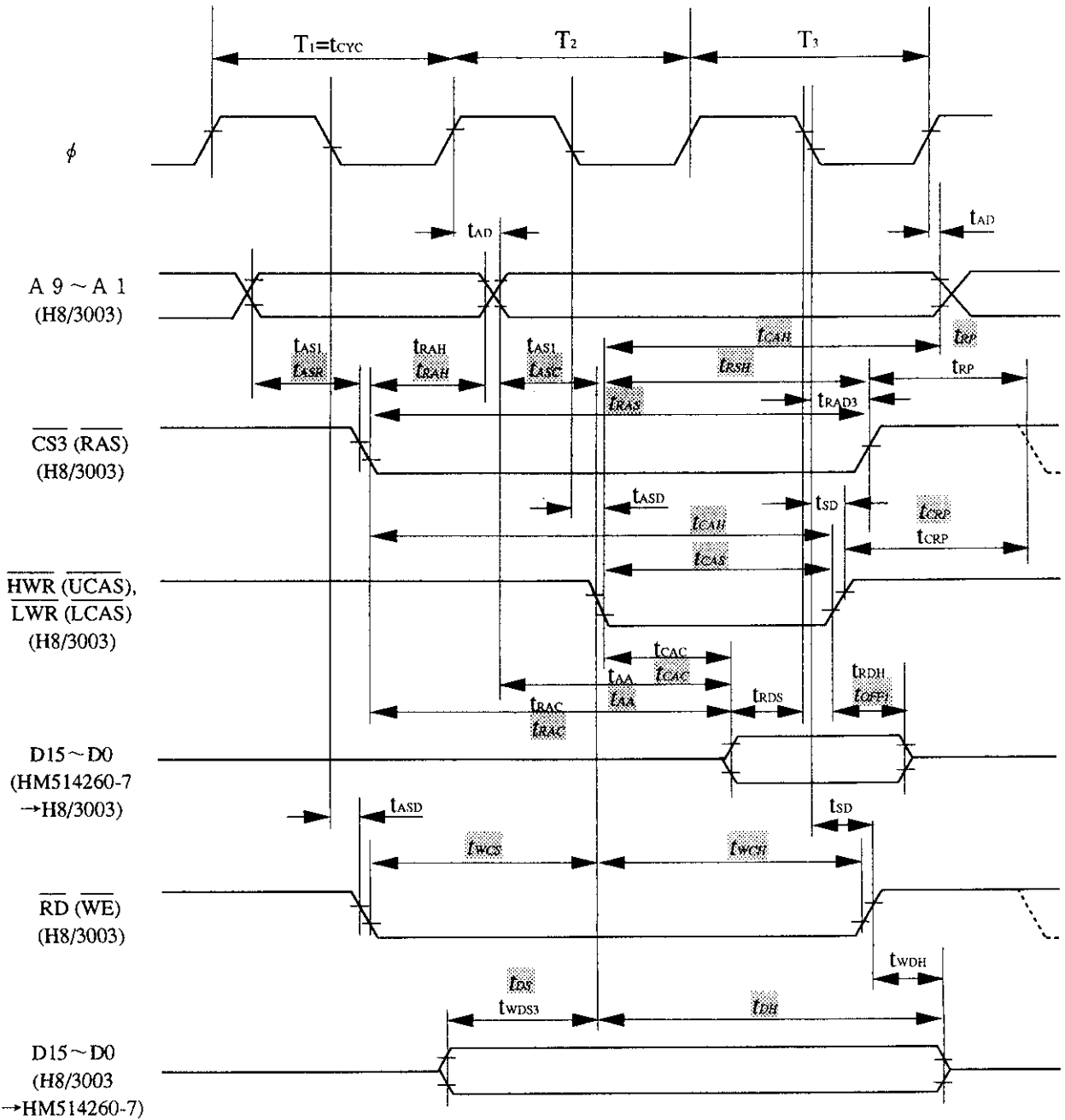
$$= 108.3\text{ ns} \geq 70\text{ ns (HM514260-7 } t_{CSH})$$

$$t_{RSH} = t_{CL(\min)} + t_{CH(\min)} + t_{RAD3(\min)} - t_{ASD(\max)}$$

$$= 30 + 30 + 0 - 35$$

$$= 25\text{ ns} \geq 20\text{ ns (HM514260-7 } t_{RSH})$$

動作説明



HM514260-7のA C特性

図 3. 27 リード/ライトタイミング

動作説明

(2) リフレッシュ

図3.28にCASビフォRASリフレッシュタイミングチャートを示します。H8/3003とHN514260-7を直接接続する場合、HN514260-7の t_{CSR} (CASセットアップ時間)、 t_{CHR} (CASホールド時間)、 t_{CPN} (CASプリチャージ時間)、 t_{RC} (ランダムリード/ライトサイクル時間)、 t_{RAS} (RASパルス幅)が満足されていることを確認します。

図3.28から各タイミングは以下ようになります。

(a) HM514260-7の t_{CSR} 、 t_{CHR} 、 t_{CPN} 、 t_{RC} および t_{RAS}

$$t_{CSR} = t_{CSR(\min)}$$

$$= 15 \text{ ns} \geq 10 \text{ ns (HM514260-7 } t_{CSR})$$

$$t_{CHR} = T2 + t_{CH(\min)} + t_{SD(\min)} - t_{RAD2(\max)}$$

$$= 83.3 + 30 + 0 - 30$$

$$= 83.3 \text{ ns} \geq 10 \text{ ns (HM514260-7 } t_{CHR})$$

$$t_{CPN} = t_{CL(\min)} + T2 + t_{CH(\min)} + t_{ASD(\min)} - t_{SD(\min)}$$

$$= 30 + 83.3 + 30 + 0 - 30$$

$$= 113.3 \text{ ns} \geq 10 \text{ ns (HM514260-7 } t_{CPN})$$

$$t_{RC} = T2 + T3 + t_{CH(\min)} + t_{RAD1(\min)} - t_{RAD2(\max)}$$

$$= 83.3 + 83.3 + 30 + 0 - 30$$

$$= 166.6 \text{ ns} \geq 130 \text{ ns (HM514260-7 } t_{RC})$$

$$t_{RAS} = T2 + t_{CH(\min)} + t_{RAD3(\min)} - t_{RAD2(\max)}$$

$$= 83.3 + 30 + 0 - 30$$

$$= 83.3 \text{ ns} \geq 70 \text{ ns (HM514260-7 } t_{RAS})$$

動作説明

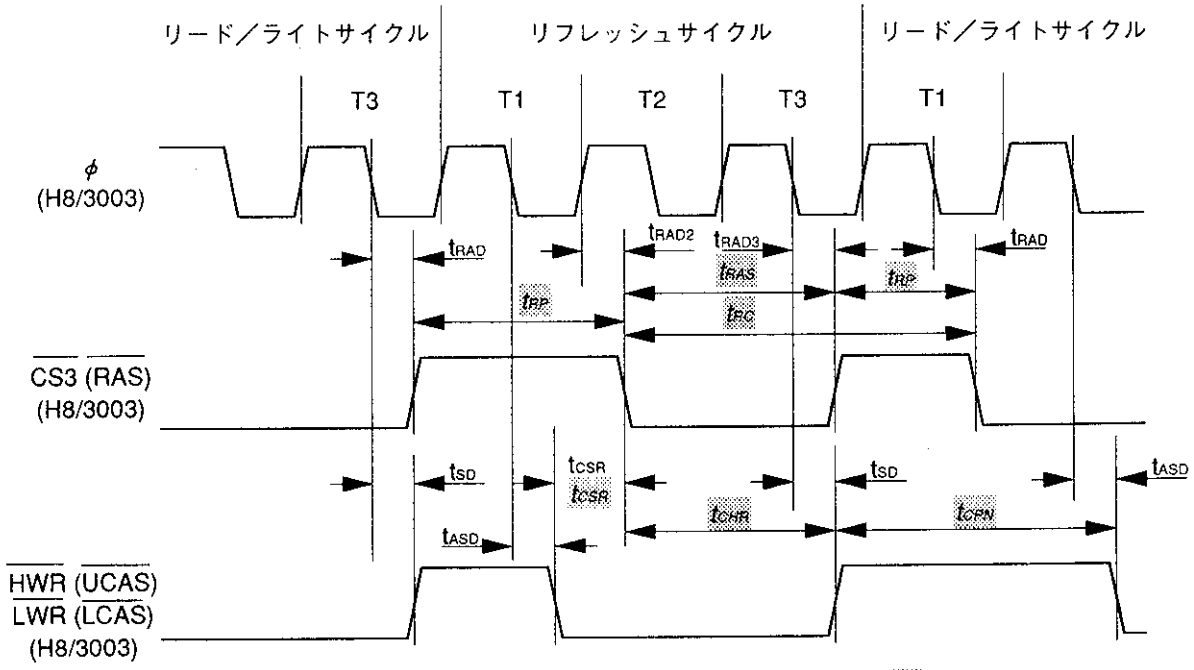


図 3. 28 リフレッシュタイミング

回路図

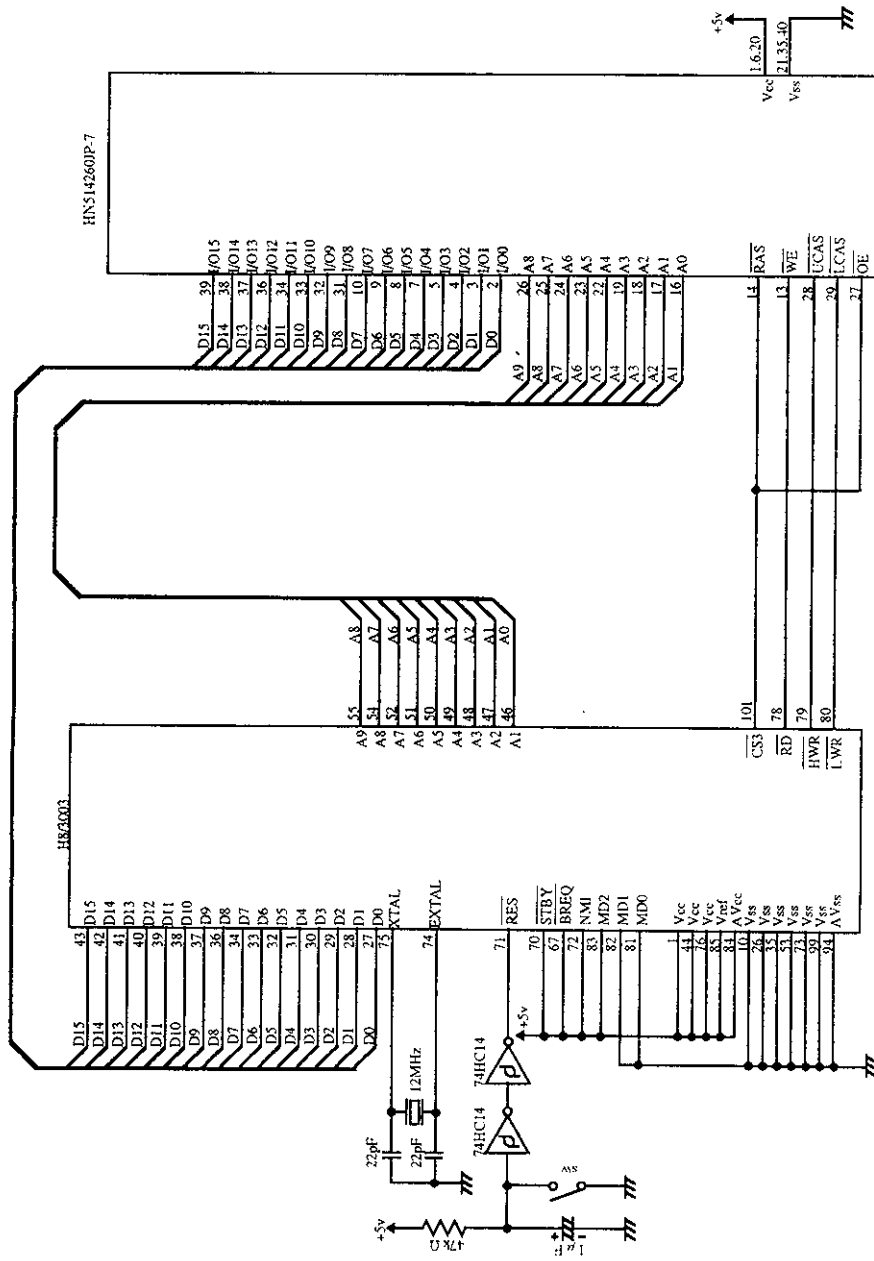


図 3. 2. 9 HM514260-7 インタフェース

3.7 UPPインタフェース

UPP(HD63143)インタフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス、16Mバイトアドレス)
---------------------	-----	---------	------	------------------------------

仕様

- (1) 図3.30に示すように、H8/3003のモード4 (16ビットデータバス、16Mバイトアドレス) でUPP (HD63143) とインタフェースを行います。

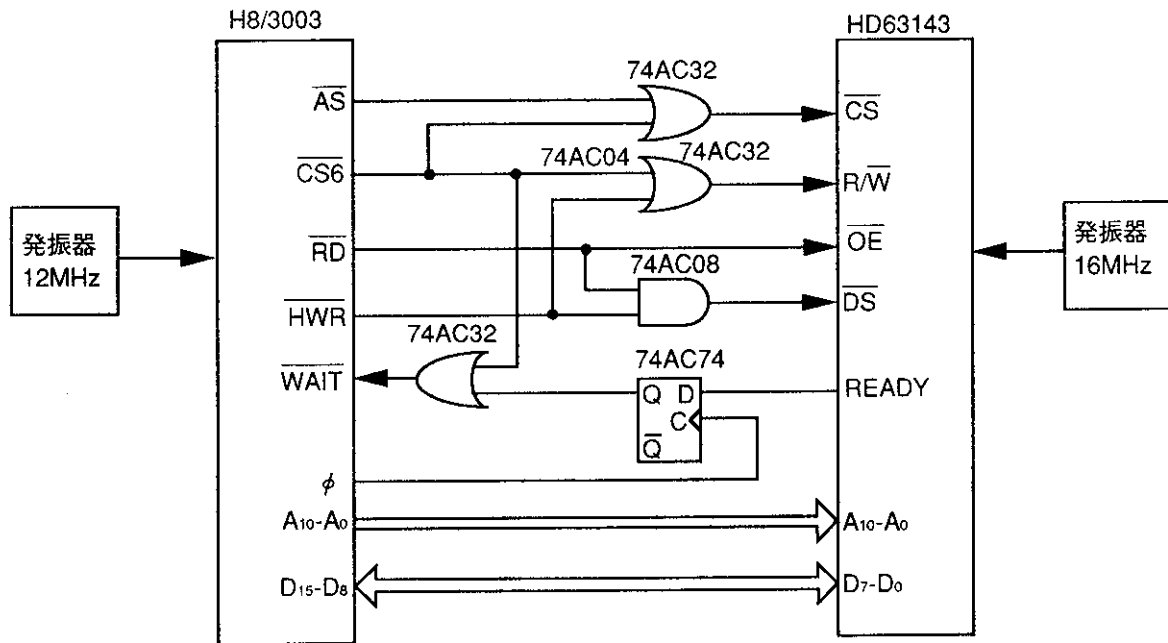


図3.30 H8/3003およびHD63143接続ブロック図

- (2) 図3.31に示すように、H8/3003の16Mバイトのメモリ空間のうち、エリア6 (H' C00000 ~ H' DFFFFFF) に割り付けます。また、エリア6はバスコントローラを以下のように設定します。

データバス幅：8ビットバス
 ステート数：3ステート
 ウェイトモード：端子ウェイトモード1
 挿入ウェイト数：1ステート

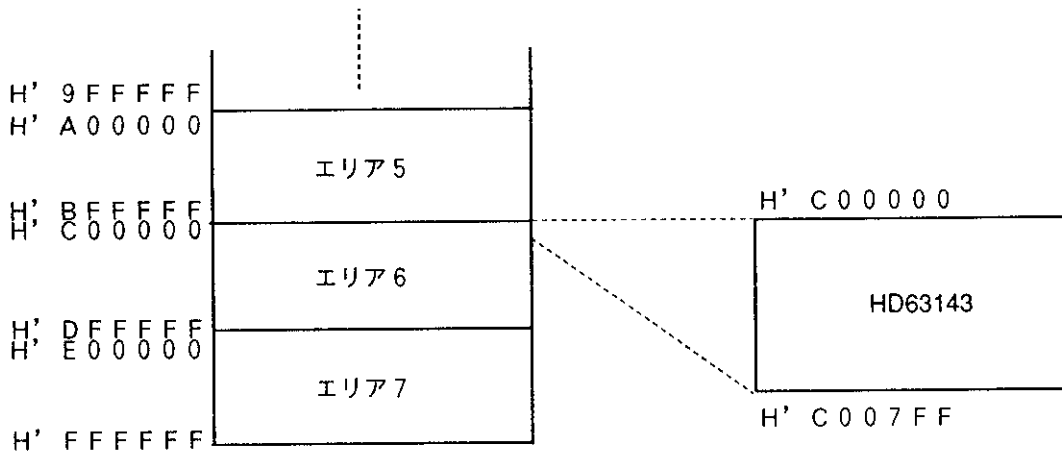


図3.31 メモリマップ

動作説明

(1) ウェイト信号の生成部

図3.3.2にウェイト信号生成回路を、図3.3.3にウェイトタイミングチャートを示します。H8/3003とHD63143を接続する場合、HD63143が他の処理を行っているときH8/3003からのリード/ライトが正常に行われません。このため、HD63143のREADY信号が立ち上がるまでリード/ライトサイクルにウェイトサイクルを挿入しHD63143の処理完了を待ちます。

READY信号のレベルを検出し、WAIT信号を生成します。

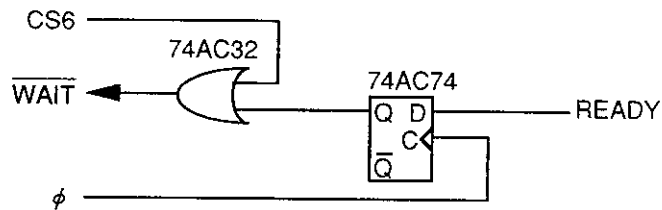


図3.3.2 ウェイト信号生成回路

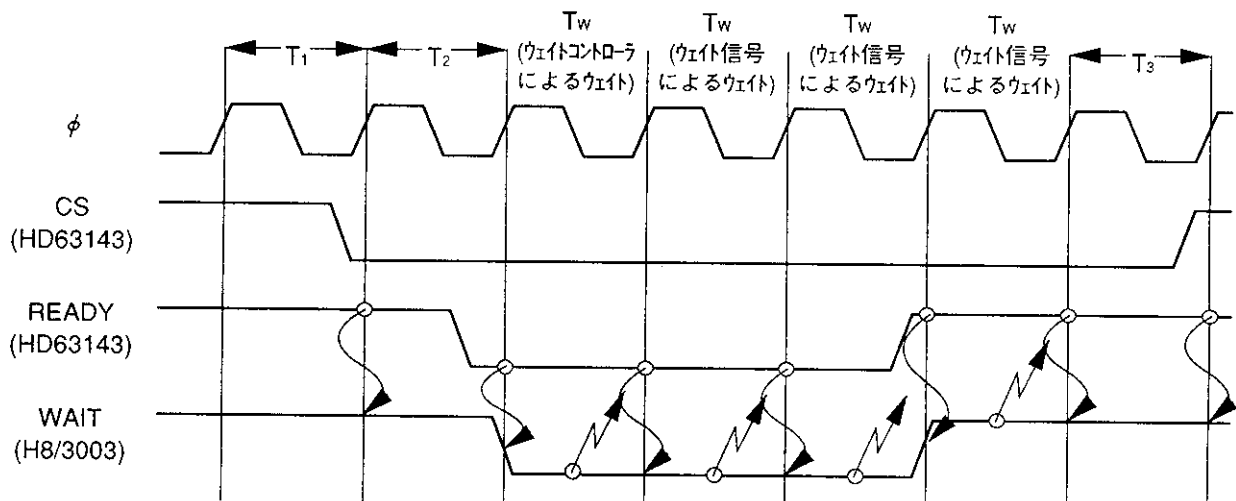
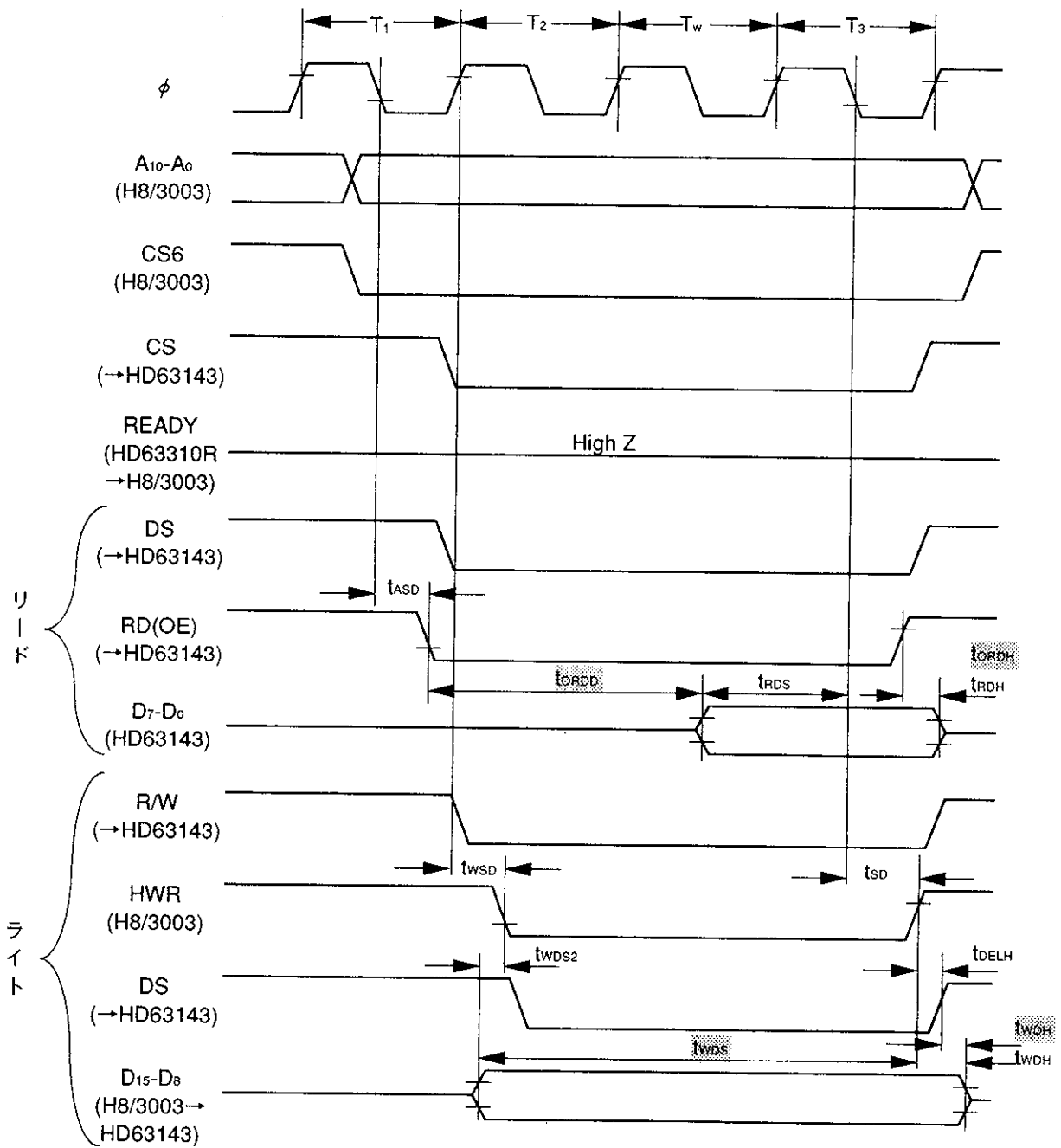


図3.3.3 ウェイトタイミングチャート

UPP(HD63143)インタフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス16MPTV空間)
動作説明				
<p>(2) データのリード/ライト</p>				
<p>図3.34にRAMのリード/ライトタイミングチャートを、図3.35にRAM以外のリード/ライトタイミングチャートを示します。H8/3003とHD63143を接続する場合、H8/3003のt_{RDS} (リードデータセットアップ時間)、t_{RDH} (リードデータホールド時間) およびHD63143のt_{WDS} (ライトデータセットアップ時間)、t_{WDH} (ライトデータホールド時間)、t_{WDD} (ライトデータ遅延時間) が満足されているかを確認します。</p>				
<p>RAM以外のリードサイクル時、HD63143のデータ出カタイミグはREADY信号の立ち下がりに依存します。t_{RDS}の算出を行う際にREADY信号の立ち下がりタイミグが重要となります。しかし、READY信号のタイミグはHD63143の動作状況によって大きくかわります。このため、READY信号の立ち下がりから次のクロックの立ち上がりまでの時間をαとt_{RDS}の算出を行います。</p>				
<p>図3.34および図3.35から各タイミグは以下のようになります。</p>				
<p>(a) RAMリードサイクル時のH8/3003のt_{RDS}およびt_{RDH}</p>				
$t_{RDS} = t_{CL(min)} + T_2 + T_W + t_{CH(min)} - t_{ASD(max)} - t_{ORDD(max)}$ $= 30 + 83.3 + 83.3 + 30 - 35 - 80$ $= 111.6 ns \geq 20 ns \text{ (H8/3003 } t_{RDS})$				
$t_{RDH} = t_{ORDH(min)}$ $= 10 ns \geq 0 ns \text{ (H8/3003 } t_{RDH})$				
<p>(b) RAM以外リードサイクル時のH8/3003のt_{RDS}およびt_{RDH}</p>				
$t_{RDS} = \alpha_{(min)} + T_W + t_{CH(min)} - t_{RRDD(max)}$ $= 0 + 83.3 + 30 - 60$ $= 53.3 ns \geq 20 ns \text{ (H8/3003 } t_{RDS})$				
$t_{RDH} = t_{ORDH(min)}$ $= 10 ns \geq 0 ns \text{ (H8/3003 } t_{RDH})$				
<p>(c) HD63143のt_{WDS}およびt_{WDH}</p>				
$t_{WDS} = T_2 + T_W + t_{CH(min)} + t_{SD(min)} - t_{WSD(max)} + t_{WDS2(min)}$ $= 83.3 + 83.3 + 30 + 0 - 35 + 10$ $= 171.6 ns \geq 100 ns \text{ (HD63143 } t_{WDS})$				
$t_{WDH} = t_{WDH(min)} - t_{DELH(max)}$ $= 20 - 8.5$ $= 11.5 ns \geq 5 ns \text{ (HD63143 } t_{WDH})$				
<p>(d) HD63143のt_{WDD}</p>				
$t_{WDD} = -t_{DELL(min)} - t_{WDS2(min)}$ $= -0 - 10$ $= -10 ns \leq 120 ns \text{ (HD63143 } t_{WDD})$				

動作説明



t_{DELH} : DS生成回路遅延時間

■: HD63143のAC特性

図 3.34 リード/ライトタイミングチャート (RAM)

動作説明

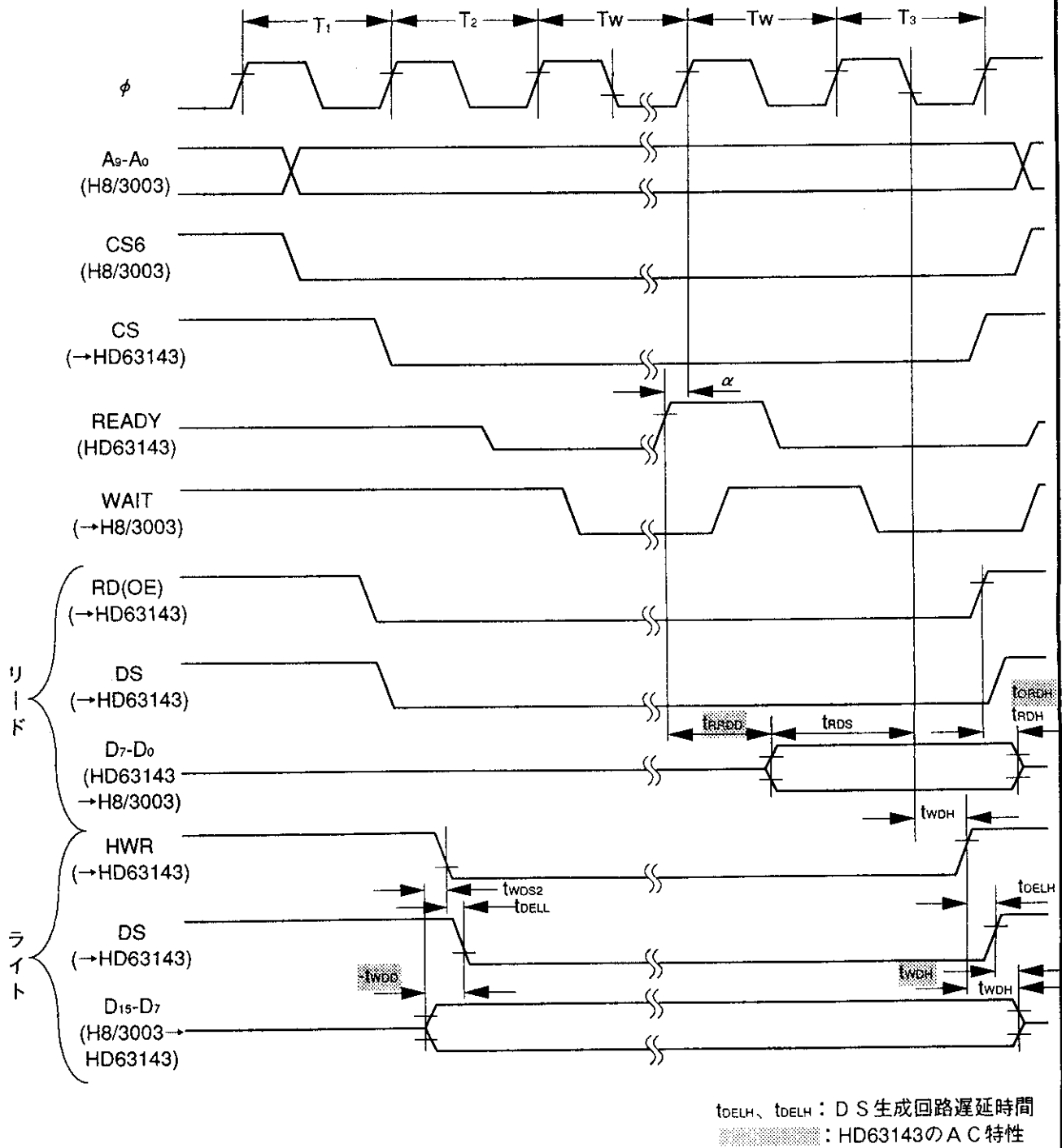


図3.35 リード/ライトタイミングチャート (RAM以外)

回路図

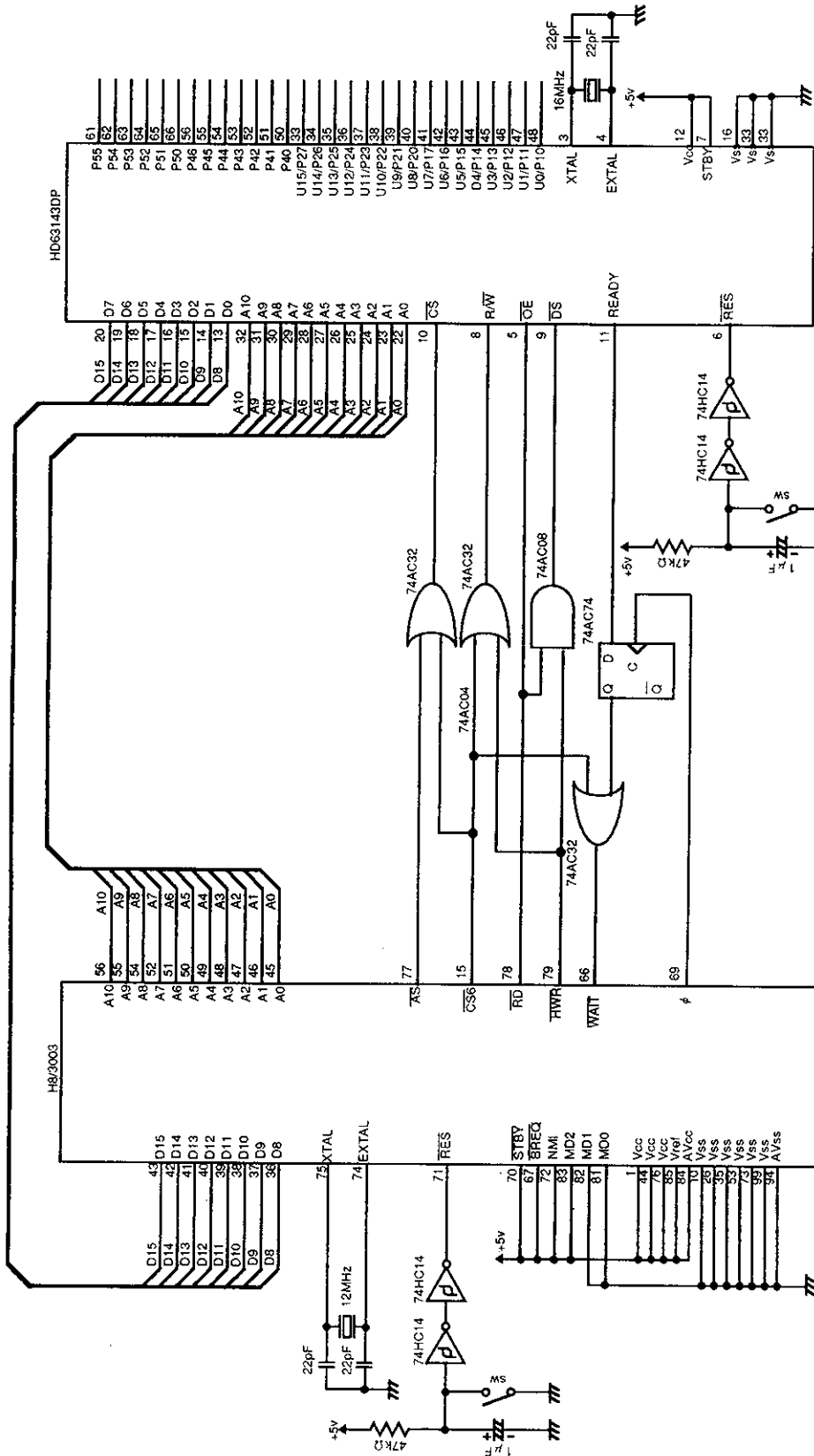


図 3.3.6 HD63143インタフェース

3.8 P I O インタフェース

PIO(TMP82C55AP-10)インタフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス、16Mバイトアドレス)
仕様				

(1) 図3.37に示すように、H8/3003のモード4 (16ビットデータバス、16Mバイトアドレス) で P I O (T M P 8 2 C 5 5 A P - 1 0) とインタフェースを行います。

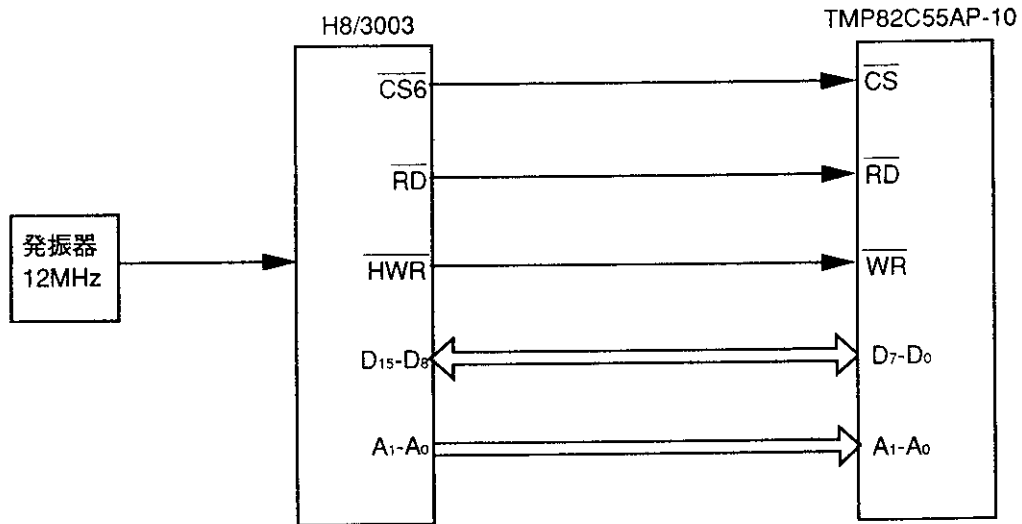


図3.37 H8/3003およびTMP82C55AP-10接続ブロック図

(2) 図3.38に示すように、H8/3003の16Mバイトのメモリ空間のうち、エリア6 (H' C00000 ~ H' DFFFFFF) に割り付けます。また、エリア6のバスコントローラを以下のように設定します。

- データバス幅：8ビットバス
- ステート数：3ステート
- ウェイトモード：プログラマブルウェイトモード
- 挿入ウェイト数：1ステート

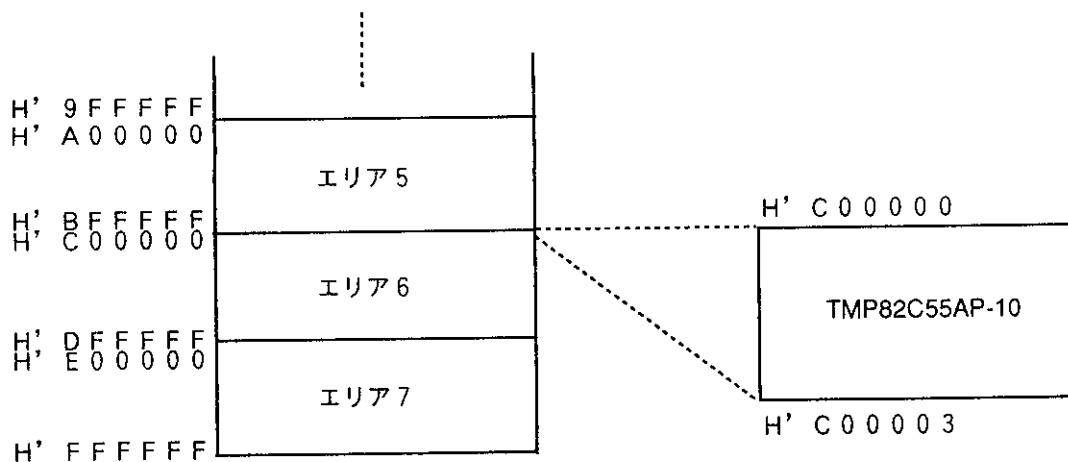


図3.38 メモリマップ

動作説明

(1) データのリード/ライト

図3.39にデータのリード/ライトタイミングチャートを示します。H8/3003とTMP82C55AP-10を直接接続する場合、H8/3003の t_{ACC4} (リードデータアクセス時間)、 t_{RDH} (リードデータホールド時間) およびTMP82C55AP-10の t_{DW} (入力データセットアップ時間)、 t_{WD} (入力データホールド時間)、 t_{AR} (リード時のアドレスセットアップ時間)、 t_{AW} (ライト時のアドレスセットアップ時間) が満足されているかを確認します。

図3.39から各タイミングは以下のようになります。

(a) H8/3003の t_{ACC4} および t_{RDH}

$$\begin{aligned} t_{ACC4} &= t_{RD(max)} - T_W \\ &= 100 - 83.3 \\ &= \underline{16.7\text{ ns} \leq 120\text{ ns}} \quad (\text{H8/3003 } t_{ACC4}) \end{aligned}$$

$$\begin{aligned} t_{RDH} &= t_{DF(min)} \\ &= \underline{0\text{ ns} \geq 0\text{ ns}} \quad (\text{H8/3003 } t_{RDH}) \end{aligned}$$

(b) TMP82C55AP-10の t_{DW} および t_{DH}

$$\begin{aligned} t_{DW} &= T_2 + T_W + t_{CH(min)} + t_{SD(min)} - t_{WSD(max)} + t_{WDS2(min)} \\ &= 83.3 + 83.3 + 30 + 0 - 35 + 10 \\ &= \underline{171.6\text{ ns} \geq 100\text{ ns}} \quad (\text{TMP82C55AP-10 } t_{DW}) \end{aligned}$$

$$\begin{aligned} t_{WD} &= t_{WDH(min)} \\ &= \underline{20\text{ ns} \geq 0\text{ ns}} \quad (\text{TMP82C55AP-10 } t_{WD}) \end{aligned}$$

(c) TMP82C55AP-10の t_{AR} および t_{AW}

$$\begin{aligned} t_{AR} &= t_{AS1(min)} \\ &= \underline{10\text{ ns} \geq 0\text{ ns}} \quad (\text{TMP82C55AP-10 } t_{AR}) \end{aligned}$$

$$\begin{aligned} t_{AW} &= t_{AS2(min)} \\ &= \underline{50\text{ ns} \geq 0\text{ ns}} \quad (\text{TMP82C55AP-10 } t_{AW}) \end{aligned}$$

動作説明

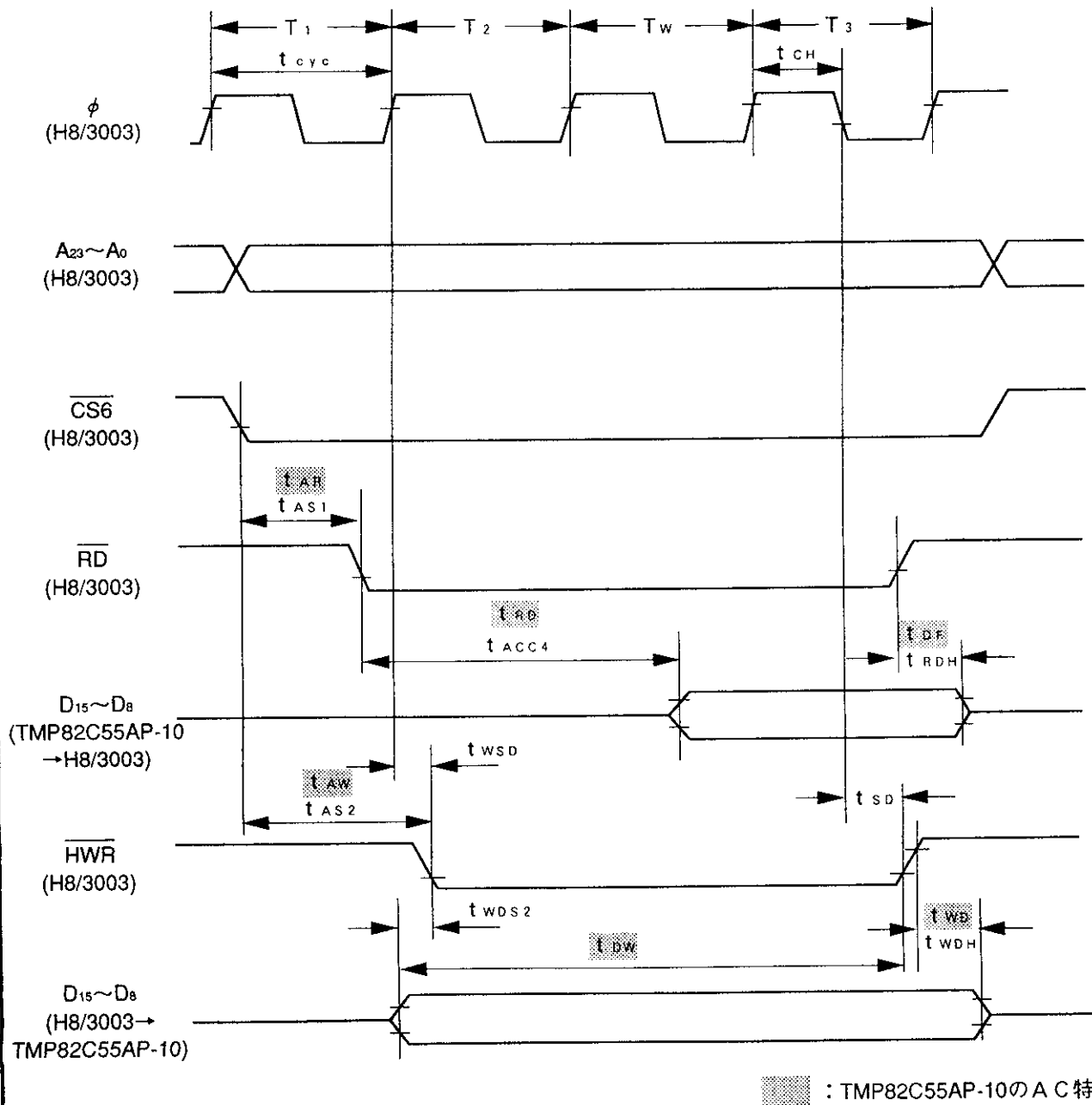


図3.39 リード/ライトタイミングチャート

回路図

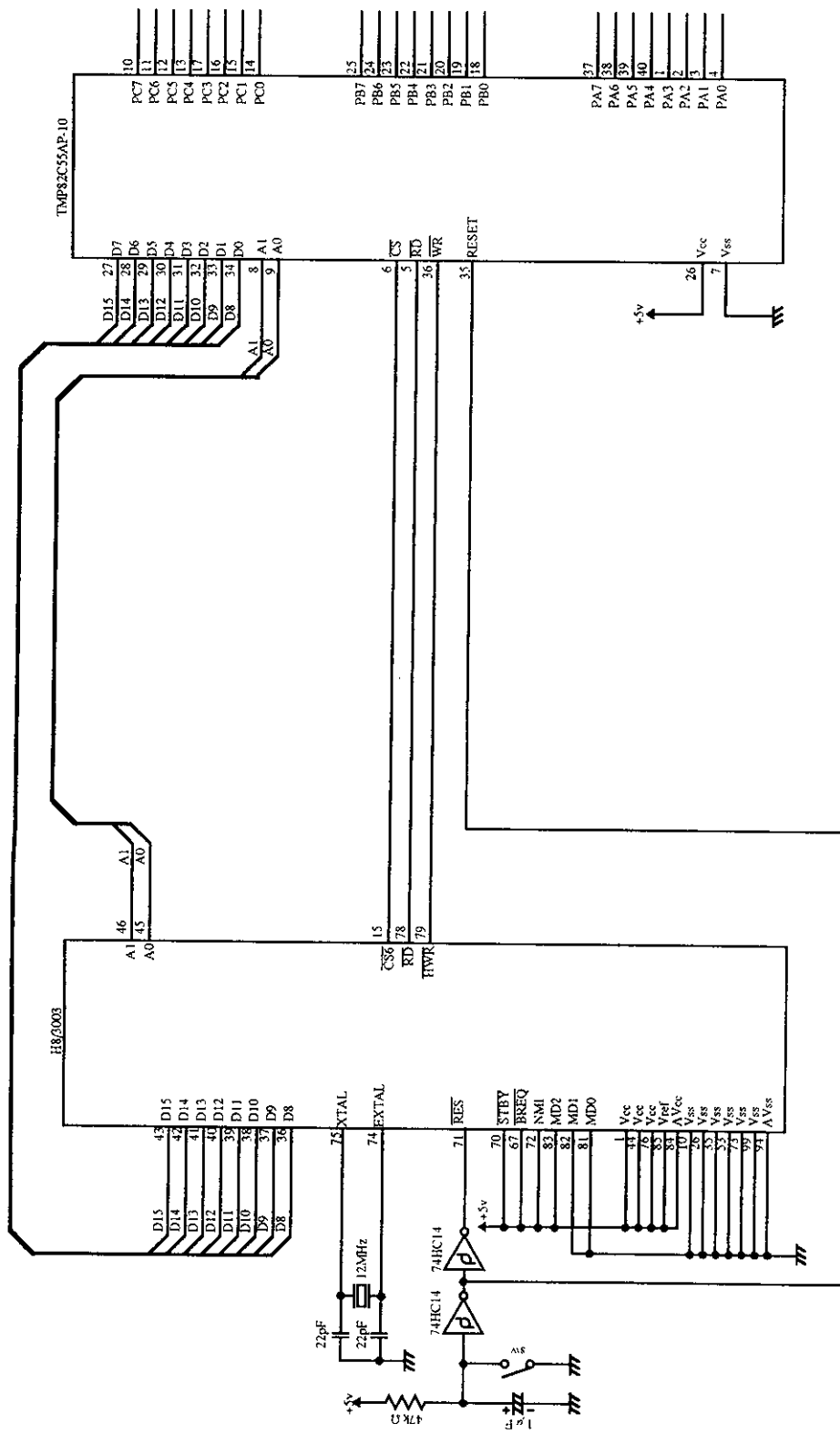


図 3.40 TMP82C55AP-10 インタフェース

3.9 RTCインタフェース

RTC(HD64610)インタフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス、16Mバイトアドレス空間)
仕様				

(1) 図3.41に示すように、H8/3003のモード4 (16ビットデータバス、16Mバイトアドレス) でカレンダークロック用LSI (HD64610) とインタフェースを行います。

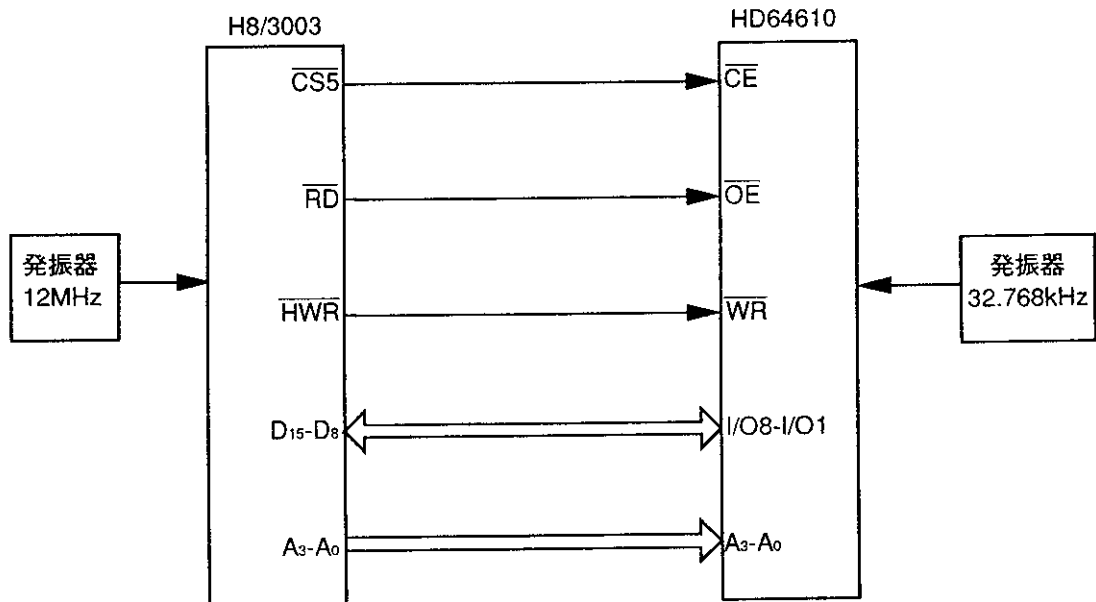


図3.41 H8/3003およびHD64610接続ブロック図

(2) 図3.42に示すように、H8/3003の16Mバイトのメモリ空間のうち、エリア5 (H' A00000 ~ H' BFFFFFFF) に割り付けます。また、エリア5のバスコントローラを以下のように設定します。

データバス幅：8ビットバス
 ステート数：3ステート
 ウェイトモード：端子ウェイトモード0

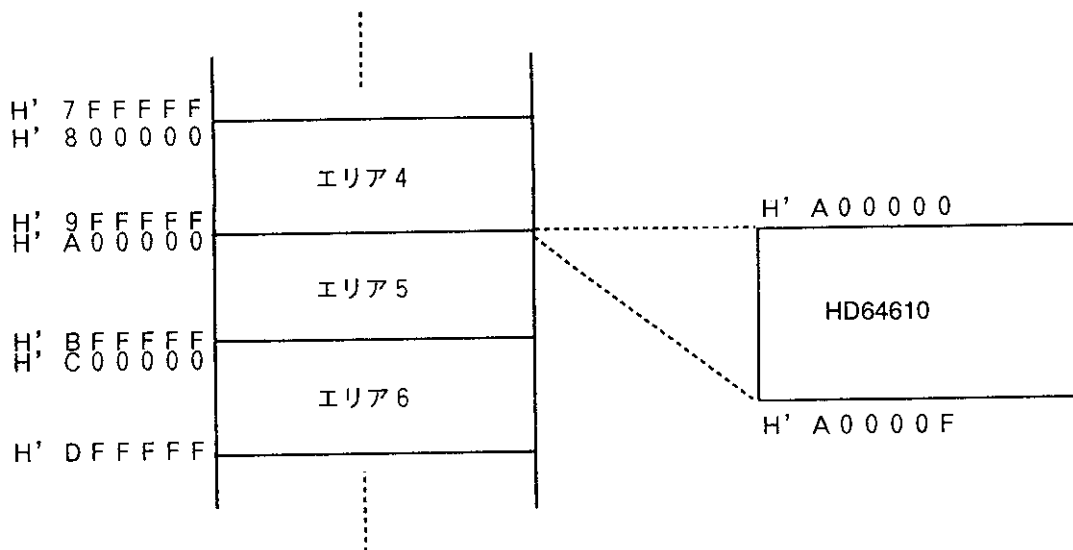


図3.42 メモリマップ

動作説明

(1) データのリード/ライト

図3.4.3にデータのリード/ライトタイミングチャートを示します。H8/3003とHD64610を直接接続する場合、H8/3003の t_{ACC4} (リードデータアクセス時間)、 t_{RDH} (リードデータホールド時間) およびHD64610の t_{DW} (入力データセット時間)、 t_{DH} (入力データ保持時間) が満足されているかを確認します。

図3.4.3から各タイミングは以下のようになります。

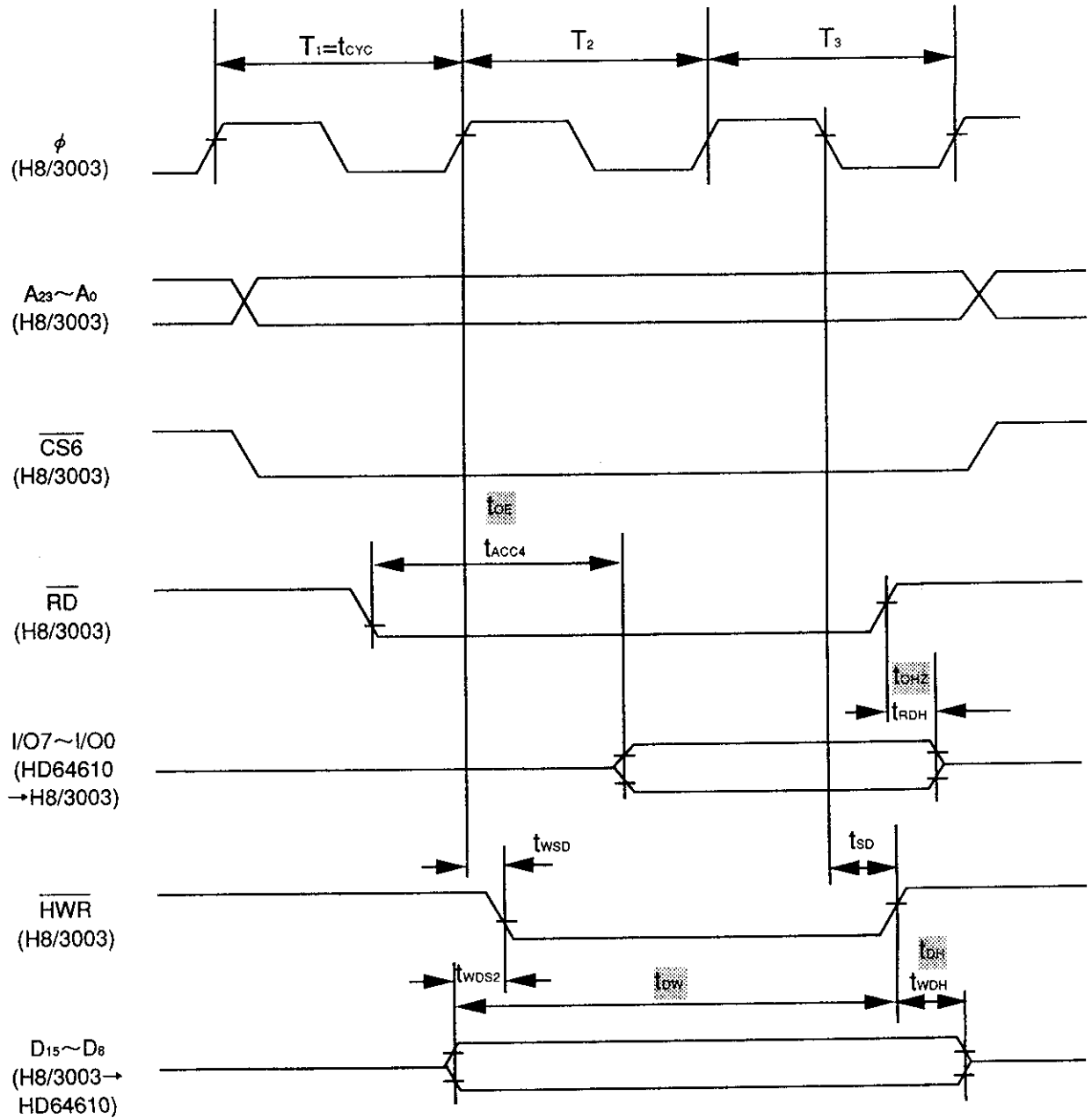
(a) H8/3003の t_{ACC4} および t_{RDH}

$$\begin{aligned} t_{ACC4} &= t_{OE(max)} \\ &= \underline{45ns \leq 120ns} \text{ (H8/3003 } t_{ACC4}) \\ t_{RDH} &= t_{OHZ(min)} \\ &= \underline{0ns \geq 0ns} \text{ (H8/3003 } t_{RDH}) \end{aligned}$$

(b) HD64610の t_{DW} および t_{DH}

$$\begin{aligned} t_{DW} &= T_2 + t_{CH(min)} + t_{SD(min)} - t_{WSD(max)} + t_{WDS2(min)} \\ &= 83.3 + 30 + 0 - 35 + 10 \\ &= \underline{88.3ns \geq 40ns} \text{ (HD64610 } t_{DW}) \\ t_{DH} &= t_{WDH(min)} \\ &= \underline{20ns \geq 0ns} \text{ (HD64610 } t_{DH}) \end{aligned}$$

動作説明



■ : HD64610のA C特性

図 3.4 3 リード/ライトタイミングチャート

回路図

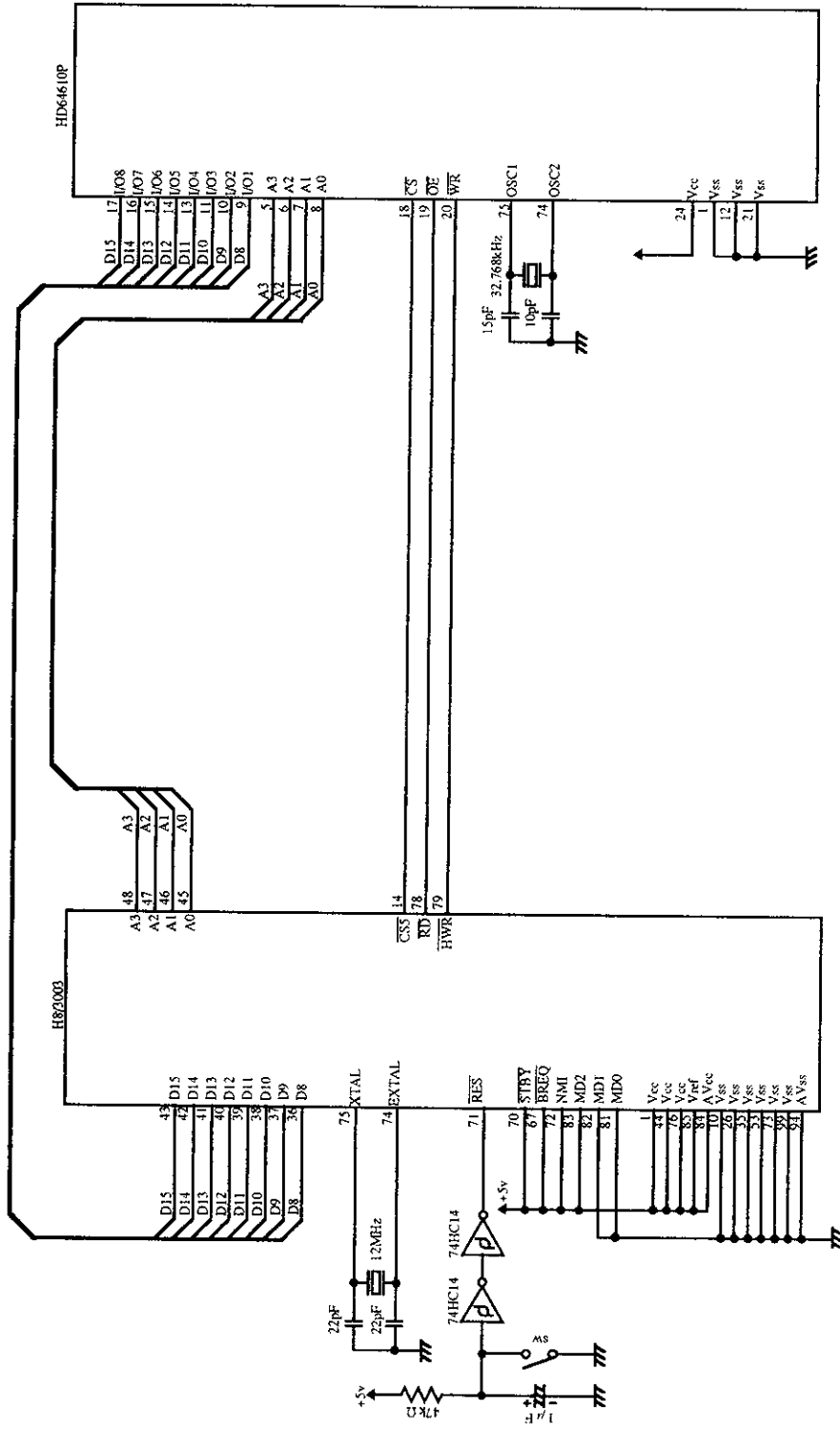


図 3.4.4 HD64610 インタフェース

3.10 LCDインターフェース

LCD(LM032L)インターフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス、16Mバイトアドレス)
仕様				

- (1) 図3.45に示すように、H8/3003のモード4 (16ビットデータバス、16Mバイトアドレス) でLCD (LM032L) とインターフェースを行います。

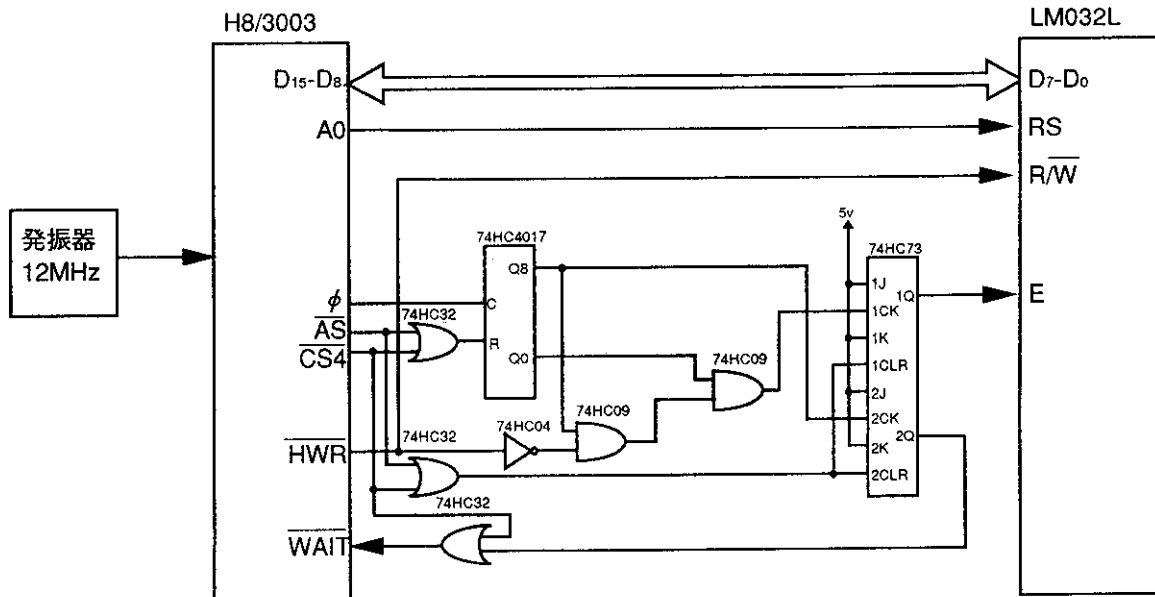


図3.45 H8/3003およびLM032L接続ブロック図

- (2) 図3.46に示すように、H8/3003の16Mバイトのメモリ空間のうち、エリア4 (H' 800000 ~ H' 9FFFFFF) に割り付けます。また、エリア4はバスコントローラを以下のように設定します。

データバス幅：8ビットバス
 ステート数：3ステート
 ウェイトモード：端子ウェイトモード1
 挿入ウェイト数：2ステート

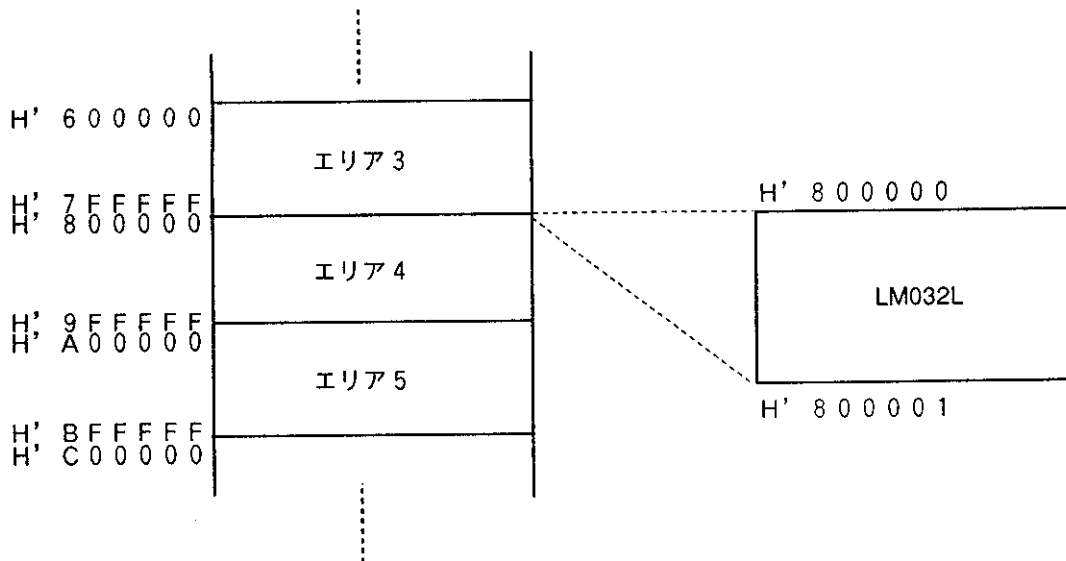


図3.46 メモリマップ

動作説明

(1) Eクロック生成部

図3.47にEクロック生成回路を、図3.48にEクロックタイミングチャートを示します。H8/3003とLM032Lを接続する場合、Eクロックによってタイミングを同期させる必要があります。このため、10進カウンタ(74HC4017)によってφクロックをカウントしEクロックを生成します。また、Eクロックのサイクル時間を満足するためにウェイトステートを9ステート挿入する必要があります。H8/3003で3ステート以上のウェイトステートを挿入する際、WAIT信号により制御します。

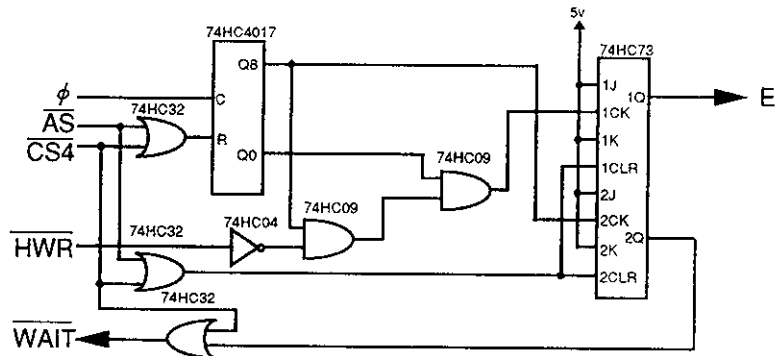


図3.47 Eクロック生成回路

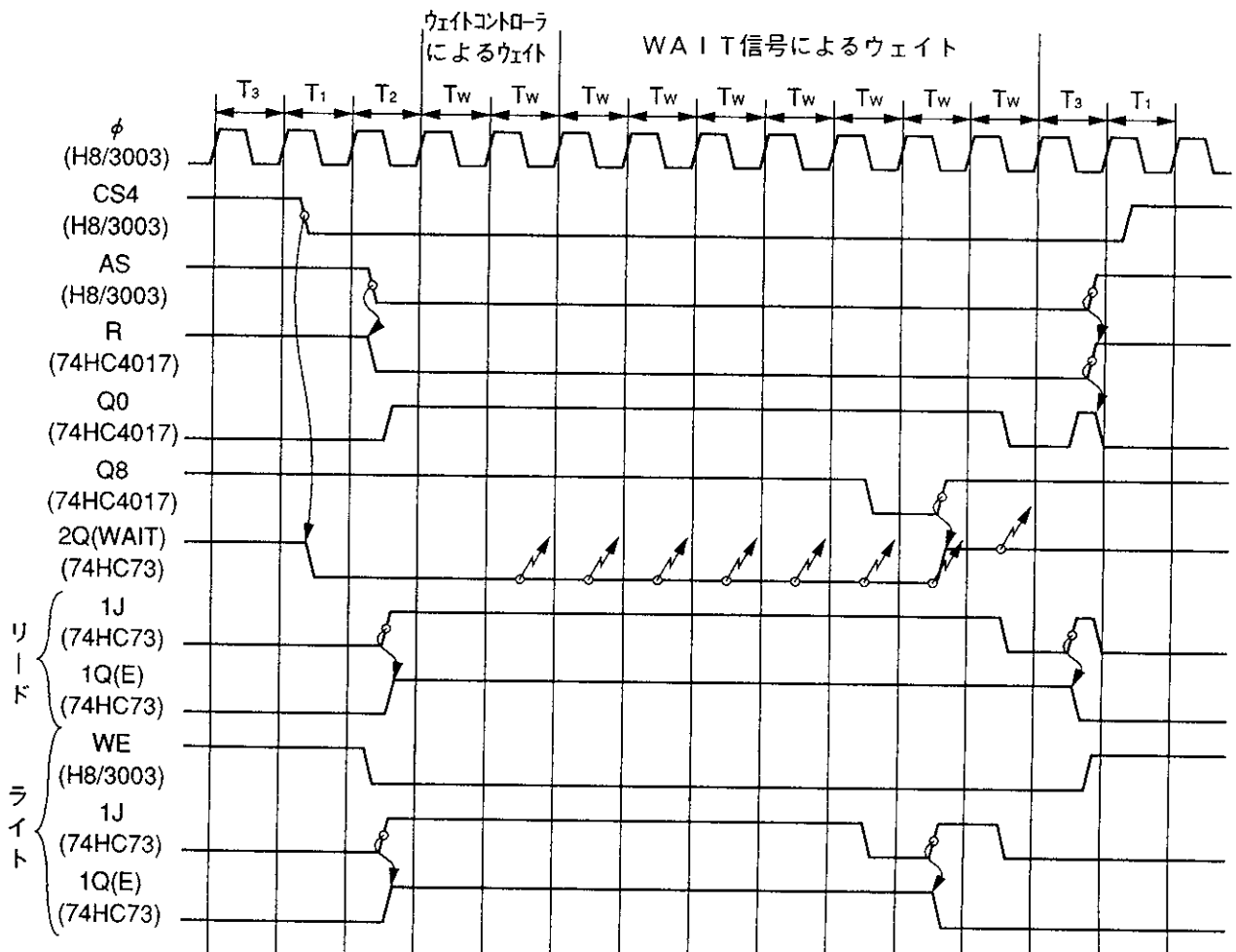
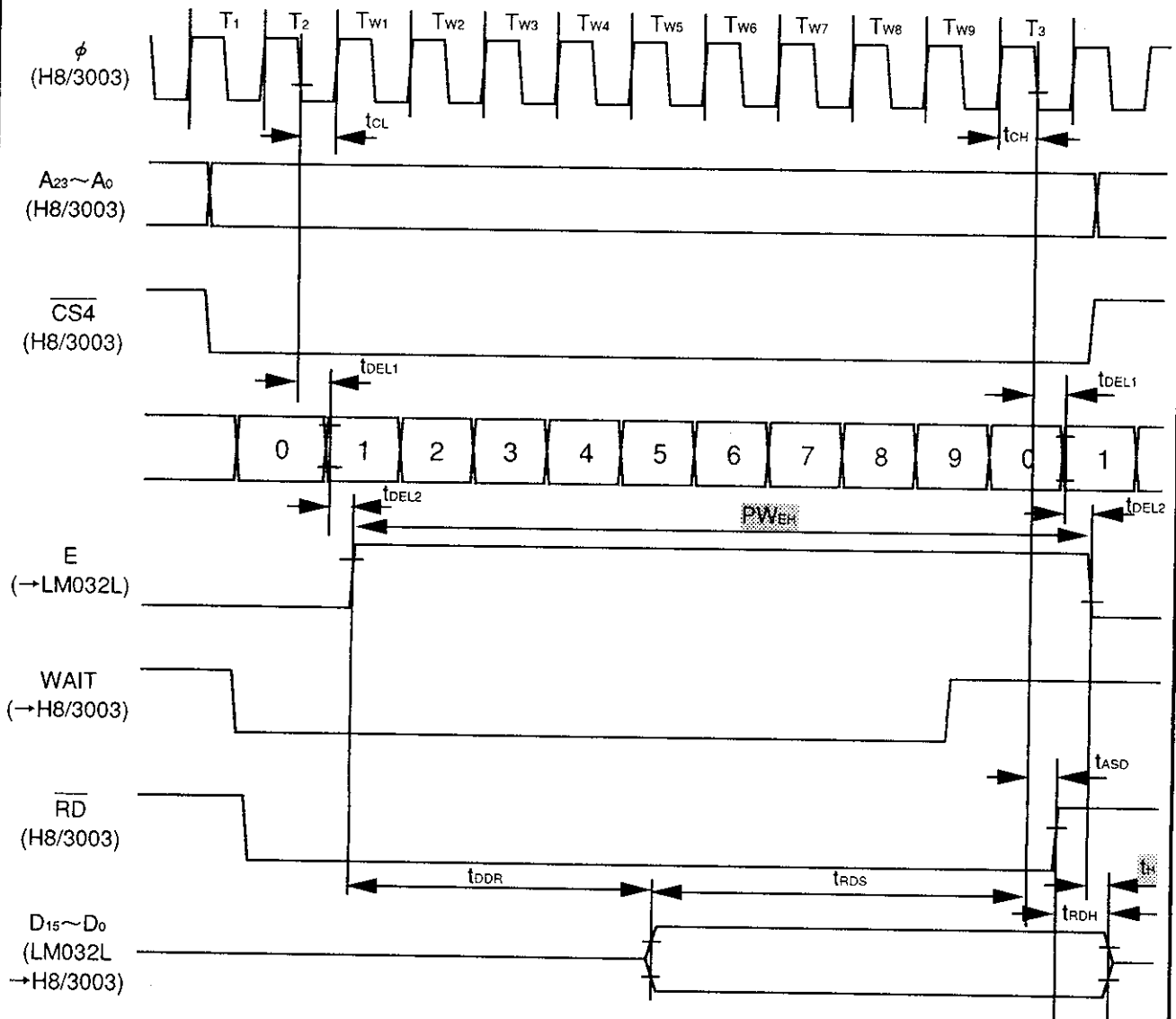


図3.48 Eクロックタイミングチャート

LCD(LM032L)インタフェース	MCU	H8/3003	使用機能	モード4 (16ビットデータバス16MHz以上空間)
動作説明				
(2) データのリード/ライト				
<p>図3.49にデータのリードタイミングチャートを、図3.50にデータのライトタイミングチャートを示します。H8/3003とLM032Lを接続する場合、H8/3003のt_{RDS} (リードデータセットアップ時間)、t_{RDH} (リードデータホールド時間) およびLM032LのPW_{EH} (イネーブルパルス幅) t_{DSW} (リードアクセス時間)、t_H (ライトアクセス時間) が、またEクロックの1周期を示すt_{CYC} (イネーブルサイクル時間) が満足されているかを確認します。</p> <p>図3.49および図3.50から各タイミングは以下のようになります。</p>				
(a) H8/3003の t_{RDS} および t_{RDH}				
$t_{RDS} = t_{CL(min)} + Tw \times 9 + t_{CH(min)} - t_{DEL1(max)} - t_{DEL2(max)} - t_{DDR(max)}$ $= 30 + 83.3 \times 9 + 30 - 46 - 30 - 320$ $= 413.7 \text{ ns} \geq 10 \text{ ns (H8/3003 } t_{RDS})$				
$t_{RDH} = t_{DEL1(min)} + t_{DEL2(min)} + t_H(min) - t_{ASD(max)}$ $= 0 + 0 + 30 - 30$ $= 0 \text{ ns} \geq 0 \text{ ns (H8/3003 } t_{RDH})$				
(b) LM032Lの PW_{EH} および t_{CYC} は以下の式にて求めます。				
$PW_{EH} = t_{CL(min)} + Tw \times 9 + t_{CH(min)} + t_{DEL1(min)} + t_{DEL2(min)}$ $- t_{DEL1(max)} - t_{DEL2(max)}$ $= 30 + 83.3 \times 9 + 30 + 0 + 0 - 46 - 30$ $= 733.7 \text{ ns} \geq 450 \text{ ns (LM032L } PW_{EH})$				
$t_{CYC} = t_{CYC} \times 1.2$ $= 83.3 \times 1.2$ $= 1000 \text{ ns} \geq 1000 \text{ ns (LM032L } t_{CYC})$				
(c) LM032Lの t_{DSW} および t_H は以下の式にて求めます。				
$t_{DSW} = T_2 + Tw \times 7 + t_{CH(min)} + t_{DEL1(min)} + t_{DEL2(min)} - t_{WSD(max)} + t_{WSD2(min)}$ $= 83.3 + 83.3 \times 7 + 30 + 0 + 0 - 30 + 10$ $= 676.4 \text{ ns} \geq 195 \text{ ns (LM032L } t_{DSW})$				
$t_H = t_{CL(min)} + Tw \times 9 + t_{CH(min)} + t_{ASD(min)} + t_{WDH(min)} - t_{DEL1(max)} - t_{DEL2(max)}$ $= 30 + 83.3 + 30 + 0 + 20 - 46 - 30$ $= 87.3 \text{ ns} \geq 20 \text{ ns (LM032L } t_H)$				

動作説明



t_{DEL1} : 10進カウンタ遅延時間

t_{DEL2} : E信号発生回路遅延時間


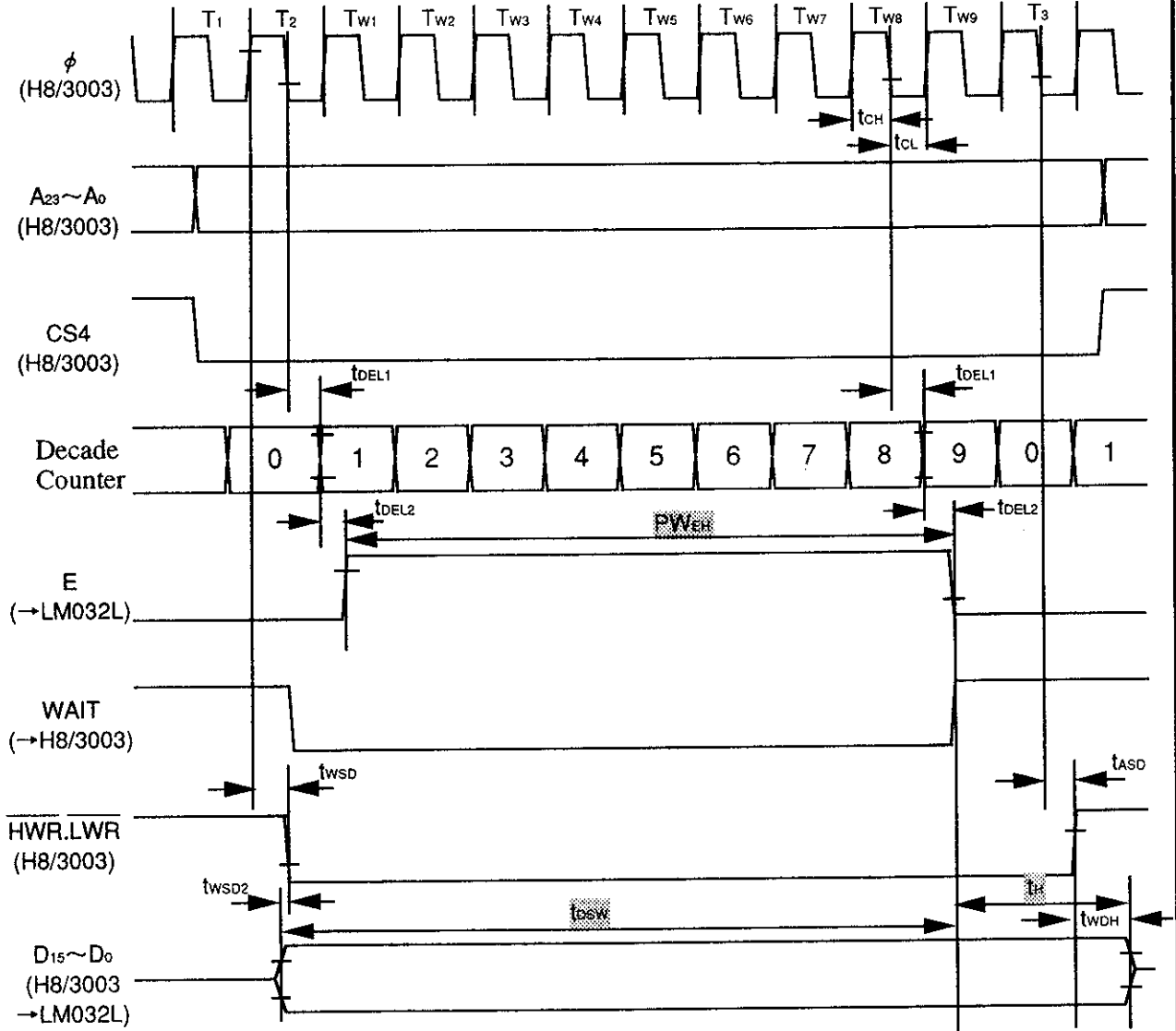
 : HM62832H-45のAC特性

図3.49 リードタイミングチャート

動作説明



t_{DEL1} : 10進カウンタ遅延時間
 t_{DEL2} : E信号発生回路遅延時間

■ : LM032LのAC特性

図3.50 ライトタイミングチャート

LCD(LM032L)インターフェイス

MCU

H8/3003

使用機能

モード4 (16bitデータバス16MHz以下空間)

回路図

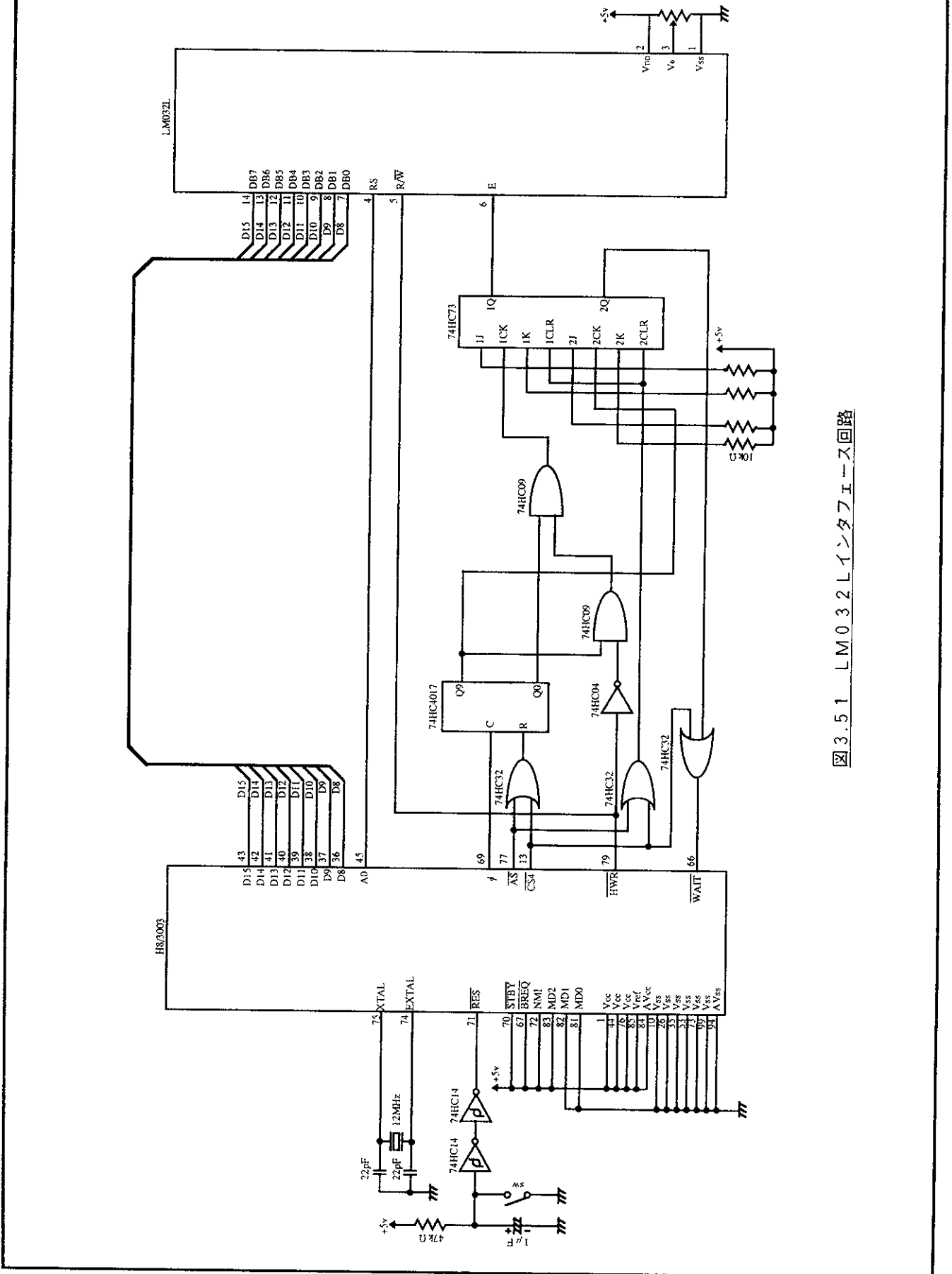


図3.5.1 LM032Lインターフェイス回路

4. H8 / 3003 AC特性

第4章 目次

4.1 H8 / 3003 AC特性.....	65
-------------------------	----

4.1 H8/3003 AC特性

表 4.1 バスタイミング (1)

条件A : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC} = 2.7 \sim 5.5V$, $V_{REF} = 2.7V \sim AV_{CC}$, $V_{SS} = AV_{SS} = 0V$, $\phi = 2 \sim 8MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品), $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様書)

条件B : $V_{CC} = 5.0V \pm 10\%$, $AV_{CC} = 5.0V \pm 10\%$, $V_{REF} = 4.5V \sim AV_{CC}$, $V_{SS} = AV_{SS} = 0V$, $\phi = 2 \sim 16MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品), $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様書)

項目	記号	条件A		条件B					
		8 MHz		10 MHz		12 MHz		16 MHz	
		min.	max.	min.	max.	min.	max.	min.	max.
クロックサイクル時間	t _{cy}	125	500	100	500	83.3	500	62.5	500
クロックパルス幅 "Low"レベル時間	t _{CL}	40	—	40	—	30	—	20	—
クロックパルス幅 "High"レベル時間	t _{CH}	40	—	40	—	30	—	20	—
クロック立上がり時間	t _{CR}	—	20	—	10	—	10	—	10
クロック立下がり時間	t _{CF}	—	20	—	10	—	10	—	10
アドレス遅延時間	t _{AD}	—	60	—	40	—	35	—	30
アドレスホールド時間	t _{AH}	25	—	20	—	15	—	10	—
アドレスストロブ遅延時間	t _{ASD}	—	60	—	40	—	35	—	30
ライトストロブ遅延時間	t _{WSD}	—	60	—	40	—	35	—	30
ストロブ遅延時間	t _{SD}	—	60	—	40	—	35	—	30
ライトデータストロブパルス幅1	t _{WSW1} *	85	—	70	—	55	—	35	—
ライトデータストロブパルス幅2	t _{WSW2} *	150	—	120	—	95	—	65	—
アドレスセットアップ時間1	t _{AS1}	20	—	15	—	10	—	10	—
アドレスセットアップ時間2	t _{AS2}	80	—	65	—	50	—	40	—
リードデータセットアップ時間	t _{RDS}	50	—	20	—	20	—	20	—
リードデータホールド時間	t _{RDH}	0	—	0	—	0	—	0	—
ライトデータ遅延時間	t _{WDD}	—	75	—	65	—	60	—	60
ライトデータセットアップ時間1	t _{WDS1}	90	—	75	—	60	—	35	—
ライトデータセットアップ時間2	t _{WDS2}	15	—	10	—	10	—	5	—
ライトデータホールド時間	t _{WDH}	25	—	20	—	20	—	20	—
リードデータアクセス時間1	t _{ACC1} *	—	110	—	100	—	80	—	55
リードデータアクセス時間2	t _{ACC2} *	—	230	—	200	—	160	—	115

単位 : n s

表 4.2 バスタイミング (2)

条件 A : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC} = 2.7 \sim 5.5V$, $V_{REF} = 2.7V \sim AV_{CC}$, $V_{SS} = AV_{SS} = 0V$, $\phi = 2 \sim 8MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品), $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

条件 B : $V_{CC} = 5.0V \pm 10\%$, $AV_{CC} = 5.0V \pm 10\%$, $V_{REF} = 4.5V \sim AV_{CC}$, $V_{SS} = AV_{SS} = 0V$, $\phi = 2 \sim 16MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品), $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B					
		8 MHz		10 MHz		12 MHz		16 MHz	
		min.	max.	min.	max.	min.	max.	min.	max.
リト・テー・タアクセス時間3	tACC3*	—	55	—	50	—	40	—	25
リト・テー・タアクセス時間4	tACC4*	—	160	—	150	—	120	—	85
プリチャージ時間	tPCH*	85	—	70	—	55	—	40	—
ウェイトセットアップ時間	tWTS	40	—	35	—	25	—	25	—
ウェイトセットホールド時間	tWTH	10	—	10	—	5	—	5	—
ハ・スリクエストセットアップ時間	tBROS	40	—	40	—	40	—	40	—
ハ・スプリック遅延時間1	tBACD1	—	60	—	50	—	40	—	30
ハ・スプリック遅延時間2	tBACD2	—	60	—	50	—	40	—	30
ハ・スフローティング時間	tBZD	—	70	—	60	—	50	—	40

単位 : ns

【注】 ※8MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned} t_{ACC1} &= 1.5 \times t_{cyc} - 78 \text{ (ns)} & t_{WSW1} &= 1.0 \times t_{cyc} - 40 \text{ (ns)} \\ t_{ACC2} &= 2.5 \times t_{cyc} - 83 \text{ (ns)} & t_{WSW2} &= 1.5 \times t_{cyc} - 38 \text{ (ns)} \\ t_{ACC3} &= 1.0 \times t_{cyc} - 70 \text{ (ns)} & t_{PCH} &= 1.0 \times t_{cyc} - 40 \text{ (ns)} \\ t_{ACC4} &= 2.0 \times t_{cyc} - 90 \text{ (ns)} & & \end{aligned}$$

※10MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned} t_{ACC1} &= 1.5 \times t_{cyc} - 50 \text{ (ns)} & t_{WSW1} &= 1.0 \times t_{cyc} - 30 \text{ (ns)} \\ t_{ACC2} &= 2.5 \times t_{cyc} - 50 \text{ (ns)} & t_{WSW2} &= 1.5 \times t_{cyc} - 30 \text{ (ns)} \\ t_{ACC3} &= 1.0 \times t_{cyc} - 50 \text{ (ns)} & t_{PCH} &= 1.0 \times t_{cyc} - 30 \text{ (ns)} \\ t_{ACC4} &= 2.0 \times t_{cyc} - 50 \text{ (ns)} & & \end{aligned}$$

※12MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned} t_{ACC1} &= 1.5 \times t_{cyc} - 45 \text{ (ns)} & t_{WSW1} &= 1.0 \times t_{cyc} - 28 \text{ (ns)} \\ t_{ACC2} &= 2.5 \times t_{cyc} - 48 \text{ (ns)} & t_{WSW2} &= 1.5 \times t_{cyc} - 30 \text{ (ns)} \\ t_{ACC3} &= 1.0 \times t_{cyc} - 43 \text{ (ns)} & t_{PCH} &= 1.0 \times t_{cyc} - 28 \text{ (ns)} \\ t_{ACC4} &= 2.0 \times t_{cyc} - 47 \text{ (ns)} & & \end{aligned}$$

※16MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned} t_{ACC1} &= 1.5 \times t_{cyc} - 39 \text{ (ns)} & t_{WSW1} &= 1.0 \times t_{cyc} - 28 \text{ (ns)} \\ t_{ACC2} &= 2.5 \times t_{cyc} - 41 \text{ (ns)} & t_{WSW2} &= 1.5 \times t_{cyc} - 28 \text{ (ns)} \\ t_{ACC3} &= 1.0 \times t_{cyc} - 38 \text{ (ns)} & t_{PCH} &= 1.0 \times t_{cyc} - 23 \text{ (ns)} \\ t_{ACC4} &= 2.0 \times t_{cyc} - 40 \text{ (ns)} & & \end{aligned}$$

表 4.3 バスタイミング (リフレッシュコントローラ)

条件 A : $V_{CC} = 2.7 \sim 5.5V$, $AV_{CC} = 2.7 \sim 5.5V$, $V_{REF} = 2.7V \sim AV_{CC}$, $V_{SS} = AV_{SS} = 0V$, $\phi = 2 \sim 8MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品), $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

条件 B : $V_{CC} = 5.0V \pm 10\%$, $AV_{CC} = 5.0V \pm 10\%$, $V_{REF} = 4.5V \sim AV_{CC}$, $V_{SS} = AV_{SS} = 0V$, $\phi = 2 \sim 16MHz$
 $T_a = -20 \sim +75^\circ C$ (通常仕様品), $T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件 A		条件 B					
		8 MHz		10 MHz		12 MHz		16 MHz	
		min.	max.	min.	max.	min.	max.	min.	max.
RAS 遅延時間1	tRAD1	—	60	—	30	—	30	—	30
RAS 遅延時間2	tRAD2	—	60	—	30	—	30	—	30
RAS 遅延時間3	tRAD3	—	60	—	30	—	30	—	30
出力レスポンス時間	tRAH*	25	—	20	—	15	—	15	—
RAS アリバイ時間	tRP*	85	—	70	—	55	—	40	—
CAS to RAS アリバイ時間	tCRP*	85	—	70	—	55	—	40	—
CAS パルス幅	tCAS	110	—	40	—	40	—	40	—
RAS アクセス時間	tRAC*	—	160	—	150	—	120	—	85
アドレスアクセス時間	tAA	—	105	—	55	—	55	—	55
CAS アクセス時間	tCAC*	—	50	—	50	—	40	—	25
ライトアセツアップ時間3	twDS3	75	—	40	—	40	—	40	—
CASセツアップ時間	tCSR*	20	—	15	—	15	—	15	—
リードローフ遅延時間	tRSD	—	60	—	30	—	30	—	30

単位 : ns

【注】 ※8MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned} t_{RAH} &= 0.5 \times t_{cyc} - 38 \text{ (ns)} & t_{CAC} &= 1.0 \times t_{cyc} - 75 \text{ (ns)} \\ t_{RAC} &= 2.0 \times t_{cyc} - 90 \text{ (ns)} & t_{CSR} &= 0.5 \times t_{cyc} - 43 \text{ (ns)} \\ t_{RP} &= t_{CRP} = 1.0 \times t_{cyc} - 40 \text{ (ns)} \end{aligned}$$

※10MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned} t_{RAH} &= 0.5 \times t_{cyc} - 30 \text{ (ns)} & t_{CAC} &= 1.0 \times t_{cyc} - 50 \text{ (ns)} \\ t_{RAC} &= 2.0 \times t_{cyc} - 50 \text{ (ns)} & t_{CSR} &= 0.5 \times t_{cyc} - 35 \text{ (ns)} \\ t_{RP} &= t_{CRP} = 1.0 \times t_{cyc} - 30 \text{ (ns)} \end{aligned}$$

※12MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned} t_{RAH} &= 0.5 \times t_{cyc} - 27 \text{ (ns)} & t_{CAC} &= 1.0 \times t_{cyc} - 43 \text{ (ns)} \\ t_{RAC} &= 2.0 \times t_{cyc} - 47 \text{ (ns)} & t_{CSR} &= 0.5 \times t_{cyc} - 27 \text{ (ns)} \\ t_{RP} &= t_{CRP} = 1.0 \times t_{cyc} - 28 \text{ (ns)} \end{aligned}$$

※16MHzのとき、下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned} t_{RAH} &= 0.5 \times t_{cyc} - 16 \text{ (ns)} & t_{CAC} &= 1.0 \times t_{cyc} - 38 \text{ (ns)} \\ t_{RAC} &= 2.0 \times t_{cyc} - 40 \text{ (ns)} & t_{CSR} &= 0.5 \times t_{cyc} - 16 \text{ (ns)} \\ t_{RP} &= t_{CRP} = 1.0 \times t_{cyc} - 23 \text{ (ns)} \end{aligned}$$

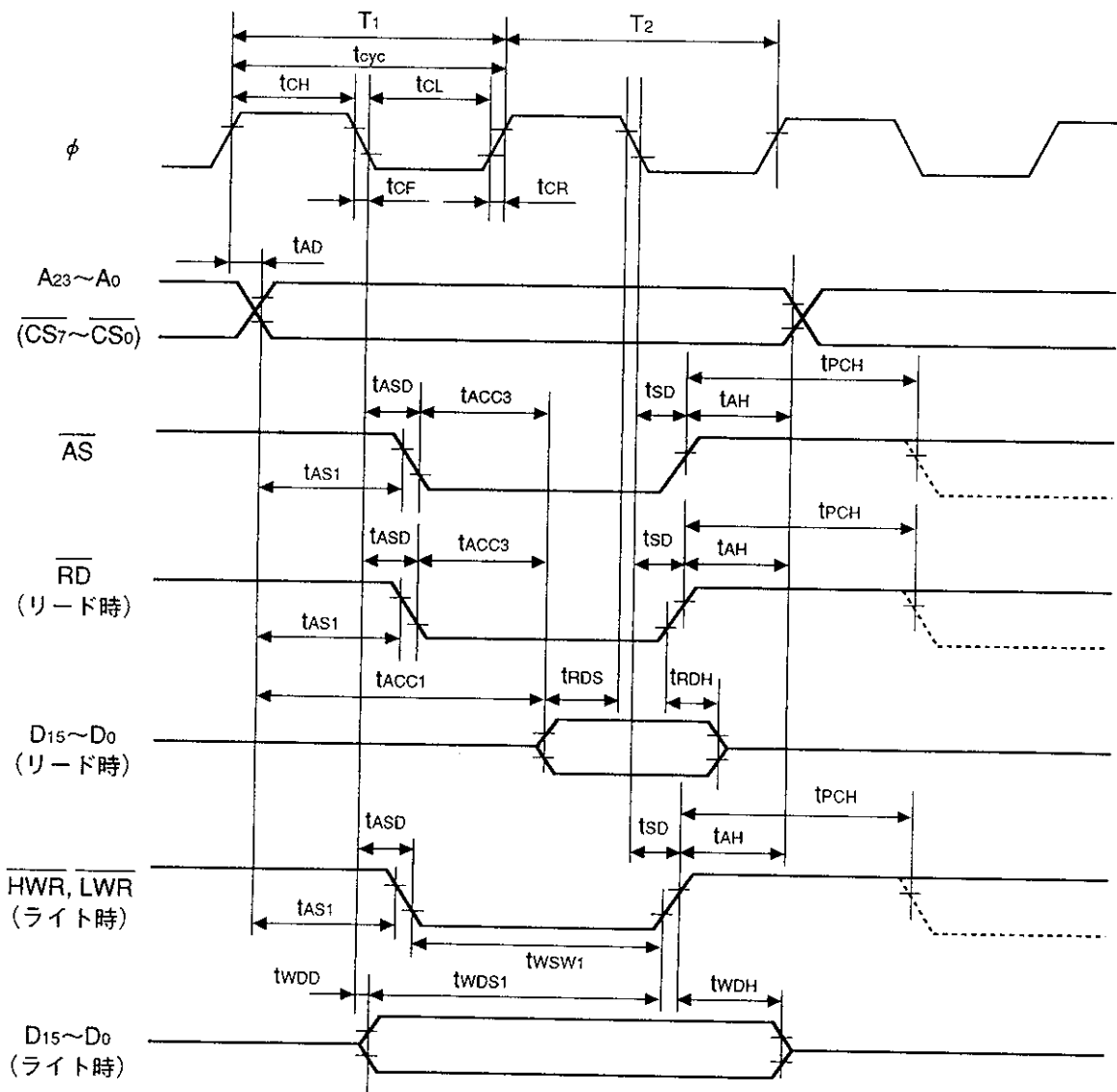


図 4.1 タイミング波形 (基本バスタイミング / 2 ステート)

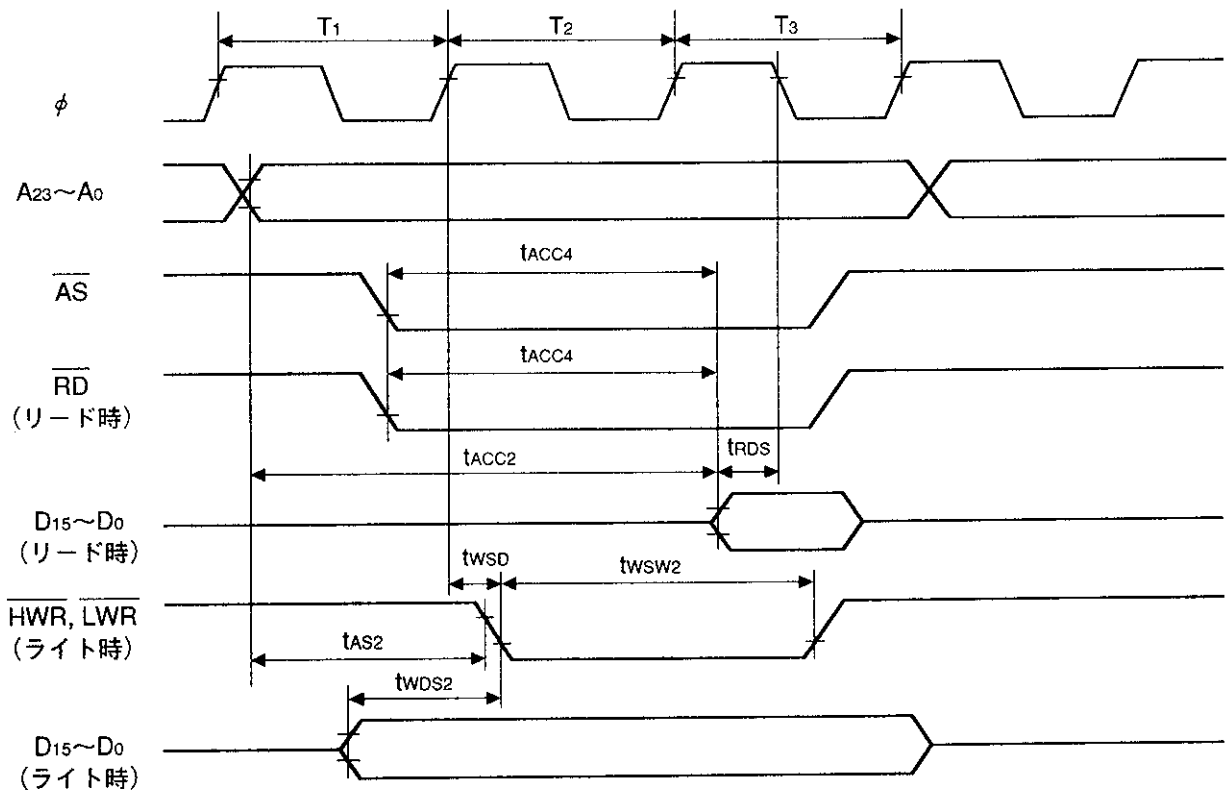


図 4.2 タイミング波形 (基本バスタイミング / 3 ステート)

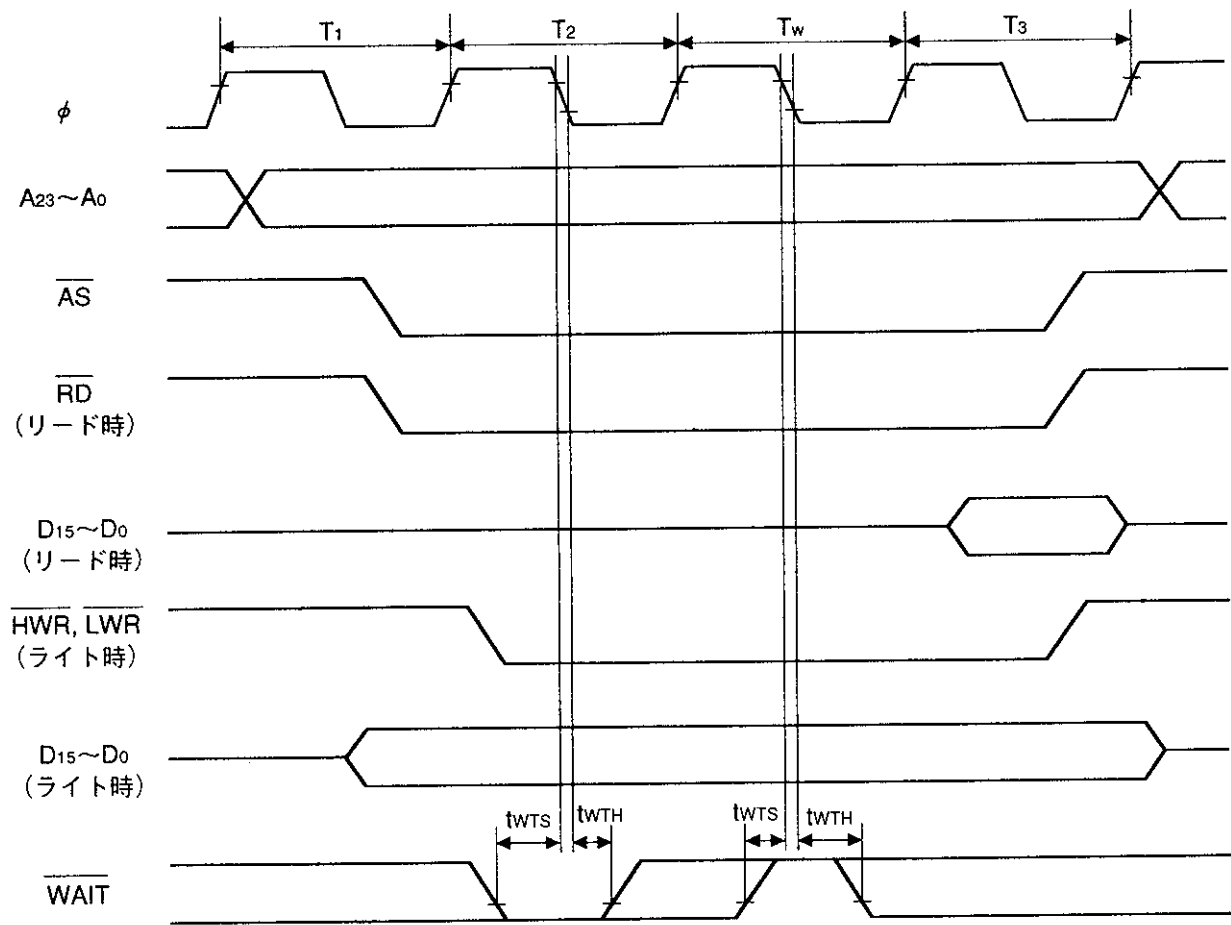


図 4.3 タイミング波形 (基本バスタイミング / 3 ステート + 1 ウェイト)

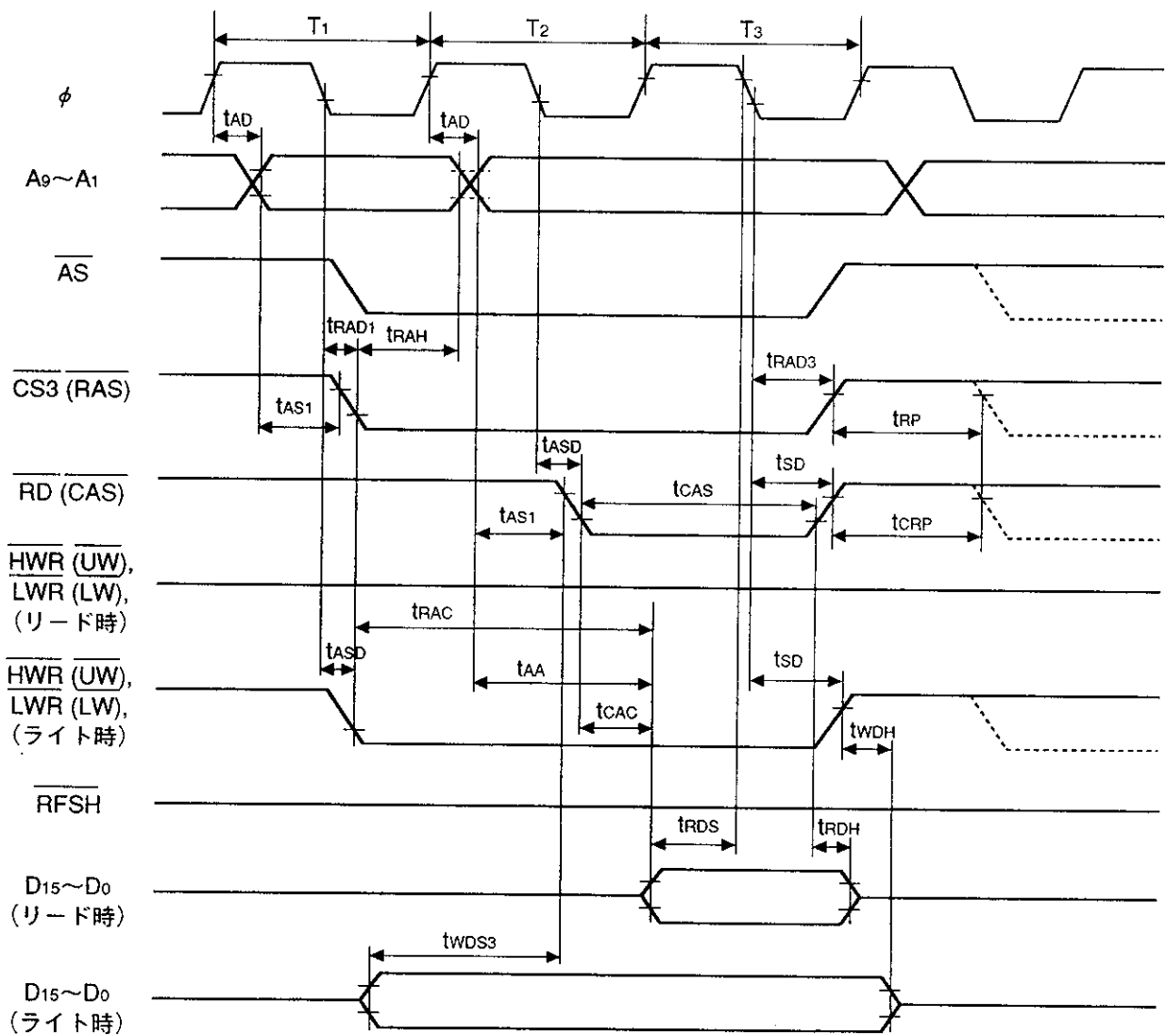


図 4.4 タイミング波形 (DRAMバスタイミング/リード・ライト/2WE方式)

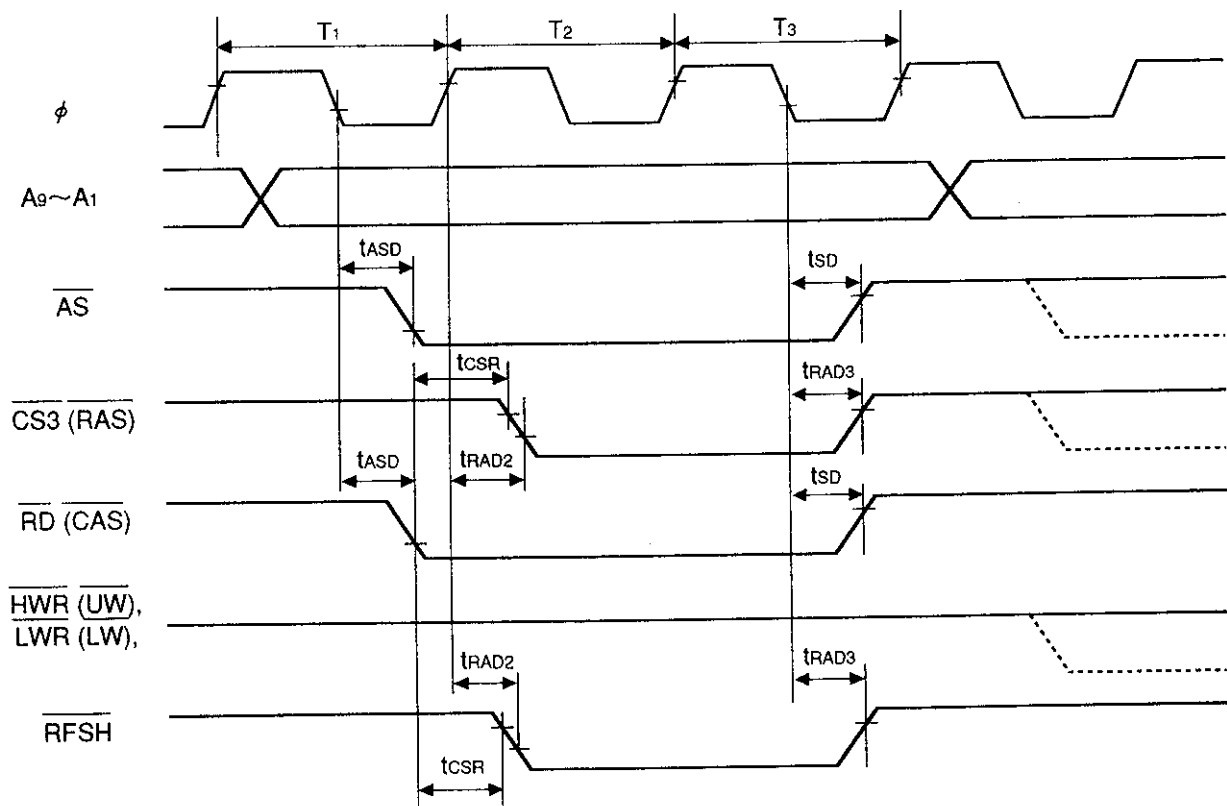


図 4.5 タイミング波形 (DRAMバスタイミング/リフレッシュ)

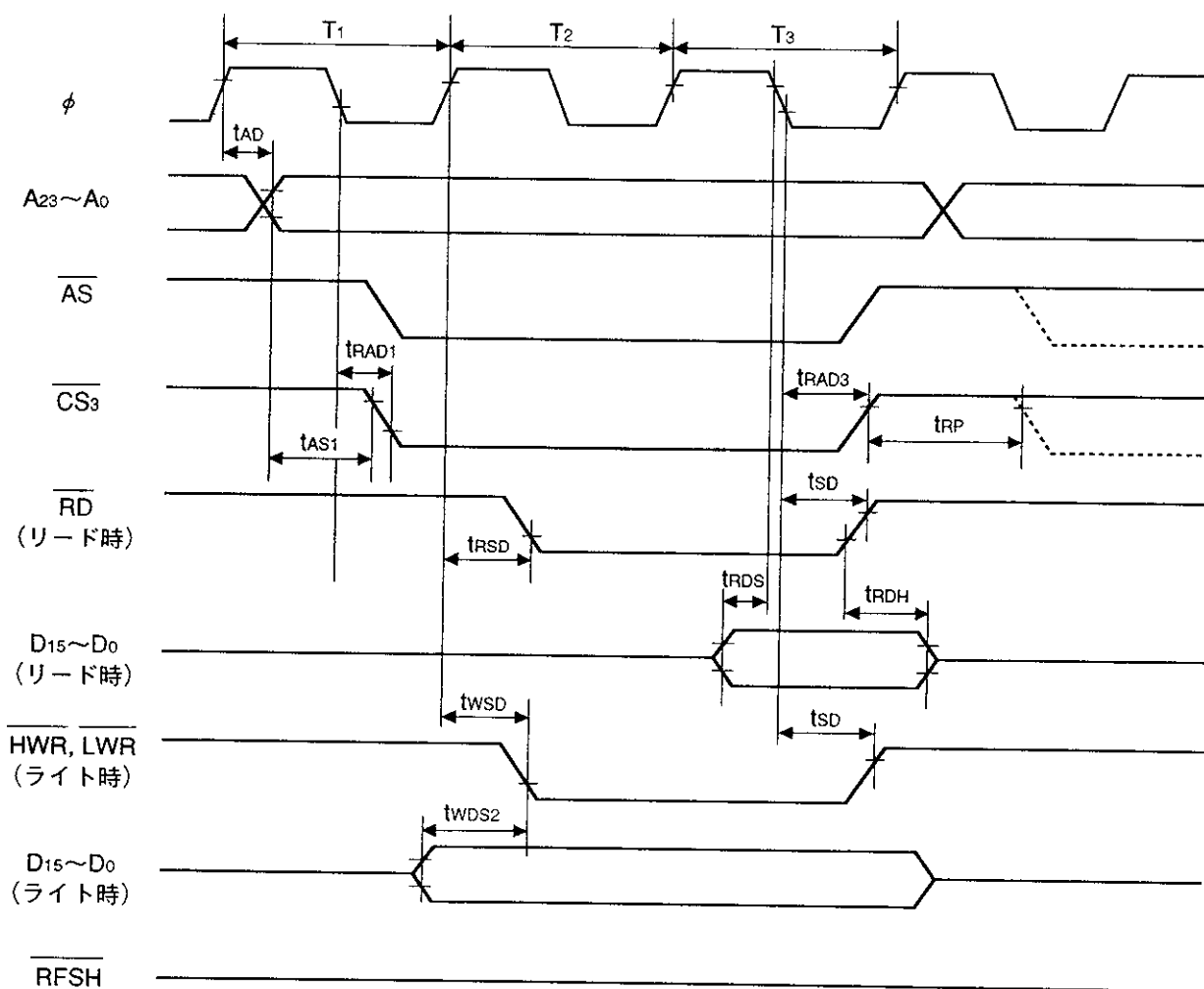


図 4.6 タイミング波形 (PSRAMバスタイミング/リード・ライト)

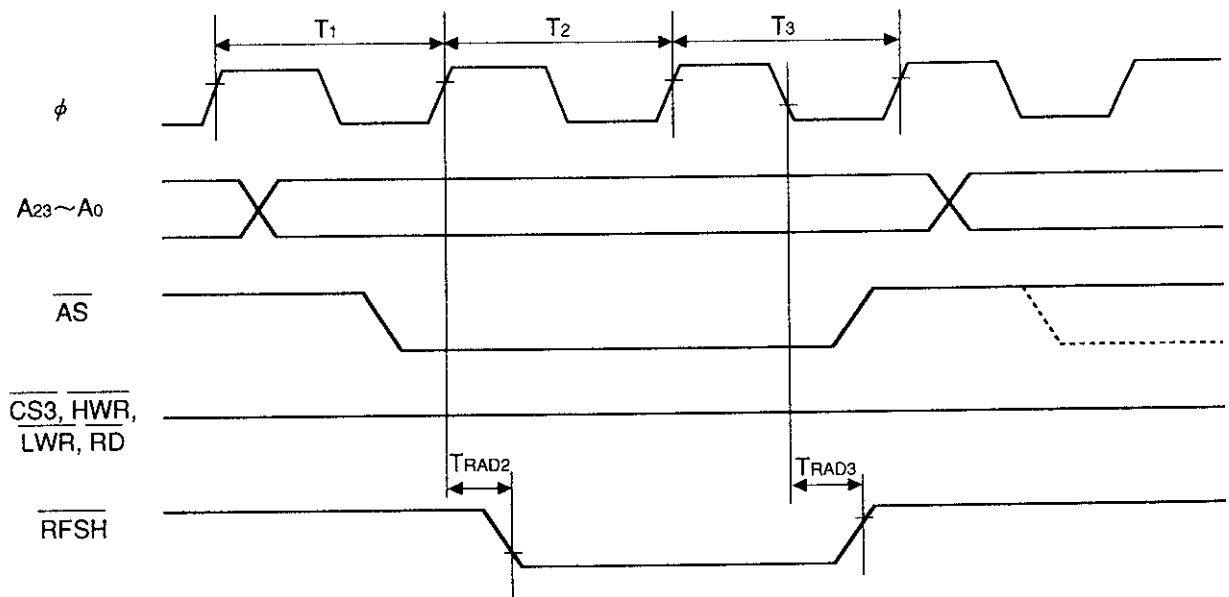


図 4.7 タイミング波形 (PSRAMバスタイミング/リフレッシュ)

5. メモリ AC特性

第5章 目次

5.1	HM62832H-45 AC特性	77
5.2	HN27C256HG-70 AC特性	81
5.3	HN62444BNP AC特性	82
5.4	HM65256B-12 AC特性	83
5.5	HN5116640 AC特性	86

5.1 HM62832H-45AC特性

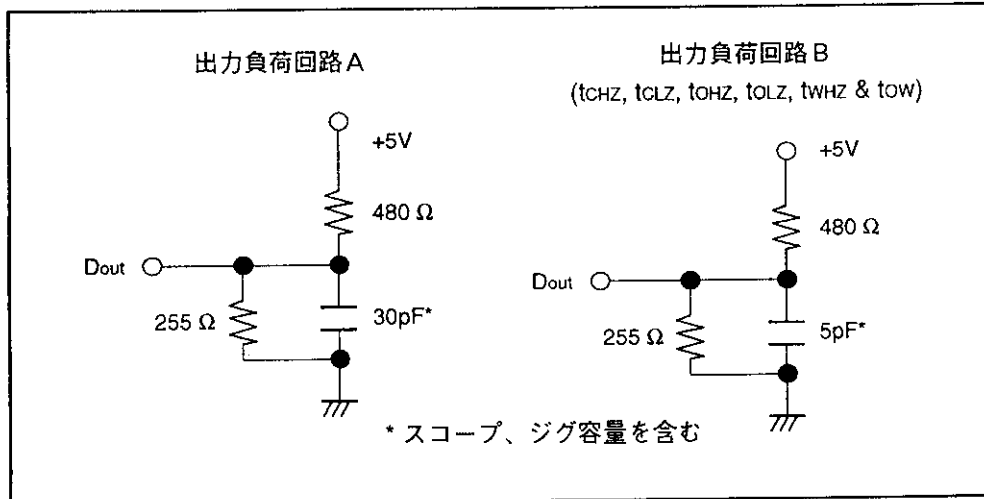
表 5.1 バスタイミング (リード)

($V_{CC} = 5V \pm 10\%$, $T_a = 0 \sim +70^\circ C$)

●測定条件

入力パルスレベル: $V_{SS} \sim 3.0V$
 入力上昇/下降時間: 5 ns

入出力タイミング参照レベル: 1.5 V
 出力負荷: 下図参照



項目	記号	HM62832H-25		HM62832H-35		HM62832H-45		単位
		min.	max.	min.	max.	min.	max.	
リードサイクル時間	tRC	25	—	35	—	45	—	ns
アドレスアクセス時間	tAA	—	25	—	35	—	45	ns
チップセレクトアクセス時間	tACS	—	25	—	35	—	45	ns
CS出力セット時間	tCLZ*	5	—	5	—	5	—	ns
出力イネーブルアクセス時間	tOE	—	12	—	15	—	20	ns
出力イネーブル・出力セット時間	tOLZ*	0	—	0	—	0	—	ns
チップディセレクト・出力フローティング時間	tCHZ*	0	12	0	15	0	20	ns
出力ディスエイブル・出力フローティング時間	tOHZ*	0	12	0	15	0	20	ns
出力保持時間	tOH	5	—	5	—	5	—	ns

※ トランジションは、負荷回路 (B) によってハイインピーダンス電圧から ± 200 mV で測定。
 このパラメータは全数測定されたものではなく、サンプル値です。

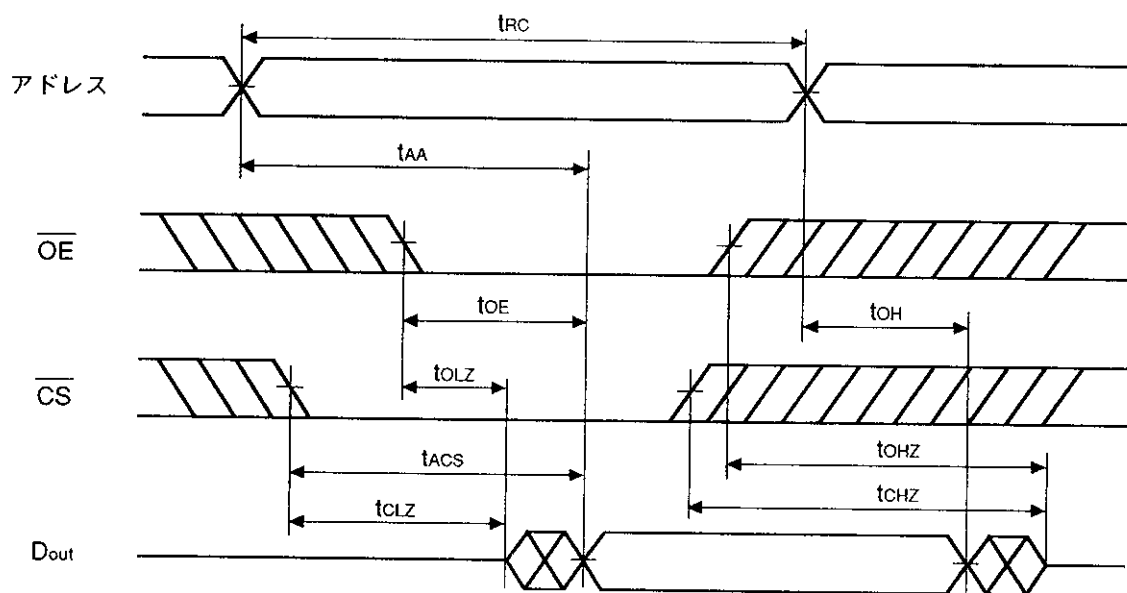


図 5.1 タイミング波形 (リード)

表5.2 バスタイミング (ライト)

項 目	記 号	HM62832H-25		HM62832H-35		HM62832H-45		単 位
		min.	max.	min.	max.	min.	max.	
ライトサイクル時間	tWC	25	—	35	—	45	—	ns
チップセレクト時間	tCW	15	—	20	—	25	—	ns
アドレス有効時間	tAW	20	—	30	—	40	—	ns
アドレスセットアップ時間	tAS	0	—	0	—	0	—	ns
ライトパルス時間	tWP	15	—	20	—	25	—	ns
アドレス保持時間	tWR	0	—	0	—	0	—	ns
出力ディスエイブル・出力 フローティング時間	tOHZ*	0	12	0	15	0	20	ns
$\overline{\text{WE}}$ ・出力フローティング時間	tWHZ*	0	12	0	15	0	20	ns
入力データセット時間	tDW	12	—	15	—	20	—	ns
入力データ保持時間	tDH	0	—	0	—	0	—	ns
$\overline{\text{WE}}$ 出力セット時間	tOW	5	—	5	—	5	—	ns

※ トランジションは、負荷回路 (B) によってハイインピーダンス電圧から±200 mVで測定。
このパラメータは全数測定されたものではなく、サンプル値です。

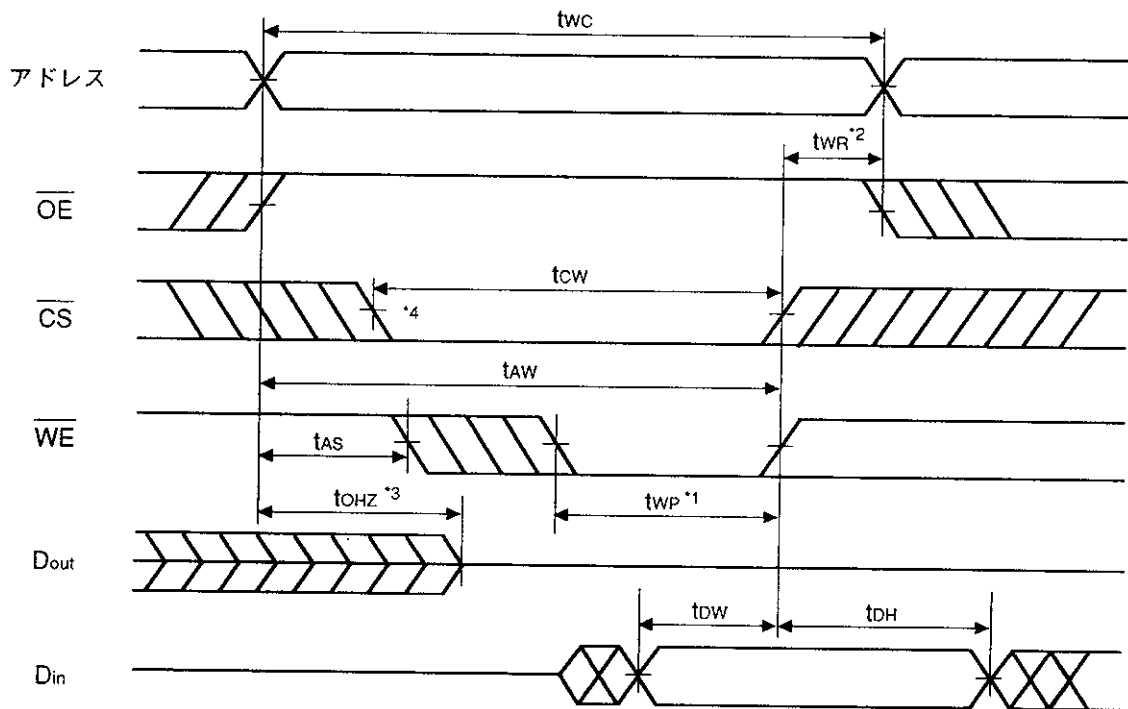


図 5.2 タイミング波形 (ライト)^{*5, *6}

- * 1 : 書込みは \overline{CS} が"LOW"、 \overline{WE} が"Low"のオーバーラップ中(t_{WP})に行われます。
- * 2 : t_{WR} は \overline{WE} または \overline{CS} のハイ遷移のいずれか早い遷移から書込みサイクルの終りで規定されます。
- * 3 : この期間中、I/O端子は出力状態になります。このとき、出力に対して逆位相のデータ入力信号を印加してはなりません。
- * 4 : \overline{CS} の"Low"遷移が \overline{WE} の"Low"遷移と同時あるいは、 \overline{WE} 遷移後に生じる場合、出力はハイインピーダンス状態にとどまります。
- * 5 : $OE = V_{IL}$
- * 6 : アドレス遷移時には、 \overline{WE} または \overline{CS} を"High"にしてください。

5.2 HN27C256HG-70 AC特性

表5.3 バスタイミング (リード)

項 目	記 号	HN27C256HG-70		HN27C256HG-85		単 位
		min.	max.	min.	max.	
アクセス時間	t _{ACC}	—	70	—	85	ns
CE・出力遅延時間	t _{CE}	—	70	—	85	ns
OE・出力遅延時間	t _{OE}	—	40	—	45	ns
出力ディスエイブル遅延時間	t _{DF} *	0	30	0	30	ns
データ出力ホールド時間	t _{OH}	5	—	5	—	ns

※ t_{DF}は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

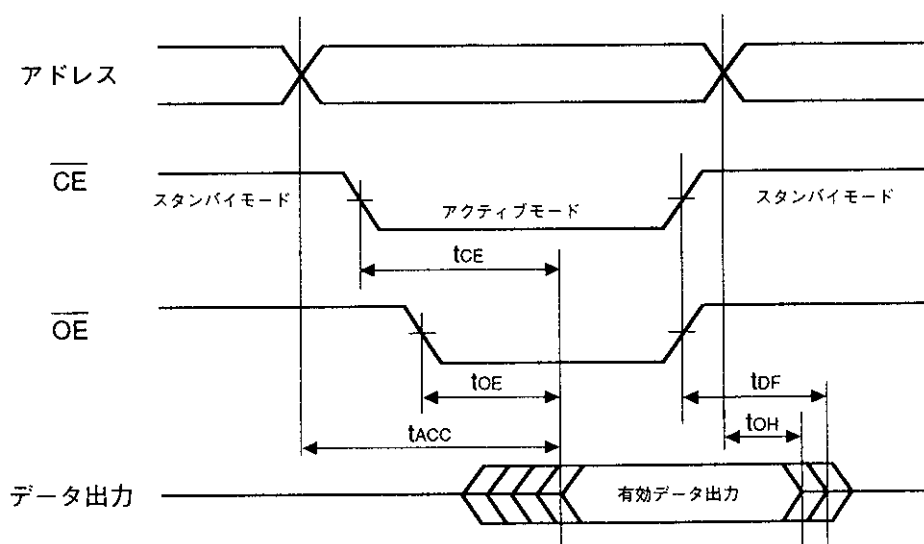


図5.3 タイミング波形 (リード)

5.3 HN62444BNP AC特性

表5.4 バスタイミング

項目	記号	min.	max.	単位
サイクル時間	t _{RC}	120	—	ns
ニブルサイクル時間	t _{NC}	70	—	ns
アドレスアクセス時間	t _{AA}	—	120	ns
ニブルアドレスアクセス時間	t _{NA}	—	70	ns
$\overline{\text{CE}}$ アクセス時間	t _{ACE}	—	120	ns
$\overline{\text{OE}}$ アクセス時間	t _{OE}	—	55	ns
アドレス・出力保持時間	t _{DHA}	0	—	ns
$\overline{\text{CE}}$ ・出力保持時間	t _{DHC}	0	—	ns
$\overline{\text{OE}}$ ・出力保持時間	t _{DHO}	0	—	ns
$\overline{\text{CE}}$ ・出力フローティング時間	t _{CHZ} *	—	40	ns
$\overline{\text{OE}}$ ・出力フローティング時間	t _{OHZ} *	—	40	ns
$\overline{\text{CE}}$ ・出力セット時間	t _{CLZ}	5	—	ns
$\overline{\text{OE}}$ ・出力セット時間	t _{OLZ}	5	—	ns

※ t_{CHZ}、t_{OHZ}は出力が開放状態に達するまでの時間で規定され、出力電力レベルによっては判定しません。

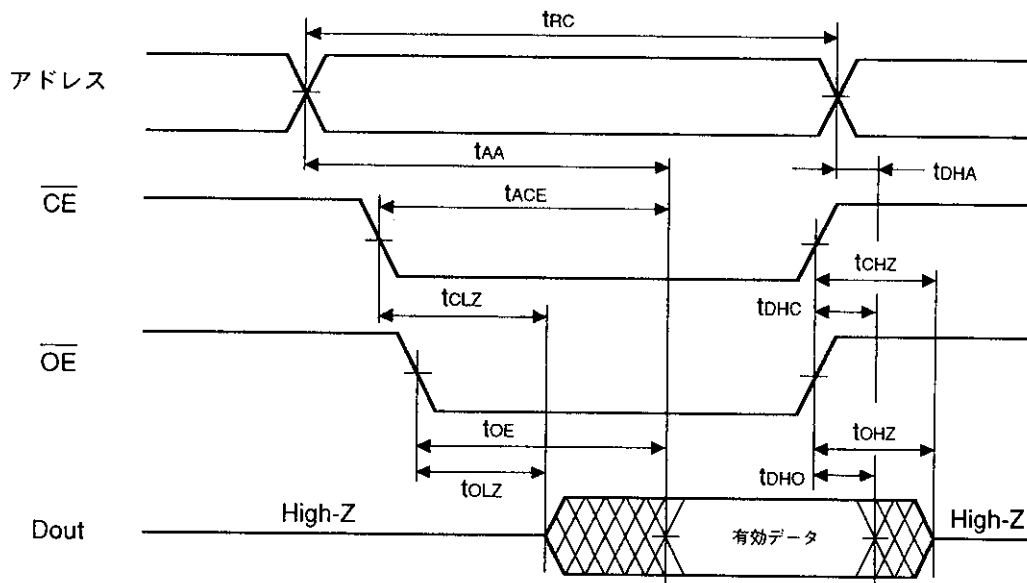


図5.4 タイミング波形 (リード)

5.4 HM65256B-12 AC特性

表 5.5 バスタイミング

●測定条件 (Vcc = 5 V ± 10%, Ta = 0 ~ +70°C)

入力パルスレベル……………2.4 V, 0.4 V
 入力立ち上がり、立ち下がり時間……………5 ns
 入力タイミング参照レベル……………2.2 V, 0.8 V

出力参照レベル……………V_{OH} = 2.0 V, V_{OL} = 0.8 V
 出力負荷……………1TTL + 100pF (治具、スコープ容器を含む)

項 目	記 号	HM65256B-10		HM65256B-12		HM65256B-15		HM65256B-20		単 位
		min.	max.	min.	max.	min.	max.	min.	max.	
ランダムリード/ライトサイクル時間	t _{RC}	160	—	190	—	235	—	310	—	ns
SCモードリード/ライトサイクル時間	t _{RSC}	55	—	65	—	80	—	105	—	ns
チップイネーブルアクセス時間	t _{CEA}	—	100	—	120	—	150	—	200	ns
アドレスアクセス時間	t _{AA}	—	50	—	60	—	75	—	100	ns
出力イネーブルアクセス時間	t _{OEa}	—	40	—	50	—	60	—	75	ns
チップディスエイブル・出力遅延(High Z時)	t _{CHZ}	—	25	—	25	—	30	—	35	ns
チップイネーブル・出力遅延(Low Z時)	t _{CLZ}	30	—	30	—	35	—	40	—	ns
出力イネーブル・出力遅延(Low Z時)	t _{OLZ}	10	—	10	—	10	—	10	—	ns
出力ディスエイブル・出力遅延(High Z時)	t _{OHZ}	—	25	—	25	—	30	—	35	ns
チップイネーブルパルス幅	t _{CE}	100n	4m	120n	4m	150n	4m	200n	4m	s
チップイネーブルプリチャージ時間	t _P	50	—	60	—	75	—	100	—	ns
アドレスセットアップ時間	t _{AS}	0	—	0	—	0	—	0	—	ns
ロウアドレスホールド時間	t _{RAH}	20	—	20	—	25	—	30	—	ns
カラムアドレスホールド時間	t _{CAH}	100	—	120	—	150	—	200	—	ns
リードコマンドセットアップ時間	t _{RCS}	0	—	0	—	0	—	0	—	ns
リードコマンドホールド時間	t _{RCH}	0	—	0	—	0	—	0	—	ns
出力イネーブルホールド時間	t _{OHc}	0	—	0	—	0	—	0	—	ns
出力イネーブル・チップイネーブル遅延時間	t _{OOD}	0	—	0	—	0	—	0	—	ns
出力ホールド時間(カラムアドレスから)	t _{OH}	5	—	5	—	5	—	10	—	ns
ライトコマンドパルス幅	t _{WP}	25	—	25	—	30	—	35	—	ns
チップイネーブル時間	t _{OW}	100	—	120	—	150	—	200	—	ns
カラムアドレスセットアップ時間(ライトに対して)	t _{ASW}	0	—	0	—	0	—	0	—	ns
カラムアドレスホールド時間(書込み後)	t _{AHW}	0	—	0	—	0	—	0	—	ns
入力データセット時間	t _{DW}	20	—	20	—	25	—	30	—	ns
入力データホールド時間(書込み後)	t _{DH}	0	—	0	—	0	—	0	—	ns
ライトディスエイブル・出力遅延(Low Z時)	t _{OW}	5	—	5	—	5	—	5	—	ns
ライトイネーブル・出力遅延(High Z時)	t _{WHZ}	—	25	—	25	—	30	—	35	ns
トランジション時間(上昇/下降)	t _T	3	50	3	50	3	50	3	50	ns
リフレッシュコマンド遅延時間	t _{RFD}	50	—	60	—	75	—	100	—	ns
リフレッシュプリチャージ時間	t _{FP}	30	—	30	—	30	—	30	—	ns
リフレッシュコマンドパルス幅(オートリフレッシュ)	t _{FAP}	80	10000	80	10000	80	10000	80	10000	ns
オートリフレッシュサイクル時間	t _{FC}	160	—	190	—	235	—	310	—	ns
リフレッシュコマンドパルス幅(セルフリフレッシュ)	t _{FAS}	10000	—	10000	—	10000	—	10000	—	ns
リフレッシュリセット時間(セルフリフレッシュ)	t _{FRS}	160	—	190	—	235	—	310	—	ns
リフレッシュ周期	t _{REF}	—	4	—	4	—	4	—	4	ms

- t_{CHZ}, t_{OHZ}, t_{WHZ}は出力が開回路条件に達したときの時間で規定されます。
- t_{CLZ}, t_{OLZ}, t_{OW} t_T=5nsの条件下のサンプル値で、全数測定されたものではありません。
- 書込みは \overline{CE} "Low"と \overline{WE} "Low"のオーバーラップ中に行われます。
- \overline{CE} "Low"が \overline{WE} "Low"と同時にあるいは \overline{WE} "Low"の後に生じる場合、出力はハイインピーダンス状態にとどまります。
- 出力に逆相の入力信号がライトサイクルに印加された場合、 \overline{OE} あるいは \overline{WE} はデバイスにデータを印加する以前に出力バッファをディスエイブルしなければなりません。そしてデータ入力には出力バッファの \overline{OE} あるいは \overline{WE} のターンオン以前にフローティングしなければなりません。
- V_{IH} (min.)とV_{IL} (max.)は入力信号の測定タイミング参照レベルです。したがってトランジション時間はV_{IH}とV_{IL}間で測定されます。
- 電源投入後100μs以上待機し、さらに8回以上のイニシャルサイクルを加えてください。
- セルフリフレッシュ終了時、RAM内部のセルフリフレッシュ動作のリセットのためセルフリフレッシュリセット時間(t_{FRS}期間中は \overline{CE} と \overline{OE} をHighに固定してください。セルフリフレッシュに続いてオートリフレッシュを行う場合は、t_{FRS}が完了してからオートリフレッシュ開始の \overline{OE} のLow遷移を行ってください。

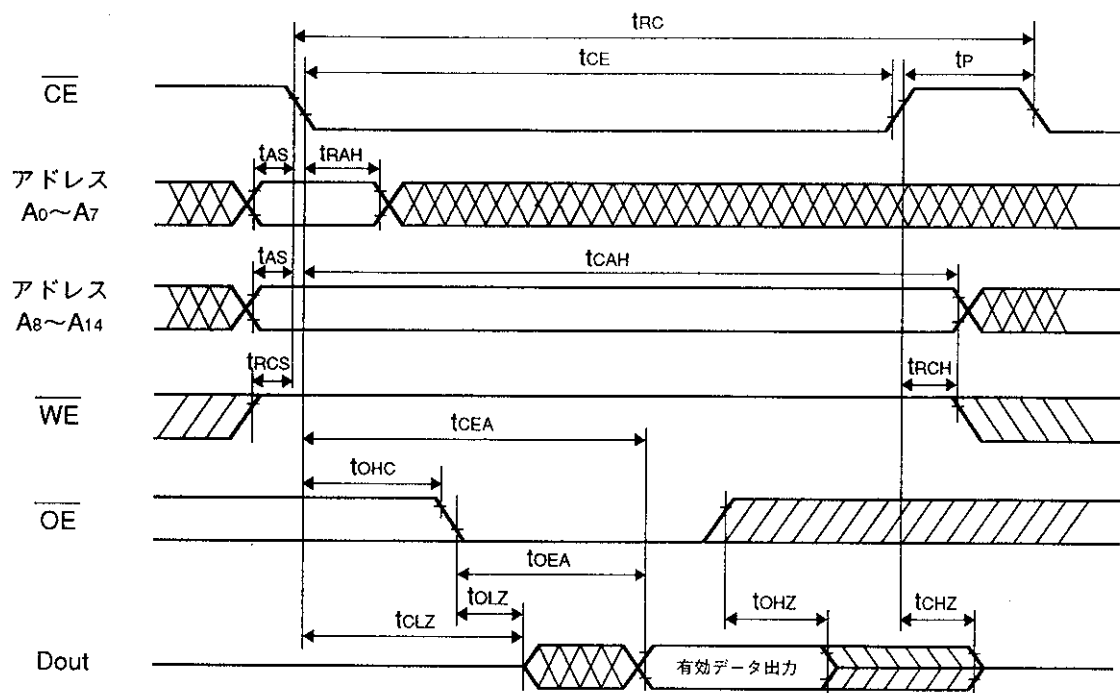


図 5.5 タイミング波形 (リード)

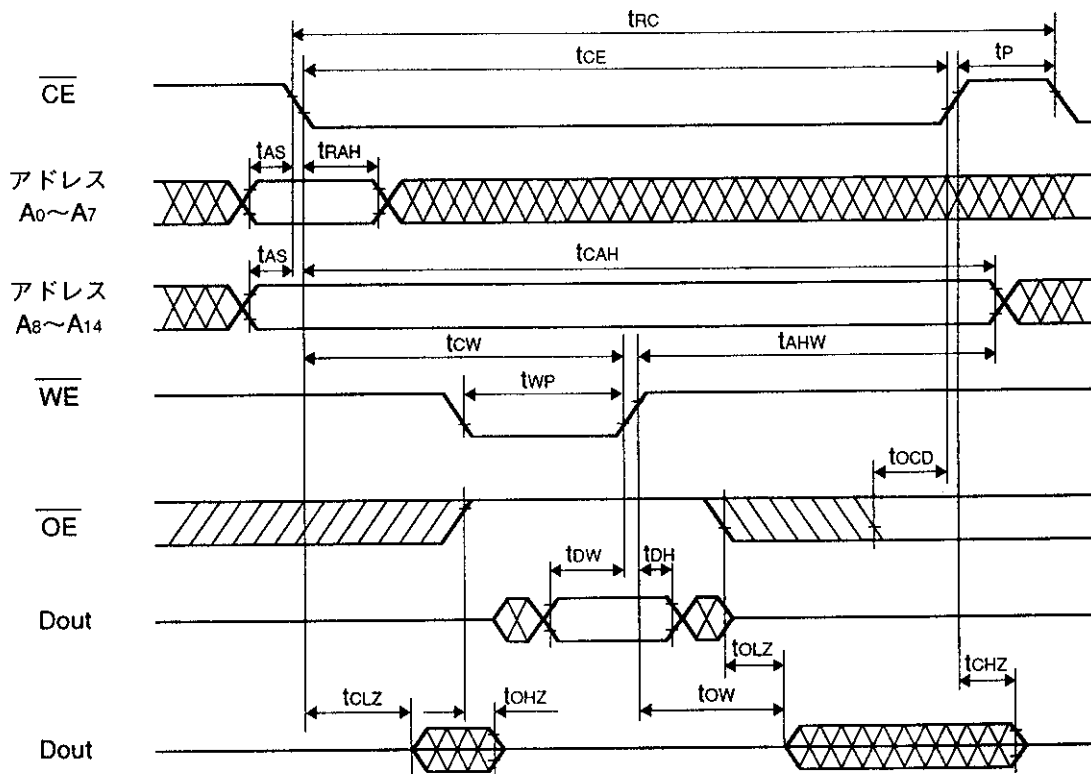


図 5.6 タイミング波形 (ライト)

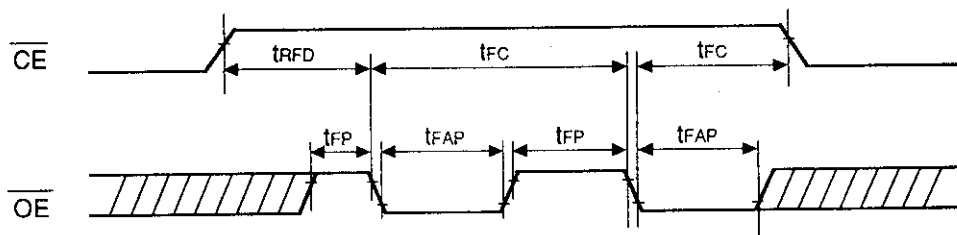


図 5.7 タイミング波形 (リフレッシュ)

5.5 HM514260 AC特性

表5.6 バスタイミング (共通)

測定条件 (Ta = 0~+70°C, Vcc = 5 V ±10%, Vss = 0 V)

入力上昇/下降時間: 5 ns

入力タイミング参照レベル: 0.8 V, 2.4 V

出力負荷: 2TTL + CL (100pF) (スコープ、治具容量を含む)

項目	記号	HM514260A-7 HM51S4260A-7		HM514260A-8 HM51S4260A-8		HM514260A-10 HM51S4260A-10		単位
		min.	max.	min.	max.	min.	max.	
ランダムリード・ライトサイクル時間	t _{RC}	130	—	150	—	180	—	ns
RASプリチャージ時間	t _{RP}	50	—	60	—	70	—	ns
RASパルス幅	t _{RAS}	70	10000	80	10000	100	10000	ns
CASパルス幅	t _{CAS}	20	10000	20	10000	25	10000	ns
ロウアドレスセットアップ時間	t _{ASR}	0	—	0	—	0	—	ns
ロウアドレスホールド時間	t _{RAH}	10	—	10	—	15	—	ns
カラムアドレスセットアップ時間	t _{ASC}	0	—	0	—	0	—	ns
カラムアドレスホールド時間	t _{CAH}	15	—	15	—	20	—	ns
RAS・CAS遅延時間	t _{RCd}	20	50	20	60	25	75	ns
RAS・カラムアドレス遅延時間	t _{RAD}	15	35	15	40	20	55	ns
RASホールド時間	t _{RSH}	20	—	20	—	25	—	ns
CASホールド時間	t _{CASH}	70	—	80	—	100	—	ns
CAS・RASプリチャージ時間	t _{CRP}	15	—	15	—	15	—	ns
OE・データ入力遅延時間	t _{ODD}	20	—	20	—	25	—	ns
データ入力からのOE遅延時間	t _{OZO}	0	—	0	—	0	—	ns
データ入力からのCAS遅延時間	t _{OZC}	0	—	0	—	0	—	ns
トランジション時間(上昇/下降)	t _r	3	50	3	50	3	50	ns
リフレッシュ周期	t _{REF}	—	8	—	8	—	8	ms
リフレッシュ周期(Lバージョン)	t _{REF}	—	128	—	128	—	128	ms

表 5.7 バスタイミング (リード)

項 目	記 号	HM514260A-7 HM51S4260A-7		HM514260A-8 HM51S4260A-8		HM514260A-10 HM51S4260A-10		単 位
		min.	max.	min.	max.	min.	max.	
RASからのアクセス時間	tRAC	—	70	—	80	—	100	ns
CASからのアクセス時間	tCAC	—	20	—	20	—	25	ns
アドレスからのアクセス時間	tAA	—	35	—	40	—	45	ns
OEからのアクセス時間	tOAC	—	20	—	20	—	25	ns
リードコマンドセットアップ時間	tRCS	0	—	0	—	0	—	ns
リードコマンドホールド時間 (CASに対して)	tRCH	0	—	0	—	0	—	ns
リードコマンドホールド時間 ($\overline{\text{RAS}}$ に対して)	tRRH	0	—	0	—	0	—	ns
カラムアドレス・RASリード時間	tRAL	35	—	40	—	45	—	ns
出力バッファターンオフ時間	tOFF1	0	15	0	15	0	20	ns
出力バッファターンオフ時間 ($\overline{\text{OE}}$ に対して)	tOFF2	0	15	0	15	0	20	ns
CAS・データ入力遅延時間	tCDD	15	—	15	—	20	—	ns

表 5.8 バスタイミング (ライト)

項 目	記 号	HM514260A-7 HM51S4260A-7		HM514260A-8 HM51S4260A-8		HM514260A-10 HM51S4260A-10		単 位
		min.	max.	min.	max.	min.	max.	
ライトコマンドセットアップ時間	twCS	0	—	0	—	0	—	ns
ライトコマンドホールド時間	twCH	15	—	15	—	20	—	ns
ライトコマンドパルス幅	tWP	10	—	10	—	20	—	ns
ライトコマンド・ $\overline{\text{RAS}}$ リード時間	tRWL	20	—	20	—	25	—	ns
ライトコマンド・ $\overline{\text{CAS}}$ リード時間	tcWL	20	—	20	—	25	—	ns
データ入力セットアップ時間	tDS	0	—	0	—	0	—	ns
データ入力ホールド時間	tDH	15	—	15	—	20	—	ns
$\overline{\text{CAS}}$ ・ $\overline{\text{OE}}$ 遅延時間	tCOD	—	0	—	0	—	0	ns

表 5.9 バスタイミング (リフレッシュ)

項 目	記 号	HM514260A-7 HM51S4260A-7		HM514260A-8 HM51S4260A-8		HM514260A-10 HM51S4260A-10		単 位
		min.	max.	min.	max.	min.	max.	
$\overline{\text{CAS}}$ セットアップ時間 ($\overline{\text{CAS}}$ ビフォ $\overline{\text{RAS}}$ リフレッシュサイクル)	tCSR	10	—	10	—	10	—	ns
$\overline{\text{CAS}}$ ホールド時間 ($\overline{\text{CAS}}$ ビフォ $\overline{\text{RAS}}$ リフレッシュサイクル)	tCHR	10	—	10	—	10	—	ns
$\overline{\text{RAS}}$ プリチャージ・ $\overline{\text{CAS}}$ ホールド時間	tRPC	10	—	10	—	10	—	ns
ノーマルモード・ $\overline{\text{CAS}}$ プリチャージ時間	tCPN	10	—	10	—	10	—	ns

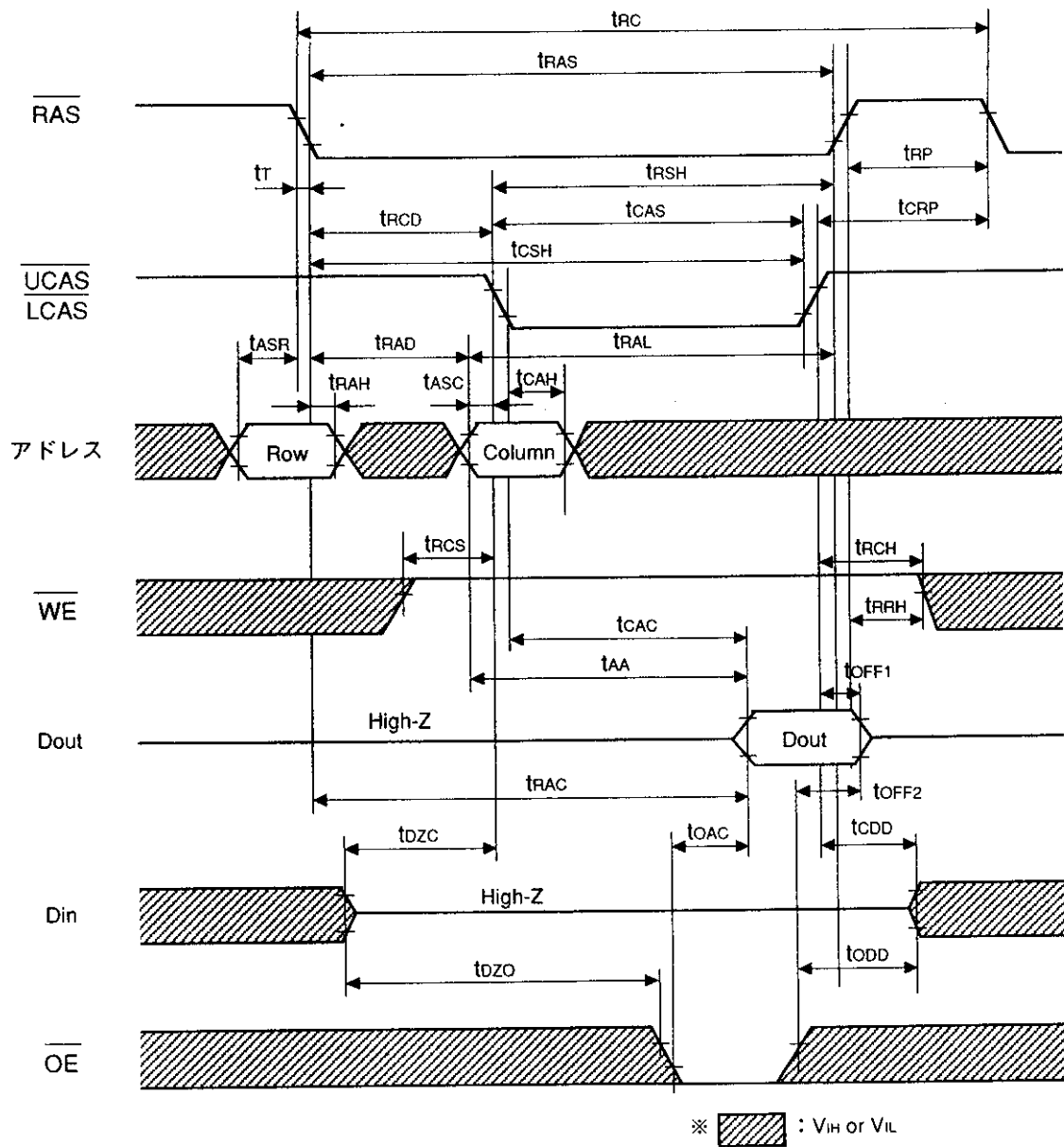


図 5.8 タイミング波形 (リード)

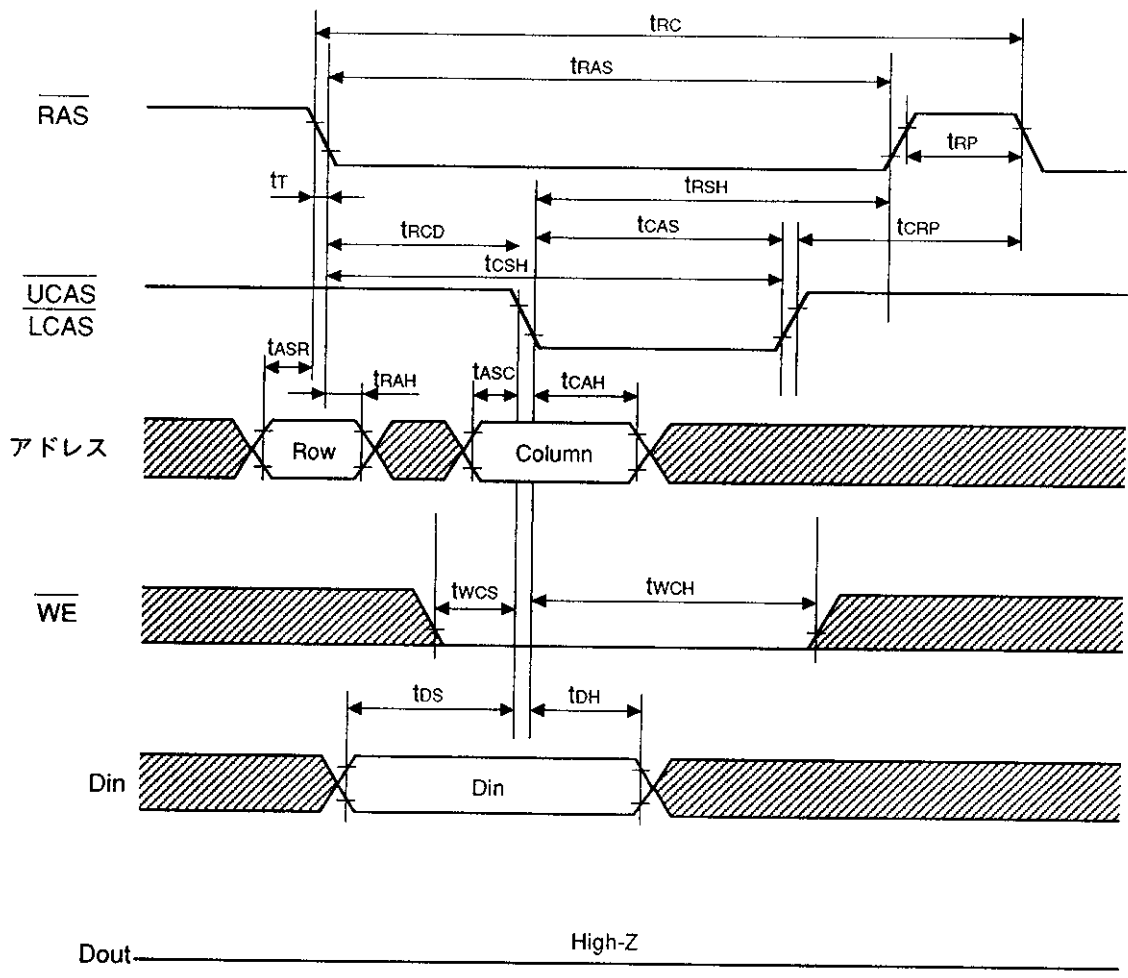


図 5.9 タイミング波形 (ライト)

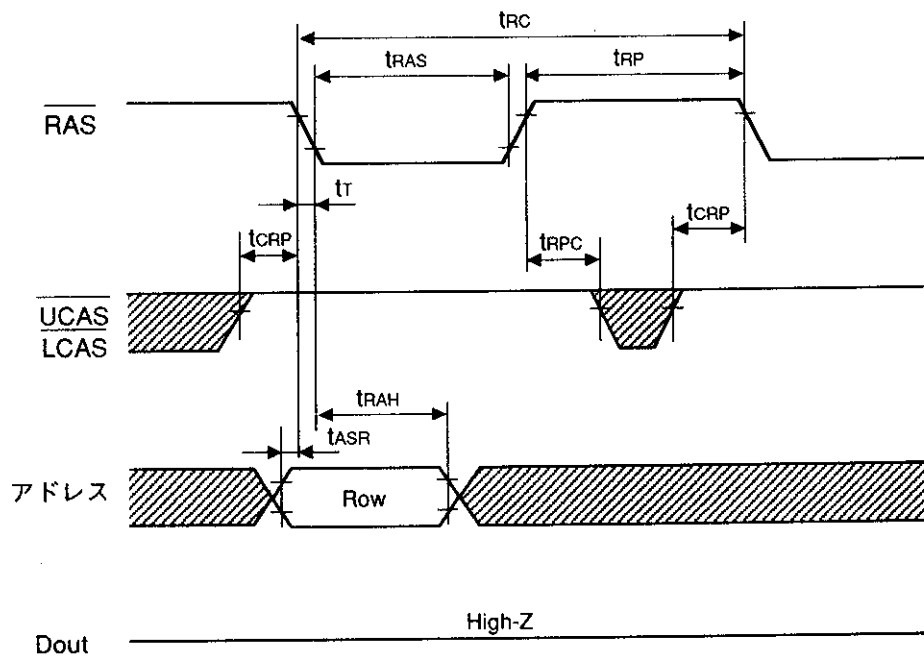


図 5.10 タイミング波形 (リフレッシュ)

6. 周辺LSI AC特性

第6章 目次

6.1	HD63310RP20 AC特性	95
6.2	HD63143 AC特性	97
6.3	TMP82C55AP-10 AC特性	102
6.4	HD64610 AC特性	104
6.5	LM032L AC特性	106

6.1 HD63310RP20 AC特性

表6.1 バスタイミング

No.	項 目	記 号	HD63310RP20		単 位
			min.	max.	
①	アドレスセットアップ時間(A ₀ ~A ₉)	t _{AS}	0		ns
②	アドレスホールド時間(A ₀ ~A ₉)	t _{AH}	0		ns
③	アドレスセットアップ時間(RS)	t _{ASRS}	0		ns
④	アドレスホールド時間(RS)	t _{AHRS}	15		ns
⑤	アドレスセットアップ時間(AS)	t _{ASAS}	40		ns
⑥	アドレスホールド時間(AS)	t _{AHAS}	0		ns
⑦	AS入力"Low"パルス幅	t _{ASLW}	40		ns
⑧	ASセットアップ時間	t _{ASS}	0		ns
⑨	READY遅延時間 (リード) 時	t _{RYRD}		※1	ns
⑩	READYリリース時間 (リード) 時	t _{RYRH}	0	60	ns
⑪	データ出力遅延時間	ダイレクトアドレッシングモード	t _{DDR}	120	ns
		インダイレクトアドレッシング/FIFOモード		170	ns
⑪A	アクセス時間※2	ダイレクトアドレッシングモード	t _{ACC}	200	ns
		インダイレクトアドレッシング/FIFOモード		250	ns
⑫	データ出力ホールド時間	t _{DHR}	10		ns
⑬	データ出力スリーステートオフ時間	t _{DTOF}		60	ns
⑭	データ出力スリーステートオン時間	t _{DTON}		60	ns
⑮	READY遅延時間 (ライト時)	t _{RYWD}		※1	ns
⑯	READYリリース時間 (ライト時)	t _{RYWH}	0	60	ns
⑰	データ入力セットアップ時間	t _{DSW}	60		ns
⑱	データ入力ホールド時間	t _{DHW}	0		ns
⑲	RDS保持時間	ダイレクトアドレッシングモード	t _{RDSH}	120	ns
		インダイレクトアドレッシング/FIFOモード		170	ns
⑳	WRS保持時間	FIFOモード以外	t _{WRSH}	120	ns
		FIFOモード時		170	ns
㉑	RDSリカバリー時間	t _{RRC}	70		ns
㉒	WRSリカバリー時間	t _{WRC}	70		ns
㉓	RDS・WRS間リカバリー時間	t _{RWRC}	70		ns
㉔	WRS・RDS間リカバリー時間	t _{WRRC}	70		ns

※1: READY信号は、同期化のための信号であり、出力遅延時間は両ポートのアクセス要求状態により変わります。
 例えば、2つのポートから同時にリード要求が発生すると、一方のアクセスは要求受け待ちとなり、ウェイトが発生し、READYのアサートは遅れます。

※2: 2つのポートのアクセスが重ならない場合のタイミングです。

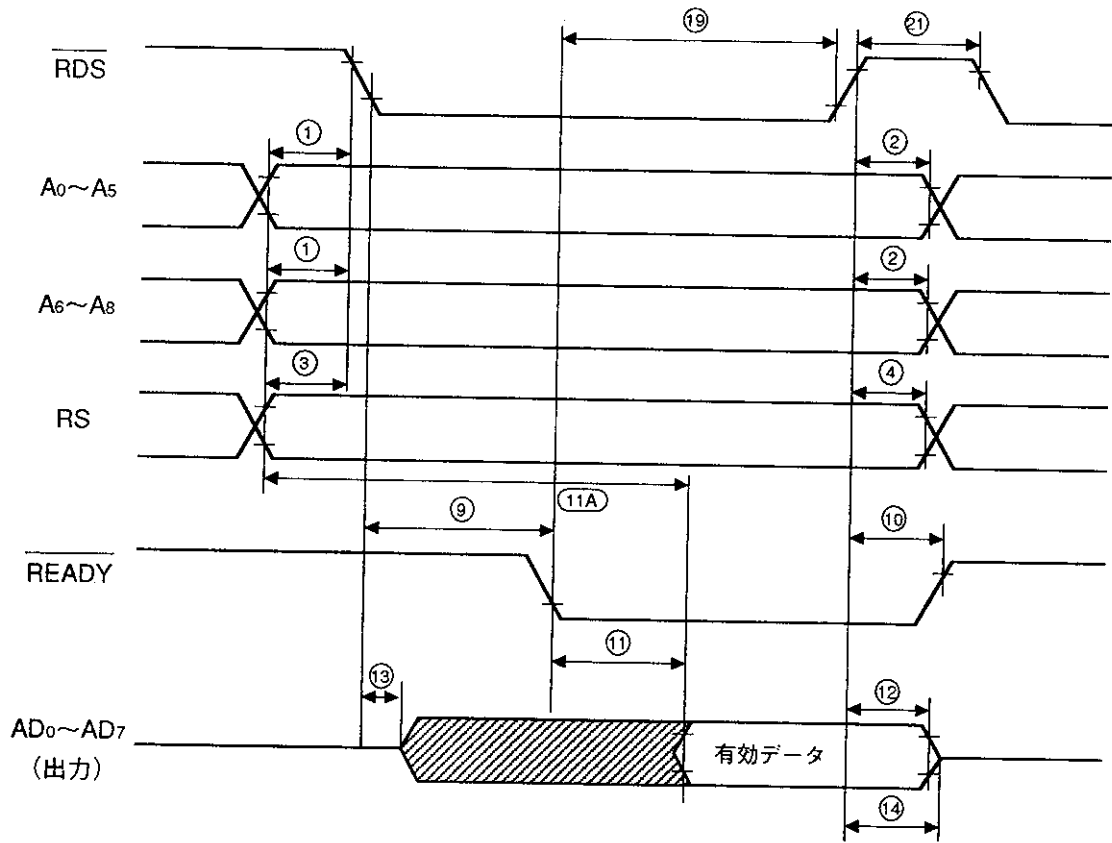


表6.1 バスタイミング (リード)

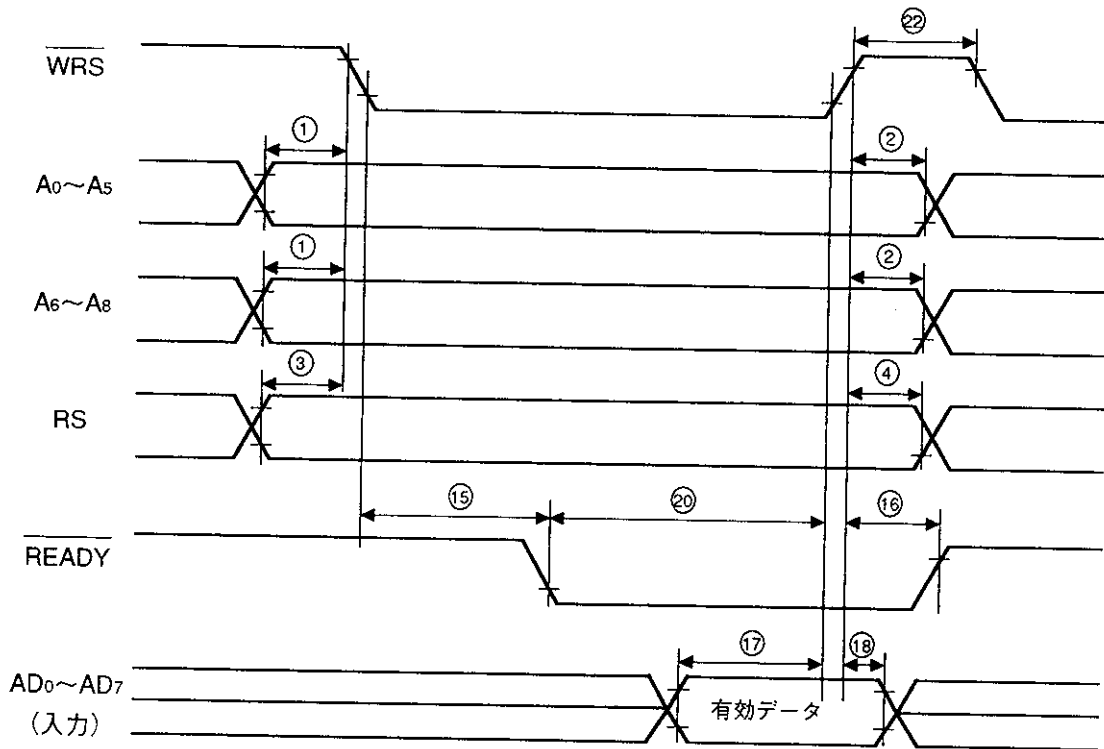


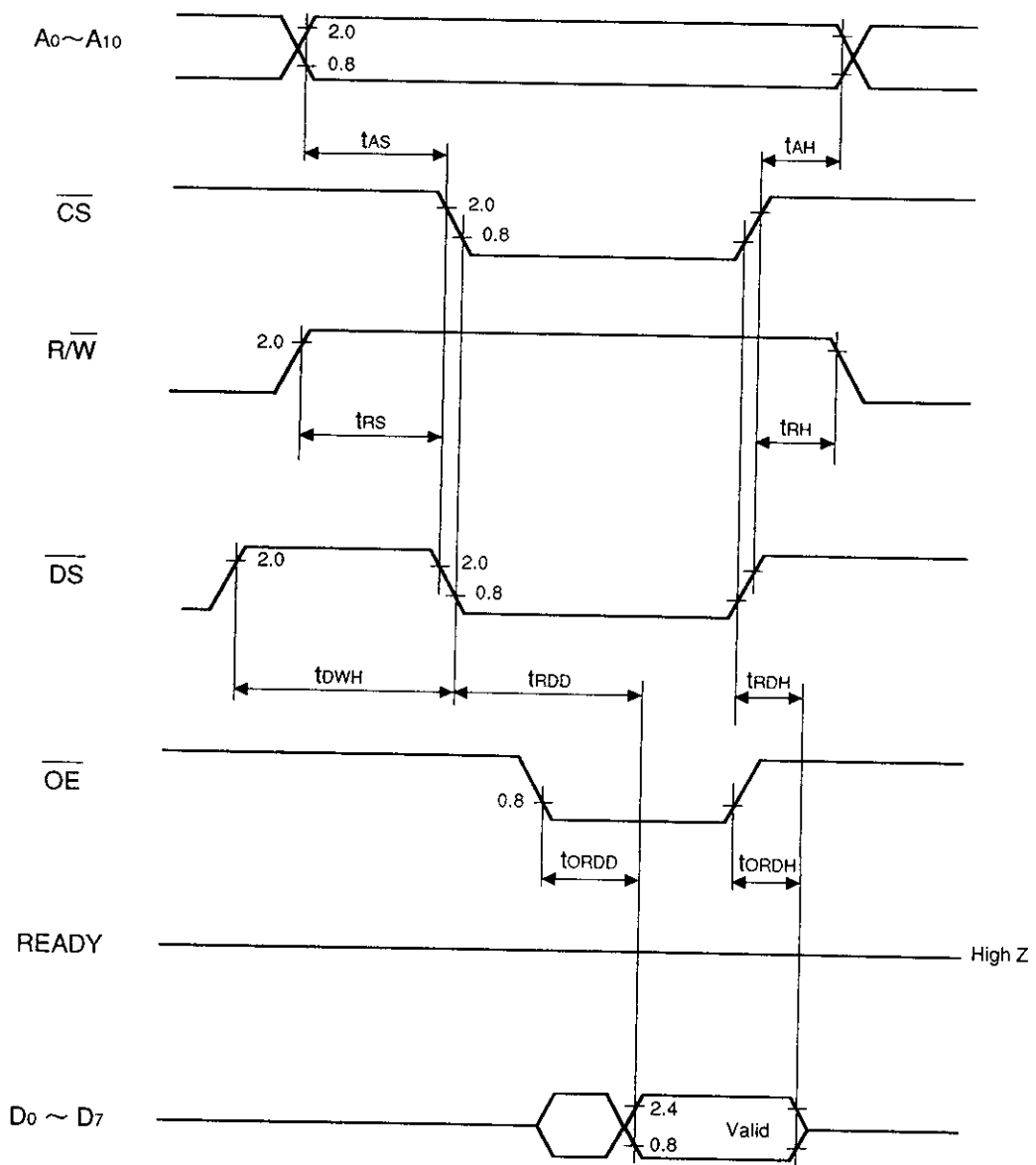
表6.2 バスタイミング (ライト)

6.2 HD63143 AC特性

表6.2 バスタイミング

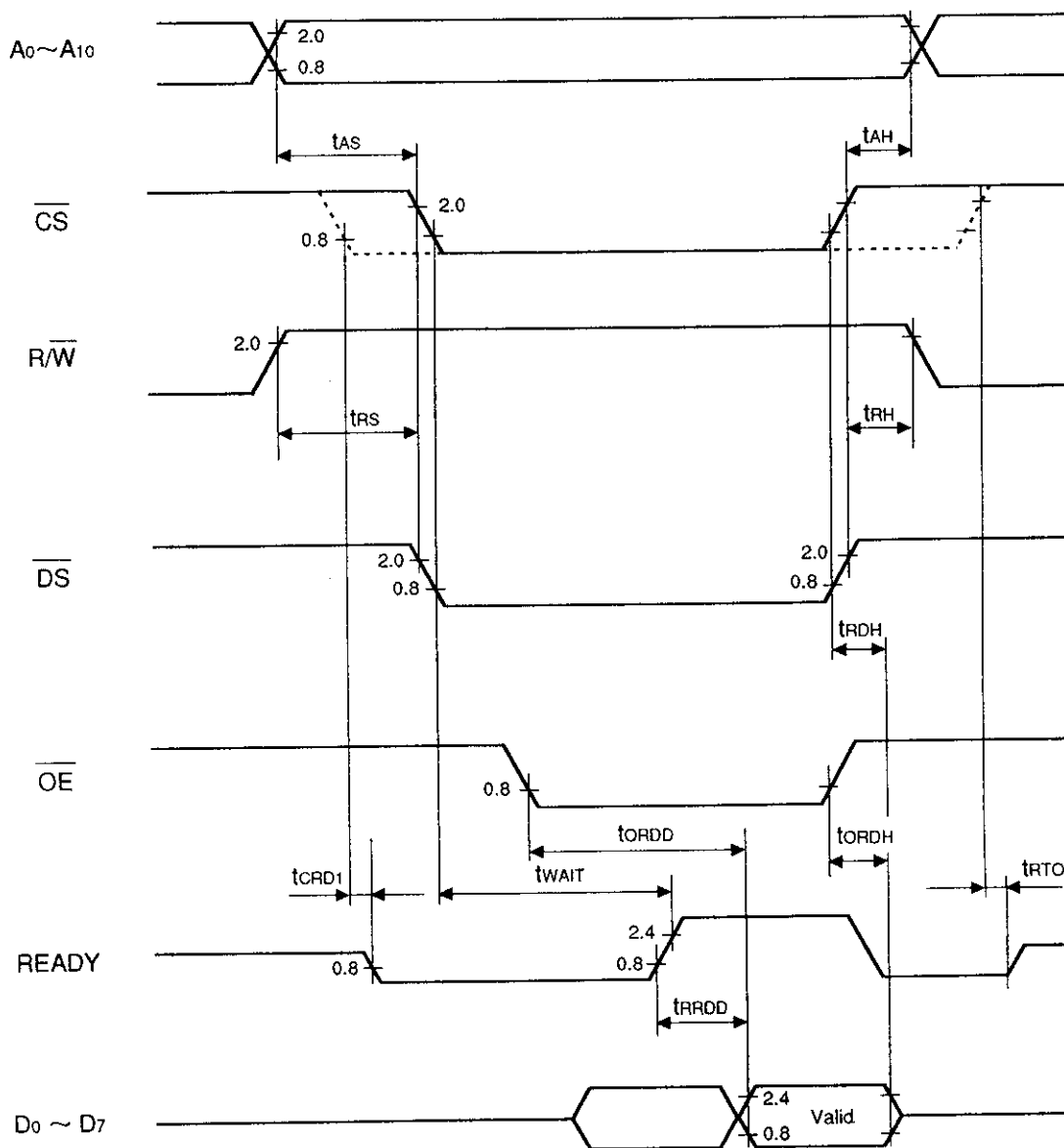
項目	記号	min	typ	max	単位
発振安定時間	t _{RC}	—	—	20	ms
動作周波数	f _{opr}	1.0	—	4.0	MHz
出力クロック周波数	f _{CLK}	—	f _{opr} × 2	—	MHz
出力クロック"High"レベルパルス幅	t _{cWH}	55	—	—	ns
出力クロック"Low"レベルパルス幅	t _{cWL}	55	—	—	ns
出力クロック立ち上がり時間	t _{cR}	—	—	10	ns
出力クロック立ち下がり時間	t _{cF}	—	—	10	ns
アドレスセットアップ時間	t _{AS}	30	—	—	ns
アドレスホールド時間	t _{AH}	5	—	—	ns
\overline{CS} "Low"からREADY "Low"までの遅延時間 (RAMを除く)	t _{CRD1}	—	—	60	ns
\overline{DS} "Low"からREADY "High"までの遅延時間	UDR (UPC) *	—	—	3	μs
	その他 *	—	—	750	ns
\overline{DS} "High"からREADY "Low" までの遅延時間	t _{CRD2}	—	—	80	ns
\overline{DS} "High" パルス幅	t _{DWH}	80	—	—	ns
R \overline{W} セットアップ時間	t _{RS}	10	—	—	ns
R \overline{W} ホールド時間	t _{RH}	5	—	—	ns
リードデータ遅延時間 (RAM)	t _{RDD}	—	—	140	ns
READY "High" からリードデータ遅延時間	t _{RRDD}	—	—	60	ns
\overline{OE} からリードデータ遅延時間	t _{ORDD}	—	—	80	ns
リードデータホールド時間	t _{RDH}	10	—	—	ns
\overline{OE} "High" からリードデータホールド時間	t _{ORDH}	10	—	—	ns
ライトデータ遅延時間 *	t _{WDD}	—	—	120	ns
ライトデータセットアップ時間	t _{WOS}	100	—	—	ns
READY "High" からライトパルスホールド時間	t _{WH}	120	—	—	ns
ライトパルス "Low"幅 (RAM)	t _{WWL}	100	—	—	ns
ライトデータホールド時間	t _{WDH}	5	—	—	ns
\overline{CS} "High" からREADYターンオフ時間	t _{RTO}	—	—	50	ns

*: f_{opr} = 4 MHz時、動作周波数f_{opr}に反比例します。



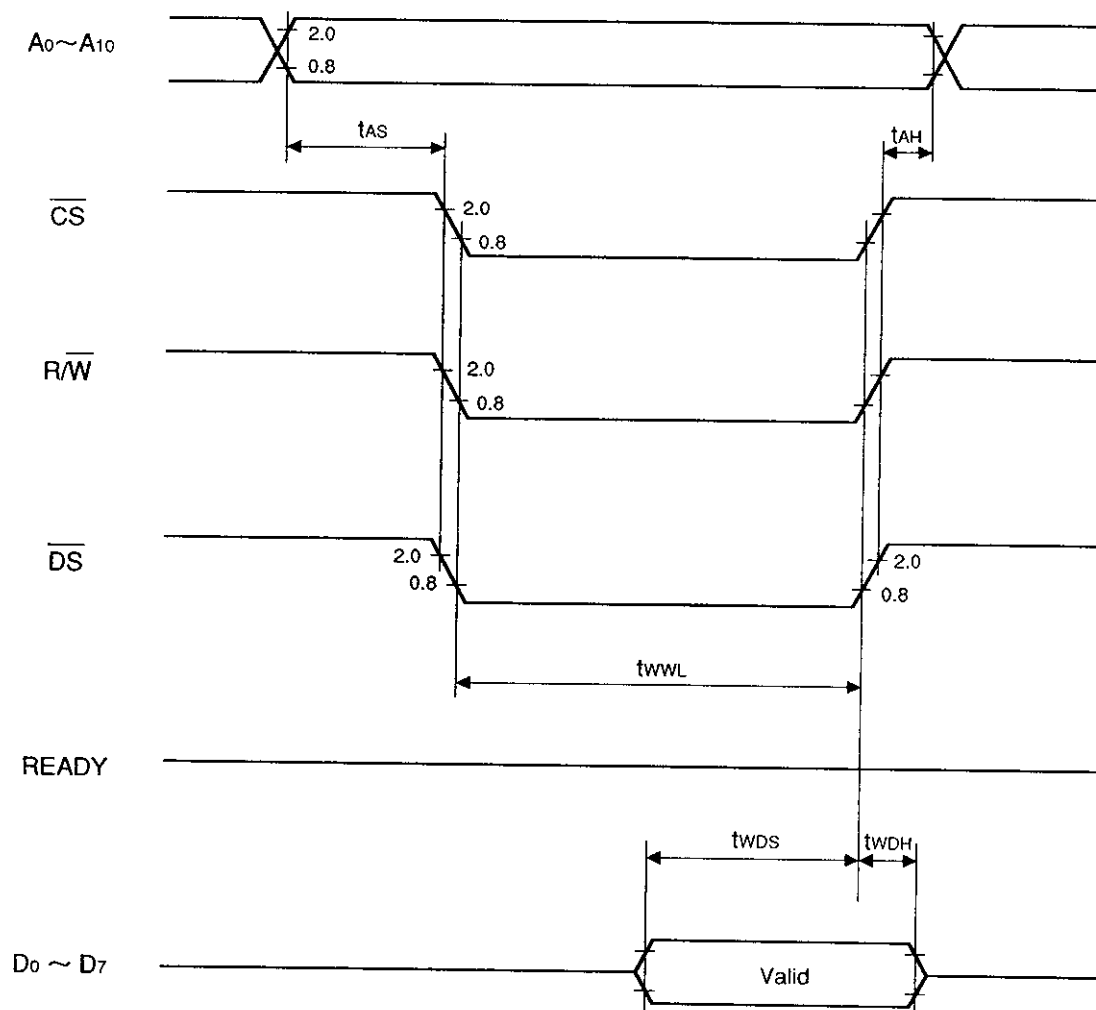
t_{AS} , t_{rs} と t_{rDD} は \overline{CS} と \overline{DS} の遅い方のLow遷移点で規定されます。
 t_{AH} , t_{rH} と t_{rDH} は \overline{CS} と \overline{DS} の早い方のLow遷移点で規定されます。

図 6.3 タイミング波形 (RAMリード)



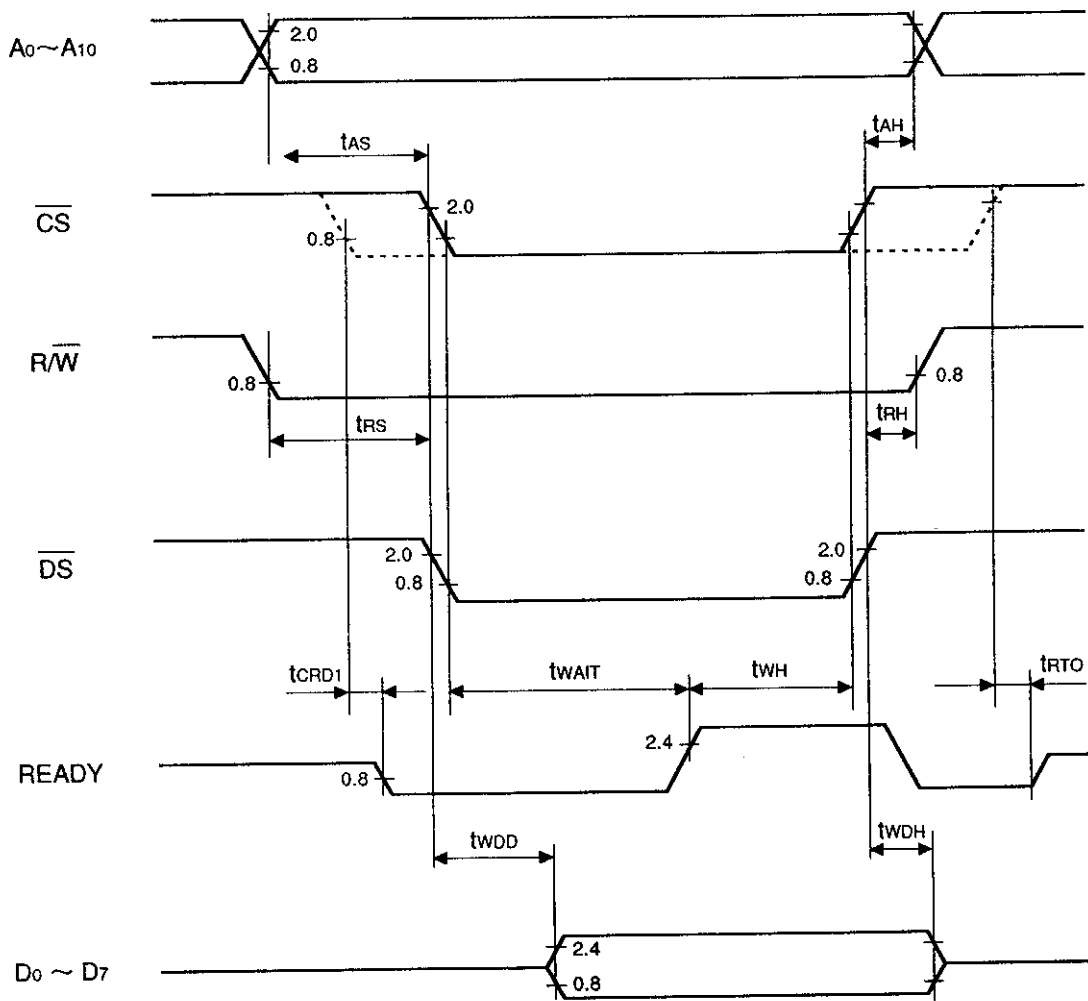
t_{AS} , t_{RS} と t_{WAIT} は \overline{CS} と \overline{DS} の遅い方のLow遷移点で規定されます。
 t_{AH} , t_{RH} と t_{RDH} は \overline{CS} と \overline{DS} の早い方のHigh遷移点で規定されます。

図 6.4 タイミング波形 (RAM以外リード)



t_{AS} は \overline{CS} , $\overline{R/W}$ と \overline{DS} の最も遅いLow遷移点で規定されます。
 t_{wWL} は \overline{CS} , $\overline{R/W}$ と \overline{DS} の最も遅いLow遷移点と最も早いHigh遷移点で規定されます。
 t_{AH} は \overline{CS} , $\overline{R/W}$ と \overline{DS} の最も早いHigh遷移点で規定されます。

図6.5 タイミング波形 (RAMライト)



t_{AS} , t_{RS} , t_{WDD} と t_{WAIT} は \overline{CS} と \overline{DS} の最も遅いLow遷移点で規定されます。
 t_{AH} , t_{RH} , t_{AH} と t_{WDH} は \overline{CS} と \overline{DS} の最も早いHigh遷移点で規定されます。

図 6.6 タイミング波形 (RAM以外ライト)

6.3 TMP82C55AP-10 AC特性

表6.3 バスタイミング

記号	項目	AP-2/AM-2		AP-10/AM-10	
		min	max	min	max
tAR	\overline{RD} の立ち下がりに対するアドレスのセットアップ時間	0	—	0	—
tRA	\overline{RD} の立ち上がりに対するアドレスのホールド時間	0	—	0	—
tRR	\overline{RD} のパルス幅	160	—	150	—
tRD	\overline{RD} の立ち下がりから確定データの出力までの遅延時間	—	140	—	100
tDF	\overline{RD} の立ち上がりからデータバスがフローティングになるまでの時間	0	40	0	40
tRV	\overline{RD} または \overline{WR} の立ち上がりより次の \overline{RD} または \overline{WR} の立ち上がりまでの時間	200	—	150	—
tAW	\overline{WR} の立ち下がりに対するアドレスのセットアップ時間	0	—	0	—
tWA	\overline{WR} の立ち上がりに対するアドレスのホールド時間	0	—	0	—
tWW	\overline{WR} のパルス幅	120	—	120	—
tDW	\overline{WR} の立ち上がりに対するバスデータのセットアップ時間	100	—	100	—
tWD	\overline{WR} の立ち上がりに対するバスデータのホールド時間	0	—	0	—
tWB	\overline{WR} の立ち上がりから確定データの出力までの遅延時間	—	350	—	350
tIR	\overline{RD} の立ち下がりに対するポートデータのセットアップ時間	0	—	0	—
tIR	\overline{RD} の立ち上がりに対するポートデータのホールド時間	0	—	0	—
tAK	\overline{ACK} のパルス幅	300	—	300	—
tST	\overline{STB} のパルス幅	350	—	350	—
tPS	\overline{STB} の立ち上がりに対するポートデータのセットアップ時間	0	—	0	—
tPH	\overline{STB} の立ち上がりに対するポートデータのホールド時間	150	—	150	—
tAD	\overline{ACK} の立ち下がりから確定データの出力までの遅延時間	—	300	—	300
tKD	\overline{ACK} の立ち上がりからポート（モード2のAポート）がフローティングになるまでの時間	25	250	20	250
tWOB	\overline{WR} の立ち上がりから \overline{OBF} が立ち下がるまでの遅延時間	—	300	—	300
tAOB	\overline{ACK} の立ち下がりから \overline{OBF} が立ち上がるまでの遅延時間	—	350	—	350
tSIB	\overline{STB} の立ち下がりから \overline{IBF} が立ち上がるまでの遅延時間	—	300	—	300
tRIB	\overline{RD} の立ち上がりから \overline{IBF} が立ち下がるまでの遅延時間	—	300	—	300
tRIT	\overline{RD} の立ち下がりから \overline{INTR} が立ち下がるまでの遅延時間	—	400	—	400
tSIT	\overline{STB} の立ち上がりから \overline{INTR} が立ち上がるまでの遅延時間	—	300	—	300
tAIT	\overline{ACK} の立ち上がりから \overline{INTR} が立ち上がるまでの遅延時間	—	350	—	350
tWIT	\overline{WR} の立ち下がりから \overline{INTR} が立ち下がるまでの遅延時間	—	450	—	450

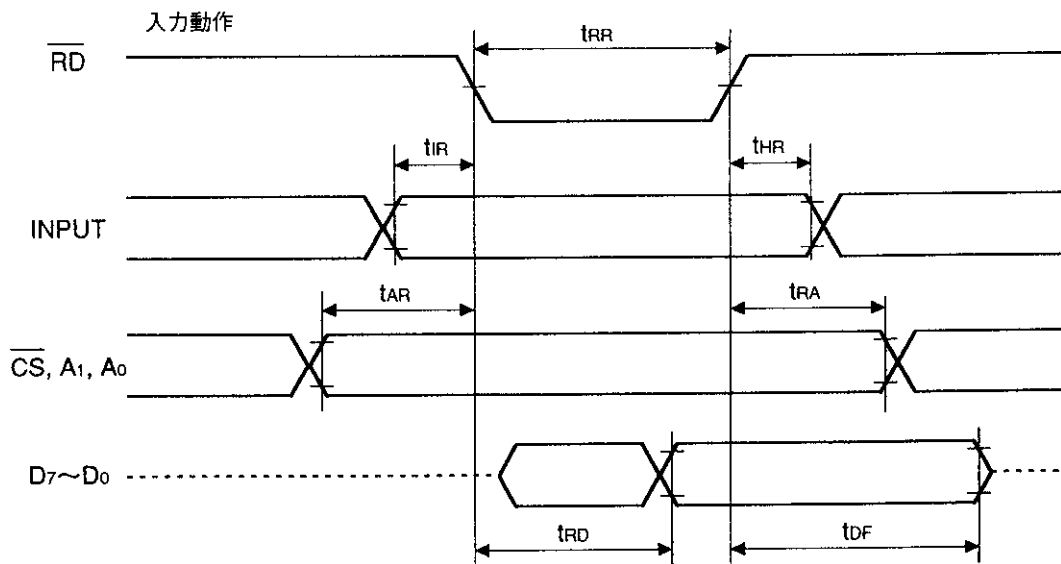


図 6.7 タイミング波形 (リード)

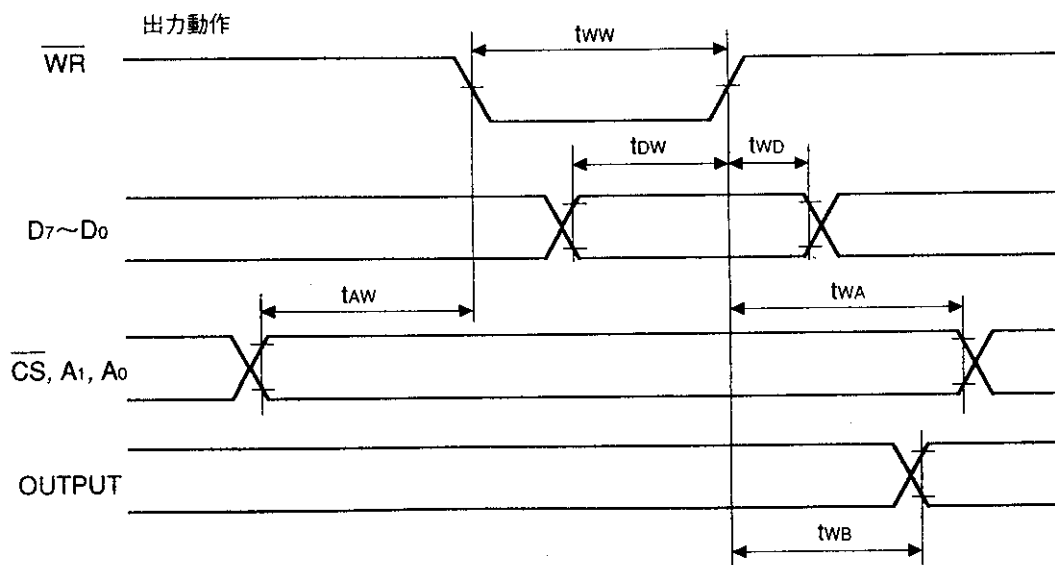


図 6.8 タイミング波形 (ライト)

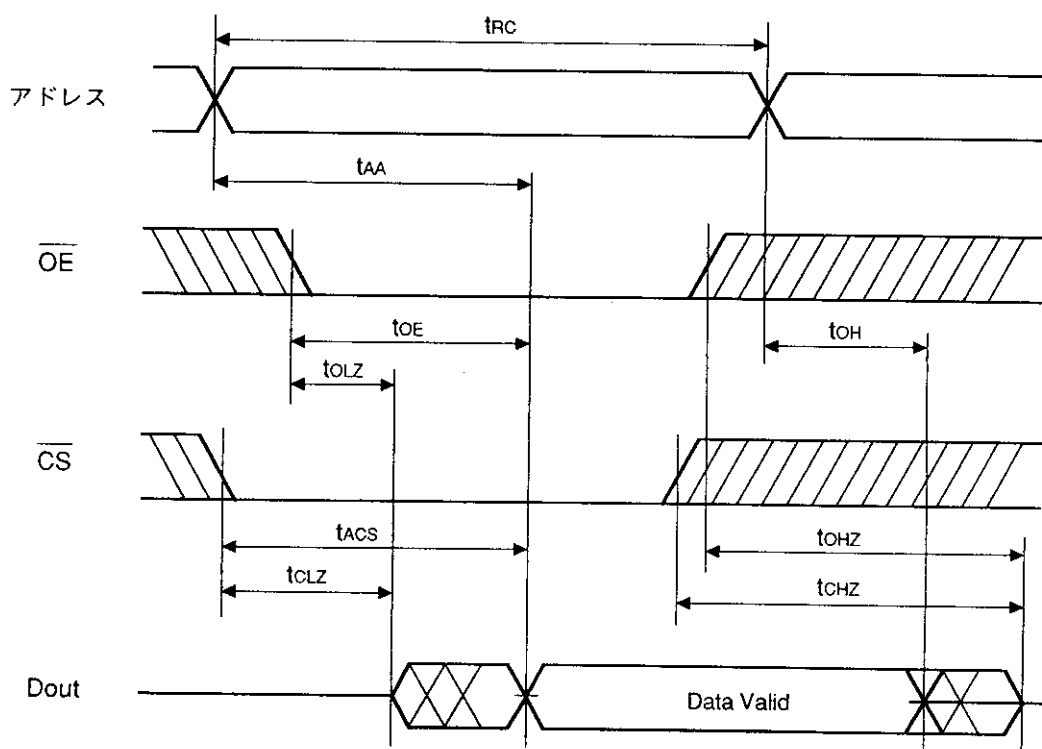
6.4 HD64610 AC特性

特記なき場合は、 $V_{CC} = 5V \pm 10\%$, $V_{SS} = 0V$, $T_a = -20 \sim +75^\circ C$ (通常仕様品)

$T_a = -40 \sim +85^\circ C$ (広温度範囲仕様品)

表6.4 バスタイミング (リード)

	記号	min.	max.	単位
リードサイクル時間	t _{RC}	85	—	ns
アドレスアクセス時間	t _{AA}	—	85	ns
チップセレクトアクセス時間	t _{ACS}	—	85	ns
出力イネーブルアクセス時間	t _{OE}	—	45	ns
出力保持時間	t _{OH}	10	—	ns
チップセレクト・出力セット時間	t _{CLZ}	10	—	ns
出力イネーブル・出力セット時間	t _{OLZ}	5	—	ns
チップディセレクト・出力フローティング	t _{CHZ}	0	35	ns
出力ディスエーブル・出力フローティング	t _{OZH}	0	35	ns

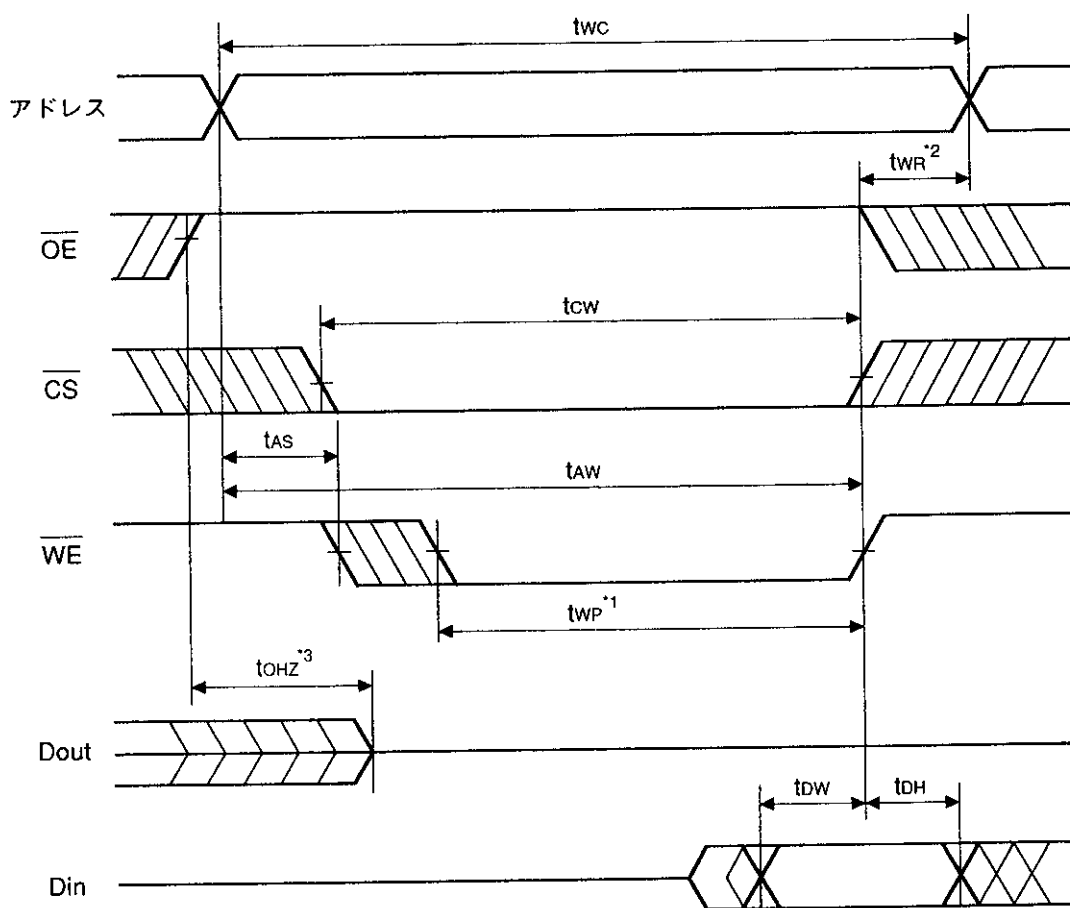


※リード中に、レジスタの内容が変化すればリードデータも変化します。

図6.9 バスタイミング (リード)

表6.5 バスタイミング (ライト)

項目	記号	min	max	単位
ライトサイクル時間	t _{wc}	85	—	ns
チップ選択時間	t _{cw}	75	—	ns
アドレス有効時間	t _{aw}	75	—	ns
アドレスセットアップ時間	t _{as}	0	—	ns
ライトパルス幅	t _{wp}	60	—	ns
アドレス保持時間	t _{wr}	10	—	ns
WE・出力フローティング	t _{whz}	0	35	ns
入力データセット時間	t _{dW}	40	—	ns
入力データ保持時間	t _{dH}	0	—	ns
出力ディスエーブル・出力フローティング	t _{ohz}	0	35	ns
WE・出力セット時間	t _{ow}	5	—	ns



- *1. 書込みは $\overline{CS} = \text{"Low"}$ と $\overline{WE} = \text{"Low"}$ のオーバーラップ中(t_{wp})に行われます。
- *2. t_{wr} は \overline{CS} あるいは \overline{WE} の"High"遷移のいずれか早い方から、ライトサイクルの終了までで測定されます。
- *3. この期間中、I/O端子は出力状態にあります。入力信号は出力と逆位相を印加してはなりません。

図6.10 タイミング波形 (ライト)

6.5 LM032L AC特性

表6.6 バスタイミング

項目	記号	min	typ	max	単位
イネーブルサイクル時間	t_{cyc}	1.0	—	—	μs
イネーブルパルス幅	PW_{EH}	450	—	—	ns
イネーブル立ち上がり/立ち下がり時間	t_{Er}, t_{Ef}	—	—	25	ns
RS, R/Wセットアップ時間	t_{AS}	140	—	—	ns
データ遅延時間	t_{DDR}	—	—	320	ns
データセットアップ時間	t_{DSW}	195	—	—	ns
保持時間	t_H	20	—	—	ns

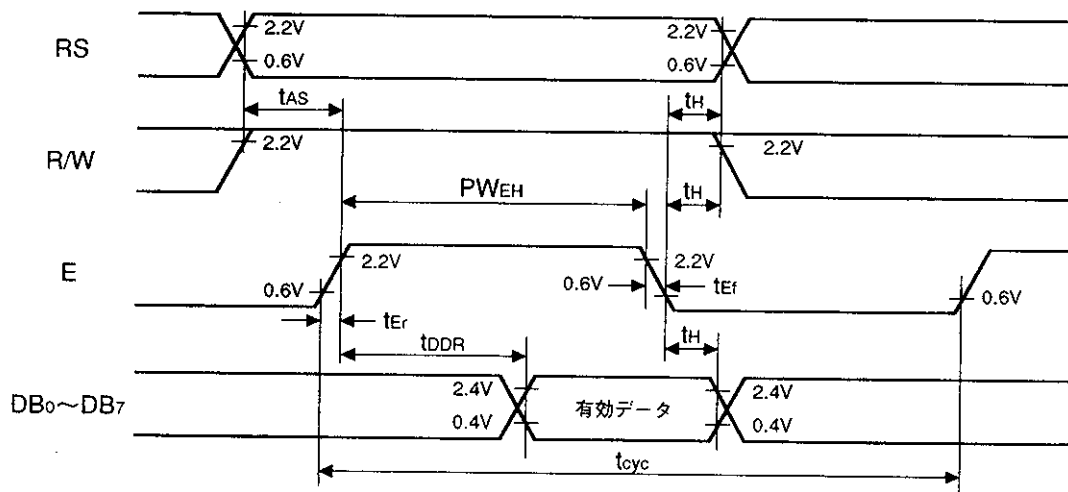


図6.11 タイミング波形 (リード)

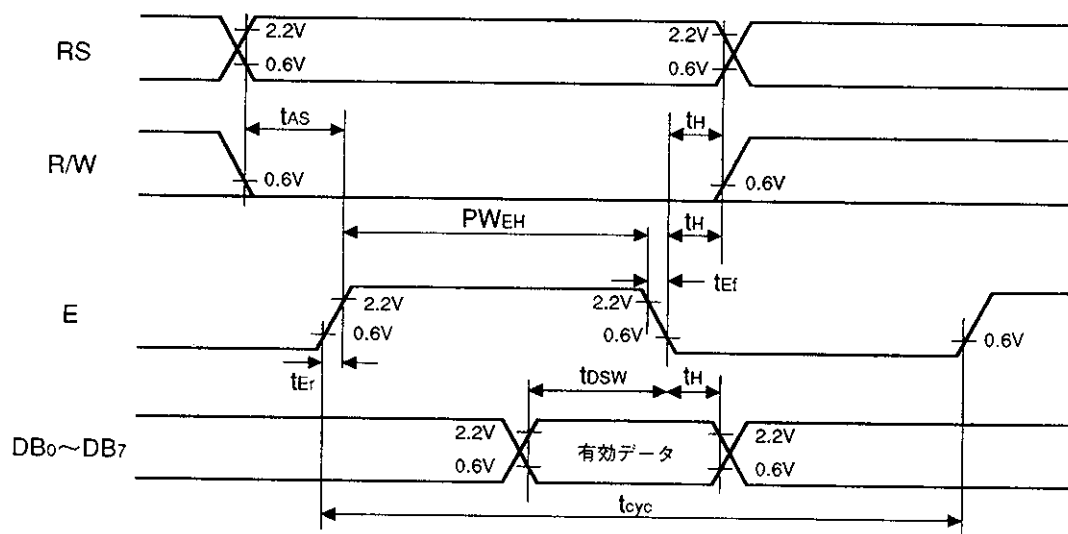


図6.12 バスタイミング波形 (ライト)

H8/3003 インタフェース編 アプリケーションノート

発行年月 平成6年3月 第1版

発 行 株式会社 日立製作所
半導体事業部

編 集 株式会社 日立マイコンシステム
技術情報センタ

©株式会社 日立製作所 1994

H8/3003 インタフェース編 アプリケーションノート



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-502-039