

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8SX ファミリ

## 2相エンコーダカウント

### 要旨

16ビットタイマパルスユニット (TPU)を用いて、2本の外部クロック端子に入力される2相パルスの位相差を検出します。位相差によってタイマカウンタのカウントアップ/カウントダウンを行い、一定時間内のタイマカウンタ値を取得します。

### 動作確認デバイス

H8SX/1653, H8SX/1663

### 目次

1. 仕様 .....	2
2. 適用条件 .....	3
3. 使用機能説明 .....	4
4. 動作説明 .....	7
5. ソフトウェア説明 .....	9

### 1. 仕様

図1のように、16ビットタイマパルスユニット (TPU) を用いて、外部クロック端子に入力される2相エンコーダパルスの位相差を検出します。位相差によってカウントアップ/カウントダウンを行い、一定時間内のタイマカウント数をRAMに設定します。

TPUのチャンネル4を位相計数モードとして、チャンネル3を一定時間の計測に使用し、2相エンコーダパルスの位相差計測を実現します。

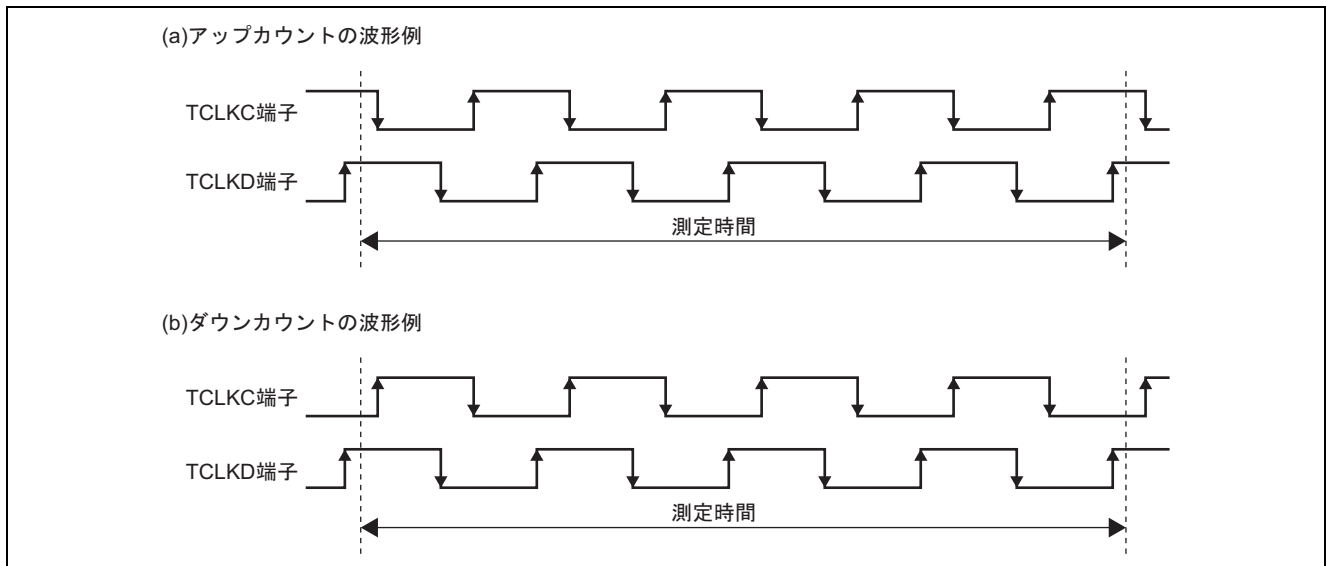


図1 2相エンコーダカウント

## 2. 適用条件

表1 適用条件

項目	内容
動作周波数	入力クロック : 12MHz システムクロック (Iφ) : 48MHz 周辺モジュールクロック (Pφ) : 24MHz 外部バスクロック (Bφ) : 48MHz
動作モード	モード 6 (MD2 = 1, MD1 = 1, MD0 = 0)
開発ツール	High-performance Embedded Workshop Ver4.00.03
C/C++コンパイラ	ルネサス テクノロジ製 H8S,H8/300 SERIES C/C++ Compiler Ver6.01.01
コンパイルオプション	-cpu=h8sxa:24:md, -code = machinecode, -optimize=1, -regparam=3 -speed=(register,shift,struct,expression)

表2 セクション設定

アドレス	セクション名	説明
H'001000	P	プログラム領域
H'FF2000	B	未初期化データ領域 (RAM 領域)

### 3. 使用機能説明

#### 3.1 TPU\_3, TPU\_4 機能説明

TPU のチャンネル 4 (TPU\_4) を位相計数モード 1 で使用します。このときの外部入力クロック端子は TCLKC と TCLKD の 2 本になります。TCLKC, TCLKD に入力される 2 相エンコーダパルスの位相差が検出され、それに応じて TPU\_4 のタイマカウンタがカウントアップ/カウントダウンされます。TPU のチャンネル 3 (TPU\_3) を 2 相エンコーダパルスの周期計測に使用します。TPU\_3 で計測周期に相当するコンペアマッチが発生した時点で、TPU\_4 のタイマカウンタ値をジェネラルレジスタへ転送させます。ジェネラルレジスタへ転送されたタイマカウンタ値が 2 相エンコーダカウンタ結果として得られます。

図 2 にブロック図を示します。TPU の各レジスタの説明を次に示します。

- **タイマスタートレジスタ (TSTR)**  
TSTR は、チャンネル 0~5 の TCNT の動作/停止を選択します。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウンタクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。
- **タイマコントロールレジスタ\_3, 4 (TCR\_3, 4)**  
TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。
- **タイマ I/O コントロールレジスタ H\_3, タイマ I/O コントロールレジスタ\_4 (TIORH\_3, TIOR\_4)**  
TIOR は TGR を制御します。TPU には、チャンネル 0, 3 に各 2 本、チャンネル 1, 2, 4, 5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。  
TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。  
TGRC, あるいは TGRD をバッファ動作に設定した場合は、上記の設定は無効となり、バッファレジスタとして動作します。  
TIOR にインプットキャプチャ端子として設定する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。
- **タイマカウンタ\_3, 4 (TCNT\_3, 4)**  
TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。
- **タイマジェネラルレジスタ A\_3, 4 (TGRA\_3, 4)**  
TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0, 3 に各 4 本、チャンネル 1, 2, 4, 5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0, 3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。バッファ動作時の TGR とバッファレジスタの組み合わせは、TGRA - TGRC, TGRB - TGRD になります。
- **タイマモードレジスタ\_4 (TMDR\_4)**  
TMDR は、各チャンネルの動作モードを設定します。本タスク例では、TPU\_4 を位相計数モード 1 に設定します。
- **タイマインタラプトイネーブルレジスタ\_4 (TIER\_4)**  
TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。
- **タイマステータスレジスタ\_4 (TSR\_4)**  
TSR は、各チャンネルのステータスを表示します。

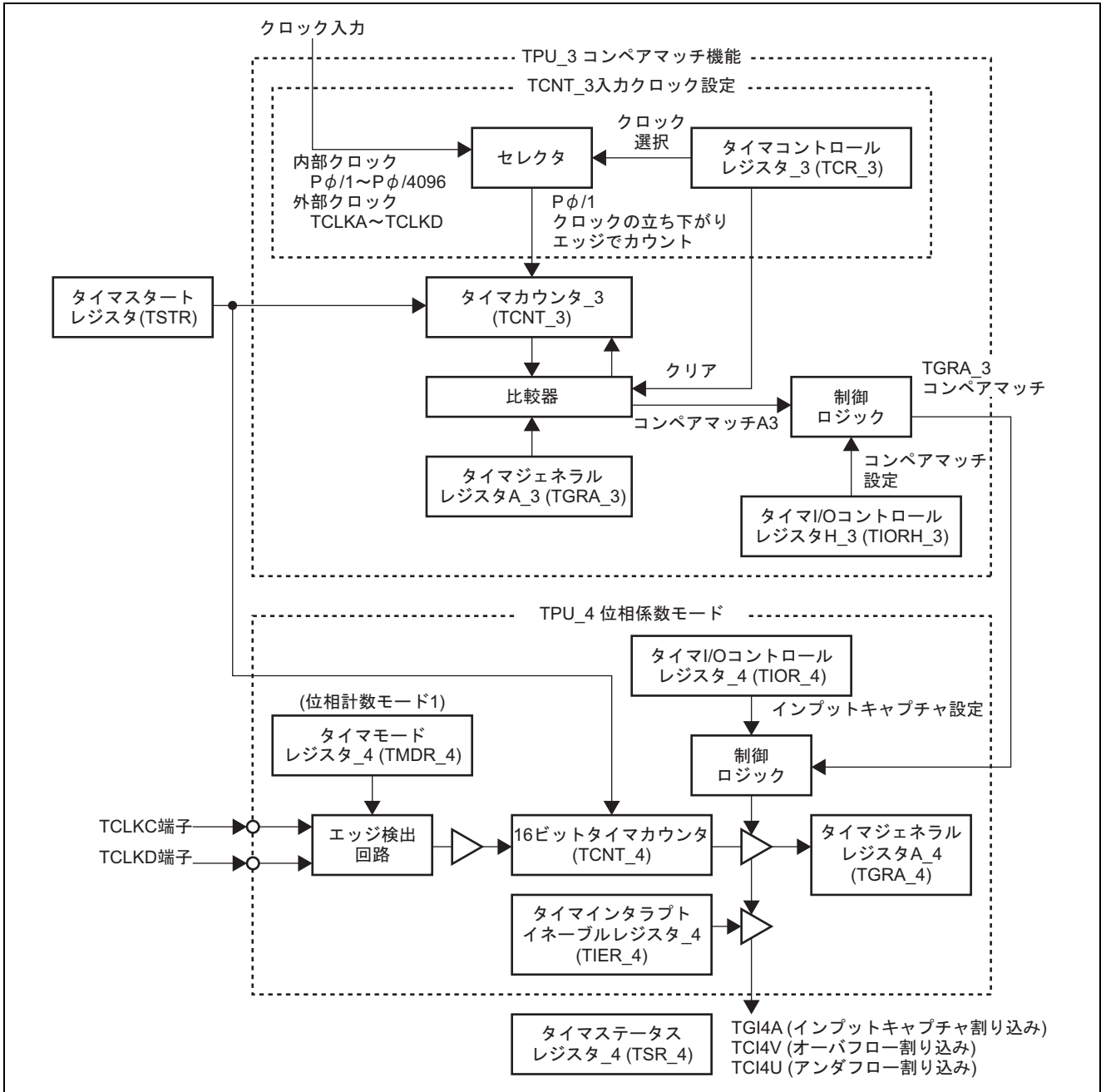


図2 2相エンコーダカウントのブロック図

## 3.2 位相計数モード1の動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。カウント条件により4つのモードがあり、本タスク例では位相計数モード1を使用します。位相計数モード1の動作例を図3に、TCNTのアップ/ダウンカウント条件を表3に示します。

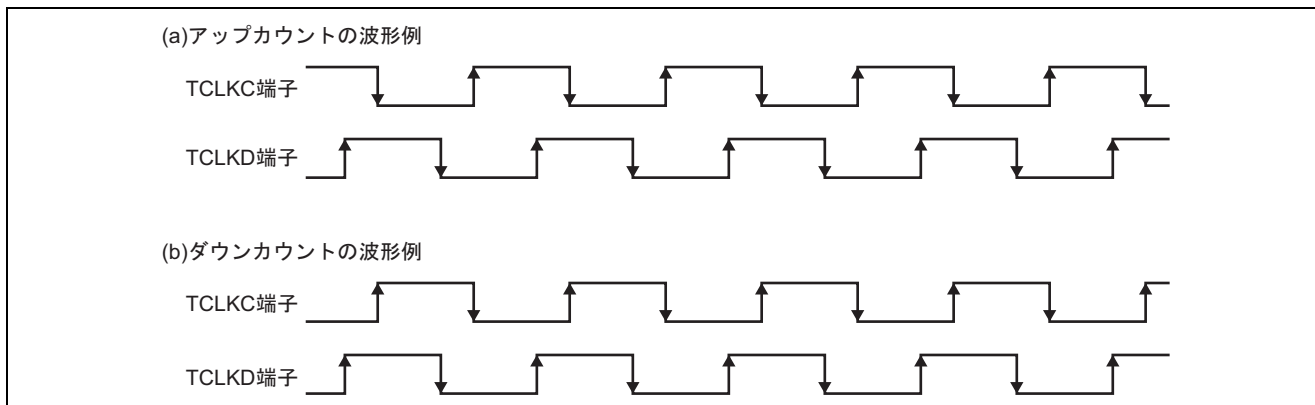


図3 位相計数モード1の動作例

表3 位相計数モード1のアップ/ダウンカウント条件

TCLKC	TCLKD	動作内容
High レベル	立ち上がりエッジ	アップカウント
Low レベル	立ち下がりエッジ	
立ち上がりエッジ	Low レベル	
立ち下がりエッジ	High レベル	
High レベル	立ち下がりエッジ	ダウンカウント
Low レベル	立ち上がりエッジ	
立ち上がりエッジ	High レベル	
立ち下がりエッジ	Low レベル	



4. 動作説明

4.1 アップカウント動作例

図4に2相エンコーダアップカウント時の動作説明を示します。また図5の説明として、表4にハードウェアおよびソフトウェア処理の内容を示します。

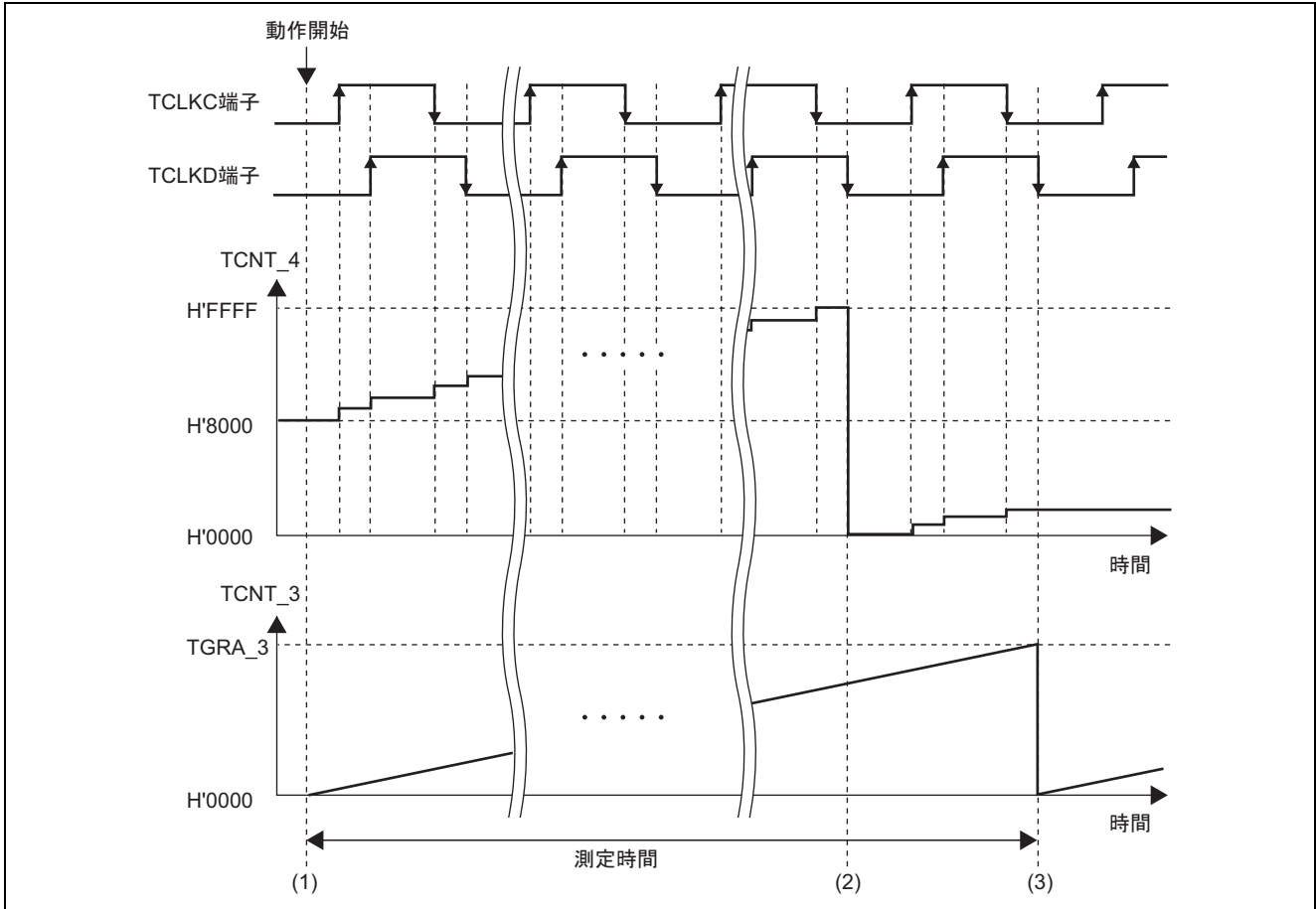


図4 2相エンコーダカウントのアップカウント動作例

表4 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	処理なし	初期設定 (a) 測定時間を TPU_3 の TGRA_3 に設定 (b) TPU_4 を位相計数モード 1 に設定 (c) TGRA_4 は、TGRA_3 のコンペアマッチ発生でインプットキャプチャ (d) TCNT_4 の初期値 = H'8000 を設定 (e) 割り込み設定 (f) TCNT_3, 4 カウント動作開始
(2)	(a) オーバフロー割り込み (TCI4V) 発生	TCI4V 割り込み処理 (a) エラーフラグセット
(3)	(a) TCNT_4 の値を TGRA_4 に転送 (b) TGRA_4 インプットキャプチャ割り込み (TGI4A) 発生	TGI4A 割り込み処理 (a) TGRA_4 (2相エンコーダカウント結果) を RAM (tcnt) へ格納

4.2 ダウンカウント動作例

図5に2相エンコーダダウンカウント時の動作説明を示します。また図5の説明として、表5にハードウェアおよびソフトウェア処理の内容を示します。

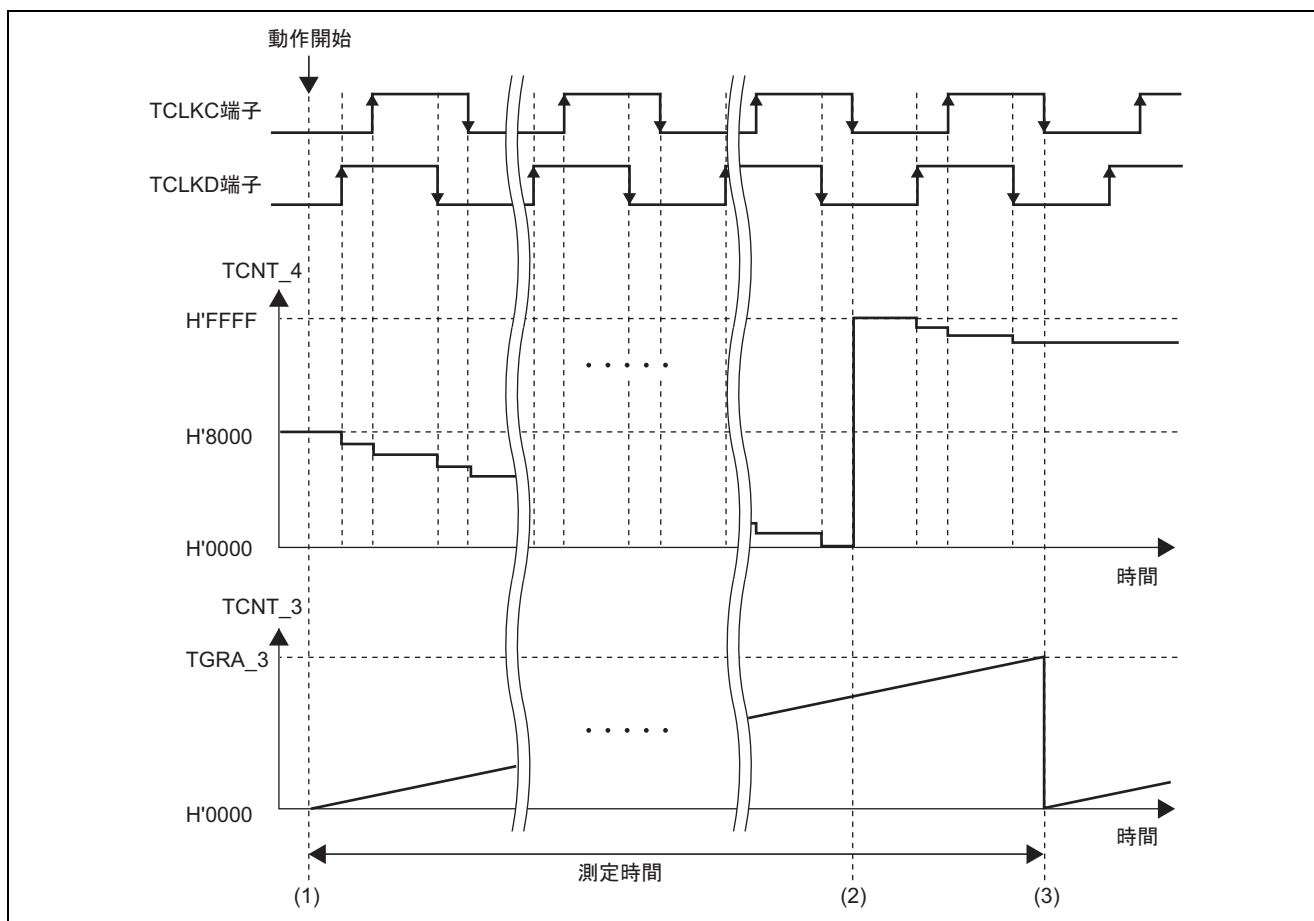


図5 2相エンコーダカウントのダウンカウント動作例

表5 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	処理なし	初期設定 (a) 測定時間を TPU_3 の TGRA_3 に設定 (b) TPU_4 を位相計数モード 1 に設定 (c) TGRA_4 は、TGRA_3 のコンペアマッチ発生でインプットキャプチャ (d) TCNT_4 の初期値 = H'8000 を設定 (e) 割り込み設定 (f) TCNT_3, 4 カウント動作開始
(2)	(a) アンダフロー割り込み (TCI4U) 発生	TCI4U 割り込み処理 (a) エラーフラグセット
(3)	(a) TCNT_4 の値を TGRA_4 に転送 (b) TGRA_4 インプットキャプチャ割り込み (TGI4A) 発生	TGI4A 割り込み処理 (a) TGRA_4 を RAM (2相エンコーダカウント結果) へ格納

## 5. ソフトウェア説明

### 5.1 関数一覧

表6 関数一覧

関数名	機能
init	初期化ルーチン <ul style="list-style-type: none"> <li>• CRC 設定</li> <li>• クロック設定</li> <li>• モジュールストップモード解除</li> <li>• メイン関数のコール</li> </ul>
main	メインルーチン <ul style="list-style-type: none"> <li>• TPU_3, TPU_4 設定。位相計数モード 1 の設定。</li> <li>• TCNT_3, TCNT_4 カウントスタート。</li> </ul>
tgi4a_int	インプットキャプチャ割り込み
tci4v_int	オーバフロー割り込み
tci4u_int	アンダフロー割り込み

### 5.2 ベクタテーブル

表7 割り込み例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブル アドレス	割り込み先関数
リセット	0	H'000000	main
TPU_4 TGI4A	106	H'0001A8	tgi4a_int
TPU_4 TCI4V	108	H'0001B0	tci4v_int
TPU_4 TCI4U	109	H'0001B4	tci4u_int

### 5.3 使用定数

表8 使用定数説明

ラベル名	設定値	説明	使用関数名
SETTGRA	H'2000	TGRA_3 の設定値	main
SETTCNT	H'8000	TCNT_4 の初期値	main

### 5.4 使用 RAM

表9 使用 RAM

型	変数名	内容	使用関数
unsigned char	tcnt	2相エンコーダカウンタ結果 (値)	main, tgi4a_int
unsigned char	tflg	2相エンコーダカウンタ結果 (ステータス) 0: カウント中 1: 正常終了 2: オーバフローエラー発生 3: アンダフローエラー発生	main, tgi4a_int, tci4v_int, tci4u_int

## 5.5 関数説明

### 5.5.1 init 関数

#### (1) 機能概要

初期化ルーチン。モジュールストップ解除，クロック設定。main 関数のコール。

#### (2) 引数

なし

#### (3) 戻り値

なし

#### (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお，設定値は本タスク例において使用している値であり，初期値とは異なります。

#### ● システムクロックコントロールレジスタ (SCKCR) アドレス: H'FFFDC4

ビット	ビット名	設定値	R/W	機能
10	ICK2	0	R/W	システムクロック (I $\phi$ ) セレクト CPU, DMAC, DTC モジュールとシステムクロックの周波数を選択します。 000: 入力クロック $\times$ 4
9	ICK1	0	R/W	
8	ICK0	0	R/W	
6	PCK2	0	R/W	周辺モジュールクロック (P $\phi$ ) セレクト 周辺モジュールクロックの周波数を選択します。 001: 入力クロック $\times$ 2
5	PCK1	0	R/W	
4	PCK0	1	R/W	
2	BCK2	0	R/W	外部バスクロック (B $\phi$ ) セレクト 外部バスクロックの周波数を選択します。 000: 入力クロック $\times$ 4
1	BCK1	0	R/W	
0	BCK0	0	R/W	

- MSTPCRA, B, C はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり，クリアするとモジュールストップモードは解除されます。

#### ● モジュールストップコントロールレジスタ A (MSTPCRA) アドレス: H'FFFDC8

ビット	ビット名	設定値	R/W	機能
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCRA, B で制御されるすべてのモジュールがモジュールストップモードに設定された上で，CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして，消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0: 全モジュールクロックストップモード禁止 1: 全モジュールクロックストップモード許可
13	MSTPA13	1	R/W	DMA コントローラ (DMAC)
12	MSTPA12	1	R/W	データトランスファコントローラ (DTC)
9	MSTPA9	1	R/W	8 ビットタイマ (TMR_3, TMR_2)
8	MSTPA8	1	R/W	8 ビットタイマ (TMR_1, TMR_0)
5	MSTPA5	1	R/W	D/A コンバータ (チャンネル 1, 0)
3	MSTPA3	1	R/W	A/D コンバータ (ユニット 0)
0	MSTPA0	0	R/W	16 ビットタイマパルスユニット (TPU チャンネル 5~0)

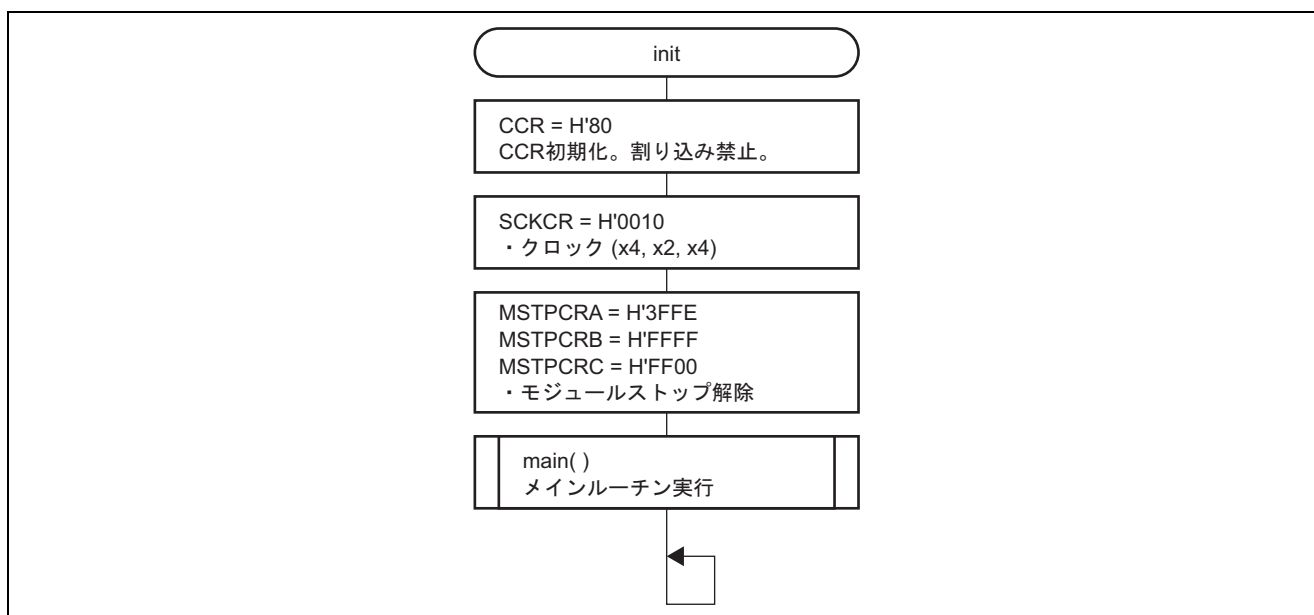
● モジュールストップコントロールレジスタ B (MSTPCRB)      アドレス: H'FFFDCA

ビット	ビット名	設定値	R/W	機能
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG)
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
10	MSTPB10	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
9	MSTPB9	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
8	MSTPB8	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
7	MSTPB7	1	R/W	I <sup>2</sup> C バスインタフェース_1 (IIC_1)
6	MSTPB6	1	R/W	I <sup>2</sup> C バスインタフェース_0 (IIC_0)

● モジュールストップコントロールレジスタ C (MSTPCRC)      アドレス: H'FFFDCC

ビット	ビット名	設定値	R/W	機能
15	MSTPC15	1	R/W	シリアルコミュニケーションインタフェース_5 (SCI_5), (IrDA)
14	MSTPC14	1	R/W	シリアルコミュニケーションインタフェース_6 (SCI_6)
13	MSTPC13	1	R/W	8ビットタイマ (TMR_4, TMR_5)
12	MSTPC12	1	R/W	8ビットタイマ (TMR_6, TMR_7)
11	MSTPC11	1	R/W	ユニバーサルシリアルバスインタフェース (USB)
10	MSTPC10	1	R/W	CRC 演算器
4	MSTPC4	0	R/W	内蔵 RAM_4 (H'FF2000 ~ H'FF3FFF)
3	MSTPC3	0	R/W	内蔵 RAM_3 (H'FF4000 ~ H'FF5FFF)
2	MSTPC2	0	R/W	内蔵 RAM_2 (H'FF6000 ~ H'FF7FFF)
1	MSTPC1	0	R/W	内蔵 RAM_1 (H'FF8000 ~ H'FF9FFF)
0	MSTPC0	0	R/W	内蔵 RAM_0 (H'FFA000 ~ H'FFBFFF)

(5) フローチャート



## 5.5.2 main 関数

## (1) 機能概要

メインルーチン。TPU\_3, TPU\_4 設定。位相計数モード 1 の設定。

## (2) 引数

なし

## (3) 戻り値

なし

## (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお, 設定値は本タスク例において使用している値であり, 初期値とは異なります。

 ● ポート1入力バッファコントロールレジスタ (PIICR) アドレス: H'FFFB90

ビット	ビット名	設定値	R/W	機能
5	P15ICR	1	R/W	0: P15 端子の入力バッファ無効。入力信号は, High レベルに固定される。 1: P15 端子の入力バッファ有効。周辺モジュール側に端子状態が反映される。
4	P14ICR	1	R/W	0: P14 端子の入力バッファ無効。入力信号は, High レベルに固定される。 1: P14 端子の入力バッファ有効。周辺モジュール側に端子状態が反映される。

 ● ポートファンクションコントロールレジスタ 6 (PFCR6) アドレス: H'FFFBC6

ビット	ビット名	設定値	R/W	機能
3	TCLKS	1	R/W	TPU 用外部クロック入力端子選択 TPU 用の外部クロック入力端子を選択します。 0: 外部クロック入力端子は使用できません。 1: P14 ~ P17 を外部クロック入力端子として設定。

 ● タイマモードレジスタ\_4 (TMDR\_4) アドレス: H'FFFEE1

ビット	ビット名	設定値	R/W	機能
3	MD3	0	R/W	モード 3 ~ 0 タイマの動作モードを設定します。 0100: 位相計数モード 1 【注】 位相計数モードに設定すると TCR の TPSC2 ~ TPSC0 ビット, CKEG1, CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し, TCNT はアップ/ダウンカウンタとして動作します。
2	MD2	1	R/W	
1	MD1	0	R/W	
0	MD0	0	R/W	

 ● タイマ I/O コントロールレジスタ\_4 (TIOR\_4) アドレス: H'FFFEE2

ビット	ビット名	設定値	R/W	機能
3	IOA3	1	R/W	I/O コントロール A3 ~ A0 TGRA_4 の機能を設定します。 1100: TGRA_4 はインプットキャプチャレジスタとして機能。 TGRA_3 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ。
2	IOA2	1	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

● タイマインタラプトイネーブルレジスタ\_4 (TIER\_4) アドレス: H'FFFEE4

ビット	ビット名	設定値	R/W	機能
5	TCIEU	1	R/W	アンダフローインタラプトイネーブル チャンネル1, 2, 4, 5でTSRのTCFUフラグが1にセットされたとき, TCFUフラグによる割り込み要求 (TCIU) を許可または禁止します。 0: TCFUによる割り込み要求 (TCIU) を禁止 1: TCFUによる割り込み要求 (TCIU) を許可
4	TCIEV	1	R/W	オーバフローインタラプトイネーブル TSRのTCFVフラグが1にセットされたとき,TCFVフラグによる 割り込み要求 (TCIV) を許可または禁止します。 0: TCFVによる割り込み要求 (TCIV) を禁止 1: TCFVによる割り込み要求 (TCIV) を許可
0	TGIEA	1	R/W	TGRインタラプトイネーブル A TSRのTGFAビットが1にセットされたとき,TGFAビットによる 割り込み要求 (TGIA) を許可または禁止します。 0: TGFAビットによる割り込み要求 (TGIA) を禁止 1: TGFAビットによる割り込み要求 (TGIA) を許可

 ● タイマカウンタ\_4 (TCNT\_4) アドレス: H'FFFEE6

機能: 16ビットのリードライト可能なカウンタです。

設定値: H'8000

 ● タイマスタートレジスタ (TSTR) アドレス: H'FFFFBC

ビット	ビット名	設定値	R/W	機能
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	1	R/W	TCNTの動作/停止を選択します。
3	CST3	1	R/W	0: TCNT_5 ~ TCNT_0のカウンタ動作は停止
2	CST2	0	R/W	1: TCNT_5 ~ TCNT_0はカウンタ動作
1	CST1	0	R/W	
0	CST0	0	R/W	

 ● タイマ I/O コントロールレジスタ H\_3 (TIORH\_3) アドレス: H'FFFFF2

ビット	ビット名	設定値	R/W	機能
3	IOA3	0	R/W	I/O コントロール A3 ~ A0
2	IOA2	0	R/W	TGRA_3の機能を設定します。
1	IOA1	0	R/W	0000: TGRA_3は, アウトプットコンペアレジスタとして機能。
0	IOA0	0	R/W	TIOCA3端子は出力禁止に設定。

● タイマコントロールレジスタ\_3 (TCR\_3)

アドレス: H'FFFFFF0

ビット	ビット名	設定値	R/W	機能
7	CCLR2	0	R/W	カウンタクリア 2, 1, 0
6	CCLR1	0	R/W	TCNT_3 のカウンタクリア要因を選択します。 001: TGRA_3 のコンペアマッチ/インプットキャプチャで TCNT_3 クリア
5	CCLR0	1	R/W	
4	CKEG1	0	R/W	クロックエッジ 1, 0
3	CKEG0	0	R/W	入力クロックのエッジを選択します。 00: 立ち下がりエッジでカウント
2	TPSC2	0	R/W	タイマプリスケラ 2, 1, 0
1	TPSC1	0	R/W	TCNT_3 のカウンタクロックを選択します。 000: 内部クロック Pφ/1 でカウント
0	TPSC0	0	R/W	

● タイマジェネラルレジスタ A\_3 (TGRA\_3)

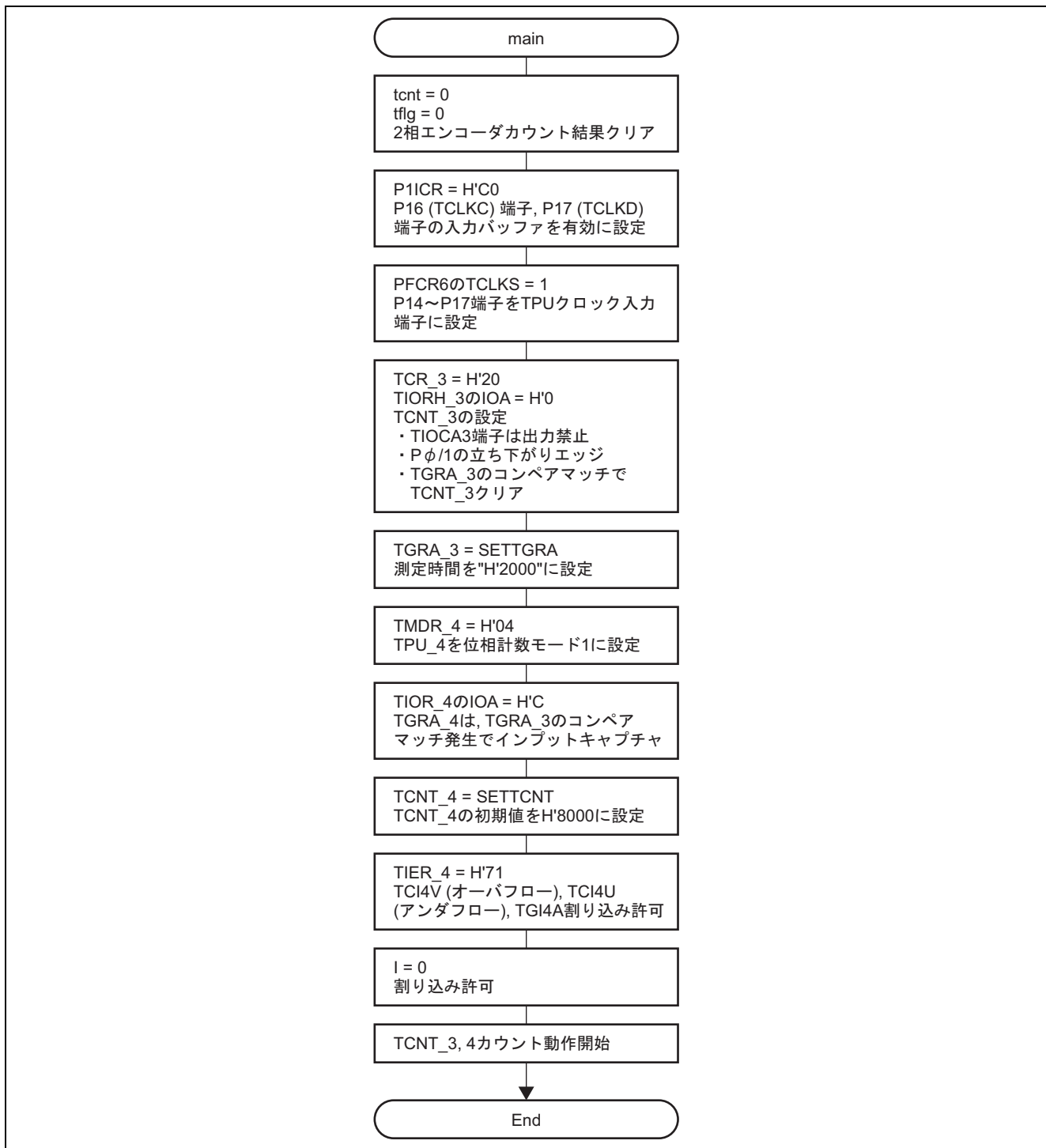
アドレス: H'FFFFF8

機能: アウトプットコンペアレジスタとして使用します。

設定値: H'2000



### (5) フローチャート



## 5.5.3 tgi4a\_int 関数

### (1) 機能概要

インプットキャプチャ割り込み。

### (2) 引数

なし

### (3) 戻り値

なし

### (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

#### ● タイマステータスレジスタ\_4 (TSR\_4)

アドレス: H'FFFEE5

ビット	ビット名	設定値	R/W	機能
0	TGFA	0	R/(W)*	インプットキャプチャ/アウトプットコンペアフラグ A TGRA_4 がインプットキャプチャとして機能している場合 [セット条件] インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき [クリア条件] TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

#### ● タイマジェネラルレジスタ A\_4 (TGRA\_4)

アドレス: H'FFFEE8

機能: 周期カウンタ値を格納します。

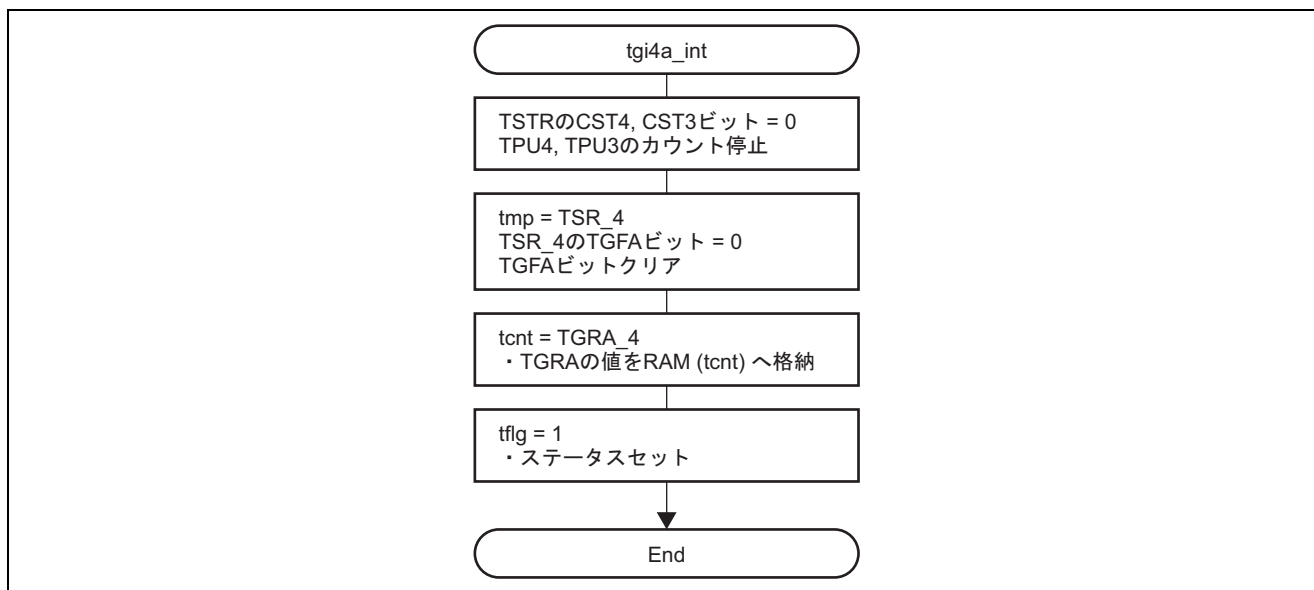
設定値: 不定

#### ● タイマスタートレジスタ (TSTR)

アドレス: H'FFFBC

ビット	ビット名	設定値	R/W	機能
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	0	R/W	TCNT の動作/停止を選択します。
3	CST3	0	R/W	0: TCNT_5 ~ TCNT_0 のカウンタ動作は停止
2	CST2	0	R/W	1: TCNT_5 ~ TCNT_0 はカウンタ動作
1	CST1	0	R/W	
0	CST0	0	R/W	

(5) フローチャート



## 5.5.4 tci4v\_int 関数

(1) 機能概要

オーバーフロー割り込み

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

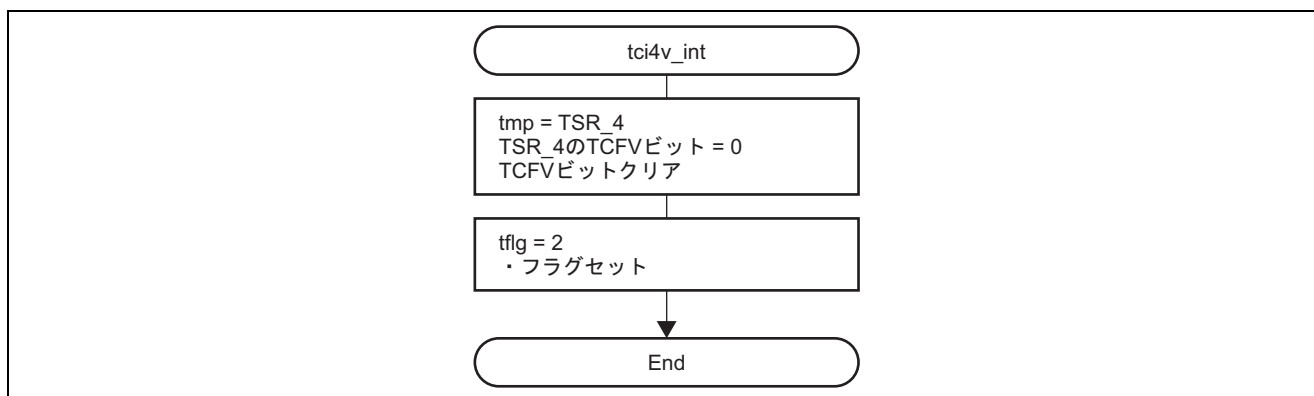
• タイマステータスレジスタ\_4 (TSR\_4)

アドレス: H'FFFEE5

ビット	ビット名	設定値	R/W	機能
4	TCFV	0	R/(W)*	オーバフローフラグ [セット条件] TCNT_4の値がオーバーフローしたとき [クリア条件] TCFV = 1の状態でもTCFVをリード後、TCFVに0をライトしたとき

【注】 \* フラグをクリアするための0ライトのみ可能です。

(5) フローチャート



## 5.5.5 tci4u\_int 関数

### (1) 機能概要

アンダフロー割り込み

### (2) 引数

なし

### (3) 戻り値

なし

### (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

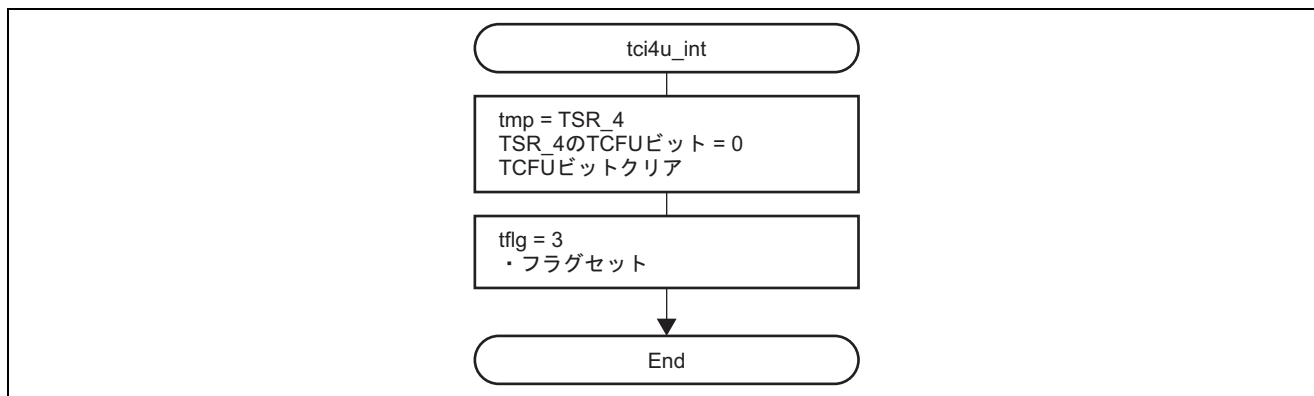
#### • タイマステータスレジスタ\_4 (TSR\_4)

アドレス: H'FFFEE5

ビット	ビット名	設定値	R/W	機能
5	TCFU	0	R/(W)*	アンダフローフラグ TPU_4 が位相計数モードのとき、TCNT_4 のアンダフローの発生を示すステータスフラグです。 [セット条件] TCNT_4 の値がアンダフローしたとき [クリア条件] TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### (5) フローチャート



ホームページとサポート窓口

ルネサステクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.9.11	—	初版発行

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。