

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8SX ファミリ

## シンクロナス DRAM インタフェース

### 要旨

シンクロナス DRAM インタフェース機能を使用し、H8SX マイコンとシンクロナス DRAM の接続例を示します。

### 動作確認デバイス

H8SX/1663 グループ 4

### はじめに

当アプリケーションノートのドキュメントは、H8SX/1663 グループのハードウェアマニュアルに従って記載されています。添付のプログラムは上記確認デバイス上で使用することができます。

ただし、デバイスによっては使用している機能の仕様が変更になっている場合があります。最新のハードウェアマニュアルで確認し、十分な評価を行った上でご使用ください。

### 目次

1. 仕様 .....	2
2. 適用条件 .....	3
3. 使用機能説明 .....	4
4. 動作説明 .....	10
5. ソフトウェア説明 .....	12

### 1. 仕様

H8SX/1664 マイコンのバスコントローラ (BSC) は、エリア 2 の外部空間をシンクロナス DRAM 空間に設定すると、シンクロナス DRAM インタフェースを行うことができます。シンクロナス DRAM インタフェースでは、最大 8M バイト (64M ビット) のシンクロナス DRAM を直結することができ、CAS レイテンシ 2 ~ 4 のシンクロナス DRAM を接続することができます。

- 本例では、このシンクロナス DRAM インタフェース機能を使用し、シンクロナス DRAM の初期化を行います。
- H8SX/1664 マイコンとシンクロナス DRAM は、16 ビットバス幅で接続します。
- 図 1 にシンクロナス DRAM 接続回路例を示し、表 1 に本例で使用するシンクロナス DRAM の仕様を示します。

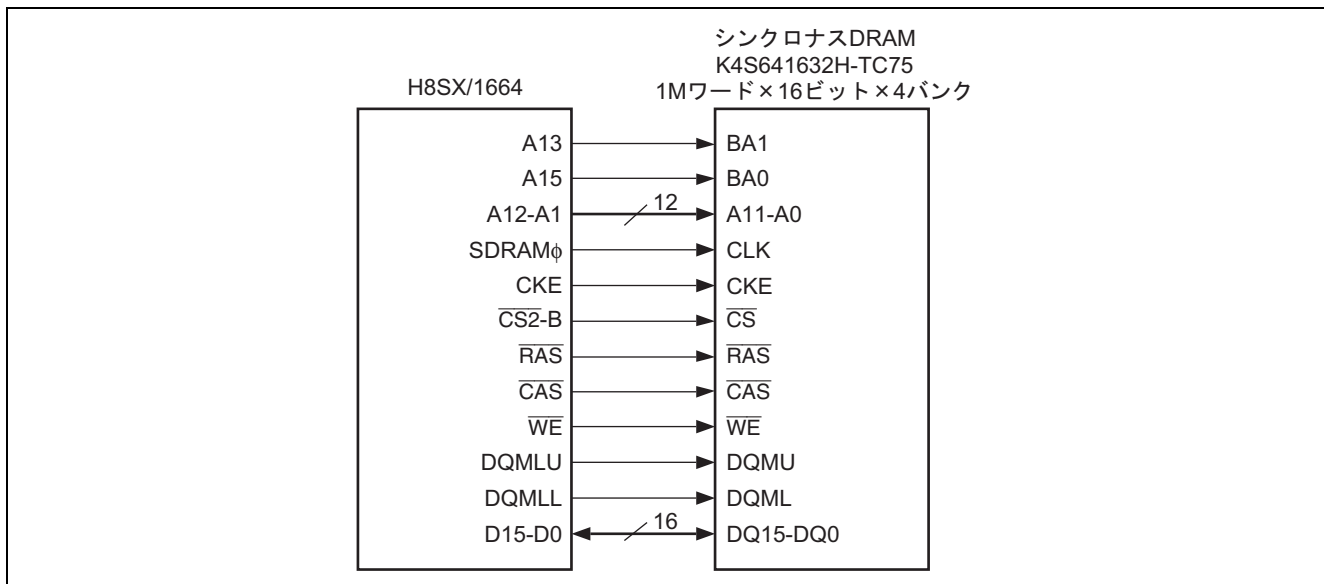


図 1 シンクロナス DRAM 接続回路例

表 1 シンクロナス DRAM 仕様

項目	内容
製品名	K4S641632H-TC75 ( Samsung Electronics 社製)
構成	1M ワード × 16 ビット × 4 バンク
容量	64M ビット
CAS レイテンシ	2/3 ( プログラマブル )
リフレッシュ間隔	64ms 毎の 4096 リフレッシュサイクル
ロウアドレス	A11 - A0
カラムアドレス	A7 - A0
バンク数	BA0, BA1 で制御する 4 バンク動作

## 2. 適用条件

表 2 適用条件

項目	内容
動作周波数	入力クロック : 12MHz システムクロック (I $\phi$ ) : 48MHz 周辺モジュールクロック (P $\phi$ ) : 24MHz 外部バスクロック (B $\phi$ ) : 48MHz
動作モード	モード 6 (MD2 = 1, MD1 = 1, MD0 = 0) SDRAM インタフェース有効 (MD3 = 1)

### 3. 使用機能説明

#### 3.1 シンクロナス DRAM インタフェース

エリア 2 は、DRAMCR の DRAME ビットと DTYPE ビットによりシンクロナス DRAM 空間に設定できます。表 3 に DRAME ビットと DTYPE ビットの設定値と、エリア 2 のインタフェース機能の関係を示します。

シンクロナス DRAM 空間では、PB2、PB3、PB4 端子を  $\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{WE}$  信号として使用します。また、PFCR の設定により PB1 端子を CS2 信号として、DRAMCR の OEE ビットを 1 にセットすることにより PB5 端子を CKE 信号として使用することができます。シンクロナス DRAM 空間のバス仕様は、エリア 2 の設定に従います。シンクロナス DRAM 空間に対する端子ウェイト、プログラムウェイトは無効となります。

$\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{WE}$  信号、およびカラムアドレスの上位に出力されるアドレスプリチャージ設定コマンド (Precharge-sel) を組み合わせることにより、シンクロナス DRAM に対するコマンドが指定されます。

H8SX/1664 マイコンがサポートするコマンドを以下に示します。バンク制御を行うコマンドは使用できません。

- NOP
- オートリフレッシュ (REF)
- セルフリフレッシュ (SELF)
- 全バンクプリチャージ (PALL)
- ロウアドレスストローブ・バンクアクティブ (ACTV)
- リード (READ)
- ライト (WRIT)
- モードレジスタ書き込み (MRS)

表 3 DRAME、DTYPE の設定値とエリア 2 のインタフェース機能の関係

DRAME	DTYPE	エリア 2 のインタフェース
0	X	基本バス空間 (初期値) / バイト制御 SRAM 空間
1	0	DRAM 空間
1	1	シンクロナス DRAM 空間

【記号説明】 X : don't care

### 3.2 メモリマップ

バスコントローラは、16M バイトのアドレス空間を 8 つのエリアに分割し、エリア単位で外部アドレス空間のバス制御を行います。各エリアごとにチップセレクト信号 (CS0 ~ CS7) を出力することができます。

図 2 に 16M バイト空間のエリア分割を示します。本例では、エリア 2 に 8M バイトのシンクロナス DRAM を接続しています。

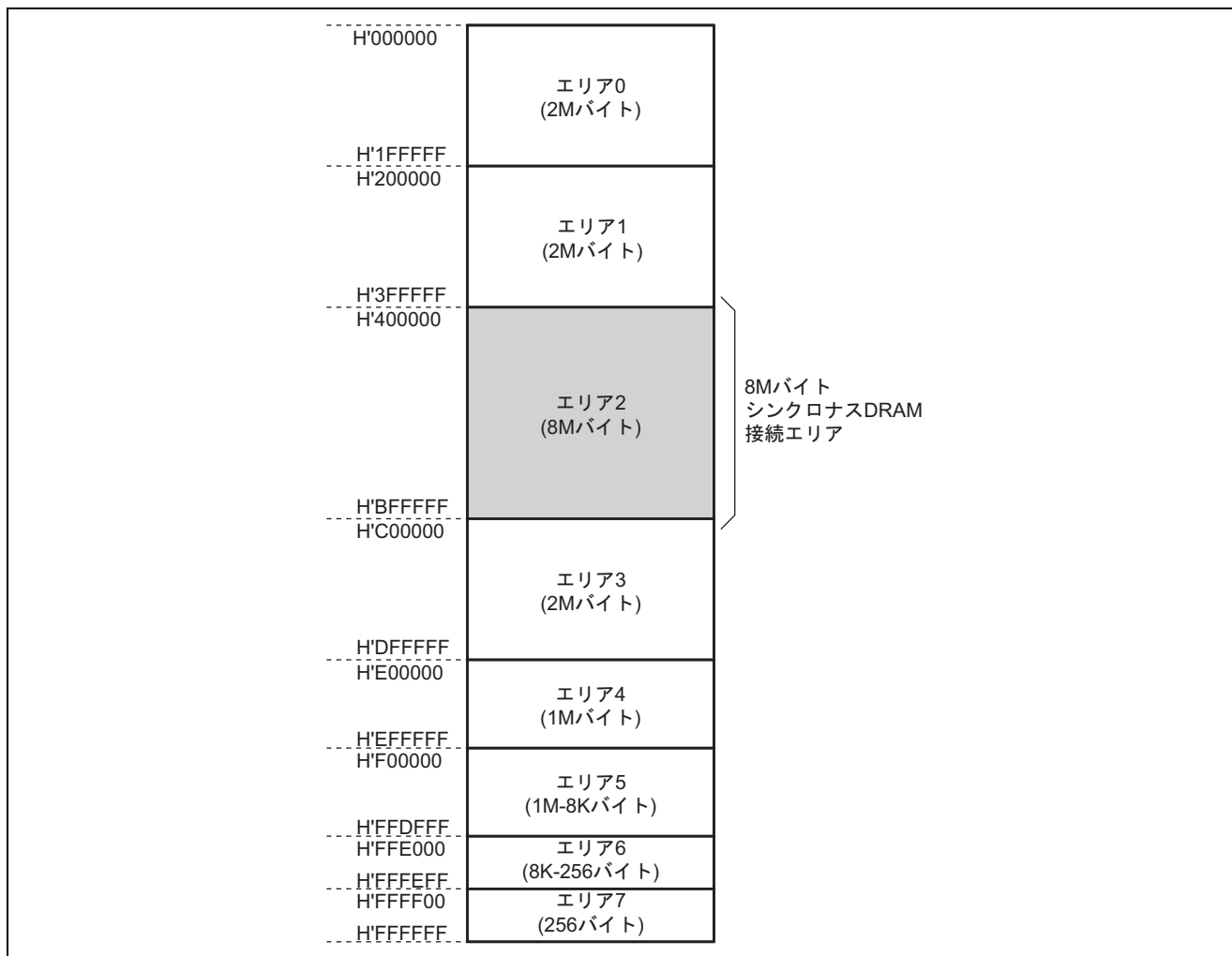


図 2 メモリマップ

### 3.3 アドレスマルチプレクスバス

シンクロナス DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされています。アドレスマルチプレクスでは、DRAMCR の MXC1, MXC0 ビットによりロウアドレスのシフト量を選択します。また、シンクロナス DRAM インタフェースに設定すると、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) が出力されます。表 4 にシフト量 8 ビット (MXC1=0, MXC0=0), データバス幅 16 ビット時のアドレスマルチプレクス出力端子を示します。

表 4 アドレスマルチプレクス出力 (シフト量 : 8 ビット, データバス幅 : 16 ビット)

H8SX/1664 端子	ロウアドレス	カラムアドレス	SDRAM 端子	機能
A15	A23	A23	BA0	バンク指定
A14	A22	A22	-	未使用
A13	A21	A21	BA1	バンク指定
A12	A20	A20	A11	アドレス
A11	P/A19	P	A10	アドレス/プリチャージ指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	アドレス
A8	A16	A8	A7	アドレス
A7	A15	A7	A6	アドレス
A6	A14	A6	A5	アドレス
A5	A13	A5	A4	アドレス
A4	A12	A4	A3	アドレス
A3	A11	A3	A2	アドレス
A2	A10	A2	A1	アドレス
A1	A9	A1	A0	アドレス
A0	A8	A0	-	未使用

### 3.4 バンク指定

本例では、ロウアドレス A23 とバンクアドレス BA0 端子, ロウアドレス A21 とバンクアドレス BA1 端子が接続されています。表 5 にエリア 2 のメモリアドレスとシンクロナス DRAM バンク A ~ D の関係を示します。

表 5 バンク指定

エリア 2 の メモリアドレス	ロウアドレス			バンクアドレス		シンクロナス DRAM の バンク
	A23	A22	A21	BA0	BA1	
H'400000 ~ H'5FFFFFFF	0	1	0	Low	Low	バンク A
H'600000 ~ H'7FFFFFFF	0	1	1	Low	High	バンク B
H'800000 ~ H'9FFFFFFF	1	0	0	High	Low	バンク C
H'A00000 ~ H'BFFFFFFF	1	0	1	High	High	バンク D



### 3.5 シンクロナス DRAM モードレジスタ

H8SX/1664 マイコンはシンクロナス DRAM のバーストリード/バーストライトのモードは対応していません。シンクロナス DRAM モードレジスタを設定するときは、バーストリード/シングルライトを設定し、バースト長は 1 としてください。シンクロナス DRAM モードレジスタの設定値と、バスコントローラの設定値は一致させてください。図 3、表 6～表 9 にシンクロナス DRAM モードレジスタ配置例を示します。

シンクロナスDRAMアドレス端子 H8SX/1664アドレス端子	OPCODE					0	LMODE				BT	BL			
	BA1	BA0	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0		
	A13	A15	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	

図 3 モードレジスタのビット配置例 (16 ビットバス幅)

表 6 OPCODE (オペレーションコード)

BA1	BA0	A10	A9	A8	ライトモード設定	H8SX/1664 設定可否
0	0	0	0	0	バーストリード/バーストライト	不可
0	0	X	0	1	(Reserved)	不可
0	0	X	1	0	バーストリード/シングルライト	可能
0	0	X	1	1	(Reserved)	不可

【記号説明】 X : don't care

表 7 LMODE (CAS レイテンシ設定)

A6	A5	A4	CAS レイテンシ	H8SX/1664 設定可否
0	0	0	(Reserved)	不可
0	0	1	(Reserved)	不可
0	1	0	2	可能
0	1	1	3	可能
1	X	X	(Reserved)	不可

【記号説明】 X : don't care

表 8 BT (バースト・タイプ)

A3	バーストタイプ	H8SX/1664 設定可否
0	シーケンシャル	Don't care
1	インタリーブ	Don't care

表 9 BL (バースト長)

A2	A1	A0	バースト長	H8SX/1664 設定可否
0	0	0	1	可能
0	0	1	2	不可
0	1	0	4	不可
0	1	1	8	不可
1	0	0	(Reserved)	不可
1	0	1	(Reserved)	不可
1	1	0	(Reserved)	不可
1	1	1	BT=0 : Full Page BT=1 : (Reserved)	不可

### 3.6 パワーオンシーケンス

シンクロナス DRAM を使用するためには、パワーオン後にモードの設定を行ってください。

モードを設定するためには、SDCR の MRSE ビットを 1 にセットし、シンクロナス DRAM モードレジスタの設定を有効にします。その後、シンクロナス DRAM 空間をバイトでライトアクセスします。シンクロナス DRAM モードレジスタに設定する値を  $x$  とすると、以下の空間にライトすることで値  $x$  がシンクロナス DRAM モードレジスタに設定されます。

表 10 シンクロナス DRAM モードレジスタのライトアドレス

シンクロナス DRAM のバス構成	シンクロナス DRAM 空間にライトするアドレス
8 ビットバス構成	H'4000000/H'400000+x 番地
16 ビットバス構成	H'4000000/H'400000+2x 番地

シンクロナス DRAM モードレジスタの設定値は、MRS コマンド発行時点のアドレス信号の値が取り込まれます。

図 4 にシンクロナス DRAM のモード設定タイミングを示します。表 11 にエリア 2 におけるシンクロナス DRAM モードレジスタライト時のアクセスアドレスを示します。

表 11 シンクロナス DRAM モードレジスタライト時のアクセスアドレス (エリア 2)

データ バス幅	CAS レイテンシ	バーストリード/シングルライト (バースト長 1)	
		アクセスアドレス	外部アドレス端子
8 ビット	2	H'400220	H'0220
	3	H'400230	H'0230
16 ビット	2	H'400440	H'0440
	3	H'400460	H'0460

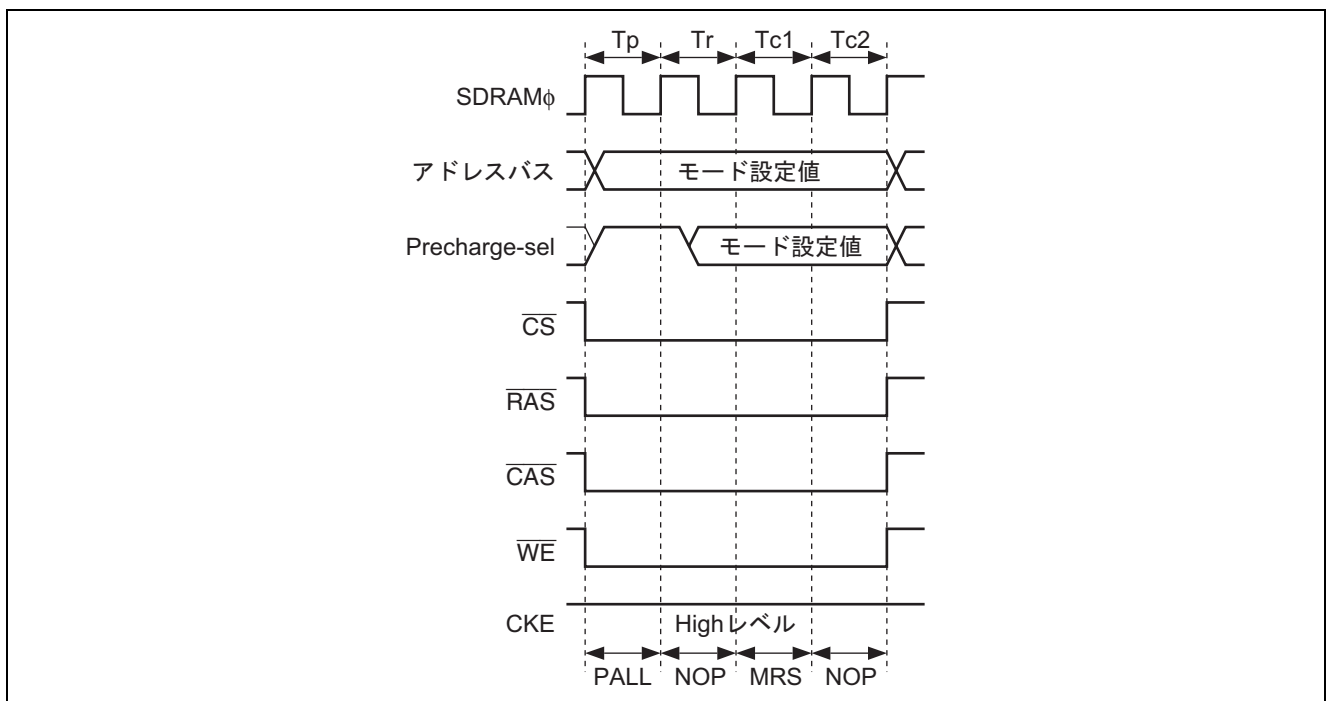


図 4 シンクロナス DRAM モード設定タイミング

本例では、シンクロナス DRAM のモードレジスタに対し、以下の設定を行います。この場合シンクロナス DRAM モードレジスタ設定値は、H'400460 がアクセスアドレスとなります。図 5 に本例のモードレジスタ設定値とアクセスアドレスの関係を示します。

- バースト長：バーストリード/シングルライト (バースト長 1)
- データバス幅：16 ビット
- バーストタイプ：シーケンシャル
- CAS レイテンシ：3 サイクル

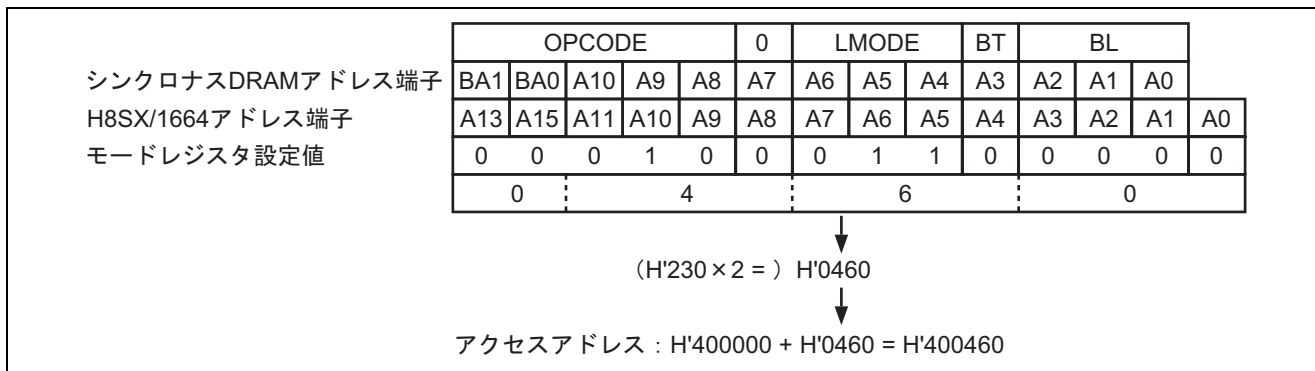


図 5 モードレジスタ設定値とアクセスアドレスの関係

4. 動作説明

4.1 リード動作タイミング

図 6 に本例のシンクロナス DRAM シングルリードタイミング例を示します。

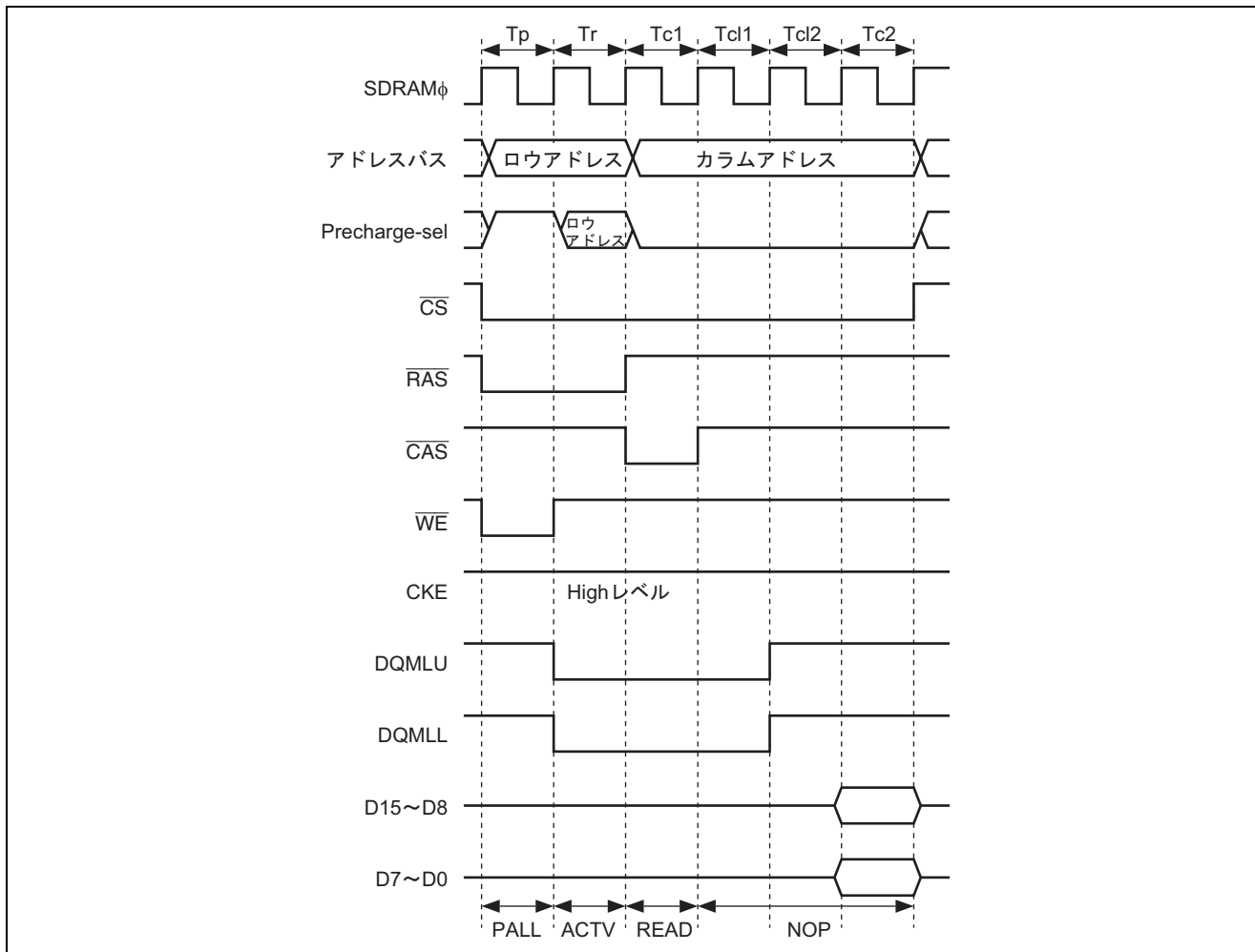


図 6 シンクロナス DRAM シングルリードタイミング例

4.2 ライト動作タイミング

図7に本例のシンクロナス DRAM シングルライトタイミング例を示します。

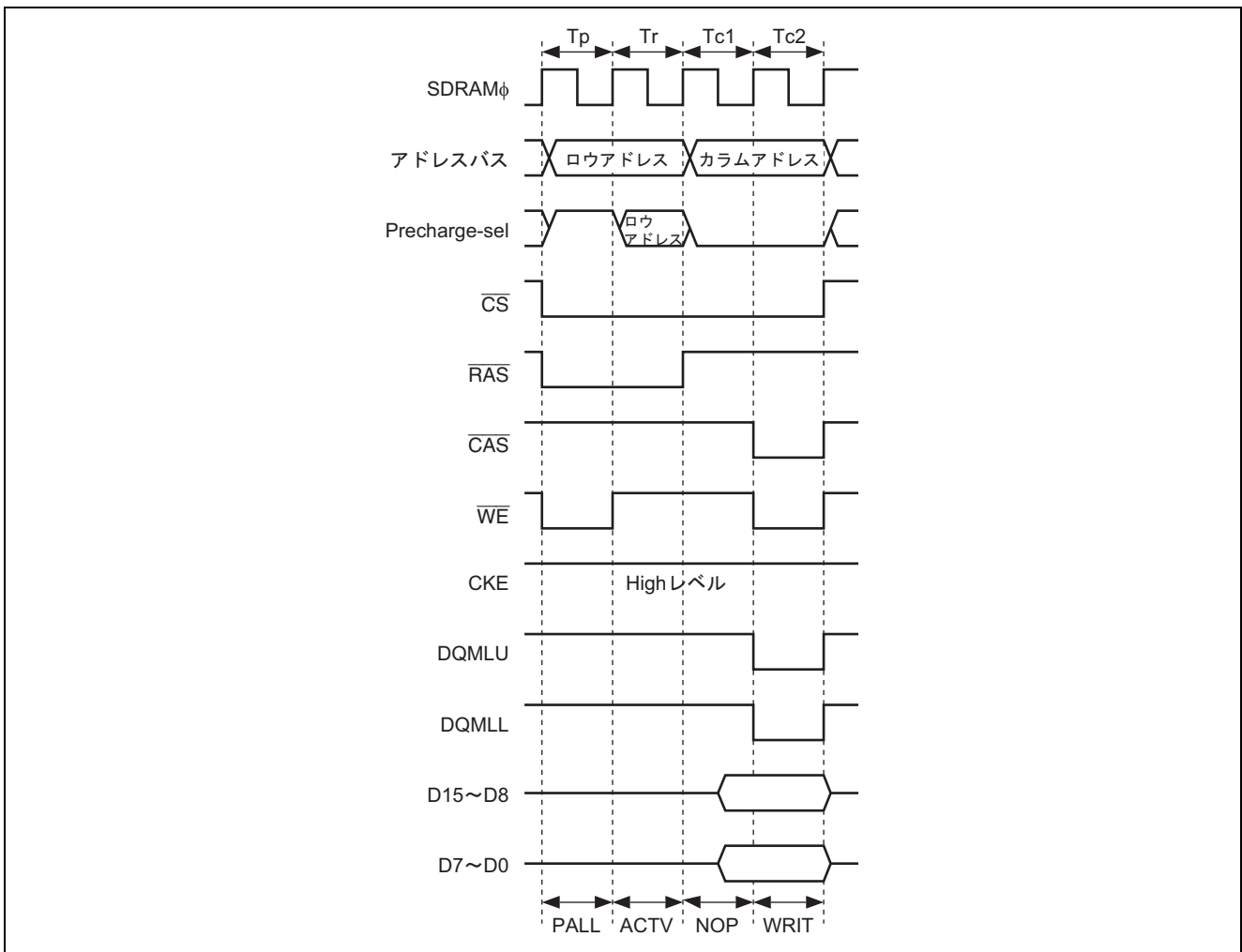


図7 シンクロナス DRAM シングルライトタイミング例

## 5. ソフトウェア説明

### 5.1 動作環境

表 12 動作環境

項目	内容
開発ツール	High-performance Embedded Workshop Ver.4.01.01
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 SERIES C/C++ Compiler Ver.6.01.02
コンパイルオプション	-cpu = h8sxa:24:md , -code = machinecode , -optimize = 1 , -regparam = 3 -speed = (register, shift, struct, expression)

表 13 セクション設定

アドレス	セクション名	説明
H'001000	P	プログラム領域
H'400000	BCS2	エリア 2, シンクロナス DRAM エリア
H'FF6000	B	未初期化データ領域 (RAM 領域)

表 14 割り込み例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブル アドレス	割り込み先関数
リセット	0	H'000000	init

### 5.2 関数一覧

表 15 main.c ファイル関数一覧

関数名	機能
init	初期化ルーチン CCR, クロック設定, モジュールストップ解除, main 関数のコール。
main	メインルーチン Bsclnit 関数のコール。シンクロナス DRAM (SDRAM) アクセス確認処理。
Bsclnit	シンクロナス DRAM (SDRAM) 初期化

### 5.3 使用 RAM

表 16 使用 RAM

型	変数名	内容	使用関数
unsigned char	area2[128]	シンクロナス DRAM エリア	main
unsigned char	buf[128]	内蔵 RAM エリア	main

### 5.4 マクロ定数

表 17 マクロ定数

定数名	設定値	内容	使用関数名
SDRAM_MD_SET	H'400460	左記アドレスにバイトアクセスすることで, シンクロナス DRAM のモードレジスタヘッ データを設定する	Bsclnit

## 5.5 関数説明

### 5.5.1 init 関数

#### 1. 機能概要

初期化ルーチン。モジュールストップ解除，クロック設定，main 関数のコール。

#### 2. 引数

なし

#### 3. 戻り値

なし

#### 4. 使用内部レジスタ説明

本例の使用内部レジスタを以下に示します。なお，設定値は本例において使用している値であり，初期値とは異なります。

- モードコントロールレジスタ (MDCR) ビット数：16 アドレス：H'FFFDC0

ビット	ビット名	設定値	R/W	機能
15	MDS7	不定*	R	モード端子 (MD3) により設定された値を示します。 MDCR をリードすると MD3 端子の入力レベルがラッチされます。このラッチはリセットで解除されます。
11	MDS3	不定*	R	モードセレクト 3~0 モード端子 (MD2~MD0) により設定された動作モードに対応した値を示します (表 18 参照)。MDCR をリードすると，MD2~MD0 端子の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
10	MDS2	不定*	R	
9	MDS1	不定*	R	
8	MDS0	不定*	R	

【注】\* MD3~MD0 端子の設定により決定されます。

表 18 MDS3~MDS0 ビットの値

MCU 動作モード	モード端子			MDCR			
	MD2	MD1	MD0	MDS3	MDS2	MDS1	MDS0
2	0	1	0	1	1	0	0
4	1	0	0	0	0	1	0
5	1	0	1	0	0	0	1
6	1	1	0	0	1	0	1
7	1	1	1	0	1	0	0

- システムクロックコントロールレジスタ (SCKCR) ビット数：16 アドレス：H'FFFDC4

ビット	ビット名	設定値	R/W	機能
10	ICK2	0	R/W	システムクロック ( $I\phi$ ) セレクト CPU, DMAC, DTC モジュールとシステムクロックの周波数を選択します。 000 : 入力クロック $\times 4$
9	ICK1	0	R/W	
8	ICK0	0	R/W	
6	PCK2	0	R/W	周辺モジュールクロック ( $P\phi$ ) セレクト 周辺モジュールクロックの周波数を選択します。 001 : 入力クロック $\times 2$
5	PCK1	0	R/W	
4	PCK0	1	R/W	
2	BCK2	0	R/W	外部バスクロック ( $B\phi$ ) セレクト 外部バスクロックの周波数を選択します。 000 : 入力クロック $\times 4$
1	BCK1	0	R/W	
0	BCK0	0	R/W	

- MSTPCRA ,B ,C はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり，クリアするとモジュールストップモードは解除されます。
- モジュールストップコントロールレジスタ A (MSTPCRA) ビット数：16 アドレス：H'FFFDC8

ビット	ビット名	設定値	R/W	機能
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップモードに設定された上で，CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして，消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可
13	MSTPA13	1	R/W	DMA コントローラ (DMAC)
12	MSTPA12	1	R/W	データトランスファコントローラ (DTC)
9	MSTPA9	1	R/W	8 ビットタイマ (TMR_3, TMR_2)
8	MSTPA8	1	R/W	8 ビットタイマ (TMR_1, TMR_0)
5	MSTPA5	1	R/W	D/A コンバータ (チャンネル 1, 0)
3	MSTPA3	1	R/W	A/D コンバータ (ユニット 0)
0	MSTPA0	1	R/W	16 ビットタイマパルスユニット (TPU チャンネル 5~0)

- モジュールストップコントロールレジスタ B (MSTPCRB) ビット数：16 アドレス：H'FFFDCA

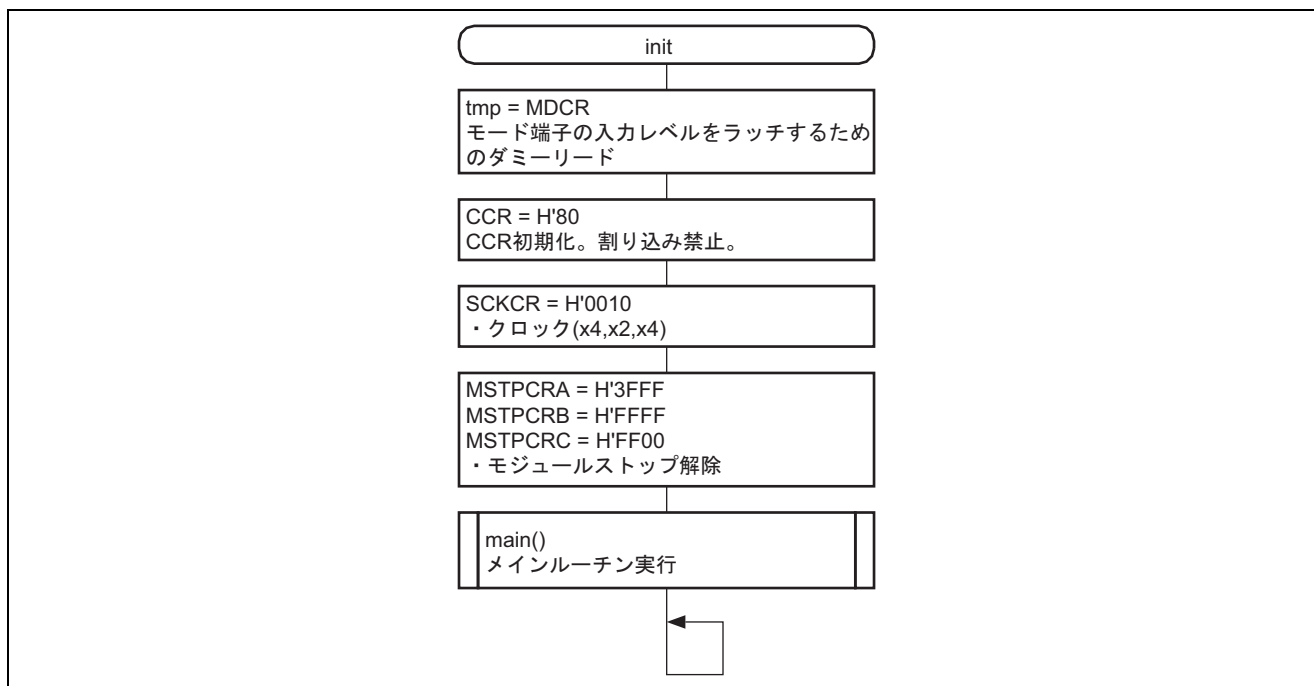
ビット	ビット名	設定値	R/W	機能
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG)
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
10	MSTPB10	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
9	MSTPB9	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
8	MSTPB8	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
7	MSTPB7	1	R/W	I <sup>2</sup> C バスインタフェース_1 (IIC_1)
6	MSTPB6	1	R/W	I <sup>2</sup> C バスインタフェース_0 (IIC_0)

- モジュールストップコントロールレジスタ C (MSTPCRC) ビット数：16 アドレス：H'FFFDCC

ビット	ビット名	設定値	R/W	機能
15	MSTPC15	1	R/W	シリアルコミュニケーションインタフェース_5 (SCI_5), (IrDA)
14	MSTPC14	1	R/W	シリアルコミュニケーションインタフェース_6 (SCI_6)
13	MSTPC13	1	R/W	8 ビットタイマ (TMR_4, TMR_5)
12	MSTPC12	1	R/W	8 ビットタイマ (TMR_6, TMR_7)
11	MSTPC11	1	R/W	ユニバーサルシリアルバスインタフェース (USB)
10	MSTPC10	1	R/W	CRC 演算器
4	MSTPC4	0	R/W	内蔵 RAM_4 (H'FF2000 ~ H'FF3FFF)
3	MSTPC3	0	R/W	内蔵 RAM_3 (H'FF4000 ~ H'FF5FFF)
2	MSTPC2	0	R/W	内蔵 RAM_2 (H'FF6000 ~ H'FF7FFF)
1	MSTPC1	0	R/W	内蔵 RAM_1 (H'FF8000 ~ H'FF9FFF)
0	MSTPC0	0	R/W	内蔵 RAM_0 (H'FFA000 ~ H'FFBFFF)



### 5. フローチャート



5.5.2 main 関数

1. 機能概要

BscInit 関数のコール。シンクロナス DRAM (SDRAM) 動作確認処理。

2. 引数

なし

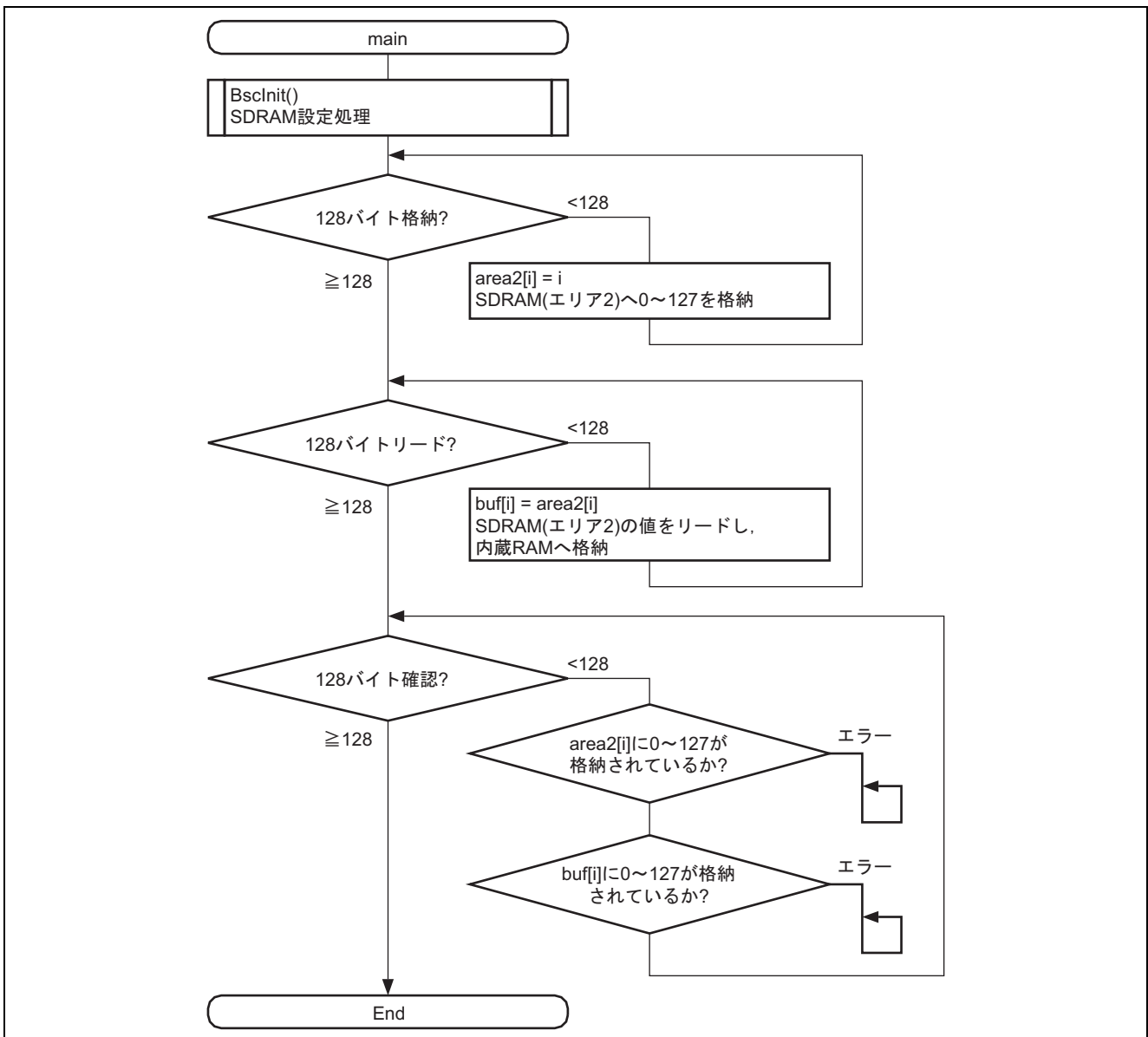
3. 戻り値

なし

4. 使用内部レジスタ説明

なし

5. フローチャート



### 5.5.3 Bscnit 関数

#### 1. 機能概要

シンクロナス DRAM (SDRAM) 初期化設定

#### 2. 引数

なし

#### 3. 戻り値

なし

#### 4. 使用内部レジスタ説明

本例の使用内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。

- ポート D データディレクションレジスタ (PDDDR) ビット数：8 アドレス：H'FFFB8C  
機能：PD7～0 端子をアドレス出力端子に設定  
設定値：H'FF

- ポート E データディレクションレジスタ (PEDDR) ビット数：8 アドレス：H'FFFB8D  
機能：PE7～0 端子をアドレス出力端子に設定  
設定値：H'FF

- ポートファンクションコントロールレジスタ 0 (PFCR0) ビット数：8 アドレス：H'FFBFC0

ビット	ビット名	設定値	R/W	機能
2	CS2E	1	R/W	CS2 イネーブル CS2 出力の出力許可/禁止を選択する。 0：I/O ポートとして設定 1：CS2 出力端子として設定

- ポートファンクションコントロールレジスタ 2 (PFCR2) ビット数：8 アドレス：H'FFBFC2

ビット	ビット名	設定値	R/W	機能
6	CS2S	1	R/W	CS2 出力端子セレクト 0：CS2 出力許可時 (CS2E=1)，PB2 を CS2-A 出力端子として設定 1：CS2 出力許可時 (CS2E=1)，PB1 を CS2-B 出力端子として設定

- ポートファンクションコントロールレジスタ 4 (PFCR4) ビット数：8 アドレス：H'FFFBC4

ビット	ビット名	設定値	R/W	機能
7	A23E	1	R/W	アドレス A23 イネーブル 0 : A23 アドレス出力禁止 1 : A23 アドレス出力許可
6	A22E	1	R/W	アドレス A22 イネーブル 0 : A22 アドレス出力禁止 1 : A22 アドレス出力許可
5	A21E	1	R/W	アドレス A21 イネーブル 0 : A21 アドレス出力禁止 1 : A21 アドレス出力許可
4	A20E	1	R/W	アドレス A20 イネーブル 0 : A20 アドレス出力禁止 1 : A20 アドレス出力許可
3	A19E	1	R/W	アドレス A19 イネーブル 0 : A19 アドレス出力禁止 1 : A19 アドレス出力許可
2	A18E	1	R/W	アドレス A18 イネーブル 0 : A18 アドレス出力禁止 1 : A18 アドレス出力許可
1	A17E	1	R/W	アドレス A17 イネーブル 0 : A17 アドレス出力禁止 1 : A17 アドレス出力許可
0	A16E	1	R/W	アドレス A16 イネーブル 0 : A16 アドレス出力禁止 1 : A16 アドレス出力許可

- バス幅コントロールレジスタ (ABWCR) ビット数：16 アドレス：H'FFFD84

機能：エリア 7~0 を 16 ビットアクセス空間に設定。

設定値：H'00FF

- ウェイトコントロールレジスタ A (WTCRA) ビット数：16 アドレス：H'FFFD88

機能：エリア 7~4 のプログラムウェイトを挿入しない。

設定値：H'0000

- ウェイトコントロールレジスタ B (WTCRB) ビット数：16 アドレス：H'FFFD8A

機能：エリア 3, 1, 2 のプログラムウェイトを挿入しない。エリア 2 はシンクロナス DRAM 接続時に CAS レイテンシ 3 に設定。

設定値：H'0200

• DRAM コントロールレジスタ (DRAMCR) ビット数 : 16 アドレス : H'FFFDA0

ビット	ビット名	設定値	R/W	機能
15	DRAME	1	R/W	エリア 2 DRAM インタフェース選択 0 : 基本バスインタフェースまたはバイト制御 SRAM インタフェース 1 : DRAM/シンクロナス DRAM インタフェース
14	DTYPE	1	R/W	DRAM 選択 エリア 2 に接続する DRAM を選択します。 0 : DRAM をエリア 2 に接続する 1 : シンクロナス DRAM をエリア 2 に接続する
11	OEE	1	R/W	OE 出力イネーブル 0 : シンクロナス DRAM に接続するとき, CKE 信号出力禁止 1 : シンクロナス DRAM に接続するとき, CKE 信号出力許可
7	BE	0	R/W	バーストアクセスイネーブル 0 : DRAM 空間 / シンクロナス DRAM 空間のアクセスは常にフルアクセス 1 : DRAM 空間 / シンクロナス DRAM 空間アクセス時, 高速ページモードでアクセス
6	RCDM	0	R/W	RAS ダウンモード 通常バス空間へのアクセス, 内部 I/O レジスタへのアクセスにより, DRAM 空間へのアクセスが途切れたときに, $\overline{RAS}$ 信号を Low レベルにしたまま次の DRAM へのアクセスを待つ (RAS ダウンモード), $\overline{RAS}$ 信号を High レベルに戻す (RAS アップモード) を選択します。 このビットの設定は BE=1 のとき有効となります。また RCDM=1 の状態で, $\overline{RAS}$ ダウン中にこのビットを 0 にクリアすると, $\overline{RAS}$ ダウン状態は解除され, $\overline{RAS}$ は High レベルとなります。 シンクロナス DRAM インタフェースで RAS ダウンモードに設定した場合, アクセスするロウアドレスが一致すると ACTV コマンドを発行せずに READ/WRITE コマンドを発行します。 0 : DRAM 空間 / シンクロナス DRAM 空間アクセス時, RAS アップモードを選択 1 : DRAM 空間 / シンクロナス DRAM 空間アクセス時, RAS ダウンモードを選択
1 0	MXC1 MXC0	0 0	R/W R/W	アドレスマルチプレクス選択 ロウアドレス / カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に DRAM / シンクロナス DRAM インタフェースのバースト動作時に比較するロウアドレスを選択します。 00 : 8 ビットシフト 8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A8 16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A9

## ● DRAM アクセスコントロールレジスタ (DRACCR) ビット数：16 アドレス：H'FFFDA2

ビット	ビット名	設定値	R/W	機能
13	TPC1	0	R/W	プリチャージステート制御 通常アクセス時、およびリフレッシュ時の RAS プリチャージサイクルのステート数を選択します。 00：RAS プリチャージサイクルは 1 ステート
12	TPC0	0	R/W	
9	RCD1	0	R/W	RAS・CAS 間ウェイト制御 RAS アサートサイクルと CAS アサートサイクルの間にウェイトサイクルを挿入するか否かを選択します。 00：RAS アサートサイクルと CAS アサートサイクルの間にウェイトサイクルを挿入しない
8	RCD0	0	R/W	

## ● シンクロナス DRAM コントロールレジスタ (SDCR) ビット数：16 アドレス：H'FFFDA4

ビット	ビット名	設定値	R/W	機能
15	MRSE	0/1	R/W	モードレジスタセットイネーブル シンクロナス DRAM のモードレジスタ設定を有効にします。 0：シンクロナス DRAM のモードレジスタの設定禁止 1：シンクロナス DRAM のモードレジスタの設定許可
7	CKSPE	0	R/W	クロックサスペンドイネーブル リードデータを拡張するためのクロックサスペンドモードを有効にします。このビットを 1 にセットすると、シンクロナス DRAM のリードデータを 1 サイクル拡張することができます。 0：クロックサスペンドモードを禁止する 1：クロックサスペンドモードを有効にする
0	TRWL	0	R/W	ライト - プリチャージ遅延制御 シンクロナス DRAM へライトコマンドを発行した後、プリチャージコマンドを発行するまでの時間を設定します。このビットを 1 にセットすると、ライトコマンド発行後に 1 サイクルのウェイトが挿入されます。 0：ウェイトサイクルを挿入しない 1：ライトコマンド発行後にウェイトサイクルを 1 ステート挿入する

## ● リフレッシュコントロールレジスタ (REFCR) ビット数：16 アドレス：H'FFFDA6

ビット	ビット名	設定値	R/W	機能
14	CMIE	0	R/W	コンペアマッチ割込みイネーブル CMF フラグが 1 にセットされたとき、CMF フラグによる割り込み要求 (CMI) を許可または禁止します。 このビットは、RFSHE ビットが 0 にクリアされ、リフレッシュ制御を行わないときに有効となります。RFSHE ビットが 1 にセットされ、リフレッシュ制御を行っているときは、このビットは常に 0 にクリアされており、ライトは無効です。 0 : CMF フラグによる割込み要求を禁止 1 : CMF フラグによる割込み要求を許可
10 9 8	RTCK2 RTCK1 RTCK0	0 0 1	R/W R/W R/W	リフレッシュカウンタクロックセレクト 周辺モジュールクロック ( $P\phi$ ) を分周した 7 種類の内部クロックから、リフレッシュカウンタのカウントアップに使用するクロックを選択します。入力クロックを選択すると、リフレッシュカウンタがカウントアップを開始します。 001 : $P\phi/2$ でカウント
7	RFSHE	1	R/W	リフレッシュ制御 リフレッシュ制御を行うか否かを選択します。リフレッシュ制御を行わないときには、リフレッシュタイムをインターバルタイムとして使用することができます。 シングルチップ起動モードの場合は、このビットの設定は SYSCR の EXPE ビットを 1 にセットしてから行ってください。 0 : リフレッシュ制御を行わない 1 : リフレッシュ制御を行う
6 5 4	RLW2 RLW1 RLW0	0 0 0	R/W R/W R/W	リフレッシュサイクルウェイト制御 DRAM インタフェースの CAS ビフォ RAS リフレッシュサイクル、シンクロナス DRAM インタフェースのオートリフレッシュに対して、挿入するウェイトステート数を選択します。 000 : CBR リフレッシュ / オートリフレッシュにウェイトステートを挿入しない
3	SLFRF	0	R/W	セルフリフレッシュイネーブル ソフトウェアスタンバイモードに遷移するとき、このビットが 1 にセットされていると DRAM / シンクロナス DRAM に対してセルフリフレッシュモードを設定します。RFSHE ビットを 1 にセットしてリフレッシュ動作を行う場合に有効です。 シンクロナス DRAM インタフェース設定時にセルフリフレッシュを行う場合は、DRAMCR の OEE ビットを 1 にセットし、CKE の出力を有効にしてください。 0 : ソフトウェアスタンバイ時セルフリフレッシュを禁止 1 : ソフトウェアスタンバイ時セルフリフレッシュを許可
2 1 0	TPCS2 TPCS1 TPCS0	0 0 0	R/W R/W R/W	セルフリフレッシュ時プリチャージサイクル制御 セルフリフレッシュ直後のプリチャージサイクルのステート数を設定します。セルフリフレッシュ直後のプリチャージサイクルのステート数は、DRACCR の TPC1、TPC0 ビットで設定したステート数との加算になります。 000 : セルフリフレッシュ直後にウェイトステートを挿入しない。

- リフレッシュタイムカウンタ (RTCNT) ビット数：8 アドレス：H'FFFDA8

機能：RTCNT は、REFCR の RTCK2 ~ RTCK0 ビットで選択された内部クロックにより、カウントアップします。RTCNT が RTCOR に一致(コンペアマッチ)すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。このとき、REFCR の RFSHE ビットが 1 にセットされていると、リフレッシュサイクルが起動されます。また、RFSHE ビットが 0 にクリアされている場合、REFCR の CMIE ビットが 1 にセットされているとき、コンペアマッチ割込み (CMI) が発生します。

設定値：H'00

- リフレッシュタイムコンスタントレジスタ (RTCOR) ビット数：8 アドレス：H'FFFDA9

機能：RTCOR は、RTCNT とのコンペアマッチ周期を設定します。RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

設定値：H'A0

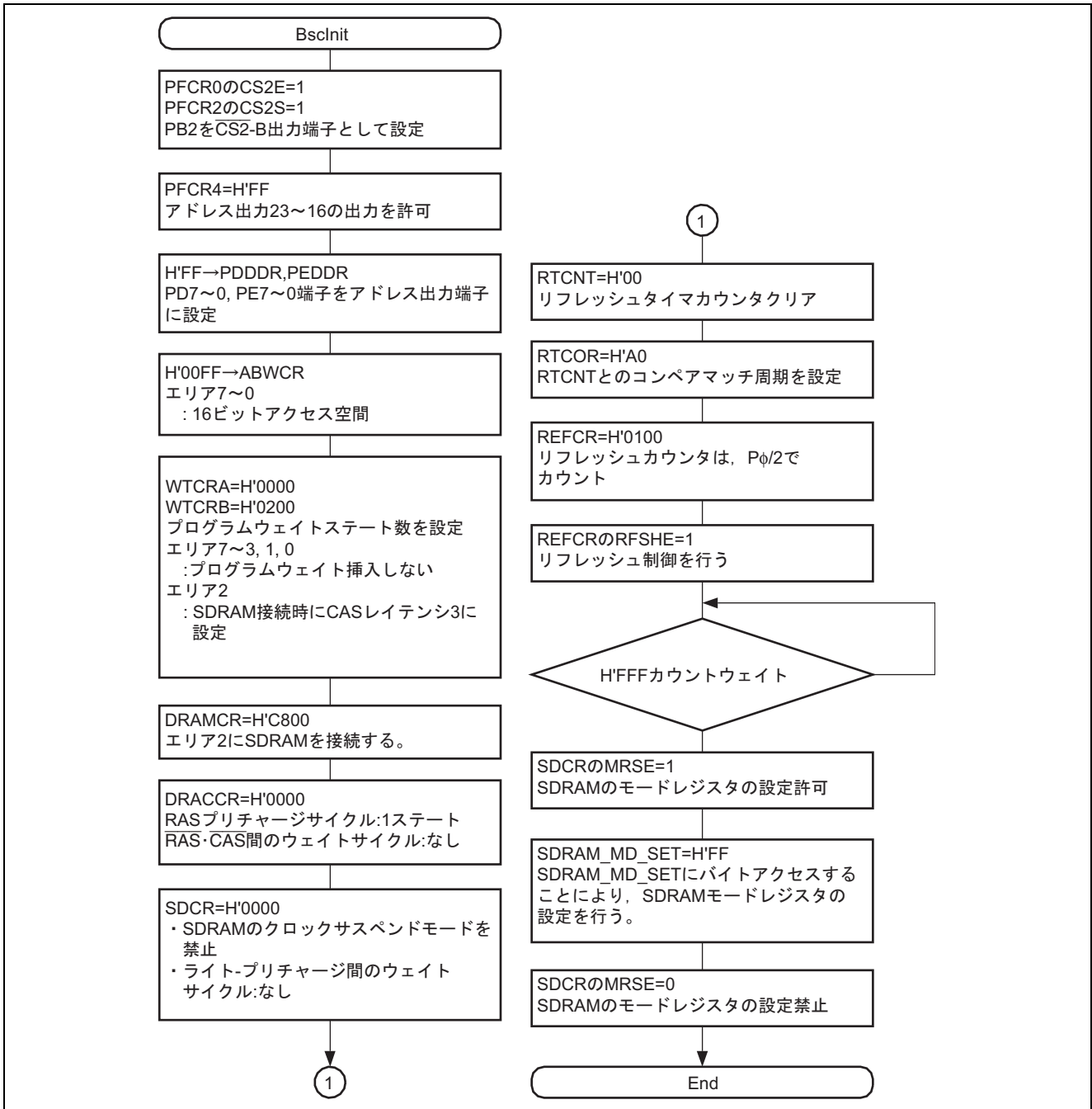
- システムコントロールレジスタ (SYSCR) ビット数：16 アドレス：H'FFFDC2

ビット	ビット名	設定値	R/W	機能
9	EXPE	不定*	R/W	<p>外部バスモードイネーブル</p> <p>外部バスモードを設定します。外部拡張モードでは、1 に固定されており、ライトは無効です。シングルチップモードでは、初期値が 0 で、リード/ライトできます。EXPE=1 の状態をリード後、0 をライトするときは、外部バスサイクルが実行されていない状態で行なってください。ライトデータバッファ機能などにより、外部バスと内部バスが並列に実行される場合があります。</p> <p>【注】本例では、モード 6(外部拡張モード)であるため、EXPE ビットの設定はしていません。</p> <p>0：外部バス無効 1：外部バス有効</p>

【注】 \* 初期値は、起動動作モードにより変わります。



5. フローチャート



ホームページとサポート窓口

ルネサステクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2007.06.18	—	初版発行
2.00	2008.02.15	1, 3, 6	P1の「動作確認デバイス」を変更 P1に「はじめに」を追加 P3の表2に追加 P6の表4を一部修正

すべての商標および登録商標は、それぞれの所有者に帰属します。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444