

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8SX ファミリ

## DMAC によるクロック同期式 SCI 連続送受信

### 要旨

クロック同期式通信により、128 バイトのデータを送受信します。このとき送受信データの転送に DMAC を使用し、CPU を介さない連続送受信処理を行います。

### 動作確認デバイス

H8SX/1653

### 目次

1. 仕様 .....	2
2. 適用条件 .....	2
3. 使用機能説明 .....	3
4. 動作説明 .....	9
5. ソフトウェア説明 .....	15
6. 参照ドキュメントに関する記述 (注意事項) .....	43

### 1. 仕様

クロック同期式通信により、128 バイトのデータを送受信します。このとき送受信データの転送に DMAC を使用し、CPU を介さない連続送受信処理を行います。

- 本例の接続例を図 1 に示します。
- 通信フォーマットを表 1 に示します。
- マスタ側は、パワーオンリセットすると SCI 機能と DMAC 機能を設定し、P13 端子の状態をポーリングします。マスタ側の P13 端子が High レベルのとき、スレーブ側が通信可能状態であると判断して、マスタ側は 128 バイトの同時送受信を開始します。
- スレーブ側は、パワーオンリセットすると SCI 機能と DMAC 機能を設定します。続けてスレーブ側は P13 端子から High レベルを出力し、SCK 端子に入力されるマスタ側のクロックに同期して、128 バイトの同時送受信を開始します。
- 本例では、128 バイトの連続送受信を割り込み起動による DMAC で制御します。

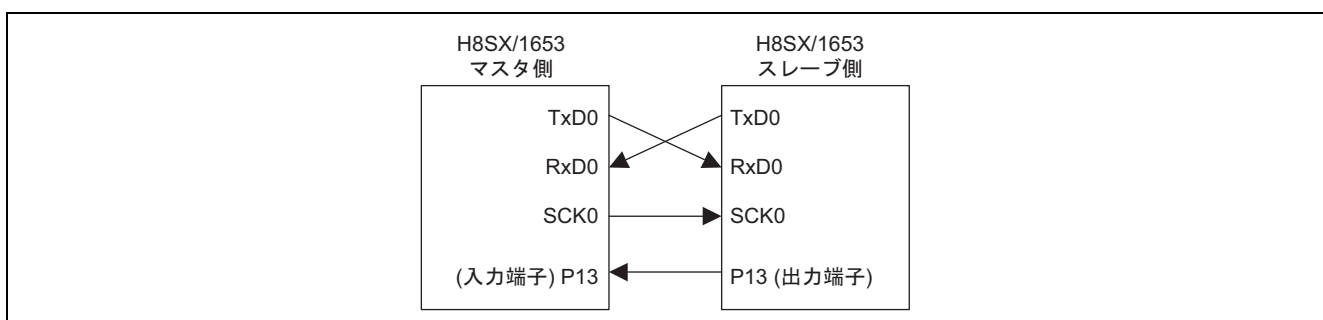


図 1 クロック同期式シリアル送受信

表 1 クロック同期式シリアル送受信フォーマット

フォーマット内容	設定
Pφ	32 MHz
シリアル通信モード	クロック同期式モード
クロックソース	マスタ側 : 内部クロック スレーブ側 : 外部クロック
転送レート	250 kbps
データ長	8 ビット
シリアル/パラレル変換フォーマット	LSB ファースト

### 2. 適用条件

表 2 適用条件

項目	内容
動作周波数	入力クロック : 16 MHz
	システムクロック (Iφ) : 32 MHz (入力クロックの 2 通り)
	周辺モジュールクロック (Pφ) : 32 MHz (入力クロックの 2 通り)
	外部バスクロック (Bφ) : 32 MHz (入力クロックの 2 通り)
動作モード	モード 6 (MD2 = 1, MD1 = 1, MD0 = 0, MD_CLK = 0)

3. 使用機能説明

3.1 概要説明

本例の H8SX/1653 使用機能を図 2 に示します。

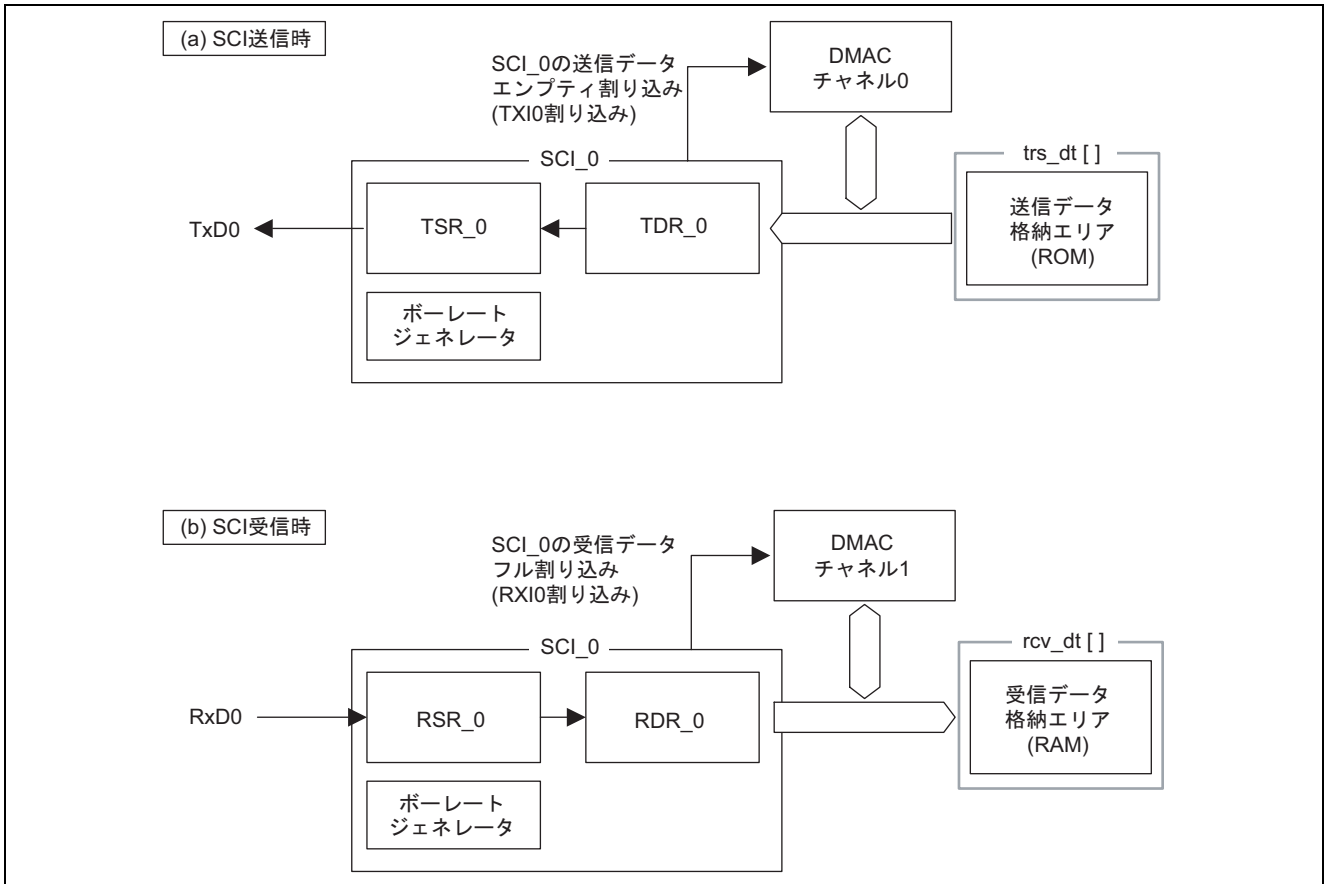


図 2 H8SX/1653 使用機能

以下に図 2 について説明します。

(1) SCI\_0

クロック同期式通信によるデータ送受信を行います。

(a) SCI 送信時

- TSR\_0 に空きを検出すると、TDR\_0 にライトされた送信データは TSR\_0 に転送され、TxD0 端子から送信します。
- TDR\_0 から TSR\_0 にデータが転送されたとき、SCI\_0 の送信データエンプティ割り込み (TXI0 割り込み) が発生します。

(b) SCI 受信時

- RxD0 端子から 1 フレーム分のデータを受信すると、RSR\_0 から受信データが RDR\_0 に転送されます。
- 受信が正常終了し、RSR\_0 から RDR\_0 へ受信データが転送されたとき、SCI\_0 の受信データフル割り込み (RXI0 割り込み) が発生します。

(2) DMAC チャンネル 0, チャンネル 1

(a) SCI 送信時

- チャンネル 0 : SCI\_0 の送信データエンプティ割り込み (TXI0 割り込み) で起動し、送信データ格納エリアのデータを TDR\_0 レジスタへ転送します。

(b) SCI 受信時

- チャンネル 1 : SCI\_0 の受信データフル割り込み (RXI0 割り込み) で起動し、RDR\_0 のデータを受信データ格納エリアへ転送します。

### 3.2 SCI\_0 説明

本例では、SCI\_0 を用いて、クロック同期式シリアルデータ送受信を行います。図 3 に SCI\_0 のブロック図を示します。

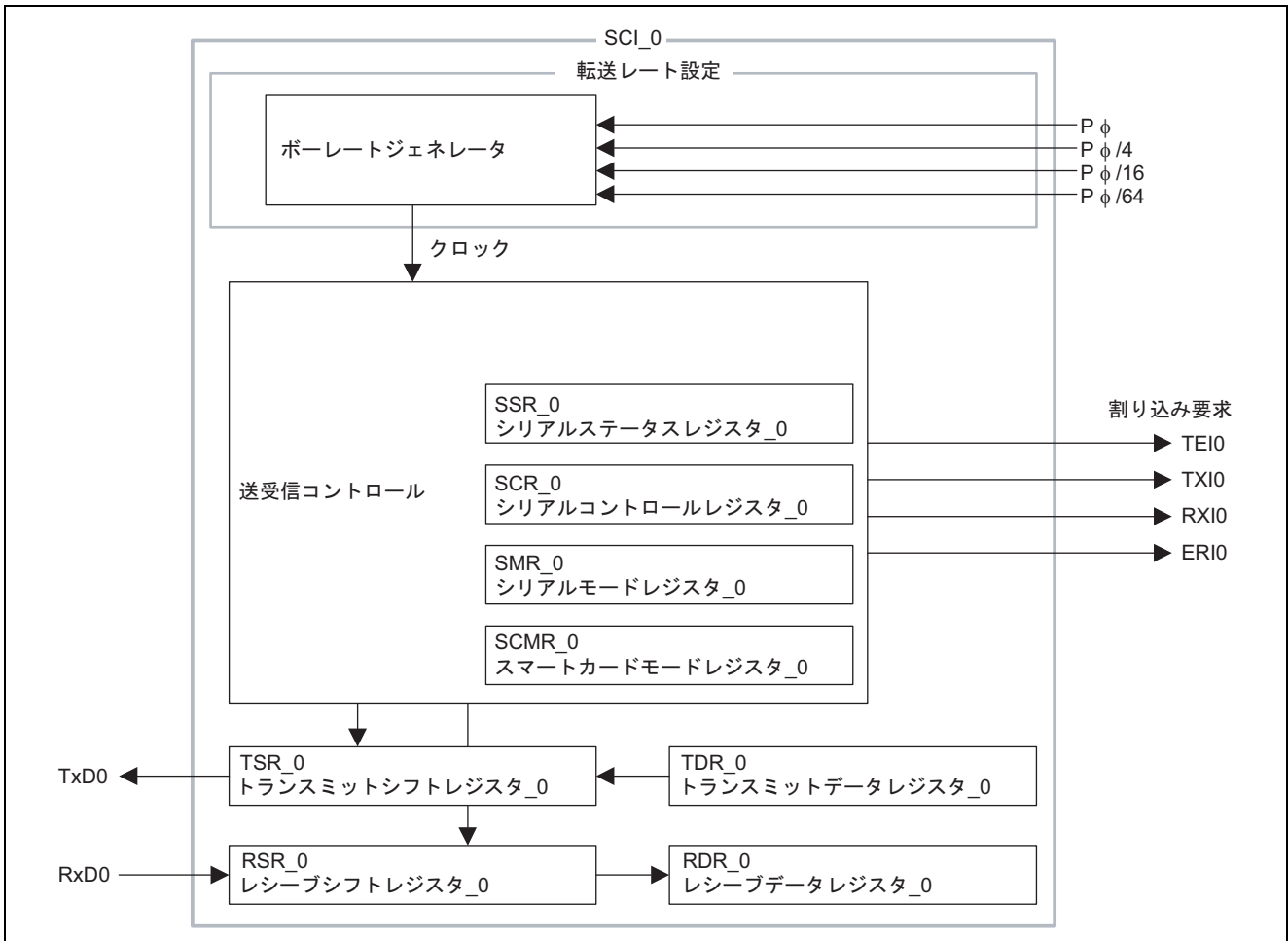


図 3 SCI\_0 ブロック図

以下に図 3 についての機能説明をします。

- 内蔵周辺クロック Pφ  
内蔵周辺機能を動作させるための基準クロックであり、クロック発振器により生成されます。
- レシーブシフトレジスタ\_0 (RSR\_0)  
RSR\_0 は、シリアルデータを受信するためのレジスタです。RxD0 端子からシリアルデータが入力され、1 フレーム分のデータを受信すると、データは自動的にレシーブデータレジスタ (RDR\_0) へと転送されます。CPU からのアクセスは行えません。
- レシーブデータレジスタ\_0 (RDR\_0)  
RDR\_0 は、受信データを格納する 8 ビットのレジスタです。1 フレーム分のデータを受信すると、自動的に RSR\_0 からデータが転送されます。RSR\_0 と RDR\_0 は、ダブルバッファ構造ですので、連続受信動作が可能です。RDR\_0 は、受信専用レジスタのため、CPU からのリードのみ可能です。
- トランスミットシフトレジスタ\_0 (TSR\_0)  
TSR\_0 は、シリアルデータを送信するためのレジスタです。送信の際には、トランスミットデータレジスタ (TDR\_0) から TSR\_0 へと転送され、TxD0 端子から送信データが出力されます。CPU からの直接アクセスは行えません。
- トランスミットデータレジスタ\_0 (TDR\_0)  
TDR\_0 は、送信データを格納する 8 ビットのレジスタです。TSR\_0 に空きを検出すると、TDR\_0 にライトしたデータは、自動的に TSR\_0 に転送されます。また、TDR\_0 と TSR\_0 はダブルバッファ構造ですので、1 フレーム分のデータを送信したときに TDR\_0 に次のデータがライトされていると、TSR\_0 へと転送され連続送信が可能です。TDR\_0 は、常に CPU からのリード/ライトが可能です。ライトは、シリアルステータスレジスタ (SSR\_0) の TDRE ビットが 1 であることを確認して行ってください。
- シリアルモードレジスタ\_0 (SMR\_0)  
SMR\_0 は、シリアルデータ通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。
- シリアルコントロールレジスタ\_0 (SCR\_0)  
SCR\_0 は、送受信制御と割り込み制御、および送受信クロックソースの選択を行うためのレジスタです。
- シリアルステータスレジスタ\_0 (SSR\_0)  
SSR\_0 は、SCI\_0 のステータスフラグと、送受信マルチプロセッサビットで構成されています。TDRE, RDRF, ORER, PER, FER はクリアのみ可能です。
- スマートカードモードレジスタ\_0 (SCMR\_0)  
SCMR\_0 は、スマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。本例では、通常の調歩同期式またはクロック同期式モードに設定します。
- ビットレートレジスタ\_0 (BRR\_0)  
BRR\_0 は、ビットレートを調整するための 8 ビットのレジスタです。



### 3.3 DMAC チャンネル 0, 1

本例では、SCI\_0 の TXI0 割り込みで DMAC チャンネル 0 を起動し、RXI0 割り込みで DMAC チャンネル 1 を起動します。図 4 に DMAC のブロック図を示します。

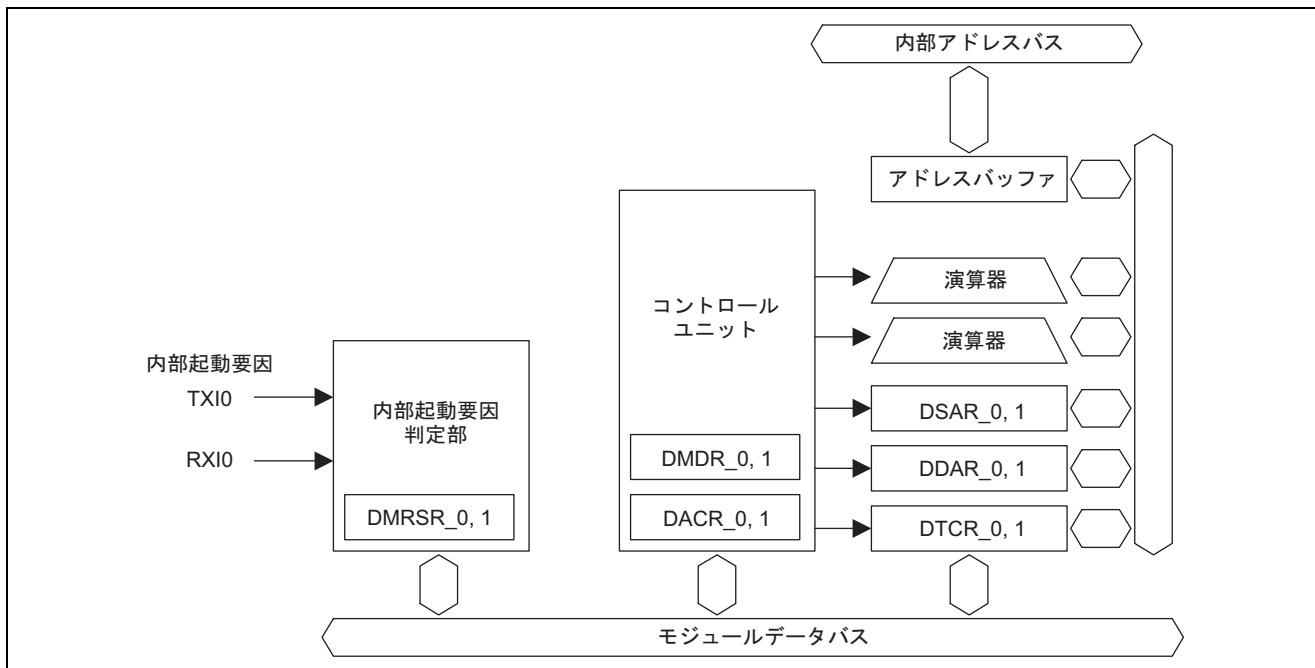


図 4 DMAC のブロック図

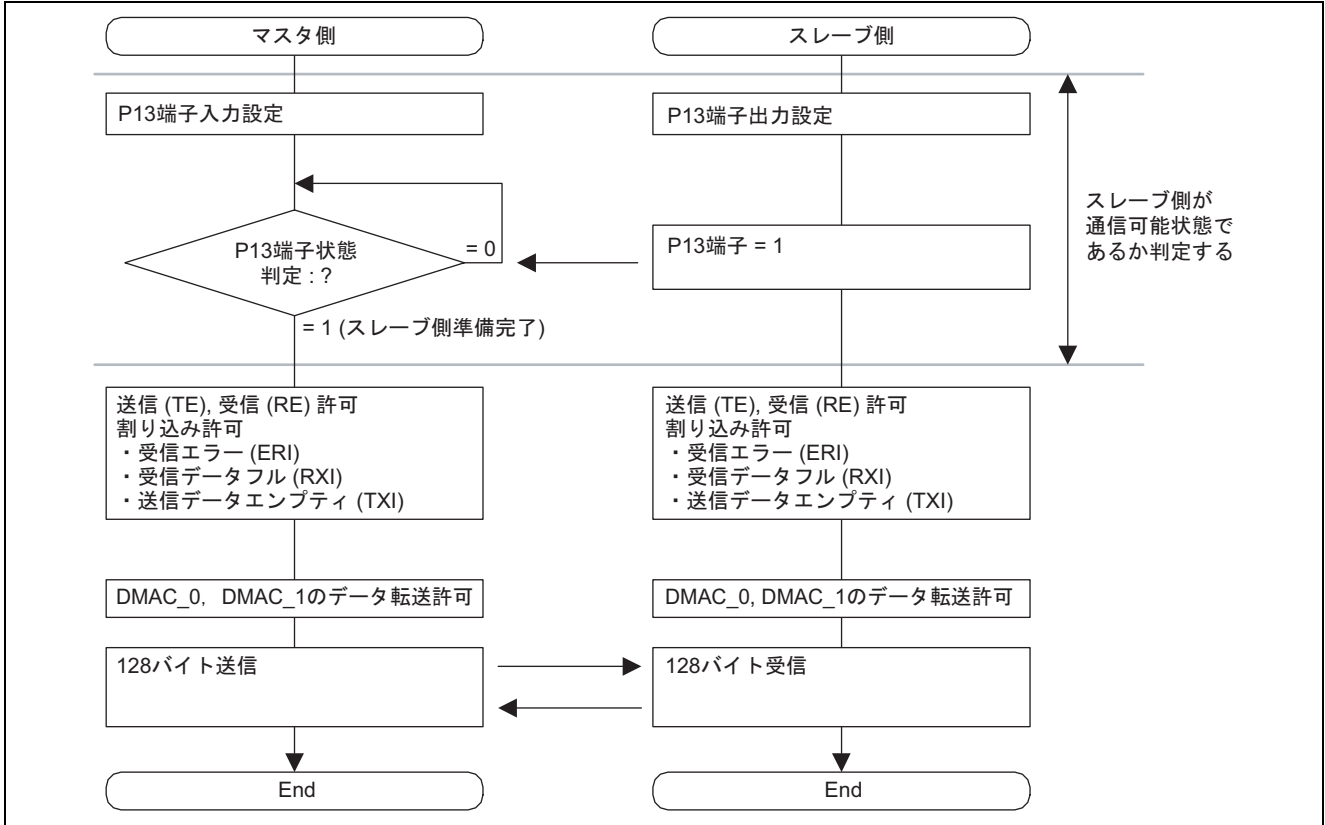
以下に図 4 について説明します。

- DMA ソースアドレスレジスタ\_0 (DSAR\_0)
- DMA ソースアドレスレジスタ\_1 (DSAR\_1)  
DSAR は、32 ビットのリード/ライト可能なレジスタで、転送元のアドレスを指定します。アドレス更新機能を持ち、転送処理が行われるたびに次の転送元アドレスに更新されます。
- DMA デスティネーションアドレスレジスタ\_0 (DDAR\_0)
- DMA デスティネーションアドレスレジスタ\_1 (DDAR\_1)  
DDAR は、32 ビットのリード/ライト可能なレジスタで、転送先のアドレスを指定します。アドレス更新機能を持ち、転送処理が行われるたびに次の転送先アドレスに更新されます。
- DMA 転送カウントレジスタ\_0 (DTCR\_0)
- DMA 転送カウントレジスタ\_1 (DTCR\_1)  
DTCR は、32 ビットのリード/ライト可能なレジスタで、転送するデータのサイズ (総転送サイズ) を設定します。1 データ転送ごとに、転送したデータアクセスサイズに応じた値がデクリメントされます。本例では、128 バイトを設定し、データアクセスサイズをバイトに設定しています。DMAC 動作中は、-1 ずつデクリメントされ、残りの転送サイズを示します。
- DMA モードコントロールレジスタ\_0 (DMDR\_0)
- DMA モードコントロールレジスタ\_1 (DMDR\_1)  
DMDR は、DMAC の動作を制御します。
- DMA アドレスコントロールレジスタ\_0 (DACR\_0)
- DMA アドレスコントロールレジスタ\_1 (DACR\_1)  
DACR は、動作モード、転送方法などを設定します。
- DMA モジュールリクエストセレクトレジスタ\_0 (DMRSR\_0)
- DMA モジュールリクエストセレクトレジスタ\_1 (DMRSR\_1)  
DMRSR は、起動要因を設定します。

4. 動作説明

4.1 動作概要

本例の動作概要を図 5 に示します。マスタ側とスレーブ側で 128 バイトの同時送受信を行います。



4.2 送信動作

4.2.1 送信開始処理

送信開始動作タイミングを図 6 に示します。また図 6 の説明として、ハードウェアおよびソフトウェア処理の内容を表 3 に示します。

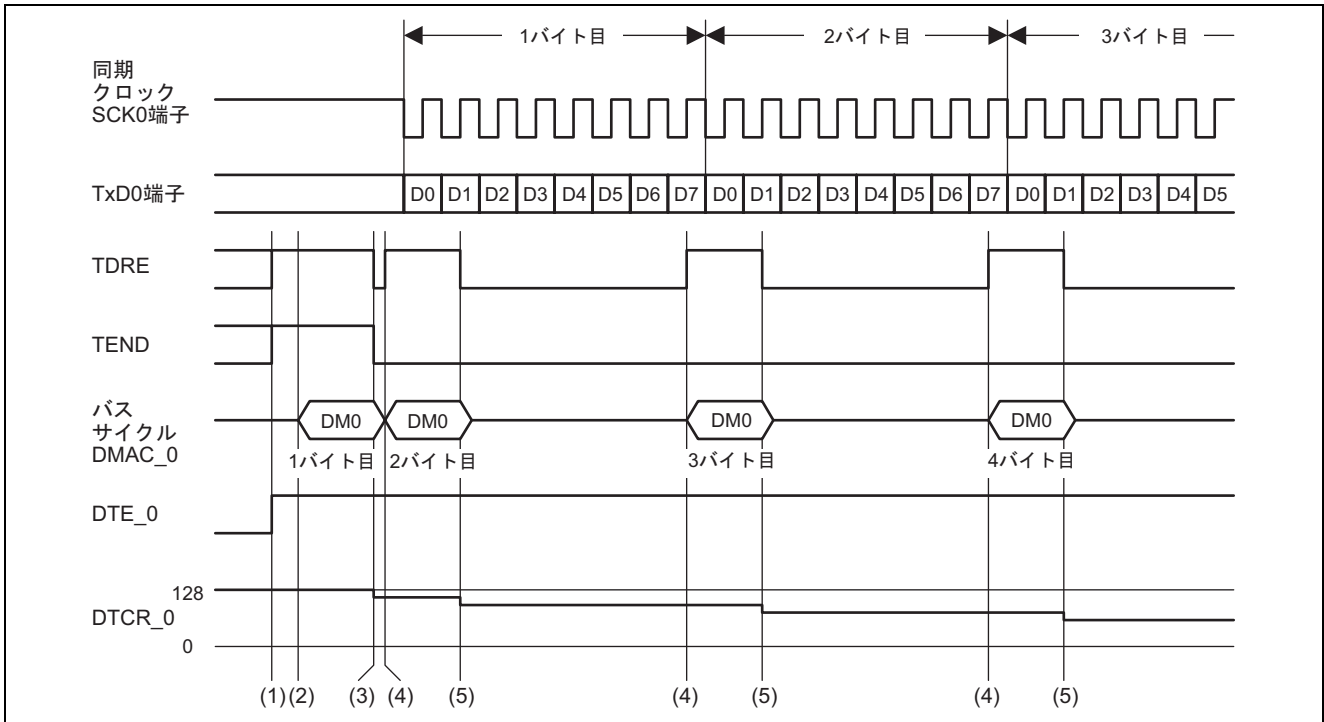


図 6 送信開始動作タイミング

表 3 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	パワーオンリセット	初期設定*
(2)	(a) TX10 割り込みにより DMAC_0 を起動し, 送信データ格納エリアから TDR_0 へ送信データを転送	処理なし
(3)	(a) TDRE を 0 にクリア (b) DTCCR_0 カウントダウン (c) TDR_0 の内容を TSR_0 へ転送	処理なし
(4)	(a) TDRE に 1 をセット (b) TX10 割り込みにより DMAC_0 を起動し, 送信データ格納エリアから TDR_0 へ送信データを転送 (c) TSR_0 の内容を TxD0 端子から出力	処理なし
(5)	(a) TDRE を 0 にクリア (b) DTCCR_0 カウントダウン (c) TDR_0 の内容を TSR_0 へ転送	処理なし

**【注】** \* 初期設定

- ・ DMAC\_0 の設定
  - (a) 起動要因: TX10 割り込み。DMA 転送終了時に TX10 割り込み要因フラグ (TDRE) をクリア。
  - (b) ソースアドレス: 送信データ格納エリアの先頭アドレス。アドレス増減は増加に設定。
  - (c) デスティネーションアドレス: TDR\_0 のアドレス。アドレス増減は固定に設定。
  - (d) 総転送サイズ: 128 バイト
  - (e) DMA データ転送許可 (DTE\_0 = 1)
- ・ SCR\_0 の設定
  - (a) クロック同期式モード,  $P\phi = 32$  MHz 時, マスタ側は転送レート 250 kbps に設定。スレーブ側はクロックソースを外部クロックに設定。
  - (b) TX10 割り込み要求を許可。
  - (c) SCI\_0 送信動作可能に設定。

4.2.2 送信終了処理

送信終了動作タイミングを図7に示します。また図7の説明として、ハードウェアおよびソフトウェア処理の内容を表4に示します。

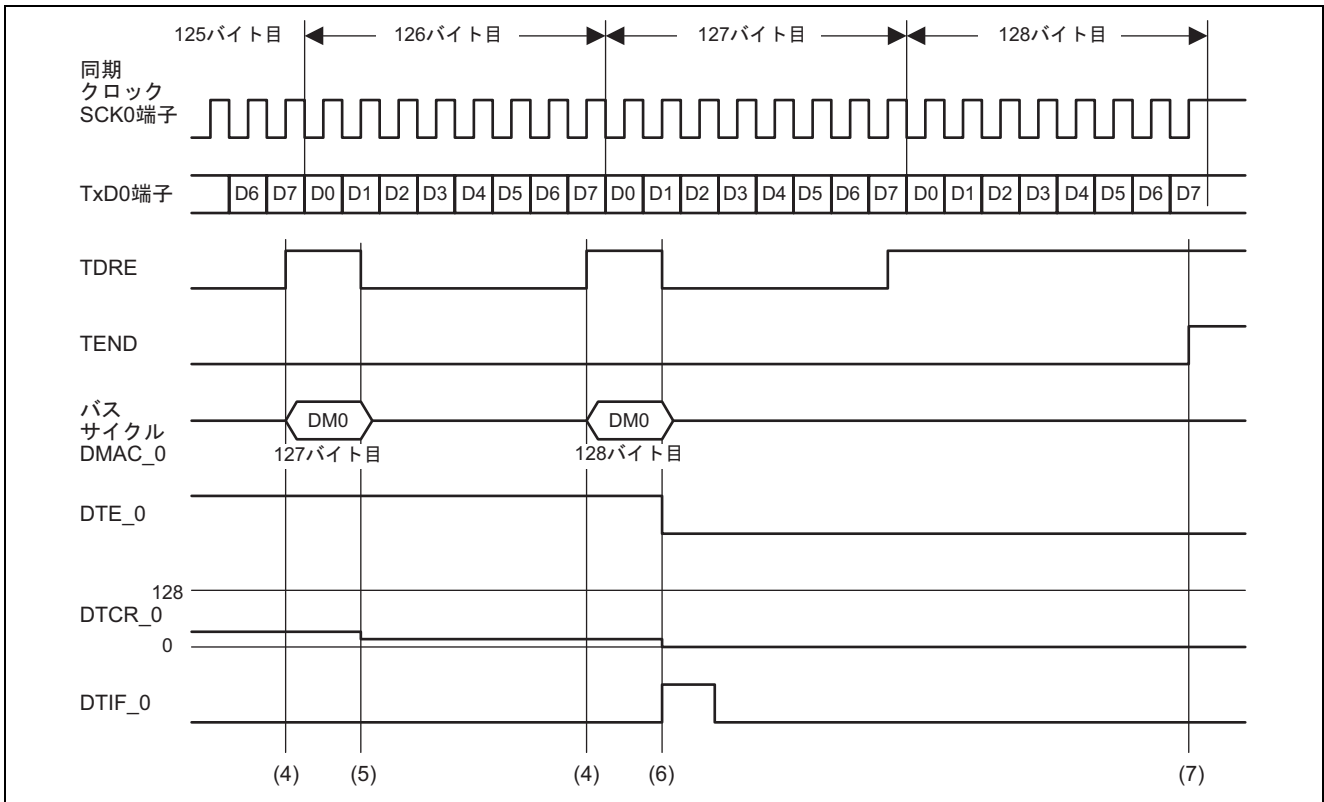


図7 送信終了動作タイミング

表4 処理内容

	ハードウェア処理	ソフトウェア処理
(4)	(a) TDRE に 1 をセット (b) TX10 割り込みにより DMAC_0 を起動し、送信データ格納エリアから TDR_0 へ送信データを転送 (c) TSR_0 の内容を TxD0 端子から出力	処理なし
(5)	(a) TDRE を 0 にクリア (b) DTCR_0 カウントダウン (c) TDR_0 の内容を TSR_0 へ転送	処理なし
(6)	(a) TDRE を 0 にクリア (b) DTCR_0 カウントダウン (DTCR_0 = 0) (c) TDR_0 の内容を TSR_0 へ転送	DMAC_0 転送終了割り込み処理 (a) TX10 割り込み要求禁止 (b) DMAC_0 転送終了割り込み要求禁止
(7)	(a) TEND に 1 をセット	TE10 割り込み処理 (a) SCI_0 の送信動作を停止 (TE = 0) (b) TE10 割り込み要求禁止

4.3 受信動作

受信動作タイミングを図 8 に示します。また図 8 の説明として、ハードウェアおよびソフトウェア処理の内容を表 5 に示します。

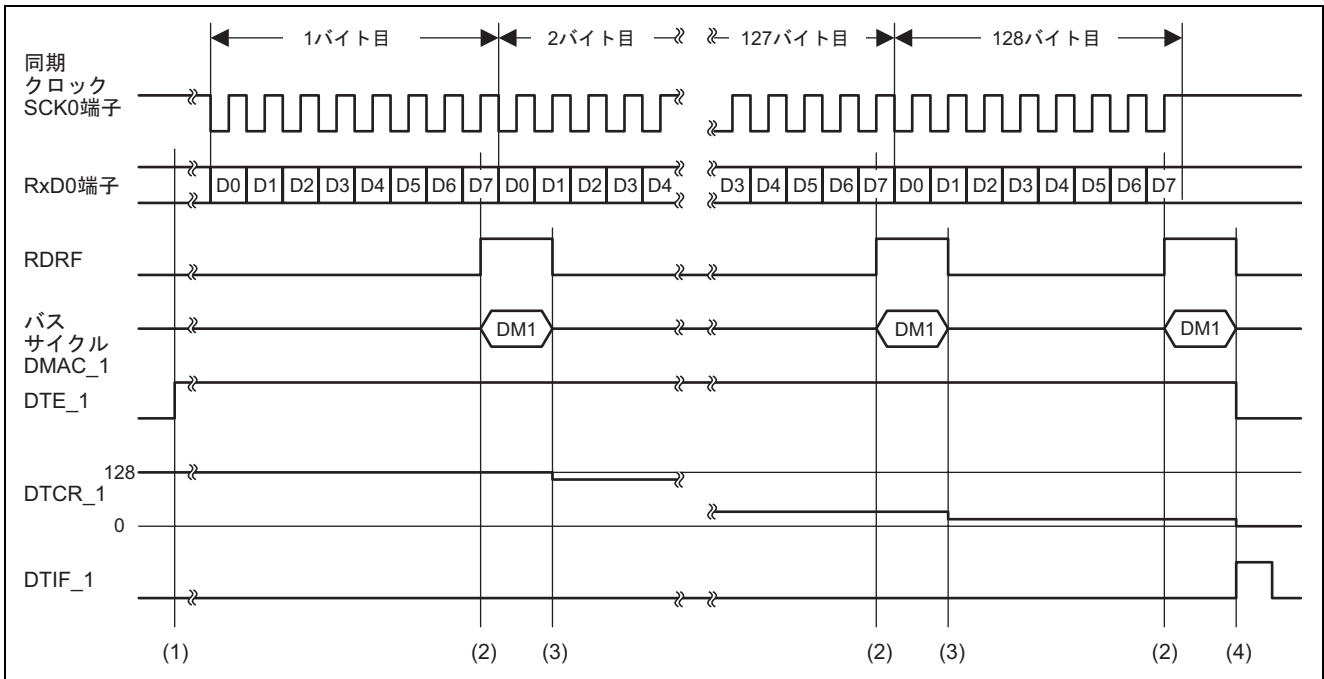


図 8 受信動作タイミング

表 5 処理内容

	ハードウェア処理	ソフトウェア処理
(1)	パワーオンリセット	初期設定*
(2)	(a) RDRF に 1 をセット (b) 受信が正常終了し, RSR_0 から RDR_0 へ 受信データを転送 (c) DMAC_1 を起動し, RDR_0 から受信データ 格納エリアへ受信データを転送	処理なし
(3)	(a) RDRF0 を 0 にクリア (b) DTCR_1 カウントダウン	処理なし
(4)	(a) DTCR_1 カウントダウン (DTCR_1 = 0)	DMAC_1 転送終了割り込み処理 (a) SCI_0 の受信動作を禁止 (RE = 0) (b) RXI0, ERI0 割り込み要求禁止 (c) DMAC_1 転送終了割り込み要求禁止

【注】 \* 初期設定

- DMAC\_1 の設定
  - (a) 起動要因: RXI0 割り込み。DMA 転送終了時に RXI0 割り込み要因フラグ (RDRF) をクリア。
  - (b) ソースアドレス: RDR\_0 のアドレス。アドレス増減は固定に設定。
  - (c) デスティネーションアドレス: 受信データ格納エリアの先頭アドレス。アドレス増減は増加に設定。
  - (d) 総転送サイズ: 128 バイト
  - (e) DMA データ転送許可 (DTE\_1 = 1)
- SCR\_0 の設定
  - (a) クロック同期式モード,  $P\phi = 32$  MHz 時, マスタ側は転送レート 250 kbps に設定。スレーブ側はクロックソースを外部クロックに設定。
  - (b) RXI0 割り込み要求を許可。
  - (c) SCI\_0 受信動作可能に設定。



## 5. ソフトウェア説明

### 5.1 動作環境

表 6 動作環境

項目	内容
開発ツール	High-performance Embedded Workshop Ver.4.01.01
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 SERIES C/C++ Compiler Ver.6.01.02
コンパイルオプション	-cpu = h8sxa:24:md, -code = machinecode, -optimize = 1, -regparam = 3 -speed = (register, shift, struct, expression)

表 7 セクション設定

アドレス	セクション名	説明
H'001000	P	プログラム領域
	C	定数領域
H'FF2000	B	未初期化データ領域 (RAM 領域)

表 8 割り込み例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタテーブルアドレス	割り込み先関数
リセット		0	H'000000	init
DMAC_0	DMTEND0	128	H'000200	dmtend0_int
DMAC_1	DMTEND1	129	H'000204	dmtend1_int
SCI_0	ERI0	144	H'000240	eri0_int
SCI_0	TEI0	147	H'00024C	tei0_int

5.2 関数一覧

本例の関数を表 9 に示します。本例の階層構造を図 9 に示します。

表 9 関数一覧

関数名	機能
init	初期化ルーチン モジュールストップ解除, クロック設定, main 関数のコール。
main	マスタ側 (MASTER) メインルーチン クロック同期式 SCI の設定。DMAC0_trс_init 関数, DMAC1_rcv_init 関数のコール。 P13 端子への High レベル入力判定。128 バイト送受信の設定。
	スレーブ側 (SLAVE) メインルーチン クロック同期式 SCI の設定。DMAC0_trс_init 関数, DMAC1_rcv_init 関数のコール。 P13 端子へ High レベル出力。128 バイト送受信の設定。
DMAC0_trс_init	DMAC_0 初期化 TXI0 割り込みによる送信データ格納エリアから TDR_0 への転送処理を設定する。
DMAC1_rcv_init	DMAC_1 初期化 RXI0 割り込みによる RDR_0 から受信データ格納エリアへの転送処理を設定する。
dmtend0_int	DMAC_0 転送終了割り込み TEI0 割り込み要求許可, TXI0 割り込み要求禁止, DMAC_0 転送終了割り込み要求禁止に設定する。
dmtend1_int	DMAC_1 転送終了割り込み SCI_0 の受信禁止, RXI0, ERI0 割り込み要求の禁止, DMAC_1 の転送終了割り込み要求を禁止に設定する。
eri0_int	受信エラー割り込み エラー内容を RAM へ書き込み, SSR_0 を初期化する。
tei0_int	送信終了割り込み SCI_0 の送信禁止, TEI0 の割り込み要求禁止に設定する。

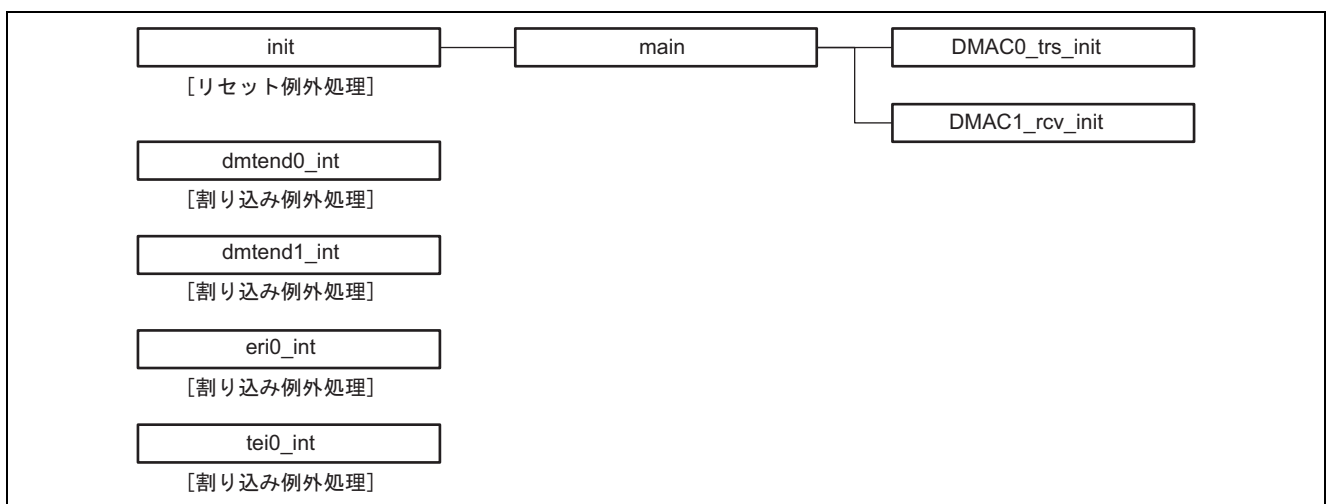


図 9 階層構造

### 5.3 使用 RAM

表 10 使用 RAM

型	変数名	内容	使用関数
unsigned char	endflg	送信終了フラグ 0 : 送信中 1 : 送信終了	main, tei0_int
unsigned char	errbuf	受信エラーバッファ オーバーランエラーのとき, SSR_0 の内容を格納	main, eri0_int
unsigned char	tcnt	送信回数カウンタ	main, dmtend0_int
unsigned char	rcnt	受信回数カウンタ	main, dmtend1_int
unsigned char	rcv_dt[128]	受信データ格納用 RAM エリア	main, DMAC1_rcv_init

### 5.4 const 定数

表 11 const 定数

型	変数名	設定値	内容	使用関数
unsigned char	trs_dt[128]	H'00, H'01, H'02... .....H'7E, H'7F	送信データ格納エリア (ROM)	main, DMAC0_trs_init

### 5.5 マクロ定義

表 12 マクロ定義

識別子	内容	使用関数
MASTER	マスタ側のプログラムを生成	main
SLAVE	スレーブ側のプログラムを生成	main

### 5.6 記号定数

表 13 記号定数

定数名	設定値	内容
NUM	128	送受信データ数を設定。

## 5.7 関数説明

### 5.7.1 init 関数

(1) 機能概要

初期化ルーチン。(モジュールストップ解除, クロック設定, main 関数のコール)

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお, 設定値は本例において使用している値であり, 初期値とは異なります。

● モードコントロールレジスタ (MDCR)

ビット数: 16 アドレス: H'FFFDC0

ビット	ビット名	設定値	R/W	機能
15	MDS7	不定*	R	モード端子 (MD3) により設定された値を示します。MDCR をリードすると MD3 端子の入力レベルがラッチされます。このラッチはリセットで解除されます。
11	MDS3	不定*	R	モードセレクト 3~0 モード端子 (MD2~MD0) により設定された動作モードに対応した値を示します (表 14 参照)。MDCR をリードすると, MD2~MD0 端子の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
10	MDS2	不定*	R	
9	MDS1	不定*	R	
8	MDS0	不定*	R	

【注】 \* MD3~MD0 端子の設定により決定されます。

表 14 MDS3~MDS0 ビットの値

MCU 動作モード	モード端子			MDCR			
	MD2	MD1	MD0	MDS3	MDS2	MDS1	MDS0
2	0	1	0	1	1	0	0
4	1	0	0	0	0	1	0
5	1	0	1	0	0	0	1
6	1	1	0	0	1	0	1
7	1	1	1	0	1	0	0

● システムクロックコントロールレジスタ (SCKCR)

ビット数: 16 アドレス: H'FFFDC4

ビット	ビット名	設定値	R/W	機能
10	ICK2	0	R/W	システムクロック (I $\phi$ ) セレクト CPU, DMAC, DTC モジュールとシステムクロックの周波数を選択します。 001: 入力クロック $\times 2$
9	ICK1	0	R/W	
8	ICK0	1	R/W	
6	PCK2	0	R/W	周辺モジュールクロック (P $\phi$ ) セレクト 周辺モジュールクロックの周波数を選択します。 001: 入力クロック $\times 2$
5	PCK1	0	R/W	
4	PCK0	1	R/W	
2	BCK2	0	R/W	外部バスクロック (B $\phi$ ) セレクト 外部バスクロックの周波数を選択します。 001: 入力クロック $\times 2$
1	BCK1	0	R/W	
0	BCK0	1	R/W	

- MSTPCRA, B, C はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

- モジュールストップコントロールレジスタ A (MSTPCRA) ビット数：16 アドレス：H'FFFDC8

ビット	ビット名	設定値	R/W	機能
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップモードに設定された上で、CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0：全モジュールクロックストップモード禁止 1：全モジュールクロックストップモード許可
13	MSTPA13	0	R/W	DMA コントローラ (DMAC)
12	MSTPA12	1	R/W	データトランスファコントローラ (DTC)
9	MSTPA9	1	R/W	8 ビットタイマ (TMR_3, TMR_2)
8	MSTPA8	1	R/W	8 ビットタイマ (TMR_1, TMR_0)
5	MSTPA5	1	R/W	D/A コンバータ (チャンネル 1, 0)
3	MSTPA3	1	R/W	A/D コンバータ (ユニット 0)
0	MSTPA0	1	R/W	16 ビットタイマパルスユニット (TPU チャンネル 5~0)

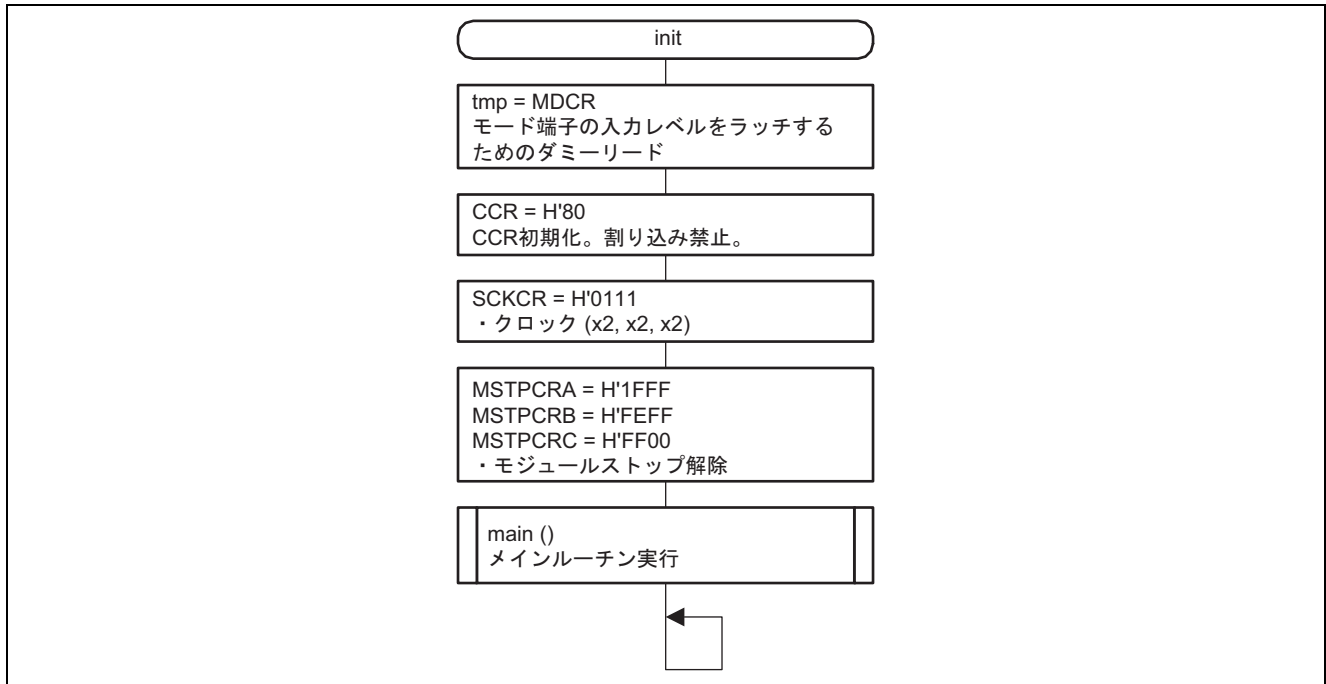
- モジュールストップコントロールレジスタ B (MSTPCRB) ビット数：16 アドレス：H'FFFDCA

ビット	ビット名	設定値	R/W	機能
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG)
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
10	MSTPB10	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
9	MSTPB9	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
8	MSTPB8	0	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
7	MSTPB7	1	R/W	I <sup>2</sup> C バスインタフェース_1 (IIC_1)
6	MSTPB6	1	R/W	I <sup>2</sup> C バスインタフェース_0 (IIC_0)

- モジュールストップコントロールレジスタ C (MSTPCRC) ビット数：16 アドレス：H'FFFDCC

ビット	ビット名	設定値	R/W	機能
15	MSTPC15	1	R/W	シリアルコミュニケーションインタフェース_5 (SCI_5), (IrDA)
14	MSTPC14	1	R/W	シリアルコミュニケーションインタフェース_6 (SCI_6)
13	MSTPC13	1	R/W	8 ビットタイマ (TMR_4, TMR_5)
12	MSTPC12	1	R/W	8 ビットタイマ (TMR_6, TMR_7)
11	MSTPC11	1	R/W	ユニバーサルシリアルバスインタフェース (USB)
10	MSTPC10	1	R/W	CRC 演算器
4	MSTPC4	0	R/W	内蔵 RAM_4 (H'FF2000 ~ H'FF3FFF)
3	MSTPC3	0	R/W	内蔵 RAM_3 (H'FF4000 ~ H'FF5FFF)
2	MSTPC2	0	R/W	内蔵 RAM_2 (H'FF6000 ~ H'FF7FFF)
1	MSTPC1	0	R/W	内蔵 RAM_1 (H'FF8000 ~ H'FF9FFF)
0	MSTPC0	0	R/W	内蔵 RAM_0 (H'FFA000 ~ H'FFBFFF)

(5) フローチャート



## 5.7.2 マスタ側 (MASTER) main 関数

## (1) 機能概要

メインルーチン。(クロック同期式 SCI の設定, DMAC0\_trs\_init 関数のコール, DMAC1\_rcv\_init 関数のコール, P13 端子への High レベル入力判定, 128 バイト送受信の設定)

## (2) 引数

なし

## (3) 戻り値

なし

## (4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお, 設定値は本例において使用している値であり, 初期値とは異なります。

- ポート 1 データディレクションレジスタ (P1DDR)                      ビット数: 8    アドレス: H'FFFB80

ビット	ビット名	設定値	R/W	機能
3	P13DDR	0	W	0: P13 端子は入力端子 1: P13 端子は出力端子

- ポート 2 入力バッファコントロールレジスタ (P2ICR)                      ビット数: 8    アドレス: H'FFFB91

ビット	ビット名	設定値	R/W	機能
1	P21ICR	1	R/W	0: P21 端子の入力バッファ無効。入力信号は, High レベルに固定される。 1: P21 端子の入力バッファ有効。周辺モジュール側に端子状態が反映される。

- DMA モードコントロールレジスタ\_0 (DMDR\_0)                      ビット数: 32    アドレス: H'FFFC14

ビット	ビット名	設定値	R/W	機能
31	DTE	1	R/W	データトランスファイネーブル 0: データ転送を禁止 1: データ転送を許可

- DMA モードコントロールレジスタ\_1 (DMDR\_1)                      ビット数: 32    アドレス: H'FFFC34

ビット	ビット名	設定値	R/W	機能
31	DTE	1	R/W	データトランスファイネーブル 0: データ転送を禁止 1: データ転送を許可

- ポート 1 レジスタ (PORT1)    ビット数: 8    アドレス: H'FFFF40

ビット	ビット名	設定値	R/W	機能
3	P13PORT	不定	R	0: P13 端子が Low レベル 1: P13 端子が High レベル

● シリアルモードレジスタ\_0 (SMR\_0) ビット数：8    アドレス：H'FFFF80

ビット	ビット名	設定値	R/W	機能
7	C/A	1	R/W	コミュニケーションモード 0：調歩同期式モードで動作します。 1：クロック同期式モードで動作します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト1~0 内蔵ポーレートジェネレータのクロックソースを選択します。 00：Pφクロック (n=0) このビットの設定値とポーレートの関係については、該当するハードウェアマニュアルの「14.3.9 ビットレートレジスタ (BRR)」を参照してください。 nは設定値の10進表示で、該当するハードウェアマニュアルの「14.3.9 ビットレートレジスタ (BRR)」中のnの値を表します。

- ビットレートレジスタ\_0 (BRR\_0) ビット数：8    アドレス：H'FFFF81  
機能：BRR\_0は、ビットレートを調整するためのレジスタです。Pφ：32 MHz, SMR\_0のCKS1, 0 = B'00, BRR\_0 = 31のとき、ビットレート = 250 kbps に設定されます。  
設定値：31

● シリアルコントロールレジスタ\_0 (SCR\_0) ビット数：8    アドレス：H'FFFF82

ビット	ビット名	設定値	R/W	機能
7	TIE	0/1	R/W	トランスミットインタラプトイネーブル 0：TXI 割り込み要求を禁止 1：TXI 割り込み要求を許可
6	RIE	0/1	R/W	レシーブインタラプトイネーブル 0：RXI, ERI 割り込み要求を禁止 1：RXI, ERI 割り込み要求を許可
5	TE	0/1	R/W	トランスミットイネーブル 0：送信禁止 1：送信許可
4	RE	0/1	R/W	レシーブイネーブル 0：受信禁止 1：受信許可
2	TEIE	0/1	R/W	トランスミットエンドインタラプトイネーブル 0：TEI 割り込み要求を禁止 1：TEI 割り込み要求を許可
1 0	CKE1 CKE0	0 0	R/W	クロックイネーブル1~0 クロックソースを選択します。 クロック同期式の場合 0X：内部クロック。SCK 端子はクロック出力端子となります。 1X：外部クロック。SCK 端子はクロック入力端子となります。

【注】 X：Don't care



● シリアルステータスレジスタ\_0 (SSR\_0)                      ビット数：8    アドレス：H'FFFF84

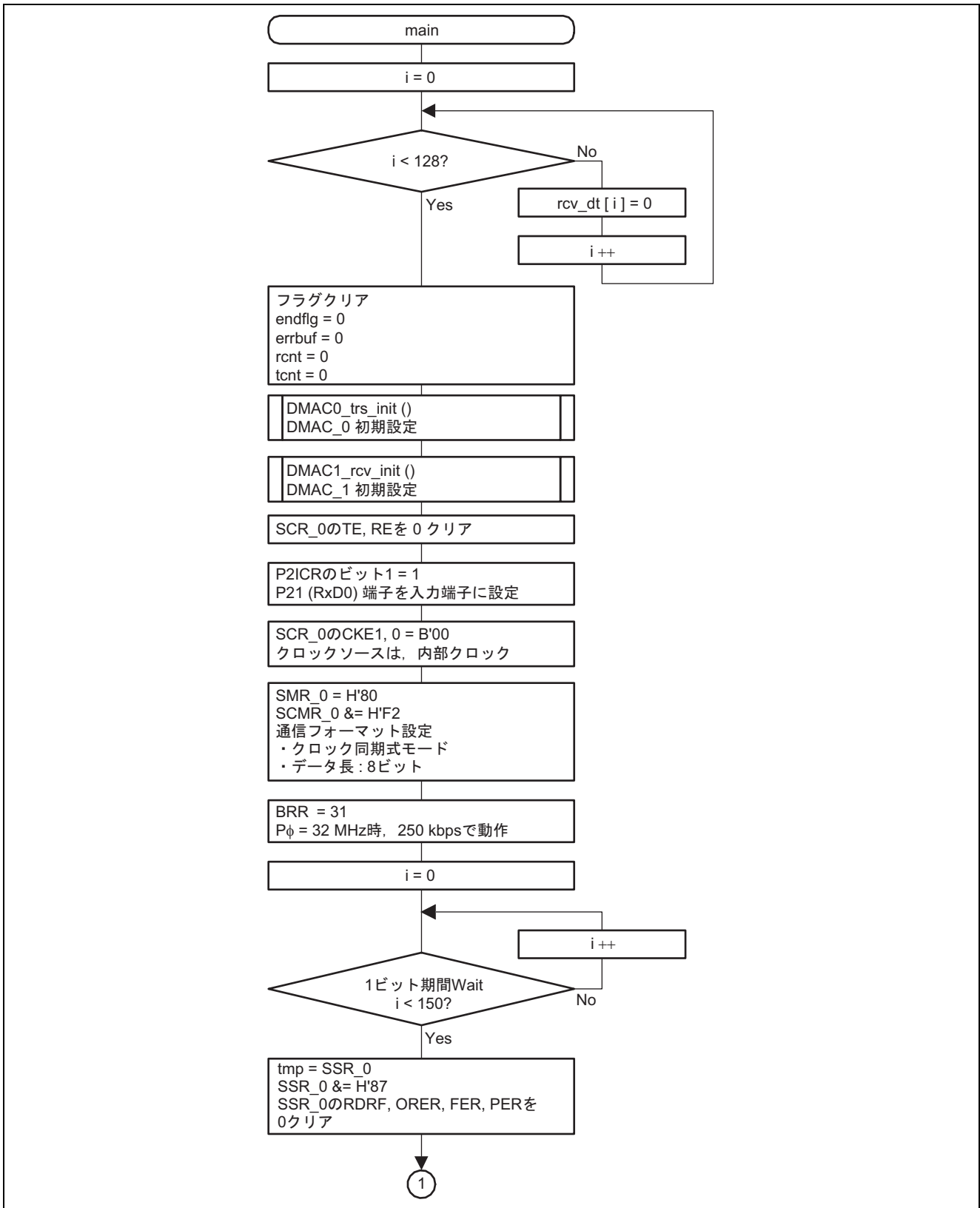
ビット	ビット名	設定値	R/W	機能
7	TDRE	不定	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>SCR の TE が 0 のとき</li> <li>TDR から TSR にデータが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合, 0 ライト後に必ずフラグをリードしてください。)</li> <li>TXI 割り込みにより DMAC で TDR へ送信データを転送したとき</li> </ul>
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>受信が正常終了し, RSR から RDR へ受信データが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合, 0 ライト後に必ずフラグをリードしてください。)</li> <li>RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了すると, オーバランエラーが発生し, 受信データが失われますので注意してください。</li> </ul>
5	ORER	0	R/(W)*	オーバランエラー [セット条件] <ul style="list-style-type: none"> <li>受信時にオーバランエラーが発生したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合, 0 ライト後に必ずフラグをリードしてください。)</li> </ul>
2	TEND	不定	R	トランスミットエンド [セット条件] <ul style="list-style-type: none"> <li>SCR の TE が 0 のとき</li> <li>送信キャラクタの最後尾ビットの送信時, TDRE が 1 のとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>TDRE = 1 の状態をリードした後, TDRE フラグに 0 をライトしたとき</li> <li>TXI 割り込み要求により DMAC で TDR へ送信データをライトしたとき</li> </ul>

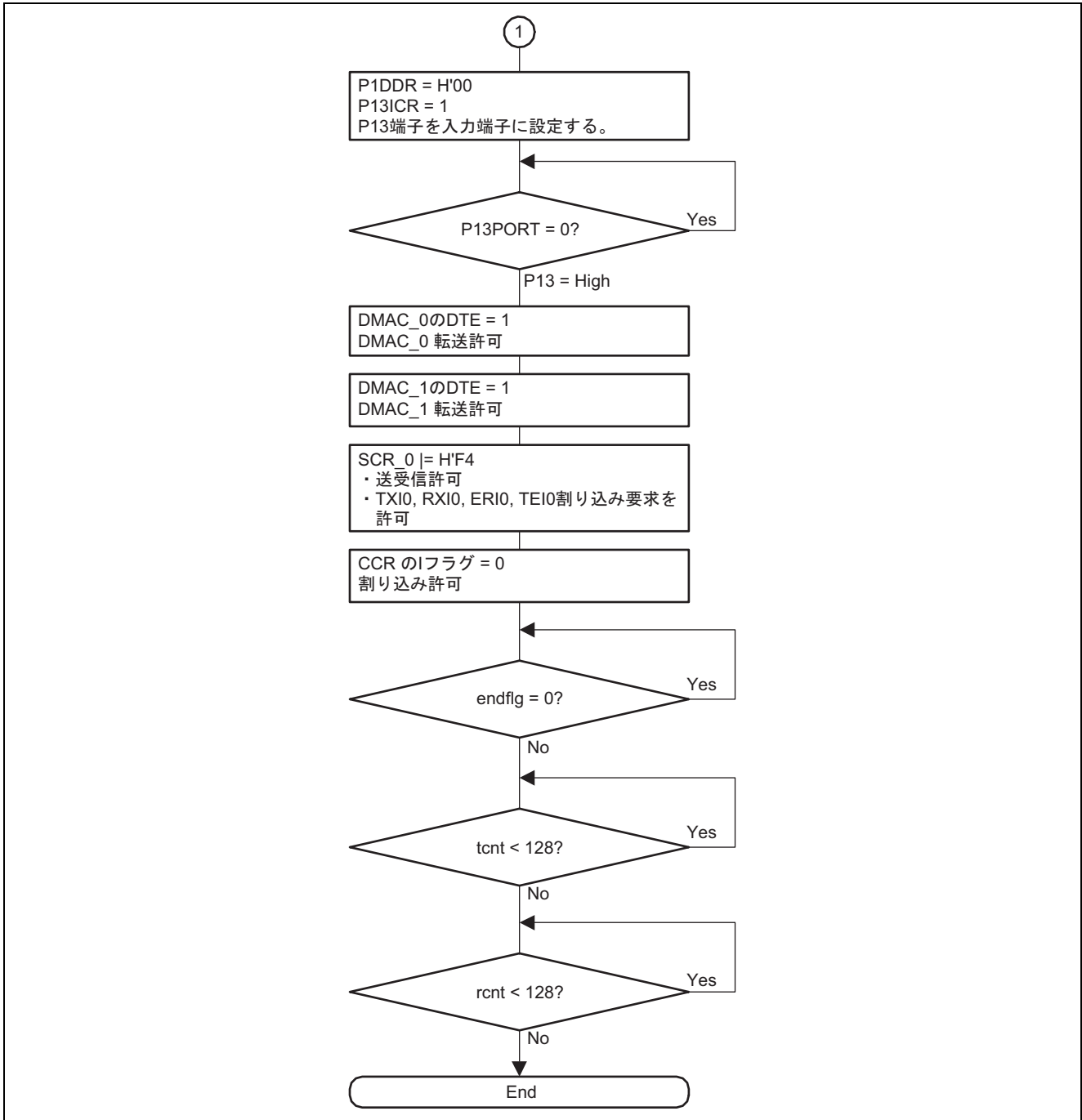
【注】 \* フラグをクリアするための 0 ライトのみ可能です。

- スマートカードモードレジスタ\_0 (SCMR\_0)      ビット数：8      アドレス：H'FFFF86

ビット	ビット名	設定値	R/W	機能
0	SMIF	0	R/W	スマートカードインタフェースモード選択 0：通常の調歩同期式またはクロック同期式モードで動作 1：スマートカードインタフェースモードで動作

(5) フローチャート





## 5.7.3 スレーブ側 (SLAVE) main 関数

## (1) 機能概要

メインルーチン。(クロック同期式 SCI の設定, DMAC0\_trs\_init 関数のコール, DMAC1\_rcv\_init 関数のコール, P13 端子へ High レベル出力, 128 バイト送受信の設定)

## (2) 引数

なし

## (3) 戻り値

なし

## (4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお, 設定値は本例において使用している値であり, 初期値とは異なります。

## ● ポート 1 データディレクションレジスタ (P1DDR)                      ビット数: 8    アドレス: H'FFFB80

ビット	ビット名	設定値	R/W	機能
3	P13DDR	1	W	0: P13 端子は入力端子 1: P13 端子は出力端子

## ● ポート 2 入力バッファコントロールレジスタ (P2ICR)                      ビット数: 8    アドレス: H'FFFB91

ビット	ビット名	設定値	R/W	機能
1	P21ICR	1	R/W	0: P21 (RxD0) 端子の入力バッファ無効。入力信号は, High レベルに固定される。 1: P21 (RxD0) 端子の入力バッファ有効。周辺モジュール側に端子状態が反映される。
0	P20ICR	1	R/W	0: P20 (SCK0) 端子の入力バッファ無効。入力信号は, High レベルに固定される。 1: P20 (SCK0) 端子の入力バッファ有効。周辺モジュール側に端子状態が反映される。

## ● DMA モードコントロールレジスタ\_0 (DMDR\_0)                      ビット数: 32    アドレス: H'FFFC14

ビット	ビット名	設定値	R/W	機能
31	DTE	0	R/W	データトランスファイネーブル 0: データ転送を禁止 1: データ転送を許可

## ● DMA モードコントロールレジスタ\_1 (DMDR\_1)                      ビット数: 32    アドレス: H'FFFC34

ビット	ビット名	設定値	R/W	機能
31	DTE	0	R/W	データトランスファイネーブル 0: データ転送を禁止 1: データ転送を許可

## ● ポート 1 データレジスタ (P1DR)    ビット数: 8    アドレス: H'FFFF50

ビット	ビット名	設定値	R/W	機能
3	P13DR	0/1	R/W	0: P13 端子は Low レベル 1: P13 端子は High レベル

● シリアルモードレジスタ\_0 (SMR\_0) ビット数：8 アドレス：H'FFFF80

ビット	ビット名	設定値	R/W	機能
7	C/A	1	R/W	コミュニケーションモード 0：調歩同期式モードで動作します。 1：クロック同期式モードで動作します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト1~0 内蔵ポーレートジェネレータのクロックソースを選択します。 00：Pφクロック (n=0) このビットの設定値とポーレートの関係については、該当するハードウェアマニュアルの「14.3.9 ビットレートレジスタ (BRR)」を参照してください。 nは設定値の10進表示で、該当するハードウェアマニュアルの「14.3.9 ビットレートレジスタ (BRR)」中のnの値を表します。

● シリアルコントロールレジスタ\_0 (SCR\_0) ビット数：8 アドレス：H'FFFF82

ビット	ビット名	設定値	R/W	機能
7	TIE	0/1	R/W	トランスミットインタラプトイネーブル 0：TXI 割り込み要求を禁止 1：TXI 割り込み要求を許可
6	RIE	0/1	R/W	レシーブインタラプトイネーブル 0：RXI, ERI 割り込み要求を禁止 1：RXI, ERI 割り込み要求を許可
5	TE	0/1	R/W	トランスミットイネーブル 0：送信禁止 1：送信許可
4	RE	0/1	R/W	レシーブイネーブル 0：受信禁止 1：受信許可
2	TEIE	0/1	R/W	トランスミットエンドインタラプトイネーブル 0：TEI 割り込み要求を禁止 1：TEI 割り込み要求を許可
1 0	CKE1 CKE0	1 0	R/W	クロックイネーブル1~0 クロックソースを選択します。 クロック同期式の場合 0X：内部クロック。SCK 端子はクロック出力端子となります。 1X：外部クロック。SCK 端子はクロック入力端子となります。

【注】 X：Don't care

● シリアルステータスレジスタ\_0 (SSR\_0)                      ビット数：8    アドレス：H'FFFF84

ビット	ビット名	設定値	R/W	機能
7	TDRE	不定	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] ● SCR の TE が 0 のとき ● TDR から TSR にデータが転送されたとき [クリア条件] ● 1 の状態をリードした後, 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合, 0 ライト後に必ずフラグをリードしてください。) ● TXI 割り込みにより DMAC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] ● 受信が正常終了し, RSR から RDR へ受信データが転送されたとき [クリア条件] ● 1 の状態をリードした後, 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合, 0 ライト後に必ずフラグをリードしてください。) ● RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了すると, オーバランエラーが発生し, 受信データが失われますので注意してください。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] ● 受信時にオーバランエラーが発生したとき [クリア条件] ● 1 の状態をリードした後, 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合, 0 ライト後に必ずフラグをリードしてください。)
2	TEND	不定	R	トランスミットエンド [セット条件] ● SCR の TE が 0 のとき ● 送信キャラクタの最後尾ビットの送信時, TDRE が 1 のとき [クリア条件] ● TDRE = 1 の状態をリードした後, TDRE フラグに 0 をライトしたとき ● TXI 割り込み要求により DMAC で TDR へ送信データをライトしたとき

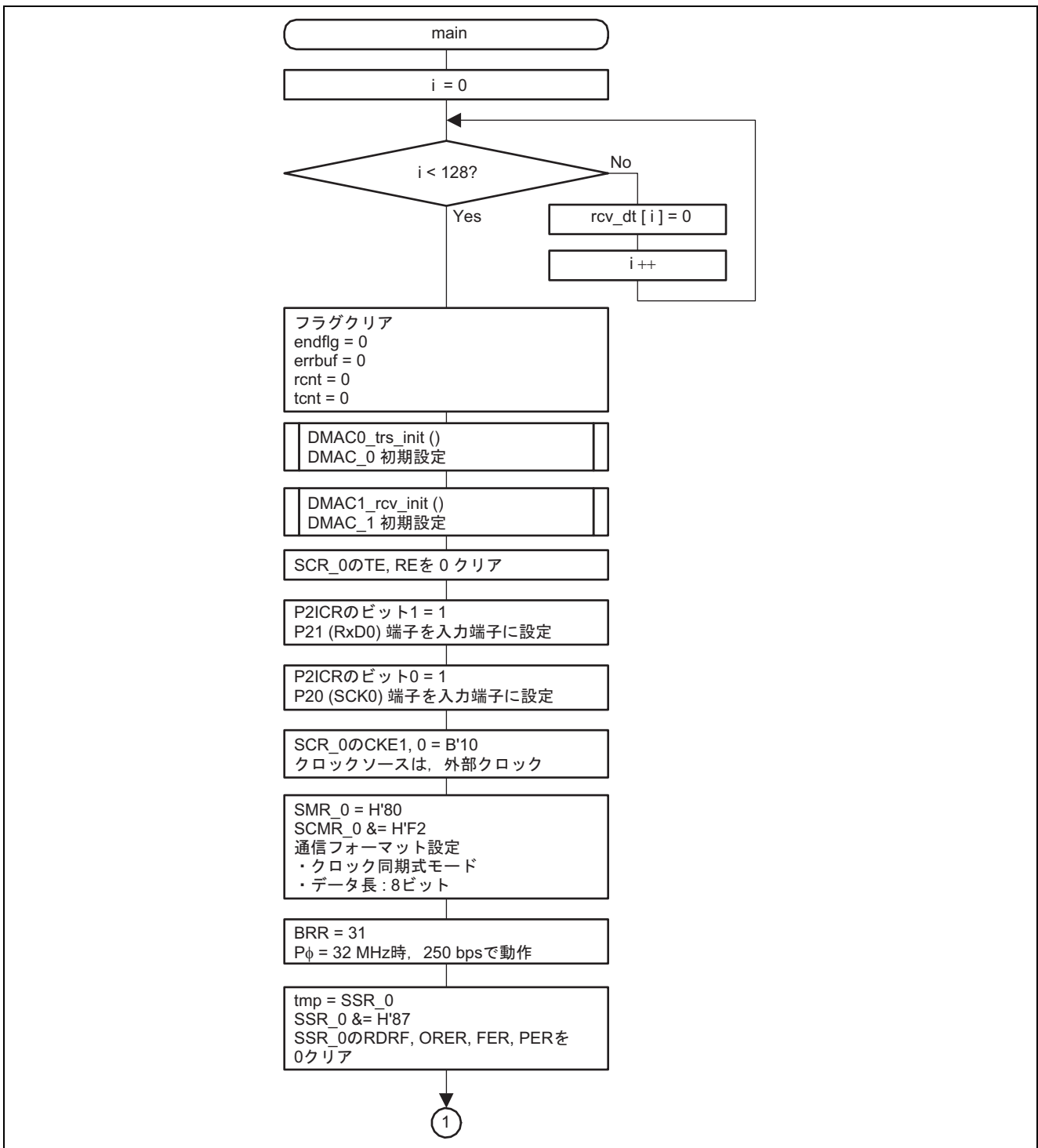
【注】 \* フラグをクリアするための 0 ライトのみ可能です。

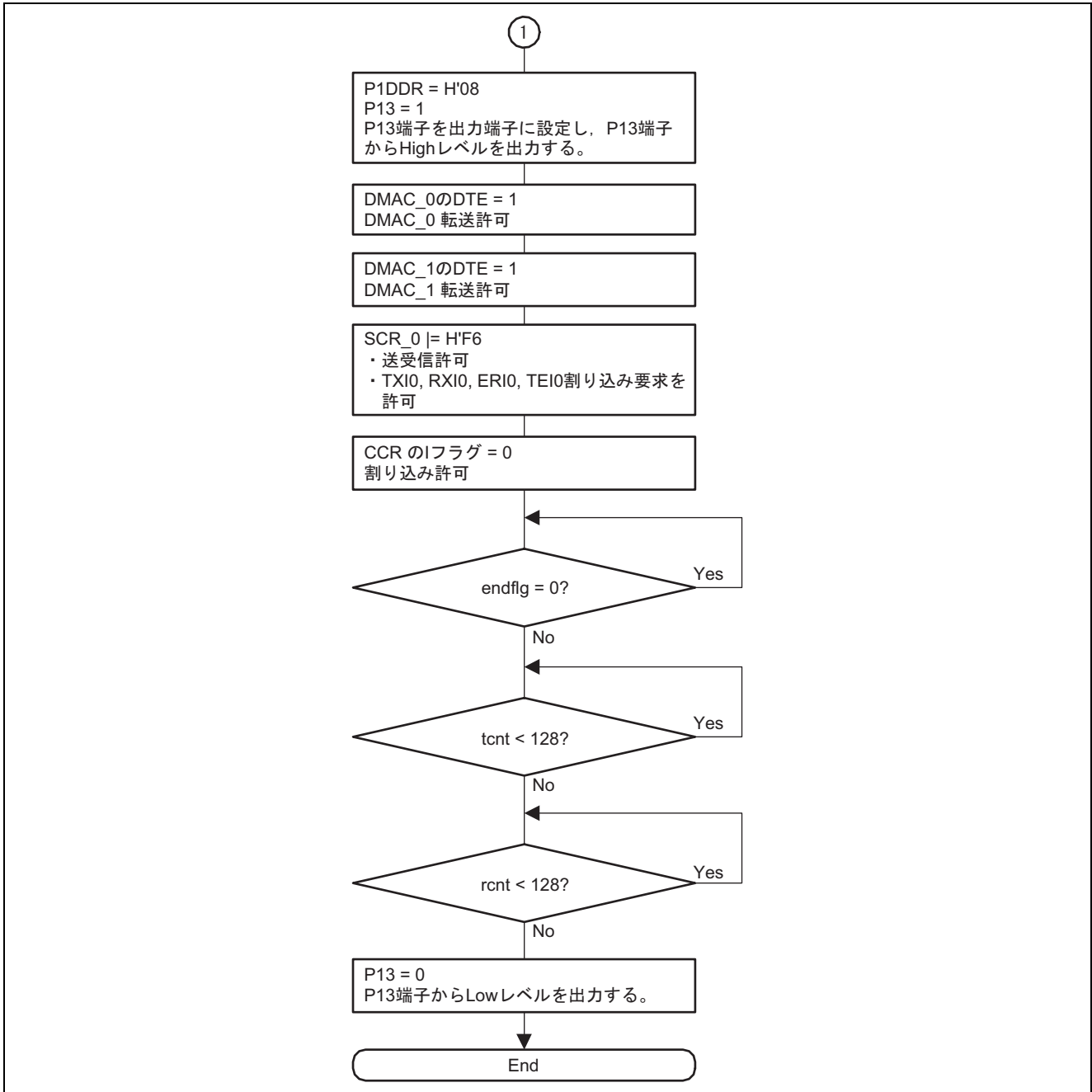
- スマートカードモードレジスタ\_0 (SCMR\_0)      ビット数：8      アドレス：H'FFFF86

ビット	ビット名	設定値	R/W	機能
0	SMIF	0	R/W	スマートカードインタフェースモード選択 0：通常の調歩同期式またはクロック同期式モードで動作 1：スマートカードインタフェースモードで動作



(5) フローチャート





### 5.7.4 DMAC0\_trrs\_init 関数

(1) 機能概要

DMAC\_0 初期化。TXI0 割り込みによる送信データ格納エリアから TDR\_0 への転送処理を設定する。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。

- DMA ソースアドレスレジスタ\_0 (DSAR\_0) ビット数：32    アドレス：H'FFFC00  
 機能：DSAR\_0 は、転送元アドレスを指定する。  
 設定値：&trrs\_dt
- DMA デスティネーションアドレスレジスタ\_0 (DDAR\_0) ビット数：32    アドレス：H'FFFC04  
 機能：DDAR\_0 は、転送先アドレスを指定する。  
 設定値：&TDR\_0
- DMA 転送カウントレジスタ\_0 (DTCR\_0) ビット数：32    アドレス：H'FFFC0C  
 機能：DTCR\_0 は、転送するデータのサイズ（総転送のサイズ）を設定する。  
 設定値：128

• DMA モードコントロールレジスタ\_0 (DMDR\_0)

ビット数：32 アドレス：H'FFFC14

ビット	ビット名	設定値	R/W	機能
31	DTE	0	R/W	データトランスファイネーブル 0：データ転送を禁止 1：データ転送を許可
26	NRD	0	R/W	ネクストリクエストディレイ 0：転送中のバスサイクル終了後に、次の転送要求受け付けを開始 1：転送中のバスサイクル終了時点から 1 サイクル後に、次の転送要求受け付けを開始
17	ESIF	0	R/(W)*	転送エスケープインタラプトフラグ 0：転送エスケープ終了割り込み要求なし 1：転送エスケープ終了割り込み要求発生
16	DTIF	0	R/(W)*	データトランスファインタラプトフラグ 0：転送カウンタによる転送終了割り込み要求なし 1：転送カウンタによる転送終了割り込み要求発生
15	DTSZ1	0	R/W	データアクセスサイズ 1, 0 01：転送するデータアクセスサイズは、バイトサイズ (8 ビット)
14	DTSZ0	0	R/W	
13	MDS1	0	R/W	転送モードセレクト 1, 0 00：ノーマル転送モードに設定
12	MDS0	0	R/W	
9	ESIE	0	R/W	転送エスケープインタラプトイネーブル 0：転送エスケープ割り込み要求を禁止 1：転送エスケープ割り込み要求を許可
8	DTIE	1	R/W	データトランスファインタラプトイネーブル 0：転送終了割り込み要求を禁止 1：転送終了割り込み要求を許可
7	DTF1	1	R/W	データトランスファファクタ 1, 0 10：DMAC の起動要因は、内蔵モジュール割り込み
6	DTF0	0	R/W	
5	DTA	1	R/W	データトランスファアクノリッジ DTF1, 0 = H'10, 内蔵モジュール割り込みによる DMA 転送時に、DMRSR によって選択されている要因フラグのクリアを許可または禁止します。 0：内蔵モジュール割り込み要因フラグをクリアしない 1：内蔵モジュール割り込み要因フラグをクリアする

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

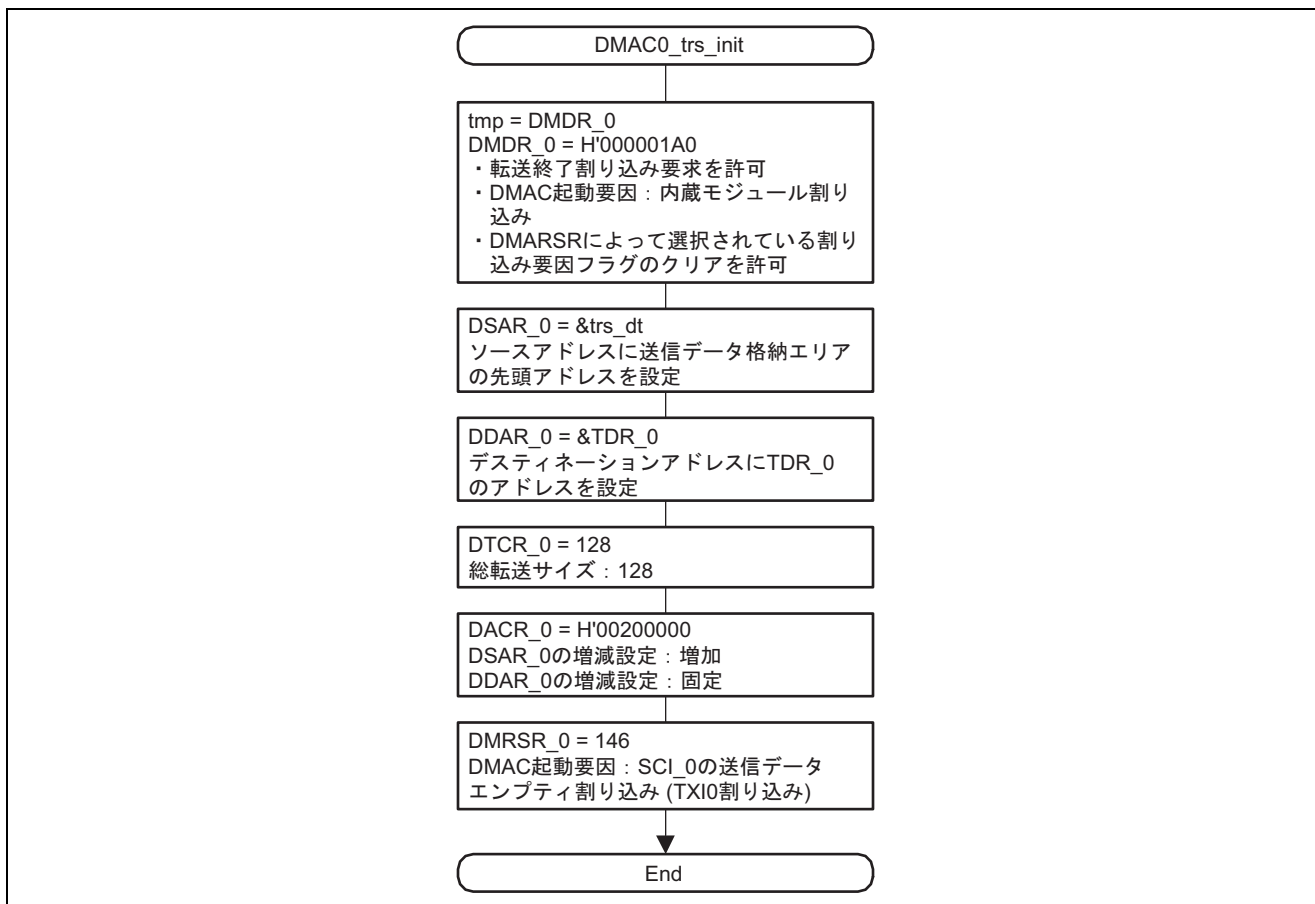
• DMA アドレスコントロールレジスタ\_0 (DACR\_0)

ビット数：32 アドレス：H'FFFC18

ビット	ビット名	設定値	R/W	機能
31	AMS	0	R/W	アドレスモードセレクト 0：デュアルアドレスモード 1：シングルアドレスモード
21	SAT1	1	R/W	ソースアドレス更新モード 1, 0 10：ソースアドレスは増加
20	SAT0	0	R/W	
17	DAT1	0	R/W	デスティネーションアドレス更新モード 1, 0 00：デスティネーションアドレスは固定
16	DAT0	0	R/W	

- DMA モジュールリクエストセレクトレジスタ\_0 (DMRSR\_0)    ビット数：8    アドレス：H'FFFD20  
 機能：内蔵モジュール割り込み要因を指定する。設定値が 146 のとき，SCI\_0 の送信データエンプティ割り込み (TXI0 割り込み) で DMAC が起動する。  
 設定値：146

### (5) フローチャート



### 5.7.5 DMAC1\_rcv\_init 関数

(1) 機能概要

DMAC\_1 初期化。RXI0 割り込みによる RDR\_0 から受信データ格納エリアへの転送処理を設定する。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお、設定値は本例において使用している値であり、初期値とは異なります。

- DMA ソースアドレスレジスタ\_1 (DSAR\_1) ビット数：32    アドレス：H'FFFC20  
 機能：DSAR\_1 は、転送元アドレスを指定する。  
 設定値：&RDR\_0
- DMA デスティネーションアドレスレジスタ\_1 (DDAR\_1) ビット数：32    アドレス：H'FFFC24  
 機能：DDAR\_1 は、転送先アドレスを指定する。  
 設定値：&rcv\_dt
- DMA 転送カウントレジスタ\_1 (DTCR\_1) ビット数：32    アドレス：H'FFFC2C  
 機能：DTCR\_1 は、転送するデータのサイズ（総転送サイズ）を設定する。  
 設定値：128

• DMA モードコントロールレジスタ\_1 (DMDR\_1)

ビット数：32 アドレス：H'FFFC34

ビット	ビット名	設定値	R/W	機能
31	DTE	0	R/W	データトランスファイネーブル 0：データ転送を禁止 1：データ転送を許可
26	NRD	0	R/W	ネクストリクエストディレイ 0：転送中のバスサイクル終了後に、次の転送要求受け付けを開始 1：転送中のバスサイクル終了時点から 1 サイクル後に、次の転送要求受け付けを開始
17	ESIF	0	R/(W)*	転送エスケープインタラプトフラグ 0：転送エスケープ終了割り込み要求なし 1：転送エスケープ終了割り込み要求発生
16	DTIF	0	R/(W)*	データトランスファインタラプトフラグ 0：転送カウンタによる転送終了割り込み要求なし 1：転送カウンタによる転送終了割り込み要求発生
15	DTSZ1	0	R/W	データアクセスサイズ 1, 0 00：転送するデータアクセスサイズは、バイトサイズ (8 ビット)
14	DTSZ0	0	R/W	
13	MDS1	0	R/W	転送モードセレクト 1, 0 00：ノーマル転送モードに設定
12	MDS0	0	R/W	
9	ESIE	0	R/W	転送エスケープインタラプトイネーブル 0：転送エスケープ割り込み要求を禁止 1：転送エスケープ割り込み要求を許可
8	DTIE	1	R/W	データトランスファインタラプトイネーブル 0：転送終了割り込み要求を禁止 1：転送終了割り込み要求を許可
7	DTF1	1	R/W	データトランスファファクタ 1, 0 10：DMAC の起動要因は、内蔵モジュール割り込み
6	DTF0	0	R/W	
5	DTA	1	R/W	データトランスファアクノリッジ DTF1, 0 = H'10, 内蔵モジュール割り込みによる DMA 転送時に、DMRSR によって選択されている要因フラグのクリアを許可または禁止します。 0：内蔵モジュール割り込み要因フラグをクリアしない 1：内蔵モジュール割り込み要因フラグをクリアする

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

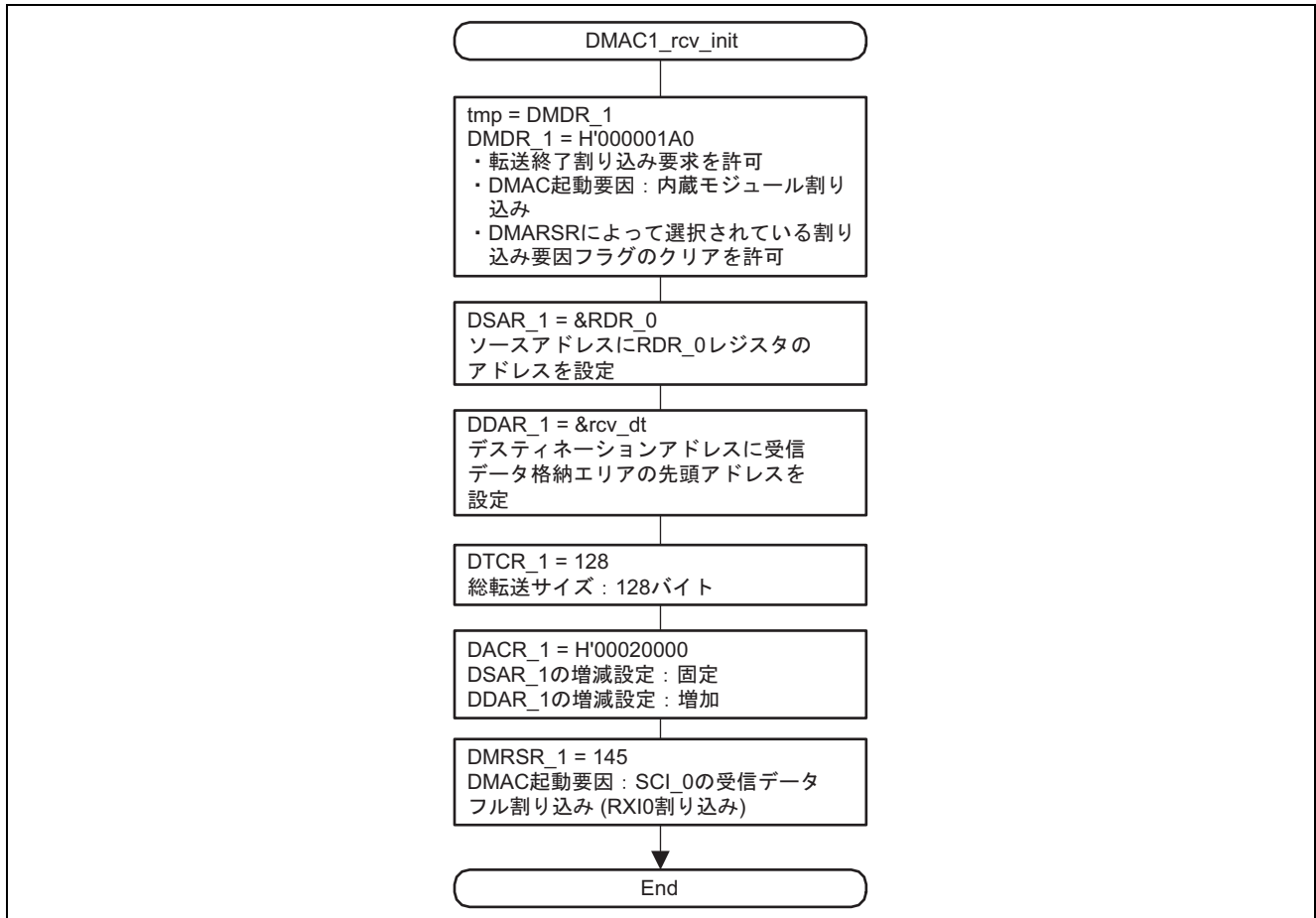
• DMA アドレスコントロールレジスタ\_1 (DACR\_1)

ビット数：32 アドレス：H'FFFC38

ビット	ビット名	設定値	R/W	機能
31	AMS	0	R/W	アドレスモードセレクト 0：デュアルアドレスモード 1：シングルアドレスモード
21	SAT1	0	R/W	ソースアドレス更新モード 1, 0 00：ソースアドレスは固定
20	SAT0	0	R/W	
17	DAT1	1	R/W	デスティネーションアドレス更新モード 1, 0 10：デスティネーションアドレスは増加
16	DAT0	0	R/W	

- DMA モジュールリクエストセレクトレジスタ\_1 (DMRSR\_1)   ビット数：8   アドレス：H'FFFD21  
機能：DMRSR\_1 は、内蔵モジュール割り込み要因を指定する。設定値が 145 のとき、SCI\_0 の受信データフル割り込み (RXI0 割り込み) で DMAC が起動する。  
設定値：145

(5) フローチャート





### 5.7.6 dmtend0\_int 関数

#### (1) 機能概要

DMAC\_0 転送終了割り込み。(TEI0 割り込み要求許可, TXI0 割り込み要求禁止, DMAC\_0 転送終了割り込み要求禁止)

#### (2) 引数

なし

#### (3) 戻り値

なし

#### (4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお, 設定値は本例において使用している値であり, 初期値とは異なります。

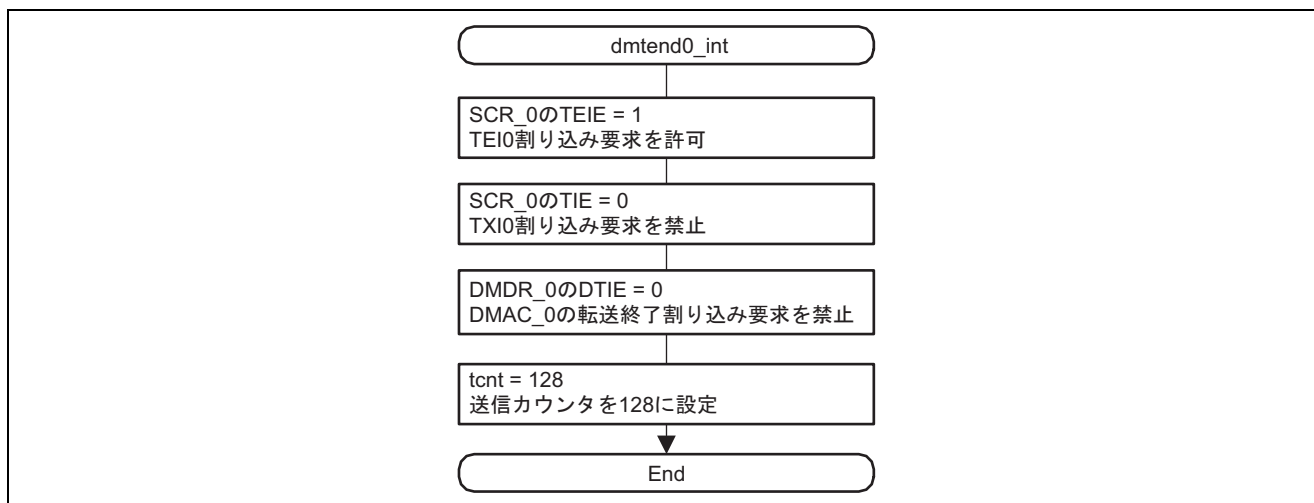
- シリアルコントロールレジスタ\_0 (SCR\_0)      ビット数: 8      アドレス: H'FFFF82

ビット	ビット名	設定値	R/W	機能
7	TIE	0	R/W	トランスミットインタラプトイネーブル 0: TXI 割り込み要求を禁止 1: TXI 割り込み要求を許可
2	TEIE	1	R/W	トランスミットエンドインタラプトイネーブル 0: TEI 割り込み要求を禁止 1: TEI 割り込み要求を許可

- DMA モードコントロールレジスタ\_0 (DMDR\_0)      ビット数: 32      アドレス: H'FFFC14

ビット	ビット名	設定値	R/W	機能
8	DTIE	0	R/W	データトランスファインタラプトイネーブル 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可

#### (5) フローチャート



## 5.7.7 dmtend1\_int 関数

### (1) 機能概要

DMAC\_1 転送終了割り込み。(SCI\_0 の受信禁止, RXI0, ERI0 割り込み要求の禁止, DMAC\_1 の転送終了割り込み要求禁止)

### (2) 引数

なし

### (3) 戻り値

なし

### (4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお, 設定値は本例において使用している値であり, 初期値とは異なります。

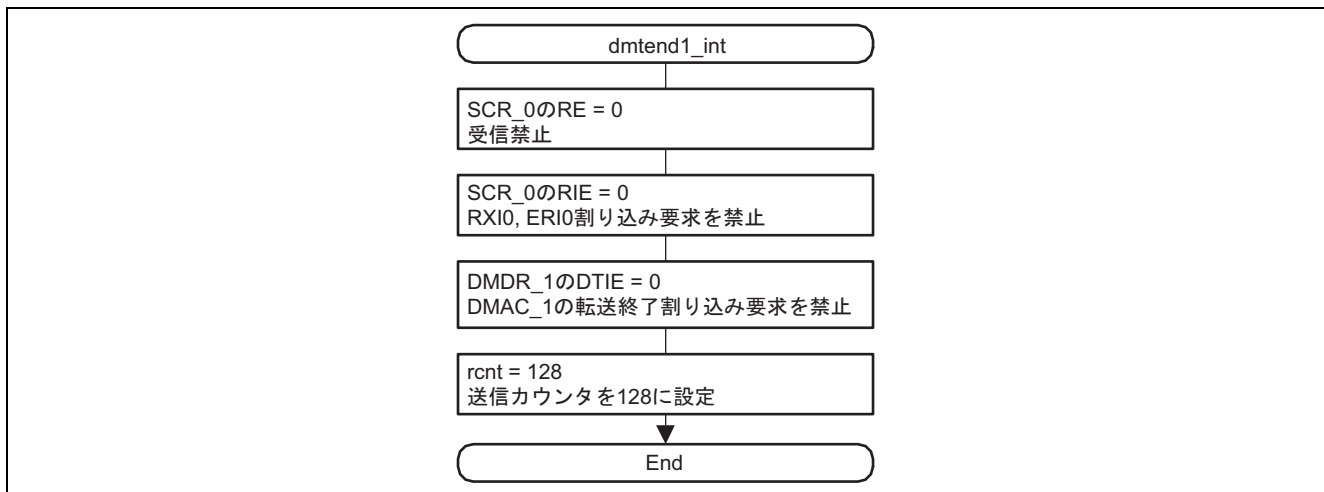
- シリアルコントロールレジスタ\_0 (SCR\_0)      ビット数: 8      アドレス: H'FFFF82

ビット	ビット名	設定値	R/W	機能
6	RIE	0	R/W	レシーブインタラプトイネーブル 0: RXI, ERI 割り込み要求を禁止 1: RXI, ERI 割り込み要求を許可
4	RE	0	R/W	レシーブイネーブル 0: 受信禁止 1: 受信許可

- DMA モードコントロールレジスタ\_1 (DMDR\_1)      ビット数: 32      アドレス: H'FFFC34

ビット	ビット名	設定値	R/W	機能
8	DTIE	0	R/W	データトランスファインタラプトイネーブル 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可

### (5) フローチャート



### 5.7.8 eri0\_int 関数

#### (1) 機能概要

SCI\_0 受信エラー割り込み (ERI0 割り込み)。(エラー内容を RAM へ書き込み, SSR\_0 を初期化)

#### (2) 引数

なし

#### (3) 戻り値

なし

#### (4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお,設定値は本例において使用している値であり,初期値とは異なります。

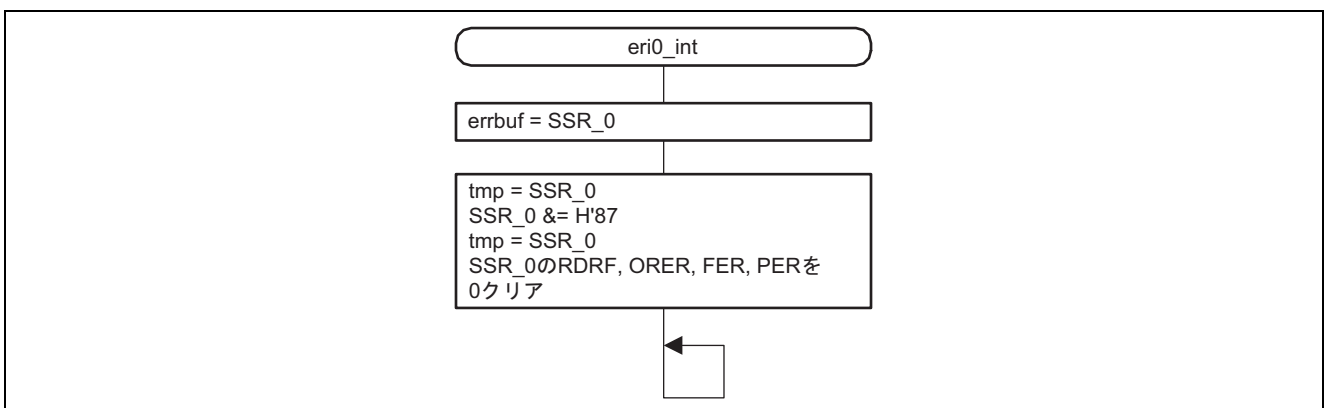
#### ● シリアルステータスレジスタ\_0 (SSR\_0)

ビット数: 8    アドレス: H'FFFF84

ビット	ビット名	設定値	R/W	機能
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] ● 受信が正常終了し, RSR から RDR へ受信データが転送されたとき [クリア条件] ● 1 の状態をリードした後, 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合, 0 ライト後に必ずフラグをリードしてください。) ● RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了すると, オーバランエラーが発生し, 受信データが失われますので注意してください。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] ● 受信時にオーバランエラーが発生したとき [クリア条件] ● 1 の状態をリードした後, 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合, 0 ライト後に必ずフラグをリードしてください。)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

#### (5) フローチャート



## 5.7.9 tei0\_int 関数

### (1) 機能概要

SCI\_0 送信終了割り込み (TEI0 割り込み)。(SCI\_0 の送信禁止, TEI0 の割り込み要求禁止)

### (2) 引数

なし

### (3) 戻り値

なし

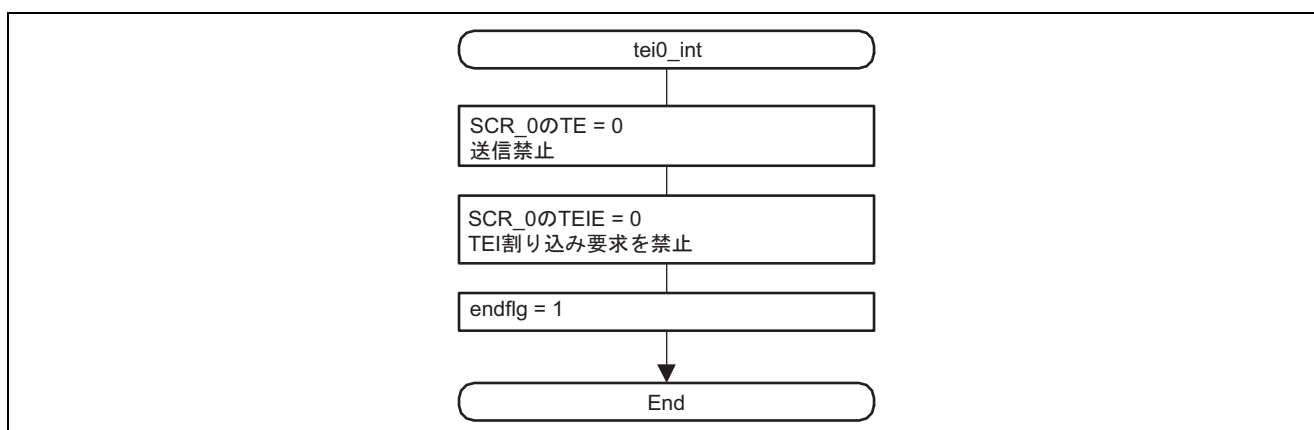
### (4) 使用内部レジスタ説明

本例で使用する内部レジスタを以下に示します。なお,設定値は本例において使用している値であり,初期値とは異なります。

- シリアルコントロールレジスタ\_0 (SCR\_0)                      ビット数: 8    アドレス: H'FFFF82

ビット	ビット名	設定値	R/W	機能
5	TE	0	R/W	トランスミットイネーブル 0: 送信禁止 1: 送信許可
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル 0: TEI 割り込み要求を禁止 1: TEI 割り込み要求を許可

### (5) フローチャート



## 6. 参照ドキュメントに関する記述 (注意事項)

- ハードウェアマニュアル  
H8SX/1653 グループハードウェアマニュアル  
(最新版をルネサス テクノロジホームページから入手してください。)
- テクニカルニュース/テクニカルアップデート  
(最新の情報をルネサス テクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2007.08.23	—	初版発行

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質及および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。