

RX72T グループ RX62T/RX62G グループ

RX72T グループと RX62T グループの相違点

要旨

本アプリケーションノートは、主に RX72T グループ、RX62T グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートでは、特に記載のない箇所については、それぞれのマイコンの最大仕様として、RX72T グループの 144 ピンパッケージ(プログラマブルゲインアンプ(PGA)疑似差動入力あり、USB 端子あり)と RX62T グループの 112 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順等の詳細な仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RX72T グループ、RX62T グループ

目次

1. F	RX72T グループと RX62T グループの搭載機能比較	4
2. 1	仕様の概要比較	6
2.1	CPU	6
2.2	動作モード	8
2.3	アドレス空間	9
2.4	リセット	12
2.5	電源検出回路	13
2.6	クロック発生回路	15
2.7	消費電力低減機能	18
2.8	例外処理	24
2.9	割り込みコントローラ	25
2.10	バス	28
2.11	メモリプロテクションユニット	30
2.12	データトランスファコントローラ	31
2.13	I/O ポート	32
2.14	マルチファンクションタイマパルスユニット 3	35
2.15	ポートアウトプットイネーブル 3	41
2.16	汎用 PWM タイマ	53
2.17	コンペアマッチタイマ	61
2.18	ウォッチドッグタイマ	62
2.19	独立ウォッチドッグタイマ	64
2.20	シリアルコミュニケーションインタフェース	67
2.21	I ² C バスインタフェース	73
2.22	CAN モジュール	76
2.23	シリアルペリフェラルインタフェース	79
2.24	CRC 演算器	82
2.25	12 ビット A/D コンバータ	84
2.26	RAM	93
2.27	フラッシュメモリ	95
2.28	パッケージ	100
	端子機能の比較	
3.1	100 ピンパッケージ(RX72T: PGA 疑似差動入力あり USB 端子あり)	
3.2	100 ピンパッケージ(RX72T: PGA 疑似差動入力あり USB 端子なし)	
3.3	100 ピンパッケージ(RX72T:PGA 疑似差動入力なし USB 端子なし)	111
4. 7	移行の際の留意点	116
4.1		
4.1.1		
4.1.2	PLLVCC 端子	
4.1.3	モード設定端子	
4.1.4	外部クロックを入力する方法	
4.1.5	PGA 疑似差動入力関連端子(P40~42、P44~46、PH0、PH4)	
4.1.6	AVCC 端子と AVSS 端子間のデカップリング容量挿入方法	
4.2	機能設計の留意点	

4.2.1	レジスタ退避バンク内 RAM の自己診断	. 117
4.2.2	RIIC 動作電圧設定	. 117
4.2.3	USB 動作電圧設定	. 117
4.2.4	例外ベクタテーブル	. 117
4.2.5	電圧レベル設定	. 117
4.2.6	エンディアン	. 118
4.2.7	オプション設定メモリ	. 118
4.2.8	クロック周波数設定	. 118
4.2.9	メインクロック発振器	
4.2.10	PLL 回路	. 118
4.2.11	メインクロック発振停止検出機能の動作	. 119
4.2.12	全モジュールクロックストップモード	. 119
4.2.13	DIRQnE ビット(n = 0~15)による入力バッファ制御	. 119
	レジスタライトプロテクション機能	
	選択型割り込み	
4.2.16	ポート方向レジスタ(PDR)の初期化	. 119
	POE3 の汎用入出力ポート切り替え制御の注意事項	
4.2.18	バスの優先順位	. 119
4.2.19	端子割り当て機能	. 120
4.2.20	MTU3d/GPTW 動作周波数	. 120
4.2.21	MTU による DMAC 起動	. 120
4.2.22	カウンタ停止時の MTIOC 端子出力レベル	. 120
4.2.23	ELC イベント入力の時タイマモードレジスタ設定の注意事項	. 120
4.2.24	ポートアウトプットイネーブル	. 120
4.2.25	ポートアウトプットイネーブル 3 出力停止要求発生時の制御	. 120
4.2.26	MTU/GPTW 反転出力設定時のアクティブレベル設定について	. 121
4.2.27	ハイインピーダンス時の端子の読み出しについて	. 121
4.2.28	POE と POEG を併用した場合の注意事項	. 121
4.2.29	汎用 PWM タイマ	. 121
4.2.30	ウォッチドッグタイマ/独立ウォッチドッグタイマ	. 121
4.2.31	I ² C バスインタフェースのノイズ除去	. 121
4.2.32	12 ビット A/D コンバータ	. 121
4.2.33	A/D 変換スタートビット	. 121
4.2.34	コンペア機能制約	. 122
4.2.35	A/D スキャン変換終了割り込みの発生	. 122
4.2.36	D/A コンバータの設定について	. 122
4.2.37	FCU RAM へのファームウェア転送	. 122
4.2.38	ROM キャッシュ	. 122
	フラッシュメモリのコマンド使用方法	
5. 参	考ドキュメント	.124
沙計	紀	126



1. RX72T グループと RX62T グループの搭載機能比較

RX72T グループと RX62T グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX62T/RX72T 搭載機能比較を示します。

表 1.1 RX62T/RX72T 搭載機能比較

機能名	RX62T	RX72T
<u>CPU</u>		
動作モード		
<u>アドレス空間</u>	4	
<u>リセット</u>		
オプション設定メモリ(OFSM)	(注 1)	0
電源検出回路(LVD)RX62T、(LVDA):RX72T	4	
<u>クロック発生回路</u>		
クロック周波数精度測定回路(CAC)	×	0
消費電力低減機能		
レジスタライトプロテクション機能	×	0
例外処理	4	
<u>割り込みコントローラ(ICU):RX62T、(ICUC):RX72T</u>		
<u>バス</u>		
メモリプロテクションユニット(MPU)	4	
DMA コントローラ(DMACAa)	×	0
データトランスファコントローラ(DTC):RX62T、(DTCa):RX72T		
イベントリンクコントローラ(ELC)	×	0
<u>//O ポート</u>		
マルチファンクションピンコントローラ(MPC)	(注 2)	0
マルチファンクションタイマパルスユニット 3(MTU3):RX62T、(MTU3d):RX72T		
<u>ポートアウトプットイネーブル 3(POE3):RX62T、(POE3B):RX72T</u>		
汎用 PWM タイマ(GPT/GPTa):RX62T、(GPTW):RX72T	• (注 3)
高分解能 PWM 波形生成回路(HRPWM)	(注 4)	0
GPT 用ポートアウトプットイネーブル(POEG)	×	0
8 ビットタイマ(TMR)	×	0
<u>コンペアマッチタイマ(CMT)</u>		
<u>ウォッチドッグタイマ(WDT):RX62T、(WDTA):RX72T</u>		/
<u>独立ウォッチドッグタイマ(IWDT):RX62T、(IWDTa):RX72T</u>		
USB2.0FS ホスト/ファンクションモジュール(USBb)	×	0
<u>シリアルコミュニケーションインタフェース(SCIb):RX62T</u>		
シリアルコミュニケーションインタフェース(SCIj, SCIi, SCIh):RX72T		
<u>I²C バスインタフェース(RIIC):RX62T、(RIICa):RX72T</u>		
<u>CAN モジュール(CAN)</u>		
<u>シリアルペリフェラルインタフェース(RSPI):RX62T、(RSPIc):RX72T</u>		
CRC 演算器(CRC):RX62T、(CRCA):RX72T		
三角関数演算器(TFU)	×	0
Trusted Secure IP(TSIP-Lite)	×	0

機能名	RX62T	RX72T
LIN モジュール(LIN)	0	(注 5)
<u>12 ビット A/D コンバータ(S12ADA):RX62T、(S12ADH):RX72T</u>		
10 ビット A/D コンバータ(ADA)	0	×
12 ビット D/A コンバータ(R12DAb)	×	0
温度センサ(TEMPS)	×	0
コンパレータ C(CMPC)	(注 6)	0
データ演算回路(DOC)	×	0
RAM	•	/_
<u>フラッシュメモリ</u>		
<u>パッケージ</u>		

- ○:機能搭載、×:機能未搭載、●:機能追加による差分あり、▲:機能変更による差分あり
- ■:機能削除による差分あり
- 注 1. RX62T/RX62G グループでは ROM(コード格納用フラッシュメモリ)章に、RX72T グループのオプション設定メモリ章相当の機能が記載されています。詳細は「4 移行の際の留意点」を参照してください。
- 注 2. RX62T/RX62G グループでは I/O ポート章に、RX72T グループのマルチファンクションピンコントローラ章相当の機能が記載されています。詳細は「4 移行の際の留意点」を参照してください。
- 注3. GPTa は RX62G グループにのみ搭載されています。
- 注 4. RX62T/RX62G グループでは汎用 PWM タイマ章に、RX72T グループの高分解能 PWM 波形生成回路 章相当の機能が記載されています。
- 注 5. RX72T グループでは SCIh 章に、RX62T/RX62G グループの LIN モジュール章相当の機能が記載されています。
- 注 6. RX62T/RX62G グループでは 12 ビット A/D コンバータ章にコンパレータ機能が記載されています。

2. 仕様の概要比較

以下に概要の比較、レジスタの比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は赤字にしています。

レジスタの比較では、両方のグループに存在するが相違点がある項目は赤字に、いずれかのグループにしか存在しない項目は**黒字**でレジスタ名のみ記載しています。レジスタ仕様に相違点がない項目は記載していません。

2.1 CPU

表 2.1 に CPU の概要比較を、表 2.2 に CPU のレジスタ比較を示します。

表 2.1 CPU の概要比較

	衣 2.1 CPU の概要に	」教
項目	RX62T	RX72T
中央演算処理装置	● 最大動作周波数:100MHz	● 最大動作周波数: <mark>200MHz</mark>
	• 32 ビット RX CPU	• 32 ビット RX CPU (RXv3)
	● 最小命令実行時間:1命令1クロック	● 最小命令実行時間:1命令1クロック
	アドレス空間:	▼ アドレス空間:
	4G バイト・リニアアドレス	4G バイト・リニアアドレス
	レジスタ	レジスタ
	―汎用レジスタ:32 ビット×16 本	―汎用レジスタ:32 ビット×16 本
	—制御レジスタ:32 ビット×9 本	—制御レジスタ:32 ビット×10 本
	―アキュムレータ:64 ビット×1本	—アキュムレータ: 72 ビット×2本
	● 基本命令:73種類	基本命令: 77 種類
	● 浮動小数点演算命令:8種類	● 単精度浮動小数点演算命令: 11 種類
	● DSP 機能命令:9 種類	● DSP 機能命令: 23 種類
		● レジスター括退避機能命令:2命令
	● アドレッシングモード:10種類	● アドレッシングモード: 11 種類
	● データ配置	● データ配置
	―命令:リトルエンディアン	―命令:リトルエンディアン
	―デー タ:リトルエンディアン/	―デー タ:リトルエンディアン/
	ビッグエンディアンを選択可能	ビッグエンディアンを選択可能
	● 32 ビット乗算器:	● 32 ビット乗算器:
	32 ビット×32 ビット→64 ビット	32 ビット×32 ビット→64 ビット
	● 除算器:	● 除算器:
	32 ビット÷32 ビット→32 ビット	32 ビット÷32 ビット→32 ビット
	● バレルシフタ:32 ビット	● バレルシフタ:32 ビット
	● メモリプロテクションユニット(MPU)搭載	● メモリプロテクションユニット(MPU)搭載
FPU	● 単精度浮動小数点数(32 ビット)	● 単精度浮動小数点数(32 ビット)
	● IEEE754 に準拠したデータタイプ、	● IEEE754 に準拠したデータタイプ、
	および例外	および例外
レジスター括退避	-	● CPU レジスタの退避・復帰を一括して高速
機能		に行う
		● 16個のレジスタ退避バンクを搭載

表 2.2 CPU のレジスタ比較

レジスタ	ビット	RX62T	RX72T
EXTB	-	-	例外テーブルレジスタ
ACC(RX62T)	-	アキュムレータ	アキュムレータ 0,
ACC0, ACC1			アキュムレータ 1
(RX72T)			

2.2 動作モード

表 2.3 に動作モードの概要比較を、表 2.4 に動作モードのレジスタ比較を示します。

表 2.3 動作モードの概要比較

項目	RX62T	RX72T
リセット解除時の	シングルチップモード	シングルチップモード
モード設定端子による	ブートモード	ブートモード
動作モードの選択		(SCI インタフェース)
	-	ブートモード
		(USB インタフェース)
	-	ブートモード
		(FINE インタフェース)
	-	ユーザブートモード
レジスタによる動作モードの選択	シングルチップモード	シングルチップモード
	-	ユーザブートモード
	-	内蔵 ROM 無効拡張モード
	-	内蔵 ROM 有効拡張モード
エンディアンの選択	MDE 端子	MDE レジスタ

表 2.4 動作モードのレジスタ比較

レジスタ	ビット	RX62T	RX72T
MDMONR	MD	-	MD 端子ステータスフラグ
	MD0	MD0 端子ステータスフラグ	-
	MD1	MD1 端子ステータスフラグ	-
	MDE	MDE 端子ステータスフラグ	-
MDSR	IROM	内蔵 ROM 起動ステータスフラグ	-
	BOTS	ブートモード起動フラグ	-
	UBTS	-	ユーザブートモード起動フラグ
SYSCR0	EXBE	-	外部バス有効ビット
SYSCR1	-	システムコントロールレジスタ 1	システムコントロールレジスタ 1
		リセット後の初期値が異なります	
	ECCRAME	-	ECCRAM 有効ビット
VOLSR	-	-	電圧レベル設定レジスタ

2.3 アドレス空間

図 2.1 にシングルチップモードのメモリマップ比較(RX62T: R5F562TAxxxx)を、図 2.2 にシングルチップモードのメモリマップ比較(RX62T: R5F562T7xxxx)を、図 2.3 にシングルチップモードのメモリマップ比較(RX62T: R5F562T6xxxx)を示します。

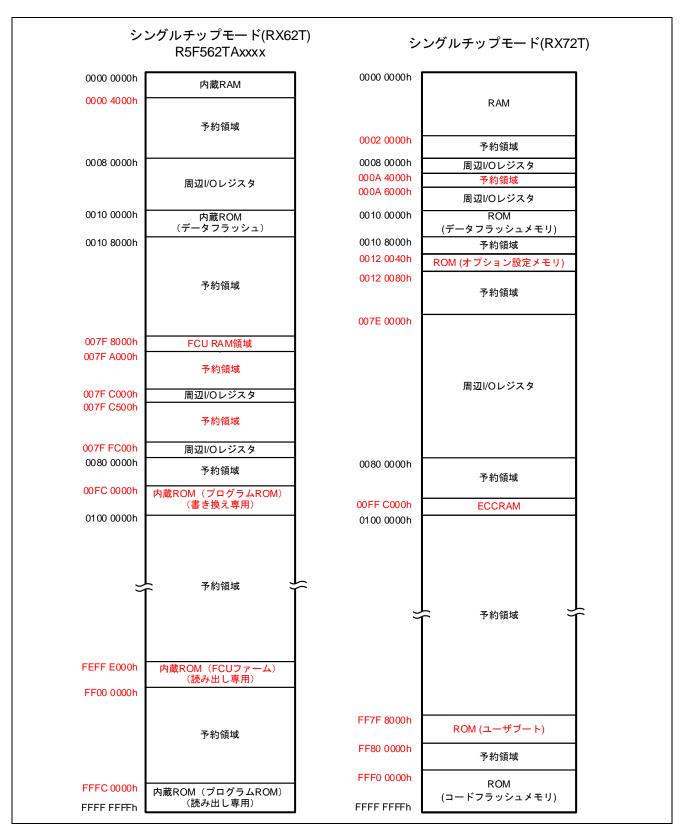


図 2.1 シングルチップモードのメモリマップ比較(RX62T: R5F562TAxxxx)

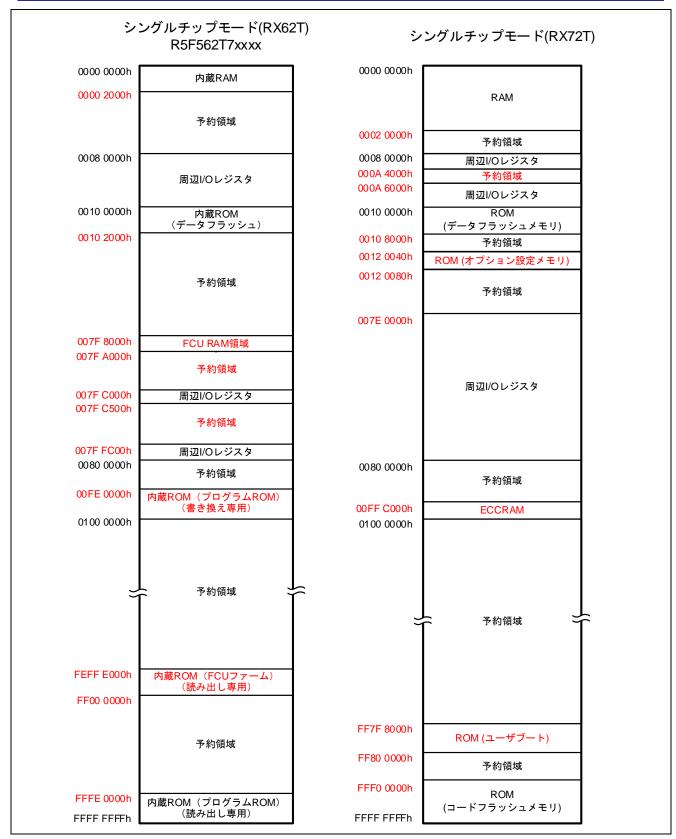


図 2.2 シングルチップモードのメモリマップ比較(RX62T: R5F562T7xxxx)

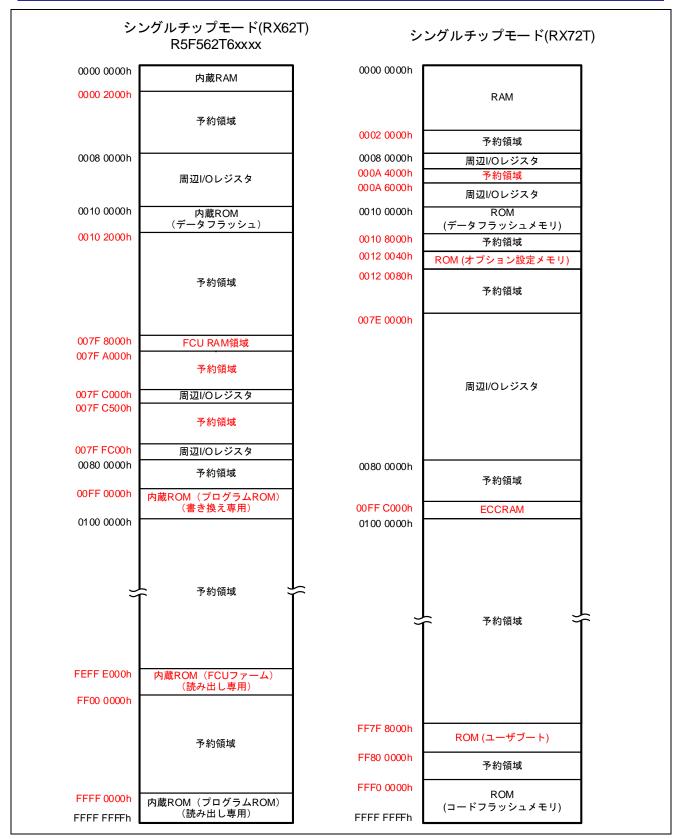


図 2.3 シングルチップモードのメモリマップ比較(RX62T: R5F562T6xxxx)

2.4 リセット

表 2.5 にリセットの概要比較を、表 2.6 にリセットのレジスタ比較を示します。

表 2.5 リセットの概要比較

項目	RX62T	RX72T
RES#端子リセット	RES#端子の入力電圧が Low	RES#端子の入力電圧が Low
パワーオンリセット	VCC の上昇、	VCC の上昇(監視電圧:VPOR)
	VCC の下降(監視電圧: VPOR)	
電圧監視 0 リセット	-	VCC の下降(監視電圧: Vdet0)
電圧監視1リセット	VCC の下降(監視電圧:Vdet1)	VCC の下降(監視電圧: Vdet1)
電圧監視2リセット	VCC の下降(監視電圧:Vdet2)	VCC の下降(監視電圧: Vdet2)
ディープソフトウェア	割り込みによるディープソフトウェア	割り込みによるディープソフトウェア
スタンバイリセット	スタンバイモードの解除	スタンバイモードの解除
独立ウォッチドッグタイマ	独立ウォッチドッグタイマのアンダフロー	独立ウォッチドッグタイマのアンダフロー
リセット		またはリフレッシュエラー
ウォッチドッグタイマ	ウォッチドッグタイマのオーバフロー	ウォッチドッグタイマのアンダフロー
リセット		またはリフレッシュエラー
ソフトウェアリセット	-	レジスタ設定

表 2.6 リセットのレジスタ比較

レジスタ	ビット	RX62T	RX72T
RSTSR	-	リセットステータスレジスタ	-
RSTSR0	-	-	リセットステータスレジスタ 0
RSTSR1	-	-	リセットステータスレジスタ 1
RSTSR2	-	-	リセットステータスレジスタ 2
RSTCSR	-	リセットコントロール/ ステータスレジスタ	-
IWDTSR	-	IWDT ステータスレジスタ	-
SWRR	-	-	ソフトウェアリセットレジスタ

2.5 電源検出回路

表 2.7 に電源検出回路の概要比較を、表 2.8 に電源検出回路のレジスタ比較を示します。

表 2.7 電源検出回路の概要比較

項目		RX62T(LVD) RX72T(LVDA)				
以 口		電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視電圧	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet1 を		下降して Vdet0 を		上昇または下降し
		通過した場合	通過した場合	通過した場合	て Vdet1 を通過し	て Vdet2 を通過し
					た場合	た場合
	検出電圧	1 レベルのみ	1 レベルのみ	OFS1.VDSEL	LVDLVLR.	LVDLVLR.
				[1:0]ビットで	LVD1LVL[3:0]	LVD2LVL[3:0]
				2 レベルから選択 可能	ビットで5レベル から選択可能	ビットで 5 レベル から選択可能
	モニタ	なし	なし	なし	Nの選択可能 LVD1SR.	Nの選択可能 LVD2SR.
	ー ロラグ	4 C	4 C	なし	LVD1SK. LVD1MON	LVD2SR. LVD2MON
					フラグ:	フラグ:
					Vdet1 より高いか	Vdet2 より高いか
					低いかをモニタ	低いかをモニタ
		RSTSR.LVD1F	RSTSR.LVD2F	なし	LVD1SR.	LVD2SR.
		フラグ:	フラグ:		LVD1DET フラグ	LVD2DET フラグ
		Vdet1 通過検出	Vdet2 通過検出		:Vdet1 通過検出	:Vdet2 通過検出
電圧検出	リセット	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
時の処理		リセット	リセット	リセット	リセット	リセット
		Vdet1 > VCC で	Vdet2 > VCC で	Vdet0 > VCC で	Vdet1 > VCC で	Vdet2 > VCC で
		リセット:	リセット:	リセット:	リセット:	リセット:
		VCC > Vdet1 の	VCC > Vdet2 の	VCC > Vdet0 の	VCC > Vdet1 の	VCC > Vdet2の
		一定時間後に	一定時間後に	一定時間後に	一定時間後に	一定時間後に
		CPU 動作再開	CPU 動作再開	CPU 動作再開	CPU 動作再開、	CPU 動作再開、
					または Vdet1 >	または Vdet2 >
					VCC の一定時間	VCC の一定時間
					後に CPU 動作再 開を選択可能	後に CPU 動作再 開を選択可能
	割り込み	電圧監視 1	 電圧監視 2	なし	電圧監視 1	電圧監視 2
	司の心が	割り込み	割り込み	<i>4</i> C	割り込み	割り込み
		ノンマスカブル	ノンマスカブル		ノンマスカブル割	ノンマスカブル割
		割り込み	割り込み		り込み、またはマ	り込み、またはマ
		11.7.2.7	11,7,2-7		スカブル割り込み	スカブル割り込み
					を選択可能	を選択可能
		Vdet1 > VCC で	Vdet2 > VCC で		Vdet1 > VCC,	Vdet2 > VCC,
		割り込み要求	割り込み要求		VCC > Vdet1 の	VCC > Vdet2の
					両方、またはど	両方、またはど
					ちらかで割り込	ちらかで割り込
					み要求	み要求
デジタル	有効/無効	デジタルフィルタ	デジタルフィルタ	デジタルフィルタ	あり	あり
フィルタ	切り替え	機能なし	機能なし	機能なし		
	サンプリ	-	-	-	LOCO の n 分周	LOCO の n 分周
	ング時間				× 2(n : 2,4,8,16)	× 2(n : 2,4,8,16)
イベントリン	ンク機能	なし	なし	なし	Vdet 通過検出	Vdet 通過検出
					イベント出力	イベント出力

表 2.8 電源検出回路のレジスタ比較

レジスタ	ビット	RX62T(LVD)	RX72T(LVDA)
RSTSR	-	リセットステータスレジスタ	-
LVDKEYR	-	低電圧検出コントロール	-
		レジスタ用キーコードレジスタ	
LVDCR	-	低電圧検出コントロールレジスタ	-
LVD1CR1	-	-	電圧監視 1 回路制御レジスタ 1
LVD1SR	-	-	電圧監視 1 回路ステータス
			レジスタ
LVD2CR1	-	-	電圧監視 2 回路制御レジスタ 1
LVD2SR	-	-	電圧監視2回路ステータス
			レジスタ
LVCMPCR	-	-	電圧監視回路制御レジスタ
LVDLVLR	-	-	電圧検出レベル選択レジスタ
LVD1CR0	-	-	電圧監視 1 回路制御レジスタ 0
LVD2CR0	-	-	電圧監視2回路制御レジスタ0

Jul.30.20

2.6 クロック発生回路

表 2.9 にクロック発生回路の概要比較を、表 2.10 にクロック発生回路のレジスタ比較を示します。

表 2.9 クロック発生回路の概要比較

項目	RX62T	RX72T
用途	CPU、DTC、MTU3、GPT、ROM および RAM に供給されるシステムクロック(ICLK) の生成	 CPU、DMAC、DTC、コードフラッシュメモリおよび RAM に供給されるシステムクロック(ICLK)の生成 RSPI、SCIi、MTU3 (内部周辺バス)、GPTW(内部周辺バス)、HRPWM (内部周辺バス)に供給される周辺モジュールクロック(PCLKA)の生成
	● 周辺モジュールに供給される周辺モジュール クロック(PCLK)の生成	 周辺モジュールに供給される周辺モジュールクロック(PCLKB)の生成 MTU3とGPTWに供給される周辺モジュールのカウンタ基準クロック、HRPWMの基準クロック(PCLKC)の生成 S12ADに供給される周辺モジュール(アナログ変換用)クロック(PCLKD)の生成 FlashIFに供給されるFlashIFクロック(FCLK)の生成 外部バスに供給される外部バスクロック(BCLK)の生成 USBbに供給されるUSBクロック(UCLK)の生成 CACに供給されるCACクロック(CACCLK)の生成 CACに供給されるCANクロック(CANMCLK)
	● IWDT に供給されるオンチップオシレータクロック(IWDTCLK)の生成	の生成 ● IWDT に供給される IWDT 専用クロック (IWDTCLK)の生成
動作周波数	ICLK:8MHz~100MHz PCLK:8MHz~50MHz	 ICLK: 200MHz (max) PCLKA: 120MHz (max) PCLKB: 60MHz (max) PCLKC: 200MHz (max) PCLKD: 8MHz~60MHz
	■ IWDTCLK:125kHz(Typ.)● クロック周波数設定制限: ICLK≧PCLK を維持	IWDTCLK: 120kHzクロック周波数設定制限: ICLK≧BCLK、PCLKC≧PCLKA≧PCLKB

項目	RX62T	RX72T
メインクロック発振器	 発振子周波数:8MHz~12.5MHz 接続できる発振子または付加回路:セラミック共振子、水晶振動子 接続端子:EXTAL, XTAL 発振停止検出機能:メインクロック発振器の発振停止検出時、内部発振に切り替える機能、MTU3 およびGPT 端子をハイインーダンスにする機能 	 発振子周波数:8MHz~24MHz 外部クロック入力周波数:24MHz (max) 接続できる発振子または付加回路:セラミック共振子、水晶振動子 接続端子:EXTAL、XTAL 発振停止検出機能:メインクロックの発振停止検出時、LOCOに切り替える機能、MTU3、GPTW の端子をハイインピーダンスにする機能
PLL 周波数 シンセサイザ	 入カクロックソース:メインクロック 入力分周比:1分周 入力周波数:8MHz~12.5MHz 逓倍比:8逓倍 出カクロック周波数:64MHz~100MHz 	 入力クロックソース: メインクロック、HOCO 入力分周比:1,2,3分周から選択可能 入力周波数:8MHz~24MHz 逓倍比:10~30 逓倍から選択可能 PLL 周波数シンセサイザ出カクロック周波数:120MHz~240MHz
高速オンチップ オシレータ (HOCO)	-	発振周波数: 16MHz, 18MHz, 20MHz から選択可能HOCO 電源制御
低速オンチップ オシレータ (LOCO)	-	発振周波数:240kHz
IWDT 専用 オンチップ オシレータ	発振周波数:125kHz	発振周波数:120kHz
BCLK 端子の 出力制御機能	-	 BCLK クロック出力または High 出力の選択が可能 出力するクロックは BCLK または BCLK の 2 分周の選択が可能
イベントリンク 機能(出力)	-	メインクロック発振器の発振停止検出
イベントリンク 機能(入力)	-	低速オンチップオシレータへのクロックソース 切り替え

表 2.10 クロック発生回路のレジスタ比較

レジスタ	ビット	RX62T	RX72T
SCKCR	-	システムクロックコントロールレジスタ	システムクロックコントロールレジスタ
		リセット後の初期値が異なります	1
	PCKD[3:0]	-	周辺モジュールクロック D (PCLKD) 選択ビット
	PCKC[3:0]	-	周辺モジュールクロック C (PCLKC) 選択ビット
	PCK[3:0]	周辺モジュールクロック選択ビット	-
	PCKB[3:0]	-	周辺モジュールクロック B (PCLKB) 選択ビット
	PCKA[3:0]	-	周辺モジュールクロック A (PCLKA) 選択ビット
	BCK[3:0]	-	外部バスクロック(BCLK)選択ビット
	PSTOP1	-	BCLK 端子出力制御ビット
	ICK[3:0]	システムクロック選択ビット	システムクロック(ICLK)選択ビット
		b27 b24 0 0 0 0 : ×8 0 0 0 1 : ×4	b27 b24 0000:1分周 0001:2分周
		0 0 1 0 : ×2 0 0 1 1 : ×1	0010:4分周 0011:8分周 0100:16分周
			0 1 0 1 : 32 分周 0 1 1 0 : 64 分周
		上記以外は設定しないでください	上記以外は設定しないでください
MEMWAIT	FCK[3:0]	-	FlashIF クロック(FCLK)選択ビット メモリウェイトサイクル設定レジスタ
SCKCR2	_	-	システムクロックコントロールレジスタ 2
SCKCR3	-	-	システムクロックコントロールレジスタ 3
PLLCR	-	-	PLL コントロールレジスタ
PLLCR2	_	-	PLL コントロールレジスタ 2
BCKCR	_	-	外部バスクロックコントロールレジスタ
MOSCCR	-	-	メインクロック発振器コントロールレジスタ
LOCOCR	-	-	レンペッ 低速オンチップオシレータ コントロールレジスタ
ILOCOCR	-	-	IWDT 専用オンチップオシレータ コントロールレジスタ
HOCOCR	-	-	高速オンチップオシレータ コントロールレジスタ
HOCOCR2	-	-	高速オンチップオシレータ コントロールレジスタ 2
OSCOVFSR	-	-	発振安定フラグレジスタ
OSTDCR	OSTDIE	-	発振停止検出割り込み許可ビット
	OSTDF		-
	KEY[7:0]	OSTDCR +-¬-ド	-
OSTDSR	-	-	発振停止検出ステータスレジスタ
MOSCWTCR	-	-	メインクロック発振器ウェイトコントロールレジスタ
MOECE			
MOFCR	-	-	メインクロック発振器機能 コントロールレジスタ
HOCOPCR	-	-	高速オンチップオシレータ電源 コントロールレジスタ

2.7 消費電力低減機能

表 2.11 に消費電力低減機能の概要比較を、表 2.12 に各モードにおける遷移および解除方法と動作状態の比較を、表 2.13 に消費電力低減機能のレジスタ比較を示します。

表 2.11 消費電力低減機能の概要比較

		T
項目	RX62T	RX72T
クロックの切り替えによる	システムクロック(ICLK)、周辺モジュール	システムクロック(ICLK)、周辺モジュール
消費電力の低減	クロック(PCLK)に対し、個別に分周比を	クロック(PCLKA, PCLKB, PCLKC,
	設定することが可能	PCLKD)、外部バスクロック(BCLK)、フ
		ラッシュインタフェースクロック(FCLK)
		に対し、個別に分周比を設定することが可
		能
BCLK 出力制御機能	-	BCLK 出力または High 出力の選択が可能
モジュールストップ機能	周辺モジュールごとに機能を停止させる	周辺モジュールごとに機能を停止させる
	ことが可能	ことが可能
低消費電力状態への遷移	CPU、周辺モジュール、発振器を停止させ	CPU、周辺モジュール、発振器を停止させ
機能	る低消費電力状態にすることが可能	る低消費電力状態にすることが可能
低消費電力状態	● スリープモード	● スリープモード
	◆ 全モジュールクロックストップモード	◆ 全モジュールクロックストップモード
	ソフトウェアスタンバイモード	ソフトウェアスタンバイモード
	ディープソフトウェアスタンバイモー	ディープソフトウェアスタンバイモー
	۴	۴

表 2.12 各モードにおける遷移および解除方法と動作状態の比較

	遷移および解除方法と		
モード	動作状態	RX62T	RX72T
スリープモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態	プログラム実行状態
		(割り込み処理)	(割り込み処理)
	メインクロック発振器	動作	動作可能
	高速オンチップオシレータ	-	動作可能
	低速オンチップオシレータ	-	動作可能
	IWDT 専用オンチップオシレータ	動作	動作可能
	PLL	動作	動作可能
	CPU	停止(保持)	停止(保持)
	内蔵 RAM	動作(保持)	動作可能(保持)
	(0000 0000h~0000 3FFFh) :RX62T		
	RAM、ECCRAM:RX72T		
	フラッシュメモリ	動作	動作
	USB2.0 ホスト/ファンクションモジュール	-	動作可能
	(USBb) ウォッチドッグタイマ		<u></u> 停止(保持)
	(WDT:RX62T、WDTA:RX72T)	<i>≨</i> /) F	厅业(体付 <i>)</i>
	独立ウォッチドッグタイマ		
	(IWDT:RX62T、IWDTa:RX72T)	340 TF	30 1F -3 BC
	ポートアウトプットイネーブル		
	(POE3:RX62T、POE3B:RX72T)		
	8 ビットタイマ(ユニット 0, 1) (TMR)	-	動作可能
	電圧検出回路	動作	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作	動作可能
	I/O 端子状態	動作	動作
全モジュール	遷移方法	制御レジスタ+命令	制御レジスタ+命令
クロック	リセット以外の解除方法	割り込み	割り込み
ストップモード	解除後の状態	プログラム実行状態	プログラム実行状態
		(割り込み処理)	(割り込み処理)
	メインクロック発振器	動作	動作可能
	高速オンチップオシレータ	-	動作可能
	低速オンチップオシレータ	-	動作可能
	IWDT 専用オンチップオシレータ	動作	動作可能
	PLL	動作	動作可能
	CPU	停止(保持)	停止(保持)
	内蔵 RAM	停止(保持)	停止(保持)
	(0000 0000h~0000 3FFFh) :RX62T		
	RAM、ECCRAM :RX72T	/= .1 //P.++\	15 1 (10 th)
	フラッシュメモリ	停止(保持)	停止(保持)
	USB2.0 ホスト/ファンクションモジュール (USBb)	-	停止
	ウォッチドッグタイマ	動作	停止(保持)
	(WDT:RX62T、WDTA:RX72T)		
	独立ウォッチドッグタイマ	動作	動作可能
	(IWDT:RX62T、IWDTa:RX72T)		
	ポートアウトプットイネーブル	動作可能 (注 1)	動作可能 (注1)
	(POE3:RX62T、POE3B:RX72T)		

	で表す トバ 一般 一大 ナ し		
モード	遷移および解除方法と	RX62T	RX72T
	動作状態		
全モジュール	8 ビットタイマ(ユニット 0, 1) (TMR)	-	動作可能
クロック	電圧検出回路	動作	動作可能
ストップモード	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O 端子状態	保持	保持
ソフトウェア	遷移方法	制御レジスタ+命令	制御レジスタ+命令
スタンバイ	リセット以外の解除方法	割り込み	割り込み
モード	解除後の状態	プログラム実行状態	プログラム実行状態
		(割り込み処理)	(割り込み処理)
	メインクロック発振器	停止	停止
	高速オンチップオシレータ	-	停止
	低速オンチップオシレータ	-	停止
	IWDT 専用オンチップオシレータ	停止	動作可能
	PLL	停止	停止
	CPU		停止(保持)
	内蔵 RAM		
	1	停止(保持)	停止(保持)
	(0000 0000h~0000 3FFFh) :RX62T RAM、ECCRAM :RX72T		
	フラッシュメモリ	 停止(保持)	
	USB2.0 ホスト/ファンクションモジュール	厅业(体付)	停止
	(USBb)	-	停止
	ウォッチドッグタイマ		
	(WDT:RX62T、WDTA:RX72T)	14元(以14)	[五元(以]4)
	独立ウォッチドッグタイマ	 │ 停止(保持)	
	(IWDT:RX62T、IWDTa:RX72T)	14 TT (W141)	±// 1 F = 1 HC
	ポートアウトプットイネーブル		
	(POE3:RX62T、POE3B:RX72T)	14 TT (W141)	14 TT (14/10)
	8 ビットタイマ(ユニット 0, 1) (TMR)	_	
	電圧検出回路	 動作	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O 端子状態	保持	保持
ディープソフト			
ティーファフト ウェア	遷移方法	制御レジスタ+命令	制御レジスタ+命令
スタンバイ	リセット以外の解除方法	割り込み	割り込み
スタンハイ モード	解除後の状態	プログラム実行状態	プログラム実行状態
	1.1.5.	(リセット処理)	(リセット処理)
	メインクロック発振器	停止	停止
	高速オンチップオシレータ	-	停止
	低速オンチップオシレータ	-	停止
	IWDT 専用オンチップオシレータ	停止	停止(不定)
	PLL	停止	停止
	CPU	停止(不定)	停止(不定)
	内蔵 RAM	停止(不定)	停止(不定)
	(0000 0000h~0000 3FFFh) :RX62T		
	RAM、ECCRAM:RX72T		
	フラッシュメモリ	停止(保持)	停止(保持)
	USB2.0 ホスト/ファンクションモジュール	-	停止(不定)
	(USBb)		
	ウォッチドッグタイマ	停止(不定)	停止(不定)
I	(WDT:RX62T、WDTA:RX72T)		

モード	遷移および解除方法と 動作状態	RX62T	RX72T
ディープソフト ウェア	独立ウォッチドッグタイマ (IWDT:RX62T、IWDTa:RX72T)	停止(不定)	停止(不定)
スタンバイ モード	ポートアウトプットイネーブル (POE3:RX62T、POE3B:RX72T)	停止(不定)	停止(不定)
	8 ビットタイマ(ユニット 0, 1) (TMR)	-	停止(不定)
	電圧検出回路	動作	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(不定)	停止(不定)
	I/O 端子状態	保持	保持

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

注1. POE 割り込みを有効に設定した状態で、全モジュールクロックストップモード中に POE 割り込み要因が発生した場合、全モジュールクロックストップモードからの復帰はしませんが、割り込み要因発生のフラグは保持されます。この状態で別要因にて全モジュールクロックストップモードから復帰した場合、復帰後に POE 割り込みが発生します。

表 2.13 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX62T	RX72T
SBYCR	STS[4:0]	スタンバイタイマ選択ビット	-
	OPE	-	出力ポート許可ビット
MSTPCRA	MSTPA2	-	8ビットタイマ 7, 6 (ユニット 3)
			モジュールストップ設定ビット
	MSTPA3	-	8 ビットタイマ 5, 4 (ユニット 2)
			モジュールストップ設定ビット
	MSTPA4	-	8 ビットタイマ 3, 2 (ユニット 1)
			モジュールストップ設定ビット
	MSTPA5	-	8 ビットタイマ 1, 0 (ユニット 0)
			モジュールストップ設定ビット
	MSTPA7	汎用 PWM タイマ	汎用 PWM タイマ/高分解能 PWM/
		モジュールストップ設定ビット	GPTW 専用ポートアウトプット イネーブル設定ビット
	MSTPA19	-	12 ビット D/A コンバータ
	WISTPATS	-	モジュールストップ設定ビット
	MSTPA23	10 ビット A/D コンバータ	12 ビット A/D コンバータ
	WOTT 7120	モジュールストップ設定ビット	(ユニット 2)モジュールストップ
			設定ビット
	MSTPA24	12 ビット A/D コンバータ制御部	モジュールストップ <mark>A24</mark> 設定
		モジュールストップ設定ビット	ビット
	MSTPA27	-	モジュールストップ A27 設定
			ビット
	MSTPA28	データトランスファコントローラ	DMA コントローラ/
		モジュールストップ設定ビット	データトランスファコントローラ
	MOTRAGO		モジュールストップ設定ビット
	MSTPA29	-	モジュールストップ A29 設定 ビット
MSTPCRB	MSTPB4	-	シリアルコミュニケーション
MOTFORD	WISTED4	-	インタフェース 12 モジュール
			ストップ設定ビット
	MSTPB6	-	データ演算回路
			モジュールストップ設定ビット
	MSTPB7	LIN	-
		モジュールストップ設定ビット	
	MSTPB9	-	イベントリンクコントローラ
	MOTERNA		モジュールストップ設定ビット
	MSTPB10	-	コンパレータ C モジュールストップ設定ビット
	MSTPB19	-	ユニバーサルシリアルバス 2.0 FS
	IND IT DIS	-	インタフェースモジュール
			ストップ設定ビット
	MSTPB25	-	シリアルコミュニケーション
			インタフェース 6 モジュール
			ストップ設定ビット
	MSTPB26	-	シリアルコミュニケーション
			インタフェース 5 モジュール
	MOTERIA	\ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \	ストップ設定ビット
	MSTPB29	シリアルコミュニケーション	-
		│ インタフェース 2 モジュール │ ストップ設定ビット	
	MCTDD21	シリアルコミュニケーション	
	MSTPB31	ンリアルコミューゲーション インタフェース 0 モジュール	-
		ストップ設定ビット	
	L	~ · · · · · · · · · · · · · · · · · · ·	

レジスタ	ビット	RX62T	RX72T
MSTPCRC	MSTPC6	-	ECCRAM モジュールストップ設定ビット
	MSTPC19	-	CAC モジュールストップ設定ビット
	MSTPC24	-	シリアルコミュニケーション インタフェース 11
	MSTPC26	-	モジュールストップ設定ビット シリアルコミュニケーション
			インタフェース 9 モジュールストップ設定ビット
	MSTPC27	-	シリアルコミュニケーション インタフェース 8 モジュールストップ設定ビット
MSTPCRD	-	-	モジュールストップコントロール レジスタ D
RSTCKCR	-	-	スリープモード復帰クロックソー ス切り替えレジスタ
DPSBYCR	-	ディープスタンバイ コントロールレジスタ リセット後の初期値が異なります	ディープスタンバイ コントロールレジスタ
DPSWCR	-	ディープスタンバイウェイト コントロールレジスタ	-
DPSIER	-	ディープスタンバイインタラプト イネーブルレジスタ	-
DPSIER0	-	-	ディープスタンバイインタラプト イネーブルレジスタ 0
DPSIER1	-	-	ディープスタンバイインタラプト イネーブルレジスタ 1
DPSIER2	-	-	ディープスタンバイインタラプト イネーブルレジスタ 2
DPSIFR	-	ディープスタンバイインタラプト フラグレジスタ	-
DPSIFR0	-	-	ディープスタンバイインタラプト フラグレジスタ 0
DPSIFR1	-	-	ディープスタンバイインタラプト フラグレジスタ 1
DPSIFR2	-	-	ディープスタンバイインタラプト フラグレジスタ 2
DPSIEGR	-	ディープスタンバイインタラプト エッジレジスタ	-
DPSIEGR0	-	-	ディープスタンバイインタラプト エッジレジスタ 0
DPSIEGR1	-	-	ディープスタンバイインタラプト エッジレジスタ 1
DPSIEGR2	-	-	ディープスタンバイインタラプト エッジレジスタ 2
RSTSR	-	リセットステータスレジスタ	-

2.8 例外処理

表 2.14 にベクタ比較を、表 2.15 に例外処理ルーチンからの復帰命令比較を示します。

表 2.14 ベクタ比較

項目		RX62T	RX72T
未定義命令例	列外	固定ベクタテーブル	例外ベクタテーブル(EXTB)
特権命令例外	\	固定ベクタテーブル	例外ベクタテーブル(EXTB)
アクセス例タ	\	固定ベクタテーブル	例外ベクタテーブル(EXTB)
浮動小数点例	列外(RX62T) /	固定ベクタテーブル	例外ベクタテーブル(EXTB)
単精度浮動小	ト数点例外(RX72T)		
リセット		固定ベクタテーブル	例外ベクタテーブル(EXTB)
ノンマスカフ	ブル割り込み	固定ベクタテーブル	例外ベクタテーブル(EXTB)
割り込み	高速割り込み	FINTV	FINTV
	高速割り込み以外	可変ベクタテーブル(INTB)	割り込みベクタテーブル(INTB)
無条件トラッ	ップ	可変ベクタテーブル(INTB)	割り込みベクタテーブル(INTB)

表 2.15 例外処理ルーチンからの復帰命令比較

項目		RX62T	RX72T
未定義命令例	列外	RTE	RTE
特権命令例外	\	RTE	RTE
アクセス例タ	\	RTE	RTE
浮動小数点例	列外(RX62T) /	RTE	RTE
単精度浮動小	ト数点例外(RX72T)		
リセット		復帰不可能	復帰不可能
ノンマスカフ	ブル割り込み	復帰不可能	禁止
割り込み	高速割り込み	RTFI	RTFI
	高速割り込み以外	RTE	RTE
無条件トラッ	ップ	RTE	RTE

2.9 割り込みコントローラ

表 2.16 に割り込みコントローラの概要比較を、表 2.17 に割り込みコントローラのレジスタ比較を示します。

表 2.16 割り込みコントローラの概要比較

	項目	RX62T(ICU)	RX72T(ICUC)
割り込み	周辺機能割り込み	 周辺モジュールからの割り込み 要因数:101 割り込み検出:エッジ検出/レベル検出 接続している周辺モジュール要因 ごとに検出方法が決められている 	 ■ 周辺モジュールからの割り込み ● 要因数:256 ● 割り込みの検出方法: エッジ検出またはレベル検出(割り込み要因ごとに検出方法は固定) ● グループ割り込み:複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 グループ BEO 割り込み:
	外部端子割り込み	 ■ IRQ7~IRQ0 端子からの割り込み ―要因数:8 ―割り込み検出: Low/立ち下りエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 ■ レジスタ書き込みによる割り込み 	● IRQi 端子(i = 0~15)への入力信号による割り込み 一要因数:16 一割り込み検出: Low レベル、立ち下がりエッジ、立ち上がりエッジ、
	割り込み優先順位	● 要因数:1 レジスタで優先順位を設定	● 要因数: 2 割り込み要因プライオリティレジスタ r (IPRr) (r = 000~255)により優先レベルを 設定
	高速割り込み機能 DTC 制御	CPU の割り込み処理を高速化が可能。 1 要因のみ設定可能 ● 割り込み要因によって DTC を起動可能 ● DTC 起動要因:87(周辺機能割り込み 78	CPU の割り込み応答時間を短縮可能。 1 つの割り込み要因にのみ設定可能 ● 割り込み要因により DTC の起動が可能
	DMAC 制御	+ 外部端子割り込み8+ ソフトウェア 割り込み1)	111 + 外部端子割り込み 16 + ソフト ウェア割り込み 2) 割り込み要因により DMAC の起動が可能
L			

	項目	RX62T(ICU)	RX72T(ICUC)
ノンマスカブ ル割り込み	NMI 端子割り込み	● NMI 端子からの割り込み ―割り込み検出:立ち下りエッジ/立ち 上がりエッジ	● NMI 端子への入力信号による割り込み 一割り込み検出:立ち下がりエッジま たは立ち上がりエッジ 一デジタルフィルタを使用することに より、ノイズを除去することが可能
	電圧監視割り込み	電源電圧低下検出時の割り込み	電圧検出 1 回路(LVD1)、電圧検出 2 回路 (LVD2)からの電源電圧 <mark>上昇</mark> または低下検 出時の割り込み
	発振停止検出 割り込み	発振停止検出時の割り込み	メインクロック発振器の停止を検出したと きの割り込み
	WDT アンダフロー/ リフレッシュエラー 割り込み	-	ウォッチドッグタイマがアンダフローした とき、またはリフレッシュエラーが発生し たときの割り込み
	IWDT アンダフロー/ リフレッシュエラー 割り込み	-	独立ウォッチドッグタイマがアンダフロー したとき、またはリフレッシュエラーが発 生したときの割り込み
	RAM エラー割り込み	-	RAM のパリティチェックエラー、または ECCRAM の ECC エラーを検出したとき の割り込み
低消費電力状 態からの復帰	スリープモード	ノンマスカブル割り込み、 全割り込み要因で復帰	すべての割り込み要因で復帰
	全モジュールクロック ストップモード	ノンマスカブル割り込み、 IRQ7~IRQ0割り込み、WDT割り込みで 復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、発振停止検出、USB レジューム、IWDT、TMR0~3)で復帰
	ソフトウェア スタンバイモード	ノンマスカブル割り込み、 IRQ7~IRQ0 割り込みで復帰	NMI 端子割り込み、外部端子割り込み、周 辺機能割り込み(電圧監視 1、電圧監視 2、 USB レジューム、IWDT)で復帰
	ディープソフトウェア スタンバイモード	NMI 端子割り込み、外部割り込み、 一部の内部割り込み(電圧監視)で復帰	NMI 端子割り込み、一部の外部端子割り 込み、周辺機能割り込み(電圧監視 1、電圧 監視 2)で復帰

表 2.17 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX62T(ICU)	RX72T(ICUC)
IRn ^(注 1)	-	割り込み要求レジスタ n	割り込み要求レジスタn
		(n = 016~254)	(n = 016~255)
IPRm ^(注 1)	-	割り込み要因プライオリティ	割り込み要因プライオリティ
		レジスタ m (m = 00h~90h)	レジスタ m (m = 000~255)
SWINT2R	-	-	ソフトウェア割り込み2起動
			レジスタ
DTCERn (注 1)	-	DTC 起動許可レジスタ n	DTC 転送要求許可レジスタ n
		(n = 027~254)	(n = 026∼255)
DMRSRm	-	-	DMAC 起動要因選択レジスタ m
			$(m = 0 \sim 7)$
IRQCRn	-	IRQ コントロールレジスタ n	IRQ コントロールレジスタ n
		(n = 0∼7)	$(n = 0 \sim 15)$
IRQFLTE0	-	-	IRQ 端子デジタルフィルタ許可
			レジスタ 0
IRQFLTE1	-	-	IRQ 端子デジタルフィルタ許可
			レジスタ 1
IRQFLTC0	-	-	IRQ 端子デジタルフィルタ設定
			レジスタ 0

レジスタ	ビット	RX62T(ICU)	RX72T(ICUC)
IRQFLTC1	-	-	IRQ 端子デジタルフィルタ設定 レジスタ 1
NMISR	LVDST	電圧監視割り込みステータス フラグ	-
	OSTST	発振停止検出割り込みステータス フラグ(b2)	発振停止検出割り込みステータス フラグ(b1)
	WDTST	-	WDT アンダフロー/リフレッシュ エラーステータスフラグ
	IWDTST	-	IWDT アンダフロー/リフレッシュ エラーステータスフラグ
	LVD1ST	-	電圧監視 1 割り込みステータス フラグ
	LVD2ST	-	電圧監視2割り込みステータス フラグ
	RAMST	-	RAM エラー割り込みステータス フラグ
NMIER	LVDEN	電圧監視割り込み許可ビット	-
	OSTEN	発振停止検出割り込み許可ビット (b2)	発振停止検出割り込み許可ビット (b1)
	WDTEN	-	WDT アンダフロー/リフレッシュ エラー許可ビット
	IWDTEN	-	IWDT アンダフロー/リフレッシュ エラー許可ビット
	LVD1EN	-	電圧監視1割り込み許可ビット
	LVD2EN	-	電圧監視2割り込み許可ビット
	RAMEN	-	RAM エラー割り込み許可ビット
NMICLR	OSTCLR	OST クリアビット (b2)	OST クリアビット (b1)
	WDTCLR	-	WDTクリアビット
	IWDTCLR	-	IWDT クリアビット
	LVD1CLR	-	LVD1 クリアビット
	LVD2CLR	-	LVD2 クリアビット
NMIFLTE	-	-	NMI 端子デジタルフィルタ許可 レジスタ
NMIFLTC	-	-	NMI 端子デジタルフィルタ設定 レジスタ
GRPBE0、GRPBL0/ GRPBL1、GRPAL0	-	-	グループ BE0, BL0/1, AL0 割り込み要求レジスタ
GENBEO、GENBLO/ GENBL1、GENALO	-	-	グループ BE0, BL0/1, AL0 割り込み要求許可レジスタ
GCRBE0	-	-	グループ BEO 割り込みクリア レジスタ
PIARk	-	-	選択型割り込み A 要求レジスタ k (k = 0h~12h)
SLIARn	-	-	選択型割り込み A 要因選択 レジスタ n (n = 208~255)
SLIPRCR	-	-	選択型割り込み要因選択レジスタ 書き込み保護レジスタ

注 1. RX62T グループでは n=255 は予約領域です。

2.10 バス

表 2.18 にバスの概要比較を、表 2.19 にバスのレジスタ比較を示します。

表 2.18 バスの概要比較

]	項目	RX62T	RX72T
CPU バス	命令バス	 CPU(命令)を接続 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) システムクロック(ICLK)に同期して動作 CPU(オペランド)を接続 	 CPU (命令)を接続 内蔵メモリを接続 (RAM、コードフラッシュメモリ) システムクロック (ICLK)に同期して動作 CPU (オペランド)を接続
	Z	● 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM)● システムクロック(ICLK)に同期して動作	 内蔵メモリを接続 (RAM、コードフラッシュメモリ) システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	内蔵 RAM を接続	RAM を接続
	メモリバス 2	内蔵 ROM を接続	コードフラッシュメモリを接続
	メモリバス 3	-	ECCRAM を接続
内部メイン	内部メイン	● CPU を接続	● CPU を接続
バス	バス 1	● システムクロック(ICLK)に同期して動作	● システムクロック(ICLK)に同期して動作
	内部メインバス 2	DTC を接続内蔵メモリを接続(内蔵 RAM、内蔵 ROM)システムクロック(ICLK)に同期して動作	 DTC、DMAC を接続 内蔵メモリを接続 (RAM、コードフラッシュメモリ) システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	 ● 周辺機能(バスエラー監視部、割り込み等)を接続 ● システムクロック(ICLK)に同期して動作 	 周辺機能(TFU、DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 システムクロック(ICLK)に同期して動作
	内部周辺バス 2	● 周辺機能(WDT、CMT、CRC、SCI等)を 接続● 周辺モジュールクロック(PCLK)に同期し て動作	 周辺機能(内部周辺バス 1、3、4、5 以外の周辺機能)を接続 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス3	1	周辺機能(USBb、CMPC)を接続周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 4	■ 周辺機能(MTU3、GPT)を接続● システムクロック(ICLK)に同期して動作	 周辺機能(MTU3、GPTW、HRPWM、RSPI、SCli)を接続 周辺モジュールクロック(PCLKA)に同期
	内部周辺バス 5		して動作
	内部周辺バス 6	内蔵 ROM(P/E)/データフラッシュを接続● 周辺モジュールクロック(PCLK)に同期して動作	 予約領域 ● コードフラッシュメモリ(P/E 時)、データフラッシュメモリを接続 ● FlashIF クロック(FCLK)に同期して動作
外部バス	CS 領域	-	外部デバイスを接続外部バスクロック(BCLK)に同期して動作

表 2.19 バスのレジスタ比較

レジスタ	ビット名	RX62T	RX72T
CSnCR	-	-	CSn 制御レジスタ
			(n = 0~3)
CSnREC	-	-	CSn リカバリサイクル設定レジスタ
			(n = 0~3)
CSRECEN	-	-	CS リカバリサイクル挿入許可
			レジスタ
CSnMOD	-	-	CSn モードレジスタ
			(n = 0~3)
CSnWCR1	-	-	CSn ウェイト制御レジスタ 1
			(n = 0~3)
CSnWCR2	-	-	CSn ウェイト制御レジスタ 2
			(n = 0~3)
BEREN	TOEN	-	タイムアウト検出許可ビット
BERSR1	ТО	-	タイムアウトビット
BUSPRI	-	-	バスプライオリティ制御レジスタ

2.11 メモリプロテクションユニット

表 2.20 にメモリプロテクションユニットのレジスタ比較を示します。

表 2.20 メモリプロテクションユニットのレジスタ比較

レジスタ	ビット名	RX62T(MPU)	RX72T(MPU)
MPESTS	IA(RX62T)	命令メモリプロテクションエラー発生	命令メモリプロテクションエラ一発生
	IMPER(RX72T)	ビット	ビット
	DA(RX62T)	データメモリプロテクションエラ一発生	データメモリプロテクションエラー発生
	DMPER(RX72T)	ビット	ビット

2.12 データトランスファコントローラ

表 2.21 にデータトランスファコントローラの概要比較を示します。

表 2.21 データトランスファコントローラの概要比較

項目	RX62T(DTC)	RX72T(DTCa)
転送モード	● ノーマル転送モード	
142		―1 回の起動で 1 つのデータを転送する
	● リピート転送モード	● リピート転送モード
	―リピートサイズ分データを転送すると	―リピートサイズ分データを転送すると
	転送開始アドレスに復帰	転送開始アドレスに復帰
	―リピートサイズは最大 256 データ設	―リピート回数は最大 256 回設定可能
	定可能	で、256×32 ビットで、最大 1024 バ
		イト転送可能
	● ブロック転送モード	● ブロック転送モード
	—1 回の起動で 1 ブロックのデータを転	—1 回の起動で 1 ブロックのデータを転
	送する	送する
	―ブロックサイズは、最大 255 データ	—ブロックサイズは、最大 <mark>256</mark> ×32
	設定可能	ビット= 1 <mark>024 バイト</mark> 設定可能
転送チャネル数	割り込み要因に対応するチャネル転送が可	DTC 起動が可能なすべての割り込み要因の
	能(ICU からの DTC 起動要求で転送)	数と同数
チェーン転送機能	1つの起動要因に対して複数の	1回の転送要求に対して複数種類のデー
	データ転送が可能(チェーン転送)	タ転送を連続して実行可能
	● チェーン転送は、カウンタ=0 のとき実	● 「転送カウンタが"0"になったときの
	施 する/毎回実施する、のいずれかを選択	み 実施」/「毎回実施」のいずれかを選択可
	9 砂海回美脆りる、のいりれがを選択 可能	大心」/「毎回天心」のいりれがを選択り 能
 転送空間	● ショートアドレスモードのとき 16M	● ショートアドレスモードのとき 16M
拉及工间	バイト(0000 0000h ~ 007F FFFFh と	バイト("0000 0000h" ~ "007F FFFFh"と
	FF80 0000h ~ FFFF FFFFh のうち、予	"FF80 0000h" ~ "FFFF FFFFh"のうち、
	約領域以外の領域)	予約領域以外の領域)
	● フルアドレスモードのとき 4G バイト	● フルアドレスモードのとき 4G バイト
	(0000 0000h~FFFF FFFFh のうち、予	("0000 0000h" ~ "FFFF FFFFh"のうち、
	約領域以外の領域)	予約領域以外の領域)
データ転送単位	● 1 データのビット長:	● 1データ:1バイト(8ビット)、1ワード
	8 ビット、16 ビット、32 ビット	(16 ビット)、1 ロングワード(32 ビット)
	● ブロックサイズのデータ数:	● 1 ブロックサイズ:
	1~255 データ	1~ <mark>256</mark> データ
CPU 割り込み要求	● DTC を起動した割り込みで CPU への割	● DTC を起動した割り込みで CPU への割
	り込み要求発生が可能	り込み要求を発生可能
	● 1回のデータ転送終了後に CPU への割	● 1回のデータ転送終了後に CPU への割り
	り込み要求発生が可能	込み要求を発生可能
	指定したデータ数のデータ転送終了後に CPU への割り込み要求発生が可能	● 指定したデータ数のデータ転送終了後に CPU への割り3.4 再北を発生可能
イベントリンク機能	CPUへの割り込み要求発生が可能	CPU への割り込み要求を発生可能 1回のデータ転送後(ブロックの場合は1ブ
イベンドリング版化	-	ロック転送後)、イベントリンク要求を発生
リードスキップ	│ │ 転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出
	The state of the s	しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合または転送先ア	転送元アドレスまたは転送先アドレスが固定
	ドレス固定の場合はライトバックスキップ	の場合、更新されない転送情報の書き戻しを
	を実行	省略
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能

2.13 1/0 ポート

表 2.22 に I/O ポート 100 ピン(RX72T:PGA 疑似差動入力あり)の概要比較を、表 2.23 に I/O ポート 100 ピン(RX72T:PGA 疑似差動入力なし)の概要比較を、表 2.24 に I/O ポートの機能比較を、表 2.25 に I/O ポートのレジスタ比較を示します。

表 2.22 I/O ポート 100 ピン(RX72T:PGA 疑似差動入力あり)の概要比較

		RX72T(100 ピン)	
項目	RX62T(100 ピン)	PGA 疑似差動入力あり	PGA 疑似差動入力あり
		USB 端子あり	USB 端子なし
PORT0	-	P00, P01	P00, P01
PORT1	P10, P11	P10, P11	P10, P11
PORT2	P20~P24	P20~P24, P27	P20~P24, P27
PORT3	P30~P33	P30~P33, P36, P37	P30~P33, P36, P37
PORT4	P40~P47	P40~P47	P40~P47
PORT5	P50~P55	P52~P55	P52~P55
PORT6	P60~P65	P60~P65	P60~P65
PORT7	P70~P76	P70~P76	P70~P76
PORT8	P80~P82	P80~P82	P80~P82
PORT9	P90~P96	P90~P96	P90~P96
PORTA	PA0~PA5	PA0~PA5	PA0~PA5
PORTB	PB0~PB7	PB0~PB6	PB0~PB7
PORTD	PD0~PD7	PD2~PD7	PD0~PD7
PORTE	PE0~PE5	PE0~PE5	PE0~PE5
PORTH	-	PH0, PH4	PH0, PH4

表 2.23 I/O ポート 100 ピン(RX72T:PGA 疑似差動入力なし)の概要比較

項目	RX62T(100 ピン)	RX72T(100 ピン) (PGA 疑似差動入力なし USB 端子なし)
PORT0	-	P00, P01
PORT1	P10, P11	P10, P11
PORT2	P20~P24	P20~P24
PORT3	P30~P33	P30~P33, P36, P37
PORT4	P40~P47	P40~P47
PORT5	P50~P55	P50~P55
PORT6	P60~P65	P60~P65
PORT7	P70~P76	P70~P76
PORT8	P80~P82	P80~P82
PORT9	P90~P96	P90~P96
PORTA	PA0~PA5	PA0~PA5
PORTB	PB0~PB7	PB0~PB7
PORTD	PD0~PD7	PD0~PD7
PORTE	PE0~PE5	PE0~PE5

表 2.24 I/O ポートの機能比較

項目	ポートシンボル	RX62T	RX72T
	PORT0		P00, P01
) / / / / / / / / / / / / / / / / / / /	PORT1		P10~P17
	PORT2	_	P20~P27
	PORT3		P30~P37
	PORT4		P43, P47
	PORT5		P50~P55
	PORT6		P60~P65
	PORT7		P70~P76
	PORT8		P80~P82
	PORT9		P90~P96
	PORTA		PA0~PA7
	PORTB	_	PB0~PB7
	PORTC	_	PC0~PC6
	PORTD	_	PD0~PD7
	PORTE	_	PE0, PE1, PE3~PE6
	PORTE	_	PF0~PF3
	PORTG	_	PG0~PG2
	PORTH	_	PH1~PH3, PH5~PH7
→ → , , , , , , ,	PORTK	_	PK0~PK2
オープンドレイン	PORTO	_	P00, P01
出力機能	PORT1	<u> </u>	P10~P17
	PORT2	_	P20~P27
	PORT3	_	P30~P37
	PORT4	_	P43, P47
	PORTS	_	P50~P55
	PORT6	_	P60~P65
	PORT7	_	P70~P76
	PORT8	_	P80~P82
	PORT9	_	P90~P96
	PORTA	— DD4_DD0	PA0~PA7
	PORTB	PB1, PB2	PB0~PB7
	PORTC	_	PC0~PC6
	PORTD	_	PD0~PD7
	PORTE	_	PE0, PE1, PE3~PE6
	PORTE	-	PF0~PF3
	PORTG	_	PG0~PG2
	PORTH	_	PH1~PH3, PH5~PH7
ᄧᅈᄛᆎᄼᅪᆫᆉᄀᆝᆘᆍᆍᄀᅷᅉᄼᅶ	PORTK	_	PK0~PK2
駆動能力切り替え機能	PORT0	_	P00, P01
	PORT1	_	P10~P17
	PORT2	_	P20~P27
	PORT3	_	P30~P37
	PORT4	_	P43, P47
	PORTS	-	P50~P55
	PORT6	_	P60~P65
	PORT7	_	P70~P76
	PORT8	-	P80~P82
	PORT9	-	P90~P96
	PORTA	_	PA0~PA7
	PORTB	<u> </u>	PB0~PB7

項目	ポートシンボル	RX62T	RX72T
駆動能力切り替え機能	PORTC	_	PC0~PC6
	PORTD	_	PD0~PD7
	PORTE	_	PE0, PE1, PE3~PE6
	PORTF	_	PF0~PF3
	PORTG	_	PG0~PG2
	PORTH	_	PH1~PH3, PH5~PH7
	PORTK	_	PK0~PK2
5V トレラント	PORTB	_	PB1, PB2
	PORTC	_	PC0
	PORTD	_	PD2

表 2.25 I/O ポートのレジスタ比較

レジスタ	ビット	RX62T	RX72T
DDR(RX62T)	B0∼B7	Pn0~7 入力/出力指定ビット	Pm0~7 方向制御ビット
PDR(RX72T)		(n = 1~3, 7~9, A, B, D, E, G)	(m = 0~9, A~H, K)
DR(RX62T)	B0∼B7	Pn0~7 出力データ格納ビット	Pm0~7 出力データ格納ビット
PODR(RX72T)		(n = 1~3, 7~9, A, B, D, E, G)	(m = 0~9, A~H, K)
PORT(RX62T)	B0∼B7	Pn0~7 ビット	Pm0~7 ビット
PIDR(RX72T)		(n = 1~9, A, B, D, E, G)	(m = 0~9, A~H, K)
PMR	-	-	ポートモードレジスタ
ICR	-	入力バッファコントロール	-
		レジスタ	
PF8IRQ	-	ポートファンクションレジスタ 8	-
PF9IRQ	-	ポートファンクションレジスタ 9	-
PFAADC	-	ポートファンクションレジスタ A	-
PFCMTU	-	ポートファンクションレジスタ С	-
PFDGPT	-	ポートファンクションレジスタ D	-
PFFSCI	-	ポートファンクションレジスタ F	-
PFGSPI	-	ポートファンクションレジスタ G	-
PFHSPI	-	ポートファンクションレジスタ H	-
RFJCAN	-	ポートファンクションレジスタJ	-
PFKLIN	-	ポートファンクションレジスタ K	-
PFMPOE	-	ポートファンクションレジスタ M	-
PFNPOE	-	ポートファンクションレジスタ N	-
ODR0	-	-	オープンドレイン制御レジスタ 0
ODR1	-	-	オープンドレイン制御レジスタ 1
PCR	-	-	プルアップ制御レジスタ
DSCR	-	-	駆動能力制御レジスタ
DSCR2	-	-	駆動能力制御レジスタ 2

2.14 マルチファンクションタイマパルスユニット3

表 2.26 にマルチファンクションタイマパルスユニット 3 の概要比較を、表 2.27 にマルチファンクションタイマパルスユニット 3 のレジスタ比較を、表 2.28 に TPSC ビットの設定比較(MTU5 以外)を、表 2.29 に TPSC ビットの設定比較(MTU5)を示します。

表 2.26 マルチファンクションタイマパルスユニット 3 の概要比較

項目	RX62T(MTU3)	RX72T(MTU3d)
パルス入出力	最大 24 本	最大 28 本
パルス入力	3本	3本
カウントクロック	チャネルごとに 6〜8 種類 (チャネル 5 は 4 種類)	チャネルごとに 11 種類 (MTU0、MTU9 は 14 種類、 MTU2 は 12 種類、 MTU5 は 10 種類、 MTU1 &MTU2 (LWA = 1 のとき)は 4 種類)
動作周波数	8~100MHz	~200MHz
設定可能動作	【MTU0~4、6、7】 ■ コンペアマッチによる波形出力 ■ インプットキャプチャ機能 ■ カウンタクリア動作 ■ 複数のタイマカウンタ(TCNT)への同時書き込み ■ コンペアマッチ/インプットキャプチャによる同時クリア ■ カウンタの同期動作による各レジスタの同期入出力 ■ 同期動作と組み合わせることによる最大12 相の PWM 出力	【MTU0~MTU4, MTU6, MTU7, MTU9】 ■ コンペアマッチによる波形出力 ■ インプットキャプチャ機能 (ノイズフィルタ設定可能) ■ カウンタクリア動作 ■ 複数のタイマカウンタ(TCNT)への同時書き込み ■ コンペアマッチ/インプットキャプチャによる同時クリア ■ カウンタの同期動作による各レジスタの同期入出力 ■ 同期動作と組み合わせることによる最大14 相の PWM 出力
	【MTU0、3、4、6、7】 バッファ動作を設定可能	【MTU0, MTU3, MTU4, MTU6, MTU7, MTU9】 バッファ動作を設定可能
	 【MTU3、4、6、7】 MTU3/4、および MTU6/7 の連動動作による相補 PWM、リセット PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 相補 PWM モード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD, MTU7.TGRD)への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 相補 PWM モードでダブルバッファ機能を設定可能 【MTU1、2】 	【MTU3, MTU4, MTU6, MTU7】 ■ MTU3/MTU4、および MTU6/MTU7 の 連動動作による相補 PWM、リセット 同期 PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 ■ 相補 PWM モード時、タイマカウンタ
	個々に位相計数モードを設定可能カスケード接続動作が可能	 ● 独立に位相計数モードを設定可能 ● MTU1、MTU2 連動の 32 ビット位相 計数モードを設定可能(TMDR3.LWA = 1 設定時) ● カスケード接続動作が可能

項目	RX62T(MTU3)	RX72T(MTU3d)
設定可能動作	[MTU3、4]	[MTU3, MTU4]
以化刊配到计	● MTU0と連動させて、相補 PWM、リ	【MTU0 5, MTU4】 ● MTU0 と連動させて、相補 PWM、リ
	セット PWM を用いた AC 同期モータ	セット同期 PWM を用いた AC 同期
	(ブラシレス DC モータ)駆動モードが	モータ(ブラシレス DC モータ)駆動
	設定可能で、2種類(チョッピング、レ	モードが設定可能で、2 種類(チョッピ
	ベル)の波形出力が選択可能	ング、レベル)の波形出力が選択可能
	[MTU5]	[MTU5]
	● デッドタイム補償用カウンタとして使用	● デッドタイム補償用カウンタとして使
	することが可能	用することが可能
	-	[MTU6, MTU7]
		● MTU9 と連動させて、相補 PWM、リ
		セット同期 PWM を用いた AC 同期
		モータ(ブラシレス DC モータ)駆動
		モードが設定可能で、2種類(チョッピ
thu 11 22 22 BB 21 24 446 46		ング、レベル)の波形出力が選択可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山/谷	相補 PWM モード時に、カウンタの山、谷
	▼ での割り込み、および A/D コンバータの ▼換スタートトリガを間引くことが可能	│ での割り込み、および A/D コンバータの │ 変換スタートトリガを間引くことが可能
 割り込み要因	38 種類	45 種類
バッファ動作		1
ハツファ助TF	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)	レジスタデータの自動転送(バッファレジ スタからタイマレジスタへの転送)
 トリガ生成	A/D コンバータの変換開始トリガを生成可	A/D コンバータの変換開始トリガを生成可
トリカ主成	ADコンバータの変換開始トリカを主成引 能	ベレコンハーダの変換開始ドリカを主成可 能
	^{RE} A/D 変換開始要求のディレイド機能によ	A/D変換開始要求のディレイド機能によ
	り、任意のタイミングで A/D 変換開始が	り、任意のタイミングで A/D 変換開始が
	可能。また PWM 出力との同期動作が可能	可能。また PWM 出力との同期動作が可能
	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
相補 PWM モード	ダブルバッファ機能使用時のみ、バッファ	ダブルバッファ機能使用時のみ、バッファ
	レジスタ(MTU3.TGRE、MTU4.TGRE、	レジスタ(MTU3.TGRE、MTU4.TGRE、
	MTU4.TGRF(MTU6.TGRE、	MTU4.TGRF(MTU6.TGRE、
	MTU7.TGRE、MTU7.TGRF))に出力する	MTU7.TGRE、MTU7.TGRF))に出力する
	PWM デューティ値-1 を設定	PWM デューティ値を設定

表 2.27 マルチファンクションタイマパルスユニット3のレジスタ比較

レジ	スタ	ビット	RX62T(MTU3)	RX72T(MTU3d)
TCR		TPSC[2:0]	タイマプリスケーラ選択ビット	タイマプリスケーラ選択ビット
		TPSC[1:0]	5% (m) 1 + 0 00 + 0 00 + 0 00 1	
			詳細は表 2.28、表 2.29 を参照して	詳細は表 2.28、表 2.29 を参照してく ださい。
TCR2		-	ください。	タイマコントロールレジスタ 2
TMDR1		MD[3:0]	- モード選択ビット	モード選択ビット
TIVIDET		MID[3.0]	ーート選択しット	モート選択しット
			b3 b0	b3 b0
			0000:通常動作	0000: ノーマルモード
			0001: 設定しないでください	0001:設定しないでください
			0010: PWMモード1	0010: PWMモード1
			0011: PWMモード2	0011: PWMモード2
			0100:位相計数モード1	0100:位相計数モード1
			0101:位相計数モード2	0101: 位相計数モード2
			0110: 位相計数モード3	0110:位相計数モード3
			0111:位相計数モード4	0111:位相計数モード4
			1000: リセット同期 PWM モード	1000: リセット同期 PWM モード
			1001: 設定しないでください 101x: 設定しないでください	1001: 位相計数モード5 101x: 設定しないでください
			1100:設定しないでください	1100:設定しないでください
			1100: 設定 0 kg でくだこ 0 kg 1101: 相補 PWM モード 1	1100: 設定 030 でくんこ 01 1101: 相補 PWM モード1
			(山で転送)	(山で転送)
			1110: 相補 PWM モード2	1110: 相補 PWM モード2
			(谷で転送)	(谷で転送)
			1111: 相補 PWM モード3	1111: 相補 PWMモード3
			(山・谷で転送)	(山と谷で転送)
TMDDO		_	x : Don't care	x : Don't care
TMDR3	TSR	TGFA	 インプットキャプチャ/	タイマモードレジスタ 3
TOK	ISK	IGIA	インフラドイヤンデマ/ アウトプットコンペアフラグ A	-
		TGFB	インプットキャプチャ/	-
			アウトプットコンペアフラグ B	
		TGFC	インプットキャプチャ/	-
			アウトプットコンペアフラグ C	
		TGFD	インプットキャプチャ/	-
		TCFV	アウトプットコンペアフラグ D オーバフローフラグ	
		TCFU	アンダフローフラグ	-
		CMFW5	コンペアマッチ/	1 -
		Olvii VV3	インプットキャプチャフラグ W5	
		CMFV5	コンペアマッチ/	-
			インプットキャプチャフラグ V5	
		CMFU5	コンペアマッチ/	-
			インプットキャプチャフラグ U5	
	TSR2	TGFE	コンペアマッチフラグE	-
TO: 1=111	<u> </u>	TGFF	コンペアマッチフラグ F	-
TCNTLW		-	-	タイマロングワードカウンタ
TGRALW TGRBLW		-	-	タイマロングワードジェネラル レジスタ
TSTRA	1	CST9	-	カウンタスタート9ビット
TSYRA		SYNC9	-	タイマ同期9ビット
TCSYST	R	SCH9	1-	シンクロスタート9ビット
100101	11	30113	1 -	ノンノロベメートョレット

レジスタ	ビット	RX62T(MTU3)	RX72T(MTU3d)
TGCRB	-	-	タイマゲートコントロール
			レジスタ
NFCRn	-	-	ノイズフィルタコントロール
			レジスタ n (n = 0~4, 6, 7, 9, C)
NFCR5	-	-	ノイズフィルタコントロール
			レジスタ 5
TADSTRGR0	-	-	A/D 変換開始要求選択レジスタ 0
TADSTRGR1	-	-	A/D 変換開始要求選択レジスタ 1

表 2.28 TPSC ビットの設定比較(MTU5 以外)

		RX62T(MTU3)		RX7	2T(MTU3d)
チャネル	TCR. TPSC[2:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[2:0]	説明
MTU0 (RX62T)	000	内部クロック: ICLK/1 でカウント	000	000	内部クロック: PCLKC/1 でカウント
MTU0, MTU9	0 0 1	内部クロック: ICLK/4 でカウント	000	001	内部クロック: PCLKC/4 でカウント
(RX72T)	010	内部クロック: ICLK/16 でカウント	000	010	内部クロック: PCLKC/16 でカウント
	011	内部クロック: ICLK/64 でカウント	000	011	内部クロック: PCLKC/64 でカウント
	100	外部クロック: MTCLKA 端子入力でカウント	000	100	外部クロック: MTCLKA 端子入力でカウント
	101	外部クロック: MTCLKB 端子入力でカウント	000	101	外部クロック: MTCLKB 端子入力でカウント
	110	外部クロック: MTCLKC 端子入力でカウント	000	110	外部クロック: MTCLKC 端子入力でカウント
	111	外部クロック: MTCLKD 端子入力でカウント	000	111	外部クロック: MTCLKD 端子入力でカウント
			0 0 1	xxx	内部クロック: PCLKC/2 でカウント
			010	xxx	内部クロック: PCLKC/8 でカウント
			011	xxx	内部クロック: PCLKC/32 でカウント
			100	xxx	内部クロック: PCLKC/256 でカウント
			101	xxx	内部クロック: PCLKC/1024 でカウント
			1 1 0 1 1 1	x x x x x x	設定しないでください 外部クロック:
					MTIOC1A 端子入力でカウント
MTU1	000	内部クロック : ICLK/1 でカウント	000	000	内部クロック: PCLKC/1 でカウント
	0 0 1	内部クロック: ICLK/4 でカウント	000	001	内部クロック: PCLKC/4 でカウント
	010	内部クロック: ICLK/16 でカウント	000	010	内部クロック: PCLKC/16 でカウント
	0 1 1	内部クロック: ICLK/64 でカウント	000	011	内部クロック: PCLKC/64 でカウント
	100	外部クロック: MTCLKA 端子入力でカウント	000	100	外部クロック: MTCLKA 端子入力でカウント

		RX62T(MTU3)		RX7	2T(MTU3d)
チャネル	TCR.	説明	TCR2.	TCR.	説明
	TPSC[2:0]	רפיטנו	TPSC2[2:0]	TPSC[2:0]	בפיתם
MTU1	101	外部クロック:	000	101	外部クロック:
		MTCLKB 端子入力でカウント			MTCLKB 端子入力でカウント
	110	内部クロック:	000	110	内部クロック:
		ICLK / 256 でカウント			PCLKC/256 でカウント
	111	MTU2.TCNT のオーバフロー/ アンダフローでカウント	000	111	MTU2.TCNT のオーバフロー/ アンダフロー
			0 0 1	xxx	内部クロック:
			001	* * * *	PCLKC/2 でカウント
			010	xxx	内部クロック:
					PCLKC/8 でカウント
			0 1 1	xxx	内部クロック:
					PCLKC/32 でカウント
			100	XXX	内部クロック:
					PCLKC/1024 でカウント
			101	XXX	設定しないでください
			110	XXX	設定しないでください
MTHO	0.0.0	中却有只见有	111	XXX	設定しないでください
MTU2	000	内部クロック: ICLK/1 でカウント	000	000	内部クロック: PCLKC/1 でカウント
	001	内部クロック:	000	001	内部クロック:
		ICLK/4でカウント			PCLKC/4 でカウント
	010	内部クロック:	000	010	内部クロック:
		ICLK∕16でカウント			PCLKC/16 でカウント
	011	内部クロック:	000	011	内部クロック:
		ICLK/64 でカウント			PCLKC/64 でカウント
	100	外部クロック:	000	100	外部クロック:
		MTCLKA 端子入力でカウント			MTCLKA 端子入力でカウント
	101	外部クロック: MTCLKB 端子入力でカウント	000	101	外部クロック: MTCLKB 端子入力でカウント
	110	MICEND 端子スカミカワント 外部クロック:	000	110	MICLES 端子スカでカウンド 外部クロック:
	110	^^Bo / B / / / MTCLKC 端子入力でカウント	000	110	MTCLKC 端子入力でカウント
	111	内部クロック:	000	111	内部クロック:
		ICLK/1024 でカウント			PCLKC/1024 でカウント
			0 0 1	xxx	内部クロック:
					PCLKC/2 でカウント
			010	xxx	内部クロック:
					PCLKC/8 でカウント
			011	XXX	内部クロック: PCLKC/32 でカウント
			100	xxx	内部クロック:
			100	* * *	PCLKC/256 でカウント
			101	xxx	設定しないでください
			110	xxx	設定しないでください
			111	xxx	設定しないでください
MTU3	000	内部クロック:	000	000	内部クロック:
MTU4		ICLK/1 でカウント			PCLKC/1 でカウント
MTU6	0 0 1	内部クロック:	000	001	内部クロック:
MTU7		ICLK/4 でカウント			PCLKC/4 でカウント
	010	内部クロック:	000	010	内部クロック:
		ICLK / 16 でカウント	0.00		PCLKC/16 でカウント
	011	内部クロック: ICLK / 64 でもウント	000	011	内部クロック : PCLKC/64 でもむいと
	<u> </u>	ICLK/64 でカウント			PCLKC/64 でカウント

		RX62T(MTU3)		RX7	2T(MTU3d)
チャネル	TCR. TPSC[2:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[2:0]	説明
MTU3 MTU4	100	内部クロック: ICLK/256 でカウント	000	100	内部クロック: PCLKC/256 でカウント
MTU6 MTU7	101	内部クロック: ICLK/1024 でカウント	000	101	内部クロック: PCLKC/1024 でカウント
	110	外部クロック: MTCLKA 端子入力でカウント ^(注 1)	000	110	外部クロック: MTCLKA 端子入力でカウント
	111	外部クロック: MTCLKB 端子入力でカウント ^(注 1)	000	111	外部クロック: MTCLKB 端子入力でカウント
			0 0 1	xxx	内部クロック: PCLKC/2 でカウント
			010	xxx	内部クロック: PCLKC/8 でカウント
			011	xxx	内部クロック: PCLKC/32 でカウント
			100	xxx	設定しないでください
			101	XXX	設定しないでください
			110	x x x	設定しないでください 設定しないでください

x : Don't care

注 1. MTU6、MTU7 では設定できません。

表 2.29 TPSC ビットの設定比較(MTU5)

		RX62T(MTU3)		RX7	2T(MTU3d)
チャネル	TCR. TPSC[1:0]	説明	TCR2. TPSC2[2:0]	TCR. TPSC[1:0]	説明
MTU5	0 0	内部クロック:	000	0 0	内部クロック:
		ICLK/1 でカウント			PCLKC/1 でカウント
	0 1	内部クロック:	000	0 1	内部クロック:
		ICLK/4 でカウント			PCLKC/4 でカウント
	1 0	内部クロック:	000	10	内部クロック:
		ICLK/16 でカウント			PCLKC/16 でカウント
	11	内部クロック:	000	11	内部クロック:
		ICLK/64 でカウント			PCLKC/64 でカウント
			0 0 1	хх	内部クロック:
					PCLKC/2 でカウント
			010	хх	内部クロック:
					PCLKC/8 でカウント
			011	хх	内部クロック:
					PCLKC/32 でカウント
			100	хх	内部クロック:
					PCLKC/256 でカウント
			101	хх	内部クロック:
					PCLKC/1024 でカウント
			110	хх	設定しないでください
			111	хх	外部クロック:
					MTIOC1A 端子入力

x : Don't care

2.15 ポートアウトプットイネーブル3

表 2.30 にポートアウトプットイネーブル 3 の概要比較を、表 2.31 にポートアウトプットイネーブル 3 レジスタ比較を示します。

表 2.30 ポートアウトプットイネーブル 3 の概要比較

項目	RX62T(POE3)	RX72T(POE3B)
機能	● POE0#、POE4#、POE8#、POE10#、 POE11#の各入力端子に立ち下がりエッジ、PCLK/8×16 回、PCLK/16×16 回、 PCLK/128×16 回の Low レベルサンプリン グの設定が可能です。	● POE0#、POE4#、POE8#、POE9#、POE10#、POE11#、POE12#、POE13#、POE14#端子のそれぞれに立ち下がりエッジ検出または Low レベル検出の設定が可能です。 Low レベル検出の場合、サンプリングクロックは PCLK/1、PCLK/2、PCLK/4、PCLK/8、PCLK/16、PCLK/128 から、サンプリング回数は 4回、8回、16回から選択できます
	● POE0#、POE4#、POE8#、POE10#、 POE11#端子の立ち下がりエッジ、または Low レベルサンプリングによって、MTU 相補 PWM 出力端子および MTU0 端子、 GPT 端子をハイインピーダンス状態にでき ます。	● POE0#、POE4#、POE8#、POE9#、 POE10#、POE11#、POE12#、POE13#、 POE14#端子への入力の立ち下がりエッジ検 出、または Low レベル検出によって、すべ ての制御対象端子の出力を停止できます
	クロック発生回路の発振停止を検出した場合、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。	クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力を停止できます
	● MTU 相補 PWM 出力端子または GPT 大電流出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子または GPT 大電流出力端子をハイインピーダンス状態にできます。	 MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子の出力を停止できます GPTW 出力端子(GPTW0~2、GPTW4~6、GPTW7~9 端子)の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた 場合、GPTW 出力端子の出力を停止できます
	● 12 ビット A/D コンバータ(S12ADA)のコン パレータ検出によって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子を ハイインピーダンス状態にできます。	● コンパレータ C (CMPC)出力の検出によって、すべての制御対象端子の出力を停止できます
	● POE3 のレジスタの設定により、MTU 相 補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできま す。	POE のレジスタの設定により、すべての制 御対象端子の出力を停止できます
	入カレベルのサンプリング、または出カレベルの比較結果により、それぞれ割り込みの発生が可能です。	● 入力レベルのサンプリングまたは出力レベ ルの比較結果により、それぞれ割り込みの 発生が可能です
出力停止時の端子の 状態	ハイインピーダンス	ハイインピーダンス汎用入出力ポート

項目	RX62T(POE3)	RX72T(POE3B)
出力停止制御対象端子	● MTU の出力端子	● MTU の出力端子
	—MTU0 端子(MTIOC0A-A, MTIOC0A-B, MTIOC0B-A, MTIOC0B-B, MTIOC0C, MTIOC0D) —MTU3 端子(MTIOC3B, MTIOC3D) —MTU4 端子(MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) —MTU6 端子(MTIOC6B, MTIOC6D) —MTU7 端子(MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D)	—MTU0 端子(MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) —MTU3 端子(MTIOC3B, MTIOC3D) —MTU4 端子(MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) —MTU6 端子(MTIOC6B, MTIOC6D) —MTU7 端子(MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) —MTU9 端子(MTIOC9A, MTIOC9B,
	● GPTの出力端子 —GPT0 端子(GTIOCOA-A, GTIOCOB-A, GTIOCOB-B) —GPT1 端子(GTIOC1A-A, GTIOC1B-A, GTIOC1B-B) —GPT2 端子(GTIOC2A-A, GTIOC2B-A, GTIOC2A-B, GTIOC2B-B) —GPT3 端子(GTIOC3A, GTIOC3B)	MTIOC9C, MTIOC9D) ・ GPTW の出力端子
出力停止要求発生条件	● 入力端子の変化 —POE0#、POE4#、POE8#、POE10#、 POE11#端子に信号が入力されたとき	● 入力端子の変化 —POE0#、POE4#、POE8#、POE9#、 POE10#、POE11#、POE12#、 POE13#、POE14#端子に信号が入力され たとき
	● 出力端子の短絡:以下の組み合わせの出力信号レベル(アクティブレベル)が1サイクル以上一致(短絡)したとき【MTU 相補 PWM 出力端子】 —MTIOC3B と MTIOC3D —MTIOC4A と MTIOC4C —MTIOC4B と MTIOC6D —MTIOC7A と MTIOC7C —MTIOC7B と MTIOC7D 【GPT 出力端子】 —GTIOC0A-A と GTIOC0B-A —GTIOC1A-A と GTIOC2B-A	● 出力端子の短絡:以下の組み合わせの出力信号レベル(アクティブレベル)が1サイクル以上一致(短絡)したとき【MTU 相補 PWM 出力端子】 —MTIOC3B と MTIOC3D —MTIOC4A と MTIOC4C —MTIOC4B と MTIOC4D —MTIOC6B と MTIOC6D —MTIOC7A と MTIOC7C —MTIOC7B と MTIOC7D 【GPTW 出力端子】 —GTIOC0A と GTIOC0B —GTIOC1A と GTIOC1B —GTIOC2A と GTIOC2B —GTIOC5A と GTIOC5B —GTIOC6A と GTIOC6B —GTIOC6A と GTIOC6B —GTIOC7A と GTIOC7B —GTIOC8A と GTIOC8B —GTIOC9A と GTIOC9B
	 SPOER レジスタを設定したとき メインクロック発生回路の発振停止を検出したとき 12 ビット A/D コンバータ(S12ADA)のコンパレータの出力を検出したとき 	 SPOER レジスタを設定したとき メインクロック発生回路の発振停止を検出したとき コンパレータ C(CMPC)の出力を検出したとき

表 2.31 ポートアウトプットイネーブル 3 レジスタ比較

レジスタ	ビット	RX62T(POE3)	RX72T(POE3B)
ICSR1	POE0M[1:0](RX62T)	POE0 モード選択ビット	POE0 モード選択ビット (b3-b0)
IOOKI	POE0M[3:0](RX72T)	-	, ,
		b1 b0	b3 b0
		00:POE0#入力の立ち下がり エッジで要求を受け付け	<mark>0000: POE</mark> 0#端子入力の立ち下 がりエッジで要求を受け 付け
		0 1 : POE0#入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受 け付け	0001: POE0#端子入力のレベル を PCLK/8 でサンプリン グし、 <mark>指定回数連続</mark> で Low だった場合、要求を 受け付け
		10: POE0#入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受 け付け	0 0 1 0 : POE0#端子入力のレベル を PCLK/16 でサンプリ ングし、 <mark>指定回数連続</mark> で Low だった場合、要求を 受け付け
		1 1 : POE0#入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべ て Low だった場合、要求を 受け付け	0 0 1 1 : POE0#端子入力のレベル を PCLK/128 でサンプリ ングし、 <mark>指定回数連続</mark> で Low だった場合、要求を 受け付け
			0 1 0 0 : POE0#端子入力のレベル を PCLK でサンプリング し、指定回数連続で Low だった場合、要求を受け 付け
			0 1 0 1 : POE0#端子入力のレベル を PCLK/2 でサンプリン グし、指定回数連続で Low だった場合、要求を 受け付け
			0 1 1 0 : POE0#端子入力のレベル を PCLK/4 でサンプリン グし、指定回数連続で Low だった場合、要求を 受け付け
			上記以外は設定しないでください
	POE0M2[3:0]	-	POE0 サンプリング回数選択 ビット
	POE0F	POE0 フラグ	POE0 フラグ
		["1" になる条件] POE0#端子に POE0M[1:0]ビット で設定した入力が発生したとき	["1" になる条件] POE0#端子に POE0M[3:0]ビット、POE0M2[3:0]ビットで設定した入力が発生したとき
		["0"になる条件] "1"の状態を読んだ後、"0"を書いたとき	["0"になる条件] "1"の状態を読んだ後、"0"を書いたとき POE0M[3:0]ビットでLowサンプリングを設定している場合、 "0"を書くには、POE0#端子に
			High を入力する必要があります。

レジスタ	ビット	RX62T(POE3)	RX72T(POE3B)
ICSR2	POE4M[1:0](RX62T)	POE4 モード選択ビット	POE4 モード選択ビット (b3-b0)
ICSR2	POE4M[1:0](RX62T) POE4M[3:0](RX72T)	POE4 モード選択ビット b1 b0 0 0 : POE4#入力の立ち下がりエッジで要求を受け付け 0 1 : POE4#入力の Low をPCLK/8 クロックごとに 16回サンプリングし、要求を受け付け 1 0 : POE4#入力の Low をPCLK/16 クロックし、要求を受け付け 1 1 : POE4#入力の Low をPCLK/128 クロックにするいりにである。サイフには、16回サンプリングし、要求を受け付け 1 : POE4#入力の Low をPCLK/128 クロックにできた場合、要け付け	POE4 モード選択ビット (b3-b0) b3 b0 0000: POE4#端子入力の立ち下がけけ 0001: POE4#端子入力のプリックで表しいだけがけった。 POE4#端子で回りでです。 POE4#端子で回りでです。 POE4#端子子で回りでです。 POE4#端子子で回りでです。 POE4#端子子で回りです。 POE4#端子子で回りです。 POE4#端子子のプリーでを受けけがです。 POE4#端子子のプリーでを受けまた。 POE4#端子子のプリーでを受けまた。 POE4#端子子のプリーでを受けまた。 POE4#端子子のプリーでを受けまた。 POE4#端子子のプリーでを受けまた。 POE4#端子子のプリーでを受けまた。 POE4#端子子のプリーでを受けまた。 POE4#端子子のプリーでを受けまた。 POE4#端子子で回りまた。 POE4#端子子子で回りまた。 POE4#端子子子で回りまた。 POE4#端子子で回りまた。 POE4#端子子子で回りまた。 POE4#端子子で回りまた。 POE4#端子子で可りまた。 POE4#端子子子で可りまた。 POE4#端子子で可りまた。 POE4#端子子で可りまた。 POE4#端子子で可りまた。 POE4#端子子で可りまた。 POE4#端子子で可りまた。 POE4#端子子で可りまた。 POE4#端子子で可りまた。 POE4#端子子で可りまた。 POE4#端子子で可りを可りまた。 POE4#端子子で可りを可りを可りを可りを可りを可りを可りを可りを可りを可りを可りを可りを可りを可
	DOE (MOIO O		上記以外は設定しないでください
	POE4M2[3:0]	-	POE4 サンプリング回数選択 ビット
	POE4F	POE4 フラグ	POE4 フラグ
		["1"になる条件] POE4#端子に POE4M[1:0]ビット で設定した入力が発生したとき	["1"になる条件] POE4#端子に POE4M[3:0]ビット、POE4M2[3:0]ビットで設定した入力が発生したとき
		["0"になる条件] "1"の状態を読んだ後、"0"を書いたとき	["0" になる条件] "1" の状態を読んだ後、 "0" を 書いたとき POE4M[3:0]ビットで Low サンプ リングを設定している場合、 "0" を書くには、POE4#端子に High を入力する必要があります

レジスタ	ビット	RX62T(POE3)	RX72T(POE3B)
ICSR3	POE8M[1:0](RX62T)	POE8モード選択ビット	POE8 モード選択ビット (b3-b0)
ICSR3	POE8M[3:0](RX72T) POE8M[3:0](RX72T)	POE8 モード選択ビット b1 b0 0 0 : POE8#入力の立ち下がりエッジで要求を受け付け 0 1 : POE8#入力の Low をPCLK/8 クロックごとに 16回サンプリングし、要求を受け付け 1 0 : POE8#入力の Low をPCLK/16 クロックし、要求を受け付け 1 1 : POE8#入力の Low をPCLK/128 クロックに16回サンプリングし、要求をPCLK/128 クロックにでする。サイけけ 1 : POE8#入力の Low をPCLK/128 クロックにできた場合、要け付け	POE8 モード選択ビット (b3-b0) b3 b0 0000: POE8#端子入力の立ち下がけけ 0001: POE8#端子入力のプラでである。 でしたがおりででする。 いったはおいかですがいかですがけがですがいかですがいかですがいかですがでである。 0010: POE8#端子入力のプラでである。 0011: POE8#端子入力のプラでである。 0011: POE8#端子入力のプラでである。 0100: POE8#端子入力のプラでである。 0100: POE8#端子入力のプラでである。 0100: POE8#端子入力のプラでである。 0100: POE8#端子入力のプラでである。 0101: POE8#端子入力のプラでである。 0101: POE8#端子入力のプラでである。 0110: POE8#端子入力のプラでである。 のプラでである。 のプラでは、アンドン・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
	POE8M2[3:0]	-	上記以外は設定しないでください POE8 サンプリング回数選択
	POE8F	POE8 フラグ	ビット POE8 フラグ
		["1" になる条件] POE8#端子に POE8M[1:0]ビットで設定した入力が発生したとき ["0" になる条件] "1" の状態を読んだ後、 "0" を書いたとき	["1"になる条件] POE8#端子にPOE8M[3:0]ビット、POE8M2[3:0]ビットで設定した入力が発生したとき ["0"になる条件] "1"の状態を読んだ後、"0"を書いたとき POE8M[3:0]ビットでLow サンプリングを設定している場合、"0"を書くには、POE8#端子に High を入力する必要があります。

レジスタ	ビット	RX62T(POE3)	RX72T(POE3B)
ICSR4	POE10M[1:0](RX62T)	POE10 モード選択ビット	POE10 モード選択ビット (b3-b0)
ICSR4	POE10M[3:0](RX72T)	b1 b0 0 0: POE10#入力の立ち下がり エッジで要求を受け付け 0 1: POE10#入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、要求を受け付け 1 0: POE10#入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、要求を受け付け 1 1: POE10#入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、する ではけけ 1 1: POE10#入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、要求を 受け付け	DOE10
	POE10M2[3:0]	-	上記以外は設定しないでください POE10 サンプリング回数選択
	POE10F	POE10 フラグ	ビット POE10 フラグ
		["1" になる条件] POE10#端子に POE10M[1:0]ビットで設定した入力が発生したとき ["0" になる条件] "1" の状態を読んだ後、"0" を書いたとき	["1" になる条件] POE10#端子に POE10M[3:0]ビット、POE10M2[3:0]ビットで設定した入力が発生したとき ["0" になる条件] "1" の状態を読んだ後、 "0" を書いたとき POE10M[3:0]ビットでLow サンプリングを設定している場合、 "0" を書くには、POE10#端子に High を入力する必要があります。

レジスタ	ビット	RX62T(POE3)	RX72T(POE3B)
ICSR5	POE11M[1:0](RX62T)	POE11 モード選択ビット	POE11 モード選択ビット (b3-b0)
レジスタ ICSR5	ビット POE11M[1:0](RX62T) POE11M[3:0](RX72T)	b1 b0 00: POE11#入力の立ち下がり エッジで要求を受け付け 01: POE11#入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 10: POE11#入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	b3 b0 0000: POE11#端子入力の立ち 下がりエッジで要求を受 け付け 0001: POE11#端子入力のレベ ルを PCLK/8 でサンプリ ングし、指定回数連続で Low だった場合、要求を 受け付け 0010: POE11#端子入力のレベ ルを PCLK/16 でサンプ リングし、指定回数連続 で Low だった場合、要求
		け付け 11: POE11#入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべ て Low だった場合、要求を 受け付け	を受け付け 0011: POE11#端子入力のレベルを PCLK/128でサンプリングし、指定回数、要求を受け付け 0100: POE11#端子入力のレベルを PCLKでサンプでし、指定回数・要求を受け付け 0101: POE11#端子入力のレベルを PCLK/2でサンプでし、指定回数・要求を受け付け 0101: POE11#端子入力のレプルを PCLK/2でサングし、指定回数・要求を受け付け 0110: POE11#端子入力のレプルを PCLK/4でサングし、指定回数・要求を受け付け
	POE11M2[3:0]	-	上記以外は設定しないでください POE11 サンプリング回数選択
	[4]		ビット
	POE11F	POE11 フラグ ["1"になる条件] POE11#端子に POE11M[1:0]ビットで設定した入力が発生したとき ["0"になる条件] "1"の状態を読んだ後、"0"を書いたとき	POE11 フラグ ["1" になる条件] POE11#端子に POE11M[3:0]ビット、POE11M2[3:0]ビットで設定した入力が発生したとき ["0" になる条件] "1" の状態を読んだ後、"0"を書いたとき
ICSR6	-	-	POE11M[3:0]ビットで Low サンプリングを設定している場合、 "0"を書くには、POE11#端子にHigh を入力する必要があります。 入力レベルコントロール/ステータスレジスタ 6

レジスタ	ビット	RX62T(POE3)	RX72T(POE3B)
ICSR7	-	-	入力レベルコントロール/
			ステータスレジスタ 7
ICSR8	-	-	入力レベルコントロール/
ICSR9	_	-	ステータスレジスタ 8 入力レベルコントロール/
100109			スカレベルコンドロール/ ステータスレジスタ 9
ICSR10	-	-	入力レベルコントロール/
			ステータスレジスタ 10
OCSR1	OSF1	出力短絡フラグ1	出力短絡フラグ 1
		MTU 相補 PWM 出力端子 (MTU3、MTU4 端子)または GPT 大電流出力端子(GPT0~GPT2 端 子)の比較する 3 組の 2 相出力の うち、1 組でも同時にアクティブ レベルになったことを示すフラグ です。	MTU 相補 PWM 出力端子 (MTU3、MTU4 端子)の比較する 3 組の 2 相出力のうち、1 組以上が 同時にアクティブレベルになったことを示すフラグです。ただし、 当該端子の出力停止制御が許可されていない場合、OSF1 フラグは "1"になりません。
		["1"になる条件] 3 組の2 相出力のうち、1 組でも 同時にアクティブレベルになった とき	 ["1"になる条件] POECR2.MTU3BDZE ビットが"1"、またはPMMCR1.MTU3BME ビット、PMMCR1.MTU3DME ビットの少なくとも一方が"1"の場合に、MTIOC3B 端子とMTIOC3D 端子がPCLKの1サイクル以上同時ときPOECR2.MTU4ACZE ビットが"1"、またはPMMCR1.MTU4AME ビットの少なくとも一方が"1"の場合に、MTIOC4C 端子がPCLKの1サイクル以上同時にアクブレベルになったときPOECR2.MTU4BDZE ビットが"1"、またはPMMCR1.MTU4BME ビットが"1"、またはPMMCR1.MTU4BME ビットが"1"、またはPMMCR1.MTU4BME ビットが"1"、またはPMMCR1.MTU4BME ビットの少なくとも一方が"1"の場合に、MTIOC4B 端子とMTIOC4D 端子がPCLKの1サイクル以上同時にアクティブレベルになったとき
		["0"になる条件] "1"の状態を読んだ後、"0"を書いたとき	["0" になる条件] "1" の状態を読んだ後、 "0" を書いたとき "0" を書くには、MTU 相補 PWM 出力端子から非アクティブレベルを出力する必要があります。

レジスタ	ビット	RX62T(POE3)	RX72T(POE3B)
OCSR2	OSF2	出力短絡フラグ 2	出力短絡フラグ 2
		MTU 相補 PWM 出力端子 (MTU6、MTU7 端子)の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。	MTU 相補 PWM 出力端子 (MTU6、MTU7 端子)の比較する 3 組の 2 相出力のうち、1 組以上が 同時にアクティブレベルになったことを示すフラグです。ただし、当該端子の出力停止制御が許可されていない場合、OSF2 フラグは "1"になりません。
		["1"になる条件] 3組の2相出力のうち、1組でも同時にアクティブレベルになったとき	 ["1"になる条件] POECR2.MTU6BDZE ビットが"1"、またはPMMCR1.MTU6BME ビット、PMMCR1.MTU6BME ビットの少なくとも一方が"1"の場合に、MTIOC6B 端子とMTIOC6D 端子がPCLKの1サイクル以上同時にアクティブレベルになったときPOECR2.MTU7ACZE ビットが"1"、またはPMMCR1.MTU7CME ビットの少なくとも一方が"1"の場合に、MTIOC7A 端子とMTIOC7C 端子がPCLKの1サイクル以上同時にアクティブレベルになったときPOECR2.MTU7BDZE ビットが"1"、またはPMMCR1.MTU7BME ビットが"1"、またはPMMCR1.MTU7BME ビットが"1"、またはPMMCR1.MTU7BME ビットの少なくとも一方が"1"の場合に、MTIOC7B 端子とMTIOC7B 端子とMTIOC7B 端子とMTIOC7B 端子とMTIOC7B 端子とMTIOC7D 端子がPCLKの1サイクル以上同時にアクティブレベルになったとき
		["0"になる条件] "1"の状態を読んだ後、"0"を 書いたとき	["0" になる条件] "1" の状態を読んだ後、 "0" を 書いたとき "0" を書くには、MTU 相補 PWM 出力端子から非アクティブレベル を出力する必要があります。
OCSR3	-	-	出力レベルコントロール/ ステータスレジスタ 3
OCSR4	-	-	出カレベルコントロール/ ステータスレジスタ 4
OCSR5	-	-	出力レベルコントロール/ ステータスレジスタ 5
ALR1	OLSG0A	MTIOC3B/ <mark>GTIOC0A-A</mark> アクティブレベル設定ビット	MTIOC3B 端子アクティブ レベル設定ビット
	OLSG0B	MTIOC3D/ <mark>GTIOC0B-A</mark> アクティブレベル設定ビット	MTIOC3D 端子アクティブ レベル設定ビット

レジスタ	ビット	RX62T(POE3)	RX72T(POE3B)
ALR1	OLSG1A	MTIOC4A/GTIOC1A-A	MTIOC4A 端子アクティブ
ALICI	OLOGIA	アクティブレベル設定ビット	レベル設定ビット
	OLSG1B	MTIOC4C/GTIOC1B-A	MTIOC4C 端子アクティブ
	OLOGIB	アクティブレベル設定ビット	レベル設定ビット
	OLSG2A	MTIOC4B/GTIOC2A-A	MTIOC4B 端子アクティブ
		アクティブレベル設定ビット	レベル設定ビット
	OLSG2B	MTIOC4D/GTIOC2B-A	MTIOC4D 端子アクティブ
		アクティブレベル設定ビット	レベル設定ビット
ALR2	-	-	アクティブレベルレジスタ 2
ALR3	-	-	アクティブレベルレジスタ 3
ALR4	-	-	アクティブレベルレジスタ 4
ALR5	-	-	アクティブレベルレジスタ 5
SPOER	MTUCH34HIZ (注 1)	MTU3、MTU4 出力	MTU3、MTU4 端子出力停止
		ハイインピーダンス許可ビット	許可ビット
	GPT01HIZ	GPT0、GPT1 出力	GPTW0、GPTW1 端子出力停止
		ハイインピーダンス許可ビット	許可ビット
	GPT23HIZ	GPT2、GPT3 出力	GPTW2、GPTW3 端子出力停止
		ハイインピーダンス許可ビット	許可ビット
	MTUCH9HIZ	-	MTU9 端子出力停止許可ビット
	GPT02HIZ	-	GPTW0~GPTW2 端子出力停止
			許可ビット
	GPT46HIZ	-	GPTW4~GPTW6 端子出力停止
	0.07701117		許可ビット
	GPT79HIZ	-	GPTW7~GPTW9 端子出力停止
POECR2	(A #)	MTU CH4BD	許可ビット
PUECK2	MTU4BDZE ^(注 1)	MTU CH4BD ハイインピーダンス許可ビット	MTIOC4B/MTIOC4D 端子 ハイインピーダンス許可ビット
	MTU4ACZE (注 1)	MTU CH4AC	MTIOC4A/MTIOC4C 端子
	MITU4ACZE ()	ハイインピーダンス許可ビット	ハイインピーダンス許可ビット
	MTU3BDZE (注 1)	MTU CH3BD	MTIOC3B/MTIOC3D 端子
	WITOSBDZE	ハイインピーダンス許可ビット	ハイインピーダンス許可ビット
POECR3	-	ポートアウトプットイネーブル	ポートアウトプットイネーブル
		コントロールレジスタ 3	コントロールレジスタ 3
		リセット後の初期値が異なります	1
	GPT2ABZE	GPT CH2AB	GTIOC2A/GTIOC2B 端子
		ハイインピーダンス許可ビット	ハイインピーダンス許可ビット
		(b8)	(b2)
	GPT3ABZE	GPT CH3AB	GTIOC3A/GTIOC3B 端子
		│ ハイインピーダンス許可ビット │(b9)	ハイインピーダンス許可ビット
	GPT4ABZE~	-	(b3) GTIOC4A/GTIOC4B~
	GPT9ABZE		GTIOC4A/GTIOC4B~ GTIOC9A/GTIOC9B 端子
			ハイインピーダンス許可ビット
POECR4	CMADDMT34ZE (注 1)	MTUCH34 ハイインピーダンス	MTU3、MTU4 出力停止条件
	3	CFLAG 追加ビット	CFLAG 追加ビット
	IC1ADDMT34ZE	-	MTU3、MTU4 出力停止条件
			POE0F 追加ビット
	IC2ADDMT34ZE (注 1)	MTUCH34 ハイインピーダンス	MTU3、MTU4 出力停止条件
		POE4F 追加ビット	POE4F 追加ビット
	IC3ADDMT34ZE (注 1)	MTUCH34 ハイインピーダンス	MTU3、MTU4 出力停止条件
		POE8F 追加ビット	POE8F 追加ビット
	IC4ADDMT34ZE (注 1)	MTUCH34 ハイインピーダンス	MTU3、MTU4 出力停止条件
		POE10F追加ビット	POE10F 追加ビット
	IC5ADDMT34ZE (注 1)	MTUCH34 ハイインピーダンス POE11F 追加ビット	MTU3、MTU4 出力停止条件 POE11F 追加ビット
		「UEII「垣加しツト	「「ロロローカルト」

レジスタ	ビット	RX62T(POE3)	RX72T(POE3B)
POECR4	IC6ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE12F 追加ビット
	IC8ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE9F 追加ビット
	IC9ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE13F 追加ビット
	IC10ADDMT34ZE	-	MTU3、MTU4 出力停止条件 POE14F 追加ビット
	CMADDMT67ZE	MTUCH67 ハイインピーダンス CFLAG 追加ビット	-
	IC1ADDMT67ZE	MTUCH67 ハイインピーダンス POE0F 追加ビット	-
	IC3ADDMT67ZE	MTUCH67 ハイインピーダンス POE8F 追加ビット	-
	IC4ADDMT67ZE	MTUCH67 ハイインピーダンス POE10F 追加ビット	-
	IC5ADDMT67ZE	MTUCH67 ハイインピーダンス POE11F 追加ビット	-
POECR4B	-	-	ポートアウトプットイネーブル コントロールレジスタ 4B
POECR5	IC3ADDMT0ZE	-	MTU0 出力停止条件 POE8F 追加ビット
	IC6ADDMT0ZE	-	MTU0 出力停止条件 POE12F 追加ビット
	IC8ADDMT0ZE	-	MTU0 出力停止条件 POE9F 追加ビット
	IC9ADDMT0ZE	-	MTU0 出力停止条件 POE13F 追加ビット
	IC10ADDMT0ZE	-	MTU0 出力停止条件 POE14F 追加ビット
POECR6	IC4ADDGPT01ZE	-	GPTW0、GPTW1 出力停止 条件 POE10F 追加ビット
	IC6ADDGPT01ZE	-	GPTW0、GPTW1 出力停止 条件 POE12F 追加ビット
	IC8ADDGPT01ZE	-	GPTW0、GPTW1 出力停止 条件 POE9F 追加ビット
	IC9ADDGPT01ZE	-	GPTW0、GPTW1 出力停止 条件 POE13F 追加ビット
	IC10ADDGPT01ZE	-	GPTW0、GPTW1 出力停止 条件 POE14F 追加ビット
	CMADDGPT23ZE	GPTCH23 ハイインピーダンス CFLAG 追加ビット	-
	IC1ADDGPT23ZE	GPTCH23 ハイインピーダンス POE0F 追加ビット	-
	IC2ADDGPT23ZE	GPTCH23 ハイインピーダンス POE4F 追加ビット	-
	IC3ADDGPT23ZE	GPTCH23 ハイインピーダンス POE8F 追加ビット	-
	IC4ADDGPT23ZE	GPTCH23 ハイインピーダンス POE10F 追加ビット	-
POECR6B	-	-	ポートアウトプットイネーブル コントロールレジスタ 6B
POECR7	-	-	ポートアウトプットイネーブル コントロールレジスタ 7

POECR8 - ボートアウトブットイネーブル コントロールレジスタ9 POECR9 - ボートアウトブットイネーブル コントロールレジスタ9 POECR10 - ボートアウトブットイネーブル コントロールレジスタ10 POECR11 - ボートアウトブットイネーブル コントロールレジスタ11 PMMCR0 - ボートモードマスク コントロールレジスタ0 PMMCR1 - ボートモードマスク コントロールレジスタ1 PMMCR2 - ボートモードマスク コントロールレジスタ2 PMMCR3 - ボートアウトブットイネーブル コンパレータ検出フラグレンスタ POECMPFR - ボートアウトブットイネーブル コンパレータ奏求選択レジスタ POECMPSEL - ボートアウトブットイネーブル コンパレータ奏求選択レジスタ MOSELR1 - MTUの端子選択レジスタ1 MOSELR2 - MTUの端子選択レジスタ MASELR3 - MTUの端子選択レジスタ MASELR4 - MTU4端子選択レジスタ MMSELR5 - MTU4端子選択レジスタ MMSELR6 - MTU4端子選択レジスタ MMSELR7 - MTU4端子選択レジスタ MMSELR8 - MTU4端子選択レジスタ MMSELR1 - MTU4端子選択レジスタ MMSELR2 - MTU4端子選択レジスタ MSELR3 -<	レジスタ	ビット	RX62T(POE3)	RX72T(POE3B)
POECR9 - ボートアウトブットイネーブルコントロールレジスタ 9 POECR10 - ボートアウトブットイネーブルコントロールレジスタ 10 POECR11 - ボートアウトブットイネーブルコントロールレジスタ 10 PMMCR0 - ボートモードマスクコントロールレジスタ 0 PMMCR1 - ボートモードマスクコントロールレジスタ 1 PMMCR2 - ボートモードマスクコントロールレジスタ 2 PMMCR3 - ボートアウトブットイネーブルコントロールレジスタ 3 POECMPFR - ボートアウトブットイネーブルコンパレータ要求選択レジスタ POECMPSEL - ボートアウトブットイネーブルコンパレータ要求選択レジスタ POECMPEXm - ボートアウトブットイネーブルコンパレータ要求選択レジスタ MOSELR1 - MTUの第子選択レジスタ 1 MOSELR2 - MTUの第子選択レジスタ 2 M3SELR - MTUの第子選択レジスタ 1 M4SELR2 - MTUの第子選択レジスタ 1 M4SELR2 - MTUの第子選択レジスタ 1 M7SELR2 - MTUの第子選択レジスタ 2 M7SELR2 - MTUの第子選択レジスタ 2 M9SELR1 - MTUの第子選択レジスタ 3 M7SELR2 - MTUの第子選択レジスタ 3 M7SELR2 - MTUの第子選択レジスタ 3 M7SELR2 </td <td>POECR8</td> <td>-</td> <td>-</td> <td>ポートアウトプットイネーブル</td>	POECR8	-	-	ポートアウトプットイネーブル
POECR10 - ボートアウトブットイネーブルコットロールレジスタ 10 POECR11 - ボートアウトブットイネーブルコットロールレジスタ 11 PMMCR0 - ボートモードマスクコットロールレジスタ 0 PMMCR1 - ボートモードマスクコットロールレジスタ 1 PMMCR2 - ボートモードマスクコットロールレジスタ 2 PMMCR3 - ボートモードマスクコットロールレジスタ 3 POECMPFR - ボートアウトブットイネーブルコッパレータ検出フラグレジスタ POECMPSEL - ボートアウトブットイネーブルコッパレータ要求施議選択レジスタ 1 MOSELR1 - ボートアウトブットイネーブルコッパレータ要求施護選択レジスタ 1 MOSELR2 - MTU0端子選択レジスタ 1 M4SELR3 - MTU0端子選択レジスタ 2 M4SELR4 - MTU0端子選択レジスタ 2 M6SELR - MTU4端子選択レジスタ 2 M7SELR2 - MTU5端子選択レジスタ 1 M7SELR3 - MTU5端子選択レジスタ 2 M7SELR4 - MTU5端子選択レジスタ 1 M7SELR5 - MTU5端子選択レジスタ 2 M9SELR - MTU5端子選択レジスタ 3 M9SELR - MTU5端子選択レジスタ 4 M9SELR - MTU5端子選択レジスタ 5 M9SELR - MTU5端子選択レジスタ 6 G9SELR - GPTW6端				
POECR10 - ボートアウトブットイネーブルコントロールレジスタ 10 POECR11 - ボートアウトブットイネーブルコントロールレジスタ 11 PMMCR0 - ボートモードマスクコントロールレジスタ 1 PMMCR1 - ボートモードマスクコントロールレジスタ 1 PMMCR2 - ボートモードマスクコントロールレジスタ 2 PMMCR3 - ボートアウトブットイネーブルコンパレータ様出フラグレジスタ 3 POECMPFR - ボートアウトブットイネーブルコンパレータ機力ラグレジスタ 3 POECMPSEL - ボートアウトブットイネーブルコンパレータ要求通報レジスタ 4 MOSELR1 - ボートアウトブットイネーブルコンパレータ要求通報レジスタ 4 MOSELR2 - ボートアウトブットイネーブルコンパレータ要求通報レジスタ 1 MSSELR - - MTU0端子選択レジスタ 2 MSSELR - - MTU0端子選択レジスタ 2 MSSELR - - MTU4端子選択レジスタ 2 MSELR1 - - MTU4端子選択レジスタ 2 MSELR2 - - MTU5 端子選択レジスタ 2 MSELR3 - - MTU5 端子選択レジスタ 2 MSELR4 - - MTU9端子選択レジスタ 2 MSSELR - - MTU9端子選択レジスタ 2 GSELR - - GPTW3端子選択レジスタ 3 GSELR - - GPTW3端子選択レジスタ 3	POECR9	-	-	ポートアウトプットイネーブル
POECR11 -				
POECR11 - ボートアウトブットイネーブルコットロールレジスタ 11 PMMCR0 - ボートモードマスクコットロールレジスタ 0 PMMCR1 - ボートモードマスクコットロールレジスタ 1 PMMCR2 - ボートモードマスクコットロールレジスタ 2 PMMCR3 - ボートモードマスクコットロールレジスタ 3 POECMPFR - ボートアウトブットイネーブルコッパレータ検知フラグレジスタ 1 POECMPSEL - ボートアウトブットイネーブルコッパレータ検測フラグレジスタ 9 POECMPEXm - ボートアウトブットイネーブルコッパレータ検測を設定のスタ 9 MOSELR1 - MTU0端子選択レジスタ 1 MOSELR2 - MTU0端子選択レジスタ 1 M3SELR - MTU3端子選択レジスタ 2 M4SELR1 - MTU4端子選択レジスタ 1 M4SELR2 - MTU4端子選択レジスタ 2 M7SELR1 - MTU6 端子選択レジスタ 2 M7SELR2 - MTU7 端子選択レジスタ 2 M9SELR1 - MTU7 端子選択レジスタ 2 M9SELR2 - MTU9端子選択レジスタ 3 G0SELR - GPTW1端子選択レジスタ 3 G1SELR - GPTW2端子選択レジスタ 3 G4SELR - GPTW3端子選択レジスタ 3 G5SELR - </td <td>POECR10</td> <td>-</td> <td>-</td> <td></td>	POECR10	-	-	
PMMCR0				1
PMMCR0 - ボートモードマスク コントロールレジスタ 0 PMMCR1 - ボートモードマスク コントロールレジスタ 1 PMMCR2 - ボートモードマスク コントロールレジスタ 2 PMMCR3 - ボートモードマスク コントロールレジスタ 3 POECMPFR - ボートアウトブットイネーブル コンパレータ検出フラグレジスタ POECMPSEL - ボートアウトブットイネーブル コンパレータ要求選択レジスタ POECMPEXm - ボートアウトブットイネーブル コンパレータ要求選択レジスタ MOSELR1 - MTUM第子選択レジスタ MOSELR2 - MTUM第子選択レジスタ 1 M4SELR1 - MTUM第子選択レジスタ 2 M3SELR - MTUM第子選択レジスタ 1 M4SELR2 - MTUM第子選択レジスタ 2 M7SELR3 - MTUM第子選択レジスタ 2 M7SELR4 - MTUM第子選択レジスタ 2 M9SELR5 - - MTUM第子選択レジスタ 2 M9SELR6 - - MTUM第子選択レジスタ 2 G0SELR - - GPTWの第子選択レジスタ 3 G1SELR - - GPTW公第子選択レジスタ 3 G4SELR - - GPTW3第子選択レジスタ 3 G5SELR - - GPTW3第子選択レジスタ 4 G6SELR - - <td< td=""><td>POECR11</td><td>-</td><td>-</td><td></td></td<>	POECR11	-	-	
PMMCR1 -	DMMODO			-
PMMCR1 - ポートモードマスク コントロールレジスタ 1 PMMCR2 - ポートモードマスク コントロールレジスタ 2 PMMCR3 - ポートモードマスク コントロールレジスタ 3 POECMPFR - ポートモードマスク コントロールレジスタ 3 POECMPSEL - ポートアウトブットイネーブル コンパレータ機出フラグレジスタ POECMPSEM POECMPEXm - ポートアウトブットイネーブル コンパレータ要求越張選択レジスタ MOSELR1 MOSELR1 - MTU0端子選択レジスタ 1 MOSELR2 - MTU0端子選択レジスタ 2 M3SELR - MTU3端子選択レジスタ 2 M4SELR1 - MTU4端子選択レジスタ 2 M6SELR - MTU5端子選択レジスタ 2 M7SELR1 - MTU5端子選択レジスタ 1 M7SELR2 - MTU7端子選択レジスタ 1 M7SELR2 - MTU7端子選択レジスタ 2 M9SELR1 - MTU3端子選択レジスタ 3 M9SELR2 - MTU9端子選択レジスタ 5 GSELR - GPTW0端子選択レジスタ 6 G1SELR - GPTW3端子選択レジスタ 6 G3SELR - GPTW4端子選択レジスタ 6 G6SELR - GPTW6端子選択レジスタ 6 G6SELR - GPTW6端子選択レジスタ 6 G6SELR - GPTW6端子選択レジスタ 6	PMMCRO	-	-	1
PMMCR2	DMMCD4			
PMMCR2 - ボートモードマスク コントロールレジスタ2 PMMCR3 - ボートモードマスク コントロールレジスタ3 POECMPFR - ボートアウトブットイネーブル コンパレータ検出フラグレジスタ POECMPSEL - ボートアウトブットイネーブル コンパレータ要来選択レジスタ POECMPEXm - ボートアウトブットイネーブル コンパレータ要来越保選択 レジスタ MOSELR1 - MTU0端子選択レジスタ1 MOSELR2 - MTU0端子選択レジスタ2 M3SELR - MTU3端子選択レジスタ2 M4SELR1 - MTU4端子選択レジスタ1 M4SELR2 - MTU4端子選択レジスタ2 M6SELR - MTU6 端子選択レジスタ2 M7SELR1 - MTU7 端子選択レジスタ2 M9SELR1 - MTU7 端子選択レジスタ2 M9SELR2 - MTU9端子選択レジスタ2 M9SELR1 - MTU9端子選択レジスタ2 GOSELR - GPTW1端子選択レジスタ3 G1SELR - GPTW2端子選択レジスタ3 G3SELR - GPTW3端子選択レジスタ3 G4SELR - GPTW3端子選択レジスタ3 G6SELR - GPTW3端子選択レジスタ3 G6SELR - GPTW3端子選択レジスタ3 G6SELR - GPTW3端子選択レジスタ3 G7SEL	PIVIIVICRI	-	-	1
PMMCR3	DMMCP2	_	_	1
PMMCR3 - ポートモードマスクコントロールレジスタ3 POECMPFR - ポートアウトブットイネーブルコンパレータ検出フラグレジスタ POECMPSEL - ポートアウトブットイネーブルコンパレータ要求選択レジスタ POECMPEXm - ボートアウトブットイネーブルコンパレータ要求強張選択レジスタのm(m=0~8) MOSELR1 - MTU0端子選択レジスタ1 MOSELR2 - MTU0端子選択レジスタ2 M3SELR - MTU3端子選択レジスタ2 M4SELR1 - MTU4端子選択レジスタ1 M4SELR2 - MTU4端子選択レジスタ2 M6SELR - MTU5 端子選択レジスタ2 M7SELR1 - MTU7 端子選択レジスタ2 M7SELR2 - MTU7 端子選択レジスタ2 M9SELR1 - MTU9端子選択レジスタ2 M9SELR2 - MTU9端子選択レジスタ2 G0SELR - GPTW3端子選択レジスタ3 G1SELR - GPTW3端子選択レジスタ3 G3SELR - GPTW4端子選択レジスタ3 G4SELR - GPTW5端子選択レジスタ3 G6SELR - GPTW5端子選択レジスタ3 G7SELR - GPTW5端子選択レジスタ3 G8SELR - GPTW5端子選択レジスタ3 G7SELR - GPTW5端子選択レジスタ3 G8SELR </td <td>1 WIWICIX2</td> <td></td> <td></td> <td></td>	1 WIWICIX2			
POECMPFR - ポートアウトブットイネーブルコンパレータ検出フラグレジスタ POECMPSEL - ポートアウトブットイネーブルコンパレータ検出フラグレジスタ POECMPEXm - ポートアウトブットイネーブルコンパレータ要来選択レジスタ POECMPEXm - ポートアウトブットイネーブルコンパレータ要来拡張選択レジスタ m (m=0~8) MOSELR1 - MTU0端子選択レジスタ1 MOSELR2 - MTU0端子選択レジスタ2 M3SELR - MTU3端子選択レジスタ2 M3SELR - MTU4端子選択レジスタ2 M4SELR1 - MTU4端子選択レジスタ2 M6SELR2 - MTU4端子選択レジスタ2 M7SELR1 - MTU4端子選択レジスタ2 M7SELR1 - MTU6 端子選択レジスタ2 M7SELR1 - MTU7 端子選択レジスタ1 M7SELR2 - MTU9端子選択レジスタ1 M7SELR2 - MTU9端子選択レジスタ2 GOSELR - GPTW0端子選択レジスタ G1SELR - GPTW3端子選択レジスタ G3SELR - GPTW3端子選択レジスタ G4SELR - GPTW4端子選択レジスタ G4SELR - GPTW5端子選択レジスタ G6SELR - GPTW6端子選択レジスタ G6SELR - GPTW6端子選択レジスタ G7SELR - GPTW6端子選択レジスタ G7SELR - GPTW7端子選択レジスタ	PMMCR3	_		
POECMPFR - ポートアウトブットイネーブルコンパレータ検出フラグレジスタ POECMPSEL - ポートアウトブットイネーブルコンパレータ要求選択レジスタ POECMPEXM - ポートアウトブットイネーブルコンパレータ要求拡張選択レジスタ m (m=0~8) MOSELR1 - MTU0端子選択レジスタ1 MOSELR2 - MTU3端子選択レジスタ2 M3SELR - MTU3端子選択レジスタ2 M4SELR1 - MTU4端子選択レジスタ1 M4SELR2 - MTU4端子選択レジスタ1 M5ELR3 - MTU6端子選択レジスタ2 M7SELR4 - MTU6端子選択レジスタ2 M7SELR5 - MTU7端子選択レジスタ2 M9SELR1 - MTU9端子選択レジスタ2 M9SELR2 - MTU9端子選択レジスタ2 G0SELR - GPTW0端子選択レジスタ2 G1SELR - GPTW3端子選択レジスタ3 G3SELR - GPTW3端子選択レジスタ3 G4SELR - GPTW4端子選択レジスタ3 G5SELR - GPTW4端子選択レジスタ3 G6SELR - GPTW6端子選択レジスタ3 G7SELR - GPTW6端子選択レジスタ3 G8SELR - GPTW6端子選択レジスタ3 G8SELR - GPTW6端子選択レジスタ3 G8SELR	1 WINNER			' ' = ' '''
POECMPSEL	POECMPFR	-	-	
POECMPEXm				
POECMPEXM - ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m (m=0~8) MOSELR1 - MTU0端子選択レジスタ1 MOSELR2 - MTU0端子選択レジスタ2 M3SELR - MTU3端子選択レジスタ M4SELR1 - MTU4端子選択レジスタ1 M4SELR2 - MTU4端子選択レジスタ2 M6SELR - MTU6端子選択レジスタ M7SELR1 - MTU7端子選択レジスタ1 M7SELR2 - MTU9端子選択レジスタ2 M9SELR1 - MTU9端子選択レジスタ2 M9SELR2 - MTU9端子選択レジスタ2 GOSELR - GPTW0端子選択レジスタ3 G1SELR - GPTW1端子選択レジスタ3 G2SELR - GPTW3端子選択レジスタ3 G4SELR - GPTW4端子選択レジスタ3 G5SELR - GPTW5端子選択レジスタ3 G6SELR - GPTW6端子選択レジスタ3 G7SELR - GPTW3端子選択レジスタ3 G8SELR - GPTW3端子選択レジスタ3	POECMPSEL	-	-	ポートアウトプットイネーブル
MOSELR1 MTU0端子選択レジスタ1 MOSELR2 MTU0端子選択レジスタ2 M3SELR MTU3端子選択レジスタ M4SELR1 - MTU4端子選択レジスタ M4SELR1 - MTU4端子選択レジスタ M4SELR2 - MTU4端子選択レジスタ1 M4SELR2 - MTU4端子選択レジスタ2 M6SELR MTU6端子選択レジスタ M7SELR1 - MTU7端子選択レジスタ M7SELR1 - MTU7端子選択レジスタ M7SELR2 - MTU7端子選択レジスタ M8SELR2 - MTU9端子選択レジスタ MSSELR1 - GPTW3端子選択レジスタ GSELR - GPTW3端子選択レジスタ GSELR - GPTW3端子選択レジスタ G3SELR - GPTW3端子選択レジスタ G3SELR - GPTW4端子選択レジスタ G3SELR - GPTW4端子選択レジスタ G5SELR - GPTW4端子選択レジスタ G7SELR - GPTW4端子選択レジスタ G7SELR - GPTW4端子選択レジスタ G7SELR - GPTW4端子選択レジスタ				コンパレータ要求選択レジスタ
NOSELR1	POECMPEXm	-	-	ポートアウトプットイネーブル
MOSELR1 - MTU0端子選択レジスタ1 MOSELR2 - MTU0端子選択レジスタ2 M3SELR - MTU3端子選択レジスタ M4SELR1 - MTU4端子選択レジスタ1 M4SELR2 - MTU4端子選択レジスタ2 M6SELR - MTU6 端子選択レジスタ M7SELR1 - MTU7 端子選択レジスタ1 M7SELR2 - MTU9端子選択レジスタ2 M9SELR1 - MTU9端子選択レジスタ1 M9SELR2 - MTU9端子選択レジスタ2 GOSELR - GPTW0端子選択レジスタ G1SELR - GPTW1端子選択レジスタ G2SELR - GPTW3端子選択レジスタ G3SELR - GPTW4 端子選択レジスタ G5SELR - GPTW5 端子選択レジスタ G6SELR - GPTW6 端子選択レジスタ G7SELR - GPTW6 端子選択レジスタ G8SELR - GPTW8端子選択レジスタ				
MOSELR2 - MTUの端子選択レジスタ2 M3SELR - MTUの端子選択レジスタ M4SELR1 - MTU4端子選択レジスタ M4SELR2 - MTU4端子選択レジスタ2 M6SELR - MTU4端子選択レジスタ2 M6SELR - MTU6端子選択レジスタ M7SELR1 - MTU7端子選択レジスタ M7SELR2 - MTU7端子選択レジスタ 1 M7SELR2 - MTU7端子選択レジスタ 2 M9SELR1 - MTU9端子選択レジスタ 2 M9SELR1 - MTU9端子選択レジスタ 2 GOSELR - GPTW0端子選択レジスタ G1SELR - GPTW1端子選択レジスタ G2SELR - GPTW3端子選択レジスタ G3SELR - GPTW3端子選択レジスタ G4SELR - GPTW3端子選択レジスタ G4SELR - GPTW4端子選択レジスタ G5SELR - GPTW4端子選択レジスタ G5SELR - GPTW4端子選択レジスタ G5SELR - GPTW5端子選択レジスタ G6SELR - GPTW6端子選択レジスタ G6SELR - GPTW6端子選択レジスタ G7SELR - GPTW6端子選択レジスタ G7SELR - GPTW6端子選択レジスタ G7SELR - GPTW6端子選択レジスタ G7SELR - GPTW6端子選択レジスタ				· · · · · · · · · · · · · · · · · · ·
M3SELR MTU3端子選択レジスタ M4SELR1 MTU4端子選択レジスタ M4SELR2 MTU4端子選択レジスタ2 M6SELR MTU6端子選択レジスタ2 M7SELR1 MTU7端子選択レジスタ M7SELR1 MTU7端子選択レジスタ M7SELR2 MTU7端子選択レジスタ2 M9SELR1 MTU9端子選択レジスタ2 M9SELR1 MTU9端子選択レジスタ2 G0SELR GPTW0端子選択レジスタ G1SELR GPTW1端子選択レジスタ G2SELR GPTW1端子選択レジスタ G3SELR GPTW3端子選択レジスタ G3SELR GPTW3端子選択レジスタ G4SELR GPTW4端子選択レジスタ G5SELR GPTW4端子選択レジスタ G5SELR GPTW4端子選択レジスタ G5SELR GPTW4端子選択レジスタ G5SELR GPTW4端子選択レジスタ G5SELR GPTW5端子選択レジスタ G6SELR GPTW6端子選択レジスタ G7SELR GPTW6端子選択レジスタ G7SELR GPTW6端子選択レジスタ G7SELR GPTW6端子選択レジスタ		-	-	MTU0端子選択レジスタ1
M4SELR1 - MTU4端子選択レジスタ1 M4SELR2 - MTU4端子選択レジスタ2 M6SELR - MTU6 端子選択レジスタ M7SELR1 - MTU7 端子選択レジスタ1 M7SELR2 - MTU9端子選択レジスタ2 M9SELR1 - MTU9端子選択レジスタ1 M9SELR2 - MTU9端子選択レジスタ2 G0SELR - GPTW0端子選択レジスタ3 G1SELR - GPTW1端子選択レジスタ3 G3SELR - GPTW3端子選択レジスタ3 G4SELR - GPTW4端子選択レジスタ3 G5SELR - GPTW5端子選択レジスタ3 G6SELR - GPTW6端子選択レジスタ3 G7SELR - GPTW7端子選択レジスタ3 G8SELR - GPTW7端子選択レジスタ3 G8SELR - GPTW8端子選択レジスタ3		-	-	MTU0端子選択レジスタ2
M4SELR2 - MTU4端子選択レジスタ2 M6SELR - MTU6端子選択レジスタ M7SELR1 - MTU7端子選択レジスタ1 M7SELR2 - MTU7端子選択レジスタ2 M9SELR1 - MTU9端子選択レジスタ1 M9SELR2 - MTU9端子選択レジスタ2 G0SELR - GPTW0端子選択レジスタ G1SELR - GPTW1端子選択レジスタ G2SELR - GPTW3端子選択レジスタ G3SELR - GPTW4端子選択レジスタ G4SELR - GPTW5端子選択レジスタ G5SELR - GPTW6端子選択レジスタ G6SELR - GPTW6端子選択レジスタ G7SELR - GPTW7端子選択レジスタ G8SELR - GPTW8端子選択レジスタ		-	-	MTU3端子選択レジスタ
M6SELR - MTU6 端子選択レジスタ M7SELR1 - MTU7 端子選択レジスタ 1 M7SELR2 - MTU7 端子選択レジスタ 2 M9SELR1 - MTU9端子選択レジスタ 1 M9SELR2 - - MTU9端子選択レジスタ 2 G0SELR - GPTW0端子選択レジスタ 6 G1SELR - GPTW1端子選択レジスタ 6 G2SELR - GPTW3端子選択レジスタ 6 G3SELR - GPTW4 端子選択レジスタ 6 G4SELR - GPTW5 端子選択レジスタ 6 G6SELR - GPTW6 端子選択レジスタ 6 G7SELR - GPTW6 端子選択レジスタ 6 G7SELR - GPTW7端子選択レジスタ 6 G8SELR - GPTW8端子選択レジスタ 6 G8SELR - GPTW8端子選択レジスタ 6	M4SELR1	-	-	MTU4端子選択レジスタ1
M7SELR1 - MTU7 端子選択レジスタ1 M7SELR2 - MTU7 端子選択レジスタ2 M9SELR1 - MTU9端子選択レジスタ1 M9SELR2 - MTU9端子選択レジスタ2 G0SELR - GPTW0端子選択レジスタ G1SELR - GPTW1端子選択レジスタ G2SELR - GPTW2端子選択レジスタ G3SELR - GPTW4端子選択レジスタ G4SELR - GPTW5端子選択レジスタ G5SELR - GPTW6端子選択レジスタ G6SELR - GPTW7端子選択レジスタ G7SELR - GPTW7端子選択レジスタ G8SELR - GPTW8端子選択レジスタ G8SELR - GPTW8端子選択レジスタ	M4SELR2	-	-	MTU4端子選択レジスタ2
M7SELR2 - MTU7 端子選択レジスタ 2 M9SELR1 - MTU9端子選択レジスタ 1 M9SELR2 - MTU9端子選択レジスタ 2 G0SELR - GPTW0端子選択レジスタ 6 G1SELR - GPTW1端子選択レジスタ 6 G2SELR - GPTW2端子選択レジスタ 6 G3SELR - GPTW4端子選択レジスタ 6 G4SELR - GPTW5 端子選択レジスタ 6 G5SELR - GPTW6 端子選択レジスタ 6 G6SELR - GPTW7端子選択レジスタ 6 G7SELR - GPTW7端子選択レジスタ 6 G8SELR - GPTW8端子選択レジスタ 6	M6SELR	-	-	MTU6 端子選択レジスタ
M9SELR1 - MTU9端子選択レジスタ1 M9SELR2 - - MTU9端子選択レジスタ2 G0SELR - - GPTW0端子選択レジスタ G1SELR - - GPTW1端子選択レジスタ G2SELR - - GPTW2端子選択レジスタ G3SELR - - GPTW3端子選択レジスタ G4SELR - - GPTW5 端子選択レジスタ G6SELR - - GPTW6 端子選択レジスタ G7SELR - GPTW7端子選択レジスタ G8SELR - - GPTW8端子選択レジスタ	M7SELR1	-	-	MTU7 端子選択レジスタ 1
M9SELR2 - - MTU9端子選択レジスタ2 G0SELR - - GPTW0端子選択レジスタ G1SELR - - GPTW1端子選択レジスタ G2SELR - - GPTW2端子選択レジスタ G3SELR - - GPTW3端子選択レジスタ G4SELR - - GPTW4端子選択レジスタ G5SELR - - GPTW6端子選択レジスタ G6SELR - - GPTW7端子選択レジスタ G7SELR - - GPTW7端子選択レジスタ G8SELR - - GPTW8端子選択レジスタ	M7SELR2	-	-	MTU7 端子選択レジスタ 2
GOSELR - - GPTW0端子選択レジスタ G1SELR - - GPTW1端子選択レジスタ G2SELR - - GPTW2端子選択レジスタ G3SELR - - GPTW3端子選択レジスタ G4SELR - - GPTW4端子選択レジスタ G5SELR - - GPTW5端子選択レジスタ G6SELR - - GPTW6端子選択レジスタ G7SELR - - GPTW7端子選択レジスタ G8SELR - - GPTW8端子選択レジスタ	M9SELR1	-	-	MTU9端子選択レジスタ1
G1SELR - GPTW1端子選択レジスタ G2SELR - GPTW2端子選択レジスタ G3SELR - GPTW3端子選択レジスタ G4SELR - GPTW4端子選択レジスタ G5SELR - GPTW5端子選択レジスタ G6SELR - GPTW6端子選択レジスタ G7SELR - GPTW7端子選択レジスタ G8SELR - - G8SELR - GPTW8端子選択レジスタ	M9SELR2	-	-	MTU9端子選択レジスタ2
G2SELR - - GPTW2端子選択レジスタ G3SELR - - GPTW3端子選択レジスタ G4SELR - - GPTW4端子選択レジスタ G5SELR - - GPTW5端子選択レジスタ G6SELR - - GPTW6端子選択レジスタ G7SELR - - GPTW7端子選択レジスタ G8SELR - - GPTW8端子選択レジスタ	G0SELR	-	-	GPTW0端子選択レジスタ
G3SELR - - GPTW3端子選択レジスタ G4SELR - - GPTW4端子選択レジスタ G5SELR - - GPTW5端子選択レジスタ G6SELR - - GPTW6端子選択レジスタ G7SELR - - GPTW7端子選択レジスタ G8SELR - - GPTW8端子選択レジスタ	G1SELR	-	-	GPTW1端子選択レジスタ
G3SELR - GPTW3端子選択レジスタ G4SELR - GPTW4端子選択レジスタ G5SELR - GPTW5端子選択レジスタ G6SELR - GPTW6端子選択レジスタ G7SELR - GPTW7端子選択レジスタ G8SELR - GPTW8端子選択レジスタ	G2SELR	-	-	GPTW2端子選択レジスタ
G4SELR - GPTW4 端子選択レジスタ G5SELR - GPTW5 端子選択レジスタ G6SELR - GPTW6 端子選択レジスタ G7SELR - GPTW7端子選択レジスタ G8SELR - GPTW8端子選択レジスタ	G3SELR	-	-	
G6SELR - - GPTW6 端子選択レジスタ G7SELR - GPTW7端子選択レジスタ G8SELR - GPTW8端子選択レジスタ	G4SELR	-	-	
G6SELR - - GPTW6 端子選択レジスタ G7SELR - GPTW7端子選択レジスタ G8SELR - GPTW8端子選択レジスタ	G5SELR	-	-	GPTW5 端子選択レジスタ
G8SELR - GPTW8端子選択レジスタ	G6SELR	-	-	
G8SELRGPTW8端子選択レジスタ	G7SELR	-	-	
	G8SELR	-	-	
	G9SELR	-	-	GPTW9端子選択レジスタ

注 1. RX62T では GPT 端子・MTU 端子を制御しますが、RX72T では GPT 端子・MTU 端子を別々のレジスタで制御します。

2.16 汎用 PWM タイマ

表 2.32 に汎用 PWM タイマの概要比較を、表 2.33 に汎用 PWM タイマのレジスタ比較を、表 2.34 に GTIOA/B ビットの設定比較を示します。

GPTa は RX62G グループにのみ搭載されています。

表 2.32 汎用 PWM タイマの概要比較

項目	RX62T(GPT/GPTa)	RX72T(GPTW)
	` ,	` '
機能	 16 ビット×4 チャネル 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) チャネルごとに独立したクロックソースを選択可能 チャネルごとに2本の入出力端子 チャネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれ 	 32 ビット×10 チャネル 各カウンタは、アップカウントもしくはダウンカウント(のこぎり波)、アップダウンカウント(三角波) チャネルごとに独立したクロックソースを選択可能 チャネルごとに2本の入出力端子 チャネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 各チャネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 アウトプットコンペア動作時に山/谷それぞれ
	バッファ動作可能で左右非対称な PWM 波形を 生成	バッファ動作可能で左右非対称な PWM 波形を 生成
	チャネルごとにフレーム周期用レジスタを搭載 (オーバフロー/アンダフローで割り込み可能) オーズ アー・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	チャネルごとにフレーム周期用レジスタを搭載 (オーバフロー/アンダフローで割り込み可能) (オーバフロー/アンダフローで割り込み可能) (オーバフロー/アンダフローで割り) (オール・カー・アー・アー・アー・アー・アー・アー・アー・アー・アー・アー・アー・アー・アー
	● それぞれのカウンタを同期動作可能	● 任意のチャネルのカウンタを同時スタート/ ストップ/クリア可能
	● 同期動作のモード(同時または任意のタイミン グでずらす位相シフトに対応)	● 同期動作のモード(同時または任意のタイミン グでずらす位相シフトに対応)
	● PWM 動作の際にデッドタイム生成が可能	 PWM 動作の際にデッドタイム生成が可能 ELC 設定により、最大8つの ELC イベントによるカウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 2本の入力信号の状態を検出し、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能
	● 外部トリガにより、カウントスタート/カウントストップ/カウンタクリア動作が可能	● 最大 4 本の外部トリガにより、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能
	デッドタイムエラー、出力短絡検出、コンパレータ検出による出力ディセーブル制御機能 A/D 変換開始トリガ生成機能	POEG からの出力停止要求による出力ネゲート 制御機能A/D 変換開始トリガ生成機能
		 コンペアマッチ A~F イベント信号、オーバフロー/アンダフローイベント信号を ELC へ出力可能 インプットキャプチャ入力はノイズフィルタ機能を選択可能 バスクロック: PCLKA、GPTW カウント基準クロック: PCLKC 周波数比 PCLKA: PCLKC = 1: N (N = 1/2)

項目	RX62T(GPT/GPTa)	RX72T(GPTW)
機能	 3つのカウンタを組み合わせ、デッドタイム付きの3相 PWM 波形を生成可能 外部/内部トリガによりカウントスタート/クリア/ストップ可能 内部トリガ要因として、コンパレータ検出、ソフトウェア、コンペアマッチ 分周された IWDT 専用の低速オンチップオシ 	 3つのカウンタを組み合わせ、デッドタイム付きの3相PWM波形を生成可能 外部/内部トリガによりカウントスタート/クリア/ストップ可能 内部トリガ要因として、ソフトウェア、コンペアマッチ メインクロック発振器、低速および高速オン
	レータクロックのエッジを、システムクロック (ICLK)を分周したカウントクロックで計測することが可能(発振異常検出) ■ 各チャネル 2 本の PWM 出力端子に対し、システムクロック(ICLK)の 1/32 の分解能で立ち上がり/立ち下がりタイミングの制御が可能(PWM 遅延生成機能)(RX62G グループのみ)	チップオシレータ、PLL 周波数シンセサイザ、IWDT 専用オンチップオシレータ、およびPCLKB における出力クロック周波数の異常を監視可能(クロック周波数精度測定回路(CAC)章参照) ■ 最大 4 チャネルの相補 PWM 出力端子に対し、PCLKC 周期の 1/32 の分解能で立ち上がり/立ち下がりタイミングの制御が可能(高分解能PWM) 渡形生成回路(HRPWM)章参照)

表 2.33 汎用 PWM タイマのレジスタ比較

レジスタ	ビット	RX62T(GPT/GPTa)	RX72T(GPTW)
GTSTR	CST0(RX62T)	GPT0.GTCNT カウントスタート	チャネル 0 カウントスタートビット
	CSTRT0(RX72T)	ビット	
	CST1(RX62T)	GPT1.GTCNT カウントスタート	チャネル 1 カウントスタートビット
	CSTRT1(RX72T)	ビット	
	CST2(RX62T)	GPT2.GTCNT カウントスタート	チャネル 2 カウントスタートビット
	CSTRT2(RX72T)	ビット	
	CST3(RX62T)	GPT3.GTCNT カウントスタート	チャネル 3 カウントスタートビット
	CSTRT3(RX72T)	ビット	
	CSTRT4~CSTRT9	-	チャネル 4~9 カウントスタート ビット
GTHSCR	-	汎用 PWM タイマハードウェア要因	-
		スタートコントロールレジスタ	
GTHCCR	-	汎用 PWM タイマハードウェア要因	-
		クリアコントロールレジスタ	
GTHSSR	-	汎用 PWM タイマハードウェア	-
		スタート要因セレクトレジスタ	
GTHPSR	-	汎用 PWM タイマハードウェア	-
		ストップ・クリア要因セレクト	
		レジスタ	
GTWP	WP0~WP3(RX62T)	GPT0~3 レジスタ書き込み許可	レジスタ書き込み禁止ビット
	WP(RX72T)	ビット	
	STRWP	-	GTSTR.CSTRTビット書き込み 禁止ビット
	STPWP	-	GTSTP.CSTOPビット書き込み 禁止ビット
	CLRWP		GTCLR.CCLRビット書き込み禁止
	CLRVVP	-	GTCLR.CCLRとット書き込み宗正 ビット
	CMNWP	-	ヒット 共通レジスタ書き込み禁止ビット
	PRKEY[7:0]		
GTSYNC	- PRRET[7.0]	- 汎用 PWM タイマシンクロレジスタ	- GIWF4-1-FL9F
GTETINT	-		_
GIEIINI	-	汎用 PWM タイマ外部トリガ入力 割り込みレジスタ	-
		司ッ心のレンヘス	

レジスタ	ビット	RX62T(GPT/GPTa)	RX72T(GPTW)
GTBDR		汎用 PWM タイマバッファ動作禁止	`
0.551		レジスタ	
GTSWP	-	汎用 PWM タイマスタート	-
		書き込み保護レジスタ	
LCCR	-	LOCO カウントコントロール	-
		レジスタ	
LCST	-	LOCO カウントステータスレジスタ	-
LCNT	-	LOCO カウント値レジスタ	-
LCNTA	-	LOCO カウント結果平均レジスタ	-
LCNTn	-	LOCO カウント結果レジスタ n	-
LONTOLL		(n = 0~15)	
LCNTDU, LCNTDL	-	LOCO カウント上限/下限許容 偏差値レジスタ	-
GTIOR	GTIOA[5:0](RX62T)	GTIOCnA 端子機能選択ビット	GTIOCnA 端子機能選択ビット
GTIOR	GTIOA[4:0](RX72T)	GTIOCIA 端子機能選択と タト (b5-b0)	(b4-b0)
		(50 50)	
		 詳細は表 2.34 を参照してください。	 詳細は表 2.34 を参照してください。
	OAE	-	GTIOCnA 端子出力イネーブル
			ビット
	OADF[1:0]	-	GTIOCnA 端子ネゲート値設定
			ビット
	NFAEN	-	GTIOCnA 端子入力ノイズフィルタ
			イネーブルビット
	NFCSA[1:0]	-	GTIOCnA 端子入力ノイズフィルタ サンプリングクロック選択ビット
	GTIOB[5:0](RX62T)	GTIOCnB 端子機能選択ビット	GTIOCnB 端子機能選択ビット
	GTIOB[4:0](RX72T)	(b13-b8)	(b20-b16)
	OBDFLT	詳細は表 2.34 を参照してください。 GTIOCnB 端子カウント	詳細は表 2.34 を参照してください。 GTIOCnB 端子カウント
	OBDELI	停止時の出力値ビット(b14)	ストップ時の出力値ビット(b22)
	OBHLD	GTIOCnB 端子カウント開始	GTIOCnB 端子カウントスタート/
	OBITED	停止時の出力保持ビット(b15)	ストップ時の出力保持ビット(b23)
	OBE	-	GTIOCnB 端子出力イネーブル
			ビット
	OBDF[1:0]	-	GTIOCnB 端子ネゲート値設定
			ビット
	NFBEN	-	GTIOCnB 端子入力ノイズフィルタ
			イネーブルビット
	NFCSB[1:0]	-	GTIOCnB 端子入力ノイズフィルタ サンプリングクロック選択ビット
GTINTAD	EINT	デッドタイムエラー割り込み許可 ビット	-
	ADTRAUEN	GTADTRA コンペアマッチ	GTADTRA レジスタコンペアマッチ
		(アップカウント)A/D 変換開始要求	(アップカウント) A/D 変換開始要求
		許可ビット(b12)	許可ビット(b16)
	ADTRADEN	GTADTRA コンペアマッチ	GTADTRA レジスタコンペアマッチ
		(ダウンカウント)A/D 変換開始要求	(ダウンカウント) A/D 変換開始要求
		許可ビット(b13)	許可ビット(b17)
	ADTRBUEN	GTADTRB コンペアマッチ	GTADTRB レジスタコンペアマッチ
		│ (アップカウント)A/D 変換開始要求 │ 許可ビット(b14)	(アップカウント) A/D 変換開始要求 許可ビット(b18)
		町りしりド(D14)	ITリレンド(N10)

レジスタ	ビット	RX62T(GPT/GPTa)	RX72T(GPTW)
GTINTAD	ADTRBDEN	GTADTRB コンペアマッチ	GTADTRB レジスタコンペアマッチ
		(ダウンカウント)A/D 変換開始要求	(ダウンカウント) A/D 変換開始要求
		許可ビット(b15)	許可ビット(b19)
·	GRP[1:0]	-	出力停止グループ選択ビット
	GRPDTE	-	デッドタイムエラー出力停止検出
			許可ビット
	GRPABH	-	同時 High 出力停止検出許可ビット
	GRPABL	-	同時 Low 出力停止検出許可ビット
GTCR	CST	-	カウントスタートビット
	ICDS	-	カウント停止時インプット
			キャプチャ動作選択ビット
	MD[2:0]	モード選択ビット(b2-b0)	モード選択ビット(b18-b16)
	TPCS[1:0](RX62T)	タイマプリスケーラ選択ビット	タイマプリスケーラ選択ビット
	TPCS[3:0](RX72T)	(b9-b8)	(b26-b23)
		b9 b8	b26 b23
		00: ICLK (システムクロック)	0000: PCLKC
		01: ICLK/2 (システムクロック/2)	0 0 0 1 : PCLKC/2
		10: ICLK/4 (システムクロック/4)	0 0 1 0 : PCLKC/4
		11: ICLK/8 (システムクロック/8)	0 0 1 1 : PCLKC/8
			0 1 0 0 : PCLKC/16
			0 1 0 1 : PCLKC/32
			0 1 1 0 : PCLKC/64
			0111: 設定しないでください
			1 0 0 0 : PCLKC/256
			1001: 設定しないでください
			1 0 1 0 : PCLKC/1024
			1011: 設定しないでください
			1100: GTETRGA (POEG 経由)
			1101: GTETRGB (POEG 経由)
			1110: GTETRGC (POEG 経由)
			1111: GTETRGD (POEG 経由)
07050	CCLR[1:0]	カウンタクリア要因選択ビット	-
GTBER	BD[0]	-	GTCCRA/GTCCRB レジスタの
	DDM		バッファ動作禁止ビット
	BD[1]	-	GTPR レジスタのバッファ動作禁止 ビット
	BD[2]	_	GTADTRA/GTADTRB レジスタの
	الكاركا	-	バッファ動作禁止ビット
	BD[3]	_	GTDVU/GTDVD レジスタの
	DD[0]		バッファ動作禁止ビット
	DBRTECA	-	GTCCRA レジスタのダブル
			バッファリピート動作許可ビット
	DBRTECB	-	GTCCRB レジスタのダブル
			バッファリピート動作許可ビット
	CCRA[1:0]	GTCCRA バッファ動作ビット	GTCCRA レジスタのバッファ動作
		(b1-b0)	ビット(b17-16)
	CCRB[1:0]	GTCCRB バッファ動作ビット	GTCCRB レジスタのバッファ動作
		(b3-b2)	ビット(b19-18)
	PR[1:0]	GTPR バッファ動作ビット	GTPR レジスタのバッファ動作
		(b5-b4)	ビット(b21-b20)
	CCRSWT	GTCCRA・GTCCRB 強制バッファ	GTCCRA/GTCCRB レジスタの強制
		動作ビット(b6)	バッファ動作ビット(<mark>b22</mark>)

ビット ADTTA[1:0] ADTDA ADTTB[1:0]	RX62T(GPT/GPTa) GTADTRA バッファ転送タイミング選択ビット(b9-b8) GTADTRA ダブルバッファ動作ビット(b10)	RX72T(GPTW) GTADTRA レジスタのバッファ転送 タイミング選択ビット(b25-b24) GTADTRA レジスタのダブル
ADTDA	GTADTRA ダブルバッファ動作	
		CTADTRA レジスタのダブル
ADTTB[1:0]	ビット(b10)	ロロロロス レンハブのブノル
ADTTB[1:0]	` '	バッファ動作ビット(b26)
	GTADTRB バッファ転送タイミング 選択ビット(b13-b12)	GTADTRB レジスタのバッファ転送 タイミング選択ビット(b29-b28)
ADTDB	GTADTRB ダブルバッファ動作 ビット(b14)	GTADTRB レジスタのダブル バッファ動作ビット(<mark>b30</mark>)
-	汎用 PWM タイマカウント方向 レジスタ	-
IVTC[1:0]	GTCIV割り込み間引き機能 選択ビット	GTCIV/GTCIU 割り込み間引き機能 選択ビット
IVTT[2:0]	GTCIV割り込み間引き回数 選択ビット	GTCIV/GTCIU割り込み間引き回数 選択ビット
TCFA	インプットキャプチャ/ コンペアマッチフラグ A	-
TCFB	インプットキャプチャ/ コンペアマッチフラグ B	-
TCFC~TCFF	コンペアマッチフラグ C~F	-
TCFPO	オーバフローフラグ	-
TCFPU	アンダフローフラグ	-
ITCNT[2:0]	GTCIV 割り込み間引き回数カウンタ	GTCIV/GTCIU割り込み間引き回数 カウンタ
DTEF	デッドタイムエラーフラグ(b11)	デッドタイムエラーフラグ(b28)
ADTRAUF	-	GTADTRA レジスタコンペアマッ チ(アップカウント)A/D 変換開始要 求フラグ
ADTRADF	-	GTADTRA レジスタコンペアマッ チ(ダウンカウント)A/D 変換開始要 求フラグ
ADTRBUF		GTADTRB レジスタコンペアマッチ(アップカウント)A/D 変換開始要求フラグ
ADTRBDF	-	GTADTRB レジスタコンペアマッ チ(ダウンカウント)A/D 変換開始要 求フラグ
ODF	-	出力停止要求フラグ
OABHF	-	同時 High 出力フラグ
OABLF	-	同時 Low 出力フラグ
-	汎用 PWM タイマカウンタ	汎用 PWM タイマカウンタ
	GTCNT は、16 ビットレジスタです。 8 ビット単位でのアクセスは禁止で す。常に 16 ビット単位でアクセス してください。	GTCNT は、32 ビットレジスタです。 8/16 ビット単位でのアクセスは禁 止です。32 ビット単位でアクセス してください。
	- IVTC[1:0] IVTT[2:0] TCFA TCFB TCFC~TCFF TCFPO TCFPU ITCNT[2:0] DTEF ADTRAUF ADTRAUF ADTRBUF ADTRBUF ODF OABHF	ビット(b14) - 汎用 PWM タイマカウント方向レジスタ IVTC[1:0] GTCIV 割り込み間引き機能選択ビット IVTT[2:0] GTCIV 割り込み間引き回数選択ビット TCFA インプットキャプチャ/コンペアマッチフラグ A TCFB インプットキャプチャ/コンペアマッチフラグ B TCFC~TCFF コンペアマッチフラグ C~F TCFPO オーバフローフラグ TCFPU アンダフローフラグ ITCNT[2:0] GTCIV 割り込み間引き回数カウンタ DTEF デッドタイムエラーフラグ(b11) ADTRAUF - ADTRADF - ADTRBUF - ODF OABHF OABLF - OABLF - IM PWM タイマカウンタ GTCNT は、16 ビットレジスタです。8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセス

レジスタ	ビット	RX62T(GPT/GPTa)	RX72T(GPTW)
GTCCRm	-	汎用 PWM タイマ	汎用 PWM タイマ
		コンペアキャプチャレジスタ m	コンペアキャプチャレジスタ m
		(m=A~F)	(m=A~F)
		GTCCRm は、16 ビットレジスタで	GTCCRm は、 <mark>32</mark> ビットレジスタで
		す。	す 。
			8/16 ビット単位でのアクセスは禁止 です。32 ビット単位でアクセスして
			てす。32 ビッド単位でアクセスして ください。
GTPR	-	汎用 PWM タイマ周期設定レジスタ	汎用 PWM タイマ周期設定レジスタ
		GTPR は、16 ビットレジスタです。	GTPR は、 <mark>32</mark> ビットレジスタです。
			8/16 ビット単位でのアクセスは禁
			止です。32 ビット単位でアクセス してください。
GTPBR	-	│ │ 汎用 PWM タイマ周期設定バッファ	汎用 PWM タイマ周期設定バッファ
		レジスタ	レジスタ
		GTPBR は、16 ビットレジスタです。	GTPBR は、 <mark>32</mark> ビットレジスタです。
			8/16 ビット単位でのアクセスは禁止
			です。32 ビット単位でアクセスして ください。
GTPDBR	-	汎用 PWM タイマ周期設定ダブル	汎用 PWM タイマ周期設定ダブル
		バッファレジスタ	バッファレジスタ
		GTPDBR は、16 ビットレジスタで	GTPDBR は、 <mark>32</mark> ビットレジスタで
		す。	す。
			8/16 ビット単位でのアクセスは禁止 です。32 ビット単位でアクセスして
			ください。
GTADTRm	-	A/D 変換開始要求タイミング	A/D 変換開始要求タイミング
		レジスタ m (m=A,B)	レジスタ m (m=A,B)
		 GTADTRm は、16 ビットレジスタで	GTADTRm は、 <mark>32</mark> ビットレジスタで
		す。	す 。
		8 ビット単位でのアクセスは禁止で	8/16 ビット単位でのアクセスは禁止
		│す。16 ビット単位でアクセスしてく │ださい。	です。 <mark>32</mark> ビット単位でアクセスして ください。
GTADTBRm	-	A/D 変換開始要求タイミング	A/D 変換開始要求タイミング
		バッファレジスタ m (m=A,B)	バッファレジスタ m (m=A,B)
		 GTADTBRm は、16 ビットレジスタ	GTADTBRm は、 <mark>32</mark> ビットレジスタ
		です。	です。
		8 ビット単位でのアクセスは禁止で	8/16 ビット単位でのアクセスは禁止
		す。16 ビット単位でアクセスしてく ださい。	です。 <mark>32</mark> ビット単位でアクセスして ください。
GTADTDBRm	-	A/D 変換開始要求タイミングダブル	A/D 変換開始要求タイミングダブ
		バッファレジスタ m (m=A,B)	ルバッファレジスタ m (m=A,B)
		GTADTDBRm は、16 ビットレジス	GTADTDBRm は、32 ビットレジ
		タです。 8 ビット単位でのアクセスは禁止で	スタです。 8/ <mark>16</mark> ビット単位でのアクセスは禁
		す。16 ビット単位でアクセスしてく	止です。32 ビット単位でアクセス
		ださい。	してください。

レジスタ	ビット	RX62T(GPT/GPTa)	RX72T(GPTW)
GTONCR	-	汎用 PWM タイマ出力ネゲート コントロールレジスタ	-
GTDVm	-	汎用 PWM タイマデッドタイム値	汎用 PWM タイマデッドタイム値
		レジスタ m (m=U,D)	レジスタ m (m=U,D)
		GTDVm は、16 ビットレジスタで	GTDVm は、32 ビットレジスタで
		す。 8 ビット単位でのアクセスは禁止で	す。 8/ <mark>16</mark> ビット単位でのアクセスは禁
		す。16 ビット単位でアクセスしてく	止です。 <mark>32</mark> ビット単位でアクセス
		ださい。	してください。
GTDBm	-	汎用 PWM タイマデッドタイム	汎用 PWM タイマデッドタイム
		バッファレジスタ m (m=U,D)	バッファレジスタ m (m=U,D)
		GTDBm は、16 ビットレジスタで す。	GTDBm は、 <mark>32</mark> ビットレジスタで す。
		^{ァ 。} 8 ビット単位でのアクセスは禁止で	^{ァ 。} 8/ <mark>16</mark> ビット単位でのアクセスは禁
		す。16 ビット単位でアクセスしてく	止です。32 ビット単位でアクセス
		ださい。	してください。
GTDLYCR	-	PWM 出力遅延制御レジスタ	-
GTDLYRA	-	GTIOCA 立ち上がり出力遅延 レジスタ	-
GTDLYFA	-	GTIOCA 立ち下がり出力遅延 レジスタ	-
GTDLYRB	-	GTIOCB 立ち上がり出力遅延 レジスタ	-
GTDLYFB	-	GTIOCB 立ち下がり出力遅延 レジスタ	-
GTSTP	-	-	汎用 PWM タイマソフトウェア ストップレジスタ
GTCLR	-	-	汎用 PWM タイマソフトウェア クリアレジスタ
GTSSR	-	-	汎用 PWM タイマスタート要因 セレクトレジスタ
GTPSR	-	-	汎用 PWM タイマストップ要因 セレクトレジスタ
GTCSR	-	-	汎用 PWM タイマクリア要因 セレクトレジスタ
GTUPSR	-	-	・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
			要因セレクトレジスタ
GTDNSR	-	-	汎用 PWM タイマカウントダウン 要因セレクトレジスタ
GTICASR	-	-	汎用 PWM タイマインプット キャプチャ要因セレクトレジスタ A
GTICBSR	-	-	汎用 PWM タイマインプット キャプチャ要因セレクトレジスタ B
GTUDDTYC	-	-	汎用 PWM タイマカウント方向、
GTADSMR	-	-	デューティ設定レジスタ 汎用 PWM タイマ A/D 変換開始
CTEITO			要求信号モニタレジスタ
GTEITC	-	-	N用 PWM タイマ拡張割り込み 間引きカウンタ制御レジスタ
GTEITLI1	-	-	汎用 PWM タイマ拡張割り込み
			間引き設定レジスタ 1

レジスタ	ビット	RX62T(GPT/GPTa)	RX72T(GPTW)
GTEITLI2	-		汎用 PWM タイマ拡張割り込み
			間引き設定レジスタ 2
GTEITLB	-	-	汎用 PWM タイマ拡張バッファ
			転送間引き設定レジスタ
GTSECSR	-	-	汎用 PWM タイマ動作許可ビット
			同時制御チャネル選択レジスタ
GTSECR	-	-	汎用 PWM タイマ動作許可ビット
			同時制御レジスタ

表 2.34 GTIOA/B ビットの設定比較

	RX62T(GPT/GPTa)	RX72T(GPTW)
ビット	GTIOA/B[5:0]ビット	GTIOA/B[4:0]ビット
b5	0:コンペアマッチ	-
	1: インプットキャプチャ	
b4	● b5=0 の場合	
	0:初期出力 Low	0:初期出力 Low
	1:初期出力 High	1:初期出力 High
	● b5=1 の場合	
	x : Don't care	
b3-b2	● b5=0 の場合	
	00:周期の終わりで出力保持	00:周期の終わりで出力保持
	0 1:周期の終わりで Low 出力	0 1:周期の終わりで Low 出力
	1 0:周期の終わりで High 出力	10: 周期の終わりで High 出力
	11:周期の終わりでトグル出力	11:周期の終わりでトグル出力
	● b5=1 の場合	
	x : Don't care	
b1-b0	● b5=0 の場合	
	0 0 : GPTn.GTCCRA/B のコンペアマッチで	00: GTCCRA/GTCCRB レジスタの
	出力保持	コンペアマッチで出力保持
	0 1 : GPTn.GTCCRA/B のコンペアマッチで "Low"出力	0 1 : GTCCRA/GTCCRB レジスタの コンペアマッチで Low 出力
	LOW 出力 1 0 : GPTn.GTCCRA/B のコンペアマッチで	10: GTCCRA/GTCCRB レジスタの
	High"出力	コンペアマッチで High 出力
	11: GPTn.GTCCRA/B のコンペアマッチで	11: GTCCRA/GTCCRB レジスタの
	トグル出力	コンペアマッチでトグル出力
	● b5=1 の場合	
	00:立ち上がりエッジでインプットキャプチャ	
	01: 立ち下がりエッジでインプットキャプチャ	
	10: 両エッジでインプットキャプチャ	
	11: 両エッジでインプットキャプチャ	

2.17 コンペアマッチタイマ

表 2.35 にコンペマッチタイマの概要比較を示します。

表 2.35 コンペマッチタイマの概要比較

項目	RX62T(CMT)	RX72T(CMT)
カウントクロック	 4種類の内部クロック —PCLK/8、PCLK/32、PCLK/128、PCLK/512 の中から各チャネル個々に選択可能 	● 4種類の分周クロック —PCLK/8、PCLK/32、PCLK/128、 PCLK/512 の中からチャネルごとに 選択可能
割り込み	コンペアマッチ割り込みを各チャネル 個々に要求することが可能	コンペアマッチ割り込みをチャネル ごとに要求することが可能
イベントリンク機能(出力)	-	CMT1 のコンペアマッチによりイベント信 号出力
イベントリンク機能(入力)	-	設定したモジュールに対してリンク動作が可能CMT1 のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態へ の設定が可能	ユニットごとにモジュールストップ状態へ の設定が可能

2.18 ウォッチドッグタイマ

表 2.36 にウォッチドッグタイマの概要比較を、表 2.37 にウォッチドッグタイマのレジスタ比較を示します。

表 2.36 ウォッチドッグタイマの概要比較

項目	RX62T(WDT)	RX72T(WDTA)
カウントソース	周辺モジュールクロック(PCLK)	周辺モジュールクロック(PCLK)
カウントクロック	PCLK/4、PCLK/64、PCLK/128、 PCLK/512、PCLK/2048、PCLK/8192、 PCLK/32768、PCLK/131072	4 分周 / 64 分周 / 128 分周/ 512 分周 / 2048 分周 / 8192 分周
カウント動作	8 ビットのアップカウンタによる アップカウント	14 ビットのダウンカウンタによる ダウンカウント
カウント開始条件	 ウォッチドッグタイマモードとして使用するときは、TCSR.TMS ビットを "1" (ウォッチドッグタイマモード)、および TCSR.TME ビットを "1" (TCNT カウンタはカウントを開始)にする インターバルタイマとして使用するときは、TCSR.TMS ビットを "0" (インターバルタイマモード)に、TCSR.TME ビットを "1" (TCNT カウンタはカウントを開始)にする 	
		 オートスタートモード:リセット解除後、自動的にカウント開始 レジスタスタートモード:リフレッシュ動作(WDTRR レジスタに "00h"を書き込み後、 "FFh"を書き込む)により、カウント開始
カウント停止条件	リセット(アップカウンタ、レジスタは 初期値に戻る)オーバフロー発生時	 リセット(ダウンカウンタ、レジスタは 初期値に戻る) 低消費電力状態 アンダフロー、リフレッシュエラー発
	● TCSR.TME ビットを"0" (TCNT カウンタは"00h"に初期化)	生時(レジスタスタートモード時のみ)
ウィンドウ機能	-	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
ウォッチドッグタイマ リセット発行要因	ウォッチドッグタイマモードとして使用している時にカウンタがオーバフローすると、外部にWDTOVF#信号を出力、同時にLSI内部をリセットするかどうかを選択可能	ダウンカウンタがアンダフローしたときリフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
ノンマスカブル割り込み/ 割り込み要因	インターバルタイマモードとして使用して いる時に TCNT カウンタのオーバフロー によってインターバルタイマ割り込み (WOVI)が発生	ダウンカウンタがアンダフローしたときリフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
カウンタ値の読み出し	TCNT レジスタを読み出すことで、アップ カウンタのカウント値の読み出しが可能	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
チャネル数	8 ビット×1 チャネル	14 ビット×1 チャネル
動作モード	ウォッチドッグタイマモード、インターバ ルタイマモードの切り替え	オートスタートモード、 レジスタスタートモード

表 2.37 ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62T(WDT)	RX72T(WDTA)
TCNT	-	タイマカウンタ	-
TCSR	-	タイマコントロール/ステータス レジスタ	-
RSTCSR	-	リセットコントロール/ステータス レジスタ	-
WINA	-	ライトウィンドウΑ レジスタ	-
WINB	-	ライトウィンドウ B レジスタ	-
WDTRR	-	-	WDT リフレッシュレジスタ
WDTCR	-	-	WDT コントロールレジスタ
WDTSR	-	-	WDT ステータスレジスタ
WDTRCR	-	-	WDT リセットコントロール レジスタ

2.19 独立ウォッチドッグタイマ

表 2.38 に独立ウォッチドッグタイマの概要比較を、表 2.39 に独立ウォッチドッグタイマのレジスタ比較を示します。

表 2.38 独立ウォッチドッグタイマの概要比較

項目	RX62T(IWDT)	RX72T(IWDTa)
カウントソース	オンチップオシレータクロック(IWDTCLK)	IWDT 専用クロック(IWDTCLK)
カウント分周比	IWDTCLK、IWDTCLK/16、IWDTCLK/32、 IWDTCLK/64、IWDTCLK/128、 IWDTCLK/256	1 分周/16 分周/32 分周/64 分周/128 分周/ 256 分周
カウント動作	14 ビットのダウンカウンタによる ダウンカウント	14 ビットのダウンカウンタによる ダウンカウント
カウント開始条件	ダウンカウンタのリフレッシュ(IWDTRR レジスタに 00h を書いた後、FFh を書く)によりカウント開始	 オートスタートモード:リセット解除後、自動的にカウント開始 レジスタスタートモード:リフレッシュ動作(IWDTRR レジスタに "00h"を書き込み後、"FFh"を書き込む)により、カウント開始
カウント停止条件	リセット(ダウンカウンタ、レジスタは 初期値に戻ります。)アンダフロー発生時	 リセット(ダウンカウンタ、レジスタは 初期値に戻る) 低消費電力状態(レジスタ設定による) アンダフロー、リフレッシュエラー発 生時(レジスタスタートモード時のみ)
ウィンドウ機能	-	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	ダウンカウンタがアンダフローしたとき	ダウンカウンタがアンダフローしたときリフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
ノンマスカブル割り込み/ 割り込み要因	-	ダウンカウンタがアンダフローしたときリフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
カウンタの読み出し	IWDTSR レジスタを読むことで、ダウンカ ウンタのカウンタ値が読めます	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
出力信号(内部信号)	リセット出力	リセット出力割り込み要求出力スリープモードカウント停止制御出力

項目	RX62T(IWDT)	RX72T(IWDTa)
オートスタートモード (オプション機能選択 レジスタ 0 (OFS0)制御)		 リセット後のクロック分周比の選択 (OFSO.IWDTCKS[3:0]ビット) 独立ウォッチドッグタイマのタイムアウト期間の選択(OFSO.IWDTTOPS[1:0] ビット) 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFSO.IWDTRPSS[1:0] ビット) 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFSO.IWDTRPES[1:0] ビット) リセット出力、または割り込み要求出力の選択(OFSO.IWDTRSTIRQS ビット) スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択(OFSO.IWDTSLCSTP ビット)
イベントリンク機能(出力)	-	ダウンカウンタのアンダフローイベント出力リフレッシュエラーイベント出力
レジスタスタートモード (IWDT レジスタ制御)	 リフレッシュ動作後のクロック分周比の選択(IWDTCR.CKS[3:0]ビット) 独立ウォッチドッグタイマのタイムアウト期間の選択(IWDTCR.TOPS[1:0]ビット) 	選択(IWDTCR.CKS[3:0]ビット)

表 2.39 独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62T(IWDT)	RX72T(IWDTa)
IWDTCR	-	IWDT コントロールレジスタ	IWDT コントロールレジスタ
		リセット後の初期値が異なります	1
	CKS[3:0]	クロック選択ビット	クロック分周比選択ビット
		b7 b4	b7 b4
		00 — : IWDTCLK	0000: 分周なし
			0010:16分周
			0011:32分周
		0 1 0 0 : IWDTCLK/16	0100:64分周
		0 1 0 1 : IWDTCLK/32	0101:256 分周
		0 1 1 0 : IWDTCLK/64	
		0 1 1 1 : IWDTCLK/128	
		1 : IWDTCLK/256	1111:128 分周
	RPES[1:0]	-	ウィンドウ終了位置選択ビット
	RPSS[1:0]	-	ウィンドウ開始位置選択ビット
IWDTSR	REFEF	-	リフレッシュエラーフラグ
IWDTRCR	-	-	IWDT リセットコントロール
			レジスタ
IWDTCSTPR	-	-	WDT カウント停止コントロール
			レジスタ

2.20 シリアルコミュニケーションインタフェース

表 2.40 にシリアルコミュニケーションインタフェースの概要比較を、表 2.41 にシリアルコミュニケーションインタフェースのチャネル比較を、表 2.42 にシリアルコミュニケーションインタフェースのレジスタ比較を示します。

表 2.40 シリアルコミュニケーションインタフェースの概要比較

項目		RX62T(SCIb)	RX72T(SCIj, SCIi, SCIh)
シリアル通信方式		 調歩同期式 クロック同期式 スマートカードインタフェース	 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意の ビットレートを設定可能	ボーレートジェネレータ内蔵により任意の ビットレートを設定可能
全二重通信		● 送信部:ダブルバッファ構成による連続 送信が可能● 受信部:ダブルバッファ構成による連続 受信が可能	● 送信部:ダブルバッファ構成による連続 送信が可能● 受信部:ダブルバッファ構成による連続 受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
割り込み要因		送信終了、送信データエンプティ、受信データ フル、受信エラー	 ● 送信終了、送信データエンプティ、受信 データフル、受信エラー、受信データレ ディ(SCI11)、データー致(SCI1, SCI5, SCI6, SCI8, SCI9, SCI11) ● 開始条件/再開始条件/停止条件生成終了 (簡易 I²C モード用)
消費電力低減	幾能	チャネルごとにモジュールストップ状態への 設定が可能	チャネルごとにモジュールストップ状態への 遷移が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップ ビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー 検出機能	パリティエラー、オーバランエラー、 フレーミングエラー	パリティエラー、オーバランエラー、フレー ミングエラー
	ハードウェア フロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御 が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能 (SCI11)
	データー致 検出	-	受信データと比較データレジスタの内容を比 較して、値が一致すると割り込み要求を生成 可能(SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)
	スタート ビット検出	RXD 端子の Low レベル/立ち下がりエッジ検出 を選択可能	Low または立ち下がりエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn(n=0~2) 端子のレベルを直接読むことでブレークを検出 可能	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出す、または SPTR.RXDMONフラグを読み出すことでブレークを検出可能
	クロック ソース	内部クロック/外部クロックの選択が可能	● 内部クロック/外部クロックの選択が可能● TMR からの転送レートクロック入力が可能(SCI5, SCI6, SCI12)
	倍速モード	-	ボーレートジェネレータ倍速モードを選択可能
	マルチプロ セッサ通信 機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能

項		RX62T(SCIb)	RX72T(SCIj, SCIi, SCIh)
調歩同期式 ノイズ除去		RXDn(n=0~2)端子入力のノイズ除去が可能	RXDn 端子入力経路にデジタルノイズフィルタ
モード	機能		を内蔵
クロック	データ長	8ビット	8ビット
同期式モード	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェア フロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御 が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能 (SCI11)
スマート カードインタ	エラー処理	● 受信時パリティエラーを検出するとエラー シグナルを自動送出	● 受信時パリティエラーを検出するとエラー シグナルを自動送出
フェース モード		● 送信時エラーシグナルを受信するとデータ を自動再送信	● 送信時エラーシグナルを受信するとデータ を自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベ ンションをサポート	ダイレクトコンベンション/インバースコンベ ンションをサポート
簡易 I ² C モード	通信 フォーマット	-	I ² C バスフォーマット
	動作モード	-	マスタ(シングルマスタ動作のみ)
	転送速度	-	ファストモード対応(転送速度はビットレート レジスタ(BRR)を参照して設定してください)
	ノイズ除去	-	 SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 スプトナ原理教司化
簡易 SPI	データ長	_	● ノイズ除去幅調整可能8 ビット
間勿 3円 モード	エラーの検出	_	オーバランエラー
	SS 入力端子 機能	-	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	-	クロック位相、クロック極性の設定を4種類 から選択可能
イベントリング (SCI5 のみ対応		-	エラー(受信エラー・エラーシグナル検出) イベント出力
		-	受信データフルイベント出力
		-	送信データエンプティイベント出力
		-	送信終了イベント出力
拡張シリアル モード	Start Frame 送信	-	● Break Field Low width の出力が可能/出力 完了割り込み機能あり
(SCI12 のみ 対応)			バス衝突検出機能あり/検出割り込み機能 あり
	Start Frame 受信	-	 Break Field Low width の検出が可能/検出完了割り込み機能あり Control Field 0、Control Field 1のデータ比較/一致割り込み機能あり Control Field 1にはプライマリ/セカンダリの2種類の比較データを設定可能 Control Field 1にプライオリティインタラプトビットを設定可能 Break Field がない Start Frame にも対応可能 Control Field 0 がない Start Frame にも対応可能 ビットレート測定機能あり

項目		RX62T(SCIb)	RX72T(SCIj, SCIi, SCIh)
拡張シリアル モード (SCI12 のみ 対応)	入出力制御 機能	-	 TXDX12/RXDX12 信号の極性選択が可能 RXDX12 信号にデジタルフィルタ機能を設定可能 RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 RXDX12 端子受信データサンプリングタイミング選択可能
	タイマ機能	-	リロードタイマ機能として使用可能
ビットレート		-	内蔵ボーレートジェネレータの出力補正によ
モジュレーション機能			り誤差を低減可能

表 2.41 シリアルコミュニケーションインタフェースのチャネル比較

項目	RX62T(SCIb)	RX72T(SCIj, SCIi, SCIh)
調歩同期式モード	SCI0, SCI1, SCI2	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
クロック同期式モード	SCI0, SCI1, SCI2	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
スマートカードインタフェース モード	SCI0, SCI1, SCI2	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
簡易 I ² C モード	-	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
簡易 SPI モード	-	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
FIFO モード	-	SCI11
データー致検出	-	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11
拡張シリアルモード	-	SCI12
TMR クロック入力	-	SCI5, SCI6, SCI12
イベントリンク機能	-	SCI5
周辺モジュールクロック	PCLK	PCLKB : SCI1, SCI5, SCI6, SCI8, SCI9, SCI12 PCLKA : SCI11

表 2.42 シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX62T(SCIb)	RX72T(SCIj,SCIi,SCIh)
SMR (SCMR.SMIF = 0	CHR	キャラクタ長ビット	キャラクタレングスビット
の時)	СМ	(調歩同期式モードのみ有効) 0: データ長8ビットで送受信 1: データ長7ビットで送受信 コミュニケーションモードビット 0: 調歩同期式モードで動作	(調歩同期式モードのみ有効) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 00: データ長9ビットで送受信 01: データ長9ビットで送受信 10: データ長8ビットで送受信(初期値) 11: データ長7ビットで送受信 コミュニケーションモードビット 0: 調歩同期式モード、または簡易I ² Cモー
		1:クロック同期式モードで動作	ドで動作 1: クロック同期式モード、または簡易 SPIモードで動作
SCR (SCMR.SMIF = 0 の時)	CKE[1:0]	クロック許可ビット ● 調歩同期式の場合 b1 b0 00:内蔵ボーレートジェネレータ	クロックイネーブルビット (調歩同期式の場合) b1 b0 00: 内蔵ボーレートジェネレータ
		● クロック同期式の場合 b1 b0 0 0: 内部クロック SCKn 端子はクロック出力端子 0 1: 内部クロック SCKn 端子はクロック出力端子 1 0: 外部クロック SCKn 端子はクロック入力端子 1 1: 外部クロック SCKn 端子はクロック入力端子	(クロック同期式の場合) b1 b0 0 x: 内部クロック

レジスタ	ビット	RX62T(SCIb)	RX72T(SCIj,SCIi,SCIh)
SCMR	SDIR	ビットオーダー選択ビット	送受信データトランスファディレクション
			ビット
		以下のモードで使用可能です。	以下のモードで使用可能です。
		● スマートカードインタフェースモード	● スマートカードインタフェースモード
		● 調歩同期式モード	● 調歩同期式モード
		(マルチプロセッサモード)	(マルチプロセッサモード)
		● クロック同期式モード	● クロック同期式モード
			● 簡易 SPI モード
			簡易 I ² C モードで動作させる場合は、
			"1"にしてください
		┃ ┃0:LSB ファーストで送受信	│ │ 0:LSB ファーストで送受信
		1 : MSB ファーストで送受信	1 : MSB ファーストで送受信
	CHR1	- NICE 2 7 八 1 C 区文旧	キャラクタレングスビット1
SEMR	ACS0		調歩同期クロックソースセレクトビット
32	BRME	-	ビットレートモジュレーション
			イネーブルビット
	ABCSE	-	調歩同期基本クロックセレクト拡張ビット
	NFEN	ノイズ除去機能選択ビット	デジタルノイズフィルタ機能イネーブル
			ビット
		(調歩同期式モードのみ有効)	(調歩同期式モード)
		0:RXDn 端子入力のノイズ除去機能無効	0:RXDn 入力信号のノイズ除去機能無効
		1:RXDn 端子入力のノイズ除去機能有効	1:RXDn 入力信号のノイズ除去機能有効
			(簡易 I ² C モード)
			0:SSCLn、SSDAn 入力信号のノイズ除 去機能無効
			1:SSCLn、SSDAn 入力信号のノイズ除
			去機能有効
			上記以外のモードでは、NFEN ビットを
			"0"にしてください。
	BGDM	-	ボーレートジェネレータ倍速モード
RDRH	_	_	セレクトビット
RDRL	-	-	レシーブデータレジスタ H レシーブデータレジスタ L
RDRHL	-	-	レシーファーテレンステヒ レシーブデータレジスタ HL
FRDR	_		受信FIFOデータレジスタ
TDRH	_	-	トランスミットデータレジスタ H
TDRL	-	-	トランスミットデータレジスタL
TDRHL	-	-	トランスミットデータレジスタ HL
FTDR	-		送信FIFOデータレジスタ
SSRFIFO	-	-	シリアルステータスレジスタ
MDDR	-	-	モジュレーションデューティレジスタ
SNFR	-	-	ノイズフィルタ設定レジスタ
SIMR1	-	-	I ² Cモードレジスタ1
SIMR2	-	-	I ² Cモードレジスタ2
SIMR3	-	-	I ² Cモードレジスタ3
SISR	-	-	I ² Cステータスレジスタ
SPMR	-	-	SPIモードレジスタ
FCR	-	-	FIFOコントロールレジスタ
FDR	-	-	FIFOデータカウントレジスタ

レジスタ	ビット	RX62T(SCIb)	RX72T(SCIj,SCIi,SCIh)
LSR	-	-	ラインステータスレジスタ
CDR	-	-	比較データレジスタ
DCCR	-	-	データ比較制御レジスタ
SPTR	-	-	シリアルポートレジスタ
ESMER	-	-	拡張シリアルモード有効レジスタ
CR0	-	-	コントロールレジスタ0
CR1	-	-	コントロールレジスタ1
CR2	-	-	コントロールレジスタ2
CR3	-	-	コントロールレジスタ3
PCR	-	-	ポートコントロールレジスタ
ICR	-	-	割り込みコントロールレジスタ
STR	-	-	ステータスレジスタ
STCR	-	-	ステータスクリアレジスタ
CF0DR	-	-	Control Field 0 データレジスタ
CF0CR	-	-	Control Field 0コンペアイネーブル レジスタ
CF0RR	-	-	Control Field 0 受信データレジスタ
PCF1DR	-	-	プライマリ Control Field 1 データ レジスタ
SCF1DR	-	-	セカンダリ Control Field 1 データ レジスタ
CF1CR	-	-	Control Field 1コンペアイネーブル レジスタ
CF1RR	-	-	Control Field 1 受信データレジスタ
TCR	-	-	タイマコントロールレジスタ
TMR	-	-	タイマモードレジスタ
TPRE	-	-	タイマプリスケーラレジスタ
TCNT	-	-	タイマカウントレジスタ

2.21 I²C バスインタフェース

表 2.43 に I^2 C バスインタフェースの概要比較を、表 2.44 に I^2 C バスインタフェースのレジスタ比較を示します。

表 2.43 I²C バスインタフェースの概要比較

項目	RX62T(RIIC)	RX72T(RIICa)
通信フォーマット	I ² C バスフォーマット/SMBus フォーマッ	● I ² C バスフォーマット/SMBus フォーマッ
	-	F
	● マスタ/スレーブ選択可能	● マスタ/スレーブ選択可能
	● 設定した転送速度に応じた各種セット	● 設定した転送速度に応じた各種セット
	アップ時間、ホールド時間、バスフリー	アップ時間、ホールド時間、バスフリー
	時間を自動確保	時間を自動確保
転送速度	~400 kbps	ファストモード対応(~400 kbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を	マスタ時、SCL クロックのデューティ比を
	4%~96%の範囲で設定可能	4%~96%の範囲で設定可能
コンディション発行・	● スタートコンディション/リスタートコン	● スタートコンディション/リスタートコン
コンディション検出	ディション/ストップコンディションの自	ディション/ストップコンディションの自
	動生成	動生成、
	● スタートコンディション(リスタートコン	● スタートコンディション(リスタートコン
	ディション含む)/ストップコンディション	ディション含む)/ストップコンディション
, , , , ,	検出可能	検出可能
スレーブアドレス	● スレーブアドレスを3セット設定可能	● 異なるスレーブアドレスを3種類まで設 定可能
	● 7 ビット/10 ビットアドレスフォーマット 対応(混在可能)	● 7 ビット/10 ビットアドレスフォーマット 対応(混在可能)
	◆ ジェネラルコールアドレス検出、デバイ	● ジェネラルコールアドレス検出、デバイ
	ス ID アドレス検出、SMBus のホストア	ス ID アドレス検出、SMBus のホストア
	ドレス検出可能	ドレス検出可能
アクノリッジ応答	● 送信時、アクノリッジビットの自動ロー ド	● 送信時、アクノリッジビットの自動ロー ド
	 ―ノーアクノリッジ受信時に次送信デー タ転送の自動中断が可能	・ ―ノットアクノリッジ受信時に次送信 データ転送の自動中断が可能
	● 受信時、アクノリッジビットの自動送出	● 受信時、アクノリッジビットの自動送出
	―8 クロック目と 9 クロック目の間に	―8 クロック目と 9 クロック目の間に
	ウェイトありを選択すると、受信デー	ウェイトありを選択すると、受信デー
	タ内容に応じたアクノリッジビット応	タ内容に応じたアクノリッジビット応
	答のソフトウェア制御が可能	答のソフトウェア制御が可能
ウェイト機能	● 受信時、SCL クロックの Low ホールドに	● 受信時、SCL クロックの Low ホールドに
	よるウェイトが可能	よるウェイトが可能
	● 8クロック目と9クロック目の間をウェ	● 8クロック目と9クロック目の間をウェ
	イト	イト
	● 9クロック目と1クロック目の間をウェ	● 9クロック目と1クロック目の間をウェ
	イト(WAIT 機能)	イト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タ	アクノリッジ送信を含むデータ送信の出力タ
	イミングを遅延させることが可能	イミングを遅延させることが可能

項目	RX62T(RIIC)	RX72T(RIICa)
アービトレーション	● マルチマスタ対応	● マルチマスタ対応
, 210)]	・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・	・
	SCL クロックの同期動作可能	SCL クロックの同期動作可能
	―スタートコンディション発行競合時、	―スタートコンディション発行競合時、
	SDA ライン上の信号の状態が不一致な	SDA ライン上の信号の状態が不一致な
	らアービトレーションロスト検出可能	らアービトレーションロスト検出可能
	ーマスタ時、送信データ不一致でアービト	―マスタ時、送信データ不一致でアービト
	レーションロスト検出可能	レーションロスト検出可能
	 ・ バスビジー中のスタートコンディション	 ・ バスビジー中のスタートコンディション
	発行でアービトレーションロスト検出可	発行でアービトレーションロスト検出可
	能(スタートコンディションの二重発行防	能(スタートコンディションの二重発行防
	止)	止)
	● ノーアクノリッジ送信時、SDA ライン上	● ノットアクノリッジ送信時、SDA ライン
	の信号の状態が不一致ならアービトレー	上の信号の状態が不一致ならアービト
	ションロスト検出可能	レーションロスト検出可能
	● スレーブ送信時、データ不一致でアービ	● スレーブ送信時、データ不一致でアービ
タイムアウト検出機能	トレーションロスト検出可能	トレーションロスト検出可能
プイムアソト快田饿能 	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能
 ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを	SCL、SDA 入力にデジタルノイズフィルタを
7 1 入际五	内蔵、ノイズ除去幅をプログラマブルに調整	内蔵、ノイズ除去幅をソフトウェアで調整可
	可能	能
割り込み要因	● 4種類	● 4種類
	―通信エラー/イベント発生	
	(AL 検出、	アービトレーション検出、
	NACK 検出、	NACK 検出、
	タイムアウト検出、	タイムアウト検出、
	スタートコンディション検出(リスター	スタートコンディション検出(リスター
	トコンディション含む)、	トコンディション含む)、
	ストップコンディション検出)	ストップコンディション検出
	―受信データフル(スレーブアドレス一致 時含む)	—受信データフル(スレーブアドレス一致 時含む)
	一端回り 一送信データエンプティ(スレーブアドレ	ー 送信データエンプティ(スレーブアドレ
	一返信ケータエンフティ(スレーフテドレ ス一致時含む)	- 一込信チーダエンフティ (スレーフテドレー ス一致時含む)
	——送信終了	——送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能
RIIC の動作モード	◆ 4種類	◆ 4種類
	マスタ送信モード、	マスタ送信モード、
	マスタ受信モード、	マスタ受信モード、
	スレーブ送信モード、	スレーブ送信モード、
	スレーブ受信モード	スレーブ受信モード
イベントリンク機能	-	● 4種類
(出力)		―通信エラー/通信イベント発生、
		アービトレーション検出、
		NACK 検出、
		タイムアウト検出、
		スタートコンディション検出
		(リスタートコンディション含む)、
		ストップコンディション検出
		―受信データフル
		(スレーブアドレス一致時含む)
		―送信データエンプティ
		(スレーブアドレス一致時含む)
		—送信終了

表 2.44 I²C バスインタフェースのレジスタ比較

レジスタ	ビット	RX62T(RIIC)	RX72T(RIICa)
ICMR2	TMWE	タイムアウト内部カウンタ	-
		書き込み許可ビット	
TMOCNT	-	タイムアウト内部カウンタ	-

2.22 CAN モジュール

表 2.45 に CAN モジュールの概要比較を、表 2.46 に CAN モジュールのレジスタ比較を示します。

表 2.45 CAN モジュールの概要比較

項目	RX62T(CAN)	RX72T(CAN)
プロトコル	ISO 11898-1 仕様準拠	ISO 11898-1 規格準拠
	(標準フレーム/拡張フレーム)	(標準フレーム/拡張フレーム)
ビットレート	● 1Mbps 以下のビットレートをプログ	● 1Mbps 以下のビットレートをプログ
	ラム可能(fCAN≧8MHz)	ラム可能(fCAN≧8MHz)
	● fCAN: CAN クロックソース	● fCAN: CAN クロックソース
メッセージボックス	■ 32 メールボックス: 2 種類のメール	■ 32メールボックス:2種類のメール
	ボックスモードを選択可能	ボックスモードを選択可能
	● 通常メールボックスモード:	● 通常メールボックスモード:
	—32 メールボックスを送信または受 信用に設定可能	—32 メールボックスを送信または受信用に設定可能
	● FIFO メールボックスモード:	● FIFO メールボックスモード:
	―24 メールボックスを送信または受信用に設定可能	―24 メールボックスを送信または受信用に設定可能
	一残りのメールボックスを送信用に 4	一残りのメールボックスを送信用に 4
	段、受信用に 4 段の FIFO を設定可	段、受信用に 4 段の FIFO を設定可
	能	能
受信	● データフレームとリモートフレームを	● データフレームとリモートフレームを
	受信可能	受信可能
	● 受信する ID フォーマット(標準 ID の	● 受信する ID フォーマット(標準 ID の
	み、拡張 ID のみ、標準と拡張両方の	み、拡張 ID のみ、標準と拡張両方の
	ID)を選択可能 ● ワンショット受信機能を選択可能	ID)を選択可能 ● ワンショット受信機能を選択可能
	● オーバライトモード(メッセージ上書	● オーバライトモード(メッセージ上書
	き)かオーバランモード(メッセージ破	き)かオーバランモード(メッセージ破
	棄)を選択可能	棄)を選択可能
	● 受信完了割り込みの許可/禁止をメー	● 受信完了割り込みの許可/禁止をメー
	ルボックスごとに個別に設定可能	ルボックスごとに個別に設定可能
アクセプタンス	● 8つのアクセプタンスマスク(4メール	● 8つのアクセプタンスマスク(4メール
フィルタ	ボックスごとに個別のマスク)	ボックスごとに個別のマスク)
	● メールボックスはマスクの有効/無効 を個別に設定可能	● メールボックスはマスクの有効/無効 を個別に設定可能
送信	データフレームとリモートフレームを	• データフレームとリモートフレームを
	送信可能	送信可能
	● 送信する ID フォーマット(標準 ID の	● 送信する ID フォーマット(標準 ID の
	み、拡張 ID のみ、標準と拡張両方の	み、拡張 ID のみ、標準と拡張両方の
	ID)を選択可能	ID)を選択可能
	● ワンショット送信機能を選択可能	● ワンショット送信機能を選択可能
	● ID 優先送信モードかメールボックス 番号優先送信モードを選択可能	● ID 優先送信モードかメールボックス 番号優先送信モードを選択可能
	● 送信要求をアボート可能(フラグでア	番号優元送信モートを選択可能 ■ 送信要求をアボート可能(フラグでア
	▼ 送信要求をデホート可能(フラグでデー ボート完了を確認可能)	▼ 送信安水をケホート可能(フラグでケートボート完了を確認可能)
	● 送信完了割り込みの許可/禁止をメー	・ 送信完了割り込みの許可/禁止をメー
	ルボックスごとに個別に設定可能	ルボックスごとに個別に設定可能

項目	RX62T(CAN)	RX72T(CAN)
バスオフ復帰方法	バスオフ状態からの復帰方法を選択可	◆ バスオフ状態からの復帰方法を選択可
	能	能
	● ISO11898-1 仕様準拠	● ISO11898-1 規格準拠
	● バスオフ開始で自動的に CAN Halt	● バスオフ開始で自動的に CAN Halt
	モードへ移行 ● バスオフ終了で自動的に CAN Halt	モードへ移行 ● バスオフ終了で自動的に CAN Halt
	● ハスオン終了で自動的に CAN Hait モードへ移行	→ ハスオン終」で自動的に CAN Hall モードへ移行
	● プログラムにより CAN Halt モードへ	● プログラムにより CAN Halt モードへ
	移行	移行
	プログラムによりエラーアクティブ状	プログラムによりエラーアクティブ状
	態へ遷移	態へ遷移
エラー状態の監視	● CAN バスエラー(スタッフエラー、 フォームエラー、ACK エラー、	● CAN バスエラー(スタッフエラー、 フォームエラー、ACK エラー、
	CRC エラー、ビットエラー、	CRC エラー、ビットエラー、
	ACK デリミタエラー)を監視可能	ACK デリミタエラー)を監視可能
	● エラー状態の遷移を検出可能(エラー	● エラー状態の遷移を検出可能(エラー
	ワーニング、エラーパッシブ、バスオ	ワーニング、エラーパッシブ、バスオ
	フ開始、バスオフ復帰)	フ開始、バスオフ復帰)
► / / → ► > → 1-010 Δ×	● エラーカウンタを読み出し可能	● エラーカウンタを読み出し可能
タイムスタンプ機能	● 16 ビットカウンタによるタイムスタ ンプ機能	● 16 ビットカウンタによるタイムスタ ンプ機能
	● 基準クロックは、1, 2, 4, 8 ビットタ	◆ 基準クロックは、1, 2, 4, 8 ビットタイ
	イムから選択可能	ムから選択可能
割り込み機能	5種類の割り込み要因(受信完了割り込	5種類の割り込み要因(受信完了割り込
	み、送信完了割り込み、受信 FIFO 割り	み、送信完了割り込み、受信 FIFO 割り
	込み、送信 FIFO 割り込み、エラー割り込み)	│込み、送信 FIFO 割り込み、エラー割り │込み)
CAN スリープモード	CAN クロックを停止することで消費電流	CAN クロックを停止することで消費電流
	を低減可能	を低減可能
ソフトウェアサポート	• 3つのソフトウェアサポートユニット	• 3つのソフトウェアサポートユニット
ユニット	—アクセプタンスフィルタサポート	―アクセプタンスフィルタサポート
	―メールボックス検索サポート(受信	―メールボックス検索サポート(受信
	メールボックス検索、送信メール ボックス検索、メッセージロスト検	メールボックス検索、送信メール ボックス検索、メッセージロスト検
	木グラス模系、スタセーフロスト模案)	ホックへ検系、メッセージロへ下検 索)
	―チャネル検索サポート	―チャネル検索サポート
CAN クロックソース	周辺モジュールクロック(PCLK)	周辺モジュールクロック(PCLKB)、
		CANMCLK
テストモード	● ユーザ評価用に3つのテストモードを	• ユーザ評価用に3つのテストモードを
	用意	用意
	─ リッスンオンリモード ─セルフテストモード 0	―リッスンオンリモード ―セルフテストモード 0
	ーセルファストモート 0 (外部ループバック)	一ゼルフテストモートり (外部ループバック)
	ーセルフテストモード 1	ーセルフテストモード 1
	(内部ループバック)	(内部ループバック)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.46 CAN モジュールのレジスタ比較

L	ノジスタ	ビット	RX62T(CAN)	RX72T(CAN)
BCR		CCLKS	-	CAN クロックソース選択ビット
MKIVLI	R	- (RX62T)	マスク無効レジスタ	マスク無効レジスタ
		MB0~MB31		
		(RX72T)		
MIER	通常メール	- (RX62T)	割り込み許可ビット	割り込み許可ビット
	ボックスモー	MB0~MB31		
	ド	(RX72T)		
	FIFO メール	,	割り込み許可ビット	割り込み許可ビット
	ボックスモー	MB0~MB23		
	ド	(RX72T)		
		- (RX62T)	送信 FIFO 割り込み許可ビット	送信 FIFO 割り込み許可ビット
		MB24(RX72T)		
		- (RX62T)	送信 FIFO 割り込み発生	送信 FIFO 割り込み発生
		MB25(RX72T)	タイミング制御ビット	タイミング制御ビット
		- (RX62T)	受信 FIFO 割り込み許可ビット	受信 FIFO 割り込み許可ビット
		MB28(RX72T)		
		- (RX62T)	受信 FIFO 割り込み発生	受信 FIFO 割り込み発生
		MB29(RX72T)	タイミング制御ビット	タイミング制御ビット
STR	•	-	ステータスレジスタ	ステータスレジスタ
			リセット後の初期値が異なります	

2.23 シリアルペリフェラルインタフェース

表 2.47 にシリアルペリフェラルインタフェースの概要比較を、表 2.48 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.47 シリアルペリフェラルインタフェースの概要比較

項目	RX62T(RSPI)	RX72T(RSPIc)	
	` '	` ,	
チャネル数	1 チャネル	1 チャネル	
RSPI 転送機能	 MOSI(Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIClock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 送信のみの動作が可能 マスタ/スレーブモードでのシリアル通信が可能 通信モード:全二重または送信のみを選択可能 シリアル転送クロックの極性を変更可能 シリアル転送クロックの位相を変更可能 MSBファースト/LSBファーストの切り替え 	 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPIClock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 送信のみの動作が可能 マスタ/スレーブモードでのシリアル通信が可能 通信モード:全二重または送信のみを選択可能 RSPCK の極性を変更可能 RSPCK の位相を変更可能 MSB ファースト/LSB ファーストの切り替え 	
アーメンオー マット	 MSB ファースト/LSB ファーストの切り替え可能 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能 送信/受信バッファは 128 ビット 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット) 	 MSB ファースト/LSB ファーストの切り替え可能 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 送信/受信バッファは 128 ビット 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット) 送信データ、受信データをバイト単位でスワップ可能 	
ビットレート	 マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 8 分周) ―High 幅: PCLK の 4 サイクル、Low 幅: PCLK の 4 サイクル 	 マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 4 分周) High 幅: PCLK の 2 サイクル、Low 幅: PCLK の 2 サイクル 	
バッファ構成	● 送信/受信バッファ構成はダブルバッファ	● 送信および受信バッファはそれぞれダブル バッファ構造	
	● 送信/受信バッファは 128 ビット	● 送信および受信バッファは 128 ビット	
エラー検出	モードフォルトエラー検出オーバランエラー検出パリティエラー検出	モードフォルトエラー検出オーバランエラー検出パリティエラー検出アンダランエラー検出	
割り込み要因	● マスカブルな割り込み要因 —RSPI 受信割り込み(受信バッファフル) —RSPI 送信割り込み(送信バッファエンプティ) —RSPI エラー割り込み(モードフォルト、オーバラン、パリティエラー) —RSPI アイドル割り込み(RSPI アイドル)	● 割り込み要因 一受信バッファフル割り込み 一送信バッファエンプティ割り込み 一RSPI エラー割り込み(モードフォルト、 オーバラン、アンダラン、パリティエ ラー) —RSPI アイドル割り込み(RSPI アイドル)	

項目	RX62T(RSPI)	RX72T(RSPIc)
SSL 制御機能	● 1 チャネルあたり 4 本の SSL 信号	● 1 チャネルあたり 4 本の SSL 端子
	(SSL0~SSL3)	(SSLA0~SSLA3)
	● シングルマスタ設定時には、SSL0~SSL3	● シングルマスタ設定時には、SSLA0~
	信号を出力	SSLA3 端子を出力
	● マルチマスタ設定時: SSL0 信号は入力、	● マルチマスタ設定時: SSLAO 端子は入力、
	SSL1~SSL3 信号は出力またはハイイン ピーダンス	SSLA1~SSLA3 端子は出力または未使用
	● スレーブ設定時: SSL0 信号は入力、	● スレーブ設定時:SSLAO 端子は入力、
	SSL1~SSL3 信号はハイインピーダンス	SSLA1~SSLA3 端子は未使用
	● SSL 出力のアサートから RSPCK 動作まで	● SSL 出力のアサートから RSPCK 動作までの
	の遅延(RSPCK 遅延)を設定可能	遅延(RSPCK 遅延)を設定可能
	—設定範囲: 1~8 RSPCK	—設定範囲: 1~8 RSPCK
	―設定単位:1 RSPCK	―設定単位:1 RSPCK
	● RSPCK 停止から SSL 出力のネゲートまで の遅延(SSL ネゲート遅延)を設定可能	■ RSPCK 停止から SSL 出力のネゲートまでの 遅延(SSL ネゲート遅延)を設定可能
	- 設定範囲: 1~8 RSPCK	世 () 55 (ネケード
	——設定単位:1 RSPCK	
	● 次アクセスの SSL 出力アサートのウェイト	● 次アクセスの SSL 出力アサートのウェイト
	(次アクセス遅延)を設定可能	(次アクセス遅延)を設定可能
	—設定範囲: 1~8 RSPCK	—設定範囲: 1~8 RSPCK
	—設定単位:1 RSPCK	—設定単位:1 RSPCK
	● SSL 極性変更機能	● SSL 極性変更機能
マスタ転送時の制御	● 最大8コマンドで構成された転送をシーケ	● 最大 8 コマンドで構成された転送を連続して
方式	ンシャルにループ実行可能	ループ実行可能
	◆ 各コマンドに以下の項目を設定可能—SSL 信号値、ビットレート、RSPCK 極性	◆ 各コマンドに以下の項目を設定可能—SSL 信号値、ビットレート、RSPCK 極性
	/位相、転送データ長、LSB/MSB ファース	/位相、転送データ長、LSB/MSB ファース
	ト、バースト、RSPCK 遅延、SSL ネゲー	ト、バースト、RSPCK 遅延、SSL ネゲー
	ト遅延、次アクセス遅延	ト遅延、次アクセス遅延
	● 送信バッファへのライトで転送を起動可能	● 送信バッファへのライトで転送を起動可能
	● SSL ネゲート時の MOSI 信号値を設定可能	● SSL ネゲート時の MOSI 信号値を設定可能
		● RSPCK 自動停止機能
イベントリンク機能	-	● 以下のイベントをイベントリンクコントロー
(出力)		ラへ出力可能(RSPI0)
		―受信バッファフルイベント信号
		送信バッファエンプティイベント信号
		―モードフォルト/オーバラン/アンダラン/ パリティエラーのイベント信号
		ーRSPI アイドルイベント信号
		―送信完了イベント信号
その他の機能		● CMOS/オープンドレイン出力切り替え機能
	● RSPI ディスエーブル(初期化)機能	● RSPI 初期化機能
	ループバックモード機能	● ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.48 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX62T(RSPI)	RX72T(RSPIc)
SPSR	MODF	モードフォルトエラーフラグ	モードフォルトエラーフラグ
		0:モードフォルトエラーなし	0:モードフォルトエラーなし、
		1:モードフォルトエラー発生	アンダランエラーなし 1:モードフォルトエラーまた
			はアンダランエラー発生
	UDRF	-	アンダランエラーフラグ
SPDR	-	RSPI データレジスタ	RSPI データレジスタ
		可能アクセスサイズ	可能アクセスサイズ
		• ロングワード	• ロングワード
		(SPDCR.SPLW=1)	(SPDCR.SPLW=1,
			SPDCR.SPBYT=0)
		• ワードアクセス	• ワードアクセス
		(SPDCR.SPLW=0)	(SPDCR.SPLW=0, SPDCR.SPBYT=0)
			バイトアクセス
			(SPDCR.SPLW=0,
			SPDCR.SPBYT=1)
SPBR	SPR0~SPR7(RX62T)	RSPI ビットレートレジスタ	RSPI ビットレートレジスタ
	-(RX72T)		
SPDCR	SLSEL[1:0]	SSL 端子出力選択ビット	-
	SPBYT	-	RSPI バイトアクセス設定ビット
SPCR2	SCKASE	-	RSPCK 自動停止機能許可ビット
SPDCR2	-	-	RSPI データコントロール
			レジスタ 2

2.24 CRC 演算器

表 2.49 に CRC 演算器の概要比較を、表 2.50 に CRC 演算器のレジスタ比較を示します。

表 2.49 CRC 演算器の概要比較

項目	RX62T(CRC)	RX72T	(CRCA)
データサイズ	8ビット	8ビット	32 ビット
CRC 演算対象データ		8n ビットのデータに対して	32n ビットのデータに対して
	CRC コード生成(n = 自然数)	CRC コード生成(n = 自然数)	CRC コード生成(n = 自然数)
CRC 演算処理方式	8 ビット並列実行	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	● 3つの多項式から選択可能	● 3つの多項式から選択可能	● 2つの多項式から選択可能
	—8 ビット CRC	—8 ビット CRC	
	$X^8 + X^2 + X + 1$	$X^8 + X^2 + X + 1$	
	—16 ビット CRC	—16 ビット CRC	
	$X^{16} + X^{15} + X^2 + 1$,	$X^{16} + X^{15} + X^2 + 1$,	
	$X^{16} + X^{12} + X^5 + 1$	$X^{16} + X^{12} + X^5 + 1$	
			─32 ビット CRC
			$X^{32} + X^{26} + X^{23} + X^{22} +$
			$X^{16} + X^{12} + X^{11} + X^{10} +$
			$X^8 + X^7 + X^5 + X^4 + X^2 +$
			X + 1,
			$X^{32} + X^{28} + X^{27} + X^{26} +$
			$X^{25} + X^{23} + X^{22} + X^{20} +$
			$X^{19} + X^{18} + X^{14} + X^{13} +$
			$X^{11} + X^{10} + X^9 + X^8 +$
			X ⁶ + 1
CRC 演算切り替え	LSB ファースト/MSB ファース	LSB ファーストまたは MSB フ	ァーストでの通信用に、
	ト通信用 CRC コード生成から 選択可能	CRC 演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への 設定可能	モジュールストップ状態への遷	移が可能

表 2.50 CRC 演算器のレジスタ比較

レジスタ	ビット	RX62T(CRC)	RX72T(CRCA)
CRCCR	GPS[1:0](RX62T)	CRC 生成多項式切り替えビット	CRC 生成多項式切り替えビット
	GPS[2:0](RX72T)	(b1-b0)	(<mark>b2</mark> -b0)
	,		
		b1 b0	b2 b0
		00:演算しません	000:計算しません
		0 1 : X ⁸ + X ² + X + 1	001:8ビットCRC
			$(X^8 + X^2 + X + 1)$
		$10: X^{16} + X^{15} + X^2 + 1$	010:16ビットCRC (X ¹⁶ + X ¹⁵ + X ² + 1)
		11: $X^{16} + X^{12} + X^5 + 1$	011:16ビットCRC (X ¹⁶ + X ¹² + X ⁵ + 1)
			100:32 ビット CRC (X ³² + X ²⁶ + X ²³ + X ²² + X ¹⁶ + X ¹² + X ¹¹ + X ¹⁰ + X ⁸ + X ⁷ + X ⁵ + X ⁴ +
			$X^2 + X + 1$
			101:32 ビット CRC
			$(X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} +$
			$X^{10} + X^{10} + X^{11} + X^{10} + X^{11} + X$
			$X^{11} + X^{10} + X^9 + X^8 + X^6$
			+1)
			110:計算しません
			111:計算しません
	LMS	CRC 演算切り替えビット(b2)	CRC 演算切り替えビット(b6)
CRCDIR	-	CRC データ入力レジスタ	CRC データ入力レジスタ
		可能アクセスサイズ	可能アクセスサイズ
			ロングワードアクセス
			(32 ビット CRC 生成時)
		バイトアクセス	バイトアクセス
			(16 ビット CRC、
			8 ビット CRC 生成時)
CRCDOR	-	CRC データ出力レジスタ	CRC データ出力レジスタ
		可能アクセスサイズ	可能アクセスサイズ
			ロングワードアクセス
			(32 ビット CRC 生成時)
		• ワードアクセス	• ワードアクセス
		8 ビット CRC 生成時は、 下位バイト(b7~b0)を使用	(16 ビット CRC 生成時)
			• バイトアクセス
			(8 ビット CRC 生成時)

2.25 12 ビット A/D コンバータ

表 2.51 に 12 ビット A/D コンバータの概要比較を、表 2.52 に 12 ビット A/D コンバータのレジスタ比較を、表 2.53 に A/D 起動要因比較を示します。

表 2.51 12 ビット A/D コンバータの概要比較

項目	RX62T(S12ADA)	RX72T(S12ADH)
ユニット数	2 ユニット(S12AD0、S12AD1)	3 ユニット(S12AD, S12AD1, <mark>S12AD2</mark>)
入力チャネル	8 チャネル(4 チャネル×2 ユニット)	S12AD:8チャネル、 S12AD1:8チャネル、 S12AD2:14チャネル
拡張アナログ機能	-	温度センサ出力、 内部基準電圧(S12AD2 のみ)
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	 1 チャネル当たり 1.0µs(A/D 変換クロック ADCLK=50MHz、AVCC0=4.0~5.5V時) 1 チャネル当たり 2.0µs(A/D 変換クロック ADCLK=25MHz、AVCC0=3.0~3.6V時) 	● 1 チャネルあたり 0.9µs (A/D 変換クロック ADCLK=60MHz 動作時)
データ レジスタ	 A/D 変換結果を 12 ビット A/D データレジスタに保持 	 アナログ入力用 30本(S12AD:8本、S12AD1:8本、S12AD2:14本)、ダブルトリガモードでの A/D 変換データニ重化用1本/各ユニット、ダブルトリガモード拡張動作時の A/D 変換データニ重化用2本/各ユニット 温度センサ用1本(S12AD2) 内部基準電圧用1本(S12AD2) 自己診断用1本/ユニット A/D 変換結果を12 ビット A/D データレジスタに保持 加算モード時は A/D 変換結果の加算値を変換精度ビット数+2 ビット/4 ビットでA/D データレジスタに保持 ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能)ー選択した1つのチャネルのアナログ入力のA/D 変換データを1回目は対象チャネルのデータレジスタに保持 大回目の A/D 変換データは二重
	● AN000、AN100 入力は 2 つの AD データ レジスタがあり、トリガ種別で変換結果 格納先を切り替え	 化レジスタに保持 ● ダブルトリガモード拡張動作(特定トリガ種別で有効) 一選択した1つのチャネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した二重化レジスタに保持

項目	RX62T(S12ADA)	RX72T(S12ADH)
A/D 変換クロック	● 4種類:PCLK、PCLK/2、PCLK/4、PCLK/8	 周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数 比で設定可能 —PCLK: ADCLK 周波数比 = 1:1、1:2、2:1、4:1 ADCLK の設定はクロック発生回路で行います。 A/D 変換クロック ADCLK は最大 60MHz、最低 8MHz まで動作可能
動作モード	 シングルモード 1 チャネルのアナログ入力を1回のみ変換 スキャンモード 1 サイクルスキャンモード:最大4 チャネルのアナログ入力を1回のみ変換 連続スキャンモード:最大4 チャネルのアナログ入力を繰り返し変換 	入力を1回のみA/D変換 ―温度センサ出力(S12AD2)を1回のみA/D変換 ―内部基準電圧を1回のみA/D変換 (S12AD2) ● 連続スキャンモード: ―任意に選択したチャネルのアナログ入力を繰り返しA/D変換
	2 チャネルスキャンモード:ユニット 内チャネルを 2 グループ化し、2 系統 の開始要因を設定可能	 グループの数は2つ(グループの数は2つ(グループの数は2つ(グループの数は2つ(グループの数ででである/ンのののでは、ののでは、ののでは、ののでは、ののででは、ののででは、ののででは、ののででは、ののででは、ののでででは、ののでででは、ののででででは、のでででででででで

項目	RX62T(S12ADA)	RX72T(S12ADH)
A/D 変換開始条件	• ソフトウェアトリガ	ソフトウェアトリガ
	● マルチファンクションタイマパルスユ	● 同期トリガ
	ニット 3(MTU3)、または <mark>汎用 PWM タ</mark>	―マルチファンクションタイマパルス
	イマ(GPT)からのトリガ	ユニット(MTU)、8 ビットタイマ
		(TMR)、イベントリンクコントロー
	LI 40 1 . 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	ラ(ELC)からのトリガ
	● 外部トリガ:: ADTRG0#端子によって S12AD0 の A/D	● 非同期トリガ —外部トリガ ADTRG0#(S12AD)、
	変換を、ADTRG1#端子によって	ADTRG1# (S12AD1), ADTRG2#
	S12AD1 の A/D 変換を開始することが	(S12AD2)端子による A/D 変換動作の
	可能	開始が可能(3 ユニット個別)
機能	● サンプル&ホールド機能(3 チャネル/	● チャネル専用サンプル&ホールド機能
	1ユニット)	(3 チャネル: S12AD、3 チャネル:
	S12AD0 のチャネル	S12AD1) (常時サンプリング設定可能)
	0~2(AN000~002)、および、S12AD1 のチャネル 0~2 (AN100~102)には、	
	専用に独立したサンプルホールド回路	
	を内蔵。これにより、ユニット毎に複	
	数チャネル(最大 3 チャネル)の同時サ	
	ンプリングが可能	● サンプリング時間可変機能
		(チャネルごとに設定可能)
	● A/D コンバータの自己診断機能	● 12 ビット A/D コンバータの自己診断 機能
		A/D 変換値加算モードと平均モードが 選択可能
		● アナログ入力断線検出アシスト機能
		(ディスチャージ機能/プリチャージ機 能)
		● ダブルトリガモード(A/D 変換データ 二重化機能)
	● A/D データレジスタオートクリア機能	● A/D データレジスタオートクリア機能
	● ウィンドウコンパレータ機能(3 チャネル	
	/1 ユニット)	相当についてはコンパレータ C 章参照
		● コンペア機能(ウィンドウ A、ウィンドウ B)
		各ユニットでのチャネル変換順序を設 定可能 定可能
	プログラマブルゲインアンプによる入力	プログラマブルゲインアンプによる入
	信号増幅機能(3 チャネル/1 ユニット)	カ信号増幅機能(ユニットごとにそれぞ
		れるチャネル、シングルエンド入力ま
		たは疑似差動入力を選択可能)

項目	RX62T(S12ADA)	RX72T(S12ADH)
- 関目 割り込み要因	 RX62I(S12ADA) ユニットごとに A/D 変換終了で割り込み要求(S12ADI)を発生 コンパレータ検出で割り込み要求(CMPI)を発生(POE 要因としても使用可能) S12ADI 割り込みでデータトランスファコントローラ(DTC)を起動可能 	 ダブルトリガモードとグループスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)を発生(3ユニット個別) ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)を発生(3ユニット個別) グループスキャンモードの設定では、グループスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI1, S12ADI2)が発生。グループBのスキャン終了でグループBスキャン終了でグループBスキャン終了でグループCのスキャン終了でグループCのスキャン終了でグループCのスキャン終了でグループCのスキャン終了でグループCのスキャン終了でグループCのスキャン終了でグループCのスキャン終了でグループCのスキャン終了でグループCのスキャン終了でグループBとグループAの2回のスキャン終了でスキャン終了でスキャン終了割り込み要求(S12ADI1, S12ADI2)を発生。グループBとグループCのスキャン終了割り込み要求(S12ADI1, S12GBADI1/ S12GCADI1, S12GCADI1, S12GCADI1, S12GCADI1, S12GCADI1/ S12GCADI1, S12GCADI1/ S12GCADI1, S12GCADI1/ S12GCADI1, S12GBADI2/ S12CMPAI1, S12CMPAI2, S12CMPBI1, S12CMPBI1, S12CMPBI2)を発生 デジタルコンペア機能の比較条件成立で、コンペア割り込み要求(S12CMPBI, S12CMPBI2)を発生 デジタルコンペア機能の比較条件成立で、コンペア割り込み要求(S12CMPBI, S12CMPBI1, S12CMPBI2)を発生 S12CMPBI1, S12CMPBI2)を発生 S12CMPBI1, S12CMPBI2)を発生
		S12GCADI / S12GCADI1 / S12GCADI2 割り込みで DMA コントローラ (DMAC)、データトランスファコント ローラ(DTC)を起動可能
イベントリンク機能	-	 すべてのスキャン終了時にイベント出力 シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント出力 ELCからのトリガによりスキャン開始可能
消費電力低減機能	ユニットごとにモジュールストップ状態へ の設定可能	モジュールストップ状態への設定が可能

表 2.52 12 ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX62T(S12ADA)	RX72T(S12ADH)
ADDRy	-	A/D データレジスタ y	A/D データレジスタ y
		(y = 0A, 0B, 1~3)	$(y = 0 \sim 7 : S12AD,$
			$y = 0 \sim 7 : S12AD1,$
			y = 0~11, 16, 17 : S12AD2)
ADDBLDR	-	-	A/D データニ重化レジスタ
ADDBLDRA	-	-	A/D データニ重化レジスタ A
ADDBLDRB	-	-	A/D データニ重化レジスタ B
ADTSDR	-	-	A/D 温度センサデータ レジスタ
ADOCDR	-	-	A/D 内部基準電圧データ レジスタ
ADRD	A D44 A D0/DV63T)		レンヘメ 12 ビット A/D 変換値
ADRD	AD11~AD0(RX62T) -(RX72T)	変換値 11∼0	IZ E ツト A/D 変換値
	DIAGST[1:0](RX62T)	自己診断ステータスビット	自己診断ステータス
	-(RX72T)		
ADCSR	EXTRG	トリガ選択ビット(b0)	トリガ選択ビット <mark>(b8)</mark>
	TRGE	トリガ許可ビット(b1)	トリガ開始許可ビット(b9)
	CKS[1:0]	クロック選択ビット	-
	DBLANS[4:0]	-	ダブルトリガ対象チャネル選択
			ビット
	GBADIE	-	グループBスキャン終了
			割り込み許可ビット
	DBLE	-	ダブルトリガモード選択ビット
	ADIE	A/D 変換終了割り込み許可	スキャン終了割り込み許可
		ビット(b4)	ビット(b12)
	ADCS[1:0]	A/D 変換モード選択ビット	スキャンモード選択ビット
		(b6-b5)	(b14-b13)
		b6 b5	b14 b13
		00:シングルモード	00: シングルスキャンモード
		01:1サイクルスキャン モード	01:グループスキャンモード
		10:連続スキャンモード	10:連続スキャンモード
		11:2チャネルスキャン	11:設定禁止
		モード	
	ADST	A/D スタートビット(b7)	A/D 変換スタートビット(b15)
ADANS	-	A/D チャネル選択レジスタ	
ADANSA0	-	-	A/D チャネル選択レジスタ A0
ADANSA1	-	-	A/D チャネル選択レジスタ A1
ADANSB0	-	-	A/D チャネル選択レジスタ B0
ADANSB1	-	-	A/D チャネル選択レジスタ B1
ADANSC0	-	-	A/D チャネル選択レジスタ C0
ADANSC1	-	-	A/D チャネル選択レジスタ C1
ADSCSn	-	-	A/D チャネル変換順序設定
			レジスタ n (n=0~13)
ADADS0	-	-	A/D 変換値加算/平均機能 チャネル選択レジスタ 0
ADADS1	-	-	A/D 変換値加算/平均機能
			チャネル選択レジスタ 1
ADADC	-	-	A/D 変換値加算/平均回数
			選択レジスタ

レジスタ	ビット	RX62T(S12ADA)	RX72T(S12ADH)
ADCER	SHBYP	チャネル専用サンプル& ホールド回路選択ビット	-
	ADPRC[1:0]	A/D データレジスタビット	-
	ADIE2	精度指定ビット 2 チャネルスキャン割り込み	-
		選択ビット	
	ADIEW	ダブルトリガ割り込み選択 ビット	-
ADSTRGR	ADSTRS0[4:0](RX62T)	A/D 開始トリガグループ 0	A/D 変換開始トリガ選択
	TRSA[5:0](RX72T)	選択ビット (b4-b0)	ビット (b13-b8)
		詳細は表 2.53 を参照してくだ	詳細は表 2.53 を参照してください。
	ADSTRS1[4:0](RX62T)	A/D 開始トリガグループ 1	グループB専用A/D変換開始
	TRSB[5:0](RX72T)	選択ビット (b12-b8)	トリガ選択ビット (b5-b0)
		詳細は表 2.53 を参照してください。	詳細は表 2.53 を参照してください。
ADPG	-	A/D プログラマブルゲイン アンプレジスタ	-
ADCMPMD0	-	コンパレータ動作モード選択 レジスタ 0	-
ADCMPMD1	-	コンパレータ動作モード選択 レジスタ 1	-
ADCMPNR0	-	コンパレータフィルタモード レジスタ 0	-
ADCMPNR1	-	コンパレータフィルタモード レジスタ 1	-
ADCMPFR	-	コンパレータ検出フラグ レジスタ	-
ADCMPSEL	-	コンパレータ割り込み選択 レジスタ	-
ADSSTRn	-	A/D サンプリングステート	A/D サンプリングステート
		レジスタ	レジスタ n (n=0~11, L, T, O)
ADEVIOR		リセット後の初期値が異なります	•
ADEXICR	-	-	A/D変換拡張入力コントロール レジスタ
ADGCEXCR	-	-	A/DグループC拡張入力
ADGCTRGR	-	-	コントロールレジスタ A/DグループCトリガ選択
			レジスタ
ADSHCR	-	-	A/Dサンプル&ホールド回路 コントロールレジスタ
ADSHMSR	-	-	A/D サンプル&ホールド動作 モード選択レジスタ
ADDISCR	-	-	モート選択レンスタ A/D 断線検出コントロール レジスタ
ADELCCR	-	-	A/D イベントリンク コントロールレジスタ
ADGSPCR	-	-	A/Dグループスキャン優先
ADCMPCR	-	-	コントロールレジスタ A/Dコンペア機能コントロール
			レジスタ

ADCMPANSR0 - ADCMPANSR1 - ADCMPANSER -	-	A/Dコンペア機能ウィンドウA チャネル選択レジスタ0 A/D コンペア機能ウィンドウ A
	-	A/D コンペア機能ウィンドウ A
	-	
ADCMPANSER -		
ADCMPANSER -		チャネル選択レジスタ 1
ADOMI ANOLIX	-	A/Dコンペア機能ウィンドウA
		拡張入力選択レジスタ
ADCMPLR0 -	-	A/Dコンペア機能ウィンドウA
		比較条件設定レジスタ0
ADCMPLR1 -	-	A/D コンペア機能ウィンドウ A
		比較条件設定レジスタ 1
ADCMPLER -	-	A/Dコンペア機能ウィンドウA
		拡張入力比較条件設定レジスタ
ADCMPDR0 -	-	A/D コンペア機能ウィンドウ A
		下位側レベル設定レジスタ
ADCMPDR1 -	-	A/D コンペア機能ウィンドウ A
		上位側レベル設定レジスタ
ADCMPSR0 -	-	A/D コンペア機能ウィンドウ A
		チャネルステータスレジスタ 0
ADCMPSR1 -	-	A/D コンペア機能ウィンドウ A
		チャネルステータスレジスタ 1
ADCMPSER -	-	A/Dコンペア機能ウィンドウA
		拡張入力チャネルステータス
		レジスタ
ADWINMON -	-	A/Dコンペア機能ウィンドウA/B
		ステータスモニタレジスタ
ADCMPBNSR -	-	A/D コンペア機能ウィンドウ B
		チャネル選択レジスタ
ADWINLLB -	-	A/D コンペア機能ウィンドウ B
		下位側レベル設定レジスタ
ADWINULB -	-	A/D コンペア機能ウィンドウ B
		上位側レベル設定レジスタ
ADCMPBSR -	-	A/D コンペア機能ウィンドウ B
		チャネルステータスレジスタ
ADPGACR -	-	A/Dプログラマブルゲイン
		アンプコントロールレジスタ
ADPGAGS0 -	-	A/Dプログラマブルゲイン
		アンプゲイン設定レジスタ0
ADPGADCR0 -	 -	A/Dプログラマブルゲイン
		アンプ差動入力コントロール
		レジスタ
ADVMONCR -	 -	A/D内部基準電圧モニタ回路許
		可レジスタ
ADVMONO -	 -	A/D内部基準電圧モニタ回路出
		力許可レジスタ

表 2.53 A/D 起動要因比較

ビット	RX62T(S12ADA)	RX72T(S12ADH)
ADSTRS1[4:0]	A/D 開始トリガグループ 1 選択ビット	グループ B A/D 変換開始トリガ選択ビット
(RX62T)		
TRSB[5:0]	b12 b8	b5 b0
(RX72T)		11111:トリガ要因非選択状態
	0 0 0 0 0 : ADTRGn#	
	0 0 0 0 1 : TRGA0N	00001: TRGA0N
	0 0 0 1 0 : TRGA1N	000010: TRGA1N
	0 0 0 1 1 : TRGA2N	000011: TRGA2N
	0 0 1 0 0 : TRGA3N	000100: TRGA3N
	0 0 1 0 1 : TRGA4N	000101: TRGA4N
	0 0 1 1 0 : TRGA6N	000110: TRGA6N
	0 0 1 1 1 : TRGA7N	0 0 0 1 1 1 : TRGA7N
	0 1 0 0 0 : TRG0N	001000: TRG0N
	0 1 0 0 1 : TRG4AN	0 0 1 0 0 1 : TRG4AN
	0 1 0 1 0 : TRG4BN	001010: TRG4BN
	0 1 0 1 1 : TRG4AN または TRG4BN	001011: TRG4AN または TRG4BN
	0 1 1 0 0 : TRG4ABN	0 0 1 1 0 0 : TRG4ABN
	0 1 1 0 1 : TRG7AN	0 0 1 1 0 1 : TRG7AN
	0 1 1 1 0 : TRG7BN	0 0 1 1 1 0 : TRG7BN
	0 1 1 1 1 : TRG7AN または TRG7BN	001111: TRG7AN または TRG7BN
	1 0 0 0 0 : TRG7ABN	0 1 0 0 0 0 : TRG7ABN
	1 0 0 0 1 : GTADTRA0N	
	1 0 0 1 0 : GTADTRB0N	
	10011: GTADTRA1N	0 1 0 0 1 1 : TRGA9N
	1 0 1 0 0 : GTADTRB1N	0 1 0 1 0 0 : TRG9N
	1 0 1 0 1 : GTADTRA2N	
	1 0 1 1 0 : GTADTRB2N	
	1 0 1 1 1 : GTADTRA3N	
	1 1 0 0 0 : GTADTRB3N	
	11001: GTADTRAON または GTADTRBON	011001: TRGA0N または TRG0N
	11010: GTADTRA1N または GTADTRB1N	011010: TRGA9N または TRG9N
	11011: GTADTRA2N または GTADTRB2N	0 1 1 0 1 1 : TRGA0N または TRGA9N
	11100: GTADTRA3N または GTADTRB3N	0 1 1 1 0 0 : TRG0N または TRG9N
		0 1 1 1 0 1 : TMTRG0AN_0
		0 1 1 1 1 0 : TMTRG0AN_1
		0 1 1 1 1 1 : TMTRG0AN_2
		1 0 0 0 0 0 : TMTRG0AN_3
		1 0 0 0 0 1 : TRG9AEN
		1 0 0 0 1 0 : TRG0AEN
		1 0 0 0 1 1 : TRGA09N
		1 0 0 1 0 0 : TRG09N
		1 1 0 0 1 0 : ELCTRG00N ^(注 1) /ELCTRG10N ^(注 2) /
		ELCTRG20N ^(注 3)
		1 1 0 0 1 1 : ELCTRG01N ^(注 1) /ELCTRG11N ^(注 2) /
		ELCTRG21N ^(注 3)
		111010:
		ELCTRG00N または ELCTRG01N ^(注 1)
		ELCTRG10N または ELCTRG11N ^(注 2)
		ELCTRG20N または ELCTRG21N ^(注 3)

ビット	RX62T(S12ADA)	RX72T(S12ADH)
ADSTRS1[4:0]	A/D 開始トリガグループ 0 選択ビット	A/D 変換開始トリガ選択ビット
(RX62T)		
TRSA[5:0]	b4 b0	b13 b8
(RX72T)		111111:トリガ要因非選択状態
	0 0 0 0 0 : ADTRGn#	000000: ADTRGn#
	0 0 0 0 1 : TRGA0N	000001: TRGA0N
	0 0 0 1 0 : TRGA1N	000010: TRGA1N
	0 0 0 1 1 : TRGA2N	000011: TRGA2N
	0 0 1 0 0 : TRGA3N	000100: TRGA3N
	0 0 1 0 1 : TRGA4N	000101: TRGA4N
	0 0 1 1 0 : TRGA6N	000110: TRGA6N
	0 0 1 1 1 : TRGA7N	0 0 0 1 1 1 : TRGA7N
	0 1 0 0 0 : TRG0N	0 0 1 0 0 0 : TRG0N
	0 1 0 0 1 : TRG4AN	001001: TRG4AN
	0 1 0 1 0 : TRG4BN	0 0 1 0 1 0 : TRG4BN
	0 1 0 1 1 : TRG4AN または TRG4BN	001011: TRG4AN または TRG4BN
	0 1 1 0 0 : TRG4ABN	0 0 1 1 0 0 : TRG4ABN
	0 1 1 0 1 : TRG7AN	0 0 1 1 0 1 : TRG7AN
	0 1 1 1 0 : TRG7BN	0 0 1 1 1 0 : TRG7BN
	01111: TRG7AN または TRG7BN	001111: TRG7AN または TRG7BN
	1 0 0 0 0 : TRG7ABN	010000: TRG7ABN
	1 0 0 0 1 : GTADTRA0N	
	1 0 0 1 0 : GTADTRB0N	
	1 0 0 1 1 : GTADTRA1N	0 1 0 0 1 1 : TRGA9N
	1 0 1 0 0 : GTADTRB1N	0 1 0 1 0 0 : TRG9N
	1 0 1 0 1 : GTADTRA2N	
	1 0 1 1 0 : GTADTRB2N	
	1 0 1 1 1 : GTADTRA3N	
	1 1 0 0 0 : GTADTRB3N	
	11001: GTADTRAON または GTADTRBON	011001: TRGA0N または TRG0N
	11010: GTADTRA1N または GTADTRB1N	011010: TRGA9N または TRG9N
	11011: GTADTRA2N または GTADTRB2N	0 1 1 0 1 1 : TRGA0N または TRGA9N
	11100: GTADTRA3N またはGTADTRB3N	011100: TRG0N または TRG9N
		0 1 1 1 0 1 : TMTRG0AN_0
		0 1 1 1 1 0 : TMTRG0AN_1
		0 1 1 1 1 1 : TMTRG0AN_2
		1 0 0 0 0 0 : TMTRG0AN_3
		100001: TRG9AEN
		1 0 0 0 1 0 : TRG0AEN
		1 0 0 0 1 1 : TRGA09N
		100100: TRG09N
		1 1 0 0 1 0: ELCTRG00N ^{(注 1)/} ELCTRG10N ^{(注 2)/} ELCTRG20N ^(注 3)
		1 1 0 0 1 1 : ELCTRG01N ^{(注 1)/} ELCTRG11N ^{(注 2)/} ELCTRG21N ^(注 3)
		111010:
		ELCTRG00N または ELCTRG01N ^(注 1)
		ELCTRG10N または ELCTRG11N ^(注 2)
		ELCTRG20N または ELCTRG21N ^(注 3)

注 1. ユニット 0

注 2. ユニット1

注3. ユニット2

2.26 RAM

表 2.54 に RAM の概要比較を、表 2.55 に RAM のレジスタ比較を示します。

表 2.54 RAM の概要比較

		RX72T		
項目	RX62T(RAM)	ECC 誤り訂正機能なし (RAM)	ECC 誤り訂正機能あり (ECCRAM)	
容量	16K バイト/ <mark>8K バイト</mark>	128K バイト	16K バイト	
アドレス	 0000 0000h~0000 1FFFh (8K バイト) 0000 0000h~0000 3FFFh (16K バイト) 	0000 0000h~0001 FFFFh	00FF C000h~00FF FFFFh	
メモリバス	メモリバス 1	メモリバス 1	メモリバス3	
アクセス	 読み出し、書き込みともに 1 サイクルで動作 内蔵 RAM 有効/無効選択可能 	 リード/ライトともに 1 サイクルで動作 RAM 有効/無効選択可能 	 ECC 機能有効/無効選択可能 【MEMWAIT = 0 を設定したとき】 ECC 機能無効の場合・ロースを設定したとき。 ECC 機能無効のようで効めらいがある。 ECC 機能ののようで効きがある。 ECC ものは、エーリーのでがあるがですがある。 ECC 機能のは、エーリーのでがあるがですがある。 ECC 機能をしたとき。 ECC 機能をは、エーリーのでのですがある。 ECC 機能をは、エーリーのでのですがある。 ECC 機能をは、エーリーのでは、エーのでは、エーのでは、エーのでは、エーのでは、エーのでは、エーのでは、エーのでは、エーのでは、エーのでは、エーのでは、エーのでは、エーのでは、エーのでは	
データ保持機能	ディープソフトウェアスタンバイ モード時のデータ保持機能なし	ディープソフトウェアスタン/ なし	サイクルで動作 バイモード時のデータ保持機能	
消費電力低減機能	モジュールストップ状態への設定が可能	RAM、ECCRAM 個別にモジュ 可能	Lールストップ状態への遷移が 	

		RX72T		
項目	RX62T(RAM)	ECC 誤り訂正機能なし	ECC 誤り訂正機能あり	
		(RAM)	(ECCRAM)	
エラーチェック	-	● 1ビット誤り検出	● ECC 誤り訂正機能	
機能			—1 ビット誤り訂正、2	
			ビット誤り検出	
		● エラー発生時、ノンマス	● エラー発生時、ノンマス	
		カブル割り込み、または	カブル割り込み、または	
		割り込みを発生	割り込みを発生	

表 2.55 RAM のレジスタ比較

レジスタ	ビット	RX62T(RAM)	RX72T(RAM, ECCRAM)
ECCRAMMODE	-	-	ECCRAM動作モード制御
			レジスタ
ECCRAM2STS	-	-	ECCRAM2ビットエラー
			ステータスレジスタ
ECCRAM1STSEN	-	-	ECCRAM1ビットエラー情報
			更新許可レジスタ
ECCRAM1STS	-	-	ECCRAM1ビットエラー
			ステータスレジスタ
ECCRAMPRCR	-	-	ECCRAMプロテクトレジスタ
ECCRAM2ECAD	-	-	ECCRAM2ビットエラー
			アドレスキャプチャレジスタ
ECCRAM1ECAD	-	-	ECCRAM1ビットエラー
			アドレスキャプチャレジスタ
ECCRAMPRCR2	-	-	ECCRAMプロテクトレジスタ2
ECCRAMETST	-	-	ECCRAMテスト制御レジスタ
RAMMODE	-	-	RAM動作モード制御レジスタ
RAMSTS	-	-	RAMエラーステータスレジスタ
RAMECAD	-	-	RAMエラーアドレスキャプチャ
			レジスタ
RAMPRCR	-	-	RAMプロテクトレジスタ

2.27 フラッシュメモリ

表 2.56 にフラッシュメモリの概要比較を、表 2.57 にフラッシュメモリのレジスタ比較を示します。

表 2.56 フラッシュメモリの概要比較

	RX62T		RX72T	
項目	コード格納用	データ格納用	コード	データ
	フラッシュメモリ	フラッシュメモリ	フラッシュメモリ	フラッシュメモリ
メモリ容量	ユーザ領域: 256K バイト/ 128K バイト/ 64K バイト	データ領域:32K バイト/8K バイト	ユーザ領域: 1M バイト/ 512K バイト	● データ領域: 32K バイト
			ユーザブート領域: 32K バイト	
アドレス	【ユーザ領域】 ● 容量が 64K バイトの場合 一FFFF 0000h~ FFFF FFFFh (読み出し用) 一00FF 0000h~ (書が 128K バイトの場合 一FFFE 0000h~ FFFF FFFFh (読み出し用) 一00FE 0000h~ 00FF FFFFh (書が 256K バイトの場合 一FFFC 0000h~ FFFF FFFFh (読み出し用) ● ののFFFFF ののののトでは表別に対します。 ● では、これには、これには、これには、これには、これには、これには、これには、これに	 容量が 32K バイトの場合 -0010 0000h~ 0010 7FFFh 容量が 8K バイトの場合 -0010 0000h~ 0010 1FFFh 	 容量が 512K バイトの場合 —FFF8 0000h~	0010 7FFFh

	RX62T		RX	(72T
項目	コード格納用	データ格納用	コード	データ
	フラッシュメモリ	フラッシュメモリ	フラッシュメモリ	フラッシュメモリ
ROM	-		● 容量:8Kバイト	-
キャッシュ			● マッピング方式:	
			ダイレクトマップ	
			• ラインサイズ:	
リード	ICLIV4 サノカルの宣演	ワード、バイトアクセ	16 バイト - POM キャッシュ 動	ワード、バイトアクセス
サイクル	ICLK1 サイクルの高速 読み出しが可能	ス時には PCLK3 サイクルでの読み出し	ROM キャッシュ動作許可時:	サード、ハイドアクセス 時には FCLK8 サイクル でのリード
		グルでの読み出し	キャッシュヒット 時、1 サイクル	600,7—1
			キャッシュミス 時、	
			—ICLK≦120MHz のとき、1~2 サ	
			イクル —ICLK>120MHz	
			のとき、2~3 サ イクル	
			• ROM キャッシュ動	
			作禁止時: —ICLK≦120MHz	
			のとき、1サイク	
			ル —ICLK>120MHz	
			のとき、2サイク	
			ル	
プログラム/ イレーズ方式	● ROM の書き換えを 行う専用のシーケ	データフラッシュへ の書き換えを行う専	● フラッシュメモリの: シーケンサ(FCU)をP	書き換えを行う専用の
10 70,520	ンサ(FCU)を内蔵	用のシーケンサ	7 7 7 7 (1 00) 2 1	1194
		(FCU)を内蔵		
		● FCUにコマンドを発		類域(007E 0000h)に設定し
	行することにより、 ROM への書き込み/	行することにより、 データフラッシュへ		_ コードフラッシュメモリ モリのプログラム/イレー
	消去を実行可能	の書き込み/消去を実		モリのブログ ブム/イ レー
		行可能		
	• フラッシュメモリプ		1	ログラマによるシリアル
	ログラマによるシリ アルインタフェース	ログラマによるシリ アルインタフェース	インタフェース通信 イレーズ(シリアルフ	を介したプログラム/ パログラミング)
	通信を介したプログ	通信を介したプログ	1 2 7 (29) 7 7 7	uy / = 29)
	ラム/イレーズ(シリ	ラム/イレーズ(シリ		
	アルプログラミング)			
	● ユーザプログラム によるフラッシュ	• ユーザプログラムに	l	よるフラッシュメモリの
	によるフラッシュ メモリのプログラ	よるフラッシュメモ リのプログラム/イ	ノロクフム/イレーズ 	(セルフプログラミング)
	ム/イレーズ(セルフ	レーズ(セルフプログ		
	プログラミング)	ラミング)		
イレーズ後の 値	FFh	不定値	FFh	不定値
ユニーク ID			本 MCU 個体ごとの 12 /	バイト長の ID コード
セキュリティ 機能	フラッシュメモリの不正	改ざん/不正リードを防止	フラッシュメモリの不正	改ざん/不正リードを防止
プロテクショ	フラッシュメモリの誤書		フラッシュメモリの誤書	
ン機能	(ソフトウェアプロテクシ	_ノ ョン、エラープロテク	(ソフトウェアプロテク:	-
	ション)		ション、ブートプログラ	ムプロテクション)

	RX	62T	RX	72T
項目	コード格納用	データ格納用	コード	データ
	フラッシュメモリ	フラッシュメモリ	フラッシュメモリ	フラッシュメモリ
Trusted Memory (TM)機能	-		不正リードを防止	のブロック 8,9に対する
バックグラウ ンドオペレー ション (BGO)機能	領域に配置したプログ ● データフラッシュへの	ータフラッシュ以外の	間、CPU は ROM/デ 域に配置したプログ	肖去を実行している期 ・一タフラッシュ以外の領 ラムを実行可能 ム/イレーズ中のユーザ領
プログラム/ イレーズ単位	 ユーザ領域の書き込み単位:256バイト ユーザ領域の消去単位:ブロック単位 	 データ領域の書き込み単位:8バイトまたは128バイ データ領域の消去単位:ブロック単位 	 ユーザ領域および ユーザブート領域 へのプログラム: 256 バイト ユーザ領域の イレーズ: ブロック 単位 	 データ領域へのプログラム:4バイト データ領域のイレーズ:ブロック単位
ブランク チェック機能	-	 データフラッシュの 消去状態を確認する ブランクチェックコ マンドが実行可能 ブランクチェックで きる領域は8バイト または2Kバイト 	-	 データフラッシュの 消去状態を確認する ブランクチェックコ マンドが実行可能 チェック単位:4~ 32Kバイト(4バイ ト単位で指定)
オンボードプ ログラミンプ(シリアング/ グラミング) セルング)	を使用 —通信速度は自動調整 - 通信速度は自動調整 - ユーザプログラム中の えルーチンによる書き	ルインタフェース(SCI1) 整 Dフラッシュメモリ書き換 き換え	プログラス/イン・フリー (SCI1)をは (SCI1)を (SCI1)	ルインターフェース 整 もプログラム/イレーズ インタフェース)による アが不要で、PC と直結 インタフェース)による こよるプログラム/ トプログラムを作成可能 グによるプログラム/
オフボードプログラミング(パラレルプログラマによるプログラム/イレーズ)	ーシステムをリセッ データフラッシュ(PROM ライタを使用し て、ユーザ領域の書き 換えが可能		/データ領域のプロ パラレルプログラマを 使用して、ユーザ領域/	_ · · · · _

表 2.57 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX62T	RX72T
FMODR	-	フラッシュモードレジスタ	-
FASTAT	DFLWPE	データフラッシュプログラム/	-
		イレースプロテクト違反ビット	
	DFLRPE	データフラッシュリード	-
		プロテクト違反ビット	
	DFLAE(RX62T)	データフラッシュアクセス違反	データフラッシュメモリ
	DFAE(RX72T)	ビット	アクセス違反フラグ
	ROMAE(RX62T)	ROM アクセス違反ビット	コードフラッシュメモリ
	CFAE(RX72T)		アクセス違反フラグ
FAEINT	DFLWPEIE	データフラッシュプログラム/	-
		イレースプロテクト違反 割り込み許可ビット	
	DFLRPEIE	一一・データフラッシュリード	 -
	DI LIXI LIL	プロテクト違反割り込み許可	
		ビット	
	DFLAEIE(RX62T)	データフラッシュアクセス違反	データフラッシュメモリ
	DFAEIE(RX72T)	割り込み許可ビット	アクセス違反割り込み許可ビット
	ROMAEIE(RX62T)	ROM アクセス違反割り込み許可	コードフラッシュメモリ
	CFAEIE(RX72T)	ビット	アクセス違反割り込み許可ビット
FCURAME	-	FCU RAM イネーブルレジスタ	-
FSTATR0	FLWEERR	-	フラッシュライトイレーズ
(RX62T)			プロテクトエラーフラグ
FSTATR	PRGSPD	書き込みサスペンドステータス	プログラムサスペンドステータス
(RX72T)		ビット(b0)	フラグ <mark>(b8)</mark>
	ERSSPD	消去サスペンドステータスビット	イレーズサスペンドステータスフ
	DBFULL	(b1)	ラグ <mark>(b9)</mark> データバッファフルフラグ
	SUSRDY	- サスペンドレディビット(b3)	サスペンドレディフラグ(b11)
	PRGERR	書き込みエラービット(b4)	プログラムエラーフラグ(b12)
	ERSERR	背去エラービット(b5)	イレーズエラーフラグ(b13)
	ILGLERR	イリーガルコマンドエラービット	イリーガルコマンドエラーフラグ
	ILOLLINIX	(b6)	(b14)
	FRDY	フラッシュレディビット(b7)	フラッシュレディフラグ(b15)
FSTATR1	-	フラッシュステータスレジスタ 1	-
FENTRYR	FENTRY0(RX62T)	ROM P/E モードエントリ	コードフラッシュメモリ
	FENTRYC(RX72T)	ビット0	P/E モードエントリビット
	FEKEY[7:0](RX62T)	キーコード	キーコードビット
	KEY[7:0](RX72T)		
FPROTR	FPKEY[7:0](RX62T)	キーコード	キーコードビット
	KEY[7:0](RX72T)		
FRESETR	-	フラッシュリセットレジスタ	-
PCKAR	PCKA[7:0]	周辺クロック通知ビット	フラッシュシーケンサ処理
(RX62T)			クロック周波数通知ビット
FPCKAR (RX72T)		DOM: 4 = =	
(100721)		ROM/データフラッシュへの 書き込み/消去時に周辺クロック	FlashIF クロック(FCLK)の周波数 を設定し、フラッシュシーケンサ
		音さ込み/有玄時に周辺グロック (PCLK)を設定する	に使用周波数を通知
	KEY[7:0]	-	キーコードビット
DFLRE0		│ │ データフラッシュ読み出し許可	
2. 2. 20		レジスタの	
	ı	1	1

レジスタ	ビット	RX62T	RX72T
DFLRE1	-	データフラッシュ読み出し許可	-
		レジスタ 1	
DFLWE0	-	データフラッシュ書き込み/	-
		消去許可レジスタ 0	
DFLWE1	-	データフラッシュ書き込み/	-
		消去許可レジスタ 1	
DFLBCCNT	-	データフラッシュブランク	-
		チェック制御レジスタ	
DFLBCSTAT	-	データフラッシュブランクチェッ	データフラッシュブランクチェッ
(RX62T)		クステータスレジスタ	クステータスレジスタ
FBCSTAT			
(RX72T)		DFLBCSTAT は 16 ビットレジス	FBCSTAT は 8 ビットレジスタで
		タです。	す。
ROMCE	-	-	ROM キャッシュ許可レジスタ
ROMCIV	-	-	ROM キャッシュ無効化レジスタ
NCRGn	-	-	ノンキャッシャブル領域 n
			アドレスレジスタ (n = 0, 1)
NCRCn	-	-	ノンキャッシャブル領域 n
			設定レジスタ (n = 0, 1)
FSADDR	-	-	FACI コマンド処理開始アドレス
			レジスタ
FEADDR	-	-	FACI コマンド処理終了アドレス
			レジスタ
FSUINITR	-	-	フラッシュシーケンサ設定初期化
			レジスタ
FLKSTAT	-	-	ロックビットステータスレジスタ
FBCCNT	-	-	データフラッシュブランク
			チェック制御レジスタ
FPSADDR	-	-	データフラッシュ書き込み開始
			アドレスレジスタ
UIDRn	-	-	ユニーク ID レジスタ n (n = 0~2)

2.28 パッケージ

表 2.58 に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。詳細は、「RX ファミリ間の移行設計ガイド パッケージ外形の相違点(R01AN4591JJ)」を参照してください。

表 2.58 パッケージ

パッケージタイプ	RENESAS Code		
199-2312	RX62T	RX72T	
112 ピン LQFP	0	×	
100ピンLFQFP	PLQP0100KB-A	PLQP0100KB-B	
80ピンLQFP	0	×	
64 ピン LQFP	0	×	

〇:パッケージあり(RENESAS Code は省略)、×:パッケージなし

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は青字に、両方のグループに存在するが相違点がある項目は赤字にしています。仕様に相違点がない項目は黒字にしています。

3.1 100 ピンパッケージ(RX72T: PGA 疑似差動入力あり USB 端子あり)

表 3.1 に 100 ピンパッケージ端子機能の比較(RX72T: PGA 疑似差動入力あり USB 端子あり)を示します。

表 3.1 100 ピンパッケージ端子機能の比較(RX72T: PGA 疑似差動入力あり USB 端子あり)

100 ピン	RX62T	RX72T (PGA 疑似差動入力あり USB 端子あり)
1	PE5/IRQ0-B	PE5/BCLK/MTIOC9D/MTIOC9D#/GTIOC3A/ GTETRGB/GTIOC3A#/GTETRGD/SCK9/ CTS9#/RTS9#/SS9#/IRQ0/ADST0
2	EMLE	EMLE
3	VSS	VSS
4	MDE	UB/P00/A11/MTIOC9A/MTIOC9A#/CACREF/ RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RXDX12/IRQ2/ADST1/COMP0
5	VCL	VCL
6	MD1	MD/FINED
7	MD0	P01/A10/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE12#/ TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/IRQ4/ADST2/ COMP1
8	PE4/MTCLKC-C/POE10#-B/IRQ1-B	PE4/A9/MTCLKC/MTCLKC#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE10#/ SCK9/IRQ1
9	PE3/MTCLKD-C/POE11#/IRQ2-A	PE3/A8/MTCLKD/MTCLKD#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE11#/ CTS9#/RTS9#/SS9#/IRQ2 DS
10	RES#	RES#
11	XTAL	XTAL/P37
12	VSS	VSS
13	EXTAL	EXTAL/P36
14	VCC	VCC
15	PE2/POE10#-A/NMI	UPSEL/PE2/POE10#/NMI
16	PE1/SSL3-C	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/ TMO5/CTS5#/RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA3/IRQ15
17	PE0/SSL2-C/CRX-C	PE0/WR1#/BC1#/WAIT#/MTIOC9B/ MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/ SSCL5/SSLA2/CRX0/USB0_OVRCURB/IRQ7
18	TRST#/PD7/GTIOC0A-B/SSL1-C/CTX-C	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/ GTIOC3A#/TMRI1/TMRI5/TXD5/SMOSI5/ SSDA5/SSLA1/CTX0/IRQ8

100 ピン	RX62T	RX72T
100 6 7	10,021	(PGA 疑似差動入力あり USB 端子あり)
19	TMS/PD6/GTIOC0B-B/SSL0-C	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/ GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/ CTS1#/RTS1#/SS1#/CTS11#/RTS11#/ SS11#/SSLA0/IRQ5/ADST0
20	TDI/PD5/GTIOC1A-B/RXD1	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
21	TCK/PD4/GTIOC1B-B/SCK1	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2
22	TDO/PD3/GTIOC2A-B/TXD1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
23	TRCLK/PD2/GTIOC2B-B/MOSI-C	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/TMCI1/TMO4/ SCK5/SCK8/MOSIA/USB0_VBUS
24	TRDATA3/PD1/GTIOC3A/MISO-C	USB0_DM
25	TRDATA2/PD0/GTIOC3B/RSPCK-C	USB0_DP
26	TRDATA1/PB7/SCK2-A	VCC_USB
27	TRDATA0/PB6/RXD2-A/CRX-A	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/ RXD5/SMISO5/SSCL5/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/ RXDX12/CRX0/USB0_OVRCURA/IRQ2
28	TRSYNC/PB5/TXD2-A/CTX-A	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/ TXD5/ SMOSI5/SSDA5/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/CTX0/USB0_VBUSEN
29	PLLVCC	VCC
30	PB4/GTETRG/POE8#/IRQ3	PB4/A1/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/ USB0_OVRCURB/IRQ3_DS
31	PLLVSS	VSS/VSS_USB
32	PB3/MTIOC0A-A/SCK0	PB3/A7/MTIOC0A/MTIOC0A#/CACREF/ SCK6/RSPCKA/IRQ9
33	PB2/MTIOC0B-A/TXD0/SDA	PB2/A6/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
34	PB1/MTIOC0C/RXD0/SCL	PB1/A5/MTIOC0C/MTIOC0C#/GTADSM1/ TMCI0/RXD6/SMISO6/SSCL6/SCL/IRQ4/ ADSM1
35	PB0/MTIOC0D/MOSI-B	PB0/A0/A4/BC0#/MTIOC0D/MTIOC0D#/ TMO0/TXD6/SMOSI6/SSDA6/CTS11#/ RTS11#/SS11#/MOSIA/IRQ8/ADTRG2#
36	PA5/MTIOC1A/MISO-B/ADTRG1#-A	PA5/A3/MTIOC1A/MTIOC1A#/TMCI3/ RXD6/SMISO6/SSCL6/RXD8/SMISO8/ SSCL8/MISOA/IRQ1/ADTRG1#
37	PA4/MTIOC1B/RSPCK-B/ADTRG0#-A	PA4/A2/MTIOC1B/MTIOC1B#/TMCI7/ SCK6/TXD8/SMOSI8/SSDA8/RSPCKA/ ADTRG0#
38	PA3/MTIOC2A/SSL0-B	PA3/A1/MTIOC2A/MTIOC2A#/GTADSM0/ TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
39	PA2/MTIOC2B/SSL1-B	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/ GTADSM1/TMO7/CTS6#/RTS6#/SS6#/ RXD9/SMISO9/SSCL9/SCK11/SSLA1

100 ピン	RX62T	RX72T
	11/10/2 1	(PGA 疑似差動入力あり USB 端子あり)
40	PA1/MTIOC6A/SSL2-B	PA1/MTIOC6A/MTIOC6A#/TMO4/TXD9/
		SMOSI9/SSDA9/RXD11/SMISO11/SSCL11/
		SSLA2/CRX0/USB0_ID/USB0_OVRCURA/
		IRQ14_DS/ADTRG0#
41	PA0/MTIOC6C/SSL3-B	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/
		TXD11/SMOSI11/SSDA11/SSLA3/CTX0/
		USB0_EXICEN/USB0_VBUSEN
42	VCC	VCC
43	P96/POE4#/IRQ4	P96/CS0#/WAIT#/GTETRGA/GTETRGB/
		GTETRGC/GTETRGD/POE4#/CTS8#/
		RTS8#/SS8#/IRQ4_DS
44	VSS	VSS
45	P95/MTIOC6B	P95/MTIOC6B/MTIOC6B#/GTIOC4A/
		GTIOC7A/GTIOC4A#/GTIOC7A#
46	P94/MTIOC7A	P94/MTIOC7A/MTIOC7A#/GTIOC5A/
		GTIOC8A/GTIOC5A#/GTIOC8A#
47	P93/MTIOC7B	P93/MTIOC7B/MTIOC7B#/GTIOC6A/
		GTIOC9A/GTIOC6A#/GTIOC9A#
48	P92/MTIOC6D	P92/MTIOC6D/MTIOC6D#/GTIOC4B/
		GTIOC7B/GTIOC4B#/GTIOC7B#
49	P91/MTIOC7C	P91/MTIOC7C/MTIOC7C#/GTIOC5B/
		GTIOC8B/GTIOC5B#/GTIOC8B#
50	P90/MTIOC7D	P90/MTIOC7D/MTIOC7D#/GTIOC6B/
		GTIOC9B/GTIOC6B#/GTIOC9B#
51	P76/MTIOC4D/GTIOC2B-A	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/
		GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
52	P75/MTIOC4C/GTIOC1B-A	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/
		GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
53	P74/MTIOC3D/GTIOC0B-A	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/
		GTIOC0B/GTIOC4B/GTIOC0B#/GTIOC4B#
54	P73/MTIOC4B/GTIOC2A-A	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/
		GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
55	P72/MTIOC4A/GTIOC1A-A	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/
		GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
56	P71/MTIOC3B/GTIOC0A-A	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/
		GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#
57	P70/POE0#/IRQ5	P70/D6[A6/D6]/GTETRGA/GTETRGB/
		GTETRGC/GTETRGD/POE0#/CTS9#/
		RTS9#/SS9#/IRQ5_DS
58	P33/MTIOC3A/MTCLKA-A/SSL3-A	P33/D7[A7/D7]/MTIOC3A/MTCLKA/
		MTIOC3A#/MTCLKA#/GTIOC3B/
		GTIOC3B#/TMO0/SSLA3/IRQ13_DS
59	P32/MTIOC3C/MTCLKB-A/SSL2-A	P32/D8[A8/D8]/MTIOC3C/MTCLKB/
		MTIOC3C#/MTCLKB#/GTIOC3A/
		GTIOC3A#/TMO6/SSLA2/IRQ12_DS
60	VCC	VCC
61	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P31/D9[A9/D9]/MTIOC0A/MTCLKC/
		MTIOC0A#/MTCLKC#/TMRI6/SSLA1/IRQ6
62	VSS	VSS
63	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P30/D10[A10/D10]/MTIOC0B/MTCLKD/
		MTIOC0B#/MTCLKD#/TMCI6/SCK8/
		CTS8#/RTS8#/SS8#/SSLA0/IRQ7/COMP3
64	P24/RSPCK-A	P27/CS3#/MTIOC1A/MTIOC0C/
		MTIOC1A#/MTIOC0C#/POE9#/IRQ15

100 ピン	RX62T	RX72T
100 L 2	RA021	(PGA 疑似差動入力あり USB 端子あり)
65	P23/CTX-B/LTX/MOSI-A	P24/D11[A11/D11]/MTIC5U/MTIC5U#/
		TMCI2/TMO6/CTS8#/RTS8#/SS8#/SCK8/
00	P22/CRX-B/LRX/MISO-A/ADTRG#	RSPCKA/IRQ4/COMP0 P23/D12[A12/D12]/MTIC5V/MTIC5V#/
66	P22/CRX-B/LRX/MISO-A/ADTRG#	TMO2/CACREF/TXD8/SMOSI8/SSDA8/
		TXD12/SMOSI12/SSDA12/TXDX12/
		SIOX12/MOSIA/CTX0/IRQ11/COMP1
67	P21/MTCLKA-B/IRQ6/ADTRG1#-B	P22/D13[A13/D13]/MTIC5W/MTCLKD/
		MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/
		TMO4/RXD8/SMISO8/SSCL8/RXD12/
		SMISO12/SSCL12/RXDX12/MISOA/CRX0/ IRQ10/ADTRG2#/COMP2
68	P20/MTCLKB-B/IRQ7/ADTRG0#-B	P21/D14[A14/D14]/MTIOC9A/MTCLKA/
00	1 ZO/WI OLNE-D/INQ//AD INGO#-B	MTIOC9A#/MTCLKA#/TMCI4/TXD8/
		SMOSI8/SSDA8/TXD12/SMOSI12/
		SSDA12/TXDX12/SIOX12/MOSIA/
		IRQ6_DS/AN217/ADTRG1#/COMP5
69	P65/AN5	P20/D15[A15/D15]/MTIOC9C/MTCLKB/
		MTIOC9C#/MTCLKB#/TMRI4/CTS8#/ RTS8#/SS8#/SCK8/RSPCKA/IRQ7 DS/
		AN216/ADTRG0#/COMP4
70	P64/AN4	P65/A12/IRQ9/AN211/CMPC53/DA1
71	AVCC	P64/A13/IRQ8/AN210/CMPC33/DA0
72	VREF	AVCC2
73	AVSS	AVSS2
74	P63/AN3	P63/A12/A14/IRQ7/AN209/CMPC23
75	P62/AN2	P62/A13/A15/IRQ6/AN208/CMPC43
76	P61/AN1	P61/A14/A16/IRQ5/AN207/CMPC13
77	P60/AN0	P60/A15/A17/IRQ4/AN206/CMPC03
78	P55/AN11	P55/A16/A18/IRQ3/AN203/CMPC32
79	P54/AN10	P54/A17/A19/IRQ2/AN202/CMPC22
80	P53/AN9	P53/A18/A20/IRQ1/AN201/CMPC12
81	P52/AN8	P52/IRQ0/AN200/CMPC02
82	P51/AN7	P47/AN103
83	P50/AN6	P46/AN102/CMPC50/CMPC51
84	P47/AN103/CVREFH	P45/AN101/CMPC40/CMPC41
85	P46/AN102	P44/AN100/CMPC30/CMPC31
86	P45/AN101	PH4/AN107/PGAVSS1
87	P44/AN100	P43/AN003
88	P43/AN003/CVREFL	P42/AN002/CMPC20/CMPC21
89	P42/AN002	P41/AN001/CMPC10/CMPC11
90	P41/AN001	P40/AN000/CMPC00/CMPC01
91	P40/AN000	PH0/AN007/PGAVSS0
92	AVCCO	AVCC1
93	VREFH0	AVCC0
94	VREFL0	AVSSO
95	AVSS0	AVSS1
96	P82/MTIC5U/SCK2-B	P82/ALE/WAIT#/MTIC5U/MTIC5U#/ TMO4/SCK6/SCK12/IRQ3/COMP5
97	P81/MTIC5V/TXD2-B	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/
31	TO THE DOWN THE D	TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/
		SSDA12/TXDX12/SIOX12/COMP4

100 ピン	RX62T	RX72T (PGA 疑似差動入力あり USB 端子あり)
98	P80/MTIC5W/RXD2-B	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/ RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXDX12/IRQ5/COMP3
99	P11/MTCLKC-B/IRQ1-A	P11/RD#/MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/MTIOC9D/ GTIOC3B/GTETRGA/GTIOC3B#/ GTETRGC/TMO3/POE9#/IRQ1_DS
100	P10/MTCLKD-B/IRQ0-A	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGB/GTETRGD/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS

3.2 100 ピンパッケージ(RX72T: PGA 疑似差動入力あり USB 端子なし)

表 3.2 に 100 ピンパッケージ端子機能の比較(RX72T: PGA 疑似差動入力あり USB 端子なし)を示します。

表 3.2 100 ピンパッケージ端子機能の比較(RX72T: PGA 疑似差動入力あり USB 端子なし)

100 ピン	RX62T	RX72T (PGA 疑似差動入力あり USB 端子なし)
1	PE5/IRQ0-B	PE5/BCLK/MTIOC9D/MTIOC9D#/GTIOC3A/ GTETRGB/GTIOC3A#/GTETRGD/SCK9/ CTS9#/RTS9#/SS9#/IRQ0/ADST0
2	EMLE	EMLE
3	VSS	VSS
4	MDE	UB/P00/A11/MTIOC9A/MTIOC9A#/CACREF/ RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RXDX12/IRQ2/ADST1/COMP0
5	VCL	VCL
6	MD1	MD/FINED
7	MD0	P01/A10/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE12#/ TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/IRQ4/ADST2/ COMP1
8	PE4/MTCLKC-C/POE10#-B/IRQ1-B	PE4/A9/MTCLKC/MTCLKC#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE10#/ SCK9/IRQ1
9	PE3/MTCLKD-C/POE11#/IRQ2-A	PE3/A8/MTCLKD/MTCLKD#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE11#/ CTS9#/RTS9#/SS9#/IRQ2_DS
10	RES#	RES#
11	XTAL	XTAL/P37
12	VSS	VSS
13	EXTAL	EXTAL/P36
14	VCC	VCC
15	PE2/POE10#-A/NMI	PE2/POE10#/NMI
16	PE1/SSL3-C	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/ TMO5/CTS5#/RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA3/IRQ15
17	PE0/SSL2-C/CRX-C	PE0/WR1#/BC1#/WAIT#/MTIOC9B/ MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/ SSCL5/SSLA2/CRX0/IRQ7
18	TRST#/PD7/GTIOC0A-B/SSL1-C/CTX-C	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/ GTIOC3A#/TMRI1/TMRI5/TXD5/SMOSI5/ SSDA5/SSLA1/CTX0/IRQ8
19	TMS/PD6/GTIOC0B-B/SSL0-C	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/CTS1#/RTS1#/SS1#/CTS11#/RTS11#/SS11#/SSLA0/IRQ5/ADST0
20	TDI/PD5/GTIOC1A-B/RXD1	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
21	TCK/PD4/GTIOC1B-B/SCK1	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2

100 ピン	DVCCT	RX72T
100 6 7	RX62T	(PGA 疑似差動入力あり USB 端子なし)
22	TDO/PD3/GTIOC2A-B/TXD1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/
		TMO0/TXD1/SMOSI1/SSDA1/TXD11/
		SMOSI11/SSDA11
23	TRCLK/PD2/GTIOC2B-B/MOSI-C	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/
		GTIOC2B#/GTIOC0A#/TMCI1/TMO4/
24	TRDATA3/PD1/GTIOC3A/MISO-C	SCK5/SCK8/MOSIA TRDATA3/PD1/A6/GTIOC3A/GTIOC0B/
24	TRUATAS/PD1/G110C3A/WISO-C	GTIOC3A#/GTIOC0B#/TMO2/RXD8/
		SMISO8/SSCL8/MISOA
25	TRDATA2/PD0/GTIOC3B/RSPCK-C	TRDATA2/PD0/A5/GTIOC3B/GTIOC1A/
20	THE THE END OF THE SEE THE STATE OF STA	GTIOC3B#/GTIOC1A#/TMO6/TXD8/
		SMOSI8/SSDA8/RSPCKA
26	TRDATA1/PB7/SCK2-A	TRDATA1/PB7/A4/GTIOC1B/GTIOC1B#/
		SCK5/SCK11/SCK12
27	TRDATA0/PB6/RXD2-A/CRX-A	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/
		RXD5/SMISO5/SSCL5/RXD11/SMISO11/
		SSCL11/RXD12/SMISO12/SSCL12/
		RXDX12/CRX0/IRQ2
28	TRSYNC/PB5/TXD2-A/CTX-A	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/
		TXD5/ SMOSI5/SSDA5/TXD11/SMOSI11/ SSDA11/TXD12/SMOSI12/SSDA12/
		TXDX12/SIOX12/CTX0
29	PLLVCC	VCC
30	PB4/GTETRG/POE8#/IRQ3	PB4/A1/GTETRGA/GTETRGB/GTETRGC/
30	FB4/GTETRG/FOE0#/IRQ3	GTETRGD/POE8#/CTS5#/RTS5#/SS5#/
		SCK11/CTS11#/RTS11#/SS11#/IRQ3 DS
31	PLLVSS	VSS
32	PB3/MTIOC0A-A/SCK0	PB3/A7/MTIOC0A/MTIOC0A#/CACREF/
		SCK6/RSPCKA/IRQ9
33	PB2/MTIOC0B-A/TXD0/SDA	PB2/A6/MTIOC0B/MTIOC0B#/GTADSM0/
		TMRI0/TXD6/SMOSI6/SSDA6/SDA/ADSM0
34	PB1/MTIOC0C/RXD0/SCL	PB1/A5/MTIOC0C/MTIOC0C#/GTADSM1/
		TMCI0/RXD6/SMISO6/SSCL6/SCL/IRQ4/
25	DDO/MTIOCOD/MOCL D	ADSM1
35	PB0/MTIOC0D/MOSI-B	PB0/A0/A4/BC0#/MTIOC0D/MTIOC0D#/ TMO0/TXD6/SMOSI6/SSDA6/CTS11#/
		RTS11#/SS11#/MOSIA/IRQ8/ADTRG2#
36	PA5/MTIOC1A/MISO-B/ADTRG1#-A	PA5/A3/MTIOC1A/MTIOC1A#/TMCI3/
		RXD6/SMISO6/SSCL6/RXD8/SMISO8/
		SSCL8/MISOA/IRQ1/ADTRG1#
37	PA4/MTIOC1B/RSPCK-B/ADTRG0#-A	PA4/A2/MTIOC1B/MTIOC1B#/TMCI7/
		SCK6/TXD8/SMOSI8/SSDA8/RSPCKA/
		ADTRG0#
38	PA3/MTIOC2A/SSL0-B	PA3/A1/MTIOC2A/MTIOC2A#/GTADSM0/
		TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
39	PA2/MTIOC2B/SSL1-B	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/
		GTADSM1/TMO7/CTS6#/RTS6#/SS6#/
40	DAA/MTIQQQA/QQLQ D	RXD9/SMISO9/SSCL9/SCK11/SSLA1
40	PA1/MTIOC6A/SSL2-B	PA1/MTIOC6A/MTIOC6A#/TMO4/TXD9/ SMOSI9/SSDA9/RXD11/SMISO11/SSCL11/
		SSLA2/CRX0/IRQ14 DS/ADTRG0#
41	PA0/MTIOC6C/SSL3-B	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/
	1 / WITHOUS OF SOLUTION	TXD11/SMOSI11/SSDA11/SSLA3/CTX0
42	VCC	VCC
	<u> </u>	1

100 ピン	RX62T	RX72T
		(PGA 疑似差動入力あり USB 端子なし)
43	P96/POE4#/IRQ4	P96/CS0#/WAIT#/GTETRGA/GTETRGB/ GTETRGC/GTETRGD/POE4#/CTS8#/
		RTS8#/SS8#/IRQ4_DS
44	VSS	VSS
45	P95/MTIOC6B	P95/MTIOC6B/MTIOC6B#/GTIOC4A/
45	F 95/W110C0B	GTIOC7A/GTIOC4A#/GTIOC7A#
46	P94/MTIOC7A	P94/MTIOC7A/MTIOC7A#/GTIOC5A/
		GTIOC8A/GTIOC5A#/GTIOC8A#
47	P93/MTIOC7B	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
40	DOG/MITIOCOD	P92/MTIOC6D/MTIOC6D#/GTIOC4B/
48	P92/MTIOC6D	GTIOC7B/GTIOC6D/MTIOC6D#/GTIOC4B/
49	P91/MTIOC7C	P91/MTIOC7C/MTIOC7C#/GTIOC5B/
40		GTIOC8B/GTIOC5B#/GTIOC8B#
50	P90/MTIOC7D	P90/MTIOC7D/MTIOC7D#/GTIOC6B/
		GTIOC9B/GTIOC6B#/GTIOC9B#
51	P76/MTIOC4D/GTIOC2B-A	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/
		GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
52	P75/MTIOC4C/GTIOC1B-A	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/
		GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
53	P74/MTIOC3D/GTIOC0B-A	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/
		GTIOC0B/GTIOC4B/GTIOC0B#/GTIOC4B#
54	P73/MTIOC4B/GTIOC2A-A	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/
		GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
55	P72/MTIOC4A/GTIOC1A-A	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/
		GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
56	P71/MTIOC3B/GTIOC0A-A	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/
		GTIOCOA/GTIOC4A/GTIOCOA#/GTIOC4A#
57	P70/POE0#/IRQ5	P70/D6[A6/D6]/GTETRGA/GTETRGB/
		GTETRGC/GTETRGD/POE0#/CTS9#/ RTS9#/SS9#/IRQ5 DS
	P33/MTIOC3A/MTCLKA-A/SSL3-A	P33/D7[A7/D7]/MTIOC3A/MTCLKA/
58	P33/WITIOC3AVWITCLKA-A/SSL3-A	MTIOC3A#/MTCLKA#/GTIOC3B/
		GTIOC3B#/TMO0/SSLA3/IRQ13 DS
59	P32/MTIOC3C/MTCLKB-A/SSL2-A	P32/D8[A8/D8]/MTIOC3C/MTCLKB/
	1 02/WITO 000/WITOLING /VOOLE /V	MTIOC3C#/MTCLKB#/GTIOC3A/
		GTIOC3A#/TMO6/SSLA2/IRQ12_DS
60	VCC	VCC
61	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P31/D9[A9/D9]/MTIOC0A/MTCLKC/
		MTIOCOA#/MTCLKC#/TMRI6/SSLA1/IRQ6
62	VSS	VSS
63	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P30/D10[A10/D10]/MTIOC0B/MTCLKD/
		MTIOC0B#/MTCLKD#/TMCI6/SCK8/
		CTS8#/RTS8#/SS8#/SSLA0/IRQ7/COMP3
64	P24/RSPCK-A	P27/CS3#/MTIOC1A/MTIOC0C/
	DOOLOTY DILTY/MOCCLA	MTIOC1A#/MTIOC0C#/POE9#/IRQ15
65	P23/CTX-B/LTX/MOSI-A	P24/D11[A11/D11]/MTIC5U/MTIC5U#/
		TMCI2/TMO6/CTS8#/RTS8#/SS8#/SCK8/ RSPCKA/IRQ4/COMP0
66	P22/CRX-B/LRX/MISO-A/ADTRG#	P23/D12[A12/D12]/MTIC5V/MTIC5V#/
00	1 ZZ/OTX-D/LTX/WIIOO-M/AD ITXG#	TMO2/CACREF/TXD8/SMOSI8/SSDA8/
		TXD12/SMOSI12/SSDA12/TXDX12/
		SIOX12/MOSIA/CTX0/IRQ11/COMP1
	L	

400 185	DVOOT	RX72T
100 ピン	RX62T	(PGA 疑似差動入力あり USB 端子なし)
67	P21/MTCLKA-B/IRQ6/ADTRG1#-B	P22/D13[A13/D13]/MTIC5W/MTCLKD/ MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/ TMO4/RXD8/SMISO8/SSCL8/RXD12/ SMISO12/SSCL12/RXDX12/MISOA/CRX0/ IRQ10/ADTRG2#/COMP2
68	P20/MTCLKB-B/IRQ7/ADTRG0#-B	P21/D14[A14/D14]/MTIOC9A/MTCLKA/ MTIOC9A#/MTCLKA#/TMCI4/TXD8/ SMOSI8/SSDA8/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/MOSIA/ IRQ6_DS/AN217/ADTRG1#/COMP5
69	P65/AN5	P20/D15[A15/D15]/MTIOC9C/MTCLKB/ MTIOC9C#/MTCLKB#/TMRI4/CTS8#/ RTS8#/SS8#/SCK8/RSPCKA/IRQ7_DS/ AN216/ADTRG0#/COMP4
70	P64/AN4	P65/A12/IRQ9/AN211/CMPC53/DA1
71	AVCC	P64/A13/IRQ8/AN210/CMPC33/DA0
72	VREF	AVCC2
73	AVSS	AVSS2
74	P63/AN3	P63/A12/A14/IRQ7/AN209/CMPC23
75	P62/AN2	P62/A13/A15/IRQ6/AN208/CMPC43
76	P61/AN1	P61/A14/A16/IRQ5/AN207/CMPC13
77	P60/AN0	P60/A15/A17/IRQ4/AN206/CMPC03
78	P55/AN11	P55/A16/A18/IRQ3/AN203/CMPC32
79	P54/AN10	P54/A17/A19/IRQ2/AN202/CMPC22
80	P53/AN9	P53/A18/A20/IRQ1/AN201/CMPC12
81	P52/AN8	P52/IRQ0/AN200/CMPC02
82	P51/AN7	P47/AN103
83	P50/AN6	P46/AN102/CMPC50/CMPC51
84	P47/AN103/CVREFH	P45/AN101/CMPC40/CMPC41
85	P46/AN102	P44/AN100/CMPC30/CMPC31
86	P45/AN101	PH4/AN107/PGAVSS1
87	P44/AN100	P43/AN003
88	P43/AN003/CVREFL	P42/AN002/CMPC20/CMPC21
89	P42/AN002	P41/AN001/CMPC10/CMPC11
90	P41/AN001	P40/AN000/CMPC00/CMPC01
91	P40/AN000	PH0/AN007/PGAVSS0
92	AVCC0	AVCC1
93	VREFH0	AVCC0
94	VREFL0	AVSS0
95	AVSS0	AVSS1
96	P82/MTIC5U/SCK2-B P82/ALE/WAIT#/MTIC5U/MTIC TMO4/SCK6/SCK12/IRQ3/COM	
97	P81/MTIC5V/TXD2-B	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/ TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/COMP4
98	P80/MTIC5W/RXD2-B	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/ RXD6/SMISO6/SSCL6/RXD12/SMISO12/ SSCL12/RXDX12/IRQ5/COMP3
99	P11/MTCLKC-B/IRQ1-A	P11/RD#/MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/MTIOC9D/ GTIOC3B/GTETRGA/GTIOC3B#/ GTETRGC/TMO3/POE9#/IRQ1_DS

100 ピン	RX62T	RX72T (PGA 疑似差動入力あり USB 端子なし)
100	P10/MTCLKD-B/IRQ0-A	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGB/GTETRGD/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS

3.3 100 ピンパッケージ(RX72T: PGA 疑似差動入力なし USB 端子なし)

表 3.3 に 100 ピンパッケージ端子機能の比較(RX72T : PGA 疑似差動入力なし USB 端子なし)を示します。

表 3.3 100 ピンパッケージ端子機能の比較(RX72T: PGA 疑似差動入力なし USB 端子なし)

100ピン	RX72T PGA 疑似差動入力なし USB 端子なし		
1	PE5/IRQ0-B	PE5/BCLK/MTIOC9D/MTIOC9D#/GTIOC3/ GTETRGB/GTIOC3A#/GTETRGD/SCK9/ CTS9#/RTS9#/SS9#/IRQ0/ADST0	
2	EMLE	EMLE	
3	VSS	VSS	
4	MDE	UB/P00/A11/MTIOC9A/MTIOC9A#/CACRE RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RXDX12/IRQ2/ADST1/COMP0	
5	VCL	VCL	
6	MD1	MD/FINED	
7	MD0	P01/A10/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE12#/ TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/IRQ4/ADST2/ COMP1	
8	PE4/MTCLKC-C/POE10#-B/IRQ1-B	PE4/A9/MTCLKC/MTCLKC#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE10#/ SCK9/IRQ1	
9	PE3/MTCLKD-C/POE11#/IRQ2-A	PE3/A8/MTCLKD/MTCLKD#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE11#/ CTS9#/RTS9#/SS9#/IRQ2_DS	
10	RES#	RES#	
11	XTAL	XTAL/P37	
12	VSS	VSS	
13	EXTAL	EXTAL/P36	
14	VCC	VCC	
15	PE2/POE10#-A/NMI	PE2/POE10#/NMI	
16	PE1/SSL3-C	PE1/WR0#/WR#/MTIOC9D/MTIOC9D#/ TMO5/CTS5#/RTS5#/SS5#/CTS12#/ RTS12#/SS12#/SSLA3/IRQ15	
17	PE0/SSL2-C/CRX-C	PE0/WR1#/BC1#/WAIT#/MTIOC9B/ MTIOC9B#/TMCI1/TMCI5/RXD5/SMISO5/ SSCL5/SSLA2/CRX0/IRQ7	
18	TRST#/PD7/GTIOC0A-B/SSL1-C/CTX-C	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/ GTIOC3A#/TMRI1/TMRI5/TXD5/SMOSI5/ SSDA5/SSLA1/CTX0/IRQ8	
19	TMS/PD6/GTIOC0B-B/SSL0-C	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/CTS1#/RTS1#/SS1#/CTS11#/RTS11#/SS11#/SSLA0/IRQ5/ADST0	
20	TDI/PD5/GTIOC1A-B/RXD1	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6	
21	TCK/PD4/GTIOC1B-B/SCK1	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCI0/TMCI6/SCK1/SCK11/IRQ2	

100 ピン	RX62T	RX72T
		(PGA 疑似差動入力なし USB 端子なし)
22	TDO/PD3/GTIOC2A-B/TXD1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/
		TMO0/TXD1/SMOSI1/SSDA1/TXD11/
	TDOLK/DDO/OTIOOOD D/MOOLO	SMOSI11/SSDA11
23	TRCLK/PD2/GTIOC2B-B/MOSI-C	TRCLK/PD2/A7/GTIOC2B/GTIOC0A/
		GTIOC2B#/GTIOC0A#/TMCI1/TMO4/
0.4	TDD A TA O/DD A /OTIO OO A /A NOO	SCK5/SCK8/MOSIA
24	TRDATA3/PD1/GTIOC3A/MISO-C	TRDATA3/PD1/A6/GTIOC3A/GTIOC0B/
		GTIOC3A#/GTIOC0B#/TMO2/RXD8/
05	TRDATA2/PD0/GTIOC3B/RSPCK-C	SMISO8/SSCL8/MISOA
25	TRDATAZ/PD0/GTIOC3B/RSPCK-C	TRDATA2/PD0/A5/GTIOC3B/GTIOC1A/ GTIOC3B#/GTIOC1A#/TMO6/TXD8/
		SMOSI8/SSDA8/RSPCKA
00	TRDATA1/PB7/SCK2-A	TRDATA1/PB7/A4/GTIOC1B/GTIOC1B#/
26	TRUATAT/PB//SCK2-A	SCK5/SCK11/SCK12
07	TDDATAO/DDC/CDV A/DVDC A	
27	TRDATA0/PB6/CRX-A/RXD2-A	TRDATA0/PB6/A3/GTIOC2A/GTIOC2A#/
		RXD5/SMISO5/SSCL5/RXD11/SMISO11/ SSCL11/RXD12/SMISO12/SSCL12/
		RXDX12/CRX0/IRQ2
	TDCVNC/DDC/TVD2 A/CTV A	TRSYNC/PB5/A2/GTIOC2B/GTIOC2B#/
28	TRSYNC/PB5/TXD2-A/CTX-A	TXD5/SMOSI5/SSDA5/TXD11/SMOSI11/
		SSDA11/TXD12/SMOSI12/SSDA12/
		TXDX12/SIOX12/CTX0
20	PLLVCC	VCC
29		
30	PB4/GTETRG/POE8#/IRQ3	PB4/A1/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/
		SCK11/CTS11#/RTS11#/SS11#/IRQ3 DS
24	PLLVSS	VSS
31		PB3/A7/MTIOC0A/MTIOC0A#/CACREF/
32	PB3/MTIOC0A-A/SCK0	SCK6/ RSPCKA/IRQ9
33	PB2/MTIOC0B-A/TXD0/SDA	PB2/A6/MTIOC0B/MTIOC0B#/GTADSM0/
33	PBZ/WITIOCOB-A/TADO/SDA	TMRIO/TXD6/SMOSI6/SSDA6/SDA/ADSMO
34	PB1/MTIOC0C/RXD0/SCL	PB1/A5/MTIOC0C/MTIOC0C#/GTADSM1/
34	FBI/WITIOCOC/NADO/SCE	TMCI0/RXD6/SMISO6/SSCL6/SCL/IRQ4/
		ADSM1
35	PB0/MTIOC0D/MOSI-B	PB0/A0/A4/BC0#/MTIOC0D/MTIOC0D#/
	I BO/WITIOOD/WOOLD	TMO0/TXD6/SMOSI6/SSDA6/CTS11#/
		RTS11#/SS11#/MOSIA/IRQ8/ADTRG2#
36	PA5/MTIOC1A/MISO-B/ADTRG1#-A	PA5/A3/MTIOC1A/MTIOC1A#/TMCI3/
	1 AGAMITICO IAMINO -DIADITICITA-A	RXD6/SMISO6/SSCL6/RXD8/SMISO8/
		SSCL8/MISOA/IRQ1/ADTRG1#
37	PA4/MTIOC1B/RSPCK-B/ADTRG0#-A	PA4/A2/MTIOC1B/MTIOC1B#/TMCI7/
	The state of the s	SCK6/TXD8/SMOSI8/SSDA8/RSPCKA/
		ADTRG0#
38	PA3/MTIOC2A/SSL0-B	PA3/A1/MTIOC2A/MTIOC2A#/GTADSM0/
		TMRI7/TXD9/SMOSI9/SSDA9/SCK8/SSLA0
39	PA2/MTIOC2B/SSL1-B	PA2/A0/BC0#/MTIOC2B/MTIOC2B#/
		GTADSM1/TMO7/CTS6#/RTS6#/SS6#/
		RXD9/SMISO9/SSCL9/SCK11/SSLA1
40	PA1/MTIOC6A/SSL2-B	PA1/MTIOC6A/MTIOC6A#/TMO4/TXD9/
.		SMOSI9/SSDA9/RXD11/SMISO11/SSCL11/
		SSLA2/CRX0/IRQ14_DS/ADTRG0#
41	PA0/MTIOC6C/SSL3-B	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK9/
71		TXD11/SMOSI11/SSDA11/SSLA3/CTX0
42	VCC	VCC
74	1.00	1.00

100 ピン	RX62T	RX72T
		(PGA 疑似差動入力なし USB 端子なし)
43	P96/POE4#/IRQ4	P96/CS0#/WAIT#/GTETRGA/
		GTETRGB/GTETRGC/GTETRGD/
4.4	1,400	POE4#/CTS8#/RTS8#/SS8#/IRQ4_DS
44	VSS	VSS
45	P95/MTIOC6B	P95/MTIOC6B/MTIOC6B#/GTIOC4A/ GTIOC7A/GTIOC4A#/GTIOC7A#
46	P94/MTIOC7A	P94/MTIOC7A/MTIOC7A#/GTIOC5A/
		GTIOC8A/GTIOC5A#/GTIOC8A#
47	P93/MTIOC7B	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
40	DOO/NATIOCOD	
48	P92/MTIOC6D	P92/MTIOC6D/MTIOC6D#/GTIOC4B/ GTIOC7B/GTIOC4B#/GTIOC7B#
40	P91/MTIOC7C	P91/MTIOC7C/MTIOC7C#/GTIOC5B/
49	P91/WITIOC/C	GTIOC8B/GTIOC5B#/GTIOC8B#
	P90/MTIOC7D	P90/MTIOC7D/MTIOC7D#/GTIOC6B/
50	P90/MTIOC/D	GTIOC9B/GTIOC6B#/GTIOC6B/
51	P76/MTIOC4D/GTIOC2B-A	P76/D0[A0/D0]/MTIOC4D/MTIOC4D#/
	170/11/10/12/10/10/10/10/10/10/10/10/10/10/10/10/10/	GTIOC2B/GTIOC6B/GTIOC2B#/GTIOC6B#
52	P75/MTIOC4C/GTIOC1B-A	P75/D1[A1/D1]/MTIOC4C/MTIOC4C#/
		GTIOC1B/GTIOC5B/GTIOC1B#/GTIOC5B#
53	P74/MTIOC3D/GTIOC0B-A	P74/D2[A2/D2]/MTIOC3D/MTIOC3D#/
		GTIOCOB/GTIOC4B/GTIOCOB#/GTIOC4B#
54	P73/MTIOC4B/GTIOC2A-A	P73/D3[A3/D3]/MTIOC4B/MTIOC4B#/
		GTIOC2A/GTIOC6A/GTIOC2A#/GTIOC6A#
55	P72/MTIOC4A/GTIOC1A-A	P72/D4[A4/D4]/MTIOC4A/MTIOC4A#/
		GTIOC1A/GTIOC5A/GTIOC1A#/GTIOC5A#
56	P71/MTIOC3B/GTIOC0A-A	P71/D5[A5/D5]/MTIOC3B/MTIOC3B#/
		GTIOC0A/GTIOC4A/GTIOC0A#/GTIOC4A#
57	P70/POE0#/IRQ5	P70/D6[A6/D6]/GTETRGA/GTETRGB/
		GTETRGC/GTETRGD/POE0#/CTS9#/
		RTS9#/SS9#/IRQ5_DS
58	P33/MTIOC3A/MTCLKA-A/SSL3-A	P33/D7[A7/D7]/MTIOC3A/MTCLKA/
		MTIOC3A#/MTCLKA#/GTIOC3B/
	P32/MTIOC3C/MTCLKB-A/SSL2-A	GTIOC3B#/TMO0/SSLA3/IRQ13_DS
59	P32/WITIOC3C/WITCLKB-A/SSLZ-A	P32/D8[A8/D8]/MTIOC3C/MTCLKB/ MTIOC3C#/MTCLKB#/GTIOC3A/
		GTIOC3A#/TMO6/SSLA2/IRQ12 DS
60	VCC	VCC
61	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P31/D9[A9/D9]/MTIOC0A/MTCLKC/
	1 3 I/WITIOGON-D/IVIT CENC-A/33E I-A	MTIOCOA#/MTCLKC#/TMRI6/SSLA1/IRQ6
62	VSS	VSS
63	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P30/D10[A10/D10]/MTIOC0B/MTCLKD/
		MTIOC0B#/MTCLKD#/TMCI6/SCK8/
		CTS8#/RTS8#/SS8#/SSLA0/IRQ7/COMP3
64	P24/RSPCK-A	P24/D11[A11/D11]/MTIC5U/MTIC5U#/
		TMCI2/TMO6/CTS8#/RTS8#/SS8#/SCK8/
		RSPCKA/IRQ4/COMP0
65	P23/LTX/MOSI-A/CTX-B	P23/D12[A12/D12]/MTIC5V/MTIC5V#/
		TMO2/CACREF/TXD8/SMOSI8/SSDA8/
		TXD12/SMOSI12/SSDA12/TXDX12/
		SIOX12/MOSIA/CTX0/IRQ11/COMP1

100 ピン	RX62T	RX72T
		(PGA 疑似差動入力なし USB 端子なし)
66	P22/LRX/MISO-A/CRX-B/ADTRG#	P22/D13[A13/D13]/MTIC5W/MTCLKD/
		MTIC5W#/MTCLKD#/MTIOC9B/TMRI2/ TMO4/RXD8/SMISO8/SSCL8/RXD12/
		SMISO12/SSCL12/RXDX12/MISOA/CRX0/
		IRQ10/ADTRG2#/COMP2
67	P21/MTCLKA-B/IRQ6/ADTRG1#-B	P21/D14[A14/D14]/MTIOC9A/MTCLKA/
0.		MTIOC9A#/MTCLKA#/TMCI4/TXD8/
		SMOSI8/SSDA8/TXD12/SMOSI12/
		SSDA12/TXDX12/SIOX12/MOSIA/
		IRQ6_DS/AN217/ADTRG1#/COMP5
68	P20/MTCLKB-B/IRQ7/ADTRG0#-B	P20/D15[A15/D15]/MTIOC9C/MTCLKB/
		MTIOC9C#/MTCLKB#/TMRI4/CTS8#/
		RTS8#/SS8#/SCK8/RSPCKA/IRQ7_DS/
	DOC/ANG	AN216/ADTRG0#/COMP4
69	P65/AN5	P65/A12/IRQ9/AN211/CMPC53/DA1
70	P64/AN4	P64/A13/IRQ8/AN210/CMPC33/DA0
71	AVCC	AVCC2
72	VREF	AVCC2
73	AVSS	AVSS2
74	P63/AN3	P63/A12/A14/IRQ7/AN209/CMPC23
75	P62/AN2	P62/A13/A15/IRQ6/AN208/CMPC43
76	P61/AN1	P61/A14/A16/IRQ5/AN207/CMPC13
77	P60/AN0	P60/A15/A17/IRQ4/AN206/CMPC03
78	P55/AN11	P55/A16/A18/IRQ3/AN203/CMPC32
79	P54/AN10	P54/A17/A19/IRQ2/AN202/CMPC22
80	P53/AN9	P53/A18/A20/IRQ1/AN201/CMPC12
81	P52/AN8	P52/IRQ0/AN200/CMPC02
82	P51/AN7	P51/AN205/CMPC52
83	P50/AN6	P50/AN204/CMPC42
84	P47/AN103/CVREFH	P47/AN103
85	P46/AN102	P46/AN102/CMPC50/CMPC51
86	P45/AN101	P45/AN101/CMPC40/CMPC41
87	P44/AN100	P44/AN100/CMPC30/CMPC31
88	P43/AN003/CVREFL	P43/AN003
89	P42/AN002	P42/AN002/CMPC20/CMPC21
90	P41/AN001	P41/AN001/CMPC10/CMPC11
91	P40/AN000	P40/AN000/CMPC00/CMPC01
92	AVCC0	AVCC1
93	VREFH0	AVCC0
94	VREFL0	AVSS0
95	AVSS0	AVSS1
96	P82/MTIC5U/SCK2-B	P82/ALE/WAIT#/MTIC5U/MTIC5U#/
		TMO4/SCK6/SCK12/IRQ3/COMP5
97	P81/MTIC5V/TXD2-B	P81/CS2#/MTIC5V/MTIC5V#/TMCI4/
		TXD6/SMOSI6/SSDA6/TXD12/SMOSI12/
		SSDA12/TXDX12/SIOX12/COMP4
98	P80/MTIC5W/RXD2-B	P80/CS1#/MTIC5W/MTIC5W#/TMRI4/
		RXD6/SMISO6/SSCL6/RXD12/SMISO12/
		SSCL12/RXDX12/IRQ5/COMP3

100ピン	RX62T	RX72T (PGA 疑似差動入力なし USB 端子なし)
99	P11/MTCLKC-B/IRQ1-A	P11/RD#/MTIOC3A/MTCLKC/ MTIOC3A#/MTCLKC#/MTIOC9D/ GTIOC3B/GTETRGA/GTIOC3B#/ GTETRGC/TMO3/POE9#/IRQ1_DS
100	P10/MTCLKD-B/IRQ0-A	P10/MTIOC9B/MTCLKD/MTIOC9B#/ MTCLKD#/GTETRGB/GTETRGD/TMRI3/ POE12#/CTS6#/RTS6#/SS6#/IRQ0_DS

4. 移行の際の留意点

RX62T/RX62G グループと RX72T グループの相違について、いくつかの留意点があります。

ハードウェアに関する留意点を「4.1 端子設計の留意点」で説明します。また、ソフトウェアに関する留意点を「4.2 機能設計の留意点」で説明します。

4.1 端子設計の留意点

RX62T/RX62G グループ(100 ピン)と RX72T グループ(100 ピン: PGA 疑似差動入力なし USB 端子なし) ではピンコンパチブルとなり、移行し易い端子設計としておりますが、グループが異なるため、端子の扱いが一部異なります。詳細は「表 3.3 100 ピンパッケージ端子機能の比較(RX72T: PGA 疑似差動入力なし USB 端子なし)」を参照してください。

4.1.1 VCL 端子(外付け容量)

VCL 端子に接続する内部電源安定用の平滑コンデンサは、RX62T/RX62G グループでは 0.1μ F の容量を、RX72T グループでは 0.47μ F の容量を使用してください。

4.1.2 PLLVCC 端子

RX72T グループには PLLVCC 端子がありません。

4.1.3 モード設定端子

リセット解除時のモード設定端子は、RX62T/RX62G グループでは MD0、MD1、MDE 端子ですが、RX72T グループでは MD 端子と UB 端子(P00 と兼用)となっています。

4.1.4 外部クロックを入力する方法

RX62T/RX62G グループでは、外部クロックを入力する際、EXTAL 端子へ入力するクロックの逆相をXTAL 端子に入力できますが、RX72T グループでは XTAL 端子をオープンにしてください。

4.1.5 PGA 疑似差動入力関連端子(P40~42、P44~46、PH0、PH4)

RX72T グループは、リセット状態から PGA 疑似差動入力の端子へ負電圧の入力が可能になっています。

このため、リセット解除後、P40~42、P44~46、PH0、PH4 の端子機能を使用するためには、PGA 使用の有無に関わらず PGA に関するレジスタの設定変更が必要です。

詳細は、「RX72T グループ ユーザーズマニュアル ハードウェア編」で VOLSR.PGAVLS ビット、A/D コンバータの初期設定フロー、および PIDR レジスタを参照してください。

なお、PGA 疑似差動入力なしの製品でも設定変更が必要です。

4.1.6 AVCC 端子と AVSS 端子間のデカップリング容量挿入方法

RX72T グループでは過大なサージなど異常電圧によるアナログ入力端子(AN000 ~ AN007, AN100 ~ AN107, AN200 ~ AN211, AN216, AN217) の破壊を防ぐために、AVCCn と AVSSn 間にコンデンサを、またアナログ入力端子(AN000 ~ AN007, AN100 ~ AN107, AN200 ~ AN211, AN216, AN217) を基準に保護回路を接続してください。

詳細は、「RX72T グループ ユーザーズマニュアル ハードウェア編」で、12 ビット A/D コンバータのノイズ対策上の注意を参照してください。



4.2 機能設計の留意点

RX62T/RX62G グループで動作するソフトウェアは RX72T グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なるため、十分に評価してください。

以下は RX72T グループと RX62T/RX62G グループで異なる機能の設定に関し、ソフトウェアでの留意点について掲載しております。

モジュールおよび機能の相違点については「2 仕様の概要比較」を参照してください。詳細は、「5 参考ドキュメント」のユーザーズマニュアルハードウェア編を参照してください。

4.2.1 レジスタ退避バンク内 RAM の自己診断

RX72T グループのレジスタ退避バンクは RAM で構成されています。レジスタ退避バンクにはバッファが 搭載されているため、SAVE 命令で書き込みを行った後に同一バンクから RSTR 命令で読み出しを行うと、RAM のメモリセルではなくバッファのデータが読み出されることがあります。レジスタ退避バンク内 RAM の自己診断を行う場合、バッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のバンクに SAVE 命令でデータを書く
- (2) (1)のバンクとは異なるバンクに、SAVE 命令でデータを書く
- (3) (1)のバンクから RSTR

4.2.2 RIIC 動作電圧設定

RX72T グループで RIIC を使用する場合、スロープ特性を保つために、電源電圧範囲を指定する必要があります。

初期値は VCC が 4.5V 以上の設定になっています。4.5V 未満で使用する場合、RIIC を動作させる前に電圧範囲を変更してください。

詳細は、「RX72T グループ ユーザーズマニュアル ハードウェア編」で、VOLSR.RICVLS ビットを参照してください。

4.2.3 USB 動作電圧設定

RX72T グループで USB を使用する場合、USB を動作させる前に USB 電源制御ビットを 1 にする必要があります。

詳細は、「RX72T グループ ユーザーズマニュアル ハードウェア編」で、VOLSR.USBVON ビットを参照してください。

4.2.4 例外ベクタテーブル

RX62T/RX62G グループのベクタテーブルの配置アドレスは固定ですが、RX72T グループでは例外テーブルレジスタ(EXTB)に設定した値を先頭アドレスとして、ベクタテーブルを可変に配置できます。

4.2.5 電圧レベル設定

RX72T グループでは、動作電圧に応じて動作モードの電圧レベル設定レジスタ(VOLSR)、電圧検出回路の電圧検出レベル選択レジスタ(LVDLVLR)、オプション設定メモリのオプション機能選択レジスタ1(OFS1)を適切な値に変更する必要があります。プログラムで必ず設定してください。



4.2.6 エンディアン

RX62T/RX62G グループでは、エンディアンの設定は MDE 端子で行いますが、RX72T グループでは、オプション設定メモリに配置されている MDE レジスタで行います。

4.2.7 オプション設定メモリ

RX62T/RX62G グループでは、ID コードプロテクト、オンチップデバッガの ID コードプロテクトは ROM(コード格納用フラッシュメモリ)に配置されていますが、RX72T グループではオプション設定メモリ に配置されています。設定方法が異なるため、注意してください。

4.2.8 クロック周波数設定

RX62T/RX62G グループではクロック周波数設定制限は ICLK≧PCLK ですが、RX72T グループでは以下のように設定してください。

クロック周波数設定制限:ICLK≧BCLK、PCLKC≧PCLKA≧PCLKB

クロック周波数比制限:(N は整数)

ICLK : FCLK = N : 1 or 1 : N

ICLK : PCLKA = N : 1 or 1 : N,

ICLK : PCLKB = N : 1 or 1 : N

ICLK : PCLKC = N : 1 or 1 : N

ICLK : PCLKD = N : 1 or 1 : N

PCLKA : PCLKC = 1 : 1 or 1 : 2,

PCLKB: PCLKD = 1: 1 or 2: 1 or 4: 1 or 1: 2

また、RX72T グループでは ICLK を 120MHz より速くする場合は、MEMWAIT レジスタの変更が必要です。

4.2.9 メインクロック発振器

RX62T/RX62G グループでは、リセット解除後にメインクロックが発振開始しますが、RX72T グループでは、リセット解除後は LOCO クロックで動作するため、プログラムでメインクロックを発振させる必要があります。

4.2.10 PLL 回路

PLL 回路の逓倍率は、RX62T/RX62G グループで 8 逓倍、RX72T グループで $10\sim30$ 逓倍(0.5 刻み)です。PLL 回路を使用するには、設定値を適切な値に変更してください。また、RX72T グループでは、PLL クロックの切り替えはプログラムで実施してください。



4.2.11 メインクロック発振停止検出機能の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよび PLL クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

RX72T グループでは、PLL のクロックソースに HOCO クロックを選択し、かつシステムクロックのクロックソースに PLL クロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックは LOCO クロックに切り替わらないので注意してください。

4.2.12 全モジュールクロックストップモード

RX72T グループでは、全モジュールクロックストップモードへ移行させる場合、MSTPA24、MSTPA27、MSTPA29、MSTPD0~MSTPD7 に"1"を書き込んでおく必要があります。

4.2.13 DIRQnE ビット(n = 0~15)による入力バッファ制御

RX72T グループでは、DPSIERy.DIRQnE($y=0,1,n=0\sim15$)ビットを"1"にすることで、IRQ0-DS~IRQ15-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFRy.DIRQnF($y=0,1,n=0\sim15$)ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/Oポートには伝わりませんので注意してください。

4.2.14 レジスタライトプロテクション機能

RX72T グループでは、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護するレジスタライトプロテクション機能が追加されています。初期値は保護状態となっていますので、保護対象の機能使用時は該当プロテクトビットを変更してください。

4.2.15 選択型割り込み

RX62T/RX62G グループでは、各割り込み要因のベクタ番号は固定ですが、RX72T グループでは MTU/GPTW の割り込み要因は選択型割り込み A に割り当てられ、選択型割り込み A 要因選択レジスタ n (SLIARn)を設定することで、割り込み要因を割り込みベクタテーブル 208~255 に配置することができます

4.2.16 ポート方向レジスタ(PDR)の初期化

同一ピン数でも、PDR レジスタの初期化が異なります。

4.2.17 POE3 の汎用入出カポート切り替え制御の注意事項

RX72T グループでは、POE3 で指定した出力停止要求が発生すると、PMMCRn レジスタ(n=0~3)の当該 ビットを"1"にした端子は、汎用入出力ポートに切り替わります。事前に対応する POECRn レジスタ (n=0~3)のビットを"0"にしてください。

4.2.18 バスの優先順位

RX62T/RX62G グループでは、バスの優先順位は 内部メインバス 2 > 内部メインバス 1 固定でしたが、 RX72T グループでは、バスプライオリティ制御レジスタ(BUSPRI)により設定可能です。



4.2.19 端子割り当て機能

RX62T/RX62G グループでは、I/O ポート章のポートファンクションレジスタにより、レジスタに対応したモジュール機能に端子の割り当てを設定していましたが、RX72T グループでは、マルチピンファンクションコントローラ章の端子機能制御レジスタで、レジスタに対応した端子に複数のモジュールから割り当てる機能を設定できます。なお、端子機能制御レジスタは書き込みプロテクトレジスタによってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

4.2.20 MTU3d/GPTW 動作周波数

RX72T グループでは、MTU3d/GPTW のカウントクロックは PCLKC ですが、使用するバスのクロックは PCLKA です。使用する周波数の組み合わせによっては制限がありますので、注意してください。

4.2.21 MTU による DMAC 起動

RX72T グループでは、MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因が クリアされます。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始 待ち状態になる期間が発生します。

4.2.22 カウンタ停止時の MTIOC 端子出カレベル

MTIOC 端子を出力状態で動作中に、CSTn ビットに"0"を書くとカウンタが停止します。このとき、RX72T グループの相補 PWM モード/リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード/リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。

CSTn ビットが"0"の状態で TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

4.2.23 ELC イベント入力の時タイマモードレジスタ設定の注意事項

RX72T グループでは、MTU を ELC のアクション動作に設定する場合は、該当チャネルのタイマモードレジスタ(TMDR)は初期値(00h)に設定してください。

4.2.24 ポートアウトプットイネーブル

RX72T グループでは、RX62T/RX62G グループからポートアウトプットイネーブルのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.25 ポートアウトプットイネーブル3 出力停止要求発生時の制御

RX72T グループでは、出力停止要求が発生したとき、POECR1~POECR3、POECR7 レジスタの対応するビットを "1" にした端子はハイインピーダンスになり、PMMCR0~PMMCR3 レジスタの対応するビットを "1" にした端子は汎用入出力ポートに切り替わります。

同一端子に対して両方のビットを"1"にした場合は、POECR1~POECR3、POECR7レジスタの設定が優先され、端子はハイインピーダンスになります。

汎用入出力ポートに切り替わった後は、PDR レジスタ、PODR レジスタの設定により端子の状態が決定します。



4.2.26 MTU/GPTW 反転出力設定時のアクティブレベル設定について

RX72T グループでは、MPC.PmnPFS レジスタにより MTU/GPTW の出力を正転出力/反転出力から選択することができます。

MTU の反転出力を選択した場合、MTU.TOCR1j、MTU.TOCR2j レジスタ(j=A,B)で設定したアクティブレベルと端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR1、ALR2 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

GPTW の反転出力を選択した場合、端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR3~ALR5 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

4.2.27 ハイインピーダンス時の端子の読み出しについて

RX72T グループでは、POE によって端子がハイインピーダンスになっているときは、当該端子のレベルを読み出すことはできません。読んだ場合の値は不定です。端子のレベルを読み出すには、ハイインピーダンス状態を解除してください。

ハイインピーダンス制御の代わりにポート切り替え制御を選択した場合、この制限はありません。

4.2.28 POE と POEG を併用した場合の注意事項

RX72T グループでは、POE と POEG を併用する場合、同一の GPTW 出力端子に対して、POE と POEG の両方で出力停止制御を行わないでください。

4.2.29 汎用 PWM タイマ

RX72T グループでは、RX62T/RX62G グループから汎用 PWM タイマのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.30 ウォッチドッグタイマ/独立ウォッチドッグタイマ

RX72T グループでは、WDT アンダフロー/リフレッシュエラー割り込み、IWDT アンダフロー/リフレッシュエラー割り込みをマスカブル割り込みまたはノンマスカブル割り込みから選択することが可能です。

4.2.31 I²C バスインタフェースのノイズ除去

RX62T グループでは、SCL、SDA ラインにアナログノイズフィルタを内蔵していますが、RX72T グループではアナログノイズフィルタを内蔵していません。

4.2.32 12 ビット A/D コンバータ

RX72T グループでは、RX62T/RX62G グループから 12 ビット A/D コンバータのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.33 A/D 変換スタートビット

RX72T グループでは、12 ビット A/D コンバータのグループ優先動作モード有効時(ADCSR.ADCS[1:0] ビット=01b かつ ADGSPCR.PGS ビット=1)にシングルスキャン連続機能を使用(ADGSPCR.GBRP ビット=1)した場合、ADCSR.ADST ビットは"1"を保持します。



4.2.34 コンペア機能制約

RX72T グループの 12 ビット A/D コンバータのコンペア機能には、以下の制約があります。

- (1) 自己診断機能およびダブルトリガモードの使用は禁止です。
 (ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB はコンペア機能対象外です。)
- (2) マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
- (3) ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
- (4) ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
- (5) ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。
- (6) High 側基準値 ≧ Low 側基準値となるように設定してください。

4.2.35 A/D スキャン変換終了割り込みの発生

RX72T グループでは、ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADCSR.ADIE ビットが"1"にセットされていれば A/D スキャン変換終了割り込みが発生します。

4.2.36 D/A コンバータの設定について

RX72T グループでは、D/A コンバータの設定は D/A 出力先選択レジスタ (DADSELR) でコンパレータ C への出力設定を行い、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

4.2.37 FCU RAM へのファームウェア転送

RX62T/RX62G グループでは、FCU コマンドを使用するために FCU RAM に FCU 用のファームウェアを格納する必要がありましたが、RX72T グループでは本処理は必要ありません。

4.2.38 ROM キャッシュ

RX72T グループは 8K バイトの ROM キャッシュがありますが、リセット解除後の ROM キャッシュ動作は禁止です。

ROM キャッシュを使用する場合は、ROMCE.ROMCEN ビットを 1 にしてください。



4.2.39 フラッシュメモリのコマンド使用方法

RX62T/RX62G グループでは、FCU に FCU コマンドを発行することにより、フラッシュメモリのプログラム/イレーズ等を行います。RX72T グループでは、FACI コマンド発行領域に FACI コマンドを設定することにより、FCU を制御してフラッシュメモリのプログラム/イレーズ等を行います。

表 4.1 に FCU コマンドと FACI コマンドの仕様比較を示します。

表 4.1 FCU コマンドと FACI コマンドの仕様比較

項目	FCU コマンド(RX62T)	FACI コマンド(RX72T)
コマンド発行領域	ROM 書き込み/消去用アドレス	FACI コマンド発行領域
	(00FC 0000h~00FF FFFFh)	(007E 0000h)
使用可能コマンド	P/E ノーマルモード移行	
	ステータスリードモード移行	
	ロックビットリードモード移行	
	(ロックビットリード 1)	
	● 周辺クロック通知	
	• プログラム	• プログラム
	ブロックイレーズ	ブロックイレーズ
	● P/E サスペンド	● P/E サスペンド
	● P/E レジューム	● P/E レジューム
	ステータスレジスタクリア	• ステータスクリア
		● 強制終了
	■ ロックビットリード2/	• ロックビットリード
	ブランクチェック	• ブランクチェック
		コンフィギュレーション設定
	● ロックビットプログラム	● ロックビットプログラム

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX62T グループ、RX62G グループ ユーザーズマニュアル ハードウェア編 Rev2.00 (R01UH0034JJ0200)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX72T グループ ユーザーズマニュアル ハードウェア編 Rev1.00 (R01UH0803JJ0100)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

アプリケーションノート

RX ファミリ間の移行設計ガイド パッケージ外形の相違点 (R01AN4591JJ) (最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応表 4.1 FCU コマンドと FACI コマンドの仕様比較について

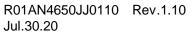
本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

- TN-RX*-A094A/J
- TN-RX*-A095A/J
- TN-RX*-A096A/J
- TN-RX*-A098A/J
- TN-RX*-A099A/J
- TN-RX*-A119A/J
- TN-RX*-A141A/J
- TN-RX*-A152A/J
- TN-RX*-A161A/J
- TN-RX*-A185B/J
- TN-RX*-A193A/J
- TN-RX*-A0218A/J
- TN-RX*-A0219A/J
- TN-RX*-A0227A/JTN-RX*-A0231A/J

R01AN4650JJ0110 Rev.1.10 Jul.30.20

改訂記録

Rev.	発行日		改訂内容	
nev.	元门口	ページ	ポイント	
1.00	Mar.12.19	_	初版発行	
1.10	Jul.30.20	4	1 表 1.1 RX62T/RX72T 搭載機能比較 改訂	
		7	2.2 表 2.3 動作モードの概要比較 改訂	
		9	2.3 表 2.5~表 2.7 削除、図 2.1~図 2.3 追加	
		17	2.6 表 2.12 クロック発生回路のレジスタ比較 改訂	
		24	2.8 例外処理 追加	
		26	2.9 表 2.19 割り込みコントローラのレジスタ比較 改訂	
		32	2.13 表 2.24、表 2.25 改訂	
		33	2.13 表 2.26 I/O ポートの機能 追加	
		34	2.13 表 2.27 I/O ポートのレジスタ比較 改訂	
		37	2.14 表 2.29 マルチファンクションタイマパルスユニット3	
			のレジスタ比較 改訂	
		38	2.14 表 2.61 TPSC ビットの設定比較(MTU5 以外) 追加	
		40	2.14 表 2.62 TPSC ビットの設定比較(MTU5) 追加	
		43	2.15 表 2.31 ポートアウトプットイネーブル 3 レジスタ比較	
			改訂	
		54	2.16 表 2.33 汎用 PWM タイマのレジスタ比較 改訂	
		60	2.16 表 2.34 GTIOA/B ビットの設定比較.33 汎用 PWM タイ	
			マのレジスタ比較追加	
		62	2.18 表 2.36 ウォッチドッグタイマの概要比較 改訂	
		66	2.19 表 2.39 独立ウォッチドッグタイマのレジスタ比較 改	
			訂	
		70	2.20 表 2.42 シリアルコミュニケーションインタフェースの	
		92	レジスタ比較 改訂 2.24 表 2.50 CRC 演算器のレジスタ比較 改訂	
		83 84	2.24 表 2.50 CRC 演算器のレジスタ比較 改訂	
		88	2.25 表 2.51 12 ビット A/D コンバータの械委比較 改訂 2.25 表 2.52 12 ビット A/D コンバータのレジスタ比較 改訂	
		91	2.25 表 2.53 A/D 起動要因比較 追加	
		95		
		101	2.27 表 2.56 フラッシュメモリの概要比較 改訂 3.1 表 3.1 100 ピンパッケージ端子機能の比較(RX72T: PGA	
		101	3.1 表 3.1 100 ピンパッケーシュー機能の比較(RA721 : PGA 疑似差動入力あり USB 端子あり) 改訂	
		106	3.2 表 3.2 100 ピンパッケージ端子機能の比較(RX72T: PGA	
		100	5.2 数 5.2 100 ピラハッケーラ編 機能の比較(KA721 : P GA 疑似差動入力あり USB 端子なし) 改訂	
		111	3.3 表 3.3 100 ピンパッケージ端子機能の比較(RX72T: PGA	
			疑似差動入力なし USB 端子なし) 改訂	
		116	4.1.4 汎用入出力ポート 削除	
		117	4.2.1 追加、4.2.4 改訂	
		119	4.2.11、4.2.13、4.2.16、4.2.17 追加	
		120	4.2.22、4.2.23、4.2.25 追加	
		121	4.2.26~4.2.28、4.2.30、4.2.31、4.2.33 追加	
		122	4.2.34、4.2.35 追加	
		123	4.2.39 表 4.1 FCU コマンドと FACI コマンドの仕様比較 改訂	
		124	5 参考ドキュメント 改訂	
		125	テクニカルアップデートの対応について 改訂	



Jul.30.20

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部 リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオン リセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子(または外部発振回路)を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子(または外部発振回路)を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS製品の入力がノイズなどに起因して、V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス(予約領域)のアクセス禁止

リザーブアドレス (予約領域) のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス (予約領域) があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

- 1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害(お客様または第三者いずれに生じた損害も含みます。以下同じです。)に関し、当社は、一切その責任を負いません。
- 2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、 著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではあ りません。
- 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
- 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準: コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等高品質水準:輸送機器(自動車、電車、船舶等)、交通制御(信号)、大規模通信機器、金融端末基幹システム、各種安全制御装置等当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム(生命維持装置、人体に埋め込み使用するもの等)、もしくは多大な物的損害を発生させるおそれのある機器・システム(宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等)に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

- 6. 当社製品をご使用の際は、最新の製品情報(データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等)をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
- 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
- 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
- 9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
- 10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
- 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
- 12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的 に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本計所在地

〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の 商標です。すべての商標および登録商標は、それぞれの所有者に帰属 します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/