

RX671 グループ RX62N/RX621 グループ

RX671 グループと RX62N グループの相違点

要旨

本アプリケーションノートは、主に RX671 グループ、RX62N グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートでは、特に記載のない箇所については、それぞれのマイコンの最大仕様として、RX671 グループの 145 ピンパッケージと RX62N グループの 176 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順等の仕様差分についてはユーザーズマニュアルをご確認ください。

動作確認デバイス

RX671 グループ、RX62N グループ

目次

1. RX671 グループと RX62N グループの搭載機能比較.....	4
2. 仕様の概要比較	6
2.1 CPU	6
2.2 動作モード.....	8
2.3 アドレス空間	9
2.4 リセット	12
2.5 オプション設定メモリ	13
2.6 電圧検出回路	15
2.7 クロック発生回路	17
2.8 消費電力低減機能	22
2.9 例外処理	26
2.10 割り込みコントローラ	27
2.11 バス	31
2.12 メモリプロテクションユニット	35
2.13 DMA コントローラ	36
2.14 EXDMA コントローラ	38
2.15 データトランスファコントローラ	42
2.16 I/O ポート	45
2.17 マルチファンクションタイマパルスユニット 2/3	49
2.18 ポートアウトプットイネーブル 2/3	62
2.19 プログラマブルパルスジェネレータ	66
2.20 8 ビットタイマ	70
2.21 コンペアマッチタイマ	71
2.22 リアルタイムクロック	72
2.23 ウォッチドッグタイマ	76
2.24 独立ウォッチドッグタイマ	78
2.25 USB2.0 ホスト/ファンクションモジュール	81
2.26 シリアルコミュニケーションインタフェース	85
2.27 I ² C バスインタフェース	90
2.28 CAN モジュール	93
2.29 シリアルペリフェラルインタフェース	95
2.30 CRC 演算器	98
2.31 バウンダリスキャン	100
2.32 12 ビット A/D コンバータ	101
2.33 RAM	107
2.34 フラッシュメモリ	108
2.35 パッケージ	113
3. 端子機能の比較	114
3.1 145 ピン TFLGA (RX671 : 0.65mm ピッチ)	114
3.2 145 ピン TFLGA (RX671 : 0.50mm ピッチ)	120
3.3 144 ピン LQFP/144 ピン LFQFP	126
3.4 100 ピン LQFP/100 ピン LFQFP パッケージ	132
4. 移行の際の留意点	137

4.1	端子設計の留意点	137
4.1.1	VCL 端子(外付け容量)	137
4.1.2	ブートモード (FINE インタフェース) への遷移	137
4.1.3	メインクロック発振器	137
4.1.4	外部クロックを入力する方法	137
4.1.5	USB 外部接続回路	137
4.2	機能設定の留意点	138
4.2.1	例外ベクタテーブル	138
4.2.2	レジスタ退避バンク内 RAM の自己診断に関する注意事項	138
4.2.3	オプション設定メモリ	138
4.2.4	フラッシュアクセスウィンドウ設定レジスタ (FAW)	138
4.2.5	ソフトウェアスタンバイモード	138
4.2.6	メインクロック発振停止検出機能の動作	139
4.2.7	RX671 グループ 48 ピンパッケージ製品に関する注意事項	139
4.2.8	VBATT 端子への注入電流	139
4.2.9	選択型割り込み	139
4.2.10	バスの優先順位	139
4.2.11	ウォッチドッグタイマ/独立ウォッチドッグタイマ	139
4.2.12	ポート方向レジスタ (PDR) の初期化	139
4.2.13	端子割り当て機能	140
4.2.14	カウンタ停止時の MTIOC 端子出力レベル	140
4.2.15	相補 PWM モード時の A/D 変換開始要求	140
4.2.16	ELC イベント入力の時タイマモードレジスタ設定の注意事項	140
4.2.17	MTU 端子非選択時のハイインピーダンス制御	140
4.2.18	I ² C バスインタフェースのノイズ除去	140
4.2.19	コンペア機能制約	141
4.2.20	セルフプログラミングでオプション設定メモリを変更する方法	141
4.2.21	フラッシュメモリのアクセスウェイト数の設定	141
4.2.22	ユーザブートモード	141
4.2.23	FCU RAM へのファームウェア転送	141
4.2.24	フラッシュメモリのコマンド使用方法	142
4.2.25	ROM キャッシュ	142
4.2.26	サブクロック発振器に関する注意事項	142
5.	参考ドキュメント	143
	改訂記録	145

1. RX671 グループと RX62N グループの搭載機能比較

RX671 グループと RX62N グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX62N/RX671 搭載機能比較を示します。

表 1.1 RX62N/RX671 搭載機能比較

機能名	RX62N	RX671
CPU	●	
動作モード	●/▲	
アドレス空間	▲	
リセット	●	
オプション設定メモリ (OFSM)	×	○
電圧検出回路 (LVD):RX62N、(LVDA):RX671	●	
クロック発生回路	●	
クロック周波数精度測定回路 (CAC)	×	○
消費電力低減機能	●	
バッテリバックアップ機能 (VBATTB)	×	○
レジスタライトプロテクション機能	×	○
例外処理	●/▲	
割り込みコントローラ (ICUa): RX62N、(ICUE): RX671	●	
バス	●/▲	
メモリプロテクションユニット (MPU)	▲	
DMA コントローラ (DMACA): RX62N、(DMACAb): RX671	●	
EXDMA コントローラ (EXDMAC):RX62N、(EXDMACa):RX671	●	
データトランスファコントローラ (DTCa): RX62N、(DTCb): RX671	●	
イベントリンクコントローラ (ELC)	×	○
I/O ポート	●/■	
マルチファンクションピンコントローラ (MPC)	×	○
マルチファンクションタイマパルスユニット 2 (MTU2):RX62N マルチファンクションタイマパルスユニット 3 (MTU3a):RX671	●	
ポートアウトプットイネーブル 2 (POE2):RX62N ポートアウトプットイネーブル 3 (POE3a):RX671	●	
16 ビットタイマパルスユニット (TPUa)	×	○
プログラマブルパルスジェネレータ (PPG)	●	
8 ビットタイマ (TMR):RX62N、(TMRb):RX671	●	
コンペアマッチタイマ (CMT)	●	
コンペアマッチタイマ W (CMTW)	×	○
リアルタイムクロック (RTC): RX62N、(RTCd): RX671	●	
ウォッチドッグタイマ (WDT):RX62N、(WDTA):RX671	●/■	
独立ウォッチドッグタイマ (IWDT):RX62N、(IWDTa):RX671	●	
イーサネットコントローラ (ETHERC)	○	×
イーサネットコントローラ用 DMA コントローラ (EDMAC)	○	×
USB2.0 ホスト/ファンクションモジュール (USB): RX62N USB2.0 FS ホスト/ファンクションモジュール (USBb): RX671	●	
シリアルコミュニケーションインタフェース (SC1a): RX62N シリアルコミュニケーションインタフェース (SC1k, SC1m, SC1h): RX671	●	
シリアルコミュニケーションインタフェース (RSCI)	×	○

機能名	RX62N	RX671
I²C バスインタフェース (RIIC): RX62N、(RIICa): RX671		●
ハイスピード I ² C バスインタフェース (RIICHs)	×	○
CAN モジュール (CAN)		●
シリアルペリフェラルインタフェース (RSPI): RX62N、(RSPIa): RX671		●
シリアルペリフェラルインタフェース (RSPIA)	×	○
クワッド SPI メモリインタフェース (QSPIX)	×	○
CRC 演算器 (CRC): RX62N、(CRCA): RX671		●
SD ホストインタフェース (SDHI)	×	○
シリアルサウンドインタフェース (SSIE)	×	○
リモコン信号受信機能 (REMCa)	×	○
静電容量式タッチセンサ (CTSUA)	×	○
バウンダリスキャン		▲
Trusted Secure IP (TSIP)	×	○
12 ビット A/D コンバータ (S12AD): RX62N、(S12ADFa): RX671		●
10 ビット A/D コンバータ (ADb)	○	×
D/A コンバータ	○	×
温度センサ	×	○
データ演算回路 (DOCA)	×	○
RAM		●
スタンバイ RAM	×	○
フラッシュメモリ		●/▲
パッケージ		●/▲/■

○: 機能搭載、×: 機能未搭載、●: 機能追加による差分あり、▲: 機能変更による差分あり

■: 機能削除による差分あり

2. 仕様の概要比較

以下に概要の比較、レジスタの比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は**赤字**にしています。

レジスタの比較では、両方のグループに存在するが相違点がある項目は**赤字**に、いずれかのグループにしか存在しない項目は**黒字**でレジスタ名のみ記載しています。レジスタ仕様に相違点がない項目は記載していません。

2.1 CPU

表 2.1 に CPU の概要比較を、表 2.2 に CPU のレジスタ比較を示します。

表 2.1 CPU の概要比較

項目	RX62N	RX671
中央演算処理装置	- 最大動作周波数：100MHz 32 ビット RX CPU - 最小命令実行時間：1 命令 1 クロック - アドレス空間： 4G バイト・リニアアドレス - レジスタ 汎用レジスタ：32 ビット×16 本 制御レジスタ：32 ビット×9 本 アキュムレータ：64 ビット×1 本 - 基本命令：73 種類 - 浮動小数点演算命令：8 種類 - DSP 機能命令：9 種類 - アドレッシングモード：10 種類 - データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット×32 ビット→64 ビット - 除算器： 32 ビット÷32 ビット→32 ビット - パレルシフタ：32 ビット - メモリプロテクションユニット(MPU)	- 最大動作周波数：120MHz 32 ビット RX CPU(RXv3) - 最小命令実行時間：1 命令 1 クロック - アドレス空間： 4G バイト・リニアアドレス - レジスタ 汎用レジスタ：32 ビット×16 本 制御レジスタ：32 ビット×10 本 アキュムレータ：72 ビット×2 本 - 基本命令：77 種類 - 浮動小数点演算命令：11 種類 - DSP 機能命令：23 種類 レジスター括退避機能命令：2 命令 - アドレッシングモード：11 種類 - データ配置 命令：リトルエンディアン データ：リトルエンディアン/ ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット×32 ビット→64 ビット - 除算器： 32 ビット÷32 ビット→32 ビット - パレルシフタ：32 ビット - メモリプロテクションユニット(MPU)
FPU	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外
倍精度浮動小数点コプロセッサ	-	倍精度浮動小数点レジスタセット —倍精度浮動小数点データレジスタ：64 ビット×16 本 —倍精度浮動小数点制御レジスタ：32 ビット×4 本 倍精度浮動小数点処理命令：21 種類 倍精度浮動小数点例外の割り込みコントローラへの通知機能

項目	RX62N	RX671
レジスタ括退避機能	-	- CPU レジスタの退避・復帰を一括して高速に行う 16 個のレジスタ退避バンクを搭載

表 2.2 CPU のレジスタ比較

レジスタ	ビット	RX62N	RX671
EXTB	-	-	例外テーブルレジスタ
ACC(RX62N) ACC0、ACC1 (RX671)	-	アキュムレータ	アキュムレータ 0、 アキュムレータ 1
DR0~DR15	-	-	倍精度浮動小数点データレジスタ
DPSW	-	-	倍精度浮動小数点ステータスワード
DCMR	-	-	倍精度浮動小数点比較結果レジスタ
DECNT	-	-	倍精度浮動小数点例外処理動作制御レジスタ
DEPC	-	-	倍精度浮動小数点例外プログラムカウンタ

2.2 動作モード

表 2.3 に動作モードの概要比較を、表 2.4 に動作モードのレジスタ比較を示します。

表 2.3 動作モードの概要比較

項目	RX62N	RX671
モード設定端子による 動作モードの選択	シングルチップモード	シングルチップモード
	ブートモード	ブートモード (SCI インタフェース)
	USB (ユーザ) ブートモード	ブートモード (USB インタフェース)
	-	ブートモード (FINE インタフェース)
レジスタによる動作モードの選択	シングルチップモード	シングルチップモード
	内蔵 ROM 無効拡張モード	内蔵 ROM 無効拡張モード
	内蔵 ROM 有効拡張モード	内蔵 ROM 有効拡張モード
エンディアンの選択	MDE 端子	MDE レジスタ

表 2.4 動作モードのレジスタ比較

レジスタ	ビット	RX62N	RX671
MDMONR	MD0	MD0 端子ステータスフラグ	-
	MD1	MD1 端子ステータスフラグ	-
	MDE	MDE 端子ステータスフラグ (b7)	MD 端子ステータスフラグ (b0)
MDSR	-	モードステータスレジスタ	-
SYSCR1	-	システムコントロールレジスタ 1	システムコントロールレジスタ 1
	-	リセット後の初期値が異なります	
	SBYRAME	-	スタンバイ RAM 有効ビット

2.3 アドレス空間

図 2.1 にシングルチップモードのメモリマップ比較を、図 2.2 に内蔵 ROM 有効拡張モードのメモリマップ比較を、図 2.3 に内蔵 ROM 無効拡張モードのメモリマップ比較を示します。

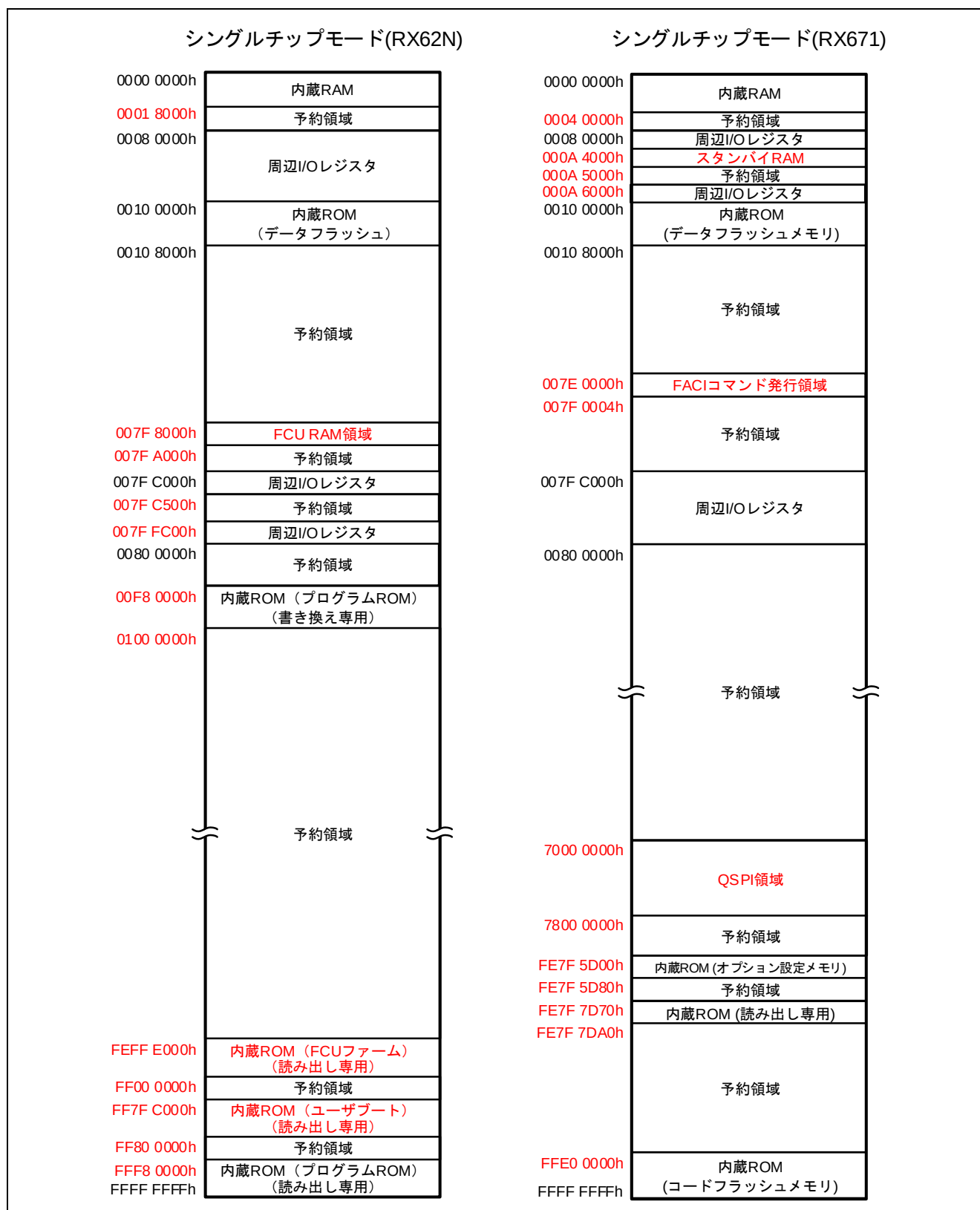


図 2.1 シングルチップモードのメモリマップ比較

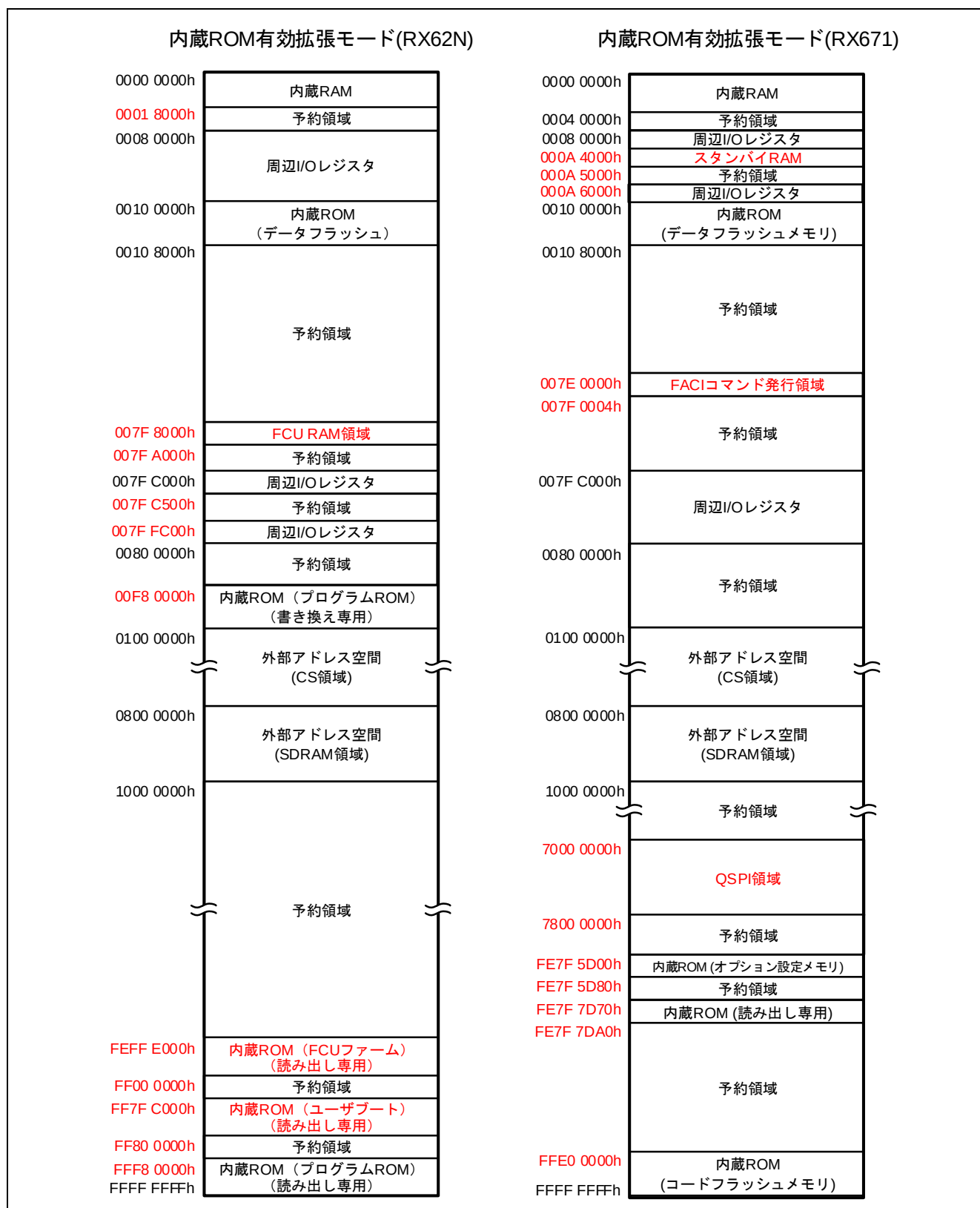


図 2.2 内蔵 ROM 有効拡張モードのメモリマップ比較

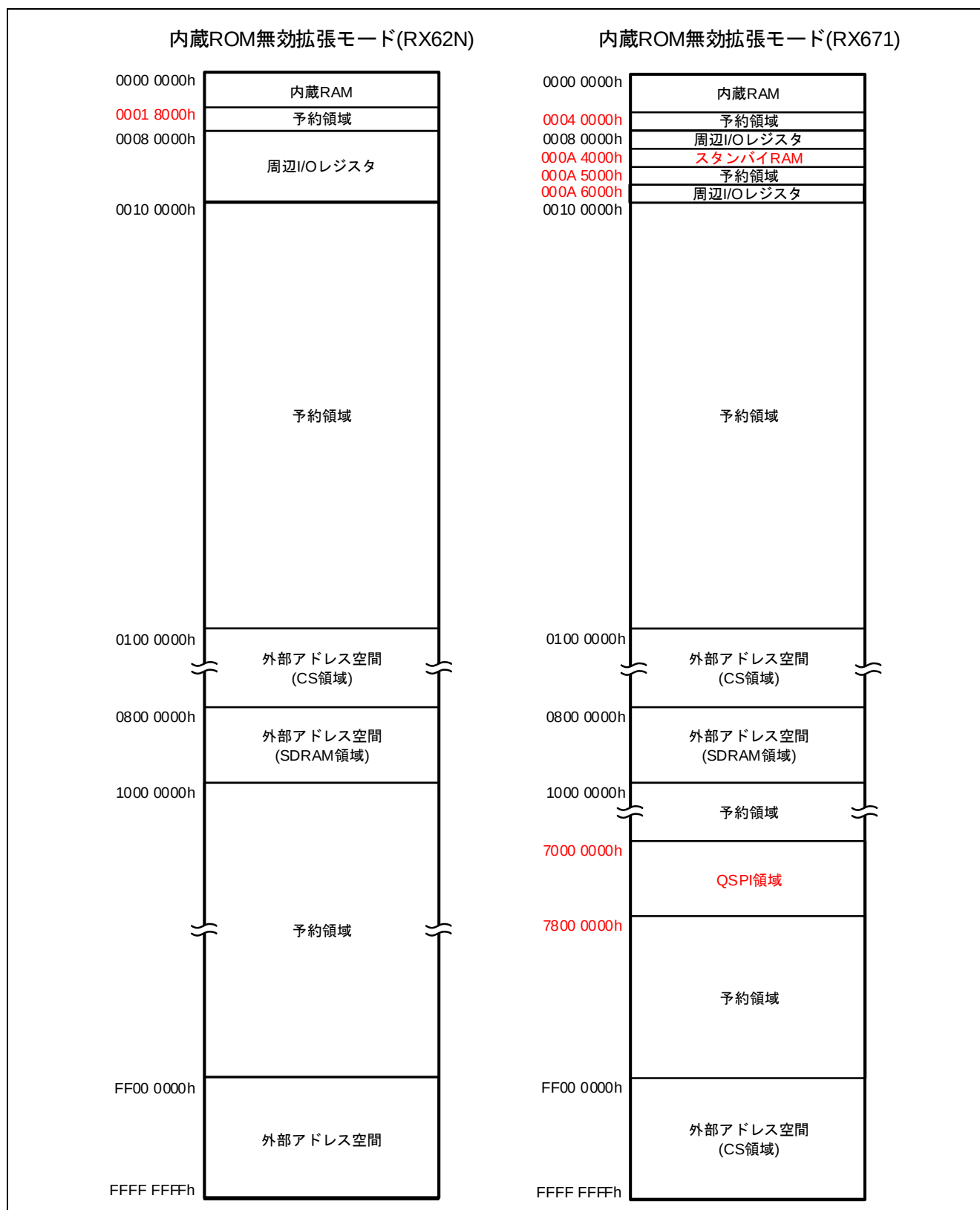


図 2.3 内蔵 ROM 無効拡張モードのメモリマップ比較

2.4 リセット

表 2.5 にリセットの概要比較を、表 2.6 にリセットのレジスタ比較を示します。

表 2.5 リセットの概要比較

項目	RX62N	RX671
RES#端子リセット	RES#端子の入力電圧が Low	RES#端子の入力電圧が Low
パワーオンリセット	VCC の上昇(監視電圧 : V _{POR})	VCC の上昇(監視電圧 : V _{POR})
電圧監視 0 リセット	-	VCC の下降(監視電圧 : V _{det0})
電圧監視 1 リセット	VCC の下降(監視電圧 : V _{det1})	VCC の下降(監視電圧 : V _{det1})
電圧監視 2 リセット	VCC の下降(監視電圧 : V _{det2})	VCC の下降(監視電圧 : V _{det2})
ディープソフトウェア スタンバイリセット	割り込みによるディープソフトウェア スタンバイモードの解除	割り込みによるディープソフトウェア スタンバイモードの解除
独立ウォッチドッグタイマ リセット	独立ウォッチドッグタイマの アンダフロー	独立ウォッチドッグタイマのアンダ フローまたはリフレッシュエラー
ウォッチドッグタイマ リセット	ウォッチドッグタイマの オーバフロー	ウォッチドッグタイマのアンダフ ローまたはリフレッシュエラー
ソフトウェアリセット	-	レジスタ設定

表 2.6 リセットのレジスタ比較

レジスタ	ビット	RX62N	RX671
RSTSR(RX62N) (注 1) RSTSR0(RX671)	LVD0RF	-	電圧監視 0 リセット検出フラグ
	LVD1F	LVD1 検知フラグ (b1)	LVD1 検知フラグ (b2)
	LVD2F	LVD2 検知フラグ (b2)	LVD2 検知フラグ (b3)
RSTCSR (注 1)	-	リセットコントロール/ ステータスレジスタ	-
IWDTSR (注 1)	-	IWDTSR ステータスレジスタ	-
RSTSR1	-	-	リセットステータスレジスタ 1
RSTSR2	-	-	リセットステータスレジスタ 2
SWRR	-	-	ソフトウェアリセットレジスタ

注 1. RX62N グループの RSTSR は、ユーザズマニュアル ハードウェア編「消費電力低減機能」章に、RSTCSR は「ウォッチドッグタイマ」章に、IWDTSR は「独立ウォッチドッグタイマ」章に記載されています。

2.5 オプション設定メモリ

図 2.4 にオプション設定メモリ領域比較を、表 2.7 にオプション設定メモリのレジスタ比較を示します。

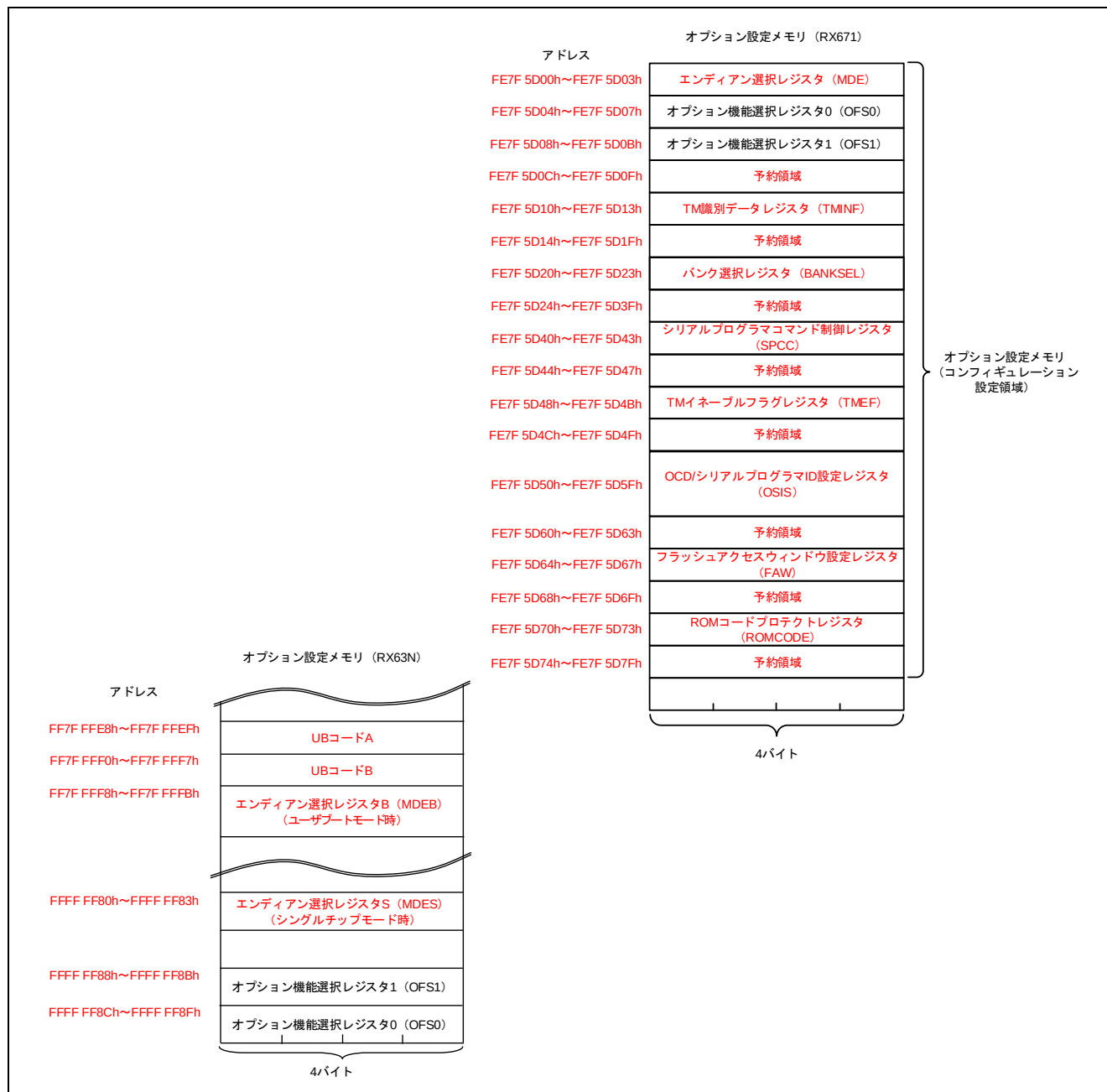


図 2.4 オプション設定メモリ領域比較

表 2.7 オプション設定メモリのレジスタ比較

レジスタ	ビット	RX62N	RX671(OFSM)
SPCC	-	-	シリアルプログラマコマンド制御レジスタ
OSIS	-	-	OCD/シリアルプログラム ID 設定レジスタ
OFS0	IWDTRSTIRQS	IWDT リセット割り込み要求選択ビット 0 : ノンマスクابل割り込み要求を許可 1 : リセットを許可	IWDT リセット割り込み要求選択ビット 0 : ノンマスクابل割り込み要求、 または割り込み要求を許可 1 : リセットを許可
	WDTRSTIRQS	WDT リセット割り込み要求選択ビット 0 : ノンマスクابل割り込み要求を許可 1 : リセットを許可	WDT リセット割り込み要求選択ビット 0 : ノンマスクابل割り込み要求、 または割り込み要求を許可 1 : リセットを許可
OFS1	VDSEL[1:0]	-	電圧検出 0 レベル選択ビット
MDEB	-	エンディアン選択レジスタ B	-
MDES	-	エンディアン選択レジスタ S	-
MDE	-	-	エンディアン選択レジスタ
TMEF	-	-	TM イネーブルフラグレジスタ
TMINF	-	-	TM 識別データレジスタ
BANKSEL	-	-	バンク選択レジスタ
FAW	-	-	フラッシュアクセスウィンドウ設定レジスタ
ROMCODE	-	-	ROM コードプロテクトレジスタ

2.6 電圧検出回路

表 2.8 に電圧検出回路の概要比較を、表 2.9 に電圧検出回路のレジスタ比較を示します。

表 2.8 電圧検出回路の概要比較

項目		RX62N(LVD)		RX671(LVDA)		
		電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet1 を通過した場合	下降して Vdet2 を通過した場合	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	1 レベルのみ	1 レベルのみ	OFS1.VDSEL [1:0]ビットで 3 レベルから選択可能	LVDLVLRL.VLD1LV L[3:0]ビットで 3 レベルから選択可能	LVDLVLRL.VLD2LV L[3:0]ビットで 3 レベルから選択可能
	モニタフラグ	-	-	-	LVD1SR.LVD1MON フラグ: Vdet1 より高いか低いかをモニタ	LVD2SR.LVD2MON フラグ: Vdet2 より高いか低いかをモニタ
		RSTSR.LVD1F フラグ: Vdet1 通過検出	RSTSR.LVD2F フラグ: Vdet2 通過検出		LVD1SR.LVD1DET フラグ: Vdet1 通過検出	LVD2SR.LVD2DET フラグ: Vdet2 通過検出
電圧検出時の処理	リセット	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet1 > VCC でリセット: VCC > Vdet1 の一定時間後に CPU 動作再開	Vdet2 > VCC でリセット: VCC > Vdet2 の一定時間後に CPU 動作再開	Vdet0 > VCC でリセット: VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット: VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット: VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	電圧監視 1 割り込み	電圧監視 2 割り込み	-	電圧監視 1 割り込み	電圧監視 2 割り込み
		ノンマスクابل割り込み	ノンマスクابل割り込み		ノンマスクابل割り込み、または割り込みを選択可能	ノンマスクابل割り込み、または割り込みを選択可能
		Vdet1 > VCC で割り込み要求	Vdet2 > VCC で割り込み要求		Vdet1 > VCC, VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC, VCC > Vdet2 の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	-	-	-	あり	あり
	サンプリング時間	-	-	-	LOCO の n 分周 × 2 (n: 2, 4, 8, 16)	LOCO の n 分周 × 2 (n: 2, 4, 8, 16)
イベントリンク機能		-	-	-	あり: Vdet 通過検出イベント出力	あり: Vdet 通過検出イベント出力

表 2.9 電圧検出回路のレジスタ比較

レジスタ	ビット	RX62N(LVD)	RX671(LVDA)
LVDKEYR	-	低電圧検出コントロールレジスタ用 キーコードレジスタ	-
LVDCR	-	低電圧検出コントロールレジスタ	-
LVD1CR1	-	-	電圧監視 1 回路制御レジスタ 1
LVD1SR	-	-	電圧監視 1 回路ステータスレジスタ
LVD2CR1	-	-	電圧監視 2 回路制御レジスタ 1
LVD2SR	-	-	電圧監視 2 回路ステータスレジスタ
LVCMPCR	-	-	電圧監視回路制御レジスタ
LVDLVLR	-	-	電圧検出レベル選択レジスタ
LVD1CR0	-	-	電圧監視 1 回路制御レジスタ 0
LVD2CR0	-	-	電圧監視 2 回路制御レジスタ 0

2.7 クロック発生回路

表 2.10 にクロック発生回路の概要比較を、表 2.11 にクロック発生回路のレジスタ比較を示します。

表 2.10 クロック発生回路の概要比較

項目	RX62N	RX671
用途	- CPU、DTC、DMACA、ETHERC、EDMAC、ROM および RAM に供給されるシステムクロック (ICLK) の生成 - 周辺モジュールに供給される周辺モジュールクロック (PCLK) の生成 - 外部バスに供給される外部バスクロック (BCLK) の生成 - SDRAM に供給される SDRAM クロック (SDCLK) の生成 - USB に供給される USB 専用クロック (UCLK) の生成 - RTC に供給される RTC 専用クロック (SUBCLK) の生成 - IWDT に供給されるオンチップオシレータクロック (IWDTCLK) の生成	- CPU, DMAC, DTC, QSPIX, コードフラッシュメモリおよび RAM に供給されるシステムクロック (ICLK) の生成 RSPI, RSPIA, SCIm, RSCI, MTU, RIICHS に供給される周辺モジュールクロック (PCLKA) の生成 - 周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 - S12ADC に供給される周辺モジュール (アナログ変換用) クロック (PCLKC: ユニット 0, PCLKD: ユニット 1) の生成 FlashIF に供給される FlashIF クロック (FCLK) の生成 - 外部バスに供給される外部バスクロック (BCLK) の生成 - SDRAM に供給される外部バスクロック (SDCLK) の生成 - USB に供給される USB クロック (UCLK) の生成 CAC に供給される CAC クロック (CACCLK) の生成 CAN に供給される CAN クロック (CANMCLK) の生成 - RTC に供給される RTC サブクロック (RTCSCLK) の生成 RTC に供給される RTC メインクロック (RTCMCLK) の生成 REMC に供給される REMC サブクロック (REMCSCLK) の生成 VBATT に供給される VBATT クロック (VBATCLK) の生成 - IWDT に供給される IWDT 専用クロック (IWDTCLK) の生成 JTAG に供給される JTAG クロック (JTAGTCK) の生成
動作周波数	- ICLK : 8MHz~100MHz - PCLK : 8MHz~50MHz	- ICLK:120MHz (max) - PCLKA:120MHz (max) - PCLKB:60MHz (max) - PCLKC:60MHz (max) - PCLKD:60MHz (max) FCLK: —4MHz~60MHz (コードフラッシュメモリ、データフラッシュメモリ P/E 時) —60MHz (max) (データフラッシュメモリ読み出し時)

項目	RX62N	RX671
動作周波数	- BCLK : 8MHz~100MHz - BCLK 端子出力 : 8MHz~50MHz - SDCLK : 8MHz~50MHz - SDCLK 端子出力 : 8MHz~50MHz - UCLK : 48MHz (EXTAL=12MHz 時のみ) - SUBCLK : 32.768kHz - IWDTCLK : 125kHz (Typ.) - クロック周波数設定制限 : ICLK$\geq$PCLK、ICLK$\geq$BCLK を維持	- BCLK:120MHz (max) - BCLK 端子出力:60MHz (max) - SDCLK 端子出力:60MHz (max) - UCLK:48MHz (max) - CLKOUT 端子出力 : 40MHz (max) - CACCLK:各発振器のクロックと同じ - CANMCLK:24MHz (max) - RTCSCLK:32.768kHz - RTCMCLK:1kHz~16MHz - REMSCLK : 32.768kHz - VBATCLK : 32.768kHz - IWDTCLK:120kHz - JTAGTCK:10MHz (max)
メインクロック 発振器	- 発振子周波数:8MHz~14MHz - 接続できる発振子または付加回路: 水晶振動子 - 接続端子:EXTAL、XTAL - メインクロック発振器の発振停止検出時、 内部発振に切り替える機能、MTU の端子を ハイインピーダンスにする機能	- 発振子周波数:8MHz~24MHz - 外部クロック入力周波数:24MHz (max) - 接続できる発振子または付加回路: セラミック共振子、水晶振動子 - 接続端子:EXTAL、XTAL - 発振停止検出機能:メインクロックの発振停 止検出時、LOCO に切り替える機能、MTU 端子をハイインピーダンスにする機能
サブクロック 発振器	- 発振子周波数:32.768kHz - 接続できる発振子または付加回路: 水晶振動子 - 接続端子:XCIN, XCOUT	- 発振子周波数:32.768kHz - 接続できる発振子または付加回路: 水晶振動子 - 接続端子:XCIN, XCOUT
PLL 周波数 シンセサイザ	- 入力クロックソース:メインクロック - 発振子周波数:8MHz~14MHz - 通倍比:8 通倍 - PLL 周波数シンセサイザ出力クロック周波 数:64MHz~112MHz	- 入力クロックソース: メインクロック、HOCO - 入力分周比:1, 2, 3 分周から選択可能 - 入力周波数:8MHz~24MHz - 通倍比:10~30 通倍から選択可能 - PLL 周波数シンセサイザ出力クロック周波 数:120MHz~240MHz
高速オンチップ オシレータ (HOCO)	-	- 発振周波数:16MHz, 18MHz, 20MHz から選 択可能 HOCO 電源制御 FLL 機能 ユーザトリミングあり
低速オンチップ オシレータ (LOCO)	-	発振周波数: 240kHz
IWDT 専用 オンチップ オシレータ	発振周波数:125kHz	発振周波数: 120kHz
JTAG 用外部 クロック入力 (TCK)	-	入力クロック周波数:10MHz (max)

項目	RX62N	RX671
BCLK 端子の出力制御機能	• BCLK クロック出力または High 出力の選択が可能 • 出力するクロックは BCLK または BCLK の 2 分周の選択が可能 (BCLK が EXTAL×1 を選択している場合、BCLK の 2 分周の選択は無効)	• BCLK クロック出力または High 出力の選択が可能 • 出力するクロックは BCLK または BCLK の 2 分周の選択が可能
SDCLK 端子の出力制御機能	SDCLK 出力または High 出力の選択が可能	SDCLK クロック出力または High 出力の選択が可能
イベントリンク機能(出力)	-	メインクロック発振器の発振停止検出
イベントリンク機能(入力)	-	低速オンチップオシレータへのクロックソース切り替え

表 2.11 クロック発生回路のレジスタ比較

レジスタ	ビット	RX62N	RX671
SCKCR	-	システムクロックコントロール レジスタ	システムクロックコントロール レジスタ
		リセット後の初期値が異なります	
SCKCR	PCKD[3:0]	-	周辺モジュールクロック D(PCLKD) 選択ビット
	PCKC[3:0]	-	周辺モジュールクロック C(PCLKC) 選択ビット
	PCK[3:0] (RX62N) PCKB[3:0] (RX671)	周辺モジュールクロック選択ビット	周辺モジュールクロック B (PCLKB) 選択ビット
	PCKA[3:0]	-	周辺モジュールクロック A (PCLKA) 選択ビット
	BCK[3:0]	外部バスクロック、 SDRAM クロック選択ビット b19 b16 0000: ×8 0001: ×4 0010: ×2 0011: ×1 上記以外は設定しないでください。	外部バスクロック(BCLK)選択ビット b19 b16 0000: 1 分周 0001: 2 分周 0010: 4 分周 0011: 8 分周 0100: 16 分周 0101: 32 分周 0110: 64 分周 上記以外は設定しないでください
	ICK[3:0]	システムクロック選択ビット b27 b24 0000: ×8 0001: ×4 0010: ×2 0011: ×1 上記以外は設定しないでください。	システムクロック(ICLK)選択ビット b27 b24 0000: 1 分周 0001: 2 分周 0010: 4 分周 0011: 8 分周 0100: 16 分周 0101: 32 分周 0110: 64 分周 上記以外は設定しないでください
	FCK[3:0]	-	FlashIF クロック(FCLK)選択ビット
ROMWT	-	-	ROM ウェイトサイクル設定 レジスタ
SCKCR2	-	-	システムクロックコントロール レジスタ 2
SCKCR3	-	-	システムクロックコントロール レジスタ 3
PLLCR	-	-	PLL コントロールレジスタ
PLLCR2	-	-	PLL コントロールレジスタ 2
MOSCCR	-	-	メインクロック発振器コントロール レジスタ
LOCOCR	-	-	低速オンチップオシレータ コントロールレジスタ
ILOCOCR	-	-	IWDT 専用オンチップオシレータ コントロールレジスタ
HOCOCR	-	-	高速オンチップオシレータ コントロールレジスタ

レジスタ	ビット	RX62N	RX671
HOCOCR2	-	-	高速オンチップオシレータ コントロールレジスタ 2
OSCOVFSR	-	-	発振安定フラグレジスタ
OSTDCR	OSTDIE	-	発振停止検出割り込み許可ビット
	OSTDF	発振停止検出フラグ	-
	KEY[7:0]	OSTDCR キーコード	-
SUBOSCCR (RX62N) SOSCCR (RX671)	SUBSTOP(RX62N) SOSTP(RX671)	サブクロック発振器制御ビット	サブクロック発振器停止ビット
OSTDSR	-	-	発振停止検出ステータスレジスタ
MOSCWTCR	-	-	メインクロック発振器 ウェイトコントロールレジスタ
SOSCWTCR	-	-	サブクロック発振器 ウェイトコントロールレジスタ
MOFCR	-	-	メインクロック発振器 強制発振コントロールレジスタ
HOCOPCR	-	-	高速オンチップオシレータ 電源コントロールレジスタ
CKOCR	-	-	CLKOUT 出力コントロール レジスタ
SOSCCR2	-	-	サブクロック発振器コントロール レジスタ 2
BKSCCR	-	-	バックアップ領域サブクロック 制御レジスタ
FLLCR1	-	-	FLL コントロールレジスタ 1
FLLCR2	-	-	FLL コントロールレジスタ 2
HOCOTRRn	-	-	高速オンチップオシレータ トリミングレジスタ n (n = 0~2)

2.8 消費電力低減機能

表 2.12 に消費電力低減機能の概要比較を、表 2.13 に消費電力低減機能のレジスタ比較を示します。

表 2.12 消費電力低減機能の概要比較

項目	RX62N	RX671
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLK)、外部バスクロック (BCLK) に対し、個別に分周比を設定することが可能	システムクロック (ICLK)、周辺モジュールクロック (PCLK _A , PCLK _B , PCLK _C , PCLK _D)、外部バスクロック (BCLK)、 フラッシュインタフェースクロック (FCLK) に対し、個別に分周比を設定することが可能
BCLK 出力制御機能	BCLK 出力または High 出力の選択が可能	BCLK 出力または High 出力の選択が可能
SDCLK 出力制御機能	SDCLK 出力または High 出力の選択が可能	SDCLK 出力または High 出力の選択が可能
モジュールストップ機能	周辺モジュールごとに機能を停止することが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード - 全モジュールクロックストップモード - ソフトウェアスタンバイモード - ディープソフトウェアスタンバイモード	- スリープモード - 全モジュールクロックストップモード - ソフトウェアスタンバイモード - ディープソフトウェアスタンバイモード
動作電力低減機能	-	動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 動作電力制御状態:3 種類 - 高速動作モード - 低速動作モード 1 - 低速動作モード 2 低速動作モード 1 と低速動作モード 2 において、同条件（周波数・電圧）に設定した場合、消費電力に差はありません。

表 2.13 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX62N	RX671
SBYCR	-	スタンバイコントロールレジスタ リセット後の初期値が異なります	スタンバイコントロールレジスタ
	STS[4:0]	スタンバイタイム選択ビット	-
MSTPCRA	-	モジュールストップコントロール レジスタ A リセット後の初期値が異なります	モジュールストップコントロール レジスタ A
	MSTPA0	-	コンペアマッチタイマ W(ユニット 1) モジュールストップ設定ビット
	MSTPA1	-	コンペアマッチタイマ W(ユニット 0) モジュールストップ設定ビット
	MSTPA8	マルチファンクションタイマパルスユ ニット (ユニット 1) モジュールストップ設定ビット	-
	MSTPA9	マルチファンクションタイマパルスユ ニット (ユニット 0) モジュールストップ設定ビット 対象モジュール : MTU ユニット 0	マルチファンクションタイマパルス ユニット 3 モジュールストップ設定 ビット 対象モジュール : MTU
	MSTPA13	-	16 ビットタイマパルスユニット 0 (ユニット 0) モジュールストップ設定ビット
	MSTPA16	-	12 ビット A/D コンバータ(ユニット 1) モジュールストップ設定ビット
	MSTPA19	D/A コンバータ モジュールストップ設定ビット	-
	MSTPA22	10 ビット A/D コンバータ (ユニット 1) モジュールストップ設定ビット	-
	MSTPA23	10 ビット A/D コンバータ (ユニット 0) モジュールストップ設定ビット	-
	MSTPA24	-	モジュールストップ A24 設定ビット
	MSTPA27	-	モジュールストップ A27 設定ビット
MSTPCRB	MSTPB1	-	CAN モジュール 1 モジュールストップ設定ビット
	MSTPB2	CAN モジュール 2 モジュールストップ設定ビット	-
	MSTPB4	-	シリアルコミュニケーション インタフェース SCIh モジュールストップ設定ビット
	MSTPB6	-	データ演算回路 モジュールストップ設定ビット
	MSTPB8	-	温度センサ モジュールストップ設定ビット
	MSTPB9	-	イベントリンクコントローラ モジュールストップ設定ビット
	MSTPB15	イーサネットコントローラ用 DMA コ ントローラ モジュールストップ設定ビット	-
	MSTPB24	-	シリアルコミュニケーションインタ フェース 7 モジュールストップ設定ビット

レジスタ	ビット	RX62N	RX671
MSTPCRB	MSTPB27	-	シリアルコミュニケーションインタフェース 4 モジュールストップ設定ビット
MSTPCRC	MSTPC1	RAM1 モジュールストップ設定ビット	-
	MSTPC7	-	スタンバイ RAM モジュールストップ設定ビット
	MSTPC17	-	I ² C バスインタフェース 2 モジュールストップ設定ビット
	MSTPC19	-	CAC モジュールストップ設定ビット
	MSTPC22	-	シリアルペリフェラルインタフェース 2 モジュールストップ設定ビット
	MSTPC24	-	シリアルコミュニケーション インタフェース 11 モジュールストップ設定ビット
	MSTPC25	-	シリアルコミュニケーション インタフェース 10 モジュールストップ設定ビット
	MSTPC26	-	シリアルコミュニケーション インタフェース 9 モジュールストップ設定ビット
	MSTPC27	-	シリアルコミュニケーション インタフェース 8 モジュールストップ設定ビット
MSTPCRD	-	-	モジュールストップコントロール レジスタ D
OPCCR	-	-	動作電力コントロールレジスタ
RSTCKCR	-	-	スリープモード復帰クロックソース 切り替えレジスタ
DPSBYCR	-	ディープスタンバイコントロール レジスタ	ディープスタンバイコントロール レジスタ
		リセット後の初期値が異なります	
	RAMCUT0	内蔵 RAM オフ 0 ビット	-
	RAMCUT1	内蔵 RAM オフ 1 ビット	-
	RAMCUT2	内蔵 RAM オフ 2 ビット	-
	DEEPCUT[1:0]	-	ディープカットビット
DPSWCR	-	ディープスタンバイウェイト コントロールレジスタ	-
DPSIER	-	ディープスタンバイインタラプト イネーブルレジスタ	-
DPSIER0	-	-	ディープスタンバイインタラプト イネーブルレジスタ 0
DPSIER1	-	-	ディープスタンバイインタラプト イネーブルレジスタ 1
DPSIER2	-	-	ディープスタンバイインタラプト イネーブルレジスタ 2
DPSIER3	-	-	ディープスタンバイインタラプト イネーブルレジスタ 3
DPSIFR	-	ディープスタンバイインタラプト フラグレジスタ	-
DPSIFR0	-	-	ディープスタンバイインタラプト フラグレジスタ 0

レジスタ	ビット	RX62N	RX671
DPSIFR1	-	-	ディープスタンバイインタラプト フラグレジスタ 1
DPSIFR2	-	-	ディープスタンバイインタラプト フラグレジスタ 2
DPSIFR3	-	-	ディープスタンバイインタラプト フラグレジスタ 3
DPSIEGR	-	ディープスタンバイインタラプト エッジレジスタ	-
DPSIEGR0	-	-	ディープスタンバイインタラプト エッジレジスタ 0
DPSIEGR1	-	-	ディープスタンバイインタラプト エッジレジスタ 1
DPSIEGR2	-	-	ディープスタンバイインタラプト エッジレジスタ 2
DPSIEGR3	-	-	ディープスタンバイインタラプト エッジレジスタ 3
RSTSR	-	リセットステータスレジスタ	-
DPSBKRY	-	ディープスタンバイバックアップ レジスタ (y = 0~31)	-

2.9 例外処理

表 2.14 に例外処理の概要比較を、表 2.15 にベクタ比較を、表 2.16 に例外処理ルーチンからの復帰命令比較を示します。

表 2.14 例外処理の概要比較

項目	RX62N	RX671
例外事象	- 未定義命令例外 - 特権命令例外 - アクセス例外 - 浮動小数点例外 - リセット - ノンマスカブル割り込み - 割り込み - 無条件トラップ	- 未定義命令例外 - 特権命令例外 - アクセス例外 - アドレス例外 - 単精度浮動小数点例外 - リセット - ノンマスカブル割り込み - 割り込み - 無条件トラップ

表 2.15 ベクタ比較

項目	RX62N	RX671
未定義命令例外	固定ベクタテーブル	例外ベクタテーブル(EXTB)
特権命令例外	固定ベクタテーブル	例外ベクタテーブル(EXTB)
アクセス例外	固定ベクタテーブル	例外ベクタテーブル(EXTB)
浮動小数点例外(RX62N) 単精度浮動小数点例外(RX671)	固定ベクタテーブル	例外ベクタテーブル(EXTB)
リセット	固定ベクタテーブル	例外ベクタテーブル(EXTB)
ノンマスカブル割り込み	固定ベクタテーブル	例外ベクタテーブル(EXTB)
割り込み		
高速割り込み	FINTV	FINTV
高速割り込み以外	可変ベクタテーブル (INTB)	割り込みベクタテーブル(INTB)
無条件トラップ	可変ベクタテーブル (INTB)	割り込みベクタテーブル(INTB)

表 2.16 例外処理ルーチンからの復帰命令比較

項目	RX62N	RX671
未定義命令例外	RTE	RTE
特権命令例外	RTE	RTE
アクセス例外	RTE	RTE
アドレス例外	-	RTE
浮動小数点例外(RX62N) 単精度浮動小数点例外(RX671)	RTE	RTE
リセット	復帰不可能	復帰不可能
ノンマスカブル割り込み	禁止	禁止
割り込み		
高速割り込み	RTFI	RTFI
高速割り込み以外	RTE	RTE
無条件トラップ	RTE	RTE

2.10 割り込みコントローラ

表 2.17 に割り込みコントローラの概要比較を、表 2.18 に割り込みコントローラのレジスタ比較を示します。

表 2.17 割り込みコントローラの概要比較

項目		RX62N(ICUa)	RX671(ICUE)
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出: エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定	- 周辺モジュールからの割り込み - 割り込みの検出方法: エッジ検出またはレベル検出(割り込み要因ごとに検出方法は固定) - グループ割り込み: 複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 - グループ IE0 割り込み: ICLK を動作クロックとするコプロセッサの割り込み要因(エッジ検出) - グループ BE0 割り込み: PCLKB を動作クロックとする周辺モジュールの割り込み要因(エッジ検出) - グループ BL0/BL1/BL2 割り込み: PCLKB を動作クロックとする周辺モジュールの割り込み要因(レベル検出) - グループ AL0/AL1 割り込み: PCLKA を動作クロックとする周辺モジュールの割り込み要因(レベル検出) - 選択型割り込み B: 割り込みベクタ番号 128~207 に、PCLKB を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1つを割り当てることが可能 - 選択型割り込み A: 割り込みベクタ番号 208~255 に、PCLKA を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1つを割り当てることが可能
	外部端子割り込み	- IRQ0~IRQ15 端子からの割り込み - 要因数: 16 - 割り込み検出: Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能	- IRQi 端子(i = 0~15)への入力信号による割り込み - 割り込み検出: Low レベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 - デジタルフィルタを使用することにより、ノイズを除去することが可能
	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数: 1	- レジスタへの書き込みにより、割り込み要求を発生させることが可能 - 要因数: 2
	割り込み優先レベル	レジスタで優先順位を設定	割り込み要因プライオリティレジスタ(IPR)により優先レベルを設定

項目		RX62N(ICUa)	RX671(ICUE)
割り込み	高速割り込み機能	CPU の割り込み処理の高速化が可能。 1 要因にのみ設定	CPU の割り込み応答時間を短縮可能。 1 つの割り込み要因にのみ設定可能
	DTC、DMAC 制御	割り込み要因により DTC や DMAC を 起動可能	割り込み要因により DTC や DMAC の 起動が可能
	EXDMAC 制御	-	選択型割り込み B 要因選択レジスタ 144 または選択型割り込み A 要因選択 レジスタ 208 で選択した割り込みによ り EXDMAC0 の起動が可能。 選択型割り込み B 要因選択レジスタ 145 または選択型割り込み A 要因選択 レジスタ 209 で選択した割り込みによ り EXDMAC1 の起動が可能。
ノンマス カブル割 り込み	NMI 端子割り込み	NMI 端子からの割り込み —割り込み検出：立ち下がりエッジ/ 立ち上がりエッジ	NMI 端子への入力信号による割り 込み —割り込み検出:立ち下がりエッジま たは立ち上がりエッジ —デジタルフィルタを使用すること により、ノイズを除去することが 可能
	発振停止検出 割り込み	発振停止検出時の割り込み	メインクロック発振器の停止を検出し たときの割り込み
	WDT アンダフロー /リフレッシュエ ラー割り込み	-	ウォッチドッグタイマがアンダフロー したとき、またはリフレッシュエラ ーが発生したときの割り込み
	IWDT アンダフロー /リフレッシュエ ラー割り込み	-	独立ウォッチドッグタイマがアンダフ ローしたとき、またはリフレッシュエ ラーが発生したときの割り込み
	電圧監視割り込み	電源電圧低下検出時の割り込み	- 電圧検出 1 回路(LVD1)からの割り 込み - 電圧検出 2 回路(LVD2)からの割り 込み
	RAM エラー 割り込み	-	RAM のパリティエラーチェックを検出 したときの割り込み
	倍精度浮動小数点 例外	-	倍精度浮動小数点コプロセッサからの 例外
低消費電 力状態か らの復帰	スリープモード	ノンマスカブル割り込み、 全割り込み要因で復帰	すべての割り込み要因で復帰
	全モジュールクロッ クストップモード	ノンマスカブル割り込み、IRQ15～ IRQ0 割り込み、WDT 割り込み、TMR 割り込み、USB 割り込み(USBR)、 RTC アラーム割り込みで復帰	NMI 端子割り込み、外部端子割り込 み、周辺機能割り込み(電圧監視 1、電 圧監視 2、発振停止検出、USB0 レ ジューム、RTC アラーム、RTC 周 期、IWDT、VBATT タンパ検出、 REMC 割り込み、選択型割り込み 146 ～157)で復帰
	ソフトウェアスタン バイモード	ノンマスカブル割り込み、IRQ15～ IRQ0 割り込み、USB 割り込み (USBR)、RTC アラーム割り込みで復 帰	NMI 端子割り込み、外部端子割り込 み、周辺機能割り込み(電圧監視 1、電 圧監視 2、USB レジューム、RTC ア ラーム、RTC 周期、IWDT)で復帰
	ディープソフトウェ アスタンバイモード	-	NMI 端子割り込み、一部の外部端子割 り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、 RTC アラーム、RTC 周期)で復帰

表 2.18 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX62N(ICUa)	RX671(ICUE)
IRn (注1)	-	割り込み要求レジスタ n (n = 016~253)	割り込み要求レジスタ n (n = 016~255)
IPRn (注1)	-	割り込み要因プライオリティレジスタ n (n = 00h~8Fh)	割り込み要因プライオリティレジスタ n (n = 000~255)
SWINT2R	-	-	ソフトウェア割り込み 2 起動レジスタ
DTCERn (注1)	-	DTC 起動許可レジスタ n (n = 027~252)	DTC 転送要求許可レジスタ n (n = 026~255)
DMRSRm	-	DMAC 起動要因選択レジスタ (m = 0~3)	DMAC 起動要因選択レジスタ (m = 0~7)
IRQFLTE0	-	-	IRQ 端子デジタルフィルタ許可レジスタ 0
IRQFLTE1	-	-	IRQ 端子デジタルフィルタ許可レジスタ 1
IRQFLTC0	-	-	IRQ 端子デジタルフィルタ設定レジスタ 0
IRQFLTC1	-	-	IRQ 端子デジタルフィルタ設定レジスタ 1
NMISR	LVDST	電圧監視割り込みステータスフラグ	-
	OSTST	発振停止検出割り込みステータスフラグ (b2)	発振停止検出割り込みステータスフラグ (b1)
	WDTST	-	WDT アンダフロー / リフレッシュエラーステータスフラグ
	IWDTST	-	IWDT アンダフロー / リフレッシュエラーステータスフラグ
	LVD1ST	-	電圧監視 1 割り込みステータスフラグ
	LVD2ST	-	電圧監視 2 割り込みステータスフラグ
	EXNMIST	-	拡張ノンマスカブル割り込み ステータスフラグ
NMIER	LVDEN	電圧監視割り込み許可ビット	-
	OSTEN	発振停止検出割り込み許可ビット (b2)	発振停止検出割り込み許可ビット (b1)
	WDTEN	-	WDT アンダフロー / リフレッシュエラー許可ビット
	IWDTEN	-	IWDT アンダフロー / リフレッシュエラー許可ビット
	LVD1EN	-	電圧監視 1 割り込み許可ビット
	LVD2EN	-	電圧監視 2 割り込み許可ビット
	EXNMIEN	-	拡張ノンマスカブル割り込み許可ビット
NMICLR	OSTCLR	OST クリアビット (b2)	OST クリアビット (b1)
	WDTCLR	-	WDT クリアビット
	IWDTCLR	-	IWDT クリアビット
	LVD1CLR	-	LVD1 クリアビット
	LVD2CLR	-	LVD2 クリアビット
EXNMISR	-	-	拡張ノンマスカブル割り込み ステータスレジスタ
EXNMIER	-	-	拡張ノンマスカブル割り込み 許可レジスタ
EXNMICLR	-	-	拡張ノンマスカブル割り込み ステータスクリアレジスタ
NMIFLTE	-	-	NMI 端子デジタルフィルタ許可レジスタ
NMIFLTC	-	-	NMI 端子デジタルフィルタ設定レジスタ
GRPIE0	-	-	グループ IE0 割り込み要求レジスタ

レジスタ	ビット	RX62N(ICUa)	RX671(ICU ^E)
GRPBEO	-	-	グループ BE0 割り込み要求レジスタ
GRPBL0 GRPBL1	-	-	グループ BL0/BL1 割り込み要求レジスタ
GRPAL0 GRPAL1	-	-	グループ AL0/AL1 割り込み要求レジスタ
GENIE0	-	-	グループ IE0 割り込み要求許可レジスタ
GENBEO	-	-	グループ BE0 割り込み許可レジスタ
GENBL0 GENBL1	-	-	グループ BL0/BL1 割り込み許可レジスタ
GENAL0 GENAL1	-	-	グループ AL0/AL1 割り込み許可レジスタ
GCRIE0	-	-	グループ IE0 割り込みクリアレジスタ
GCRBEO	-	-	グループ BE0 割り込みクリアレジスタ
PIBRk	-	-	選択型割り込み B 要求レジスタ k (k=0h~Ch)
PIARk	-	-	選択型割り込み A 要求レジスタ k (k=0h~5h,Bh)
SLIBXRn	-	-	選択型割り込み B 要因選択レジスタ Xn (n = 128~143)
SLIBRn	-	-	選択型割り込み B 要因選択レジスタ n (n=144~207)
SLIARn	-	-	選択型割り込み A 要因選択レジスタ n (n=208~255)
SELEXDR	-	-	EXDMAC 起動割り込み選択レジスタ
SLIPRCR	-	-	選択型割り込み要因選択レジスタ 書き込み保護レジスタ

注 1. RX62N グループでは n=254, 255 は予約領域です。

2.11 バス

表 2.19 にバスの概要比較を、表 2.20 に外部バスの概要比較を、表 2.21 にバスのレジスタ比較を示します。

表 2.19 バスの概要比較

バスの種類		RX62N	RX671
CPU バス	命令バス	• CPU(命令)を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック(ICLK)に同期して動作	• CPU (命令)を接続 • 内蔵メモリを接続 (RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
	オペランドバス	• CPU(オペランド)を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック(ICLK)に同期して動作	• CPU (オペランド)を接続 • 内蔵メモリを接続 (RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	• 内蔵 RAM を接続	• RAM を接続
	メモリバス 2	• 内蔵 ROM を接続	• コードフラッシュメモリを接続
内部メインバス	内部メインバス 1	• CPU を接続 • システムクロック(ICLK)に同期して動作	• CPU を接続 • システムクロック(ICLK)に同期して動作
	内部メインバス 2	• DMACA、DTC、EDMAC を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック(ICLK)に同期して動作	• DTC、DMAC を接続 • 内蔵メモリを接続(RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	• 周辺機能(DMACA, EXDMAC, 割り込みコントローラ, バスエラー監視部)を接続 • システムクロック (ICLK) に同期して動作	• 周辺機能(DTC,DMAC,EXDMAC,割り込みコントローラ, バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作(EXDMAC は、BCLK に同期して動作)
	内部周辺バス 2	• 周辺機能(内部周辺バス 1、3、4、5 以外の周辺機能)を接続 • 周辺モジュールクロック (PCLK) に同期して動作	• 周辺機能(内部周辺バス 1,3,4,5 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 3	• 周辺機能 (USB) を接続 • 周辺モジュールクロック (PCLK) に同期して動作	• 周辺機能(USB、DOC、CTSU、REMC、スタンバイ RAM)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 4	• 周辺機能 (EDMAC、ETHERC) を接続 • システムクロック (ICLK) に同期して動作	• 周辺機能(MTU, SCIm, RSPI)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス 5	• 周辺機能を接続 • システムクロック (ICLK) に同期して動作	• 周辺機能(RSCI, RSPIA, RIICHS)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス 6	• 内蔵 ROM (P/E) /データフラッシュを接続 • 周辺モジュールクロック (PCLK) に同期して動作	• コードフラッシュメモリ(P/E 時)、データフラッシュメモリを接続 • FlashIF クロック(FCLK)に同期して動作

バスの種類		RX62N	RX671
外部バス	CS 領域	- 外部デバイスを接続 - 外部バスクロック(BCLK)に同期して動作	- 外部デバイスを接続 - 外部バスクロック(BCLK)に同期して動作
	SDRAM 領域	- SDRAM を接続 - SDRAM クロック(SDCLK)に同期して動作	- SDRAM を接続 - SDRAM クロック(SDCLK)に同期して動作
内部拡張バス	QSPI 領域	-	- 外部 SPI デバイスを接続 - システムクロック(ICLK)に同期して動作

表 2.20 外部バスの概要比較

項目	RX62N	RX671
外部アドレス空間	- 外部アドレス空間を 8 つのエリア CS 領域 (CS0~CS7) と SDRAM 領域 (SDCS) に分割して管理 - エリアごとにチップセレクトを出力可能 - エリアごとに 8 ビットバス空間/16 ビットバス空間/32 ビットバス空間を選択可能 - エリアごとにエンディアンを設定可能	- 外部アドレス空間を 8 つの CS 領域(CS0~CS7)と SDRAM 領域(SDCS)に分割して管理 - 領域ごとにチップセレクトを出力可能 - 領域ごとにバス幅を選択可能 —セパレートバス : 8 ビットバス空間/16 ビットバス空間を選択可能 —アドレス/データマルチプレクスバス : 8 ビットバス空間/16 ビットバス空間を選択可能 - 領域ごとにエンディアンを設定可能
CS 領域コントローラ	- リカバリサイクル挿入可能 —リードリカバリ最大 15 サイクル挿入 —ライトリカバリ最大 15 サイクル挿入 - サイクルウェイト機能 : 最大 31 サイクルウェイト(ページアクセス最大 7 サイクルウェイト) - ウェイト制御 —チップセレクト信号(CS0#~CS7#)のアサート/ネゲートタイミング設定可能 —リード信号(RD#)、ライト信号 (WR0#/WR#~WR3#)のアサートタイミング設定可能 —データ出力の開始/終了タイミング設定可能 - ライトアクセスモード : 1 ライトストロブモード/バイトストロブモード	- リカバリサイクル挿入可能 —リードリカバリ最大 15 サイクル挿入 —ライトリカバリ最大 15 サイクル挿入 - サイクルウェイト機能 : 最大 31 サイクルウェイト(ページアクセス最大 7 サイクルウェイト) - ウェイト制御 —チップセレクト信号(CS0#~CS7#)のアサート/ネゲートタイミング設定可能 —リード信号(RD#)、ライト信号 (WR0#/WR#, WR1#)のアサートタイミング設定可能 —データ出力の開始/終了タイミング設定可能 - ライトアクセスモード : 1 ライトストロブモード/バイトストロブモード - セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能
SDRAM 領域コントローラ	- ロウアドレス/カラムアドレスのマルチプレクス出力 (8 ビット/9 ビット/10 ビット/11 ビット) - オートリフレッシュとセルフリフレッシュを選択可能 - CAS レイテンシを 1~3 に設定可能	- ロウアドレス/カラムアドレスのマルチプレクス出力(8 ビット/9 ビット/10 ビット/11 ビット) - オートリフレッシュとセルフリフレッシュを選択可能 - CAS レイテンシを 1~3 に設定可能
ライトバッファ機能	バスマスタからの書き込みデータをライトバッファに書いた時点で、バスマスタ側のライトアクセスを終了	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	- CS エリアコントローラ (CSC) は、BCLK に同期して動作 - SDRAM エリアコントローラ (SDRAMC) は、SDCLK に同期して動作	- CS 領域コントローラ(CSC)は、BCLK に同期して動作 - SDRAM 領域コントローラ(SDRAMC) は、SDCLK に同期して動作

表 2.21 バスのレジスタ比較

レジスタ	ビット	RX62N	RX671
CSnCR (n = 0~7)	BSIZE[1:0]	外部バス幅選択ビット b5 b4 00 : 16 ビットバス空間に設定 01 : 32 ビットバス空間に設定 10 : 8 ビットバス空間に設定 11 : 設定しないでください	外部バス幅選択ビット b5 b4 00 : 16 ビットバス空間に設定 01 : 設定しないでください 10 : 8 ビットバス空間に設定 11 : 設定しないでください
	MPXEN	-	アドレス/データマルチプレクス I/O インタフェース選択ビット
CSRECEN	-	-	CS リカバリサイクル挿入許可レジスタ
CSnWCR1 (n = 0~7)	CSWAIT[4:0]	-	ノーマルライトサイクル ウェイト選択ビット
CSnWCR2 (n = 0~7)	AWAIT[1:0]	-	アドレスサイクル ウェイト選択ビット
SDCCR	BSIZE[1:0]	SDRAM バス幅選択ビット b5 b4 00 : 16 ビットバス空間に設定 01 : 32 ビットバス空間に設定 10 : 8 ビットバス空間に設定 11 : 設定しないでください	SDRAM バス幅選択ビット b5 b4 00 : 16 ビットバス空間に設定 01 : 設定しないでください 10 : 8 ビットバス空間に設定 11 : 設定しないでください
	MST[2:0]	バスマスタコードビット b6 b4 000 : CPU 001 : 設定しないでください 010 : 設定しないでください 011 : DTC/DMACA 100 : 設定しないでください 101 : 設定しないでください 110 : EDMAC 111 : EXDMAC	バスマスタコードビット b6 b4 000 : CPU 001 : 予約 010 : 予約 011 : DTC/DMAC 100 : 予約 101 : 予約 110 : 予約 111 : EXDMAC
BUSPRI	-	-	バスプライオリティ制御レジスタ

2.12 メモリプロテクションユニット

表 2.22 にメモリプロテクションユニットのレジスタ比較を示します。

表 2.22 メモリプロテクションユニットのレジスタ比較

レジスタ	ビット	RX62N(MPU)	RX671(MPU)
MPESTS	IA(RX62N) IMPER(RX671)	命令メモリプロテクションエラー 発生ビット	命令メモリプロテクションエラー 発生ビット
	DA(RX62N) DMPER(RX671)	データメモリプロテクションエラー 発生ビット	データメモリプロテクションエラー 発生ビット

2.13 DMA コントローラ

表 2.23 に DMA コントローラの概要比較を、表 2.24 に DMA コントローラレジスタ比較を示します。

表 2.23 DMA コントローラの概要比較

項目		RX62N(DMACA)	RX671(DMACAb)
チャンネル数		4 チャンネル(DMACm (m = 0~3))	8 チャンネル(DMACm(m = 0~7))
転送空間		512M バイト (00000000h~0FFFFFFFh と F0000000h~FFFFFFFh のうち予約 領域を除く領域)	4G バイト (00000000h~FFFFFFFh のうち予約 領域を除く領域)
最大転送データ数		1023K データ (ブロック転送モード最 大総転送数: 1023 データ×1024 ブ ロック)	64M データ(ブロック転送モード最大 総転送数:1024 データ×65536 ブロッ ク)
DMAC 起動要因		- チャンネルごとに起動要因を選択可 能 —ソフトウェアトリガ —周辺モジュールからの割り込み 要求/外部割り込み入力端子への トリガ入力	- チャンネルごとに起動要因を選択可 能 —ソフトウェアトリガ —周辺モジュールからの割り込み 要求/外部割り込み入力端子への トリガ入力
チャンネル優先順位		チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 (チャンネル 0 が最優先)	チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3...>チャンネル 7 (チャンネル 0 が最優先)
転送データ	1 データ	ビット長: 8 ビット、16 ビット、32 ビット	ビット長: 8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数:1~1023 データ	データ数:1~1024 データ
転送モード	ノーマル転送 モード	1 回の DMA 転送要求で 1 データを 転送 - 総データ転送数を指定しない設定 (フリーランニングモード) が可 能	1 回の DMA 転送要求で 1 データを 転送 - 総データ転送数を指定しない設定 (フリーランニングモード)が可能
	リピート転送 モード	1 回の DMA 転送要求で 1 データを 転送 - 転送元または転送先で設定したリ ピートサイズ分のデータを転送す ると、転送開始時のアドレスに復 帰 - リピートサイズは最大 1024 データ を設定可能	1 回の DMA 転送要求で 1 データを 転送 - 転送元または転送先で設定したリ ピートサイズ分のデータを転送す ると、転送開始時のアドレスに復 帰 - リピートサイズは最大 1024 回設定 可能
	ブロック転送 モード	1 回の DMA 転送要求で 1 ブロック のデータを転送 - ブロックサイズは最大 1023 データ 設定可能	1 回の DMA 転送要求で 1 ブロック のデータを転送 - ブロックサイズは最大 1024 データ 設定可能
選択機能	拡張リピート エリア機能	- 転送アドレスレジスタの上位ビッ トの値を固定して特定範囲のアド レスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトか ら 128M バイトを転送元、転送先 別に設定可能	- 転送アドレスレジスタの上位ビッ トの値を固定して特定範囲のアド レスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトか ら 128M バイトを転送元、転送先 別に設定可能

項目		RX62N(DMACA)	RX671(DMACAb)
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生	- ノーマル転送モードの場合、指定回数の転送が終了したときに発生 - リピート転送モードの場合、指定リピート回数の転送が終了したときに発生 - ブロック転送モードの場合、指定ブロック数の転送が終了したときに発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
イベントリンク起動		-	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
消費電力低減機能		モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.24 DMA コントローラレジスタ比較

レジスタ	ビット	RX62N(DMACA)	RX671(DMACAb)
DMSAR	-	DMA 転送元アドレスレジスタ 転送元の開始アドレスを設定 00000000h~0FFFFFFFh (256M バイト) F0000000h~FFFFFFFh (256M バイト)	DMA 転送元アドレスレジスタ 転送元の開始アドレスを設定 00000000h~FFFFFFFh (4G バイト)
DMDAR	-	DMA 転送先アドレスレジスタ 転送先の開始アドレスを設定 00000000h~0FFFFFFFh (256M バイト) F0000000h~FFFFFFFh (256M バイト)	DMA 転送先アドレスレジスタ 転送先の開始アドレスを設定 00000000h~FFFFFFFh (4G バイト)
DMCRA	DMCRAL DMCRAH	DMA 転送カウンタレジスタ ブロック転送モード (DMTMD.MD[1:0] ビット = 10b) のとき DMCRAH レジスタはブロックサイズを保持し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。 設定値が“001h”のときはブロックサイズが 1、“3FFh”のときはブロックサイズが 1023 になります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも“001h~3FFh”です。“000h”は設定しないでください。	DMA 転送カウンタレジスタ ブロック転送モード (DMACm.DMTMD.MD[1:0] ビット = 10b) のとき DMCRAH レジスタはブロックサイズを保持し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。 設定値が“001h”のときはブロックサイズ 1、“3FFh”のときはブロックサイズ 1023、“000h”のときはブロックサイズ 1024 となります。ブロック転送モード時の DMCRAH、DMCRAL レジスタの設定範囲はいずれも 000h~3FFh です。
DMCRB	-	DMA ブロック転送カウンタレジスタ (b9-b0) 001h~3FFh (1~1023 回) 000h (1024 回)	DMA ブロック転送カウンタレジスタ (b15-b0) 0001h~FFFFh (1~65535 回) 0000h (65536 回)
DMIST	-	-	DMAC74 割り込みステータス モニタレジスタ

2.14 EXDMA コントローラ

表 2.25 に EXDMA コントローラの概要比較を、表 2.26 に EXDMA コントローラレジスタ比較を示します。

表 2.25 EXDMA コントローラの概要比較

項目		RX62N(EXDMAC)	RX671(EXDMAC ^a)
チャンネル数		2 チャンネル (EXDMAC _n (n = 0~1))	2 チャンネル(EXDMAC ₀ ,EXDMAC ₁)
転送空間		512M バイト (0000 0000h~0FFF FFFFh と F000 0000h~FFFF FFFFh のうち予約領域を除く外部領域)	512M バイト (0000 0000h~0FFF FFFFh と F000 0000h~FFFF FFFFh のうち予約領域を除く外部領域)
最大転送データ数		1M データ(ブロック転送モード最大総転送数: 1023 データ×1024 ブロック)	1M データ(ブロック転送モード最大総転送数: 1024 データ×1024 ブロック)
DMAC 起動要因		- チャンネルごとに 3 種類の起動要因を選択可能 —ソフトウェアトリガ —外部 DMA 転送要求端子 —周辺モジュール (MTU1 のコンペアマッチ) からの DMA 転送要求	- チャンネルごとに 3 種類の起動要因を選択可能 —ソフトウェアトリガ —外部 DMA 転送要求入力 —周辺モジュール(TPU1.TRGA あるいは MTU1.TRGA)からの DMA 転送要求 (チャンネル 0: ICU.SLIBR144 で選択した TPU1.TRGA の選択型割り込み B 要求、または ICU.SLIAR208 で選択した MTU1.TRGA の選択型割り込み A 要求、 チャンネル 1: ICU.SLIBR145 で選択した TPU1.TRGA の選択型割り込み B 要求、または ICU.SLIAR209 で選択した MTU1.TRGA の選択型割り込み A 要求)
チャンネル優先順位		チャンネル 0 > チャンネル 1 (チャンネル 0 が最優先)	チャンネル 0 > チャンネル 1 (チャンネル 0 が最優先)
転送データ	1 データ	ビット長:8 ビット、16 ビット、32 ビット	ビット長:8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数:1~1023 データ	データ数:1~ 1024 データ
	クラスタサイズ	データ数:1~7 データ	データ数:1~ 8 データ
転送モード	ノーマル転送モード	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定 (フリーランニングモード) が可能	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定 (フリーランニングモード)が可能
	リピート転送モード	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1023 データを設定可能	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能
	ブロック転送モード	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1023 データを設定可能	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1024 データ設定可能

項目		RX62N(EXDMAC)	RX671(EXDMAC ^a)
転送モード	クラスタ転送	1 回の DMA 転送要求で 1 クラスタのデータを転送 - クラスタサイズは最大 7 データ (28 バイト) を設定可能	1 回の DMA 転送要求で 1 クラスタのデータを転送 - クラスタサイズは最大 8 データ (32 バイト) 設定可能
	シングルアドレスモード	- 転送元または転送先の周辺デバイスを EDACKn 信号でアクセスし、もう一方をアドレス指定してデータを転送 - ノーマル転送モード、リピート転送モード、ブロック転送モードで使用可能	- 転送元または転送先の周辺デバイスを EDACKn 信号 (n=0,1) でアクセスし、もう一方をアドレス指定してデータを転送 - ノーマル転送モード、リピートモード、ブロック転送モードで使用可能
選択機能	デュアルアドレスモード	- 転送元、転送先双方をアドレス指定してデータを転送 - ノーマル転送モード、リピート転送モード、ブロック転送モード、クラスタ転送モードで使用可能	- 転送元、転送先双方をアドレス指定してデータを転送 - ノーマル転送モード、リピートモード、ブロック転送モード、クラスタ転送モードで使用可能
	拡張リピートエリア機能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生	- ノーマル転送モードの場合、指定回数の転送が終了したときに発生 - リピート転送モードの場合、指定リピート回数の転送が終了したときに発生 - ブロック転送モードの場合、指定ブロック数の転送が終了したときに発生 - クラスタ転送モードの場合、指定クラスタ数の転送が終了したときに発生
	転送エスケープ終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバーフローしたときに発生
消費電力低減機能		モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.26 EXDMA コントローラレジスタ比較

レジスタ	ビット	RX62N(EXDMA)	RX671(EXDMAa)
EDMCRA	EDMCRAL EDMCRAH	EXDMA 転送カウンタレジスタ - リピータ転送モード (EXDMACn.EDMTMD.MD[1:0] ビット = 01b) のとき EDMCRAH レジスタはリピータサイズを保持し、EDMCRAL レジスタは 10 ビットの転送カウンタとして機能します。 転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回となります。リピータ転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 001h~3FFh です。“000h” は設定しないでください。 - ブロック転送モード (EXDMACn.EDMTMD.MD[1:0] ビット = 10b) のとき EDMCRAH レジスタはブロックサイズを保持し、EDMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。 設定値が “001h” のときはブロックサイズが 1、“3FFh” のときはブロックサイズが 1023 になります。 ブロック転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 001h~3FFh です。“000h” は設定しないでください。 - クラスタ転送モード (EXDMACn.EDMTMD.MD[1:0] ビット = 11b) のとき EDMCRAH レジスタはクラスタサイズを保持し、EDMCRAL レジスタは 3 ビットのクラスタサイズカウンタとして機能します。 設定値が “001h” のときはクラスタサイズが 1、“007h” のときはクラスタサイズが 7 になります。クラスタ転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 001h~007h です。“000h” は設定しないでください。	EXDMA 転送カウンタレジスタ - リピータ転送モード (EXDMACn.EDMTMD.MD[1:0] ビット = 01b) のとき EDMCRAH レジスタはリピータサイズを保持し、EDMCRAL レジスタは 10 ビットの転送カウンタとして機能します。 転送回数は、設定値が “001h” のときは 1 回、“3FFh” のときは 1023 回、“000h” のときは 1024 回 となります。リピータ転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲は、いずれも 000h~3FFh(転送回数: 1~1024)です。 - ブロック転送モード (EXDMACn.EDMTMD.MD[1:0] ビット = 10b) のとき EDMCRAH レジスタはブロックサイズを保持し、EDMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。 設定値が “001h” のときはブロックサイズが 1、“3FFh” のときはブロックサイズが 1023、“000h” のときは ブロックサイズが 1024 となります。ブロック転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲は、いずれも 000h~3FFh(1 回~1024 回)です。 - クラスタ転送モード (EXDMACn.EDMTMD.MD[1:0] ビット = 11b) のとき EDMCRAH レジスタはクラスタサイズを保持し、EDMCRAL レジスタは 3 ビットのクラスタサイズカウンタとして機能します。 設定値が “001h” のときはクラスタサイズが 1、“007h” のときはクラスタサイズが 7、“000h” のときは クラスタサイズが 8 となります。クラスタ転送モード時の EDMCRAH、EDMCRAL レジスタの設定範囲はいずれも 000h~007h(1 回~8 回)です。

レジスタ	ビット	RX62N(EXDMA)	RX671(EXDMA ^a)
EDMTMD	DCTG[1:0]	転送要求選択ビット b1 b0 0 0 : ソフトウェア 0 1 : 設定しないでください 1 0 : 外部 DMA 転送要求 (EDREQn 端子) 1 1 : 周辺モジュール(MTU1 のコンペア マッチ)からの DMA 転送要求	転送要求選択ビット b1 b0 0 0 : ソフトウェア 0 1 : 設定しないでください 1 0 : 外部 DMA 転送要求 (EDREQn 端子) 1 1 : 周辺モジュール(TPU1.TGRA または MTU1.TGRA)からの DMA 転送要求
EDMOMD	DACKSEL	-	EDACKn 端子トグル選択ビット
CLSB _{Ry}	-	クラスタバッファレジスタ y (y = 0~6)	クラスタバッファレジスタ y (y = 0~ 7)

2.15 データトランスファコントローラ

表 2.27 にデータトランスファコントローラの概要比較を、表 2.28 にデータトランスファコントローラのレジスタ比較を示します。

表 2.27 データトランスファコントローラの概要比較

項目	RX62N(DTCa)	RX671(DTCb)
転送チャンネル数	割り込み要因に対応するチャンネルの転送が可能 (ICU からの DTC 起動要求で転送)	DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	- ノーマル転送モード —1 回の起動で 1 データ転送する - リピート転送モード —1 回の起動で 1 データ転送する —リピートサイズ分データを転送すると転送開始アドレスに復帰 —リピートサイズは最大 256 データ設定可能 - ブロック転送モード —1 回の起動で 1 ブロックのデータ転送する —ブロックサイズは最大 255 データ設定可能	- ノーマル転送モード —1 回の起動で 1 つのデータを転送する - リピート転送モード —1 回の起動で 1 つのデータを転送する —リピートサイズ分データを転送すると転送開始アドレスに復帰 —リピート回数は最大 256 回設定可能で、256×32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード —1 回の起動で 1 ブロックのデータ転送する —ブロックサイズは、最大 256×32 ビット=1024 バイト設定可能
チェーン転送機能	1 つの起動要因に対して複数のデータ転送が可能 (チェーン転送) - チェーン転送は、カウンタ = 0 のとき実施する／毎回実施する、のいずれかを選択可能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが “0” になったときのみ実施」 / 「毎回実施」 のいずれかを選択可能
シーケンス転送	-	複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能 - シーケンス転送の起動要因は同時に 1 つのみ選択可能 - シーケンスは、1 つの起動要因に対し最大 256 通り - 転送要求によって最初に転送されたデータがシーケンスを決定 - シーケンスは、1 回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能
転送空間	- ショートアドレスモードのとき 16M バイト ("0000 0000h"~"007F FFFFh"と"FF80 0000h"~"FFFF FFFFh"のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト ("0000 0000h"~"FFFF FFFFh"のうち、予約領域以外の領域)	- ショートアドレスモードのとき 16M バイト ("0000 0000h"~"007F FFFFh"と"FF80 0000h"~"FFFF FFFFh"のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト ("0000 0000h"~"FFFF FFFFh"のうち、予約領域以外の領域)

項目	RX62N(DTCa)	RX671(DTCb)
データ転送単位	1 データのビット長 : 8 ビット、16 ビット、32 ビット 1 ブロックサイズのデータ数 : 1~255 データ	1 データ : 1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) 1 ブロックサイズ : 1~256 データ
CPU 割り込み要求	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク起動	-	1 回のデータ転送後(ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	-	転送情報のライトバックを実行しない設定が可能
ディスプレースメント加算	-	転送元アドレスにディスプレースメントを加算可能(転送情報ごとに選択)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

表 2.28 データトランスファコントローラのレジスタ比較

レジスタ	ビット	RX62N(DTCa)	RX671(DTCb)
MRA	WBDIS	-	ライトバックディスエーブルビット
MRB	SQEND	-	シーケンス転送終了ビット
	INDX	-	インデックステーブル参照ビット
MRC	-	-	DTC モードレジスタ C
CRA	CRAL CRAH	DTC 転送カウンレジスタ A ブロック転送モードの場合 (MRA.MD[1:0]ビット = “10b”) CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。 転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回となります。“00h” を設定しないでください。 CRAL レジスタは 1 回のデータ転送を行う度にデクリメント (-1) され、“00h” になると CRAH レジスタの値が転送されます。	DTC 転送カウンレジスタ A ブロック転送モードの場合 (MRA.MD[1:0]ビット = 10b) CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。 転送回数は、設定値が “01h” のときは 1 回、“FFh” のときは 255 回、“00h” のときは 256 回となります。 CRAL レジスタはデータ転送を 1 回行うたびにデクリメント (-1) され、“00h” になると CRAH レジスタの値がリロードされます。
DTCVBR	-	DTC ベクタベースレジスタ 上位 4 ビット(b31-b28)への書き込みは無視され、b27 で指定した値でビット拡張されます。下位 12 ビット(b11-b0)は “0” に固定されており、書き込みは無効です。	DTC ベクタベースレジスタ 上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は “0” 固定です。書く場合、“0”を書いてください。 0000 0000h~07FF FC00h、および F800 0000h~FFFF FC00h の範囲で、1K バイト単位で設定可能です。
DTCIBR	-	-	DTC インデックステーブルベースレジスタ
DTCOR	-	-	DTC オペレーションレジスタ
DTCSQE	-	-	DTC シーケンス転送許可レジスタ
DTCDISP	-	-	DTC アドレスディスプレイメントレジスタ

2.16 I/O ポート

表 2.29 に I/O ポート 145 ピン、144 ピンの概要比較を、表 2.30 に I/O ポート 100 ピンの概要比較を、表 2.31 に I/O ポートの機能比較を、表 2.32 に I/O ポートのレジスタ比較を示します。

表 2.29 I/O ポート 145 ピン、144 ピンの概要比較

ポートシンボル	RX62N(145 ピン、144 ピン)	RX671(145 ピン、144 ピン)
PORT0	P00~P03, P05, P07	P00~P03, P05, P07
PORT1	P12~P17	P12~P17
PORT2	P20~P27	P20~P27
PORT3	P30~P34	P30~P37
PORT4	P40~P47	P40~P47
PORT5	P50~P52, P54~P56	P50~P56
PORT6	P60~P67	P60~P67
PORT7	P70~P77	P70~P77 (注1)
PORT8	P80~P83	P80~P83, P86, P87
PORT9	P90~P93	P90~P93
PORTA	PA0~PA7	PA0~PA7
PORTB	PB0~PB7	PB0~PB7
PORTC	PC0~PC7	PC0~PC7
PORTD	PD0~PD7	PD0~PD7
PORTE	PE0~PE7	PE0~PE7
PORTF	-	PF5
PORTH	-	PH1, PH2
PORTJ	-	PJ3, PJ5

注 1. 145 ピン TFLGA (0.65mm ピッチ)には P71、P72 はありません。

表 2.30 I/O ポート 100 ピンの概要比較

ポートシンボル	RX62N(100 ピン)	RX671(100 ピン)
PORT0	P05, P07	P05, P07
PORT1	P12~P14, P16	P12~P17
PORT2	P20~P27	P20~P27
PORT3	P30~P34	P30~P37
PORT4	P40~P47	P40~P47
PORT5	P50~P52, P54, P55	P50~P55
PORTA	PA0~PA7	PA0~PA7
PORTB	PB0~PB7	PB0~PB7
PORTC	PC0~PC7	PC0~PC7
PORTD	PD0~PD7	PD0~PD7
PORTE	PE0~PE7	PE0~PE7
PORTH	-	PH1, PH2
PORTJ	-	PJ3

表 2.31 I/O ポートの機能比較

項目	ポート シンボル	RX62N	RX671
入力プルアップ機能	PORT0	—	P00~P03, P05, P07
	PORT1	—	P12~P17
	PORT2	—	P20~P27
	PORT3	—	P30~P34, P36, P37
	PORT4	—	P40~P47
	PORT5	—	P50~P56
	PORT6	—	P60~P67
	PORT7	—	P70~P77
	PORT8	—	P80~P83, P86, P87
	PORT9	P90~P97	P90~P93
	PORTA	PA0~PA7	PA0~PA7
	PORTB	PB0~PB7	PB0~PB7
	PORTC	PC0~PC7	PC0~PC7
	PORTD	PD0~PD7	PD0~PD7
	PORTE	PE0~PE7	PE0~PE7
	PORTF	—	PF5
	PORTG	PG0~PG7	—
	PORTH	—	PH1, PH2
	PORTJ	—	PJ3, PJ5
オープンドレイン 出力機能	PORT0	P00~P03, P05, P07	P00~P03, P05, P07
	PORT1	P10~P17	P12~P17
	PORT2	P20~P27	P20~P27
	PORT3	P30~P34	P30~P34, P36, P37
	PORT4	—	P40~P47
	PORT5	—	P50~P56
	PORT6	—	P60~P67
	PORT7	—	P70~P77
	PORT8	—	P80~P83, P86, P87
	PORT9	—	P90~P93
	PORTA	—	PA0~PA7
	PORTB	—	PB0~PB7
	PORTC	PC0~PC7	PC0~PC7
	PORTD	—	PD0~PD7
	PORTE	—	PE0~PE7
	PORTF	—	PF5
	PORTH	—	PH1, PH2
	PORTJ	—	PJ3, PJ5
駆動能力切り替え機能	PORT0	—	P00~P03, P05, P07
	PORT1	—	P12~P17
	PORT2	—	P20~P27
	PORT3	—	P30~P34, P36, P37
	PORT4	—	P40~P47
	PORT5	—	P50~P56
	PORT6	—	P60~P67
	PORT7	—	P70~P77
	PORT8	—	P80~P83, P86, P87
	PORT9	—	P90~P93
	PORTA	—	PA0~PA7
	PORTB	—	PB0~PB7

項目	ポート シンボル	RX62N	RX671
駆動能力切り替え機能	PORTC	—	PC0~PC7
	PORTD	—	PD0~PD7
	PORTE	—	PE0~PE7
	PORTF	—	PF5
	PORTH	—	PH1, PH2
	PORTJ	—	PJ3, PJ5
5V トレラント	PORT0	P00, P01, P02, P07	P07
	PORT1	P12, P13, P16, P17	P12~P17
	PORT2	P20, P21	P20, P21
	PORT3	P33	P30~P33
	PORT6	—	P67
	PORT7	—	P73
	PORTC	—	PC0~PC3
	PORTJ	—	PJ3

表 2.32 I/O ポートのレジスタ比較

レジスタ	ビット	RX62N	RX671
DDR(RX62N) PDR(RX671)	B0~B7	Pn0~7 入力/出力指定ビット (n = 0~9, A~G)	Pm0~7 方向制御ビット (m = 0~9, A~F, H, J)
DR(RX62N) PODR(RX671)	B0~B7	Pn0~7 出力データ格納ビット (n = 0~9, A~G)	Pm0~7 出力データ格納ビット (m = 0~9, A~F, H, J)
PORT(RX62N) PIDR(RX671)	B0~B7	Pn0~7 ビット (n = 0~9, A~G)	Pm0~7 ビット (m = 0~9, A~F, H, J)
ICR	-	入力バッファコントロールレジスタ	-
PMR	-	-	ポートモードレジスタ
ODR(RX62N) ODR0, ODR1 (RX671)	B0~B7 (RX62N) B0, B2, B3, B4, B6 (RX671)	Pn0~7 出力形態指定ビット (n=0~3, C)	Pm0~3, PE1 出力形態指定ビット (m = 0~9, A~E, H, J) Pm4~7 出力形態指定ビット (m = 0~8, A~F, J)
PCR	B0~B7	Pn0 入力プルアップ抵抗制御ビット (n = 9, A~E, G)	Pm0 入力プルアップ抵抗制御ビット (m = 0~9, A~F, H, J)
PF0CSE	-	ポートファンクションレジスタ 0	-
PF1CSS	-	ポートファンクションレジスタ 1	-
PF2CSS	-	ポートファンクションレジスタ 2	-
PF3BUS	-	ポートファンクションレジスタ 3	-
PF4BUS	-	ポートファンクションレジスタ 4	-
PF5BUS	-	ポートファンクションレジスタ 5	-
PF6BUS	-	ポートファンクションレジスタ 6	-
PF7DMA	-	ポートファンクションレジスタ 7	-
PF8IRQ	-	ポートファンクションレジスタ 8	-
PF9IRQ	-	ポートファンクションレジスタ 9	-
PFAADC	-	ポートファンクションレジスタ A	-
PFBTMR	-	ポートファンクションレジスタ B	-
PFCMTU	-	ポートファンクションレジスタ C	-
PFDMTU	-	ポートファンクションレジスタ D	-
PFENET	-	ポートファンクションレジスタ E	-
PFFSCI	-	ポートファンクションレジスタ F	-
PFGSPI	-	ポートファンクションレジスタ G	-
PFHSPI	-	ポートファンクションレジスタ H	-
PFJCAN	-	ポートファンクションレジスタ J	-
PFKUSB	-	ポートファンクションレジスタ K	-
PFLUSB	-	ポートファンクションレジスタ L	-
PFMPOE	-	ポートファンクションレジスタ M	-
PFNPOE	-	ポートファンクションレジスタ N	-
DSCR	-	-	駆動能力制御レジスタ
DSCR2	-	-	駆動能力制御レジスタ 2

2.17 マルチファンクションタイマパルスユニット 2/3

表 2.33 にマルチファンクションタイマパルスユニット 2/3 の概要比較を、表 2.34 にマルチファンクションタイマパルスユニット 2/3 のレジスタ比較を示します。

表 2.33 マルチファンクションタイマパルスユニット 2/3 の概要比較

項目	RX62N(MTU2)	RX671(MTU3a)
パルス入出力	最大 16 本	最大 28 本
パルス入力	3 本	3 本
カウントクロック	チャンネルごとに 8 または 7 種類 (チャンネル 5 と 11 は 4 種類)	チャンネルごとに 11 種類 (MTU0 は 14 種類、 MTU2 は 12 種類、 MTU5 は 10 種類、 MTU1 & MTU2(LWA = 1 のとき)は 4 種類)
設定可能動作	【チャンネル 0~4、6~10】 - コンペアマッチによる波形出力 - インプットキャプチャ機能 - カウンタクリア動作 - 複数のタイマカウンタ (TCNT) への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 12 相の PWM 出力	【MTU0~MTU4, MTU6, MTU7, MTU8】 - コンペアマッチによる波形出力 - インプットキャプチャ機能 (ノイズフィルタ設定可能) - カウンタクリア動作 - 複数のタイマカウンタ (TCNT) への同時書き込み (MTU8 を除く) - コンペアマッチ/インプットキャプチャによる同時クリア (MTU8 を除く) - カウンタの同期動作による各レジスタの同期入出力 (MTU8 を除く) - 同期動作と組み合わせることによる最大 12 相の PWM 出力 (MTU8 を除く)
	【チャンネル 0、3、4、6、9、10】 バッファ動作を設定可能	【MMTU0, MTU3, MTU4, MTU6, MTU7, MTU8】 バッファ動作を設定可能
	【チャンネル 1、2、7、8】 - 個々に位相計数モードを設定可能 - カスケード接続動作	【MTU1, MTU2】 - 独立に位相計数モードを設定可能 - MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能 (TMDR3.LWA = 1 設定時) - カスケード接続動作が可能
	【チャンネル 3、4、9、10】 連動動作による相補 PWM、リセット PWM 3 相のポジ、ネガ計 6 相の出力が可能	【MTU3, MTU4, MTU6, MTU7】 - MTU3/MTU4、および MTU6/MTU7 の連動動作による相補 PWM、リセット同期 PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 - 相補 PWM モード時、タイマカウンタの山または谷のとき、またはバッファレジスタ (MTU4.TGRD, MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 - 相補 PWM モードでダブルバッファ機能を設定可能
	【チャンネル 0、3、4、6、9、10】 相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能	【MTU3, MTU4】 MTU0 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能

項目	RX62N(MTU2)	RX671(MTU3a)
設定可能動作	【チャンネル 5、11】 デッドタイム補償用カウンタ機能	【MTU5】 デッドタイム補償用カウンタとして使用することが可能
	-	【MTU0/MTU5, MTU1, MTU2, MTU8】 MTU1、MTU2 を組み合わせて、MTU0/MTU5、MTU8 と連動させて、32 ビット位相計数モードに設定可能
割り込み間引き機能	- カウンタの山／谷での割り込み - A/D コンバータの変換開始トリガを間引き機能	相補 PWM モード時に、カウンタの山、谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	28 種類	43 種類
バッファ動作	レジスタデータの自動転送	レジスタデータの自動転送 (バッファレジスタからタイマレジスタへの転送)
トリガ生成	- プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能 - A/D コンバータの変換スタートトリガを生成可能	- A/D コンバータの変換開始トリガを生成可能 - A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

表 2.34 マルチファンクションタイマパルスユニット 2/3 のレジスタ比較

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
MTU7.TCR MTU8.TCR	CCLR[2:0]	カウンタクリア要因選択ビット b7 b5 000: TCNT のクリア禁止 001: TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア 010: TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア 011: 同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア	カウンタクリア要因選択ビット b7 b5 000: TCNT のクリア禁止 001: TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア 010: TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア 011: 同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア 100: TCNT のクリア禁止 101: TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア 110: TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア 111: 同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
MTU6.TCR	TPSC[2:0]	タイマプリスケラ選択ビット b2 b0 000: 内部クロック : PCLK/1 でカウント 001: 内部クロック : PCLK/4 でカウント 010: 内部クロック : PCLK/16 でカウント 011: 内部クロック : PCLK/64 でカウント 100: 外部クロック : MTCLKn 端子入力でカウント (n=A,E) 101: 外部クロック : MTCLKn 端子入力でカウント (n=B,F) 110: 外部クロック : MTCLKn 端子入力でカウント (n=C,G) 111: 外部クロック : MTCLKn 端子入力でカウント (n=D,H)	カウンタクリア要因選択ビット b2 b0 000: 内部クロック : PCLKA/1 でカウント 001: 内部クロック : PCLKA/4 でカウント 010: 内部クロック : PCLKA/16 でカウント 011: 内部クロック : PCLKA/64 でカウント 100: 内部クロック : PCLKA/256 でカウント 101: 内部クロック : PCLKA/1024 でカウント 110: 外部クロック : MTCLKA 端子入力でカウント 111: 外部クロック : MTCLKB 端子入力でカウント
MTU7.TCR	TPSC[2:0]	タイマプリスケラ選択ビット b2 b0 000: 内部クロック : PCLK/1 でカウント 001: 内部クロック : PCLK/4 でカウント 010: 内部クロック : PCLK/16 でカウント 011: 内部クロック : PCLK/64 でカウント 100: 外部クロック : MTCLKn 端子入力でカウント (n=A,E) 101: 外部クロック : MTCLKn 端子入力でカウント (n=B,F) 110: 内部クロック : PCLK/256 でカウント 111: TCNTn のオーバーフロー／アンダフローでカウント (n=8)	カウンタクリア要因選択ビット b2 b0 000: 内部クロック : PCLKA/1 でカウント 001: 内部クロック : PCLKA/4 でカウント 010: 内部クロック : PCLKA/16 でカウント 011: 内部クロック : PCLKA/64 でカウント 100: 内部クロック : PCLKA/256 でカウント 101: 内部クロック : PCLKA/1024 でカウント 110: 外部クロック : MTCLKA 端子入力でカウント 111: 外部クロック : MTCLKB 端子入力でカウント

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
MTU8.TCR	TPSC[2:0]	タイマプリスケラ選択ビット b2 b0 000: 内部クロック : PCLK/1 でカウント 001: 内部クロック : PCLK/4 でカウント 010: 内部クロック : PCLK/16 でカウント 011: 内部クロック : PCLK/64 でカウント 100: 外部クロック : MTCLKn 端子入力でカウント (n=A,E) 101: 外部クロック : MTCLKn 端子入力でカウント (n=B,F) 110: 内部クロック : PCLK/256 でカウント 111: TCNTn のオーバフロー/アンダフローでカウント (n=8)	カウンタクリア要因選択ビット b2 b0 000: 内部クロック : PCLKA/1 でカウント 001: 内部クロック : PCLKA/4 でカウント 010: 内部クロック : PCLKA/16 でカウント 011: 内部クロック : PCLKA/64 でカウント 100: 内部クロック : PCLKA/256 でカウント 101: 内部クロック : PCLKA/1024 でカウント 110: 外部クロック : MTCLKA 端子入力でカウント 111: 外部クロック : MTCLKB 端子入力でカウント
TCR2	-	-	タイマコントロールレジスタ 2
TMDR(RX62N) TMDR1(RX671)	MD[3:0]	モード選択ビット b3 b0 0000: ノーマルモード 0001: 設定しないでください 0010: PWM モード 1 0011: PWM モード 2 0100: 位相計数モード 1 0101: 位相計数モード 2 0110: 位相計数モード 3 0111: 位相計数モード 4 1000: リセット同期 PWM モード 1001: 設定しないでください。 101x: 設定しないでください。 1100: 設定しないでください。 1101: 相補 PWM モード 1 (山で転送) 1110: 相補 PWM モード 2 (谷で転送) 1111: 相補 PWM モード 3 (山と谷で転送)	モード選択ビット b3 b0 0000: ノーマルモード 0001: 設定しないでください 0010: PWM モード 1 0011: PWM モード 2 0100: 位相計数モード 1 0101: 位相計数モード 2 0110: 位相計数モード 3 0111: 位相計数モード 4 1000: リセット同期 PWM モード 1001: 位相計数モード 5 101x: 設定しないでください 1100: 設定しないでください 1101: 相補 PWM モード 1 (山で転送) 1110: 相補 PWM モード 2 (谷で転送) 1111: 相補 PWM モード 3 (山と谷で転送)
TMDR2A TMDR2B	-	-	タイマモードレジスタ 2
TMDR3	-	-	タイマモードレジスタ 3

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
MTU0.TIORH	IOA[3:0]	I/O コントロール A ビット b3 b0 0000: 出力禁止 0001: 初期出力は Low 出力, コンペアマッチで Low 出力 0010: 初期出力は Low 出力, コンペアマッチで High 出力 0011: 初期出力は Low 出力, コンペアマッチでトグル出力 0100: 出力禁止 0101: 初期出力は High 出力, コンペアマッチで Low 出力 0110: 初期出力は High 出力, コンペアマッチで High 出力 0111: 初期出力は High 出力, コンペアマッチでトグル出力 1000: 立ち上がりエッジで インプットキャプチャ 1001: 立ち下がりエッジで インプットキャプチャ 101x: 両エッジで インプットキャプチャ 11xx: キャプチャ入力元は MTU1/カ ウントクロック MTU1.TCNT のカウントアップ/カウント ダウンでインプットキャプ チャ	I/O コントロール A ビット b3 b0 0000: 出力禁止 0001: 初期出力は Low 出力, コンペアマッチで Low 出力 0010: 初期出力は Low 出力, コンペアマッチで High 出力 0011: 初期出力は Low 出力, コンペアマッチでトグル出力 0100: 出力禁止 0101: 初期出力は High 出力, コンペアマッチで Low 出力 0110: 初期出力は High 出力, コンペアマッチで High 出力 0111: 初期出力は High 出力, コンペアマッチでトグル出力 1000: 立ち上がりエッジで インプットキャプチャ 1001: 立ち下がりエッジで インプットキャプチャ 101x: 両エッジで インプットキャプチャ 1100: キャプチャ入力元は MTU1/カ ウントクロック MTU1.TCNT (LWA=0) または MTU1.TCNTLW (LWA=1) のカウントアップ/カウントダ ウンでインプットキャプチャ 111x: MTU8.TGRC のコンペアマッ チの発生でインプットキャプ チャ

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
MTU6.TIORH	IOA[3:0] IOB[3:0]	I/O コントロール A ビット (b3-b0) I/O コントロール B ビット (b7-b4) b3 b0 0 0 0 0 : 出力禁止 0 0 0 1 : 初期出力は Low 出力, コンペアマッチで Low 出力 0 0 1 0 : 初期出力は Low 出力, コンペアマッチで High 出力 0 0 1 1 : 初期出力は Low 出力, コンペアマッチでトグル出力 0 1 0 0 : 出力禁止 0 1 0 1 : 初期出力は High 出力, コンペアマッチで Low 出力 0 1 1 0 : 初期出力は High 出力, コンペアマッチで High 出力 0 1 1 1 : 初期出力は High 出力, コンペアマッチでトグル出力 1 0 0 0 : 立ち上がりエッジで インプットキャプチャ 1 0 0 1 : 立ち下がりエッジで インプットキャプチャ 1 0 1 x : 両エッジで インプットキャプチャ 1 1 x x : キャプチャ入力元は MTU7/カ ウントクロック MTU7.TCNT のカウントアップ/カウント ダウンでインプットキャプ チャ	I/O コントロール A ビット (b3-b0) I/O コントロール B ビット (b7-b4) b3 b0 0 0 0 0 : 出力禁止 0 0 0 1 : 初期出力は Low 出力, コンペアマッチで Low 出力 0 0 1 0 : 初期出力は Low 出力, コンペアマッチで High 出力 0 0 1 1 : 初期出力は Low 出力, コンペアマッチでトグル出力 0 1 0 0 : 出力禁止 0 1 0 1 : 初期出力は High 出力, コンペアマッチで Low 出力 0 1 1 0 : 初期出力は High 出力, コンペアマッチで High 出力 0 1 1 1 : 初期出力は High 出力, コンペアマッチでトグル出力 1 x 0 0 : 立ち上がりエッジで インプットキャプチャ 1 x 0 1 : 立ち下がりエッジで インプットキャプチャ 1 x 1 x : 両エッジで インプットキャプチャ

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
MTU7.TIORH	IOA[3:0] IOB[3:0]	I/O コントロール A ビット (b3-b0) I/O コントロール B ビット (b7-b4) b3 b0 0 0 0 0 : 出力禁止 0 0 0 1 : 初期出力は Low 出力, コンペアマッチで Low 出力 0 0 1 0 : 初期出力は Low 出力, コンペアマッチで High 出力 0 0 1 1 : 初期出力は Low 出力, コンペアマッチでトグル出力 0 1 0 0 : 出力禁止 0 1 0 1 : 初期出力は High 出力, コンペアマッチで Low 出力 0 1 1 0 : 初期出力は High 出力, コンペアマッチで High 出力 0 1 1 1 : 初期出力は High 出力, コンペアマッチでトグル出力 1 0 0 0 : 立ち上がりエッジで インプットキャプチャ 1 0 0 1 : 立ち下がりエッジで インプットキャプチャ 1 0 1 x : 両エッジで インプットキャプチャ 1 1 x x : MTU6.TGRC のコンペアマッ チ/インプットキャプチャの 発生でインプットキャプチャ	I/O コントロール A ビット (b3-b0) I/O コントロール B ビット (b7-b4) b3 b0 0 0 0 0 : 出力禁止 0 0 0 1 : 初期出力は Low 出力, コンペアマッチで Low 出力 0 0 1 0 : 初期出力は Low 出力, コンペアマッチで High 出力 0 0 1 1 : 初期出力は Low 出力, コンペアマッチでトグル出力 0 1 0 0 : 出力禁止 0 1 0 1 : 初期出力は High 出力, コンペアマッチで Low 出力 0 1 1 0 : 初期出力は High 出力, コンペアマッチで High 出力 0 1 1 1 : 初期出力は High 出力, コンペアマッチでトグル出力 1 x 0 0 : 立ち上がりエッジで インプットキャプチャ 1 x 0 1 : 立ち下がりエッジで インプットキャプチャ 1 x 1 x : 両エッジで インプットキャプチャ

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
MTU1.TIOR	IOB[3:0]	I/O コントロール B ビット b7 b4 0 0 0 0 : 出力禁止 0 0 0 1 : 初期出力は Low 出力, コンペアマッチで Low 出力 0 0 1 0 : 初期出力は Low 出力, コンペアマッチで High 出力 0 0 1 1 : 初期出力は Low 出力, コンペアマッチでトグル出力 0 1 0 0 : 出力禁止 0 1 0 1 : 初期出力は High 出力, コンペアマッチで Low 出力 0 1 1 0 : 初期出力は High 出力, コンペアマッチで High 出力 0 1 1 1 : 初期出力は High 出力, コンペアマッチでトグル出力 1 0 0 0 : 立ち上がりエッジで インプットキャプチャ 1 0 0 1 : 立ち下がりエッジで インプットキャプチャ 1 0 1 x : 両エッジで インプットキャプチャ 1 1 x x : MTU0.TGRC のコンペアマッ チ/インプットキャプチャの 発生でインプットキャプチャ	I/O コントロール B ビット b7 b4 0 0 0 0 : 出力禁止 0 0 0 1 : 初期出力は Low 出力, コンペアマッチで Low 出力 0 0 1 0 : 初期出力は Low 出力, コンペアマッチで High 出力 0 0 1 1 : 初期出力は Low 出力, コンペアマッチでトグル出力 0 1 0 0 : 出力禁止 0 1 0 1 : 初期出力は High 出力, コンペアマッチで Low 出力 0 1 1 0 : 初期出力は High 出力, コンペアマッチで High 出力 0 1 1 1 : 初期出力は High 出力, コンペアマッチでトグル出力 1 0 0 0 : 立ち上がりエッジで インプットキャプチャ 1 0 0 1 : 立ち下がりエッジで インプットキャプチャ 1 0 1 x : 両エッジで インプットキャプチャ 1 1 0 0 : MTU0.TGRC のコンペアマッ チ/インプットキャプチャの発 生でインプットキャプチャ 1 1 1 x : MTU8.TGRC のコンペアマッ チの発生でインプットキャプ チャ

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
MTU8.TIORH	IOB[3:0]	I/O コントロール B ビット b7 b4 0 0 0 0 : 出力禁止 0 0 0 1 : 初期出力は Low 出力, コンペアマッチで Low 出力 0 0 1 0 : 初期出力は Low 出力, コンペアマッチで High 出力 0 0 1 1 : 初期出力は Low 出力, コンペアマッチでトグル出力 0 1 0 0 : 出力禁止 0 1 0 1 : 初期出力は High 出力, コンペアマッチで Low 出力 0 1 1 0 : 初期出力は High 出力, コンペアマッチで High 出力 0 1 1 1 : 初期出力は High 出力, コンペアマッチでトグル出力 1 x 0 0 : 立ち上がりエッジで インプットキャプチャ 1 x 0 1 : 立ち下がりエッジで インプットキャプチャ 1 x 1 x : 両エッジで インプットキャプチャ	I/O コントロール B ビット b7 b4 0 0 0 0 : 出力禁止 0 0 0 1 : 初期出力は Low 出力, コンペアマッチで Low 出力 0 0 1 0 : 初期出力は Low 出力, コンペアマッチで High 出力 0 0 1 1 : 初期出力は Low 出力, コンペアマッチでトグル出力 0 1 0 0 : 出力禁止 0 1 0 1 : 初期出力は High 出力, コンペアマッチで Low 出力 0 1 1 0 : 初期出力は High 出力, コンペアマッチで High 出力 0 1 1 1 : 初期出力は High 出力, コンペアマッチでトグル出力 1 0 0 0 : 立ち上がりエッジで インプットキャプチャ 1 0 0 1 : 立ち下がりエッジで インプットキャプチャ 1 0 1 x : 両エッジで インプットキャプチャ 1 1 x x : キャプチャ入力元は MTU1/カ ウントクロック MTU1.TCNT (LWA=0) または MTU1.TCNTLW (LWA=1) のカウントアップ/カウントダ ウンでインプットキャプチャ

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
MTU6.TIORL	IOC[3:0] IOD[3:0]	I/O コントロール C ビット (b3-b0) I/O コントロール D ビット (b7-b4) b3 b0 0 0 0 0 : 出力禁止 0 0 0 1 : 初期出力は Low 出力, コンペアマッチで Low 出力 0 0 1 0 : 初期出力は Low 出力, コンペアマッチで High 出力 0 0 1 1 : 初期出力は Low 出力, コンペアマッチでトグル出力 0 1 0 0 : 出力禁止 0 1 0 1 : 初期出力は High 出力, コンペアマッチで Low 出力 0 1 1 0 : 初期出力は High 出力, コンペアマッチで High 出力 0 1 1 1 : 初期出力は High 出力, コンペアマッチでトグル出力 1 0 0 0 : 立ち上がりエッジで インプットキャプチャ 1 0 0 1 : 立ち下がりエッジで インプットキャプチャ 1 0 1 x : 両エッジで インプットキャプチャ 1 1 x x : キャプチャ入力元は MTU7/カ ウントクロック MTU7.TCNT のカウントアップ/カウント ダウンでインプットキャプ チャ	I/O コントロール C ビット (b3-b0) I/O コントロール D ビット (b7-b4) b3 b0 0 0 0 0 : 出力禁止 0 0 0 1 : 初期出力は Low 出力, コンペアマッチで Low 出力 0 0 1 0 : 初期出力は Low 出力, コンペアマッチで High 出力 0 0 1 1 : 初期出力は Low 出力, コンペアマッチでトグル出力 0 1 0 0 : 出力禁止 0 1 0 1 : 初期出力は High 出力, コンペアマッチで Low 出力 0 1 1 0 : 初期出力は High 出力, コンペアマッチで High 出力 0 1 1 1 : 初期出力は High 出力, コンペアマッチでトグル出力 1 x 0 0 : 立ち上がりエッジで インプットキャプチャ 1 x 0 1 : 立ち下がりエッジで インプットキャプチャ 1 x 1 x : 両エッジで インプットキャプチャ

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
TIORU TIOREV TIOREW	IOC[4:0]	I/O コントロール C ビット b4 b0 00000: コンペアマッチ 00001: 設定しないでください 0001x: 設定しないでください 001xx: 設定しないでください 01xxx: 設定しないでください 10000: 設定しないでください 10001: 立ち上がりエッジで インプットキャプチャ 10010: 立ち下がりエッジで インプットキャプチャ 10011: 両エッジで インプットキャプチャ 101xx: 設定しないでください 11000: 設定しないでください 11001: 外部入力信号の Low パルス 幅測定用 相補 PWM モードの谷で キャプチャ 11010: 外部入力信号の Low パルス 幅測定用 相補 PWM モードの山で キャプチャ 11011: 外部入力信号の Low パルス 幅測定用 相補 PWM モードの山と谷 でキャプチャ 11100: 設定しないでください 11101: 外部入力信号の High パルス 幅測定用 相補 PWM モードの谷で キャプチャ 11110: 外部入力信号の High パルス 幅測定用 相補 PWM モードの山で キャプチャ 11111: 外部入力信号の High パルス 幅測定用 相補 PWM モードの山と谷 でキャプチャ	I/O コントロール C ビット b4 b0 00000: 機能なし 00001: 設定しないでください 0001x: 設定しないでください 001xx: 設定しないでください 01xxx: 設定しないでください 10000: 設定しないでください 10001: 立ち上がりエッジで インプットキャプチャ 10010: 立ち下がりエッジで インプットキャプチャ 10011: 両エッジで インプットキャプチャ 101xx: MTU8.TGRC のコンペア マッチの発生でキャプチャ 11000: 設定しないでください 11001: 外部入力信号の Low パルス 幅測定用 相補 PWM モードの谷で キャプチャ 11010: 外部入力信号の Low パルス 幅測定用 相補 PWM モードの山で キャプチャ 11011: 外部入力信号の Low パルス 幅測定用 相補 PWM モードの山と谷 でキャプチャ 11100: 設定しないでください 11101: 外部入力信号の High パルス 幅測定用 相補 PWM モードの谷で キャプチャ 11110: 外部入力信号の High パルス 幅測定用 相補 PWM モードの山で キャプチャ 11111: 外部入力信号の High パルス 幅測定用 相補 PWM モードの山と谷 でキャプチャ
MTU0.TIER2	TTGE2	-	A/D 変換開始要求許可 2 ビット
MTU8.TCNT	-	タイマカウンタ TCNT は、16 ビットレジスタです。	タイマカウンタ TCNT は、32 ビットレジスタです。
MTU8.TGR	-	タイマジェネラルレジスタ TGR は、16 ビットレジスタです。	タイマジェネラルレジスタ TGR は、32 ビットレジスタです。

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
MTUA.TSTR(RX62N) TSTRA(RX671)	CST8	-	カウンタスタート 8 ビット
MTUB.TSTR(RX62N) TSTRB(RX671)	CST0(RX62N) CST6(RX671)	カウンタスタート 0 ビット (b0)	カウンタスタート 6 ビット (b6)
	CST1(RX62N) CST7(RX671)	カウンタスタート 1 ビット (b1)	カウンタスタート 7 ビット (b7)
	CST2	カウンタスタート 2 ビット	-
	CST3	カウンタスタート 3 ビット	-
	CST4	カウンタスタート 4 ビット	-
MTUA.TSYR(RX62N) TSYRA(RX671)	-	タイマシンクロレジスタ	タイマシンクロレジスタ
MTUB.TSYR(RX62N) TSYRB(RX671)	SYNC0(RX62N) SYNC6(RX671)	タイマ同期 0 ビット (b0)	タイマ同期 6 ビット (b6)
	SYNC1(RX62N) SYNC7(RX671)	タイマ同期 1 ビット (b1)	タイマ同期 7 ビット (b7)
	SYNC2	タイマ同期 2 ビット	-
	SYNC3	タイマ同期 3 ビット	-
	SYNC4	タイマ同期 4 ビット	-
TRWER(RX62N) TRWERA, TRWERB (RX671)	RWE	タイマリードライト許可レジスタ TRWER レジスタは、チャンネル 3、4、9、10 の誤書き込み防止の対象レジスタ/カウンタのアクセス許可/禁止を設定します。	タイマリードライトイネーブルレジスタ TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ/カウンタのアクセス許可/禁止を指定するレジスタです。 TRWERB レジスタは、MTU6、MTU7 の誤書き込み防止の対象レジスタ/カウンタのアクセス許可/禁止を指定するレジスタです。
TOER	-	タイマアウトプットマスタイネーブルレジスタ	-
TOERA, TOERB	-	-	タイマアウトプットマスタイネーブルレジスタ
TOCR1	-	タイマアウトプットコントロールレジスタ 1	-
TOCR1A, TOCR1B	-	-	タイマアウトプットコントロールレジスタ 1
TOCR2	-	タイマアウトプットコントロールレジスタ 2	-
TOCR2A, TOCR2B	-	-	タイマアウトプットコントロールレジスタ 2
TOLBR	-	タイマアウトプットレベルバッファレジスタ	-
TOLBRA, TOLBRB	-	-	タイマアウトプットレベルバッファレジスタ
TGCR(RX62N) TGCRA(RX671)	-	タイマゲートコントロールレジスタ	タイマゲートコントロールレジスタ A
TCNTS	-	タイマサブカウンタ	-
TCNTSA, TCNTSB	-	-	タイマサブカウンタ
TDDR	-	タイマデッドタイムデータレジスタ	-
TDDRA, TDDRb	-	-	タイマデッドタイムデータレジスタ
TCDR	-	タイマ周期データレジスタ	-

レジスタ	ビット	RX62N(MTU2)	RX671(MTU3a)
TCDRA, TCDRB	-	-	タイマ周期データレジスタ
TCBR	-	タイマ周期バッファレジスタ	-
TCBRA, TCBRB	-	-	タイマ周期バッファレジスタ
TITCR(RX62N) TITCR1A(RX671)	-	タイマ割り込み間引き設定レジスタ	タイマ割り込み間引き設定レジスタ 1
TITCR1B	-	-	タイマ割り込み間引き設定レジスタ 1
TITCR2A, TITCR2B	-	-	タイマ割り込み間引き設定レジスタ 2
TITCNT(RX62N) TITCNT1A(RX671)	-	タイマ割り込み間引き回数カウンタ	タイマ割り込み間引き回数カウンタ 1
TITCNT1B	-	-	タイマ割り込み間引き回数カウンタ 1
TITCNT2A, TITCNT2B	-	-	タイマ割り込み間引き回数カウンタ 2
TBTER	-	タイマバッファ転送設定レジスタ	-
TBTERA, TBTERB	-	-	タイマバッファ転送設定レジスタ
TDER	-	タイマデッドタイムイネーブル レジスタ	-
TDERA, TDERB	-	-	タイマデッドタイムイネーブル レジスタ
TWCR	-	タイマ波形コントロールレジスタ	-
TWCRA, TWCRB	-	-	タイマ波形コントロールレジスタ
TSYCR	-	-	タイマシンクロクリアレジスタ
TCNTLW	-	-	タイマロングワードカウンタ
TGRALW TGRBLW	-	-	タイマロングワードジェネラル レジスタ
TCSYSTR	-	-	タイマカウンタシンクロスタート レジスタ
NFCRn	-	-	ノイズフィルタコントロール レジスタ n (n = 0~4, 6, 7, 8, C)
NFCR5	-	-	ノイズフィルタコントロール レジスタ 5
TITMRA TITMRB	-	-	タイマ割り込み間引きモード レジスタ

2.18 ポートアウトプットイネーブル 2/3

表 2.35 にポートアウトプットイネーブル 2/3 の概要比較を、表 2.36 にポートアウトプットイネーブル 2/3 のレジスタ比較を示します。

表 2.35 ポートアウトプットイネーブル 2/3 の概要比較

項目	RX62N(POE2)	RX671(POE3a)
出力停止時の端子の状態	ハイインピーダンス	ハイインピーダンス
ハイインピーダンス制御対象端子	- MTU の出力端子 —MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) —MTU3 端子 (MTIOC3B, MTIOC3D) —MTU4 端子 (MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) —MTU6 端子 (MTIOC6A, MTIOC6B, MTIOC6C, MTIOC6D) —MTU9 端子 (MTIOC9B, MTIOC9D) —MTU10 端子 (MTIOC10A, MTIOC10B, MTIOC10C, MTIOC10D)	- MTU の出力端子 —MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) —MTU3 端子 (MTIOC3B, MTIOC3D) —MTU4 端子 (MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) —MTU6 端子 (MTIOC6B, MTIOC6D) —MTU7 端子 (MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D)
ハイインピーダンス要求発生条件	- 入力端子の変化 POE0#~POE9#端子に信号が入力されたとき - 出力端子の短絡 以下の組み合わせの出力信号レベル(アクティブレベル)が 1 サイクル以上一致(短絡)したとき 【MTU 相補 PWM 出力端子】 —MTIOC3B-A と MTIOC3D-A —MTIOC3B-B と MTIOC3D-B —MTIOC4A-A と MTIOC4C-A —MTIOC4A-B と MTIOC4C-B —MTIOC4B-A と MTIOC4D-A —MTIOC4B-B と MTIOC4D-B —MTIOC9B と MTIOC9D —MTIOC10A と MTIOC10C —MTIOC10B と MTIOC10D - SPOER レジスタを設定したとき - メインクロック発生回路の発振停止を検出したとき	- 入力端子の変化 POE0#, POE4#, POE8#, POE10#, POE11#端子に信号が入力されたとき - 出力端子の短絡 以下の組み合わせの出力信号レベル(アクティブレベル)が 1 サイクル以上一致(短絡)したとき 【MTU 相補 PWM 出力端子】 —MTIOC3B と MTIOC3D —MTIOC4A と MTIOC4C —MTIOC4B と MTIOC4D —MTIOC6B と MTIOC6D —MTIOC7A と MTIOC7C —MTIOC7B と MTIOC7D - SPOER レジスタを設定したとき - メインクロック発生回路の発振停止を検出したとき

項目	RX62N(POE2)	RX671(POE3a)
機能	• POE0#~POE9#の各入力端子に立ち下がりエッジ、PCLK/8×16 回、PCLK/16×16 回、PCLK/128×16 回の Low レベルサンプリングの設定が可能です。 • POE0#~POE9#端子の立ち下がりエッジまたは Low レベルサンプリングによって、MTU 相補 PWM 出力端子および MTU0 または MTU6 端子をハイインピーダンス状態にできます。 • クロック発生回路の発振停止を検出した場合、MTU 相補 PWM 出力端子および MTU0 または MTU6 端子をハイインピーダンス状態にできます。 • MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 用の端子をハイインピーダンス状態にできます。 • POE のレジスタ書き込みをすることで、MTU 相補 PWM 出力端子および MTU0 または MTU6 端子をハイインピーダンス状態にできます。 • 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。	• POE0#、POE4#、POE8#、POE10#、POE11#の各入力端子に立ち下がりエッジ、PCLK/8×16 回、PCLK/16×16 回、PCLK/128×16 回の Low サンプリングの設定が可能です • POE0#、POE4#、POE8#、POE10#、POE11#端子の立ち下がりエッジ、または Low サンプリングによって、すべての制御対象端子の出力をハイインピーダンスにできます • クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力をハイインピーダンスにできます • MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子の出力をハイインピーダンスにできます • POE のレジスタの設定により、すべての制御対象端子の出力をハイインピーダンスにできます • 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です

表 2.36 ポートアウトプットイネーブル 2/3 のレジスタ比較

レジスタ	ビット	RX62N(POE2)	RX671(POE3a)
ICSR1	POE1M[1:0]	POE1 モード選択ビット	-
	POE2M[1:0]	POE2 モード選択ビット	-
	POE3M[1:0]	POE3 モード選択ビット	-
	POE1F	POE1 フラグ	-
	POE2F	POE2 フラグ	-
	POE3F	POE3 フラグ	-
ICSR2	POE5M[1:0]	POE5 モード選択ビット	-
	POE6M[1:0]	POE6 モード選択ビット	-
	POE7M[1:0]	POE7 モード選択ビット	-
	POE5F	POE5 フラグ	-
	POE6F	POE6 フラグ	-
	POE7F	POE7 フラグ	-
ICSR4	POE9M[1:0] (RX62N) POE10M[1:0] (RX671)	POE9 モード選択ビット	POE10 モード選択ビット
	POE9E(RX62N) POE10E(RX671)	POE9 ハイインピーダンス許可ビット	POE10 ハイインピーダンス許可ビット
	POE9F(RX62N) POE10F(RX671)	POE9 フラグ	POE10 フラグ
ICSR5	-	-	入力レベルコントロール/ ステータスレジスタ 5
ICSR6	-	-	入力レベルコントロール/ ステータスレジスタ 6
SPOER	CH34HIZ(RX62N) MTUCH34HIZ (RX671)	MTU3、MTU4 出力 ハイインピーダンス許可ビット	MTU3、MTU4 端子 ハイインピーダンス許可ビット
	CH0HIZ(RX62N) MTUCH0HIZ (RX671)	MTU0 出力 ハイインピーダンス許可ビット (b1)	MTU0 端子 ハイインピーダンス許可ビット (b2)
	CH910HIZ	MTU9、MTU10 出力 ハイインピーダンス許可ビット	-
	CH6HIZ(RX62N) MTUCH67HIZ (RX671)	MTU6 出力 ハイインピーダンス許可ビット (b3)	MTU6、MTU7 端子 ハイインピーダンス許可ビット (b1)
POECR1	PE0ZE(RX62N) MTU0AZE (RX671)	MTIOC0A ハイインピーダンス許可ビット	MTIOC0A 端子 ハイインピーダンス許可ビット
	PE1ZE(RX62N) MTU0BZE (RX671)	MTIOC0B ハイインピーダンス許可ビット	MTIOC0B 端子 ハイインピーダンス許可ビット
	PE2ZE(RX62N) MTU0CZE (RX671)	MTIOC0C ハイインピーダンス許可ビット	MTIOC0C 端子 ハイインピーダンス許可ビット
	PE3ZE(RX62N) MTU0DZE (RX671)	MTIOC0D ハイインピーダンス許可ビット	MTIOC0D 端子 ハイインピーダンス許可ビット
	PE4ZE	MTIOC6A ハイインピーダンス許可ビット	-
	PE5ZE	MTIOC6B ハイインピーダンス許可ビット	-

レジスタ	ビット	RX62N(POE2)	RX671(POE3a)
POECR1	PE6ZE	MTIOC6C ハインピーダンス許可ビット	-
	PE7ZE	MTIOC6D ハインピーダンス許可ビット	-
POECR2	P6CZE	MTU ポート 6 ハインピーダンス許可ビット	-
	P5CZE	MTU ポート 5 ハインピーダンス許可ビット	-
	P4CZE	MTU ポート 4 ハインピーダンス許可ビット	-
	P3CZEB	MTU ポート 3 ハインピーダンス許可 B ビット	-
	P2CZEB	MTU ポート 2 ハインピーダンス許可 B ビット	-
	P1CZEB	MTU ポート 1 ハインピーダンス許可 B ビット	-
	P3CZEA	MTU ポート 3 ハインピーダンス許可 A ビット	-
	P2CZEA	MTU ポート 2 ハインピーダンス許可 A ビット	-
	P1CZEA	MTU ポート 1 ハインピーダンス許可 A ビット	-
	MTU7BDZE	-	MTIOC7B/MTIOC7D 端子 ハインピーダンス許可ビット
	MTU7ACZE	-	MTIOC7A/MTIOC7C 端子 ハインピーダンス許可ビット
	MTU6BDZE	-	MTIOC6B/MTIOC6D 端子 ハインピーダンス許可ビット
	MTU4BDZE	-	MTIOC4B/MTIOC4D 端子 ハインピーダンス許可ビット
	MTU4ACZE	-	MTIOC4A/MTIOC4C 端子 ハインピーダンス許可ビット
	MTU3BDZE	-	MTIOC3B/MTIOC3D 端子 ハインピーダンス許可ビット
ALR1	-	-	アクティブレベルレジスタ 1
POECR4	-	-	ポートアウトブットイネーブル コントロールレジスタ 4
POECR5	-	-	ポートアウトブットイネーブル コントロールレジスタ 5
M0SELR1	-	-	MTU0 端子選択レジスタ 1
M0SELR2	-	-	MTU0 端子選択レジスタ 2
M3SELR	-	-	MTU3 端子選択レジスタ
M4SELR1	-	-	MTU4 端子選択レジスタ 1
M4SELR2	-	-	MTU4 端子選択レジスタ 2

2.19 プログラマブルパルスジェネレータ

表 2.37 にプログラマブルパルスジェネレータのレジスタ比較を示します。

表 2.37 プログラマブルパルスジェネレータのレジスタ比較

レジスタ	ビット	RX62N(PPG)	RX671(PPG)
PPG1.PTRSLR	PTRSL	PPG トリガ選択ビット 0 : PPG1 のトリガは MTU0~3 1 : PPG1 のトリガは MTU6~9	PPG トリガ選択ビット 0 : PPG1 のトリガは MTU の MTU0~MTU3 1 : PPG1 のトリガは TPU の TPU0~TPU3
NDRH2	-	-	ネクストデータレジスタ H2
NDRL2	-	-	ネクストデータレジスタ L2
PPG1.PCR	G0CMS[1:0]	グループ 4 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0”の場合 b1 b0 0 0 : MTU0 のコンペアマッチ 0 1 : MTU1 のコンペアマッチ 1 0 : MTU2 のコンペアマッチ 1 1 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1”の場合 b1 b0 0 0 : MTU6 のコンペアマッチ 0 1 : MTU7 のコンペアマッチ 1 0 : MTU8 のコンペアマッチ 1 1 : MTU9 のコンペアマッチ	グループ 4 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0”の場合 b1 b0 0 0 : MTU0 のコンペアマッチ 0 1 : MTU1 のコンペアマッチ 1 0 : MTU2 のコンペアマッチ 1 1 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1”の場合 b1 b0 0 0 : TPU0 のコンペアマッチ 0 1 : TPU1 のコンペアマッチ 1 0 : TPU2 のコンペアマッチ 1 1 : TPU3 のコンペアマッチ
	G1CMS[1:0]	グループ 5 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0”の場合 b3 b2 0 0 : MTU0 のコンペアマッチ 0 1 : MTU1 のコンペアマッチ 1 0 : MTU2 のコンペアマッチ 1 1 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1”の場合 b3 b2 0 0 : MTU6 のコンペアマッチ 0 1 : MTU7 のコンペアマッチ 1 0 : MTU8 のコンペアマッチ 1 1 : MTU9 のコンペアマッチ	グループ 5 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0”の場合 b3 b2 0 0 : MTU0 のコンペアマッチ 0 1 : MTU1 のコンペアマッチ 1 0 : MTU2 のコンペアマッチ 1 1 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1”の場合 b3 b2 0 0 : TPU0 のコンペアマッチ 0 1 : TPU1 のコンペアマッチ 1 0 : TPU2 のコンペアマッチ 1 1 : TPU3 のコンペアマッチ

レジスタ	ビット	RX62N(PPG)	RX671(PPG)
PPG1.PCR	G2CMS[1:0]	グループ 6 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b5 b4 00 : MTU0 のコンペアマッチ 01 : MTU1 のコンペアマッチ 10 : MTU2 のコンペアマッチ 11 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b5 b4 00 : MTU6 のコンペアマッチ 01 : MTU7 のコンペアマッチ 10 : MTU8 のコンペアマッチ 11 : MTU9 のコンペアマッチ	グループ 6 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b5 b4 00 : MTU0 のコンペアマッチ 01 : MTU1 のコンペアマッチ 10 : MTU2 のコンペアマッチ 11 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b5 b4 00 : TPU0 のコンペアマッチ 01 : TPU1 のコンペアマッチ 10 : TPU2 のコンペアマッチ 11 : TPU3 のコンペアマッチ
	G3CMS[1:0]	グループ 7 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b7 b6 00 : MTU0 のコンペアマッチ 01 : MTU1 のコンペアマッチ 10 : MTU2 のコンペアマッチ 11 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b7 b6 00 : MTU6 のコンペアマッチ 01 : MTU7 のコンペアマッチ 10 : MTU8 のコンペアマッチ 11 : MTU9 のコンペアマッチ	グループ 7 コンペアマッチ選択ビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 b7 b6 00 : MTU0 のコンペアマッチ 01 : MTU1 のコンペアマッチ 10 : MTU2 のコンペアマッチ 11 : MTU3 のコンペアマッチ - PPG1.PTRSLR.PTRSL ビットが “1” の場合 b7 b6 00 : TPU0 のコンペアマッチ 01 : TPU1 のコンペアマッチ 10 : TPU2 のコンペアマッチ 11 : TPU3 のコンペアマッチ
PPG1.PMR	G0NOV	グループ 4 ノンオーバーラップビット 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n=0~3、6~9)	グループ 4 ノンオーバーラップビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n = 0~3) - PPG1.PTRSLR.PTRSL ビットが “1” の場合 0 : 通常動作 (選択された TPUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された TPUn のコンペアマッチ A、B で出力値を更新) (n = 0~3)

レジスタ	ビット	RX62N(PPG)	RX671(PPG)
PPG1.PMR	G1NOV	グループ 5 ノンオーバーラップビット 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n=0~3、6~9)	グループ 5 ノンオーバーラップビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n = 0~3) - PPG1.PTRSLR.PTRSL ビットが “1” の場合 0 : 通常動作 (選択された TPUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された TPUn のコンペアマッチ A、B で出力値を更新) (n = 0~3)
	G2NOV	グループ 6 ノンオーバーラップビット 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n=0~3、6~9)	グループ 6 ノンオーバーラップビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n = 0~3) - PPG1.PTRSLR.PTRSL ビットが “1” の場合 0 : 通常動作 (選択された TPUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された TPUn のコンペアマッチ A、B で出力値を更新) (n = 0~3)

レジスタ	ビット	RX62N(PPG)	RX671(PPG)
PPG1.PMR	G3NOV	グループ 7 ノンオーバーラップビット 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n=0~3、6~9)	グループ 7 ノンオーバーラップビット - PPG1.PTRSLR.PTRSL ビットが “0” の場合 0 : 通常動作 (選択された MTUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された MTUn のコンペアマッチ A、B で出力値を更新) (n = 0~3) - PPG1.PTRSLR.PTRSL ビットが “1” の場合 0 : 通常動作 (選択された TPUn のコンペアマッチ A で出力値を更新) 1 : ノンオーバーラップ動作 (選択された TPUn のコンペアマッチ A、B で出力値を更新) (n = 0~3)

2.20 8 ビットタイマ

表 2.38 に 8 ビットタイマの概要比較を、表 2.39 に 8 ビットタイマのレジスタ比較を示します。

表 2.38 8 ビットタイマの概要比較

項目	RX62N(TMR)	RX671(TMR ^b)
カウントクロック	- 分周クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 - 外部クロック	- 内部クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 - 外部クロック : 外部カウントクロック
チャンネル数	(8 ビット×2 チャンネル)×2 ユニット	(8 ビット×2 チャンネル)×2 ユニット
コンペアマッチ	8 ビットモード(コンペアマッチ A、コンペアマッチ B) 16 ビットモード(コンペアマッチ A、コンペアマッチ B)	8 ビットモード(コンペアマッチ A、コンペアマッチ B) 16 ビットモード(コンペアマッチ A、コンペアマッチ B)
カウンタクリア	コンペアマッチ A、コンペアマッチ B、外部リセット信号から選択	コンペアマッチ A、コンペアマッチ B、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM 出力	任意のデューティ比のパルス出力、PWM 出力
2 チャンネルのカスケード接続	16 ビットカウントモード TMR0 を上位、TMR1 を下位(TMR2 を上位、TMR3 を下位)とする 16 ビットタイマ - コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウント(TMR3 は TMR2 のコンペアマッチをカウント)	16 ビットカウントモード TMR0 を上位、TMR1 を下位(TMR2 を上位、TMR3 を下位)とする 16 ビットタイマ - コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウント(TMR3 は TMR2 のコンペアマッチをカウント)
割り込み要因	コンペアマッチ A、コンペアマッチ B、オーバーフロー	コンペアマッチ A、コンペアマッチ B、オーバーフロー
イベントリンク機能(出力)	-	コンペアマッチ A、コンペアマッチ B、オーバーフロー(TMR0~3)
イベントリンク機能(入力)	-	イベント受付により、3 種類のうち 1 つの動作が可能 (1)カウントスタート動作(TMR0~3) (2)イベントカウンタ動作(TMR0~3) (3)カウントリスタート動作(TMR0~3)
DTC の起動	コンペアマッチ A 割り込み、コンペアマッチ B 割り込みによる起動可能	コンペアマッチ A 割り込み、コンペアマッチ B 割り込みによる起動可能
A/D コンバータの変換開始トリガ	TMR0、TMR2 のコンペアマッチ A	TMR0、TMR2 のコンペアマッチ A
SCI のボーレートクロック生成	SCI5、SCI6 のボーレートクロックを生成	SCI の基本クロックを生成
REMC 動作クロック生成	-	REMC (リモコン信号受信機能)の動作クロックを生成
消費電力低減機能	ユニット毎にモジュールストップ状態への設定が可能	ユニットごとにモジュールストップ状態への遷移が可能

表 2.39 8 ビットタイマのレジスタ比較

レジスタ	ビット	RX62N(TMR)	RX671(TMR ^b)
TCSTR	-	-	タイムカウンタスタートレジスタ

2.21 コンペアマッチタイマ

表 2.40 にコンペアマッチタイマの概要比較を示します。

表 2.40 コンペアマッチタイマの概要比較

項目	RX62N(CMT)	RX671(CMT)
カウントクロック	4 種類の分周クロック PCLK/8、PCLK/32、PCLK128、 PCLK/512 の中からチャンネルごとに 選択可能	4 種類の分周クロック PCLK/8、PCLK/32、PCLK128、 PCLK/512 の中からチャンネルごとに 選択可能
割り込み	コンペアマッチ割り込みを各チャンネル 独立に要求することが可能	コンペアマッチ割り込みをチャンネルご とに要求することが可能
イベントリンク機能(出力)	-	CMT1 のコンペアマッチによりイベ ント信号出力
イベントリンク機能(入力)	-	- 設定したモジュールに対してリン ク動作が可能 - CMT1 のカウントスタート、イベ ントカウンタ、カウントリスター ト動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状 態への設定が可能	ユニットごとにモジュールストップ状 態への設定が可能

2.22 リアルタイムクロック

表 2.41 にリアルタイムクロックの概要比較を、表 2.42 にリアルタイムクロックのレジスタ比較を示します。

表 2.41 リアルタイムクロックの概要比較

項目	RX62N(RTC)	RX671(RTCd)
カウントモード	カレンダーカウントモード	カレンダーカウントモード/ バイナリカウントモード
カウントソース	サブクロック(XCIN)	サブクロック(XCIN)またはメインクロック(EXTAL)
時計/カレンダー機能	• カレンダーカウントモード —年、月、日、曜日、時、分、秒をカウント、BCD 表示 —30 秒調整機能 (30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) —うるう年自動補正機能 —スタート/ストップ機能 —1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz の状態をバイナリで表示 —1Hz クロック出力	• カレンダーカウントモード —年、月、日、曜日、時、分、秒をカウント、BCD 表示 —12 時間/24 時間モード切り替え機能 —30 秒調整機能(30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) —うるう年自動補正機能 • バイナリカウントモード —秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 —スタート/ストップ機能 —秒以下の桁のバイナリ表示(1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) —時計誤差補正機能 —クロック(1Hz/64Hz)出力
割り込み	• アラーム割り込み(ALM) アラーム割り込み条件として、年、月、日、曜日、時、分、秒のいずれと比較するか選択可能 • 周期割り込み(PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/16 秒、1/64 秒、1/256 秒周期から選択可能 • 桁上げ割り込み(CUP) 秒カウンタへの桁上げ、または 64Hz カウンタの読み出し時に、プリスケアラから 64Hz カウンタへの桁上げが発生したことを示す • アラーム割り込みによる、ソフトウェアスタンバイまたはディープソフトウェアスタンバイからの復帰が可能	• アラーム割り込み(ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 —カレンダーカウントモード: 年、月、日、曜日、時、分、秒 —バイナリカウントモード: 32 ビットバイナリカウンタの各ビット • 周期割り込み(PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期から選択可能 • 桁上げ割り込み(CUP) 次のいずれかのタイミングで割り込み要求発生 —64Hz カウンタから秒カウンタへの桁上げが発生したとき —64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき • アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能

項目	RX62N(RTC)	RX671(RTCd)
時間キャプチャ機能	-	- 時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 - イベント入力ごとに、月、日、時、分、秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	-	周期イベント出力

表 2.42 リアルタイムクロックのレジスタ比較

レジスタ	ビット	RX62N(RTC)	RX671(RTCd)
BCNT0 (注 1)	-	-	バイナリカウンタ 0
BCNT1 (注 1)	-	-	バイナリカウンタ 1
RHRCNT	PM	-	PM ビット
BCNT2 (注 1)	-	-	バイナリカウンタ 2
BCNT3 (注 1)	-	-	バイナリカウンタ 3
RDAYCNT	DAY1[3:0] (RX62N) DATE1[3:0] (RX671)	日一位カウントビット	1 日カウントビット
	DAY10[1:0] (RX62N) DATE10[1:0] (RX671)	日十位カウントビット	10 日カウントビット
RYRCNT	YEAR1[3:0] (RX62N) YR1[3:0] (RX671)	年一位カウントビット	1 年カウントビット
	YEAR10[3:0] (RX62N) YR10[3:0] (RX671)	年十位カウントビット	10 年カウントビット
	YEAR100[3:0]	年百位カウントビット	-
	YEAR1000[3:0]	年千位カウントビット	-
BCNT0AR (注 1)	-	-	バイナリカウンタ 0 アラーム レジスタ
BCNT1AR (注 1)	-	-	バイナリカウンタ 1 アラーム レジスタ
RHRAR	HOURL1[3:0] (RX62N) HR1[3:0] (RX671)	1 時間ビット	1 時間ビット
	HOURL10[1:0] (RX62N) HR10[1:0] (RX671)	10 時間ビット	10 時間ビット
	PM	-	PM ビット
BCNT2AR (注 1)	-	-	バイナリカウンタ 2 アラーム レジスタ

レジスタ	ビット	RX62N(RTC)	RX671(RTCd)
RWKAR	DAY[2:0] (RX62N) DAYW[2:0] (RX671)	曜日の設定値ビット	曜日の設定値ビット
BCNT3AR (注1)	-	-	バイナリカウンタ 3 アラーム レジスタ
RDAYAR	DAY1[3:0] (RX62N) DATE1[3:0] (RX671)	1 日ビット	1 日ビット
	DAY10[1:0] (RX62N) DATE10[1:0] (RX671)	10 日ビット	10 日ビット
BCNT0AER (注1)	-	-	バイナリカウンタ 0 アラーム許可 レジスタ
BCNT1AER (注1)	-	-	バイナリカウンタ 1 アラーム許可 レジスタ
RYRAR	YEAR1[3:0] (RX62N) YR1[3:0] (RX671)	1 年ビット	1 年ビット
	YEAR10[3:0] (RX62N) YR10[3:0] (RX671)	10 年ビット	10 年ビット
	YEAR100[3:0]	100 年ビット	-
	YEAR1000[3:0]	1000 年ビット	-
	-	-	-
BCNT2AER (注1)	-	-	バイナリカウンタ 2 アラーム許可 レジスタ
BCNT3AER (注1)	-	-	バイナリカウンタ 3 アラーム許可 レジスタ
RCR1	RTCOS	-	RTCOUOUT 出力選択ビット
	PES[2:0] (RX62N) PES[3:0] (RX671)	周期割り込み選択ビット (b6-b4)	周期割り込み選択ビット (b7-b4)
RCR2	ADJ (RX62N) ADJ30 (RX671)	30 秒調整ビット	30 秒調整ビット
	AADJE	-	自動補正機能許可ビット
	AADJP	-	自動補正周期選択ビット
	HR24	-	時間モードビット
	CNTMD	-	カウントモード選択ビット
RCR3	-	-	RTC コントロールレジスタ 3
RCR4	-	-	RTC コントロールレジスタ 4
RFRH RFRL	-	-	周波数レジスタ H/L
RADJ	-	-	時間誤差補正レジスタ
RTCCRn	-	-	時間キャプチャ制御レジスタ n (n = 0~2)
RSECCPn	-	-	秒キャプチャレジスタ n (n = 0~2)

レジスタ	ビット	RX62N(RTC)	RX671(RTC ^d)
BCNT0CPn (注 1)	-	-	BCNT0 キャプチャレジスタ n (n = 0~2)
RMINCPn	-	-	分キャプチャレジスタ n (n = 0~2)
BCNT1CPn (注 1)	-	-	BCNT1 キャプチャレジスタ n (n = 0~2)
RHRCPn	-	-	時キャプチャレジスタ n (n = 0~2)
BCNT2CPn (注 1)	-	-	BCNT2 キャプチャレジスタ n (n = 0~2)
RDAYCPn	-	-	日キャプチャレジスタ n (n = 0~2)
BCNT3CPn (注 1)	-	-	BCNT3 キャプチャレジスタ n (n = 0~2)
RMONCPn	-	-	月キャプチャレジスタ n (n = 0~2)

注 1. バイナリカウントモード時

2.23 ウォッチドッグタイマ

表 2.43 にウォッチドッグタイマの概要比較を、表 2.44 にウォッチドッグタイマのレジスタ比較を示します。

表 2.43 ウォッチドッグタイマの概要比較

項目	RX62N(WDT)	RX671(WDTA)
カウントソース	周辺モジュールクロック (PCLK)	周辺モジュールクロック (PCLK)
クロック分周比	PCLK/4、PCLK/64、PCLK/128、 PCLK/512、PCLK/2048、PCLK/8192、 PCLK/32768、PCLK/131072	4 分周/64 分周/128 分周/512 分周/2048 分周/8192 分周
カウント動作	8 ビットのアップカウンタによるアップカウント	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	- ウォッチドッグタイマモード： TCSR.TMS ビットを“1”(ウォッチドッグタイマモード)、および TCSR.TME ビットを“1”(TCNT カウンタはカウントを開始)にする - インターバルタイマ： TCSR.TMS ビットを“0”(インターバルタイマモード)に、TCSR.TME ビットを“1”(TCNT カウンタはカウントを開始)にする	- オートスタートモード： リセット解除後、自動的にカウント開始 - レジスタスタートモード： リフレッシュ動作 (WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	- リセット(アップカウンタ、レジスタは初期値に戻る) - オーバフロー発生時 TCSR.TME ビットを“0”にする (TCNT カウンタは“00h”に初期化)	- リセット (ダウンカウンタ、レジスタは初期値に戻る) - 低消費電力状態 アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	-	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット発行要因	ウォッチドッグタイマモード時、カウンタがオーバフローすると、外部に WDTOVF#信号を出力、同時に LSI 内部をリセットするかどうかを選択可能	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行ったとき (リフレッシュエラー)
割り込み要因	割り込み要因 インターバルタイマモード時、カウンタがオーバフローすると、インターバルタイマ割り込み (WOVI) が発生	ノンマスカブル割り込み/割り込み要因 - ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
カウント値の読み出し	TCNT レジスタを読み出すことで、アップカウンタのカウント値の読み出しが可能	WDTSR レジスタを読み出すことで、 ダウンカウンタのカウント値の読み出しが可能

表 2.44 ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62N(WDT)	RX671(WDT ^A)
TCNT	-	タイマカウンタ	-
TCSR	-	タイマコントロール/ ステータスレジスタ	-
RSTCSR	-	リセットコントロール/ ステータスレジスタ	-
WINA	-	ライトウィンドウ A レジスタ	-
WINB	-	ライトウィンドウ B レジスタ	-
WDTRR	-	-	WDT リフレッシュレジスタ
WDTCR	-	-	WDT コントロールレジスタ
WDTSR	-	-	WDT ステータスレジスタ
WDTRCR	-	-	WDT リセットコントロールレジスタ

2.24 独立ウォッチドッグタイマ

表 2.45 に独立ウォッチドッグタイマの概要比較を、表 2.46 に独立ウォッチドッグタイマのレジスタ比較を示します。

表 2.45 独立ウォッチドッグタイマの概要比較

項目	RX62N(IWDT)	RX671(IWDTa)
カウントソース	オンチップオシレータクロック (IWDTCLK)	IWDT 専用クロック (IWDTCLK)
クロック分周比	IWDTCLK、IWDTCLK/16、IWDTCLK/32、IWDTCLK/64、IWDTCLK/128、IWDTCLK/256	1 分周/16 分周/32 分周/64 分周/128 分周/256 分周
カウント動作	14 ビットのダウンカウンタによるダウンカウント	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	ダウンカウンタのリフレッシュ (IWDTRR レジスタに 00h を書いた後、FFh を書く) によりカウント開始	- オートスタートモード : リセット解除後、自動的にカウント開始 - レジスタスタートモード : リフレッシュ動作 (IWDTRR レジスタに 00h を書き込み後、FFh を書き込む) により、カウント開始
カウント停止条件	- リセット (ダウンカウンタ、レジスタは初期値に戻ります。) - アンダフロー発生時	- リセット (ダウンカウンタ、レジスタは初期値に戻る) - 低消費電力状態 (レジスタ設定による) - アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	-	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	ダウンカウンタがアンダフローしたとき	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
割り込み要因	-	ノンマスカブル割り込み/割り込み要因 - ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウント値の読み出し	IWDTSR レジスタを読むことで、ダウンカウンタのカウント値が読めます	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能 (出力)	-	- ダウンカウンタのアンダフローイベント出力 - リフレッシュエラーイベント出力
出力信号 (内部信号)	リセット出力	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力

項目	RX62N(IWDT)	RX671(IWDTa)
オートスタートモード (オプション機能選択レジスタ 0(OFS0 制御))	-	- リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDTRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (OFS0.IWDTIRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	- リフレッシュ動作後のクロック分周比の選択(IWDTCR.CKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット)	- リフレッシュ動作後のクロック分周比の選択(IWDTCR.CKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (IWDTCCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (IWDTCSTPR.SLCSTP ビット)

表 2.46 独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62N(IWDT)	RX671(IWDT ^a)
IWDTCR	-	IWDT コントロールレジスタ	IWDT コントロールレジスタ
		リセット後の初期値が異なります	
	CKS[3:0]	クロック選択ビット b7 b4 0 0 — — : IWDTCLK 0 1 0 0 : IWDTCLK/16 0 1 0 1 : IWDTCLK/32 0 1 1 0 : IWDTCLK/64 0 1 1 1 : IWDTCLK/128 1 — — — : IWDTCLK/256	クロック分周比選択ビット b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16 分周 0 0 1 1 : 32 分周 0 1 0 0 : 64 分周 0 1 0 1 : 256 分周 1 1 1 1 : 128 分周 上記以外は設定しないでください
	RPES[1:0]	-	ウィンドウ終了位置選択ビット
	RPSS[1:0]	-	ウィンドウ開始位置選択ビット
IWDTSR	REFEF	-	リフレッシュエラーフラグ
IWDTRCR	-	-	IWDT リセットコントロールレジスタ
IWDTCSTPR	-	-	IWDT カウント停止コントロールレジスタ

2.25 USB2.0 ホスト/ファンクションモジュール

表 2.47 に USB2.0FS ホスト/ファンクションモジュールの概要比較を、表 2.48 に USB2.0FS ホスト/ファンクションモジュールのレジスタ比較を示します。

表 2.47 USB2.0FS ホスト/ファンクションモジュールの概要比較

項目	RX62N(USB)	RX671(USB ^b)
特長	• USB2.0 に対応した UDC (USB Device Controller) およびトランシーバを内蔵 • 2 ポート内蔵 • OTG (ON-The-Go) に対応 • USB ホストコントローラとファンクションコントローラを内蔵 (ソフトウェアで切り替え可能) • セルフパワーモードおよびバスパワーモードを選択可能	• USB2.0 に対応した UDC(USB Device Controller)およびトランシーバを内蔵 • ホストコントローラ機能/ファンクションコントローラ機能/OTG(ON-The-Go)に対応 (2 チャンネル) • ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 • セルフパワーモードおよびバスパワーモードを選択可能
	ホストコントローラ機能選択時 • フルスピード転送 (12Mbps) に対応^(注1) • SOF、パケット送信のスケジュールを自動化 • アイソクロナス転送、インタラプト転送の転送インターバル設定機能 • ハブを 1 段経由し、複数の周辺デバイスと接続し通信が可能	ホストコントローラ機能選択時 • フルスピード転送(12Mbps)およびロースピード転送(1.5Mbps)に対応 • SOF、パケット送信のスケジュールを自動化 • アイソクロナス転送、インタラプト転送の転送インターバル設定機能 • ハブを 1 段経由し、複数の周辺デバイスと接続し通信が可能
	ファンクションコントローラ機能選択時 • フルスピード転送 (12Mbps) に対応^(注1) • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • SOF 補完機能	ファンクションコントローラ機能選択時 • フルスピード転送(12Mbps)に対応^(注1) • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • SOF 補完機能
通信データ転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
内部バスインタフェース	内部周辺バス 3 に接続	内部周辺バス 3 に接続
パイプコンフィギュレーション	• USB 通信用バッファメモリを内蔵 • 最大 10 本のパイプを選択可能 (デフォルトコントロールパイプを含む) • パイプ 1~9 は任意のエンドポイント番号を割り付け可能	• USB 通信用バッファメモリを内蔵 • 最大 10 本のパイプを選択可能 (デフォルトコントロールパイプを含む) • パイプ 1~9 は任意のエンドポイント番号を割り付け可能

項目	RX62N(USB)	RX671(USB ^b)
パイプコンフィギュレーション	各パイプの設定可能な転送条件は以下のとおりです。 - パイプ 0 : コントロール転送専用のパイプ (デフォルトコントロールパイプ: DCP)、バッファサイズは 8/16/32/64 バイト (シングルバッファ) - パイプ 1、2 : バルク転送またはアイソクロナス転送を選択可能なパイプ、バッファサイズはバルク転送時バッファサイズは 8/16/32/64 バイト (ダブルバッファ指定可能)、アイソクロナス転送時 1~256 バイト (ダブルバッファ指定可能) - パイプ 3~5 : バルク転送専用のパイプ、バッファサイズは 8/16/32/64 バイト (ダブルバッファ指定可能) - パイプ 6~9 : インタラプト転送専用のパイプ、1~64 バイト (シングルバッファ)	各パイプの設定可能な転送条件 - パイプ 0: コントロール転送専用のパイプ (デフォルトコントロールパイプ: DCP)、バッファサイズは 64 バイト (シングルバッファ) - パイプ 1、2: バルク転送またはアイソクロナス転送を選択可能なパイプ、バルク転送時バッファサイズは 64 バイト (ダブルバッファ指定可能)、アイソクロナス転送時バッファサイズは 256 バイト (ダブルバッファ指定可能) - パイプ 3~5: バルク転送専用のパイプ、バッファサイズは 64 バイト (ダブルバッファ指定可能) - パイプ 6~9: インタラプト転送専用のパイプ、64 バイト (シングルバッファ)
その他の機能	- トランザクションカウントによる受信トランスファ終了機能 - BRDY 割り込みイベント通知タイミング変更機能 (BFRE) - DnFIFO (n = 0, 1) ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM) - トランスファ終了による応答 PID の NAK 設定機能 (SHTNAK)	- トランザクションカウントによる受信トランスファ終了機能 - BRDY 割り込みイベント通知タイミング変更機能 (BFRE) - DnFIFO (n = 0, 1) ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM) - トランスファ終了による応答 PID の NAK 設定機能 (SHTNAK) D+/D- のプルアップ抵抗、プルダウン抵抗をチップに内蔵
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

注 1. ロースピード転送 (1.5Mbps) に対応していません。

表 2.48 USB2.0FS ホスト/ファンクションモジュールのレジスタ比較

レジスタ	ビット	RX62N(USB)	RX671(USB b)
SYSSTS0	LNST[1:0]	USB データラインステータスモニタビット b1 b0 0 0 : SE0 0 1 : J-State 1 0 : K-State 1 1 : SE1	USB データラインステータスモニタフラグ ● フルスピード動作時 b1 b0 0 0 : SE0 0 1 : J-State 1 0 : K-State 1 1 : SE1 ● ロースピード動作時 (ホストコントローラ機能選択時のみ) b1 b0 0 0 : SE0 0 1 : K-State 1 0 : J-State 1 1 : SE1
	SOFEA	-	ホストコントローラ機能選択時のSOF アクティブモニタビット
DVSTCTR0	RHST[2:0]	USB バスリセットステータスビット ● ホストコントローラ機能選択時 b2 b0 0 0 0 : 通信速度不定 (パワード時あるいは非接続時) 1 x x : USB バスリセット処理中 0 0 1 : ロースピード接続時 (注1) 0 1 0 : フルスピード接続時 ● ファンクションコントローラ機能選択時 b2 b0 0 0 0 : 通信速度不定 0 1 0 : USB バスリセット処理中またはフルスピード接続時	USB バスリセットステータスフラグ ● ホストコントローラ機能選択時 b2 b0 0 0 0 : 通信速度不定(パワード時あるいは非接続時) 1 x x : USB バスリセット処理中 0 0 1 : ロースピード接続時 0 1 0 : フルスピード接続時 ● ファンクションコントローラ機能選択時 b2 b0 0 0 0 : 通信速度不定 0 0 1 : USB バスリセット処理中 0 1 0 : USB バスリセット処理中またはフルスピード接続時
SOFCFG	TRNENSEL	-	トランザクション有効期間切り替えビット
DEVADDn (n=0~5)	USBSPD[1:0]	通信対象デバイスの転送速度ビット b7 b6 0 0 : DEVADDn レジスタ未使用 0 1 : 設定しないでください 1 0 : フルスピード 1 1 : 設定しないでください	通信対象デバイスの転送速度ビット b7 b6 0 0 : DEVADDn レジスタ未使用 0 1 : ロースピード 1 0 : フルスピード 1 1 : 設定しないでください
PHYSLEW	-	-	PHY クロスポイント調整レジスタ
DPUSR0R	RPUE0	-	USB0 D+プルアップ抵抗制御ビット
	DRPD0	-	USB0 D+/D- プルダウン抵抗制御ビット
	SRPC1	USB1 シングルエンドレシーバ制御ビット	-
	FIXPHY1	USB1 トランシーバ出力固定ビット	-

レジスタ	ビット	RX62N(USB)	RX671(USB ^b)
DPUSR0R	DP1	USB1 DP 入力	-
	DM1	USB1 DM 入力	-
	DOVCA1	USB1 OVRCURA 入力	-
	DOVCB1	USB1 OVRCURB 入力	-
	DVBST1	USB1 VBUS 入力	-
DPUSR1R	DPINTE1	USB1 DP 割り込み許可/クリアビット	-
	DMINTE1	USB1 DM 割り込み許可/クリアビット	-
	DPINTE1	USB1 DP 割り込み許可/クリアビット	-
	DMINTE1	USB1 DM 割り込み許可/クリアビット	-
	DOVRCRAE1	USB1 OVRCURA 割り込み許可/ クリアビット	-
	DOVRCRBE1	USB1 OVRCURB 割り込み許可/ クリアビット	-
	DVBSE1	USB1 VBUS 割り込み許可/ クリアビット	-
	OVRCURAINT0 (RX62N) DOVRCRA0 (RX671)	USB0 OVRCURA 割り込み要因による 復帰表示ビット	USB0 OVRCURA 割り込み要因による 復帰表示フラグ
	OVRCURBINT0 (RX62N) DOVRCRB0 (RX671)	USB0 OVRCURB 割り込み要因による 復帰表示ビット	USB0 OVRCURB 割り込み要因による 復帰表示フラグ
	DPINT1	USB1 DP 割り込み要因による復帰表示 ビット	-
	DMINT1	USB1 DM 割り込み要因による復帰表示 ビット	-
	DOVRCRA1	USB1 OVRCURA 割り込み要因による 復帰表示ビット	-
	DOVRCRB1	USB1 OVRCURB 割り込み要因による 復帰表示ビット	-
	DVBINT1	USB1 VBUS 割り込み要因による復帰 表示ビット	-

注 1. USB コントローラはロースピードデバイスとの通信はサポートしていません。本値が読み出されたときには上位アプリにて異常接続処理をしてください。

2.26 シリアルコミュニケーションインタフェース

表 2.49 にシリアルコミュニケーションインタフェースの概要比較を、表 2.50 に SCI チャンネル別仕様比較を、表 2.51 にシリアルコミュニケーションインタフェースレジスタ比較を示します。

表 2.49 シリアルコミュニケーションインタフェースの概要比較

項目		RX62N(SCIa)	RX671(SCIk, SCIm, SCIH)
チャンネル数		SCIa : 6 チャンネル	- SCIk : 10 チャンネル - SCIm : 2 チャンネル - SCIH : 1 チャンネル
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能	- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
入出力信号レベル反転		-	入力信号、出力信号のレベルをそれぞれ独立して反転可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー	- 送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、データ一致 - 開始条件/再開条件/停止条件生成終了 (簡易 I²C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能	チャンネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	-	CTS _n #端子、RTS _n #端子を用いた送受信制御が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能
	データ一致検出	-	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	-	Low または立ち下がりエッジを選択可能
	受信データサンプリングタイミング調整	-	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能
	送信信号変化タイミング調整	-	送信データの立ち下がりエッジまたは立ち上がりエッジのいずれかを遅延させることが可能

項目		RX62N(SCIa)	RX671(SCIk, SCIm, SCIH)
調歩同期式モード	ブレイク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレイクを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出す、または SPTR.RXDMON フラグを読み出す ことでブレイクを検出可能
	クロックソース	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能 (SCI5、SCI6)	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能 (SCI5, SCI6, SCI12)
	倍速モード	-	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	-	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能
スマートカードインタフェースモード	エラー処理	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンペンション/インバースコンペンションをサポート	ダイレクトコンペンション/インバースコンペンションをサポート
簡易 I ² C モード	通信フォーマット	-	I²C バスフォーマット
	動作モード	-	マスタ(シングルマスタ動作のみ)
	転送速度	-	ファストモード対応
	ノイズ除去	-	SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易 SPI モード	データ長	-	8 ビット
	エラーの検出	-	オーバランエラー
	SS 入力端子機能	-	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	-	クロック位相、クロック極性の設定を 4 種類から選択可能
イベントリンク機能 (SCI5 のみ対応)		-	エラー(受信エラー・エラーシグナル検出)イベント出力 受信データフルイベント出力 送信データエンプティイベント出力 送信終了イベント出力
ビットレートモジュレーション機能		-	内蔵ボーレートジェネレータの出力補正により誤差を低減可能
拡張シリアルモード (SCI12 のみ対応)	Start Frame 送信	-	Break Field Low width の出力が可能/出力完了割り込み機能あり バス衝突検出機能あり/検出割り込み機能あり

項目		RX62N(SCIa)	RX671(SCIk, SCIm, SCIH)
拡張シリアルモード (SCI12 のみ対応)	Start Frame 受信	-	● Break Field Low width の検出が可能/検出完了割り込み機能あり ● Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり ● Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 ● Control Field 1 にプライオリティインタラプトビットを設定可能 ● Break Field がない Start Frame にも対応可能 ● Control Field 0 がない Start Frame にも対応可能 ● ビットレート測定機能あり
	入出力制御機能	-	● TXDX12/RXDX12 信号の極性選択が可能 ● RXDX12 信号にデジタルフィルタ機能を設定可能 ● RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 ● RXDX12 端子受信データサンプリングタイミング選択可能
	タイマ機能	-	リロードタイマ機能として使用可能

表 2.50 SCI チャンネル別仕様比較

項目	RX62N(SCIa)	RX671(SCIk, SCIm, SCIH)
調歩同期式モード	SCI0～SCI3, SCI5, SCI6	SCI0～SCI12
クロック同期式モード	SCI0～SCI3, SCI5, SCI6	SCI0～SCI12
スマートカードインタフェースモード	SCI0～SCI3, SCI5, SCI6	SCI0～SCI12
簡易 I ² C モード	-	SCI0～SCI12
簡易 SPI モード	-	SCI0～SCI12
拡張シリアルモード	-	SCI12
TMR クロック入力	SCI5, SCI6	SCI5, SCI6, SCI12
イベントリンク機能	-	SCI5
FIFO モード	-	SCI10, SCI11
データ一致検出	-	SCI0～SCI11
周辺モジュールクロック	PCLK : SCI0～SCI3, SCI5, SCI6	PCLKB : SCI0～SCI9, SCI12 PCLKA : SCI10, SCI11

表 2.51 シリアルコミュニケーションインタフェースレジスタ比較

レジスタ	ビット	RX62N(SCIa)	RX671(SCIk, SCIm, SCIh)
SMR	CHR	キャラクタ長ビット (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信 1 : データ長 7 ビットで送受信	キャラクタレングスビット (SCMR.SMIF = 0 かつ調歩同期式モードのみ有効) SCMR.CHR1 ビットと組み合わせて選択します。 CHR1 CHR 00 : データ長 9 ビットで送受信 01 : データ長 9 ビットで送受信 10 : データ長 8 ビットで送受信 11 : データ長 7 ビットで送受信
	CM	コミュニケーションモードビット 0 : 調歩同期式モードで動作 1 : クロック同期式モードで動作	コミュニケーションモードビット 0 : 調歩同期式モード、 または 簡易 I²C モード で動作 1 : クロック同期式モード、 または 簡易 SPI モード で動作
SCMR	CHR1	-	キャラクタレングスビット 1
SEMR	ITE	-	即時送信許可ビット
	BRME	-	ビットレートモジュレーションイネーブルビット
	ABCSE	-	調歩同期基本クロックセレクト拡張ビット
	NFEN	-	デジタルノイズフィルタ機能イネーブルビット
	BGDM	-	ボーレートジェネレータ倍速モードセレクトビット
	RXDESEL	-	調歩同期スタートビットエッジ検出セレクトビット
RDRH、 RDRL、 RDRHL	-	-	レシーブデータレジスタ H、L、HL
FRDR	-	-	受信 FIFO データレジスタ
TDRH、 TDRL、 TDRHL	-	-	トランスミットデータレジスタ H、L、HL
FTDR	-	-	送信 FIFO データレジスタ
SSRFIFO	-	-	シリアルステータスレジスタ
MDDR	-	-	モジュレーションデューティレジスタ
SNFR	-	-	ノイズフィルタ設定レジスタ
SIMR1	-	-	I ² C モードレジスタ 1
SIMR2	-	-	I ² C モードレジスタ 2
SIMR3	-	-	I ² C モードレジスタ 3
SISR	-	-	I ² C ステータスレジスタ
SPMR	-	-	SPI モードレジスタ
FCR	-	-	FIFO コントロールレジスタ
FDR	-	-	FIFO データカウントレジスタ
LSR	-	-	ラインステータスレジスタ
CDR	-	-	比較データレジスタ
DCCR	-	-	データ比較制御レジスタ
SPTR	-	-	シリアルポートレジスタ

レジスタ	ビット	RX62N(SCIa)	RX671(SCIk, SCIm, SCIh)
TMGR	-	-	送受信タイミング選択レジスタ
ESMER	-	-	拡張シリアルモード有効レジスタ
CR0	-	-	コントロールレジスタ 0
CR1	-	-	コントロールレジスタ 1
CR2	-	-	コントロールレジスタ 2
CR3	-	-	コントロールレジスタ 3
PCR	-	-	ポートコントロールレジスタ
ICR	-	-	割り込みコントロールレジスタ
STR	-	-	ステータスレジスタ
STCR	-	-	ステータスクリアレジスタ
CF0DR	-	-	Control Field 0 データレジスタ
CF0CR	-	-	Control Field 0 コンペアイネーブルレジスタ
CF0RR	-	-	Control Field 0 受信データレジスタ
PCF1DR	-	-	プライマリ Control Field 1 データレジスタ
PCF1DR	-	-	プライマリ Control Field 1 データレジスタ
SCF1DR	-	-	セカンダリ Control Field 1 データレジスタ
CF1CR	-	-	Control Field 1 コンペアイネーブルレジスタ
CF1RR	-	-	Control Field 1 受信データレジスタ
TCR	-	-	タイマコントロールレジスタ
TMR	-	-	タイマモードレジスタ
TPRE	-	-	タイマプリスケアラレジスタ
TCNT	-	-	タイマカウントレジスタ

2.27 I²C バスインタフェース

表 2.52 に I²C バスインタフェースの概要比較を、表 2.53 に I²C バスインタフェースのレジスタ比較を示します。

表 2.52 I²C バスインタフェースの概要比較

項目	RX62N(RIIC)	RX671(RIICa)
通信フォーマット	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	～1Mbps	ファストモードプラス対応(～1Mbps)
シリアルクロック(SCL)	マスタ時、SCL クロックのデューティ比を 4%～96%の範囲で設定可能	マスタ時、SCL のデューティ比を 4%～96%の範囲で設定可能
コンディション発行・コンディション検出	- スタートコンディション/リスタートコンディション/ストップコンディションの自動生成 - スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能	- スタートコンディション/リスタートコンディション/ストップコンディションの自動生成 - スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	- スレーブアドレスを 3 セット設定可能 7 ビット/10 ビットアドレスフォーマット対応(混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能	- 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応(混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	- 送信時、アクノリッジビットの自動ロード —ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 —8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能	- 送信時、アクノリッジビットの自動ロード —ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 —8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	受信時、SCL クロックの Low ホールドによるウェイトが可能 —8 クロック目と 9 クロック目の間をウェイト —9 クロック目と 1 クロック目の間をウェイト(WAIT 機能)	受信時、SCL ラインの Low ホールドによるウェイトが可能 —8 クロック目と 9 クロック目の間をウェイト —9 クロック目と 1 クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

項目	RX62N(RIIC)	RX671(RIICa)
アービトレーション	- マルチマスタ対応 —他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 —スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 —マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能	- マルチマスタ対応 —他のマスタとの SCL 衝突時、SCL の同期動作可能 —スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 —マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL の長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能
割り込み要因	4 種類 - 通信エラー/イベント発生 —AL 検出 —NACK 検出 —タイムアウト検出 —スタートコンディション検出 (リスタートコンディション含む) —ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了	4 種類 - 通信エラー/イベント発生 —アービトレーション検出 —NACK 検出 —タイムアウト検出 —スタートコンディション検出 (リスタートコンディション含む) —ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能
RIIC の動作モード	4 種類 —マスタ送信モード —マスタ受信モード —スレーブ送信モード —スレーブ受信モード	4 種類 —マスタ送信モード —マスタ受信モード —スレーブ送信モード —スレーブ受信モード

項目	RX62N(RIIC)	RX671(RIICa)
イベントリンク機能 (出力)	-	4 種類(RIIC0) - 通信エラー/イベント発生 —アービトレーション検出 —NACK 検出 —タイムアウト検出 —スタートコンディション検出 (リスタートコンディション含む) —ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了

表 2.53 I²C バスインタフェースのレジスタ比較

レジスタ	ビット	RX62N(RIIC)	RX671(RIICa)
ICMR2	TMWE	タイムアウト内部カウンタ書き込み許可ビット	-
TMOCNT	-	タイムアウト内部カウンタ	-

2.28 CAN モジュール

表 2.54 に CAN モジュールの概要比較を、表 2.55 に CAN モジュールのレジスタ比較を示します。

表 2.54 CAN モジュールの概要比較

項目	RX62N(CAN)	RX671(CAN)
チャンネル数	1 チャンネル	2 チャンネル
プロトコル	ISO11898-1 仕様準拠 (標準フレーム/拡張フレーム)	ISO11898-1 仕様準拠 (標準フレーム/拡張フレーム)
ビットレート	1Mbps 以下のビットレートをプログラム可能 (fCAN ≥ 8MHz) - fCAN : CAN クロックソース	1Mbps 以下のビットレートをプログラム可能 (fCAN ≥ 8MHz) - fCAN : CAN クロックソース
メッセージボックス	32 メールボックス : 2 種類のメールボックスモードを選択可能 —通常メールボックスモード : 32 メールボックスを送信または受信用に設定可能 —FIFO メールボックスモード : 24 メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設定可能	32 メールボックス : 2 種類のメールボックスモードを選択可能 —通常メールボックスモード : 32 メールボックスを送信または受信用に設定可能 —FIFO メールボックスモード : 24 メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設定可能
受信	- データフレームとリモートフレームを受信可能 - 受信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能 - ワンショット受信機能を選択可能 - オーバーライトモード (メッセージ上書き) かオーバーランモード (メッセージ破棄) を選択可能 - 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能	- データフレームとリモートフレームを受信可能 - 受信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能 - ワンショット受信機能を選択可能 - オーバーライトモード (メッセージ上書き) かオーバーランモード (メッセージ破棄) を選択可能 - 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
アクセプタンスフィルタ	8 つのアクセプタンスマスク (4 メールボックスごとに個別のマスク) - メールボックスはマスクの有効/無効を個別に設定可能	8 つのアクセプタンスマスク (4 メールボックスごとに個別のマスク) - メールボックスはマスクの有効/無効を個別に設定可能
送信	- データフレームとリモートフレームを送信可能 - 送信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能 - ワンショット送信機能を選択可能 - ID 優先送信モードかメールボックス番号優先送信モードを選択可能 - 送信要求をアボート可能 (フラグでアボート完了を確認可能) - 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能	- データフレームとリモートフレームを送信可能 - 送信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能 - ワンショット送信機能を選択可能 - ID 優先送信モードかメールボックス番号優先送信モードを選択可能 - 送信要求をアボート可能 (フラグでアボート完了を確認可能) - 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能

項目	RX62N(CAN)	RX671(CAN)
バスオフ復帰方法	- バスオフ状態からの復帰方法を選択可能 —ISO11898-1 仕様準拠 —バスオフ開始で自動的に CAN Halt モードへ移行 —バスオフ終了で自動的に CAN Halt モードへ移行 —プログラムにより CAN Halt モードへ移行 —プログラムによりエラーアクティブ状態へ遷移	- バスオフ状態からの復帰方法を選択可能 —ISO11898-1 規格準拠 —バスオフ開始で自動的に CAN Halt モードへ移行 —バスオフ終了で自動的に CAN Halt モードへ移行 —プログラムにより CAN Halt モードへ移行 —プログラムによりエラーアクティブ状態へ遷移
エラー状態の監視	- CAN バスエラー（スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー）を監視可能 - エラー状態の遷移を検出可能（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） - エラーカウンタを読み出し可能	- CAN バスエラー（スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー）を監視可能 - エラー状態の遷移を検出可能（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） - エラーカウンタを読み出し可能
タイムスタンプ機能	16 ビットカウンタによるタイムスタンプ機能 - 基準クロックは、1、2、4、8 ビットタイムから選択可能	16 ビットカウンタによるタイムスタンプ機能 - 基準クロックは、1、2、4、8 ビットタイムから選択可能
割り込み機能	5 種類の割り込み要因（受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み）	5 種類の割り込み要因（受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み）
CAN スリープモード	CAN クロックを停止することで消費電流を低減可能	CAN クロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	3 つのソフトウェアサポートユニット —アクセプタンスフィルタサポート —メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロスト検索） —チャンネル検索サポート	3 つのソフトウェアサポートユニット —アクセプタンスフィルタサポート —メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロスト検索） —チャンネル検索サポート
CAN クロックソース	周辺モジュールクロック（PCLK）	周辺モジュールクロック（PCLK ^B ）、CANMCLK
テストモード	- ユーザ評価用に 3 つのテストモードを用意 —リッスンオンリモード —セルフテストモード 0（外部ループバック） —セルフテストモード 1（内部ループバック）	- ユーザ評価用に 3 つのテストモードを用意 —リッスンオンリモード —セルフテストモード 0（外部ループバック） —セルフテストモード 1（内部ループバック）
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.55 CAN モジュールのレジスタ比較

レジスタ	ビット	RX62N(CAN)	RX671(CAN)
BCR	CCLKS	-	CAN クロックソース選択ビット

2.29 シリアルペリフェラルインタフェース

表 2.56 にシリアルペリフェラルインタフェースの概要比較を、表 2.57 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.56 シリアルペリフェラルインタフェースの概要比較

項目	RX62N(RSPI)	RX671(RSPId)
チャンネル数	2 チャンネル	3 チャンネル
RSPI 転送機能	- MOSI(Master Out Slave In)、MISO(Master In Slave Out)、SSL(Slave Select)、RSPCK(RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 - 送信のみの動作が可能 - マスタ/スレーブモードでのシリアル通信が可能 - シリアル転送クロックの極性を変更可能 - シリアル転送クロックの位相を変更可能	- MOSI(Master Out Slave In)、MISO(Master In Slave Out)、SSL(Slave Select)、RSPCK(RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 - 通信モード：全二重または単方向(送信のみ、受信のみ(スレーブモード時))を選択可能 - RSPCK の極性を変更可能 - RSPCK の位相を変更可能
データフォーマット	- MSB ファースト/LSB ファーストの切り替え可能 - 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能 - 送信/受信バッファは 128 ビット - 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット)	- MSB ファースト/LSB ファーストの切り替え可能 - 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 - 送信/受信バッファは 128 ビット - 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット) 送受信データをバイト単位でスワップ可能 送受信データのロジックレベルを反転可能
ビットレート	- マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) - スレーブモード時、外部入力クロックをシリアルクロックとして使用(最大周波数は PCLK の 8 分周) —High 幅:PCLK の 4 サイクル —Low 幅:PCLK の 4 サイクル	- マスタモード時、内蔵ポーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) - スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 4 分周) —High 幅:PCLK の 2 サイクル —Low 幅:PCLK の 2 サイクル
バッファ構成	- 送信/受信バッファ構成はダブルバッファ - 送信および受信バッファは 128 ビット	- 送信および受信バッファはそれぞれダブルバッファ構造 - 送信および受信バッファは 128 ビット
エラー検出	- モードフォルトエラー検出 - オーバランエラー検出 - パリティエラー検出	- モードフォルトエラー検出 - オーバランエラー検出 マスタ受信かつ、RSPCK 自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。 - パリティエラー検出 アンダランエラー検出

項目	RX62N(RSPI)	RX671(RSPId)
SSL 制御機能	1 チャンネルあたり 4 本の SSL 信号 (SSLn0~SSLn3) - シングルマスタ設定時には、SSLn0~SSLn3 信号を出力 - マルチマスタ設定時:SSLn0 信号は入力、SSLn1~SSLn3 信号は出力または未使用 - スレーブ設定時:SSLn0 信号は入力、SSLn1~SSLn3 信号は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 —設定範囲:1~8 RSPCK —設定単位:1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 —設定範囲:1~8 RSPCK —設定単位:1 RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 —設定範囲:1~8 RSPCK —設定単位:1 RSPCK - SSL 極性変更機能	1 チャンネルあたり 4 本の SSL 端子 (SSLx0~SSLx3) - シングルマスタ設定時には、SSLx0~SSLx3 端子を出力 - マルチマスタ設定時:SSLx0 端子は入力、SSLx1~SSLx3 端子は出力または未使用 - スレーブ設定時:SSLx0 端子は入力、SSLx1~SSLx3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 —設定範囲:1~8RSPCK —設定単位:1RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 —設定範囲:1~8RSPCK —設定単位:1RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 —設定範囲:1~8RSPCK —設定単位:1RSPCK - SSL 極性変更機能
マスタ転送時の制御方式	- 最大 8 コマンドで構成された転送をシーケンシャルにループ実行可能 - 各コマンドに以下の項目を設定可能 —SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 —SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能 バースト転送時のデータバイト間遅延を短縮可能
割り込み要因	- マスカブルな割り込み要因 —RSPI 受信割り込み (受信バッファフル) —RSPI 送信割り込み (送信バッファエンプティ) —RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) —RSPI アイドル割り込み (RSPI アイドル)	- 割り込み要因 —受信バッファフル割り込み —送信バッファエンプティ割り込み —エラー割り込み(モードフォルト、オーバラン、アンダラン、パリティエラー) —アイドル割り込み —通信完了割り込み
イベントリンク機能 (出力)	-	以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) 受信バッファフルイベント 送信バッファエンプティイベント エラーイベント(モードフォルト、オーバラン、アンダラン、パリティエラー) アイドルイベント 送信完了イベント

項目	RX62N(RSPI)	RX671(RSPI ^d)
その他の機能	- CMOS／オープンドレイン出力切り替え機能 - 可能 RSPI 初期化機能 - ループバックモード機能	- RSPI 初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.57 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX62N(RSPI)	RX671(RSPI ^d)
SPPCR	SPOM	RSPI 出力端子モードビット	-
SPSR	MODF	モードフォルトエラーフラグ 0 : モードフォルトエラーなし 1 : モードフォルトエラー発生	モードフォルトエラーフラグ 0 : モードフォルトエラーなし、 アンダランエラーなし 1 : モードフォルトエラー、 アンダランエラー発生
	UDRF	-	アンダランエラーフラグ
	SPCF	-	通信完了フラグ
SPDR	-	RSPI データレジスタ 可能アクセスサイズ - ロングワード (SPDCR.SPLW=1) - ワードアクセス (SPDCR.SPLW=0)	RSPI データレジスタ 可能アクセスサイズ - ロングワード (SPDCR.SPLW=1,SPBYTE=0) - ワードアクセス (SPDCR.SPLW=0,SPBYTE=0) バイトアクセス (SPDCR.SPBYT=1)
SPDCR	SLSEL[1:0]	SSL 端子出力選択ビット	-
	SPBYT	-	RSPI バイトアクセス設定ビット
SPCR2	SPPE	パリティ許可ビット 0 : 送信データにパリティビットを付加しない 受信データのパリティチェックを行わない 1 : 送信データにパリティビットを付加する 受信データのパリティチェックを行う	パリティ許可ビット 0 : 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1 : 送信データにパリティビットを付加し、 受信データのパリティチェックを行う (SPCR.TXMD = 0 のとき) 送信データにパリティビットを付加するが、受信データのパリティチェックは行わない (SPCR.TXMD = 1 のとき)
	SCKASE	-	RSPCK 自動停止機能許可ビット
SPDCR2	-	-	RSPI データコントロールレジスタ 2
SPCR3	-	-	RSPI 制御レジスタ 3

2.30 CRC 演算器

表 2.58 に CRC 演算器の概要比較を、表 2.59 に CRC 演算器レジスタ比較を示します。

表 2.58 CRC 演算器の概要比較

項目	RX62N(CRC)	RX671(CRCA)	
データサイズ	8 ビット	8 ビット	32 ビット
CRC 演算対象データ	8n ビットのデータに対して CRC コード生成(n = 自然数)	8n ビットのデータに対して CRC コード生成(n = 自然数)	32n ビットのデータに対して CRC コード生成(n = 自然数)
CRC 演算処理方式	8 ビット並列実行	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの多項式から選択可能 —8 ビット CRC $X^8 + X^2 + X + 1$ —16 ビット CRC $X^{16} + X^{15} + X^2 + 1,$ $X^{16} + X^{12} + X^5 + 1$	3 つの多項式から選択可能 —8 ビット CRC $X^8 + X^2 + X + 1$ —16 ビット CRC $X^{16} + X^{15} + X^2 + 1,$ $X^{16} + X^{12} + X^5 + 1$	2 つの多項式から選択可能 —32 ビット CRC $X^{32} + X^{26} + X^{23} + X^{22} + X^{16}$ $+ X^{12} + X^{11} + X^{10} + X^8$ $+ X^7 + X^5 + X^4 + X^2 + X$ $+ 1,$ $X^{32} + X^{28} + X^{27} + X^{26} + X^{25}$ $+ X^{23} + X^{22} + X^{20} + X^{19}$ $+ X^{18} + X^{14} + X^{13} + X^{11}$ $+ X^{10} + X^9 + X^8 + X^6 +$ 1
CRC 演算切り替え	LSB ファースト/MSB ファースト 通信用 CRC コード生成から 選択可能	LSB ファーストまたは MSB ファーストでの通信用に、 CRC 演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への 設定可能	モジュールストップ状態への遷移が可能	

表 2.59 CRC 演算器レジスタ比較

レジスタ	ビット	RX62N(CRC)	RX671(CRCA)
CRCCR	GPS[1:0] (RX62N) GPS[2:0] (RX671)	CRC 生成多項式切り替えビット(b1-b0) b1 b0 0 0 : 演算しません 0 1 : $X^8 + X^2 + X + 1$ 1 0 : $X^{16} + X^{15} + X^2 + 1$ 1 1 : $X^{16} + X^{12} + X^5 + 1$	CRC 生成多項式切り替えビット(b2-b0) b2 b0 0 0 0 : 計算しません 0 0 1 : 8 ビット CRC ($X^8 + X^2 + X + 1$) 0 1 0 : 16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1 : 16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0 : 32 ビット CRC ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1 : 32 ビット CRC ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0 : 計算しません 1 1 1 : 計算しません
	LMS	CRC 切り替えビット(b2)	CRC 切り替えビット(b6)
CRCDIR	-	CRC データ入力レジスタ • 16 ビット CRC、8 ビット CRC 生成時 CRC データ入力レジスタ(b7-b0)	CRC データ入力レジスタ • 32 ビット CRC 生成時 CRC データ入力レジスタ(b31-b0) • 16 ビット CRC、8 ビット CRC 生成時 CRC データ入力レジスタ(b7-b0)
CRCDOR	-	CRC データ出力レジスタ • 16 ビット、8 ビット CRC 生成時 CRC データ出力レジスタ(b15-b0) 8 ビット CRC 生成時は、下位バイト(b7~b0)を使用	CRC データ出力レジスタ • 32 ビット CRC 生成時 CRC データ出力レジスタ(b31-b0) • 16 ビット CRC 生成時 CRC データ出力レジスタ(b15-b0) • 8 ビット CRC 生成時 CRC データ出力レジスタ(b7-b0)

2.31 バウンダリスキャン

表 2.60 にバウンダリスキャンの概要比較を、表 2.61 にバウンダリスキャンのレジスタ比較を示します。

表 2.60 バウンダリスキャンの概要比較

項目	RX62N	RX671
バウンダリスキャン有効/無効	EMLE 端子を Low、かつ BSCANP 端子を High としたときにバウンダリスキャン機能が有効	RES#端子を High、EMLE 端子を Low、かつ BSCANP 端子を High としたときにバウンダリスキャン機能が有効
バウンダリスキャン専用端子	バウンダリスキャン機能有効時、以下は JTAG 専用端子(TDO/TCK/TDI/TMS/TRST#) 176 ピン LFBGA : PF0/PF1/PF2/PF3/PF4 145 ピン TFLGA/144 ピン LQFP : P26/P27/P30/P31/P34 85 ピン TFLGA : P26/P27/P30/P31/P34	バウンダリスキャン機能有効時、以下は JTAG 専用端子(TDO/TCK/TDI/TMS/TRST#) 145 ピン TFLGA/64 ピン TFBGA : P26/P27/P30/P31/P34
6 種類のテストモード	● BYPASS モード ● EXTEST モード ● SAMPLE/PRELOAD モード ● CLAMP モード ● HIGHZ モード ● IDCODE モード	● BYPASS モード ● EXTEST モード ● SAMPLE/PRELOAD モード ● CLAMP モード ● HIGHZ モード ● IDCODE モード

表 2.61 バウンダリスキャンのレジスタ比較

レジスタ	ビット	RX62N	RX671
JTIDR	-	ID コードレジスタ	ID コードレジスタ
		リセット後の初期値が異なります	

2.32 12 ビット A/D コンバータ

表 2.62 に 12 ビット A/D コンバータの概要比較を、表 2.63 に 12 ビット A/D コンバータレジスタ比較を、表 2.64 に ADSTRGR レジスタに設定する A/D 起動要因比較を示します。

表 2.62 12 ビット A/D コンバータの概要比較

項目	RX62N(S12AD)	RX671(S12ADFa)
ユニット数	1 ユニット (S12AD0)	2 ユニット (S12AD, S12AD1)
入力チャンネル	8 チャンネル	S12AD : 8 チャンネル、 S12AD1 : 12 チャンネル+拡張 1 本
拡張アナログ機能	-	温度センサ出力、内部基準電圧
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	1 チャンネル当たり 1.0 μ s (周辺モジュールクロック PCLK = 50MHz 動作時)	1 チャンネル当たり (0.48 μ s) (12 ビット変換モード) 1 チャンネル当たり (0.45 μ s) (10 ビット変換モード) 1 チャンネル当たり (0.42 μ s) (8 ビット変換モード) (A/D 変換クロック ADCLK = 60MHz 動作時)
A/D 変換クロック	4 種類 : PCLK、PCLK/2、PCLK/4、PCLK/8	- 周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 —PCLK : ADCLK 周波数比 = 1 : 1, 2 : 1, 4 : 1, 8 : 1 - ADCLK の設定はクロック発生回路で行います
データレジスタ	8 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - 加算モード時は 14 ビットを A/D データレジスタに保持	- アナログ入力用 20 本 (S12AD : 8 本、S12AD1 : 12 本)、 ダブルトリガモードでの A/D 変換データ二重化用 1 本/各ユニット、ダブルトリガモード拡張動作時の A/D 変換データ二重化用 2 本/各ユニット - 温度センサ用 1 本 (S12AD1) - 内部基準電圧用 1 本 (S12AD1) - 自己診断用 1 本/ユニット - A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 8, 10, 12 ビット精度出力に対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数 + 2 ビット/4 ビットで A/D データレジスタに保持 - ダブルトリガモード (シングルスキャンとグループスキャンモードで選択可能) —選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持 - ダブルトリガモード拡張動作 (特定トリガ種別で有効) —選択した 1 つのチャンネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した二重化レジスタに保持

項目	RX62N(S12AD)	RX671(S12AD ^{Fa})
動作モード	1 サイクルスキャンモード : —任意に選択した最大 8 チャンネルのアナログ入力を 1 回のみ変換 - 連続スキャンモード : —任意に選択した最大 8 チャンネルのアナログ入力を繰り返し変換	動作モードは 2 ユニット個別で設定可能です - シングルスキャンモード : —任意に選択したチャンネルのアナログ入力を 1 回のみ A/D 変換 —温度センサ出力 (S12AD1) を 1 回のみ A/D 変換 —内部基準電圧を 1 回のみ A/D 変換 (S12AD1) —拡張アナログ入力 (S12AD1) を 1 回のみ A/D 変換 - 連続スキャンモード : —任意に選択したチャンネルのアナログ入力、温度センサ出力 (S12AD1)、内部基準電圧 (S12AD1) を繰り返し A/D 変換 - グループスキャンモード : —使用するグループの数は 2 つ (グループ A, B) と 3 つ (グループ A, B, C) が選択可能 (グループの数が 2 つの場合、グループ A、グループ B の組み合わせのみ選択可能) —任意に選択したチャンネルのアナログ入力、温度センサ出力 (S12AD1)、内部基準電圧 (S12AD1) をグループ A とグループ B またはグループ A, B, C に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 —グループ A とグループ B とグループ C は、各々の変換開始条件 (同期トリガ) を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ優先制御選択時) —低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループ A (高) > グループ B > グループ C (低) 優先グループのスキャン終了後、低優先グループのスキャンを再実行 (再スキャン) する/しないを設定可能。また再スキャンは、選択チャンネルの最初からか、A/D 変換未終了のチャンネルからかを設定可能
A/D 変換開始条件	- ソフトウェアトリガ - マルチファンクションタイマパルスユニット (MTU)、または 8 ビットタイマ (TMR) からのトリガ - 外部トリガ —ADTRG0#端子によって A/D 変換を開始することが可能	- ソフトウェアトリガ - 同期トリガ —MTU、TPU、TMR、ELC からのトリガ - 非同期トリガ —外部トリガ ADTRG0#端子 (S12AD)/ADTRG1#端子(S12AD1)による A/D 変換動作の開始が可能 (2 ユニット個別)

項目	RX62N(S12AD)	RX671(S12ADFa)
機能	- サンプル&ホールド機能 - A/D 変換値加算モード	- サンプリングステート数可変機能 (チャンネルごとに設定可能) 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出アシスト機能 (デイスチャージ機能/プリチャージ機能) - ダブルトリガモード (A/D 変換データ二重化機能) 12/10/8 ビット変換切り替え機能 - A/D データレジスタオートクリア機能 - 拡張アナログ入力機能 - コンペア機能 (ウィンドウ A、ウィンドウ B)
割り込み要因	- A/D 変換終了でスキャン終了割り込み要求 (S12ADI0) を発生 - S12ADI0 割り込みで DMA コントローラ (DMACA)、データトランスファコントローラ (DTC) を起動可能	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生 (2 ユニット個別) - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生 (2 ユニット個別) - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (S12GBADI, S12GBADI1) を発生。グループ C のスキャン終了でグループ C 専用のスキャン終了割り込み要求 (S12GCADI, S12GCADI1) を発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1) を発生。グループ B とグループ C のスキャン終了で、それぞれ専用のスキャン終了割り込み要求 (S12GBADI/S12GCADI, S12GBADI1/S12GCADI1) を発生 - デジタルコンペア機能の比較条件成立で、コンペア割り込み要求 (S12CMPAI, S12CMPAI1, S12CMPBI, S12CMPBI1) を発生 - S12ADI/S12ADI1, S12GBADI/S12GBADI1, S12GCADI/S12GCADI1 割り込みで DMA コントローラ (DMAC)、データトランスファコントローラ (DTC) を起動可能
イベントリンク機能	-	- すべてのスキャン終了時に ELC イベント発生 - ELC からのトリガによりスキャン開始可能
消費電力低減機能	モジュールストップ状態への設定可能	モジュールストップ状態への設定が可能

表 2.63 12 ビット A/D コンバータレジスタ比較

レジスタ	ビット	RX62N(S12AD)	RX671(S12AD Fa)
ADDRn	-	A/D データレジスタ n (n = 0~7)	A/D データレジスタ n (n = 0~ 11)
ADCSR	-	A/D コントロールレジスタ	A/D コントロールレジスタ
	-	ADCSR は、8 ビットレジスタです。	ADCSR は、 16 ビットレジスタです。
	EXTRG	トリガ選択ビット(b0)	トリガ選択ビット(b8)
	TRGE	トリガ開始許可ビット(b1)	トリガ開始許可ビット(b9)
	CKS[1:0]	A/D 変換クロック選択ビット	-
	ADIE	スキャン終了割り込み許可ビット(b4)	スキャン終了割り込み許可ビット(b12)
	ADCS (RX62N) ADCS[1:0] (RX671)	スキャンモード選択ビット(b6) 0 : 1 サイクルスキャンモード 1 : 連続スキャンモード	スキャンモード選択ビット(b14-b13) b14 b13 00 : シングルスキャンモード 01 : グループスキャンモード 10 : 連続スキャンモード 11 : 設定禁止
	ADST	A/D 変換スタートビット(b7)	A/D 変換スタートビット(b15)
	DBLANS[4:0]	-	ダブルトリガ対象チャネル選択ビット
	GBADIE	-	グループ B スキャン終了割り込み許可ビット
	DBLE	-	ダブルトリガモード選択ビット
ADANS (RX62N) ADANSA0 (RX671)	-	A/D チャネル選択レジスタ	A/D チャネル選択レジスタ A0
ADANSB0	-	-	A/D チャネル選択レジスタ B0
ADANSC0	-	-	A/D チャネル選択レジスタ C0
ADADS (RX62N) ADADS0 (RX671)	-	A/D 変換値加算モード選択レジスタ	A/D 変換値加算/ 平均機能 チャネル選択レジスタ 0
ADADS1	-	A/D 変換値加算モード選択レジスタ 1	-
ADADC	ADC[1:0] (RX62N) ADC[2:0] (RX671)	加算回数選択ビット(b1-b0) b1 b0 00 : 1 回変換 (加算なし。通常変換と同じ) 01 : 2 回変換(1 回加算を行う) 10 : 3 回変換(2 回加算を行う) 11 : 4 回変換(3 回加算を行う)	加算回数選択ビット(b2-b0) b2 b0 000 : 1 回変換 (加算なし。通常変換と同じ) 001 : 2 回変換(1 回加算を行う) 010 : 3 回変換(2 回加算を行う) 011 : 4 回変換(3 回加算を行う) 101 : 16 回変換(15 回加算を行う) 上記以外は設定しないでください
	AVEE	-	平均モードイネーブルビット
ADCER	ADPRC[1:0]	-	A/D 変換精度指定ビット
	DIAGVAL[1:0]	-	自己診断変換電圧選択ビット
	DIAGLD	-	自己診断モード選択ビット
	DIAGM	-	自己診断イネーブルビット
ADSTRGR	ADSTRS[3:0] (RX62N) TRSA[5:0] (RX671)	A/D 変換開始トリガ選択ビット (b3-b0) 詳細は表 2.64 を参照してください。	A/D 変換開始トリガ選択ビット (b13-b8) 詳細は表 2.64 を参照してください。

レジスタ	ビット	RX62N(S12AD)	RX671(S12ADFa)
ADSTRGR	TRSB[5:0]	-	グループ B 専用 A/D 変換開始トリガ 選択ビット
ADDBLDR	-	-	A/D データ二重化レジスタ
ADDBLDRA	-	-	A/D データ二重化レジスタ A
ADDBLDRB	-	-	A/D データ二重化レジスタ B
ADTSDR	-	-	A/D 温度センサデータレジスタ
ADOCDR	-	-	A/D 内部基準電圧データレジスタ
ADRD	-	-	A/D 自己診断データレジスタ
ADEXICR	-	-	A/D 変換拡張入力コントロール レジスタ
ADGCEXCR	-	-	A/D グループ C 拡張入力コントロール レジスタ
ADGCTRGR	-	-	A/D グループ C トリガ選択レジスタ
ADSSTRn	-	-	A/D サンプリングステートレジスタ n (n = 0~11, T, O)
ADDISCR	-	-	A/D 断線検出コントロールレジスタ
ADGSPCR	-	-	A/D グループスキャン優先 コントロールレジスタ
ADCMPCR	-	-	A/D コンペア機能 コントロールレジスタ
ADCMPANSR0	-	-	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0
ADCMPANSER	-	-	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ
ADCMPLR0	-	-	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0
ADCMPLER	-	-	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ
ADCMPDR0	-	-	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ
ADCMPDR1	-	-	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ
ADCMPSR0	-	-	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0
ADCMPSER	-	-	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ
ADWINMON	-	-	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ
ADCMPBNSR	-	-	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ
ADWINLLB	-	-	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ
ADWINULB	-	-	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ
ADCMPBSR	-	-	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ
ADSAM	-	-	A/D 逐次変換時間設定レジスタ
ADSAMPR	-	-	A/D 逐次変換時間設定プロテクト解除 レジスタ

表 2.64 ADSTRGR レジスタに設定する A/D 起動要因比較

ビット	RX62N(S12ADa)	RX671(S12ADFa)
ADSTRS[3:0] (RX62N) TRSA[5:0] (RX671)	A/D 変換開始トリガ選択ビット b3 b0 0 0 0 0 : A/D 変換開始トリガ端子 0 0 0 1 : TRG0AN_0 0 0 1 0 : TRG0BN_0 0 0 1 1 : TRGAN_0 0 1 0 0 : TRGAN_1 0 1 0 1 : TRG0EN_0 0 1 1 0 : TRG0FN_0 0 1 1 1 : TRG04ABN_0 1 0 0 0 : TRG04ABN_1 1 0 0 1 : TMTRG0AN_0 1 0 1 0 : TMTRG0AN_1	A/D 変換開始トリガ選択ビット b13 b8 1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 1 : TRGA0N 0 0 0 0 1 0 : TRGA1N 0 0 0 0 1 1 : TRGA2N 0 0 0 1 0 0 : TRGA3N 0 0 0 1 0 1 : TRGA4N 0 0 0 1 1 0 : TRGA6N 0 0 0 1 1 1 : TRGA7N 0 0 1 0 0 0 : TRG0N 0 0 1 0 0 1 : TRG4AN 0 0 1 0 1 0 : TRG4BN 0 0 1 0 1 1 : TRG4AN または TRG4BN 0 0 1 1 0 0 : TRG4ABN 0 0 1 1 0 1 : TRG7AN 0 0 1 1 1 0 : TRG7BN 0 0 1 1 1 1 : TRG7AN または TRG7BN 0 1 0 0 0 0 : TRG7ABN 0 1 1 1 0 1 : TMTRG0AN_0 0 1 1 1 1 0 : TMTRG0AN_1 0 1 1 1 1 1 : TPTRGAN 1 0 0 0 0 0 : TPTRG0AN 1 1 0 0 0 0 : ELCTRG0N/ELCTRG1N

2.33 RAM

表 2.65 に RAM の概要比較を、表 2.66 に RAM のレジスタ比較を示します。

表 2.65 RAM の概要比較

項目	RX62N	RX671
容量	64K バイト RAM0:64K バイト 96K バイト RAM0:64K バイト、RAM1:32K バイト	384K バイト
アドレス	- RAM 容量が 64K バイトの場合 RAM0:0000 0000h~0000 FFFFh (64K バイト) RAM1:なし - RAM 容量が 128K バイトの場合 RAM0:0000 0000h~0000 FFFFh (64K バイト) RAM1:0001 0000h~0001 FFFFh (32K バイト)	0000 0000h~0003 FFFFh
メモリバス	メモリバス 1	メモリバス 1
アクセス	- 読み出し/書き込みともに 1 サイクルで動作 - 内蔵 RAM 有効/無効選択可能	- 読み出し/書き込みともに 1 サイクルで動作 —8 バイト境界をまたいだアクセス時は、 サイクル数が 2 倍に増えます - RAM 有効/無効選択可能
データ保持機能	ディープスタンバイモード時、RAM0 のデータを保持可能	ディープソフトウェアスタンバイモード時のデータ保持機能なし
消費電力低減機能	RAM0、RAM1 個別にモジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能
エラーチェック機能	-	- パリティチェック：1 ビット誤り検出 - エラー発生時、ノンマスカブル割り込み、または割り込みを発生

表 2.66 RAM のレジスタ比較

レジスタ	ビット	RX62N	RX671
RAMMODE	-	-	RAM 動作モード制御レジスタ
RAMSTS	-	-	RAM エラーステータスレジスタ
RAMECAD	-	-	RAM エラーアドレスキャプチャレジスタ
RAMPRCR	-	-	RAM プロテクトレジスタ

2.34 フラッシュメモリ

表 2.67 にフラッシュメモリの概要比較を、表 2.68 にフラッシュメモリのレジスタ比較を示します。

表 2.67 フラッシュメモリの概要比較

項目	RX62N		RX671(FLASH)	
	ROM	データフラッシュ	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	- ユーザマット : 512K バイト/ 384K バイト/ 256K バイト - ユーザブートマツト : 16K バイト	データマット : 32K バイト	ユーザ領域 : 2M バイト/ 1.5M バイト/ 1M バイト	データ領域 : 8K バイト
アドレス	- 容量が 512K バイトの場合 —FFF8 0000h~ FFFF FFFFh - 容量が 384K バイトの場合 —FFFA 0000h~ FFFF FFFFh - 容量が 256K バイトの場合 —FFFC 0000h~ FFFF FFFFh	0010 0000h~ 0010 7FFFh	- 容量が 2M バイトの場合 —FFE0 0000h~ FFFF FFFFh - 容量が 1.5M バイトの場合 —FFE8 0000h~ FFFF FFFFh - 容量が 1M バイトの場合 —FFF0 0000h~ FFFF FFFFh	0010 0000h~ 0010 1FFFh
ROM キャッシュ	-		- 容量 : 8K バイト - マッピング方式 : ダイレクトマップ - ラインサイズ : 16 バイト	-
リードサイクル	ICLK1 サイクルの高速読み出しが可能	ワード、バイトアクセス時には PCLK3 サイクルでの読み出し	- ROM キャッシュ動作許可時 : —キャッシュヒット時、1 サイクル —キャッシュミス時、ICLK ≤ 60MHz のとき、1~2 サイクル ICLK > 60MHz のとき、2~3 サイクル - ROM キャッシュ動作禁止時 : —ICLK ≤ 60MHz のとき、1 サイクル —ICLK > 60MHz のとき、2 サイクル	FCLK の周波数毎のサイクルでリード

項目	RX62N		RX671(FLASH)	
	ROM	データフラッシュ	コードフラッシュメモリ	データフラッシュメモリ
イレーズ後の値	FFh	不定値	FFh	不定値
プログラム/イレーズ方式	- ROM/データフラッシュの書き換えを行う専用のシーケンサ (FCU) を内蔵 - FCU にコマンドを発行することにより、ROM/データフラッシュへの書き込み/消去を実行可能		- FACI コマンド発行領域(007E 0000h)に設定した FACI コマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレーズ、オプション設定メモリのプログラムが可能(セルフプログラミング) - シリアルプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング)	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止		フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	- ソフトウェアプロテクト機能 —FENTRYR.FENTRY0 ビット、FWEPROR.FLWE[1:0]ビット、DFLREK レジスタ、DFLWEK レジスタ、ロックビットにより意図しない書き換えを防ぐことが可能 (k=0, 1) - エラープロテクト機能 —書き込み/消去中に異常動作を検出した場合、以後の書き込み/消去処理を禁止		フラッシュメモリの誤書き換えを防止 (ソフトウェアプロテクション、エラープロテクション、スタートアッププログラム保護機能、エリアプロテクションによるプロテクト、デュアルバンク機能)	
デュアルバンク機能	-		デュアルバンク構成を用いて、書き換え動作中の中断に対して安全な更新を行うことが可能	-
Trusted Memory (TM) 機能	-		コードフラッシュメモリに対する不正リード防止	-
			- リニアモード：ブロック 8, 9 - デュアルモード：ブロック 8, 9, 46, 47	
BGO (バックグラウンドオペレーション)機能	- ROM への書き込み/消去を実行している期間、CPU は ROM/データフラッシュ以外の領域に配置したプログラムを実行可能 - データフラッシュへの書き込み/消去を実行している期間、ROM 領域に配置したプログラムを実行可能		- コードフラッシュメモリプログラム/イレーズ中のコードフラッシュメモリリードが可能 - コードフラッシュメモリプログラム/イレーズ中のデータフラッシュメモリリードが可能 - データフラッシュメモリプログラム/イレーズ中のコードフラッシュメモリリードが可能	

項目	RX62N		RX671(FLASH)	
	ROM	データフラッシュ	コードフラッシュメモリ	データフラッシュメモリ
プログラム/イレーズ単位	- ユーザマットおよびユーザブートマットの書き込み単位：256 バイト - ユーザマットの消去単位：4K バイト（8 ブロック）、16K バイト（30 ブロック） - ユーザブートマットの消去単位：16K バイト	- データマットの書き込み単位：8 バイトまたは 128 バイト - データマットの消去単位：2K バイト（16 ブロック）	- ユーザ領域へのプログラム：128 バイト - ユーザ領域のイレーズ：ブロック単位	- データ領域へのプログラム：4 バイト - データ領域のイレーズ：64/128/256 バイト
その他の機能	-		- セルフプログラミング中の割り込み受け付け可能 - 本 MCU の初期設定をオプション設定メモリに設定可能	
オンボードプログラミング (シリアルプログラミング/セルフプログラミング)	- ブートモード —SCI を使用してユーザマットとユーザブートマットを書き換え可能 —ホストと RX62N、RX621 間の SCI 通信のビットレートは自動調整可能 - USB（ユーザ）ブートモード —ユーザブートマットから起動し、ユーザマットの書き換えが可能 —出荷時、ユーザブートマットには USB ブートプログラムが書かれており、USB を使用してユーザマットの書き換えが可能 —ユーザブートマットを書き替えることにより、任意のインタフェースを使用してユーザマットの書き換えが可能 - ユーザプログラム —プログラムで、ユーザマットの書き換えが可能		- ブートモード(SCI インタフェース)によるプログラム/イレーズ —調歩同期式シリアルインターフェース(SCI1)を使用 —通信速度は自動調整 - ブートモード(USB インタフェース)によるプログラム/イレーズ —USBb を使用 —特別なハードウェアが不要で、PC と直結可能 - ブートモード(FINE インタフェース)によるプログラム/イレーズ —FINE を使用 - シングルチップモードによるプログラム/イレーズ —ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム/イレーズが可能	
オフボードプログラミング	PROM ライタを使用して、ユーザマットとユーザブートマットの書き換えが可能	-	パラレルプログラマを使用して、コードフラッシュメモリ、オプション設定メモリのプログラム/イレーズが可能	パラレルプログラマを使用したデータフラッシュメモリのプログラム/イレーズはできません
ユニーク ID	-		本 MCU 個体ごとの 16 バイト長の ID コード	

表 2.68 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX62N	RX671(FLASH)
FMODR	-	フラッシュモードレジスタ	-
FASTAT	DFLWPE	データフラッシュ書き込み/消去 プロテクト違反ビット	-
	DFLRPE	データフラッシュ リードプロテクト違反ビット	-
	DFLAE(RX62N) DFAE(RX671)	データフラッシュ アクセス違反ビット	データフラッシュメモリアクセス 違反フラグ
	ROMAE(RX62N) CFAE(RX671)	ROM アクセス違反フラグ	コードフラッシュメモリアクセス 違反フラグ
FAEINT	-	フラッシュアクセス エラー割り込み許可レジスタ	フラッシュアクセス エラー割り込み許可レジスタ
		リセット後の初期値が異なります	
	DFLWPEIE	データフラッシュ 書き込み/消去プロテクト違反 割り込み許可ビット	-
	DFLRPEIE	データフラッシュリードプロテクト 違反割り込み許可ビット	-
	DFLAEIE(RX62N) DFAEIE(RX671)	データフラッシュアクセス違反 割り込み許可ビット	データフラッシュメモリアクセス 違反割り込み許可ビット
	ROMAEIE(RX62N) CFAEIE(RX671)	ROM アクセス違反割り込み許可 ビット	コードフラッシュメモリアクセス 違反割り込み許可ビット
FCURAME	-	FCURAM イネーブルレジスタ	-
FSTATR0(RX62N) FSTATR(RX671)	-	フラッシュステータスレジスタ 0	フラッシュステータスレジスタ
		FSTATR0 は、8 ビットレジスタです。	FSTATR は、32 ビットレジスタです。
	PRGSPD	書き込みサスペンドステータス ビット (b0)	プログラムサスペンドステータス フラグ (b8)
	ERSSPD	消去サスペンドステータスビット (b1)	イレーズサスペンドステータス フラグ (b9)
	DBFULL	-	データバッファフルフラグ
	SUSRDY	サスペンドレディフラグ (b3)	サスペンドレディフラグ (b11)
	PRGERR	書き込みエラービット(b4)	プログラムエラーフラグ (b12)
	ERSERR	消去エラービット(b5)	イレーズエラーフラグ (b13)
	ILGLERR	イリーガルコマンドエラービット (b6)	イリーガルコマンドエラーフラグ (b14)
	FRDY	フラッシュレディビット (b7)	フラッシュレディフラグ (b15)
	FLWEERR	-	フラッシュライトイレーズ プロテクトエラーフラグ
	OTERR	-	アザーエラーフラグ
	SECERR	-	セキュリティエラーフラグ
	FESETERR	-	FENTRY 設定エラーフラグ
	ILGCOMERR	-	イリーガルコマンドエラーフラグ
FSTATR1	-	フラッシュステータスレジスタ 1	-
FENTRYR	FENTRY0(RX62N) FENTRYC(RX671)	ROM P/E モードエントリビット 0	コードフラッシュ P/E モードエントリビット
	FEKEY[7:0](RX62N) KEY[7:0](RX671)	キーコード	キーコードビット
FPROTR	-	フラッシュプロテクトレジスタ	-
FRESETR	-	フラッシュリセットレジスタ	-

レジスタ	ビット	RX62N	RX671(FLASH)
DFLBCCNT	-	E2 データフラッシュブランク チェック制御レジスタ	-
FPESTAT	-	フラッシュ P/E ステータス レジスタ	-
DFLBCSTAT	-	E2 データフラッシュブランク チェックステータスレジスタ	-
PCKAR(RX62N) FPCAR(RX671)	PCKA[7:0]	周辺クロック通知ビット ROM/データフラッシュの 書き込み/消去時に、周辺クロッ ク (PCLK) を設定する	フラッシュシーケンサ処理 クロック周波数通知ビット FlashIF クロック (FCLK) の周波数 を設定し、フラッシュシーケンサ に使用周波数を通知
	KEY[7:0]	-	キーコードビット
DFLRE0	-	データフラッシュ読み出し許可 レジスタ 0	-
DFLRE1	-	データフラッシュ読み出し許可 レジスタ 1	-
DFLWE0	-	データフラッシュ書き込み/ 消去許可レジスタ 0	-
DFLWE1	-	データフラッシュ書き込み/ 消去許可レジスタ 1	-
DFLBCCNT	-	データフラッシュブランク チェック制御レジスタ	-
DFLBCSTAT (RX62N) FBCSTAT (RX671)	BCST	ブランクチェックステータス ビット	ブランクチェックステータス フラグ
ROMCE	-	-	ROM キャッシュ許可レジスタ
ROMCIV	-	-	ROM キャッシュ無効化レジスタ
NCRGn	-	-	ノンキャッシュابل領域 n アドレスレジスタ (n = 0, 1)
NCRCn	-	-	ノンキャッシュابل領域 n 設定レジスタ (n = 0, 1)
FSADDR	-	-	FACI コマンド処理開始アドレス レジスタ
FEADDR	-	-	FACI コマンド処理終了アドレス レジスタ
FSUINITR	-	-	フラッシュシーケンサ設定初期化 レジスタ
FBCCNT	-	-	データフラッシュ ブランクチェック制御レジスタ
FBCSTAT	-	-	データフラッシュブランク チェックステータスレジスタ
FPSADDR	-	-	データフラッシュ書き込み開始 アドレスレジスタ
FAWMON	-	-	フラッシュアクセスウィンドウ モニタレジスタ
FSUACR	-	-	スタートアップ領域コントロール レジスタ
EEPFCCLK	-	-	データフラッシュメモリアクセス 周波数設定レジスタ
UIDRn	-	-	ユニーク ID レジスタ n (n = 0~3)

2.35 パッケージ

表 2.69 に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。詳細は、「RX ファミリ間の移行設計ガイド パッケージ外形の相違点 (R01AN4591JJ)」を参照してください。

表 2.69 パッケージ

パッケージタイプ	RENESAS Code	
	RX62N	RX671
176 ピン LFBGA	○	×
145 ピン TFLGA	PTLG0145JB-A	PTLG0145J C -A、PTLG0145 KB -A
144 ピン LQFP(RX62N) 144 ピン LFQFP(RX671)	PLQP0144KA-A	PLQP0144KA- B
100 ピン TFLGA	×	○
85 ピン TFLGA	○	×
64 ピン TFBGA	×	○
64 ピン LFQFP	×	○
48 ピン HWQFN	×	○

○ : パッケージあり(RENESAS Code は省略)、 × : パッケージなし

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は青字に、両方のグループに存在するが相違点ある項目は赤字にしています。仕様に相違点がない項目は黒字にしています。

3.1 145 ピン TFLGA (RX671 : 0.65mm ピッチ)

表 3.1 に 145 ピン TFLGA パッケージ端子機能の比較(RX671 : 0.65mm ピッチ)を示します。

表 3.1 145 ピン TFLGA パッケージ端子機能の比較(RX671 : 0.65mm ピッチ)

145 ピン TFLGA	RX62N	RX671 (0.65mm ピッチ)
A1	AVSS	AVSS0
A2	AVCC	P07/IRQ15/ADTRG0#
A3	VREFL	P40/IRQ8-DS/AN000
A4	P42/IRQ10-B/AN2	P42/IRQ10-DS/AN002
A5	P44/IRQ12/AN4	P45/IRQ13-DS/AN005
A6	P47/IRQ15-B/AN7	P90/A16/TXD7/SMOSI7/SSDA7/IRQ0/ AN108
A7	P91/A17-B	P92/A18/POE4#/RXD7/SMISO7/SSCL7/ IRQ10
A8	PD0/D0/POE7#	PD2/D2[A2/D2]/MTIOC4D/TIC2/CRX0/ MISOC-A/SDHI_D2-B/QIO2-B/IRQ2/AN105
A9	PD3/D3/MTIC11V-B/POE4#	PD6/D6[A6/D6]/MTIC5V/MTIOC8A/POE4#/ SSLC2-A/SDHI_D0-B/QIO0-B/IRQ6/AN101
A10	PD6/D6/MTIC5V/POE1#	VSS
A11	P60/CS0#-A	P62/CS2#/RAS#/D1[A1/D1]/IRQ2
A12	P62/CS2#-A/RAS#	PE1/D9[A9/D9]/D1[A1/D1]/MTIOC4C/ MTIOC3B/PO18/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/SSLB2-B/IRQ9/ANEX1
A13	P64/CS4#-A/WE#	PE3/D11[A11/D11]/D3[A3/D3]/MTIOC4B/ PO26/POE8#/TOC3/CTS12#/RTS12#/ SS12#/IRQ11
B1	P03/IRQ11-A/DA0	AVCC1
B2	P07/IRQ15-A/ADTRG0#-A	AVCC0
B3	VREFH	P05/IRQ13
B4	P40/IRQ8-B/AN0	VREFL0
B5	P45/IRQ13-B/AN5	P43/IRQ11-DS/AN003
B6	P90/A16-B	P47/IRQ15-DS/AN007
B7	PD1/D1/POE6#	P91/A17/SCK7/IRQ9
B8	PD5/D5/MTIC5W/POE2#	PD0/D0[A0/D0]/POE4#/IRQ0/AN107
B9	VSS	PD4/D4[A4/D4]/MTIOC8B/POE11#/ SSLC0-A/SDHI_CMD-B/QSSL-B/IRQ4/ AN103
B10	PE0/D8/SSLB1-B	VCC
B11	PE2/D10/POE9#/SSLB3-B	P61/CS1#/SDCS#/D0[A0/D0]/IRQ1
B12	PE1/D9/SSLB2-B	PE2/D10[A10/D10]/D2[A2/D2]/MTIOC4A/ PO23/TIC3/RXD12/SMISO12/SSCL12/ RXDX12/SSLB3-B/IRQ7-DS
B13	PE4/D12/SSLB0-B	PE4/D12[A12/D12]/D4[A4/D4]/MTIOC4D/ MTIOC1A/PO28/SSLB0-B/IRQ12
C1	P01/TMCIO-A/RxD6-A/IRQ9-A	AVSS1
C2	P05/IRQ13-A/DA1	P02/TMC1/SCK6/IRQ10/AN109

145 ピン TFLGA	RX62N	RX671 (0.65mm ピッチ)
C3	VSS	VREFH0
C4	P41/IRQ9-B/AN1	P41/IRQ9-DS/AN001
C5	P46/IRQ14/AN6	P46/IRQ14-DS/AN006
C6	P92/A18-B	VSS
C7	PD2/D2/MTIC11W-B/POE5#	PD1/D1[A1/D1]/MTIOC4B/POE0#/CTX0/ MOSIC-A/IRQ1/AN106
C8	PD7/D7/MTIC5U/POE0#	PD3/D3[A3/D3]/MTIOC8D/POE8#/TOC2/ RSPCKC-A/SDHI_D3-B/QIO3-B/IRQ3/AN104
C9	P61/CS1#-A/SDCS#	PD7/D7[A7/D7]/MTIC5U/POE0#/SSLC3-A/ SDHI_D1-B/QIO1-B/IRQ7/AN100
C10	P63/CS3#-A/CAS#	P63/CS3#/CAS#/D2[A2/D2]/IRQ3
C11	PE5/D13/RSPCKB-B/IRQ5-A	PE0/D8[A8/D8]/D0[A0/D0]/MTIOC3D/SCK12/ SSLB1-B/IRQ8/ANEX0
C12	PE3/D11/POE8#	P70/SDCLK/IRQ0
C13	SDCLK/P70	VSS
D1	EMLE	P00/TMRI0/TXD6/SMOSI6/SSDA6/IRQ8/ AN111
D2	VCC	PF5/IRQ4
D3	P02/TMCI1-A/SCK6-A/IRQ10-A	P03/IRQ11
D4	P43/IRQ11-B/AN3	P01/TMCI0/RXD6/SMISO6/SSCL6/IRQ9/ AN110
D5	VCC	VCC
D6	VSS	P93/A19/POE0#/CTS7#/RTS7#/SS7#/IRQ11
D7	P93/A19-B	PD5/D5[A5/D5]/MTIC5W/MTIOC8C/ POE10#/SSLC1-A/SDHI_CLK-B/QSPCLK-B/ IRQ5/AN102
D8	PD4/D4/MTIC11U-B/POE3#	P60/CS0#/IRQ0
D9	VCC	P64/CS4#/WE#/D3[A3/D3]/IRQ4
D10	VSS	PE7/D15[A15/D15]/D7[A7/D7]/MTIOC6A/ TOC1/MISOB-B/SDHI_WP/SDHI_D1-B/ QIO1-B/IRQ7
D11	VCC	VCC
D12	PE7/D15/MISOB-B/IRQ7-A	PE5/D13[A13/D13]/D5[A5/D5]/MTIOC4C/ MTIOC2B/RSPCKB-B/IRQ5
D13	PE6/D14/MOSIB-B/IRQ6-A	PE6/D14[A14/D14]/D6[A6/D6]/MTIOC6C/ TIC1/MOSIB-B/SDHI_CD/SDHI_D0-B/ QIO0-B/IRQ6
E1	VCL	VSS
E2	VSS	VCL
E3	P00/TMRI0-A/TxD6-A/IRQ8-A	PJ5/POE8#/CTS2#/RTS2#/SS2#/IRQ13
E4	BSCANP	EMLE
E5	(N.C)	P44/IRQ12-DS/AN004
E10	P65/CS5#-A/CKE	PA0/A0/BC0#/MTIOC4A/MTIOC6D/TIOCA0/ CACREF/PO16/SSLA1-B/SSL01-B/IRQ0
E11	P67/CS7#-A/DQM1	P66/CS6#/DQM0/MTIOC7D/IRQ14
E12	PA0/A0/BC0#/MTIOC6A/PO16/SSLA1-B	P65/CS5#/CKE/IRQ13
E13	P66/CS6#-A/DQM0	P67/CS7#/DQM1/MTIOC7C/IRQ15
F1	XCIN	XCIN
F2	XCOUT	XCOUT
F3	WDTOVF#	EXCIN/PJ3/EDACK1/MTIOC3C/CTS6#/ RTS6#/CTS0#/RTS0#/SS6#/SS0#/IRQ11
F4	MDE	VBATT

145 ピン TFLGA	RX62N	RX671 (0.65mm ピッチ)
F10	PA1/A1/MTIOC6B/PO17/SSLA2-B	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/ TCLKB/PO19/RXD5/SMISO5/SSCL5/ IRQ6-DS
F11	PA3/A3/MTIOC6D/PO19	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/ PO20/TXD5/SMOSI5/SSDA5/SSLA0-B/ SSL00-B/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/IRQ5-DS
F12	VCC	PA1/A1/MTIOC0B/MTCLKC/MTIOC7B/ TIOCB0/PO17/SCK5/SSLA2-B/SSL02-B/ SCK12/SDHI_CD/IRQ11
F13	PA2/A2/MTIOC6C/PO18/SSLA3-B	PA2/A2/MTIOC7A/PO18/RXD5/SMISO5/ SSCL5/SSLA3-B/SSL03-B/RXD12/ SMISO12/SSCL12/RDX12/SDHI_WP/ IRQ10
G1	XTAL	XTAL/P37
G2	VSS	RES#
G3	MD1	MD/FINED
G4	MD0	BSCANP
G10	VSS	PA5/A5/MTIOC6B/TIOCB1/PO21/ RSPCKA-B/RSPCK0-B/IRQ5
G11	PA5/A5/MTIOC7B/PO21/RSPCKA-B	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMCI3/ PO22/POE10#/CTS5#/RTS5#/SS5#/ MOSIA-B/MOSI0-B/CTS12#/RTS12#/ SS12#/IRQ14
G12	PA6/A6/MTIOC8A/PO22/MOSIA-B	VSS_USB
G13	PA4/A4/MTIOC7A/PO20/SSLA0-B	USB1_DP
H1	EXTAL	EXTAL/P36
H2	P34/MTIOC0A/TMCI3/PO12/SCK6-B/ IRQ4-A/TRST#	VCC
H3	VCC	VSS
H4	RES#	UPSEL/P35/NMI
H10	PB0/A8/MTIOC9A/PO24	PB0/A8/MTIC5W/TIOCA3/PO24/RXD4/ RXD6/SMISO4/SMISO6/SSCL4/SSCL6/ IRQ12
H11	P71/CS1#-B/ET_MDIO	PA7/A7/TIOCB2/PO23/MISOA-B/MISO0-B/ IRQ7
H12	PB1/A9/MTIOC9C/PO25	VCC_USB
H13	PA7/A7/MTIOC8B/PO23/MISOA-B	USB1_DM
J1	P33/MTIOC0D/PO11/CRX0/RxD6-B/IRQ3-A	TRST#/P34/MTIOC0A/TMCI3/PO12/ POE10#/SCK6/SCK0/IRQ4/TS0
J2	P27/CS7#-C/MTIOC2B/PO7/RSPCKB-A/ SCK1/TCK	P33/EDREQ1/MTIOC0D/TIOCD0/TMRI3/ PO11/POE4#/POE11#/RXD6/RXD0/ SMISO6/SMISO0/SSCL6/SSCL0/CRX0/ IRQ3-DS/TS1
J3	P35/NMI	P32/MTIOC0C/TIOCC0/TMO3/PO10/ RTCOUT/RTCIC2/POE0#/POE10#/TXD6/ TXD0/SMOSI6/SMOSI0/SSDA6/SSDA0/ CTX0/USB0_VBUSEN/IRQ2-DS/TAMPI2
J4	P32/MTIOC0C/PO10/RTCOUT/CTX0/ TxD6-B/IRQ2-A	TDI/P30/MTIOC4B/TMRI3/PO8/RTCIC0/ POE8#/RXD1/SMISO1/SSCL1/MISOB-A/ IRQ0-DS/TAMPI0
J10	PB2/A10/MTIOC9B/MTCLKG-B/PO26	PB3/A11/MTIOC0A/MTIOC4A/TIOCD3/ TCLKD/TMO0/PO27/POE11#/SCK4/SCK6/ PMC0-DS/IRQ3

145 ピン TFLGA	RX62N	RX671 (0.65mm ピッチ)
J11	PB4/A12/MTIOC10A/MTCLKE-B/PO28	PB4/A12/TIOCA4/PO28/CTS9#/RTS9#/SS9#/SS11#/CTS11#/RTS11#/SS011#/CTS011#/RTS011#/DE011/IRQ4
J12	PB5/A13/MTIOC10C/MTCLKF-B/PO29	PB2/A10/TIOCC3/TCLKC/PO26/CTS4#/RTS4#/CTS6#/RTS6#/SS4#/SS6#/IRQ2
J13	P72/CS2#-B/ET_MDC	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/TMCI0/PO25/TXD4/TXD6/SMOSI4/SMOSI6/SSDA4/SSDA6/IRQ4-DS
K1	P30/MTIOC4B-A/TMRI3/PO8/RxD1/MISOB-A/IRQ0/TDI	TCK/P27/CS7#/MTIOC2B/TMCI3/PO7/SCK1/RSPCKB-A/IRQ7/TS2
K2	P24/CS4#-C/EDREQ1-B/USB0_VBUSEN-A/MTIOC4A-A/MTCLKA-A/TMRI1/PO4/SCK3-B	TDO/P26/CS6#/MTIOC2A/TMO1/PO6/TXD1/CTS3#/RTS3#/SMOSI1/SS3#/SSDA1/MOSIB-A/IRQ6/TS3
K3	P31/MTIOC4D-A/TMCI2-B/PO9/SSLB0-A/IRQ1/TMS	TMS/P31/MTIOC4D/TMCI2/PO9/RTCIC1/CTS1#/RTS1#/SS1#/SSLB0-A/IRQ1-DS/TAMPI1
K4	P26/CS6#-C/MTIOC2A/TMO1/PO6/MOSIB-A/TxD1/TDO	P15/MTIOC0B/MTCLKB/TIOCB2/TCLKB/TMCI2/PO13/RXD1/SCK3/SMISO1/SSCL1/CRX1-DS/IRQ5/TS10
K5	BCLK/P53	TRDATA2/P54/ALE/D1[A1/D1]/EDACK0/MTIOC4B/TMCI1/CTS2#/RTS2#/SS2#/CTX1/MOSIC-B/IRQ4
K6	VSS	P53 ^(注1) /BCLK/SSIRXD0/PMC0-DS/IRQ3/TS12
K7	PC7/A23/CS0#-B/ET_COL/MTIC11U-A/MTCLKB-B/MISOA-A	P51/WR1#/BC1#/WAIT#/SCK2/SSLB2-A/IRQ1
K8	P82/EDREQ1-A/ET_ETXD1/RMII_TXD1/MTIOC4A-B/TRSYNC	VCC
K9	PC3/A19-A/ET_TX_ER/MTCLKF-A/TxD5	TRDATA0/P80/EDREQ0/MTIOC3B/PO26/SCK10/RTS10#/SCK010/RTS010#/DE010/USB1_EXICEN/SDHI_WP/QIO2-A/IRQ8
K10	PB7/A15/MTIOC10D/PO31	TRDATA6/P76/CS6#/PO22/SMISO11/SSCL11/RXD11/SMISO011/SSCL011/RXD011/SDHI_CMD-A/QSSL-A/IRQ14
K11	P73/CS3#-B/ET_WOL	PB7/A15/MTIOC3B/TIOCB5/PO31/TXD9/SMOSI9/SSDA9/SMOSI11/SSDA11/TXD11/SMOSI011/SSDA011/TXD011/IRQ15
K12	PC0/A16-A/ET_ERXD3/MTCLKG-A/SSLA1-A	PB6/A14/MTIOC3D/TIOCA5/PO30/RXD9/SMISO9/SSCL9/SMISO11/SSCL11/RXD11/SMISO011/SSCL011/RXD011/IRQ6
K13	PB3/A11/MTIOC9D/MTCLKH-B/PO27	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4/TMRI1/PO29/POE4#/SCK9/SCK11/SCK011/IRQ13
L1	P25/CS5#-C/EDACK1-B/USB0_DPRPD/MTIOC4C-A/MTCLKB-A/PO5/RxD3-B/ADTRG0#-B	P25/CS5#/EDACK1/MTIOC4C/MTCLKB/TIOCA4/PO5/RXD3/SMISO3/SSCL3/SDHI_CD/IRQ5/ADTRG0#/TS4/CLKOUT
L2	P22/EDREQ0-B/USB0_DRPD/MTIOC3B-A/MTCLKC-A/TMO0/PO2/SCK0	P23/EDACK0/MTIOC3D/MTCLKD/TIOCD3/PO3/TXD3/CTS0#/RTS0#/SMOSI3/SS0#/SSDA3/SSIBCK0/SDHI_D1-C/IRQ3/TS6
L3	P17/MTIOC3A/PO15/TxD3-A/IRQ7-B	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/TMO2/PO14/RTCOUT/TXD1/RXD3/SMOSI1/SMISO3/SSDA1/SSCL3/SCL2-DS/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB/IRQ6/ADTRG0#

145 ピン TFLGA	RX62N	RX671 (0.65mm ピッチ)
L4	P12/TMCI1-B/SCL0/RxD2-A/IRQ2-B	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4/SCK3/USB0_VBUSEN/ SDHI_WP/IRQ12/TS5
L5	VCC_USB	P13/MTIOC0B/TIOCA5/TMO3/PO13/TXD2/ SMOSI2/SSDA2/SDA0[FM+]/ SDAHS0[FM+/HS]/IRQ3/ADTRG1#
L6	P56/EDACK1-C/MTIOC3C-B	P56/EDACK1/MTIOC3C/TIOCA1/SCK7/ RSPCKC-B/IRQ6
L7	P52/RD#/SSLB3-A/RxD2-B	P52/RD#/RXD2/SMISO2/SSCL2/SSLB3-A/ IRQ2
L8	P83/EDACK1-A/ET_CRS/RMII_CRS_DV/ MTIOC4C-B/TRCLK	TRCLK/P83/EDACK1/MTIOC4C/SS10#/ CTS10#/SCK10/SS010#/CTS010#/SCK010/ IRQ3
L9	P81/EDACK0-A/ET_ETXD0/RMII_TXD0/ MTIOC3D-B/TRDATA1	PC5/D3[A3/D3]/A21/CS2#/WAIT#/MTIOC3B/ MTCLKD/TMRI2/PO29/SCK8/SCK10/ RSPCKA-A/SSIBCK0/SCK010/RSPCK0-A/ IRQ5/TS14
L10	P77/CS7#-B/ET_RX_ER/RMII_RX_ER	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMCI1/ PO25/POE0#/SCK5/CTS8#/RTS8#/SS8#/ SS10#/CTS10#/RTS10#/SSLA0-A/ AUDIO_CLK/SS010#/CTS010#/RTS010#/ DE010/SSL00-A/SDHI_D1-A/QIO1-A/IRQ12/ TSCAP
L11	P75/CS5#-B/ET_ERXD0/RMII_RXD0	PC2/A18/MTIOC4B/TCLKA/PO21/RXD5/ SMISO5/SSCL5/SSLA3-A/TXDB011/ SSL03-A/SDHI_D3-A/IRQ10
L12	VCC	TRDATA4/P73/CS3#/PO16/USB1_VBUS/ USB1_VBUSEN/USB1_OVRCURB/IRQ8
L13	PB6/A14/MTIOC10B/PO30	VSS
M1	P23/EDACK0-B/USB0_DPUPE-A/ MTIOC3D-A/MTCLKD-A/PO3/TxD3-B	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/ TMO0/PO2/SCK0/USB0_OVRCURB/ AUDIO_CLK/SDHI_D0-C/IRQ15/TS7
M2	P20/USB0_ID/MTIOC1A/TMRI0-B/PO0/ SDA1/TxD0	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB0/ TCLKD/TMO1/PO15/POE8#/SCK1/TXD3/ SMOSI3/SSDA3/SDA2-DS/SSITXD0/ SDHI_D3-C/IRQ7/ADTRG1#
M3	PLLVC	P86/MTIOC4D/TIOCA0/SMISO10/SSCL10/ RXD10/SMISO010/SSCL010/RXD010/ IRQ14
M4	P15/MTIOC0B/TMCI2-A/PO13/SCK3-A/ IRQ5-B	P12/MTIC5U/TMCI1/RXD2/SMISO2/SSCL2/ SCL0[FM+]/SCLHS0[FM+/HS]/IRQ2
M5	P14/USB0_OVRCURA/USB0_DPUPE-B/ TMRI2/IRQ4-B	VCC_USB
M6	VSS_USB	VSS_USB
M7	P55/WAIT#-B/EDREQ0-C/ET_EXOUT/ MTIOC4D-B/TRDATA3	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2/ SSLB1-A/IRQ0
M8	P50/WR0#/WR#/SSLB1-A/TxD2-B	PC6/D2[A2/D2]/A22/CS1#/MTIOC3C/ MTCLKA/TMCI2/TIC0/PO30/RXD8/SMISO8/ SSCL8/SMISO10/SSCL10/RXD10/MOSIA-A/ SSILRCK0/SMISO010/SSCL010/RXD010/ MOSI0-A/IRQ13/TS13
M9	PC6/A22/CS1#-C/ET_ETXD3/MTIC11V-A/ MTCLKA-B/MOSIA-A	TRDATA1/P81/EDACK0/MTIOC3D/PO27/ SMISO10/SSCL10/RXD10/SMISO010/ SSCL010/RXD010/USB1_OVRCURB/ SDHI_CD/QIO3-A/IRQ9

145 ピン TFLGA	RX62N	RX671 (0.65mm ピッチ)
M10	P80/EDREQ0-A/ET_TX_EN/RMII_TXD_EN/ MTIOC3B-B/TRDATA0	TRDATA7/P77/CS7#/PO23/SMOSI11/ SSDA11/TXD11/SMOSI011/SSDA011/ TXD011/USB1_ID/SDHI_CLK-A/QSPCLK-A/ IRQ7
M11	PC2/A18-A/ET_RX_DV/MTCLKE-A/ SSLA3-A/RxD5	PC0/A16/MTIOC3C/TCLKC/PO17/CTS5#/ RTS5#/SS5#/SSLA1-A/RXD011/SMISO011/ SSCL011/SSL01-A/IRQ14/TS16
M12	PC1/A17-A/ET_ERXD2/MTCLKH-A/ SSLA2-A/SCK5	PC1/A17/MTIOC3A/TCLKD/PO18/SCK5/ SSLA2-A/TXD011/SMOSI011/SSDA011/ TXDA011/SSL02-A/IRQ12/TS15
M13	VSS	VCC
N1	P21/USB0_EXICEN/MTIOC1B/TMCIO-B/ PO1/SCL1/RxD0	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCIO/ PO1/RXD0/SMISO0/SSCL0/SCL1/ USB0_EXICEN/SSILRCK0/SDHI_CLK-C/ IRQ9/TS8
N2	P16/USB0_VBUS/USB0_OVRCURB/ USB0_VBUSEN-B/MTIOC3C-A/TMO2/ PO14/RxD3-A/IRQ6-B	P20/MTIOC1A/TIOCB3/TMRI0/PO0/TXD0/ SMOSI0/SSDA0/SDA1/USB0_ID/SSIRXD0/ SDHI_CMDC/IRQ8/TS9
N3	PLLVS	P87/MTIOC4C/TIOCA2/SMOSI10/SSDA10/ TXD10/SMOSI010/SSDA010/TXD010/ SDHI_D2-C/IRQ15
N4	P13/TMO3/SDA0/TxD2-A/IRQ3-B/ADTRG1#	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/ TMRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/ USB0_OVRCURA/IRQ4/TS11
N5	USB0_DM	PH2/TMRI0/USB0_DM/IRQ1
N6	USB0_DP	PH1/TMO0/USB0_DP/IRQ0
N7	P54/EDACK0-C/ET_LINKSTA/MTIOC4B-B/ TRDATA2	TRDATA3/P55/D0[A0/D0]/WAIT#/EDREQ0/ MTIOC4D/TMO3/TXD7/SMOSI7/SSDA7/ CRX1/MISOC-B/IRQ10
N8	P51/WR1#/BC1#/WAIT#-D/SSLB2-A/SCK2	VSS
N9	VCC	UB/PC7/A23/CS0#/MTIOC3A/MTCLKB/ TMO2/TOC0/PO31/CACREF/TXD8/SMOSI8/ SSDA8/SMOSI10/SSDA10/TXD10/ MISOA-A/SSITXD0/SMOSI010/SSDA010/ TXD010/MISO0-A/IRQ14
N10	PC5/A21/CS2#-C/WAIT#-C/ET_ETXD2/ MTIC11W-A/MTCLKD-B/RSPCKA-A	TRSYNC/P82/EDREQ1/MTIOC4A/PO28/ SMOSI10/SSDA10/TXD10/SMOSI010/ SSDA010/TXD010/USB1_VBUSEN/IRQ2
N11	PC4/A20/CS3#-C/ET_TX_CLK/MTCLKC-B/ SSLA0-A	PC3/A19/MTIOC4D/TCLKB/PO24/TXD5/ SMOSI5/SSDA5/PMC0-DS/SDHI_D0-A/ QIO0-A/IRQ11
N12	P76/CS6#-B/ET_RX_CLK/REF50CK	TRSYNC1/P75/CS5#/PO20/SCK11/RTS11#/ SCK011/RTS011#/DE011/ USB1_OVRCURA/SDHI_D2-A/IRQ13
N13	P74/CS4#-B/ET_ERXD1/RMII_RXD1	TRDATA5/P74/A20/CS4#/PO19/SS11#/ CTS11#/SS011#/CTS011#/USB1_VBUSEN/ IRQ12

注 1. 外部バス有効時、BCLK 端子と兼用している P53 は、I/O ポートとして使用できません

3.2 145 ピン TFLGA (RX671 : 0.50mm ピッチ)

表 3.2 に 145 ピン TFLGA パッケージ端子機能の比較(RX671 : 0.50mm ピッチ)を示します。

表 3.2 145 ピン TFLGA パッケージ端子機能の比較(RX671 : 0.50mm ピッチ)

145 ピン TFLGA	RX62N	RX671 (0.50mm ピッチ)
A1	AVSS	AVSS0
A2	AVCC	P07/IRQ15/ADTRG0#
A3	VREFL	P40/IRQ8-DS/AN000
A4	P42/IRQ10-B/AN2	P42/IRQ10-DS/AN002
A5	P44/IRQ12/AN4	P45/IRQ13-DS/AN005
A6	P47/IRQ15-B/AN7	P90/A16/TXD7/SMOSI7/SSDA7/IRQ0/ AN108
A7	P91/A17-B	P92/A18/POE4#/RXD7/SMISO7/SSCL7/ IRQ10
A8	PD0/D0/POE7#	PD2/D2[A2/D2]/MTIOC4D/TIC2/CRX0/ MISOC-A/SDHI_D2-B/QIO2-B/IRQ2/AN105
A9	PD3/D3/MTIC11V-B/POE4#	PD6/D6[A6/D6]/MTIC5V/MTIOC8A/POE4#/ SSLC2-A/SDHI_D0-B/QIO0-B/IRQ6/AN101
A10	PD6/D6/MTIC5V/POE1#	VSS
A11	P60/CS0#-A	P62/CS2#/RAS#/D1[A1/D1]/IRQ2
A12	P62/CS2#-A/RAS#	PE1/D9[A9/D9]/D1[A1/D1]/MTIOC4C/ MTIOC3B/PO18/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/SSLB2-B/IRQ9/ANEX1
A13	P64/CS4#-A/WE#	PE3/D11[A11/D11]/D3[A3/D3]/MTIOC4B/ PO26/POE8#/TOC3/CTS12#/RTS12#/ SS12#/IRQ11
B1	P03/IRQ11-A/DA0	AVCC1
B2	P07/IRQ15-A/ADTRG0#-A	AVCC0
B3	VREFH	P05/IRQ13
B4	P40/IRQ8-B/AN0	VREFL0
B5	P45/IRQ13-B/AN5	P43/IRQ11-DS/AN003
B6	P90/A16-B	P47/IRQ15-DS/AN007
B7	PD1/D1/POE6#	P91/A17/SCK7/IRQ9
B8	PD5/D5/MTIC5W/POE2#	PD0/D0[A0/D0]/POE4#/IRQ0/AN107
B9	VSS	PD4/D4[A4/D4]/MTIOC8B/POE11#/ SSLC0-A/SDHI_CMD-B/QSSL-B/IRQ4/ AN103
B10	PE0/D8/SSLB1-B	VCC
B11	PE2/D10/POE9#/SSLB3-B	P61/CS1#/SDCS#/D0[A0/D0]/IRQ1
B12	PE1/D9/SSLB2-B	PE2/D10[A10/D10]/D2[A2/D2]/MTIOC4A/ PO23/TIC3/RXD12/SMISO12/SSCL12/ RXDX12/SSLB3-B/IRQ7-DS
B13	PE4/D12/SSLB0-B	PE4/D12[A12/D12]/D4[A4/D4]/MTIOC4D/ MTIOC1A/PO28/SSLB0-B/IRQ12
C1	P01/TMCI0-A/RxD6-A/IRQ9-A	AVSS1
C2	P05/IRQ13-A/DA1	P02/TMCI1/SCK6/IRQ10/AN109
C3	VSS	VREFH0
C4	P41/IRQ9-B/AN1	P41/IRQ9-DS/AN001
C5	P46/IRQ14/AN6	P46/IRQ14-DS/AN006
C6	P92/A18-B	VSS
C7	PD2/D2/MTIC11W-B/POE5#	PD1/D1[A1/D1]/MTIOC4B/POE0#/CTX0/ MOSIC-A/IRQ1/AN106

145 ピン TFLGA	RX62N	RX671 (0.50mm ピッチ)
C8	PD7/D7/MTIC5U/POE0#	PD3/D3[A3/D3]/MTIOC8D/POE8#/TOC2/ RSPCKC-A/SDHI_D3-B/QIO3-B/IRQ3/AN104
C9	P61/CS1#-A/SDCS#	PD7/D7[A7/D7]/MTIC5U/POE0#/SSLC3-A/ SDHI_D1-B/QIO1-B/IRQ7/AN100
C10	P63/CS3#-A/CAS#	P63/CS3#/CAS#/D2[A2/D2]/IRQ3
C11	PE5/D13/RSPCKB-B/IRQ5-A	PE0/D8[A8/D8]/D0[A0/D0]/MTIOC3D/SCK12/ SSLB1-B/IRQ8/ANEX0
C12	PE3/D11/POE8#	P70/SDCLK/IRQ0
C13	SDCLK/P70	VSS
D1	EMLE	P00/TMRI0/TXD6/SMOSI6/SSDA6/IRQ8/ AN111
D2	VCC	PF5/IRQ4
D3	P02/TMCI1-A/SCK6-A/IRQ10-A	P03/IRQ11
D4	P43/IRQ11-B/AN3	P01/TMCI0/RXD6/SMISO6/SSCL6/IRQ9/ AN110
D5	VCC	VCC
D6	VSS	P93/A19/POE0#/CTS7#/RTS7#/SS7#/IRQ11
D7	P93/A19-B	PD5/D5[A5/D5]/MTIC5W/MTIOC8C/ POE10#/SSLC1-A/SDHI_CLK-B/ QSPCLK-B/IRQ5/AN102
D8	PD4/D4/MTIC11U-B/POE3#	P60/CS0#/IRQ0
D9	VCC	P64/CS4#/WE#/D3[A3/D3]/IRQ4
D10	VSS	PE7/D15[A15/D15]/D7[A7/D7]/MTIOC6A/ TOC1/MISOB-B/SDHI_WP/SDHI_D1-B/ QIO1-B/IRQ7
D11	VCC	VCC
D12	PE7/D15/MISOB-B/IRQ7-A	PE5/D13[A13/D13]/D5[A5/D5]/MTIOC4C/ MTIOC2B/RSPCKB-B/IRQ5
D13	PE6/D14/MOSIB-B/IRQ6-A	PE6/D14[A14/D14]/D6[A6/D6]/MTIOC6C/ TIC1/MOSIB-B/SDHI_CD/SDHI_D0-B/ QIO0-B/IRQ6
E1	VCL	VSS
E2	VSS	VCL
E3	P00/TMRI0-A/TxD6-A/IRQ8-A	PJ5/POE8#/CTS2#/RTS2#/SS2#/IRQ13
E4	BSCANP	EMLE
E5	(N.C)	P44/IRQ12-DS/AN004
E10	P65/CS5#-A/CKE	PA0/A0/BC0#/MTIOC4A/MTIOC6D/TIOCA0/ CACREF/PO16/SSLA1-B/SSL01-B/IRQ0
E11	P67/CS7#-A/DQM1	P66/CS6#/DQM0/MTIOC7D/IRQ14
E12	PA0/A0/BC0#/MTIOC6A/PO16/SSLA1-B	P65/CS5#/CKE/IRQ13
E13	P66/CS6#-A/DQM0	P67/CS7#/DQM1/MTIOC7C/IRQ15
F1	XCIN	XCIN
F2	XCOUT	XCOUT
F3	WDTOVF#	EXCIN/PJ3/EDACK1/MTIOC3C/CTS6#/ RTS6#/CTS0#/RTS0#/SS6#/SS0#/IRQ11
F4	MDE	VBATT
F10	PA1/A1/MTIOC6B/PO17/SSLA2-B	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/ TCLKB/PO19/RXD5/SMISO5/SSCL5/ IRQ6-DS
F11	PA3/A3/MTIOC6D/PO19	VSS
F12	VCC	PA1/A1/MTIOC0B/MTCLKC/MTIOC7B/ TIOCB0/PO17/SCK5/SSLA2-B/SSL02-B/ SCK12/SDHI_CD/IRQ11

145 ピン TFLGA	RX62N	RX671 (0.50mm ピッチ)
F13	PA2/A2/MTIOC6C/PO18/SSLA3-B	PA2/A2/MTIOC7A/PO18/RXD5/SMISO5/ SSCL5/SSLA3-B/SSL03-B/RXD12/ SMISO12/SSCL12/RDX12/SDHI_WP/ IRQ10
G1	XTAL	XTAL/P37
G2	VSS	RES#
G3	MD1	MD/FINED
G4	MD0	BSCANP
G10	VSS	PA5/A5/MTIOC6B/TIOCB1/PO21/ RSPCKA-B/RSPCK0-B/IRQ5
G11	PA5/A5/MTIOC7B/PO21/RSPCKA-B	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMCI3/ PO22/POE10#/CTS5#/RTS5#/SS5#/ MOSIA-B/MOSIO-B/CTS12#/RTS12#/ SS12#/IRQ14
G12	PA6/A6/MTIOC8A/PO22/MOSIA-B	VCC
G13	PA4/A4/MTIOC7A/PO20/SSLA0-B	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/ PO20/TXD5/SMOSI5/SSDA5/SSLA0-B/ SSL00-B/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/IRQ5-DS
H1	EXTAL	EXTAL/P36
H2	P34/MTIOC0A/TMCI3/PO12/SCK6-B/ IRQ4-A/TRST#	VCC
H3	VCC	VSS
H4	RES#	UPSEL/P35/NMI
H10	PB0/A8/MTIOC9A/PO24	P72/A19/CS2#/IRQ10
H11	P71/CS1#-B/ET_MDIO	P71/A18/CS1#/IRQ1
H12	PB1/A9/MTIOC9C/PO25	PB0/A8/MTIC5W/TIOCA3/PO24/RXD4/ RXD6/SMISO4/SMISO6/SSCL4/SSCL6/ IRQ12
H13	PA7/A7/MTIOC8B/PO23/MISOA-B	PA7/A7/TIOCB2/PO23/MISOA-B/MISO0-B/ IRQ7
J1	P33/MTIOC0D/PO11/CRX0/RxD6-B/IRQ3-A	TRST#/P34/MTIOC0A/TMCI3/PO12/ POE10#/SCK6/SCK0/IRQ4/TS0
J2	P27/CS7#-C/MTIOC2B/PO7/RSPCKB-A/ SCK1/TCK	P33/EDREQ1/MTIOC0D/TIOC0D/TMRI3/ PO11/POE4#/POE11#/RXD6/RXD0/ SMISO6/SMISO0/SSCL6/SSCL0/CRX0/ IRQ3-DS/TS1
J3	P35/NMI	P32/MTIOC0C/TIOCC0/TMO3/PO10/ RTCOUT/RTCIC2/POE0#/POE10#/TXD6/ TXD0/SMOSI6/SMOSI0/SSDA6/SSDA0/ CTX0/USB0_VBUSEN/IRQ2-DS/TAMPI2
J4	P32/MTIOC0C/PO10/RTCOUT/CTX0/ TxD6-B/IRQ2-A	TDI/P30/MTIOC4B/TMRI3/PO8/RTCIC0/ POE8#/RXD1/SMISO1/SSCL1/MISOB-A/ IRQ0-DS/TAMPI0
J10	PB2/A10/MTIOC9B/MTCLKG-B/PO26	PB3/A11/MTIOC0A/MTIOC4A/TIOC0D3/ TCLKD/TMO0/PO27/POE11#/SCK4/SCK6/ PMC0-DS/IRQ3
J11	PB4/A12/MTIOC10A/MTCLKE-B/PO28	PB4/A12/TIOCA4/PO28/CTS9#/RTS9#/ SS9#/SS11#/CTS11#/RTS11#/SS011#/ CTS011#/RTS011#/DE011/IRQ4
J12	PB5/A13/MTIOC10C/MTCLKF-B/PO29	PB2/A10/TIOCC3/TCLKC/PO26/CTS4#/ RTS4#/CTS6#/RTS6#/SS4#/SS6#/IRQ2
J13	P72/CS2#-B/ET_MDC	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/ TMCI0/PO25/TXD4/TXD6/SMOSI4/SMOSI6/ SSDA4/SSDA6/IRQ4-DS

145 ピン TFLGA	RX62N	RX671 (0.50mm ピッチ)
K1	P30/MTIOC4B-A/TMRI3/PO8/RxD1/ MISOB-A/IRQ0/TDI	TCK/P27/CS7#/MTIOC2B/TMCI3/PO7/ SCK1/RSPCKB-A/IRQ7/TS2
K2	P24/CS4#-C/EDREQ1-B/USB0_VBUSEN-A/ MTIOC4A-A/MTCLKA-A/TMRI1/PO4/ SCK3-B	TDO/P26/CS6#/MTIOC2A/TMO1/PO6/TXD1/ CTS3#/RTS3#/SMOSI1/SS3#/SSDA1/ MOSIB-A/IRQ6/TS3
K3	P31/MTIOC4D-A/TMCI2-B/PO9/SSLB0-A/ IRQ1/TMS	TMS/P31/MTIOC4D/TMCI2/PO9/RTCIC1/ CTS1#/RTS1#/SS1#/SSLB0-A/IRQ1-DS/ TAMPI1
K4	P26/CS6#-C/MTIOC2A/TMO1/PO6/ MOSIB-A/TxD1/TDO	P15/MTIOC0B/MTCLKB/TIOC2B/TCLKB/ TMCI2/PO13/RXD1/SCK3/SMISO1/SSCL1/ CRX1-DS/IRQ5/TS10
K5	BCLK/P53	TRDATA2/P54/ALE/D1[A1/D1]/EDACK0/ MTIOC4B/TMCI1/CTS2#/RTS2#/SS2#/ CTX1/MOSIC-B/IRQ4
K6	VSS	P53 ^(注1) /BCLK/SSIRXD0/PMC0-DS/IRQ3/ TS12
K7	PC7/A23/CS0#-B/ET_COL/MTIC11U-A/ MTCLKB-B/MISOA-A	P51/WR1#/BC1#/WAIT#/SCK2/SSLB2-A/ IRQ1
K8	P82/EDREQ1-A/ET_ETXD1/RMII_TXD1/ MTIOC4A-B/TRSYNC	VCC
K9	PC3/A19-A/ET_TX_ER/MTCLKF-A/TxD5	TRDATA0/P80/EDREQ0/MTIOC3B/PO26/ SCK10/RTS10#/SCK010/RTS010#/DE010/ SDHI_WP/QIO2-A/IRQ8
K10	PB7/A15/MTIOC10D/PO31	TRDATA6/P76/CS6#/PO22/SMISO11/ SSCL11/RXD11/SMISO011/SSCL011/ RXD011/SDHI_CMD-A/QSSL-A/IRQ14
K11	P73/CS3#-B/ET_WOL	PB7/A15/MTIOC3B/TIOCB5/PO31/TXD9/ SMOSI9/SSDA9/SMOSI11/SSDA11/TXD11/ SMOSI011/SSDA011/TXD011/IRQ15
K12	PC0/A16-A/ET_ERXD3/MTCLKG-A/ SSLA1-A	PB6/A14/MTIOC3D/TIOCA5/PO30/RXD9/ SMISO9/SSCL9/SMISO11/SSCL11/RXD11/ SMISO011/SSCL011/RXD011/IRQ6
K13	PB3/A11/MTIOC9D/MTCLKH-B/PO27	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4/ TMRI1/PO29/POE4#/SCK9/SCK11/SCK011/ IRQ13
L1	P25/CS5#-C/EDACK1-B/USB0_DPRPD/ MTIOC4C-A/MTCLKB-A/PO5/RxD3-B/ ADTRG0#-B	P25/CS5#/EDACK1/MTIOC4C/MTCLKB/ TIOCA4/PO5/RXD3/SMISO3/SSCL3/ SDHI_CD/IRQ5/ADTRG0#/TS4/CLKOUT
L2	P22/EDREQ0-B/USB0_DRPD/MTIOC3B-A/ MTCLKC-A/TMO0/PO2/SCK0	P23/EDACK0/MTIOC3D/MTCLKD/TIOC3D/ PO3/TXD3/CTS0#/RTS0#/SMOSI3/SS0#/ SSDA3/SSIBCK0/SDHI_D1-C/IRQ3/TS6
L3	P17/MTIOC3A/PO15/TxD3-A/IRQ7-B	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/ TMO2/PO14/RTCOUT/TXD1/RXD3/ SMOSI1/SMISO3/SSDA1/SSCL3/SCL2-DS/ USB0_VBUS/USB0_VBUSEN/ USB0_OVRCURB/IRQ6/ADTRG0#
L4	P12/TMCI1-B/SCL0/RxD2-A/IRQ2-B	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4/SCK3/USB0_VBUSEN/ SDHI_WP/IRQ12/TS5
L5	VCC_USB	P13/MTIOC0B/TIOCA5/TMO3/PO13/TXD2/ SMOSI2/SSDA2/SDA0[FM+]/ SDAHS0[FM+/HS]/IRQ3/ADTRG1#
L6	P56/EDACK1-C/MTIOC3C-B	P56/EDACK1/MTIOC3C/TIOCA1/SCK7/ RSPCKC-B/IRQ6
L7	P52/RD#/SSLB3-A/RxD2-B	P52/RD#/RXD2/SMISO2/SSCL2/SSLB3-A/ IRQ2

145 ピン TFLGA	RX62N	RX671 (0.50mm ピッチ)
L8	P83/EDACK1-A/ET_CRS/RMII_CRS_DV/ MTIOC4C-B/TRCLK	TRCLK/P83/EDACK1/MTIOC4C/SS10#/ CTS10#/SCK10/SS010#/CTS010#/SCK010/ IRQ3
L9	P81/EDACK0-A/ET_ETXD0/RMII_TXD0/ MTIOC3D-B/TRDATA1	PC5/D3[A3/D3]/A21/CS2#/WAIT#/MTIOC3B/ MTCLKD/TMRI2/PO29/SCK8/SCK10/ RSPCKA-A/SSIBCK0/SCK010/RSPCK0-A/ IRQ5/TS14
L10	P77/CS7#-B/ET_RX_ER/RMII_RX_ER	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMC11/ PO25/POE0#/SCK5/CTS8#/RTS8#/SS8#/ SS10#/CTS10#/RTS10#/SSLA0-A/ AUDIO_CLK/SS010#/CTS010#/RTS010#/ DE010/SSL00-A/SDHI_D1-A/QIO1-A/ IRQ12/TSCAP
L11	P75/CS5#-B/ET_ERXD0/RMII_RXD0	PC2/A18/MTIOC4B/TCLKA/PO21/RXD5/ SMISO5/SSCL5/SSLA3-A/TXDB011/ SSL03-A/SDHI_D3-A/IRQ10
L12	VCC	TRDATA4/P73/CS3#/PO16/IRQ8
L13	PB6/A14/MTIOC10B/PO30	VSS
M1	P23/EDACK0-B/USB0_DPUPE-A/ MTIOC3D-A/MTCLKD-A/PO3/TxD3-B	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/ TMO0/PO2/SCK0/USB0_OVRCURB/ AUDIO_CLK/SDHI_D0-C/IRQ15/TS7
M2	P20/USB0_ID/MTIOC1A/TMRI0- B/PO0/SDA1/TxD0	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB0/ TCLKD/TMO1/PO15/POE8#/SCK1/TXD3/ SMOSI3/SSDA3/SDA2-DS/SSITXD0/ SDHI_D3-C/IRQ7/ADTRG1#
M3	PLLVC	P86/MTIOC4D/TIOCA0/SMISO10/SSCL10/ RXD10/SMISO010/SSCL010/RXD010/ IRQ14
M4	P15/MTIOC0B/TMC12-A/PO13/SCK3-A/ IRQ5-B	P12/MTIC5U/TMC11/RXD2/SMISO2/SSCL2/ SCL0[FM+]/SCLHS0[FM+/HS]/IRQ2
M5	P14/USB0_OVRCURA/USB0_DPUPE-B/ TMRI2/IRQ4-B	VCC_USB
M6	VSS_USB	VSS_USB
M7	P55/WAIT#-B/EDREQ0- C/ET_EXOUT/MTIOC4D-B/TRDATA3	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2/ SSLB1-A/IRQ0
M8	P50/WR0#/WR#/SSLB1-A/TxD2-B	PC6/D2[A2/D2]/A22/CS1#/MTIOC3C/ MTCLKA/TMC12/TIC0/PO30/RXD8/SMISO8/ SSCL8/SMISO10/SSCL10/RXD10/MOSIA-A/ SSILRCK0/SMISO010/SSCL010/RXD010/ MOSI0-A/IRQ13/TS13
M9	PC6/A22/CS1#-C/ET_ETXD3/MTIC11V-A/ MTCLKA-B/MOSIA-A	TRDATA1/P81/EDACK0/MTIOC3D/PO27/ SMISO10/SSCL10/RXD10/SMISO010/ SSCL010/RXD010/SDHI_CD/QIO3-A/IRQ9
M10	P80/EDREQ0-A/ET_TX_EN/RMII_TXD_EN/ MTIOC3B-B/TRDATA0	TRDATA7/P77/CS7#/PO23/SMOSI11/ SSDA11/TXD11/SMOSI011/SSDA011/ TXD011/SDHI_CLK-A/QSPCLK-A/IRQ7
M11	PC2/A18-A/ET_RX_DV/MTCLKE-A/ SSLA3-A/RxD5	PC0/A16/MTIOC3C/TCLKC/PO17/CTS5#/ RTS5#/SS5#/SSLA1-A/RXD011/SMISO011/ SSCL011/SSL01-A/IRQ14/TS16
M12	PC1/A17-A/ET_ERXD2/MTCLKH-A/ SSLA2-A/SCK5	PC1/A17/MTIOC3A/TCLKD/PO18/SCK5/ SSLA2-A/TXD011/SMOSI011/SSDA011/ TXDA011/SSL02-A/IRQ12/TS15
M13	VSS	VCC

145 ピン TFLGA	RX62N	RX671 (0.50mm ピッチ)
N1	P21/USB0_EXICEN/MTIOC1B/TMCIO-B/ PO1/SCL1/RxD0	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCIO/ PO1/RXD0/SMISO0/SSCLO/SCL1/ USB0_EXICEN/SSILRCK0/SDHI_CLK-C/ IRQ9/TS8
N2	P16/USB0_VBUS/USB0_OVRCURB/ USB0_VBUSEN-B/MTIOC3C-A/TMO2/ PO14/RxD3-A/IRQ6-B	P20/MTIOC1A/TIOCB3/TMRI0/PO0/TXD0/ SMOSI0/SSDA0/SDA1/USB0_ID/SSIRXD0/ SDHI_CMDC/IRQ8/TS9
N3	PLLVS	P87/MTIOC4C/TIOCA2/SMOSI10/SSDA10/ TXD10/SMOSI010/SSDA010/TXD010/ SDHI_D2-C/IRQ15
N4	P13/TMO3/SDA0/TxD2-A/IRQ3-B/ADTRG1#	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/ TMRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/ USB0_OVRCURA/IRQ4/TS11
N5	USB0_DM	PH2/TMRI0/USB0_DM/IRQ1
N6	USB0_DP	PH1/TMO0/USB0_DP/IRQ0
N7	P54/EDACK0-C/ET_LINKSTA/MTIOC4B-B/ TRDATA2	TRDATA3/P55/D0[A0/D0]/WAIT#/EDREQ0/ MTIOC4D/TMO3/TXD7/SMOSI7/SSDA7/ CRX1/MISOC-B/IRQ10
N8	P51/WR1#/BC1#/WAIT#-D/SSLB2-A/SCK2	VSS
N9	VCC	UB/PC7/A23/CS0#/MTIOC3A/MTCLKB/ TMO2/TOC0/PO31/CACREF/TXD8/SMOSI8/ SSDA8/SMOSI10/SSDA10/TXD10/ MISOA-A/SSITXD0/SMOSI010/SSDA010/ TXD010/MISO0-A/IRQ14
N10	PC5/A21/CS2#-C/WAIT#-C/ET_ETXD2/ MTIC11W-A/MTCLKD-B/RSPCKA-A	TRSYNC/P82/EDREQ1/MTIOC4A/PO28/ SMOSI10/SSDA10/TXD10/SMOSI010/ SSDA010/TXD010/IRQ2
N11	PC4/A20/CS3#-C/ET_TX_CLK/MTCLKC-B/ SSLA0-A	PC3/A19/MTIOC4D/TCLKB/PO24/TXD5/ SMOSI5/SSDA5/PMC0-DS/SDHI_D0-A/ QIO0-A/IRQ11
N12	P76/CS6#-B/ET_RX_CLK/REF50CK	TRSYNC1/P75/CS5#/PO20/SCK11/RTS11#/ SCK011/RTS011#/DE011/SDHI_D2-A/ IRQ13
N13	P74/CS4#-B/ET_ERXD1/RMII_RXD1	TRDATA5/P74/A20/CS4#/PO19/SS11#/ CTS11#/SS011#/CTS011#/IRQ12

注 1. 外部バス有効時、BCLK 端子と兼用している P53 は、I/O ポートとして使用できません

3.3 144 ピン LQFP/144 ピン LFQFP

表 3.3 に 144 ピン LQFP/144 ピン LFQFP パッケージ端子機能の比較を示します。

表 3.3 144 ピン LQFP/144 ピン LFQFP パッケージ端子機能の比較

144 ピン	RX62N (144 ピン LQFP)	RX671 (144 ピン LFQFP)
1	AVSS	AVSS0
2	P05/IRQ13-A/DA1	P05/IRQ13
3	VCC	AVCC1
4	P03/IRQ11-A/DA0	P03/IRQ11
5	VSS	AVSS1
6	P02/TMCI1-A/SCK6-A/IRQ10-A	P02/TMCI1/SCK6/IRQ10/AN109
7	P01/TMCI0-A/RxD6-A/IRQ9-A	P01/TMCI0/RxD6/SMISO6/SSCL6/IRQ9/ AN110
8	P00/TMRI0-A/TxD6-A/IRQ8-A	P00/TMRI0/TxD6/SMOSI6/SSDA6/IRQ8/ AN111
9	BSCANP	PF5/IRQ4
10	EMLE	EMLE
11	WDTOVF#	PJ5/POE8#/CTS2#/RTS2#/SS2#/IRQ13
12	VSS	VSS
13	MDE	EXCIN/PJ3/EDACK1/MTIOC3C/CTS6#/ RTS6#/CTS0#/RTS0#/SS6#/SS0#/IRQ11
14	VCL	VCL
15	MD1	VBATT
16	MD0	MD/FINED
17	XCIN	XCIN
18	XCOUT	XCOUT
19	RES#	RES#
20	XTAL	XTAL/P37
21	VSS	VSS
22	EXTAL	EXTAL/P36
23	VCC	VCC
24	P35/NMI	UPSEL/P35/NMI
25	P34/MTIOC0A/TMCI3/PO12/SCK6-B/ IRQ4-A/TRST#	TRST#/P34/MTIOC0A/TMCI3/PO12/ POE10#/SCK6/SCK0/IRQ4/TS0
26	P33/MTIOC0D/PO11/CRX0/RxD6-B/IRQ3-A	P33/EDREQ1/MTIOC0D/TIOC0D/TMRI3/ PO11/POE4#/POE11#/RxD6/RxD0/ SMISO6/SMISO0/SSCL6/SSCL0/CRX0/ IRQ3-DS/TS1
27	P32/MTIOC0C/PO10/RTCOUT/CTX0/ TxD6-B/IRQ2-A	P32/MTIOC0C/TIOCC0/TMO3/PO10/ RTCOUT/RTCIC2/POE0#/POE10#/TxD6/ TxD0/SMOSI6/SMOSI0/SSDA6/SSDA0/ CTX0/USB0_VBUSEN/IRQ2-DS/TAMPI2
28	P31/MTIOC4D-A/TMCI2-B/PO9/SSLB0-A/ IRQ1/TMS	TMS/P31/MTIOC4D/TMCI2/PO9/RTCIC1/ CTS1#/RTS1#/SS1#/SSLB0-A/IRQ1-DS/ TAMPI1
29	P30/MTIOC4B-A/TMRI3/PO8/RxD1/ MISOB-A/IRQ0/TDI	TDI/P30/MTIOC4B/TMRI3/PO8/RTCIC0/ POE8#/RxD1/SMISO1/SSCL1/MISOB-A/ IRQ0-DS/TAMPI0
30	P27/CS7#-C/MTIOC2B/PO7/RSPCKB-A/ SCK1/TCK	TCK/P27/CS7#/MTIOC2B/TMCI3/PO7/ SCK1/RSPCKB-A/IRQ7/TS2
31	P26/CS6#-C/MTIOC2A/TMO1/PO6/ MOSIB-A/TxD1/TDO	TDO/P26/CS6#/MTIOC2A/TMO1/PO6/TxD1/ CTS3#/RTS3#/SMOSI1/SS3#/SSDA1/ MOSIB-A/IRQ6/TS3

144 ピン	RX62N (144 ピン LQFP)	RX671 (144 ピン LFQFP)
32	P25/CS5#-C/EDACK1-B/USB0_DPRPD/ MTIOC4C-A/MTCLKB-A/PO5/RxD3-B/ ADTRG0#-B	P25/CS5#/EDACK1/MTIOC4C/MTCLKB/ TIOCA4/PO5/RXD3/SMISO3/SSCL3/ SDHI_CD/IRQ5/ADTRG0#/TS4/CLKOUT
33	P24/CS4#-C/EDREQ1-B/USB0_VBUSEN-A/ MTIOC4A-A/MTCLKA-A/TMRI1/PO4/ SCK3-B	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4/SCK3/USB0_VBUSEN/ SDHI_WP/IRQ12/TS5
34	P23/EDACK0-B/USB0_DPUPE-A/ MTIOC3D-A/MTCLKD-A/PO3/TxD3-B	P23/EDACK0/MTIOC3D/MTCLKD/TIOC3D/ PO3/TXD3/CTS0#/RTS0#/SMOSI3/SS0#/ SSDA3/SSIBCK0/SDHI_D1-C/IRQ3/TS6
35	P22/EDREQ0-B/USB0_DRPD/MTIOC3B-A/ MTCLKC-A/TMO0/PO2/SCK0	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/ TMO0/PO2/SCK0/USB0_OVRCURB/ AUDIO_CLK/SDHI_D0-C/IRQ15/TS7
36	P21/USB0_EXICEN/MTIOC1B/TMCI0-B/ PO1/SCL1/RxD0	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCI0/ PO1/RXD0/SMISO0/SSCL0/SCL1/ USB0_EXICEN/SSILRCK0/SDHI_CLK-C/ IRQ9/TS8
37	P20/USB0_ID/MTIOC1A/TMRI0-B/PO0/ SDA1/TxD0	P20/MTIOC1A/TIOCB3/TMRI0/PO0/TXD0/ SMOSI0/SSDA0/SDA1/USB0_ID/SSIRXD0/ SDHI_CMDC/IRQ8/TS9
38	P17/MTIOC3A/PO15/TxD3-A/IRQ7-B	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB0/ TCLKD/TMO1/PO15/POE8#/SCK1/TXD3/ SMOSI3/SSDA3/SDA2-DS/SSITXD0/ SDHI_D3-C/IRQ7/ADTRG1#
39	PLLVC	P87/MTIOC4C/TIOCA2/SMOSI10/SSDA10/ TXD10/SMOSI010/SSDA010/TXD010/ SDHI_D2-C/IRQ15
40	P16/USB0_VBUS/USB0_OVRCURB/ USB0_VBUSEN-B/MTIOC3C-A/TMO2/ PO14/RxD3-A/IRQ6-B	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/ TMO2/PO14/RTCOUT/TXD1/RXD3/SMOSI1/ SMISO3/SSDA1/SSCL3/SCL2-DS/ USB0_VBUS/USB0_VBUSEN/ USB0_OVRCURB/IRQ6/ADTRG0#
41	PLLVS	P86/MTIOC4D/TIOCA0/SMISO10/SSCL10/ RXD10/SMISO010/SSCL010/RXD010/IRQ14
42	P15/MTIOC0B/TMCI2-A/PO13/SCK3-A/ IRQ5-B	P15/MTIOC0B/MTCLKB/TIOCB2/TCLKB/ TMCI2/PO13/RXD1/SCK3/SMISO1/SSCL1/ CRX1-DS/IRQ5/TS10
43	P14/USB0_OVRCURA/USB0_DPUPE-B/ TMRI2/IRQ4-B	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/ TMRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/ USB0_OVRCURA/IRQ4/TS11
44	P13/TMO3/SDA0/TxD2-A/IRQ3-B/ADTRG1#	P13/MTIOC0B/TIOCA5/TMO3/PO13/TXD2/ SMOSI2/SSDA2/SDA0[FM+]/ SDAHS0[FM+/HS]/IRQ3/ADTRG1#
45	P12/TMCI1-B/SCL0/RxD2-A/IRQ2-B	P12/MTIC5U/TMCI1/RXD2/SMISO2/SSCL2/ SCL0[FM+]/SCLHS0[FM+/HS]/IRQ2
46	VCC_USB	VCC_USB
47	USB0_DM	PH2/TMRI0/USB0_DM/IRQ1
48	USB0_DP	PH1/TMO0/USB0_DP/IRQ0
49	VSS_USB	VSS_USB
50	P56/EDACK1-C/MTIOC3C-B	P56/EDACK1/MTIOC3C/TIOCA1/SCK7/ RSPCKC-B/IRQ6
51	P55/WAIT#-B/EDREQ0-C/ET_EXOUT/ MTIOC4D-B/TRDATA3	TRDATA3/P55/D0[A0/D0]/WAIT#/EDREQ0/ MTIOC4D/TMO3/TXD7/SMOSI7/SSDA7/ CRX1/MISOC-B/IRQ10
52	P54/EDACK0-C/ET_LINKSTA/MTIOC4B-B/ TRDATA2	TRDATA2/P54/ALE/D1[A1/D1]/EDACK0/ MTIOC4B/TMCI1/CTS2#/RTS2#/SS2#/ CTX1/MOSIC-B/IRQ4

144 ピン	RX62N (144 ピン LQFP)	RX671 (144 ピン LFQFP)
53	BCLK/P53	P53 ^(注1) /BCLK/SSIRXD0/PMC0-DS/IRQ3/ TS12
54	P52/RD#/SSLB3-A/RxD2-B	P52/RD#/RXD2/SMISO2/SSCL2/SSLB3-A/ IRQ2
55	P51/WR1#/BC1#/WAIT#-D/SSLB2-A/SCK2	P51/WR1#/BC1#/WAIT#/SCK2/SSLB2-A/ IRQ1
56	P50/WR0#/WR#/SSLB1-A/TxD2-B	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2/ SSLB1-A/IRQ0
57	VSS	VSS
58	P83/EDACK1-A/ET_CRS/RMII_CRS_DV/ MTIOC4C-B/TRCLK	TRCLK/P83/EDACK1/MTIOC4C/SS10#/ CTS10#/SCK10/SS010#/CTS010#/SCK010/ IRQ3
59	VCC	VCC
60	PC7/A23/CS0#-B/ET_COL/MTIC11U-A/ MTCLKB-B/MISOA-A	UB/PC7/A23/CS0#/MTIOC3A/MTCLKB/ TMO2/TOC0/PO31/CACREF/TXD8/SMOSI8/ SSDA8/SMOSI10/SSDA10/TXD10/ MISOA-A/SSITXD0/SMOSI010/SSDA010/ TXD010/MISO0-A/IRQ14
61	PC6/A22/CS1#-C/ET_ETXD3/MTIC11V-A/ MTCLKA-B/MOSIA-A	PC6/D2[A2/D2]/A22/CS1#/MTIOC3C/ MTCLKA/TMC12/TIC0/PO30/RXD8/SMISO8/ SSCL8/SMISO10/SSCL10/RXD10/MOSIA-A/ SSILRCK0/SMISO010/SSCL010/RXD010/ MOSI0-A/IRQ13/TS13
62	PC5/A21/CS2#-C/WAIT#-C/ET_ETXD2/ MTIC11W-A/MTCLKD-B/RSPCKA-A	PC5/D3[A3/D3]/A21/CS2#/WAIT#/MTIOC3B/ MTCLKD/TMR12/PO29/SCK8/SCK10/ RSPCKA-A/SSIBCK0/SCK010/RSPCK0-A/ IRQ5/TS14
63	P82/EDREQ1-A/ET_ETXD1/ RMII_TXD1/MTIOC4A-B/TRSYNC	TRSYNC/P82/EDREQ1/MTIOC4A/PO28/ SMOSI10/SSDA10/TXD10/SMOSI010/ SSDA010/TXD010/IRQ2
64	P81/EDACK0-A/ET_ETXD0/ RMII_TXD0/MTIOC3D-B/TRDATA1	TRDATA1/P81/EDACK0/MTIOC3D/PO27/ SMISO10/SSCL10/RXD10/SMISO010/ SSCL010/RXD010/SDHI_CD/QIO3-A/IRQ9
65	P80/EDREQ0-A/ET_TX_EN/ RMII_TXD_EN/MTIOC3B-B/TRDATA0	TRDATA0/P80/EDREQ0/MTIOC3B/PO26/ SCK10/RTS10#/SCK010/RTS010#/DE010/ SDHI_WP/QIO2-A/IRQ8
66	PC4/A20/CS3#-C/ET_TX_CLK/MTCLKC-B/ SSLA0-A	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMC11/ PO25/POE0#/SCK5/CTS8#/RTS8#/SS8#/ SS10#/CTS10#/RTS10#/SSLA0-A/ AUDIO_CLK/SS010#/CTS010#/RTS010#/ DE010/SSL00-A/SDHI_D1-A/QIO1-A/ IRQ12/TSCAP
67	PC3/A19-A/ET_TX_ER/MTCLKF-A/TxD5	PC3/A19/MTIOC4D/TCLKB/PO24/TXD5/ SMOSI5/SSDA5/PMC0-DS/SDHI_D0-A/ QIO0-A/IRQ11
68	P77/CS7#-B/ET_RX_ER/RMII_RX_ER	TRDATA7/P77/CS7#/PO23/SMOSI11/ SSDA11/TXD11/SMOSI011/SSDA011/ TXD011/SDHI_CLK-A/QSPCLK-A/IRQ7
69	P76/CS6#-B/ET_RX_CLK/REF50CK	TRDATA6/P76/CS6#/PO22/SMISO11/ SSCL11/RXD11/SMISO011/SSCL011/ RXD011/SDHI_CMD-A/QSSL-A/IRQ14
70	PC2/A18-A/ET_RX_DV/MTCLKE-A/ SSLA3-A/RxD5	PC2/A18/MTIOC4B/TCLKA/PO21/RXD5/ SMISO5/SSCL5/SSLA3-A/TXDB011/ SSL03-A/SDHI_D3-A/IRQ10

144 ピン	RX62N (144 ピン LQFP)	RX671 (144 ピン LFQFP)
71	P75/CS5#-B/ET_ERXD0/RMII_RXD0	TRSYNC1/P75/CS5#/PO20/SCK11/RTS11#/ SCK011/RTS011#/DE011/SDHI_D2-A/ IRQ13
72	P74/CS4#-B/ET_ERXD1/RMII_RXD1	TRDATA5/P74/A20/CS4#/PO19/SS11#/ CTS11#/SS011#/CTS011#/IRQ12
73	PC1/A17-A/ET_ERXD2/MTCLKH-A/ SSLA2-A/SCK5	PC1/A17/MTIOC3A/TCLKD/PO18/SCK5/ SSLA2-A/TXD011/SMOSI011/SSDA011/ TXDA011/SSL02-A/IRQ12/TS15
74	VCC	VCC
75	PC0/A16-A/ET_ERXD3/MTCLKG-A/ SSLA1-A	PC0/A16/MTIOC3C/TCLKC/PO17/CTS5#/ RTS5#/SS5#/SSLA1-A/RXD011/SMISO011/ SSCL011/SSL01-A/IRQ14/TS16
76	VSS	VSS
77	P73/CS3#-B/ET_WOL	TRDATA4/P73/CS3#/PO16/IRQ8
78	PB7/A15/MTIOC10D/PO31	PB7/A15/MTIOC3B/TIOCB5/PO31/TXD9/ SMOSI9/SSDA9/SMOSI11/SSDA11/TXD11/ SMOSI011/SSDA011/TXD011/IRQ15
79	PB6/A14/MTIOC10B/PO30	PB6/A14/MTIOC3D/TIOCA5/PO30/RXD9/ SMISO9/SSCL9/SMISO11/SSCL11/RXD11/ SMISO011/SSCL011/RXD011/IRQ6
80	PB5/A13/MTIOC10C/MTCLKF-B/PO29	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4/ TMRI1/PO29/POE4#/SCK9/SCK11/SCK011/ IRQ13
81	PB4/A12/MTIOC10A/MTCLKE-B/PO28	PB4/A12/TIOCA4/PO28/CTS9#/RTS9#/ SS9#/SS11#/CTS11#/RTS11#/SS011#/ CTS011#/RTS011#/DE011/IRQ4
82	PB3/A11/MTIOC9D/MTCLKH-B/PO27	PB3/A11/MTIOC0A/MTIOC4A/TIOCD3/ TCLKD/TMO0/PO27/POE11#/SCK4/SCK6/ PMC0-DS/IRQ3
83	PB2/A10/MTIOC9B/MTCLKG-B/PO26	PB2/A10/TIOCC3/TCLKC/PO26/CTS4#/ RTS4#/CTS6#/RTS6#/SS4#/SS6#/IRQ2
84	PB1/A9/MTIOC9C/PO25	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/ TMCI0/PO25/TXD4/TXD6/SMOSI4/SMOSI6/ SSDA4/SSDA6/IRQ4-DS
85	P72/CS2#-B/ET_MDC	P72/A19/CS2#/IRQ10
86	P71/CS1#-B/ET_MDIO	P71/A18/CS1#/IRQ1
87	PB0/A8/MTIOC9A/PO24	PB0/A8/MTIC5W/TIOCA3/PO24/RXD4/ RXD6/SMISO4/SMISO6/SSCL4/SSCL6/ IRQ12
88	PA7/A7/MTIOC8B/PO23/MISOA-B	PA7/A7/TIOCB2/PO23/MISOA-B/MISO0-B/ IRQ7
89	PA6/A6/MTIOC8A/PO22/MOSIA-B	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMCI3/ PO22/POE10#/CTS5#/RTS5#/SS5#/ MOSIA-B/MOSI0-B/CTS12#/RTS12#/SS12#/ IRQ14
90	PA5/A5/MTIOC7B/PO21/RSPCKA-B	PA5/A5/MTIOC6B/TIOCB1/PO21/ RSPCKA-B/RSPCK0-B/IRQ5
91	VCC	VCC
92	PA4/A4/MTIOC7A/PO20/SSLA0-B	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/ PO20/TXD5/SMOSI5/SSDA5/SSLA0-B/ SSL00-B/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/IRQ5-DS
93	VSS	VSS
94	PA3/A3/MTIOC6D/PO19	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/ TCLKB/PO19/RXD5/SMISO5/SSCL5/ IRQ6-DS

144 ピン	RX62N (144 ピン LQFP)	RX671 (144 ピン LFQFP)
95	PA2/A2/MTIOC6C/PO18/SSLA3-B	PA2/A2/MTIOC7A/PO18/RXD5/SMISO5/ SSCL5/SSLA3-B/SSL03-B/RXD12/ SMISO12/SSCL12/RDX12/SDHI_WP/ IRQ10
96	PA1/A1/MTIOC6B/PO17/SSLA2-B	PA1/A1/MTIOC0B/MTCLKC/MTIOC7B/ TIOCB0/PO17/SCK5/SSLA2-B/SSL02-B/ SCK12/SDHI_CD/IRQ11
97	PA0/A0/BC0#/MTIOC6A/PO16/SSLA1-B	PA0/A0/BC0#/MTIOC4A/MTIOC6D/TIOCA0/ CACREF/PO16/SSLA1-B/SSL01-B/IRQ0
98	P67/CS7#-A/DQM1	P67/CS7#/DQM1/MTIOC7C/IRQ15
99	P66/CS6#-A/DQM0	P66/CS6#/DQM0/MTIOC7D/IRQ14
100	P65/CS5#-A/CKE	P65/CS5#/CKE/IRQ13
101	PE7/D15/MISOB-B/IRQ7-A	PE7/D15[A15/D15]/D7[A7/D7]/MTIOC6A/ TOC1/MISOB-B/SDHI_WP/SDHI_D1-B/ QIO1-B/IRQ7
102	PE6/D14/MOSIB-B/IRQ6-A	PE6/D14[A14/D14]/D6[A6/D6]/MTIOC6C/ TIC1/MOSIB-B/SDHI_CD/SDHI_D0-B/ QIO0-B/IRQ6
103	VCC	VCC
104	SDCLK/P70	P70/SDCLK/IRQ0
105	VSS	VSS
106	PE5/D13/RSPCKB-B/IRQ5-A	PE5/D13[A13/D13]/D5[A5/D5]/MTIOC4C/ MTIOC2B/RSPCKB-B/IRQ5
107	PE4/D12/SSLB0-B	PE4/D12[A12/D12]/D4[A4/D4]/MTIOC4D/ MTIOC1A/PO28/SSLB0-B/IRQ12
108	PE3/D11/POE8#	PE3/D11[A11/D11]/D3[A3/D3]/MTIOC4B/ PO26/POE8#/TOC3/CTS12#/RTS12#/ SS12#/IRQ11
109	PE2/D10/POE9#/SSLB3-B	PE2/D10[A10/D10]/D2[A2/D2]/MTIOC4A/ PO23/TIC3/RXD12/SMISO12/SSCL12/ RDX12/SSLB3-B/IRQ7-DS
110	PE1/D9/SSLB2-B	PE1/D9[A9/D9]/D1[A1/D1]/MTIOC4C/ MTIOC3B/PO18/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/SSLB2-B/IRQ9/ANEX1
111	PE0/D8/SSLB1-B	PE0/D8[A8/D8]/D0[A0/D0]/MTIOC3D/ SCK12/SSLB1-B/IRQ8/ANEX0
112	P64/CS4#-A/WE#	P64/CS4#/WE#/D3[A3/D3]/IRQ4
113	P63/CS3#-A/CAS#	P63/CS3#/CAS#/D2[A2/D2]/IRQ3
114	P62/CS2#-A/RAS#	P62/CS2#/RAS#/D1[A1/D1]/IRQ2
115	P61/CS1#-A/SDCS#	P61/CS1#/SDCS#/D0[A0/D0]/IRQ1
116	VSS	VSS
117	P60/CS0#-A	P60/CS0#/IRQ0
118	VCC	VCC
119	PD7/D7/MTIC5U/POE0#	PD7/D7[A7/D7]/MTIC5U/POE0#/SSLC3-A/ SDHI_D1-B/QIO1-B/IRQ7/AN100
120	PD6/D6/MTIC5V/POE1#	PD6/D6[A6/D6]/MTIC5V/MTIOC8A/POE4#/ SSLC2-A/SDHI_D0-B/QIO0-B/IRQ6/AN101
121	PD5/D5/MTIC5W/POE2#	PD5/D5[A5/D5]/MTIC5W/MTIOC8C/ POE10#/SSLC1-A/SDHI_CLK-B/QSPCLK-B/ IRQ5/AN102
122	PD4/D4/MTIC11U-B/POE3#	PD4/D4[A4/D4]/MTIOC8B/POE11#/ SSLC0-A/SDHI_CMD-B/QSSL-B/IRQ4/ AN103

144 ピン	RX62N (144 ピン LQFP)	RX671 (144 ピン LFQFP)
123	PD3/D3/MTIC11V-B/POE4#	PD3/D3[A3/D3]/MTIOC8D/POE8#/TOC2/ RSPCKC-A/SDHI_D3-B/QIO3-B/IRQ3/ AN104
124	PD2/D2/MTIC11W-B/POE5#	PD2/D2[A2/D2]/MTIOC4D/TIC2/CRX0/ MISOC-A/SDHI_D2-B/QIO2-B/IRQ2/AN105
125	PD1/D1/POE6#	PD1/D1[A1/D1]/MTIOC4B/POE0#/CTX0/ MOSIC-A/IRQ1/AN106
126	PD0/D0/POE7#	PD0/D0[A0/D0]/POE4#/IRQ0/AN107
127	P93/A19-B	P93/A19/POE0#/CTS7#/RTS7#/SS7#/IRQ11
128	P92/A18-B	P92/A18/POE4#/RXD7/SMISO7/SSCL7/ IRQ10
129	P91/A17-B	P91/A17/SCK7/IRQ9
130	VSS	VSS
131	P90/A16-B	P90/A16/TXD7/SMOSI7/SSDA7/IRQ0/ AN108
132	VCC	VCC
133	P47/IRQ15-B/AN7	P47/IRQ15-DS/AN007
134	P46/IRQ14-B/AN6	P46/IRQ14-DS/AN006
135	P45/IRQ13-B/AN5	P45/IRQ13-DS/AN005
136	P44/IRQ12-B/AN4	P44/IRQ12-DS/AN004
137	P43/IRQ11-B/AN3	P43/IRQ11-DS/AN003
138	P42/IRQ10-B/AN2	P42/IRQ10-DS/AN002
139	P41/IRQ9-B/AN1	P41/IRQ9-DS/AN001
140	VREFL	VREFL0
141	P40/IRQ8-B/AN0	P40/IRQ8-DS/AN000
142	VREFH	VREFH0
143	AVCC	AVCC0
144	P07/IRQ15-A/ADTRG0#-A	P07/IRQ15/ADTRG0#

注 1. 外部バス有効時、BCLK 端子と兼用している P53 は、I/O ポートとして使用できません

3.4 100 ピン LQFP/100 ピン LFQFP パッケージ

表 3.4 に 100 ピン LQFP/100 ピン LFQFP パッケージ端子機能の比較を示します。

表 3.4 100 ピン LQFP/100 ピン LFQFP パッケージ端子機能の比較

100 ピン	RX62N (100 ピン LQFP)	RX671 (100 ピン LFQFP)
1	VCC	AVCC1
2	EMLE	EMLE
3	VSS	AVSS1
4	MDE	EXCIN/PJ3/EDACK1/MTIOC3C/CTS6#/ RTS6#/CTS0#/RTS0#/SS6#/SS0#/IRQ11
5	VCL	VCL
6	MD1	VBATT
7	MD0	MD/FINED
8	XCIN	XCIN
9	XCOUT	XCOUT
10	RES#	RES#
11	XTAL	XTAL/P37
12	VSS	VSS
13	EXTAL	EXTAL/P36
14	VCC	VCC
15	P35/NMI	UPSEL/P35/NMI
16	P34/MTIOC0A/TMCI3/PO12/SCK6/IRQ4-A/ TRST#	TRST#/P34/MTIOC0A/TMCI3/PO12/ POE10#/SCK6/SCK0/IRQ4/TS0
17	P33/MTIOC0D/PO11/CRX0/RxD6/IRQ3-A	P33/EDREQ1/MTIOC0D/TIOC0D/TMRI3/ PO11/POE4#/POE11#/RXD6/RXD0/ SMISO6/SMISO0/SSCL6/SSCL0/CRX0/ IRQ3-DS/TS1
18	P32/MTIOC0C/PO10/RTCCOUT/CTX0/TxD6/ IRQ2-A	P32/MTIOC0C/TIOCC0/TMO3/PO10/ RTCCOUT/RTCCIC2/POE0#/POE10#/TXD6/ TXD0/SMOSI6/SMOSI0/SSDA6/SSDA0/ CTX0/USB0_VBUSEN/IRQ2-DS/TAMPI2
19	P31/MTIOC4D-A/TMCI2/PO9/SSLB0-A/ IRQ1/TMS	TMS/P31/MTIOC4D/TMCI2/PO9/RTCCIC1/ CTS1#/RTS1#/SS1#/SSLB0-A/IRQ1-DS/ TAMPI1
20	P30/MTIOC4B-A/TMRI3/PO8/RxD1/ MISOB-A/IRQ0/TDI	TDI/P30/MTIOC4B/TMRI3/PO8/RTCCIC0/ POE8#/RXD1/SMISO1/SSCL1/MISOB-A/ IRQ0-DS/TAMPI0
21	P27/CS7#/MTIOC2B/PO7/RSPCKB-A/SCK1/ TCK	TCK/P27/CS7#/MTIOC2B/TMCI3/PO7/ SCK1/RSPCKB-A/IRQ7/TS2
22	P26/CS6#/MTIOC2A/TMO1/PO6/MOSIB-A/ TxD1/TDO	TDO/P26/CS6#/MTIOC2A/TMO1/PO6/TXD1/ CTS3#/RTS3#/SMOSI1/SS3#/SSDA1/ MOSIB-A/IRQ6/TS3
23	P25/CS5#/USB0_DPRPD/MTIOC4C/ MTCLKB-A/PO5/RxD3/ADTRG0#-B	P25/CS5#/EDACK1/MTIOC4C/MTCLKB/ TIOCA4/PO5/RXD3/SMISO3/SSCL3/ SDHI_CD/IRQ5/ADTRG0#/TS4/CLKOUT
24	P24/CS4#/USB0_VBUSEN-A/MTIOC4A/ MTCLKA-A/TMRI1/PO4/SCK3	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/ TIOCB4/TMRI1/PO4/SCK3/USB0_VBUSEN/ SDHI_WP/IRQ12/TS5
25	P23/USB0_DPUPE-A/MTIOC3D/ MTCLKD-A/PO3/TxD3	P23/EDACK0/MTIOC3D/MTCLKD/TIOC3D/ PO3/TXD3/CTS0#/RTS0#/SMOSI3/SS0#/ SSDA3/SSIBCK0/SDHI_D1-C/IRQ3/TS6
26	P22/USB0_DRPD/MTIOC3B/MTCLKC-A/ TMO0/PO2/SCK0	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/ TMO0/PO2/SCK0/USB0_OVRCURB/ AUDIO_CLK/SDHI_D0-C/IRQ15/TS7

100 ピン	RX62N (100 ピン LQFP)	RX671 (100 ピン LFQFP)
27	P21/USB0_EXICEN/MTIOC1B/TMCIO/PO1/RxD0	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCIO/PO1/RXD0/SMISO0/SSCL0/SCL1/USB0_EXICEN/SSILRCK0/SDHI_CLK-C/IRQ9/TS8
28	P20/USB0_ID/MTIOC1A/TMRI0/PO0/TxD0	P20/MTIOC1A/TIOCB3/TMRI0/PO0/TXD0/SMOSI0/SSDA0/SDA1/USB0_ID/SSIRXD0/SDHI_CMDC/IRQ8/TS9
29	PLLVC	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB0/TCLKD/TMO1/PO15/POE8#/SCK1/TXD3/SMOSI3/SSDA3/SDA2-DS/SSITXD0/SDHI_D3-C/IRQ7/ADTRG1#
30	P16/USB0_VBUS/USB0_OVRCURB/USB0_VBUSEN-B/MTIOC3C/TMO2/PO14/IRQ6-B	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/TMO2/PO14/RTCOU/TXD1/RXD3/SMOSI1/SMISO3/SSDA1/SSCL3/SCL2-DS/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB/IRQ6/ADTRG0#
31	PLLVS	P15/MTIOC0B/MTCLKB/TIOCB2/TCLKB/TMC12/PO13/RXD1/SCK3/SMISO1/SSCL1/CRX1-DS/IRQ5/TS10
32	P14/USB0_OVRCURA/USB0_DPUPE-B/MTIOC3A/TMRI2/PO15/IRQ4-B	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/TMRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/USB0_OVRCURA/IRQ4/TS11
33	P13/MTIOC0B/TMO3/PO13/SDA0/TxD2-A/IRQ3-B/ADTRG1#	P13/MTIOC0B/TIOCA5/TMO3/PO13/TXD2/SMOSI2/SSDA2/SDA0[FM+]/SDAHS0[FM+/HS]/IRQ3/ADTRG1#
34	P12/TMC11/SCL0/RxD2-A/IRQ2-B	P12/MTIC5U/TMC11/RXD2/SMISO2/SSCL2/SCL0[FM+]/SCLHS0[FM+/HS]/IRQ2
35	VCC_USB	VCC_USB
36	USB0_DM	PH2/TMRI0/USB0_DM/IRQ1
37	USB0_DP	PH1/TMO0/USB0_DP/IRQ0
38	VSS_USB	VSS_USB
39	P55/WAIT#-B/MTIOC4D-B	P55/D0[A0/D0]/WAIT#/EDREQ0/MTIOC4D/TMO3/CRX1/MISOC-B/IRQ10
40	P54/MTIOC4B-B	P54/ALE/D1[A1/D1]/EDACK0/MTIOC4B/TMC11/CTS2#/RTS2#/SS2#/CTX1/MOSIC-B/IRQ4
41	BCLK/P53	P53 ^(注1) /BCLK/SSIRXD0/PMC0-DS/IRQ3/TS12
42	P52/RD#/SSLB3-A/RxD2-B	P52/RD#/RXD2/SMISO2/SSCL2/SSLB3-A/IRQ2
43	P51/WR1#/BC1#/WAIT#-D/SSLB2-A/SCK2	P51/WR1#/BC1#/WAIT#/SCK2/SSLB2-A/IRQ1
44	P50/WR0#/WR#/SSLB1-A/TxD2-B	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2/SSLB1-A/IRQ0
45	PC7/A23/CS0#/ET_COL/MTIC11U-A/MTCLKB-B/MISOA-A	UB/PC7/A23/CS0#/MTIOC3A/MTCLKB/TMO2/TOC0/PO31/CACREF/TXD8/SMOSI8/SSDA8/SMOSI10/SSDA10/TXD10/MISOA-A/SSITXD0/SMOSI010/SSDA010/TXD010/MISO0-A/IRQ14
46	PC6/A22/CS1#/ET_ETXD3/MTIC11V-A/MTCLKA-B/MOSIA-A	PC6/D2[A2/D2]/A22/CS1#/MTIOC3C/MTCLKA/TMC12/TIC0/PO30/RXD8/SMISO8/SSCL8/SMISO10/SSCL10/RXD10/MOSIA-A/SSILRCK0/SMISO010/SSCL010/RXD010/MOSI0-A/IRQ13/TS13

100 ピン	RX62N (100 ピン LQFP)	RX671 (100 ピン LFQFP)
47	PC5/A21/CS2#/WAIT#-C/ET_ETXD2/ MTIC11W-A/MTCLKD-B/RSPCKA-A	PC5/D3[A3/D3]/A21/CS2#/WAIT#/MTIOC3B/ MTCLKD/TMRI2/PO29/SCK8/SCK10/ RSPCKA-A/SSIBCK0/SCK010/RSPCK0-A/ IRQ5/TS14
48	PC4/A20/CS3#/ET_TX_CLK/MTCLKC-B/ SSLA0-A	PC4/A20/CS3#/MTIOC3D/MTCLKC/TMC11/ PO25/POE0#/SCK5/CTS8#/RTS8#/SS8#/ SS10#/CTS10#/RTS10#/SSLA0-A/ AUDIO_CLK/SS010#/CTS010#/RTS010#/ DE010/SSL00-A/SDHI_D1-A/QIO1-A/ IRQ12/TSCAP
49	PC3/A19/ET_TX_ER/MTCLKF-A/TxD5	PC3/A19/MTIOC4D/TCLKB/PO24/TXD5/ SMOSI5/SSDA5/PMC0-DS/SDHI_D0-A/ QIO0-A/IRQ11
50	PC2/A18/ET_RX_DV/MTCLKE-A/SSLA3-A/ RxD5	PC2/A18/MTIOC4B/TCLKA/PO21/RXD5/ SMISO5/SSCL5/SSLA3-A/TXDB011/ SSL03-A/SDHI_D3-A/IRQ10
51	PC1/A17/ET_ERXD2/MTCLKH-A/SSLA2-A/ SCK5	PC1/A17/MTIOC3A/TCLKD/PO18/SCK5/ SSLA2-A/TXD011/SMOSI011/SSDA011/ TXDA011/SSL02-A/IRQ12/TS15
52	PC0/A16/ET_ERXD3/MTCLKG-A/SSLA1-A	PC0/A16/MTIOC3C/TCLKC/PO17/CTS5#/ RTS5#/SS5#/SSLA1-A/RXD011/SMISO011/ SSCL011/SSL01-A/IRQ14/TS16
53	PB7/A15/ET_CRS/RMII_CRS_DV/ MTIOC10D/PO31	PB7/A15/MTIOC3B/TIOCB5/PO31/TXD9/ SMOSI9/SSDA9/SMOSI11/SSDA11/TXD11/ SMOSI011/SSDA011/TXD011/IRQ15
54	PB6/A14/ET_ETXD1/RMII_TXD1/ MTIOC10B/PO30	PB6/A14/MTIOC3D/TIOCA5/PO30/RXD9/ SMISO9/SSCL9/SMISO11/SSCL11/RXD11/ SMISO011/SSCL011/RXD011/IRQ6
55	PB5/A13/ET_ETXD0/RMII_TXD0/ MTIOC10C/MTCLKF-B/PO29	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4/ TMRI1/PO29/POE4#/SCK9/SCK11/SCK011/ IRQ13
56	PB4/A12/ET_TX_EN/RMII_TXD_EN/ MTIOC10A/MTCLKE-B/PO28	PB4/A12/TIOCA4/PO28/CTS9#/RTS9#/ SS9#/SS11#/CTS11#/RTS11#/SS011#/ CTS011#/RTS011#/DE011/IRQ4
57	PB3/A11/ET_RX_ER/RMII_RX_ER/ MTIOC9D/MTCLKH-B/PO27	PB3/A11/MTIOC0A/MTIOC4A/TIOCDB/ TCLKD/TMO0/PO27/POE11#/SCK6/ PMC0-DS/IRQ3
58	PB2/A10/ET_RX_CLK/REF50CK/MTIOC9B/ MTCLKG-B/PO26	PB2/A10/TIOCC3/TCLKC/PO26/CTS6#/ RTS6#/SS6#/IRQ2
59	PB1/A9/ET_ERXD0/RMII_RXD0/MTIOC9C/ PO25	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/ TMCIO/PO25/TXD6/SMOSI6/SSDA6/ IRQ4-DS
60	VCC	VCC
61	PB0/A8/ET_ERXD1/RMII_RXD1/MTIOC9A/ PO24	PB0/A8/MTIC5W/TIOCA3/PO24/RXD6/ SMISO6/SSCL6/IRQ12
62	VSS	VSS
63	PA7/A7/ET_WOL/MTIOC8B/PO23/MISOA-B	PA7/A7/TIOCB2/PO23/MISOA-B/MISO0-B/ IRQ7
64	PA6/A6/ET_EXOUT/MTIOC8A/PO22/ MOSIA-B	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMC13/ PO22/POE10#/CTS5#/RTS5#/SS5#/ MOSIA-B/MOSI0-B/CTS12#/RTS12#/ SS12#/IRQ14
65	PA5/A5/ET_LINKSTA/MTIOC7B/PO21/ RSPCKA-B	PA5/A5/MTIOC6B/TIOCB1/PO21/ RSPCKA-B/RSPCK0-B/IRQ5

100 ピン	RX62N (100 ピン LQFP)	RX671 (100 ピン LFQFP)
66	PA4/A4/ET_MDC/MTIOC7A/PO20/SSLA0-B	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/ PO20/TXD5/SMOSI5/SSDA5/SSLA0-B/ SSL00-B/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/IRQ5-DS
67	PA3/A3/ET_MDIO/MTIOC6D/PO19	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/ TCLKB/PO19/RXD5/SMISO5/SSCL5/ IRQ6-DS
68	PA2/A2/MTIOC6C/PO18/SSLA3-B	PA2/A2/MTIOC7A/PO18/RXD5/SMISO5/ SSCL5/SSLA3-B/SSL03-B/RXD12/ SMISO12/SSCL12/RDX12/SDHI_WP/ IRQ10
69	PA1/A1/MTIOC6B/PO17/SSLA2-B	PA1/A1/MTIOC0B/MTCLKC/MTIOC7B/ TIOCB0/PO17/SCK5/SSLA2-B/SSL02-B/ SCK12/SDHI_CD/IRQ11
70	PA0/A0/BC0#/MTIOC6A/PO16/SSLA1-B	PA0/A0/BC0#/MTIOC4A/MTIOC6D/TIOCA0/ CACREF/PO16/SSLA1-B/SSL01-B/IRQ0
71	PE7/D15/MISOB-B/IRQ7	PE7/D15[A15/D15]/D7[A7/D7]/MTIOC6A/ TOC1/MISOB-B/SDHI_WP/SDHI_D1-B/ QIO1-B/IRQ7
72	PE6/D14/MOSIB-B/IRQ6-A	PE6/D14[A14/D14]/D6[A6/D6]/MTIOC6C/ TIC1/MOSIB-B/SDHI_CD/SDHI_D0-B/ QIO0-B/IRQ6
73	PE5/D13/RSPCKB-B/IRQ5	PE5/D13[A13/D13]/D5[A5/D5]/MTIOC4C/ MTIOC2B/RSPCKB-B/IRQ5
74	PE4/D12/SSLB0-B	PE4/D12[A12/D12]/D4[A4/D4]/MTIOC4D/ MTIOC1A/PO28/SSLB0-B/IRQ12
75	PE3/D11/POE8#	PE3/D11[A11/D11]/D3[A3/D3]/MTIOC4B/ PO26/POE8#/TOC3/CTS12#/RTS12#/ SS12#/IRQ11
76	PE2/D10/POE9#/SSLB3-B	PE2/D10[A10/D10]/D2[A2/D2]/MTIOC4A/ PO23/TIC3/RXD12/SMISO12/SSCL12/ RXDX12/SSLB3-B/IRQ7-DS
77	PE1/D9/SSLB2-B	PE1/D9[A9/D9]/D1[A1/D1]/MTIOC4C/ MTIOC3B/PO18/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/SSLB2-B/IRQ9/ANEX1
78	PE0/D8/SSLB1-B	PE0/D8[A8/D8]/D0[A0/D0]/MTIOC3D/ SCK12/SSLB1-B/IRQ8/ANEX0
79	PD7/D7/MTIC5U/POE0#	PD7/D7[A7/D7]/MTIC5U/POE0#/SSLC3-A/ SDHI_D1-B/QIO1-B/IRQ7/AN100
80	PD6/D6/MTIC5V/POE1#	PD6/D6[A6/D6]/MTIC5V/MTIOC8A/POE4#/ SSLC2-A/SDHI_D0-B/QIO0-B/IRQ6/AN101
81	PD5/D5/MTIC5W/POE2#	PD5/D5[A5/D5]/MTIC5W/MTIOC8C/ POE10#/SSLC1-A/SDHI_CLK-B/QSPCLK-B/ IRQ5/AN102
82	PD4/D4/MTIC11U-B/POE3#	PD4/D4[A4/D4]/MTIOC8B/POE11#/ SSLC0-A/SDHI_CMD-B/QSSL-B/IRQ4/ AN103
83	PD3/D3/MTIC11V-B/POE4#	PD3/D3[A3/D3]/MTIOC8D/POE8#/TOC2/ RSPCKC-A/SDHI_D3-B/QIO3-B/IRQ3/ AN104
84	PD2/D2/MTIC11W-B/POE5#	PD2/D2[A2/D2]/MTIOC4D/TIC2/CRX0/ MISOC-A/SDHI_D2-B/QIO2-B/IRQ2/AN105
85	PD1/D1/POE6#	PD1/D1[A1/D1]/MTIOC4B/POE0#/CTX0/ MOSIC-A/IRQ1/AN106
86	PD0/D0/POE7#	PD0/D0[A0/D0]/POE4#/IRQ0/AN107
87	P47/IRQ15-B/AN7	P47/IRQ15-DS/AN007

100 ピン	RX62N (100 ピン LQFP)	RX671 (100 ピン LFQFP)
88	P46/IRQ14/AN6	P46/IRQ14-DS/AN006
89	P45/IRQ13-B/AN5	P45/IRQ13-DS/AN005
90	P44/IRQ12/AN4	P44/IRQ12-DS/AN004
91	P43/IRQ11/AN3	P43/IRQ11-DS/AN003
92	P42/IRQ10/AN2	P42/IRQ10-DS/AN002
93	P41/IRQ9/AN1	P41/IRQ9-DS/AN001
94	VREFL	VREFL0
95	P40/IRQ8/AN0	P40/IRQ8-DS/AN000
96	VREFH	VREFH0
97	AVCC	AVCC0
98	P07/IRQ15-A/ADTRG0#-A	P07/IRQ15/ADTRG0#
99	AVSS	AVSS0
100	P05/DA1/IRQ13-A	P05/IRQ13

注 1. 外部バス有効時、BCLK 端子と兼用している P53 は、I/O ポートとして使用できません

4. 移行の際の留意点

RX62N グループと RX671 グループの相違について、いくつかの留意点があります。

ハードウェアに関する留意点を「4.1 端子設計の留意点」で説明します。また、ソフトウェアに関する留意点を「4.2 機能設定の留意点」で説明します。

4.1 端子設計の留意点

4.1.1 VCL 端子(外付け容量)

RX671 グループの VCL 端子に接続する内部電源安定用の平滑コンデンサは $0.22\mu\text{F}$ の容量を使用してください。

4.1.2 ブートモード (FINE インタフェース) への遷移

RX671 グループでは、MD 端子を Low でリセット解除後、20~100msec 以内に High へ切り替えることでブートモード (FINE インタフェース) に遷移します。

動作モードの詳細につきましては、「5.参考ドキュメント」の RX671 グループ ユーザーズマニュアル ハードウェア編を参照してください。

4.1.3 メインクロック発振器

RX671 グループの EXTAL 端子、XTAL 端子に発振子を接続する場合、発振子周波数：8MHz~24MHz の発振子を接続してください。

4.1.4 外部クロックを入力する方法

RX62N グループでは、外部クロックを入力する際、EXTAL 端子へ入力するクロックの逆相を XTAL 端子に入力することを許可していました。しかし RX671 グループは許可していませんので、設計の際は注意してください。

4.1.5 USB 外部接続回路

RX62N グループと RX671 グループでは、USB 外部接続回路が異なります。

外部接続回路の詳細につきましては、「5.参考ドキュメント」の RX671 グループ ユーザーズマニュアル ハードウェア編を参照してください。

4.2 機能設定の留意点

RX62N グループで動作するソフトウェアは RX671 グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なるため、十分に評価してください。

以下は RX671 グループと RX62N グループで異なる機能の設定に関し、ソフトウェアでの留意点について掲載しております。

モジュールおよび機能の相違点については「2 仕様の概要比較」を参照してください。詳細は、「5 参考ドキュメント」のユーザーズマニュアルハードウェア編を参照してください。

4.2.1 例外ベクタテーブル

RX62N グループのベクタテーブルの配置アドレスは固定ですが、RX671 グループでは例外テーブルレジスタ(EXTB)に設定した値を先頭アドレスとして、ベクタテーブルを可変に配置できます。

4.2.2 レジスタ退避バンク内 RAM の自己診断に関する注意事項

RX671 グループのレジスタ退避バンクは RAM で構成されています。レジスタ退避バンクにはバッファが搭載されているため、SAVE 命令で書き込みを行った後に同一バンクから RSTR 命令で読み出しを行うと、RAM のメモリセルではなくバッファのデータが読み出されることがあります。レジスタ退避バンク内 RAM の自己診断を行う場合、バッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のバンクに SAVE 命令でデータを書く
- (2) (1)のバンクとは異なるバンクに、SAVE 命令でデータを書く
- (3) (1)のバンクから RSTR 命令でデータを読む

4.2.3 オプション設定メモリ

RX62N グループでは、ID コードプロテクト、オンチップデバッグの ID コードプロテクトは ROM に配置されていますが、RX671 グループではオプション設定メモリに配置されています。設定方法が異なるため、注意してください。

4.2.4 フラッシュアクセスウィンドウ設定レジスタ(FAW)

RX671 グループでは、フラッシュアクセスウィンドウ設定レジスタ(FAW)のアクセスウィンドウプロテクトビット(FSPR)を、いったん“0”に設定すると“1”に戻すことができません。

詳細につきましては、「5 参考ドキュメント」の RX671 グループ ユーザーズマニュアル ハードウェア編を参照してください。

4.2.5 ソフトウェアスタンバイモード

RX671 グループでは、ソフトウェアスタンバイモード時のメインクロック/サブクロック発振器の動作/停止を選択できます。メインクロック発振器を停止させる場合、メインクロック発振器強制発振コントロールレジスタ(MOFCR)のメインクロック発振器強制発振ビット(MOFXIN)に“0”を設定してください。

4.2.6 メインクロック発振停止検出機能の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよび PLL クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

RX671 グループでは、PLL のクロックソースに HOCO クロックを選択し、かつシステムクロックのクロックソースに PLL クロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックは LOCO クロックに切り替わらないので注意してください。

4.2.7 RX671 グループ 48 ピンパッケージ製品に関する注意事項

RX671 グループでは、48 ピンパッケージ製品はサブクロックおよび RTC を使用できません。

サブクロック制御回路の状態はコールドスタートにて不定となりますので、コールドスタート後に必ずこれらのビットを設定してください。

詳細は「5 参考ドキュメント」のユーザーズマニュアルハードウェア編を参照してください。

4.2.8 VBATT 端子への注入電流

RX671 グループでは、バッテリバックアップモードで動作中、VCC の電圧が VBATT + 0.6 V 以上になると、VCC 側の電源スイッチの寄生ダイオードを経由して、VCC 端子から VBATT 端子に電流が流れます。このことが問題になる場合には、バックアップ電源と VBATT 端子の間に低ドロップアウトのダイオードを挿入してください。

4.2.9 選択型割り込み

RX671 グループでは選択型割り込み機能が追加されています。割り込みベクタ番号 128~255 には、複数の周辺モジュールの割り込み要因から任意の 1 つを選択して割り当てることができます。

選択割り込み機能の詳細につきましては、「5 参考ドキュメント」の RX671 グループ ユーザーズマニュアル ハードウェア編を参照してください。

4.2.10 バスの優先順位

RX62N グループでは、バスの優先順位は内部メインバス 2 > 内部メインバス 1 固定でしたが、RX671 グループでは、バスプライオリティ制御レジスタ (BUSPRI) により設定可能です。

4.2.11 ウォッチドッグタイマ/独立ウォッチドッグタイマ

RX671 グループでは、WDT アンダフロー/リフレッシュエラー割り込み、IWDT アンダフロー/リフレッシュエラー割り込みをマスカブル割り込みまたはノンマスカブル割り込みから選択することが可能です。

4.2.12 ポート方向レジスタ (PDR) の初期化

同一ピン数でも、PDR レジスタの初期化が異なります。

4.2.13 端子割り当て機能

RX62N グループでは、I/O ポート章のポートファンクションレジスタにより、レジスタに対応したモジュール機能に端子の割り当てを設定していましたが、RX671 グループでは、マルチピンファンクションコントローラ章の端子機能制御レジスタで、レジスタに対応した端子に複数のモジュールから割り当てる機能を設定できます。

なお、端子機能制御レジスタは書き込みプロテクトレジスタによってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

4.2.14 カウンタ停止時の MTIOC 端子出力レベル

MTIOC 端子を出力状態で動作中に、TSTRA、TSTRB、TSTR の CSTn ビットに“0”を書くとカウンタが停止します。このとき、RX671 グループでは、相補 PWM モード/リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード/リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。

4.2.15 相補 PWM モード時の A/D 変換開始要求

相補 PWM モード時は PWM 波形を生成するため、MTU4.TGRA (MTU7.TGRA) は MTU4.TCNT (MTU7.TCNT) だけではなく、MTU3.TCNT (MTU6.TCNT) や TCNTSA (TCNTSB) とコンペアマッチの検出を行っています。そのため、MTU3.TCNT (MTU6.TCNT) や TCNTSA (TCNTSB) とコンペアマッチが起こった際も TRGA4N (TRGA7N) を発生します。

MTU3、MTU4 (MTU6、MTU7) を相補 PWM モードで動作させて、A/D 変換開始要求を発生させる場合は MTU4.TCNT (MTU7.TCNT) と MTU4.TADCORA/TADCORB (MTU7.TADCORA/TADCORB) とのコンペアマッチによる A/D 変換開始要求を使用してください。

4.2.16 ELC イベント入力の時タイマモードレジスタ設定の注意事項

RX671 グループでは、MTU を ELC のアクション動作に設定する場合は、該当チャンネルのタイマモードレジスタ (TMDR) は初期値 (00h) に設定してください。

4.2.17 MTU 端子非選択時のハイインピーダンス制御

RX671 グループでは、POECR1、POECR2 レジスタで MTU 端子のハイインピーダンス制御を有効にしているときに制御条件を満たすと、MTU 機能がマルチプレクスされている端子は MTU 機能を選択していない場合でも、出力がハイインピーダンスになります。

意図せず端子の出力がハイインピーダンスになるのを避けるため、MPC の PmnPFS レジスタで選択した MTU 端子と、POE3 の端子選択レジスタで選択した MTU 端子が一致するように設定を行ってください。

4.2.18 I²C バスインタフェースのノイズ除去

RX62N グループでは、SCL、SDA ラインにアナログノイズフィルタを内蔵していますが、RX671 グループではアナログノイズフィルタを内蔵していません。

4.2.19 コンペア機能制約

RX671 グループの 12 ビット A/D コンバータのコンペア機能には、以下の制約があります。

- (1) 自己診断機能およびダブルトリガモードの使用は禁止です。
- (2) ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
- (3) ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
- (4) ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。
- (5) High 側基準値 $\geq$ Low 側基準値となるように設定してください。

4.2.20 セルフプログラミングでオプション設定メモリを変更する方法

RX671 グループでは、セルフプログラミングでオプション設定メモリを変更する場合、コンフィギュレーション設定コマンドで、オプション設定メモリのコンフィギュレーション設定領域に対するプログラムを行います。

コンフィギュレーション設定コマンドの詳細につきましては、「5.参考ドキュメント」の RX671 グループ フラッシュメモリユーザーズマニュアルハードウェアインタフェース編を参照してください。

4.2.21 フラッシュメモリのアクセスウェイト数の設定

RX671 グループでは、MCU のシステムクロック (ICLK) の周波数によって、フラッシュメモリへのアクセスウェイト数を変更する必要があります。設定レジスタは ROMWT レジスタです。

表 4.1 に ICLK 周波数におけるフラッシュメモリへのアクセスウェイト数を示します。

表 4.1 ICLK 周波数におけるフラッシュメモリへのアクセスウェイト数

	ICLK $\leq$ 60MHz	60MHz < ICLK $\leq$ 120MHz
ウェイト数	0~1	1

レジスタの設定値および仕様の詳細につきましては、「5 参考ドキュメント」の RX671 グループ ユーザーズマニュアルハードウェア編を参照してください。

4.2.22 ユーザブートモード

RX62N グループには UB コード A と UB コード B およびユーザブートモードが存在しますが、RX671 グループには存在しません。

RX671 グループでは、スタートアッププログラム保護機能を使用するとユーザブートモードの代わりに任意のインタフェースでフラッシュメモリのユーザ領域のプログラム/イレーズが可能です。詳細は「5 参考ドキュメント」の RX671 グループ フラッシュメモリ ユーザーズマニュアル ハードウェアインタフェース編の「スタートアッププログラム保護機能」を参照してください。

4.2.23 FCU RAM へのファームウェア転送

RX62N グループでは FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要がありましたが、RX671 グループでは本処理は必要ありません。

4.2.24 フラッシュメモリのコマンド使用方法

RX62N グループでは、FCU に FCU コマンドを発行することにより、フラッシュメモリのプログラム/イレーズ等を行います。RX671 グループでは、FACI コマンド発行領域に FACI コマンドを設定することにより、FCU を制御してフラッシュメモリのプログラム/イレーズ等を行います。

表 4.2 に FCU コマンドと FACI コマンドの仕様比較を示します。

表 4.2 FCU コマンドと FACI コマンドの仕様比較

項目	FCU コマンド(RX62N)	FACI コマンド(RX671)
コマンド発行領域	P/E 用アドレス (00F8 0000h~00FF FFFFh)	FACI コマンド発行領域 (007E 0000h)
使用可能コマンド	P/E ノーマルモード移行 ステータスリードモード移行 ロックビットリードモード移行 (ロックビットリード 1) 周辺クロック通知 - プログラム - ブロックイレーズ - P/E サスペンド - P/E レジューム - ステータスレジスタクリア ロックビットリード 2 - ブランクチェック	- プログラム - ブロックイレーズ マルチブロックイレーズ - P/E サスペンド - P/E レジューム - ステータスクリア 強制終了 - ブランクチェック コンフィギュレーション設定

4.2.25 ROM キャッシュ

RX671 グループは ROM キャッシュがありますが、リセット解除後の ROM キャッシュ動作は禁止です。

ROM キャッシュを使用する場合は、ROMCE.ROMCEN ビットを 1 にしてください。

4.2.26 サブクロック発振器に関する注意事項

RX671 グループでは、リセット解除後、2 秒以内に SOSCCR.SOSTP ビットを"1"(サブクロック発振器停止)にしてください。

詳細は「5 参考ドキュメント」のユーザーズマニュアルハードウェア編を参照してください。

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX62N グループ、RX621 グループ ユーザーズマニュアル ハードウェア編
Rev.1.40 (R01UH0033JJ0140)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX671 グループ ユーザーズマニュアル ハードウェア編
Rev.1.10 (R01UH0899JJ0110)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

アプリケーションノート

RX ファミリー間の移行設計ガイド パッケージ外形の相違点
(R01AN4591JJ)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

- TN-RX*-A193A/J
- TN-RX*-A185B/J
- TN-RX*-A0225A/J
- TN-RX*-A0257A/J

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Apr.12.21	—	初版発行
1.10	May.20.22	113	表 2.69 パッケージ 変更
		142	4.2.26 サブクロック発振器に関する注意事項 追加

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。