

RX66T グループ RX23T グループ

RX66T グループと RX23T グループの相違点

要旨

本アプリケーションノートは、主に RX66T グループ、RX23T グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートでは、特に記載のない箇所については、それぞれのマイコンの最大仕様として、RX66T グループの 144 ピンパッケージ(プログラマブルゲインアンプ(PGA)疑似差動入力あり、USB 端子あり)と RX23T グループの 64 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順等の詳細な仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RX66T グループ、RX23T グループ

目次

1. RX66T グループと RX23T グループの搭載機能比較	4
2. 仕様の概要比較	6
2.1 CPU	6
2.2 動作モード	7
2.3 アドレス空間	8
2.4 リセット	9
2.5 オプション設定メモリ	10
2.6 電圧検出回路	12
2.7 クロック発生回路	25
2.8 消費電力低減機能	29
2.9 レジスタライトプロテクション機能	33
2.10 割り込みコントローラ	34
2.11 バス	37
2.12 データトランスファコントローラ	40
2.13 I/O ポート	41
2.14 マルチファンクションピンコントローラ	44
2.15 マルチファンクションタイマパルスユニット 3	67
2.16 ポートアウトプットイネーブル 3	71
2.17 8 ビットタイマ	80
2.18 コンペアマッチタイマ	82
2.19 独立ウォッチドッグタイマ	83
2.20 シリアルコミュニケーションインタフェース	86
2.21 I ² C バスインタフェース	92
2.22 シリアルペリフェラルインタフェース	94
2.23 CRC 演算器	97
2.24 12 ビット A/D コンバータ	99
2.25 コンパレータ C 用リファレンス電圧生成専用 D/A コンバータ / 12 ビット D/A コンバータ	108
2.26 コンパレータ C	109
2.27 データ演算回路	112
2.28 RAM	113
2.29 フラッシュメモリ	115
2.30 パッケージ	120
3. 端子機能の比較	121
3.1 64 ピンパッケージ	121
3.2 48 ピンパッケージ	124
4. 移行の際の留意点	126
4.1 端子設計の留意点	126
4.1.1 VCL 端子(外付け容量)	126
4.1.2 モード設定端子	126
4.1.3 汎用入出力ポート	126
4.1.4 PGA 疑似差動入力関連端子(P40~42、P44~46、PH0、PH4)	126
4.1.5 AVCC 端子と AVSS 端子間のデカップリング容量挿入方法	126

4.1.6	アナログ電源端子に接続するコンデンサ	127
4.2	機能設計の留意点	127
4.2.1	RIIC 動作電圧設定	127
4.2.2	USB 動作電圧設定	127
4.2.3	電圧レベル設定	127
4.2.4	クロック周波数設定	128
4.2.5	メインクロック発振停止検出機能の動作	128
4.2.6	PLL 回路	128
4.2.7	MTU3d/GPTW 動作周波数	128
4.2.8	全モジュールクロックストップモード	128
4.2.9	DIRQnE ビット(n = 0~15)による入力バッファ制御	129
4.2.10	選択型割り込み	129
4.2.11	ウォッチドッグタイマ/独立ウォッチドッグタイマ	129
4.2.12	ポート方向レジスタ(PDR)の初期化	129
4.2.13	POE3 の汎用入出力ポート切り替え制御の注意事項	129
4.2.14	相補 PWM モードでのバッファレジスタの設定値	129
4.2.15	MTU による DMAC 起動	129
4.2.16	カウントクロックの制限事項	129
4.2.17	ELC イベント入力の時タイマモードレジスタ設定の注意事項	129
4.2.18	ポートアウトプットイネーブル	130
4.2.19	ポートアウトプットイネーブル 3 出力停止要求発生時の制御	130
4.2.20	MTU/GPTW 反転出力設定時のアクティブレベル設定について	130
4.2.21	ハイインピーダンス時の端子の読み出しについて	130
4.2.22	POE と POEG を併用した場合の注意事項	130
4.2.23	I ² C バスインタフェースのノイズ除去	130
4.2.24	12 ビット A/D コンバータ	130
4.2.25	コンペア機能制約	131
4.2.26	A/D 変換スタートビット	131
4.2.27	12 ビット A/D コンバータがモジュールストップ中の PGA 出力	131
4.2.28	A/D スキャン変換終了割り込みの発生	132
4.2.29	ROM キャッシュ	132
4.2.30	フラッシュメモリのコマンド使用方法	132
4.2.31	オプション設定メモリ	132
5.	参考ドキュメント	133
	改訂記録	135

1. RX66T グループと RX23T グループの搭載機能比較

RX66T グループと RX23T グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX23T/RX66T 搭載機能比較を示します。

表 1.1 RX23T/RX66T 搭載機能比較

機能名	RX23T	RX66T
CPU	●	
動作モード	●	
アドレス空間	▲	
リセット	●	
オプション設定メモリ (OSFM)	●	
電圧検出回路 (LVDAb):RX23T、(LVDA):RX66T	▲	
クロック発生回路	●	
クロック周波数精度測定回路 (CAC)	○	
消費電力低減機能	●/■	
レジスタライトプロテクション機能	●/▲	
例外処理	○	
割り込みコントローラ (ICUb):RX23T、(ICUC):RX66T	●	
バス	●	
メモリプロテクションユニット (MPU)	○	
DMA コントローラ (DMACa)	×	○
データトランスファコントローラ (DTCa)	●	
イベントリンクコントローラ (ELC)	×	○
I/O ポート	●/■	
マルチファンクションピンコントローラ (MPC)	▲	
マルチファンクションタイマパルスユニット 3 (MTU3c):RX23T、(MTU3d):RX66T	●	
ポートアウトプットイネーブル 3 (POE3b):RX23T、(POE3B):RX66T	●	
汎用 PWM タイマ (GPTW)	×	○
高分解能 PWM 波形生成回路 (HRPWM)	×	○
GPTW 用ポートアウトプットイネーブル (POEG)	×	○
8 ビットタイマ (TMR)	●	
コンペアマッチタイマ (CMT)	●	
ウォッチドッグタイマ (WDTA)	×	○
独立ウォッチドッグタイマ (IWDTa)	●	
USB2.0FS ホスト/ファンクションモジュール (USBb)	×	○
シリアルコミュニケーションインターフェース (SClq):RX23T、(SClq, SCli, SCli):RX66T	●	
I²C バスインタフェース (RIICa)	●	
CAN モジュール (CAN)	×	○
シリアルペリフェラルインタフェース (RSPia):RX23T、(RSPic):RX66T	●	
CRC 演算器 (CRC):RX23T、(CRCA):RX66T	●	
Trusted Secure IP (TSIP-Lite)	×	○

機能名	RX23T	RX66T
12 ビット A/D コンバータ (S12ADE):RX23T、(S12ADH):RX66T		●
コンパレータ C 用リファレンス電圧生成専用 D/A コンバータ (DA):RX23T 12 ビット D/A コンバータ (R12DAb):RX66T		●
温度センサ (TEMPS)	×	○
コンパレータ C (CMPC)	●/■	
データ演算回路 (DOC)	●	
RAM	●	
フラッシュメモリ	●	
パッケージ	●/■	

○:機能搭載、×:機能未搭載、●:機能追加による差分あり、▲:機能変更による差分あり

■:機能削除による差分あり

2. 仕様の概要比較

以下に概要の比較、レジスタの比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は赤字にしています。

レジスタの比較では、両方のグループに存在するが相違点がある項目は赤字に、いずれかのグループにしか存在しない項目は黒字でレジスタ名のみ記載しています。レジスタ仕様に相違点がない項目は記載していません。

2.1 CPU

表 2.1 に CPU の概要比較を示します。

表 2.1 CPU の概要比較

項目	RX23T	RX66T
中央演算処理装置	- 最大動作周波数：40MHz 32 ビット RX CPU (RXv2) - 最小命令実行時間：1 命令 1 クロック - アドレス空間： 4G バイト・リニアアドレス - レジスタ - 汎用レジスタ：32 ビット×16 本 - 制御レジスタ：32 ビット×10 本 - アキュムレータ：72 ビット×2 本 - 基本命令：75 種類 可変長命令形式 - 浮動小数点演算命令：11 種類 - DSP 機能命令：23 種類 - アドレッシングモード：11 種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット×32 ビット→64 ビット - 除算器： 32 ビット÷32 ビット→32 ビット - パレルシフタ：32 ビット - メモリプロテクションユニット(MPU)	- 最大動作周波数：160MHz 32 ビット RX CPU (RXv3) - 最小命令実行時間：1 命令 1 クロック - アドレス空間： 4G バイト・リニアアドレス - レジスタ - 汎用レジスタ：32 ビット×16 本 - 制御レジスタ：32 ビット×10 本 - アキュムレータ：72 ビット×2 本 - 基本命令：77 命令 - 単精度浮動小数点演算命令：11 命令 - DSP 機能命令：23 命令 - アドレッシングモード：11 種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット×32 ビット→64 ビット - 除算器： 32 ビット÷ 32 ビット→32 ビット - パレルシフタ：32 ビット - メモリプロテクションユニット(MPU)
FPU	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外

2.2 動作モード

表 2.2 に動作モードの概要比較を、表 2.3 に動作モードのレジスタ比較を示します。

表 2.2 動作モードの概要比較

項目	RX23T	RX66T
モード設定端子による動作モード	シングルチップモード	シングルチップモード
	ブートモード(SCI インタフェース)	ブートモード(SCI インタフェース)
	—	ブートモード(USB インタフェース)
	—	ブートモード(FINE インタフェース)
	—	ユーザブートモード
レジスタによる動作モード	—	シングルチップモード
		ユーザブートモード
		内蔵 ROM 無効拡張モード
		内蔵 ROM 有効拡張モード
エンディアンの選択	MDE レジスタ	MDE レジスタ

表 2.3 動作モードのレジスタ比較

レジスタ	ビット	RX23T	RX66T
MDSR	—	—	モードステータスレジスタ
SYSCR0	—	—	システムコントロールレジスタ 0
SYSCR1	—	システムコントロールレジスタ 1	システムコントロールレジスタ 1
	—	リセット後の初期値が異なります	
	ECCRAME	—	ECCRAM 有効ビット
VOLSR	—	—	電圧レベル設定レジスタ

2.3 アドレス空間

図 2.1 にシングルチップモードのメモリマップ比較を示します。

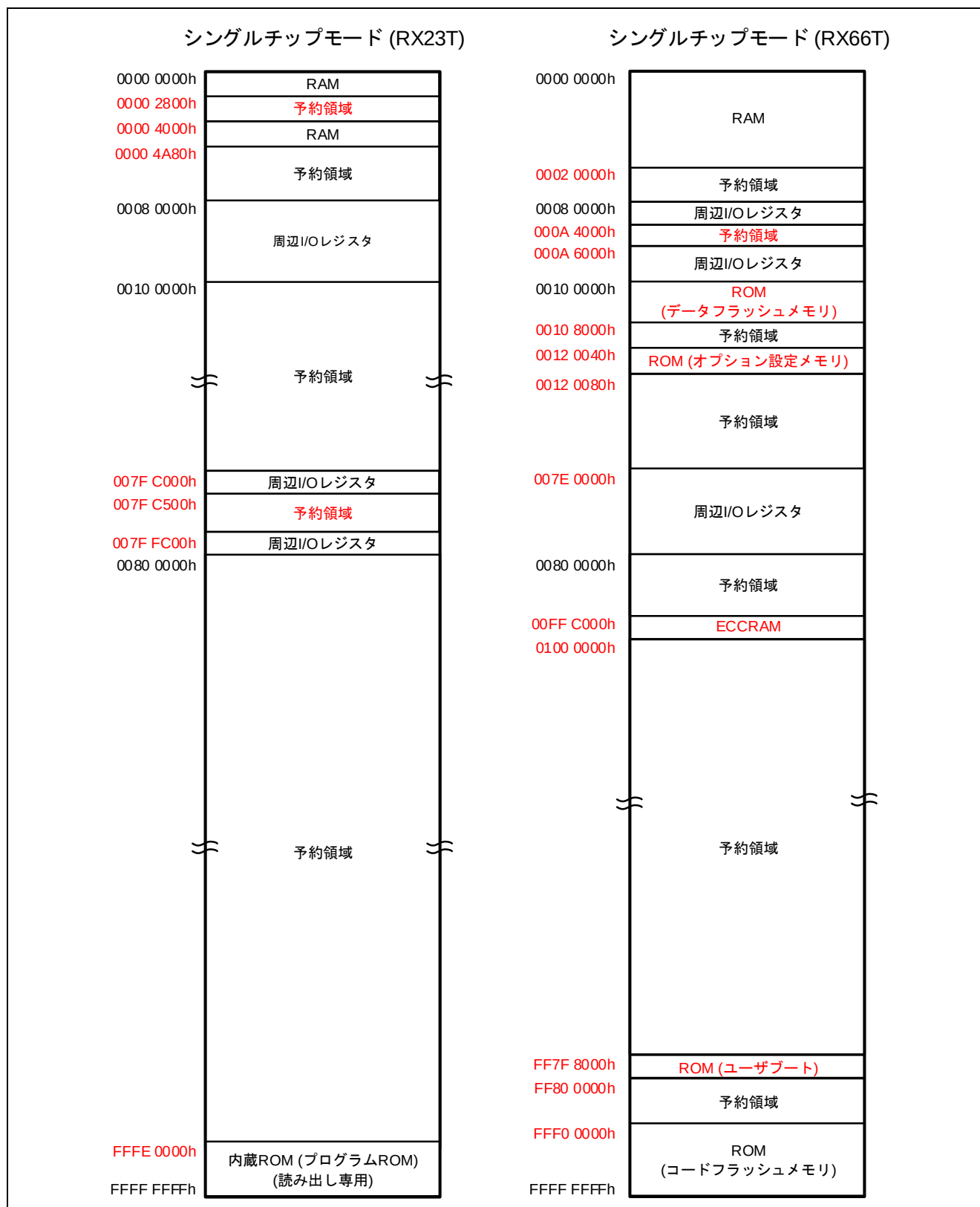


図 2.1 シングルチップモードのメモリマップ比較

2.4 リセット

表 2.4 にリセットの概要比較を、表 2.5 にリセットのレジスタ比較を示します。

表 2.4 リセットの概要比較

項目	RX23T	RX66T
RES#端子リセット	RES#端子の入力電圧が Low	RES#端子の入力電圧が Low
パワーオンリセット	VCC の上昇 (監視電圧 : VPOR)	VCC の上昇(監視電圧 : VPOR)
電圧監視 0 リセット	VCC の下降 (監視電圧 : Vdet0)	VCC の下降(監視電圧 : Vdet0)
電圧監視 1 リセット	VCC の下降 (監視電圧 : Vdet1)	VCC の下降(監視電圧 : Vdet1)
電圧監視 2 リセット	VCC の下降 (監視電圧 : Vdet2)	VCC の下降(監視電圧 : Vdet2)
ディープソフトウェアスタンバイリセット	—	割り込みによるディープソフトウェアスタンバイモードの解除
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラー	独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	—	ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ソフトウェアリセット	レジスタ設定	レジスタ設定

表 2.5 リセットのレジスタ比較

レジスタ	ビット	RX23T	RX66T
RSTSR0	DPSRSTF	—	ディープソフトウェアスタンバイリセットフラグ
RSTSR2	WDTRF	—	ウォッチドッグタイマリセット検出フラグ

2.5 オプション設定メモリ

図 2.2 にオプション設定メモリ領域比較を、表 2.6 にオプション設定メモリのレジスタ比較を示します。

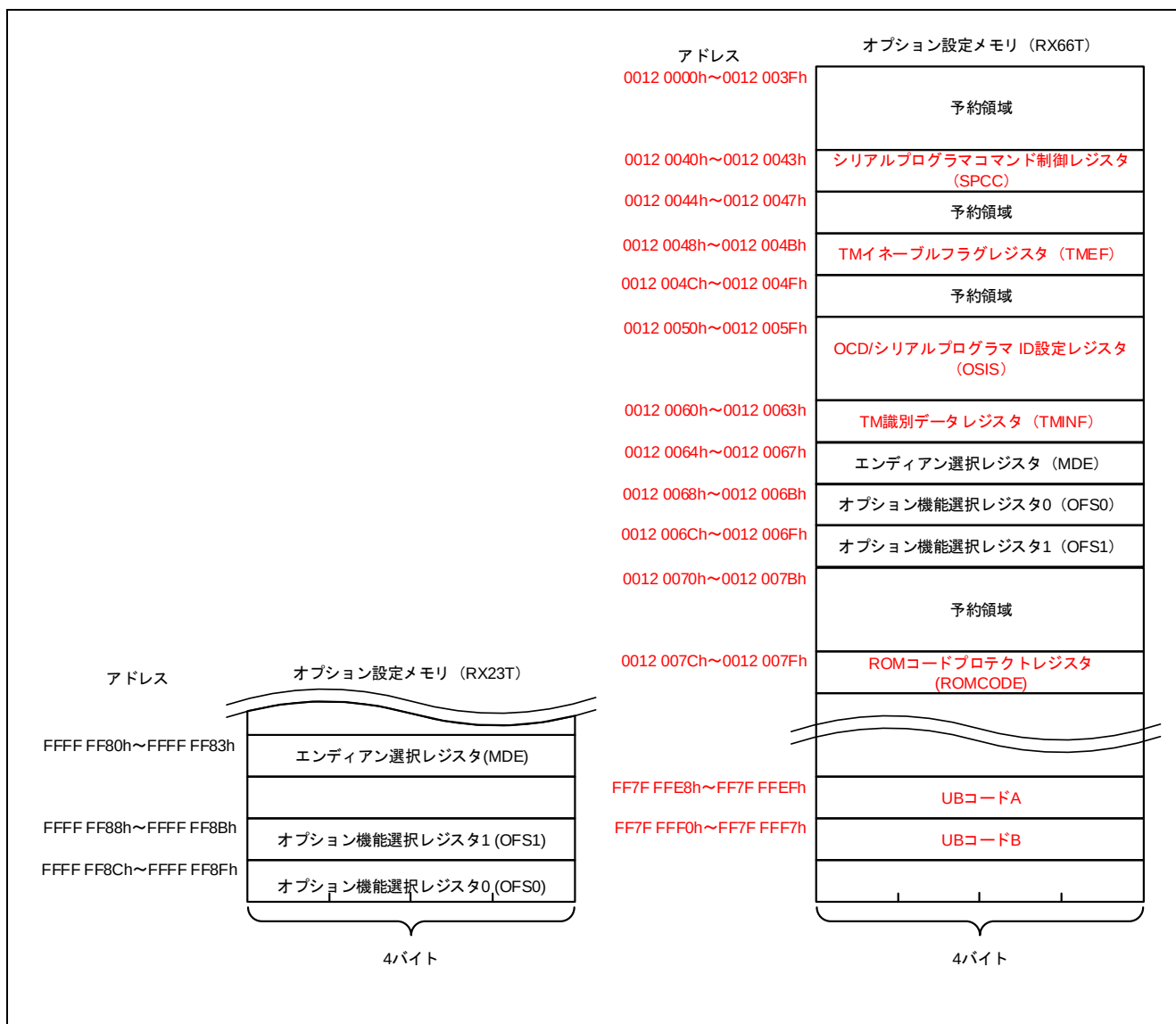


図 2.2 オプション設定メモリ領域比較

表 2.6 オプション設定メモリのレジスタ比較

レジスタ	ビット	RX23T	RX66T(OFSM)
SPCC	—	—	シリアルプログラマコマンド制御レジスタ
OSIS	—	—	OCD/シリアルプログラマ ID 設定レジスタ
OFS0	IWDTT0PS[1:0]	IWDT タイムアウト期間選択ビット b3 b2 0 0 : 128 サイクル (007Fh) 0 1 : 512 サイクル (01FFh) 1 0 : 1024 サイクル (03FFh) 1 1 : 2048 サイクル (07FFh)	IWDT タイムアウト期間選択ビット b3 b2 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)
	IWDRSTIRQS	IWDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求を許可 1 : リセットを許可	IWDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、または 割り込み要求を許可 1 : リセットを許可
	IWDTSLCSTP	IWDT スリープモードカウント停止制御ビット 0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止有効	IWDT スリープモードカウント停止制御ビット 0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効
	WDTSTRT	—	WDT スタートモード選択ビット
	WDTT0PS[1:0]	—	WDT タイムアウト期間選択ビット
	WDTCKS[3:0]	—	WDT クロック分周比選択ビット
	WDRPES[1:0]	—	WDT ウィンドウ終了位置選択ビット
	WDRPSS[1:0]	—	WDT ウィンドウ開始位置選択ビット
	WDRSTIRQS	—	WDT リセット割り込み要求選択ビット
OFS1	VDSEL[1:0]	電圧検出 0 レベル選択ビット b1 b0 0 0 : 3.84V を選択 1 0 : 2.51V を選択 電圧検出 0 回路を使用する場合は、上記以外は設定しないでください	電圧検出 0 レベル選択ビット b1 b0 0 0 : 予約 0 1 : 予約 1 0 : 2.83V を選択 1 1 : 4.22V を選択
TMEF	—	—	TM イネーブルフラグレジスタ
TMINF	—	—	TM 識別データレジスタ
ROMCODE	—	—	ROM コードプロテクトレジスタ

2.6 電圧検出回路

表 2.7 に電圧検出回路の概要比較を、表 2.8 に電圧検出回路のレジスタ比較を示します。

また、表 2.9 に Vdet1 のモニタの設定手順比較を、表 2.10 に Vdet2 のモニタの設定手順比較を、表 2.11 ~ 表 2.14 に電圧監視 1/2 割り込み、電圧監視 1/2 リセット関連ビットの設定手順比較を示します。

表 2.7 電圧検出回路の概要比較

項目		RX23T(LVDAb)			RX66T(LVDA)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	OFS1.VDSEL [1:0]ビットで 2 レベルから選択可能	LVDLVLR. LVD1LVL[3:0] ビットで 9 レベルから選択可能	LVDLVLR. LVD2LVL[1:0] ビットで 4 レベルから選択可能	OFS1.VDSEL [1:0]ビットで 2 レベルから選択可能	LVDLVLR. LVD1LVL[3:0] ビットで 5 レベル から選択可能	LVDLVLR. LVD2LVL[3:0] ビットで 5 レベル から選択可能
	モニタフラグ	なし	LVD1SR.LVD1 MON フラグ : Vdet1 より高いか低いかをモニタ LVD1SR.LVD1 DET フラグ : Vdet1 通過検出	LVD2SR.LVD2 MON フラグ : Vdet2 より高いか低いかをモニタ LVD2SR.LVD2 DET フラグ : Vdet2 通過検出	なし	LVD1SR.LVD1 MON フラグ : Vdet1 より高いか低いかをモニタ LVD1SR.LVD1 DET フラグ : Vdet1 通過検出	LVD2SR.LVD2 MON フラグ : Vdet2 より高いか低いかをモニタ LVD2SR.LVD2 DET フラグ : Vdet2 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet0 > VCC でリセット : VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット : VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット : VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet0 > VCC でリセット : VCC > Vdet0 の一定時間後に CPU 動作再開	Vdet1 > VCC でリセット : VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	Vdet2 > VCC でリセット : VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能

項目		RX23T(LVDAb)			RX66T(LVDA)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
電圧検出時の処理	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスクابل またはマスクابل を選択可能	ノンマスクابل またはマスクابل を選択可能		ノンマスクابل 割り込み、 またはマスク ابل割り込み を選択可能	ノンマスクابل 割り込み、 またはマスク ابل割り込み を選択可能
			Vdet1 > VCC、 VCC > Vdet1 の両方、また はどちらかで 割り込み要求	Vdet2 > VCC、 VCC > Vdet2 の両方、また はどちらかで 割り込み要求		Vdet1 > VCC、VCC > Vdet1 の両 方、またはど ちらかで割り 込み要求	Vdet2 > VCC、VCC > Vdet2 の両 方、またはど ちらかで割り 込み要求
デジタル フィルタ	有効/無効 切り替え	—	—	—	デジタル フィルタ機能 なし	あり	あり
	サンプリ ング時間	—	—	—	—	LOCO の n 分周×2 (n : 2,4,8,16)	LOCO の n 分周×2 (n : 2,4,8,16)
イベントリンク機能		—	—	—	なし	あり Vdet 通過検出 イベント出力	あり Vdet 通過検出 イベント出力

表 2.8 電圧検出回路のレジスタ比較

レジスタ	ビット	RX23T(LVDAb)	RX66T(LVDA)
LVDLVLR	LVD1LVL[3:0]	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧) b3 b0 0 0 0 0 : 4.29V 0 0 0 1 : 4.14V 0 0 1 0 : 4.02V 0 0 1 1 : 3.84V 0 1 0 0 : 3.10V 0 1 0 1 : 3.00V 0 1 1 0 : 2.90V 0 1 1 1 : 2.79V 1 0 0 0 : 2.68V 上記以外は設定しないでください	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧) b3 b0 0 1 0 0 : 4.57V (Vdet1_0) 0 1 0 1 : 4.47V (Vdet1_1) 0 1 1 0 : 4.32V (Vdet1_2) 1 0 1 0 : 2.93V (Vdet1_3) 1 0 1 1 : 2.88V (Vdet1_4) 上記以外は設定しないでください
	LVD2LVL[1:0] (RX23T) LVD2LVL[3:0] (RX66T)	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧) b5 b4 0 0 : 4.29V 0 1 : 4.14V 1 0 : 4.02V 1 1 : 3.84V	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧) b7 b4 0 1 0 0 : 4.57V (Vdet2_0) 0 1 0 1 : 4.47V (Vdet2_1) 0 1 1 0 : 4.32V (Vdet2_2) 1 0 1 0 : 2.93V (Vdet2_3) 1 0 1 1 : 2.88V (Vdet2_4) 上記以外は設定しないでください
LVD1CR0	LVD1DFDIS	—	電圧監視 1 デジタルフィルタ無効 モード選択ビット
	LVD1FSAMP [1:0]	—	サンプリングクロック選択ビット
LVD2CR0	LVD2DFDIS	—	電圧監視 2 デジタルフィルタ無効 モード選択ビット
	LVD2FSAMP [1:0]	—	サンプリングクロック選択ビット

表 2.9 Vdet1 のモニタの設定手順比較

項目		RX23T(LVDAb)	RX66T(LVDA)
Vdet1 のモニタの設定手順	1	LVDLVLR.LVD1LVL[3:0]ビット (電圧検出 1 検出電圧)を設定する	LVDLVLR.LVD1LVL[3:0]ビットで 検出電圧を選択する
	2	LVCMPCR.LVD1E ビットを “1” (電圧検出 1 回路有効)にする	LVCMPCR.LVD1E = 1 (電圧検出 1 回路有効)にする
	3	td(E-A)以上待つ	td(E-A) : LVD 動作安定時間 (LVD 有効切り替え時)以上待つ
	4	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する場合 LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタの サンプリングクロックを選択する - デジタルフィルタを使用しない 場合 — (手順なし)
	5	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する場合 LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする - デジタルフィルタを使用しない 場合 — (手順なし)
	6	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィル タのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない 場合 — (手順なし)
	7	LVD1CR0.LVD1CMPE ビットを “1” (電圧監視 1 回路比較結果出力許可)に する。	LVD1CR0.LVD1CMPE = 1 (電圧監視 1 回路比較結果出力許可)にする

表 2.10 Vdet2 のモニタの設定手順比較

項目		RX23T(LVDAb)	RX66T(LVDA)
Vdet2 のモニタの設定手順	1	LVDLVLR.LVD2LVL [1:0]ビット (電圧検出 2 検出電圧)を設定する	LVDLVLR.LVD2LVL[3:0]ビットで 検出電圧を選択する
	2	LVCMPCR.LVD2E ビットを “1” (電圧検出 2 回路有効)にする	LVCMPCR.LVD2E = 1 (電圧検出 2 回路有効)にする
	3	td(E-A)以上待つ	td(E-A) : LVD 動作安定時間 (LVD 有効切り替え時)以上待つ
	4	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する場合 LVD2CR0.LVD2FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する - デジタルフィルタを使用しない場合 — (手順なし)
	5	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する場合 LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする - デジタルフィルタを使用しない場合 — (手順なし)
	6	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタのサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない場合 — (手順なし)
	7	LVD2CR0.LVD2CMPE ビットを “1” (電圧監視 2 回路比較結果出力許可)にする。	LVD2CR0.LVD2CMPE = 1 (電圧監視 2 回路比較結果出力許可)にする

表 2.11 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順比較

項目		RX23T(LVDAb)	RX66T(LVDA)
電圧監視 1 割り込み 関連ビットの 動作設定手順	1	LVD1LVR.LVD1LVL[3:0]ビットで検出 電圧を選択する	LVD1LVR.LVD1LVL[3:0]ビットで 検出電圧を選択する
	2	LVD1CR0.LVD1RI ビットを “0” (電圧監視 1 割り込み)にする	LVCMPCR.LVD1E = 1 (電圧検出 1 回路有効)にする
	3	- LVD1CR1.LVD1IDTSEL[1:0]ビット で割り込み要求のタイミングを 選択する。 - LVD1CR1.LVD1IRQSEL ビットで 割り込みの種類を選択する	td(E-A) : LVD 動作安定時間 (LVD 有効切り替え時)以上待つ
	4	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタの サンプリングクロックを選択する - デジタルフィルタを使用しない 場合 — (手順なし)
	5	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD1CR0.LVD1DFDIS = 0 (デジタルフィルタ有効)にする - デジタルフィルタを使用しない 場合 — (手順なし)
	6	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタル フィルタのサンプリング クロック = LOCO の n 分周) - デジタルフィルタを使用しない 場合 — (手順なし)
	7	LVCMPCR.LVD1E ビットを “1” (電圧検出 1 回路有効)にする	LVD1CR0.LVD1RI = 0 (電圧監視 1 割り込み)にする
	8	td(E-A)以上待つ	- LVD1CR1.LVD1IDTSEL[1:0] ビットで割り込み要求の タイミングを選択する - LVD1CR1.LVD1IRQSEL ビットで 割り込みの種類を選択する
	9	LVD1CR0.LVD1CMPE ビットを “1” (電圧監視 1 回路比較結果出力許可)に する	— (手順なし)
	10	2 μ s 以上待つ	— (手順なし)
	11	LVD1SR.LVD1DET ビットを “0” に する	LVD1SR.LVD1DET = 0 にする
	12	LVD1CR0.LVD1RIE ビットを “1” (電圧監視 1 割り込み/リセット許可)に する	LVD1CR0.LVD1RIE = 1 (電圧監視 1 割り込み/リセット許可)に する
	13	— (手順なし)	LVD1CR0.LVD1CMPE = 1 (電圧監視 1 回路比較結果出力許可)に する

項目		RX23T(LVDAb)	RX66T(LVDA)
電圧監視 1 リセット 関連ビットの 動作設定手順	1	LVDLVLRLVD1LVL[3:0]ビットで 検出電圧を選択する	LVDLVLRLVD1LVL[3:0]ビットで 検出電圧を選択する
	2	- LVD1CR0.LVD1RI ビットを “1” (電圧監視 1 リセット)にする - LVD1CR0.LVD1RN ビットで リセットネゲートの種類を 選択する	LVCMPCLR.LVD1E = 1 (電圧検出 1 回路有効)にする
	3	LVD1CR0.LVD1RIE ビットを “1” (電圧監視 1 割り込み/リセット許可)に する。	td(E-A) : LVD 動作安定時間 (LVD 有効切り替え時)以上待つ
	4	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD1CR0.LVD1FSAMP[1:0] ビットでデジタルフィルタの サンプリングクロックを選択する - デジタルフィルタを使用しない 場合 — (手順なし)
	5	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD1CR0.LVD1DFDIS = 0 (デジタ ルフィルタ有効)にする - デジタルフィルタを使用しない 場合 — (手順なし)
	6	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する場合 LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタ のサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない 場合 — (手順なし)
	7	LVCMPCLR.LVD1E ビットを “1” (電圧検出 1 回路有効)にする	LVD1CR0.LVD1RI = 1 (電圧監視 1 リセット)にする LVD1CR0.LVD1RN ビットで リセットネゲートの種類を 選択する
	8	td(E-A)以上待つ	LVD1SR.LVD1DET = 0 にする
	9	— (手順なし)	LVD1CR0.LVD1RIE = 1 (電圧監視 1 割り込み/リセット許可)に する
	10	LVD1CR0.LVD1CMPE ビットを “1” (電圧監視 1 回路比較結果出力許可)に する	LVD1CR0.LVD1CMPE = 1 (電圧監視 1 回路比較結果出力許可)に する

表 2.12 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順比較

項目		RX23T(LVDAb)	RX66T(LVDA)
電圧監視 1 割り込み 関連ビットの停止設定 手順	1	LVD1CR0.LVD1RIE ビットを “0” (電圧監視 1 割り込み/リセット禁止)に する	LVD1CR0.LVD1CMPE = 0 (電圧監視 1 回路比較結果出力禁止)に する
	2	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LOCO の 2n + 3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタ のサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない 場合 — (手順なし)
	3	LVD1CR0.LVD1CMPE ビットを “0” (電圧監視 1 回路比較結果出力禁止)に する	LVD1CR0.LVD1RIE = 0 (電圧監視 1 割り込み/リセット禁止)に する
	4	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD1CR0.LVD1DFDIS = 1 (デジタルフィルタ無効)にする - デジタルフィルタを使用する 場合 — (手順なし)
	5	LVCMPCR.LVD1E ビットを “0” (電圧検出 1 回路無効)にする	LVCMPCR.LVD1E = 0 (電圧検出 1 回路無効)にする
	6	LVCMPCR.LVD1E、 LVD1CR0.LVD1RIE、 LVD1CR0.LVD1CMPE を除く 電圧検出回路関連レジスタの設定を 変更する	— (手順なし)

項目		RX23T(LVDAb)	RX66T(LVDA)
電圧監視 1 リセット 関連ビットの停止設定 手順	1	LVD1CR0.LVD1CMPE ビットを “0” (電圧監視 1 回路比較結果出力禁止)に する	LVD1CR0.LVD1CMPE = 0 (電圧監視 1 回路比較結果出力禁止)に する
	2	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LOCO の $2n + 3$ サイクル以上待つ ($n = 2, 4, 8, 16$: デジタルフィルタ のサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない 場合 — (手順なし)
	3	LVCMPCR.LVD1E ビットを “0” (電圧検出 1 回路無効)にする	LVD1CR0.LVD1RIE = 0 (電圧監視 1 割り込み/リセット禁止)に する
	4	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD1CR0.LVD1DFDIS = 1 (デジタルフィルタ無効)にする - デジタルフィルタを使用する 場合 — (手順なし)
	5	LVD1CR0.LVD1RIE ビットを “0” (電圧監視 1 割り込み/リセット禁止)に する	LVCMPCR.LVD1E = 0 (電圧検出 1 回路無効)にする
	6	LVCMPCR.LVD1E、 LVD1CR0.LVD1RIE、 LVD1CR0.LVD1CMPE を除く 電圧検出回路関連レジスタの設定を 変更する	— (手順なし)

表 2.13 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順比較

項目		RX23T(LVDAb)	RX66T(LVDA)
電圧監視 2 割り込み 関連ビットの 動作設定手順	1	LVDLVLRLVD2LVL[1:0]ビットで 検出電圧を設定する	LVDLVLRLVD2LVL[3:0]ビットで 検出電圧を選択する
	2	LVD2CR0.LVD2RI ビットを “0” (電圧監視 2 割り込み)にする	LVCMPCLR.LVD2E = 1 (電圧検出 2 回路有効)にする
	3	- LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミング を選択する。 - LVD2CR1.LVD2IRQSEL ビットで 割り込みの種類を選択する	td(E-A) : LVD 動作安定時間 (LVD 有効切り替え時)以上待つ
	4	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD2CR0.LVD2FSAMP[1:0] ビットでデジタルフィルタの サンプリングクロックを選択する - デジタルフィルタを使用しない 場合 — (手順なし)
	5	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD2CR0.LVD2DFDIS = 0 (デジタルフィルタ有効)にする - デジタルフィルタを使用しない 場合 — (手順なし)
	6	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタル フィルタのサンプリング クロック = LOCO の n 分周) - デジタルフィルタを使用しない 場合 — (手順なし)
	7	LVCMPCLR.LVD2E ビットを “1” (電圧検出 2 回路有効)にする	LVD2CR0.LVD2RI = 0 (電圧監視 2 割り込み)にする
	8	td(E-A)以上待つ	- LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求の タイミングを選択する - LVD2CR1.LVD2IRQSEL ビットで 割り込みの種類を選択する
	9	LVD2CR0.LVD2CMPE ビットを “1” (電圧監視 2 回路比較結果出力許可)に する	— (手順なし)
	10	2 μ s 以上待つ	— (手順なし)
	11	LVD2SR.LVD2DET ビットを “0” に する	LVD2SR.LVD2DET = 0 にする
	12	LVD2CR0.LVD2RIE ビットを “1” (電圧監視 2 割り込み/リセット許可)に する	LVD2CR0.LVD2RIE = 1 (電圧監視 2 割り込み/リセット許可)に する
	13	— (手順なし)	LVD2CR0.LVD2CMPE = 1 (電圧監視 2 回路比較結果出力許可)に する

項目		RX23T(LVDAb)	RX66T(LVDA)
電圧監視 2 リセット 関連ビットの 動作設定手順	1	LVDLVLRL.VLD2LVL[1:0]ビットで検出 電圧を設定する	LVDLVLRL.VLD2LVL[3:0]ビットで検出 電圧を選択する
	2	- LVD2CR0.LVD2RI ビットを “1” (電圧監視 2 リセット)にする - LVD2CR0.LVD2RN ビットで リセットネゲートの種類を 選択する	LVCMPCLR.VLD2E = 1 (電圧検出 2 回路有効)にする
	3	LVD2CR0.LVD2RIE ビットを “1” (電圧監視 2 割り込み/リセット許可)に する	td(E-A) : LVD 動作安定時間 (LVD 有効切り替え時)以上待つ
	4	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD2CR0.LVD2FSAMP[1:0] ビットでデジタルフィルタの サンプリングクロックを選択する - デジタルフィルタを使用しない 場合 — (手順なし)
	5	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD2CR0.LVD2DFDIS = 0 (デジタ ルフィルタ有効)にする - デジタルフィルタを使用しない 場合 — (手順なし)
	6	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LOCO の 2n+3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタル フィルタのサンプリング クロック = LOCO の n 分周) - デジタルフィルタを使用しない 場合 — (手順なし)
	7	LVCMPCLR.VLD2E ビットを “1” (電 圧検出 2 回路有効)にする	- LVD2CR0.LVD2RI = 1 (電圧監視 2 リセット)にする - LVD2CR0.LVD2RN ビットで リセットネゲートの種類を 選択する
	8	td(E-A)以上待つ	LVD2SR.LVD2DET = 0 にする
	9	— (手順なし)	LVD2CR0.LVD2RIE = 1 (電圧監視 2 割り込み/リセット許可)に する
	10	LVD2CR0.LVD2CMPE ビットを “1” (電圧監視 2 回路比較結果出力許可)に する	LVD2CR0.LVD2CMPE = 1 (電圧監視 2 回路比較結果出力許可)に する

表 2.14 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順比較

項目		RX23T(LVDAb)	RX66T(LVDA)
電圧監視 2 割り込み 関連ビットの停止設定 手順	1	LVD2CR0.LVD2RIE ビットを “0” (電圧監視 2 割り込み/リセット禁止)に する	LVD2CR0.LVD2CMPE = 0 (電圧監視 2 回路比較結果出力禁止)に する
	2	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LOCO の 2n + 3 サイクル以上待つ (n = 2, 4, 8, 16 : デジタルフィルタ のサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない 場合 — (手順なし)
	3	LVD2CR0.LVD2CMPE ビットを “0” (電圧監視 2 回路比較結果出力禁止)に する	LVD2CR0.LVD2RIE = 0 (電圧監視 2 割り込み/リセット禁止)に する
	4	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD2CR0.LVD2DFDIS = 1 (デジタルフィルタ無効)にする - デジタルフィルタを使用する 場合 — (手順なし)
	5	LVCMPPCR.LVD2E ビットを “0” (電圧検出 2 回路無効)にする	LVCMPPCR.LVD2E = 0 (電圧検出 2 回路無効)にする
	6	LVCMPPCR.LVD2E、 LVD2CR0.LVD2RIE、 LVD2CR0.LVD2CMPE を除く 電圧検出回路関連レジスタの設定を 変更する	—

項目		RX23T(LVDAb)	RX66T(LVDA)
電圧監視 2 リセット 関連ビットの停止設定 手順	1	LVD2CR0.LVD2CMPE ビットを “0” (電圧監視 2 回路比較結果出力禁止)に する	LVD2CR0.LVD2CMPE = 0 (電圧監視 2 回路比較結果出力禁止)に する
	2	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LOCO の $2n + 3$ サイクル以上待つ ($n = 2, 4, 8, 16$: デジタルフィルタ のサンプリングクロック = LOCO の n 分周) - デジタルフィルタを使用しない 場合 — (手順なし)
	3	LVCMPCR.LVD2E ビットを “0” (電圧検出 2 回路無効)にする	LVD2CR0.LVD2RIE = 0 (電圧監視 2 割り込み/リセット禁止)に する
	4	— (デジタルフィルタがないため、 手順なし)	- デジタルフィルタを使用する 場合 LVD2CR0.LVD2DFDIS = 1 (デジタルフィルタ無効)にする - デジタルフィルタを使用する 場合 — (手順なし)
	5	LVD2CR0.LVD2RIE ビットを “0” (電圧監視 2 割り込み/リセット禁止)に する	LVCMPCR.LVD2E = 0 (電圧検出 2 回 路無効)にする
	6	LVCMPCR.LVD2E、 LVD2CR0.LVD2RIE、 LVD2CR0.LVD2CMPE を除く 電圧検出回路関連レジスタの設定を 変更する	— (手順なし)

2.7 クロック発生回路

表 2.15 にクロック発生回路の概要比較を、表 2.16 にクロック発生回路のレジスタ比較を示します。

表 2.15 クロック発生回路の概要比較

項目	RX23T	RX66T
用途	• CPU、DTC、ROM および RAM に供給されるシステムクロック(ICLK)の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKA、PCLKB、PCLKD) の生成 周辺モジュールクロック (PCLKA) は MTU3 用、周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKB) は、MTU3、S12AD 以外の周辺モジュール用の動作クロックです。 • FlashIF に供給される FlashIF クロック (FCLK)の生成 • CAC に供給される CAC クロック (CACCLK)の生成 • IWDTC に供給される IWDTC 専用クロック (IWDTCCLK)の生成	• CPU、DMAC、DTC、コードフラッシュメモリおよび RAM に供給されるシステムクロック(ICLK)の生成 • RSPI、SCIi、MTU3 (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)に供給される周辺モジュールクロック(PCLKA)の生成 • 周辺モジュールに供給される周辺モジュールクロック(PCLKB)の生成 • MTU3 と GPTW に供給される周辺モジュールのカウント基準クロック、HRPWM の基準クロック(PCLKC)の生成 • S12AD に供給される周辺モジュール (アナログ変換用)クロック(PCLKD)の生成 • FlashIF に供給される FlashIF クロック (FCLK)の生成 • 外部バスに供給される外部バスクロック (BCLK)の生成 • USBb に供給される USB クロック (UCLK)の生成 • CAC に供給される CAC クロック (CACCLK)の生成 • CAN に供給される CAN クロック (CANMCLK)の生成 • IWDTC に供給される IWDTC 専用クロック (IWDTCCLK)の生成
動作周波数	• ICLK : 40MHz (max) • PCLKA : 40MHz (max) • PCLKB : 40MHz (max) • PCLKD : 40MHz (max) • FCLK : - 1MHz~32MHz(ROM) • CACCLK : 各発振器のクロックと同じ • IWDTCCLK : 15kHz	• ICLK : 160MHz (max) • PCLKA : 120MHz (max) • PCLKB : 60MHz (max) • PCLKC : 160MHz (max) • PCLKD : 8MHz~60MHz (12 ビット A/D コンバータ変換時) • FCLK : - 4MHz~60MHz (コードフラッシュメモリ、データフラッシュメモリ P/E 時) - 60MHz (max) (データフラッシュメモリ読み出し時) • BCLK : 60MHz (max) • BCLK 端子出力 : 40MHz (max) • UCLK : 48MHz (max) • CACCLK : 各発振器のクロックと同じ • CANMCLK : 24MHz (max) • IWDTCCLK : 120kHz

項目	RX23T	RX66T
メインクロック 発振器	- 発振子周波数：1MHz～20MHz - 外部クロック入力周波数：20MHz (max) - 接続できる発振子、または付加回路： セラミック共振子、水晶振動子 - 接続端子：EXTAL, XTAL - 発振停止検出機能：メインクロックの 発振停止検出時、LOCO に切り替える 機能、MTU の端子出力を停止する機能、 割り込みはノンマスカブル割り込み - ドライブ能力を切り替える機能	- 発振子周波数：8MHz～24MHz - 外部クロック入力周波数：24MHz (max) - 接続できる発振子または付加回路： セラミック共振子、水晶振動子 - 接続端子：EXTAL, XTAL - 発振停止検出機能：メインクロックの 発振停止検出時、LOCO に切り替える 機能、MTU3、GPTW の端子を ハイインピーダンスにする機能 - ドライブ能力を切り替える機能
PLL 周波数 シンセサイザ	- 入力クロック源：メインクロック - 入力分周比：1、2、4 分周から選択可能 - 入力周波数：4MHz～12.5MHz - 逡倍比： 4～10 逡倍（0.5 刻み）から選択可能 - 発振周波数：24MHz～40MHz	- 入力クロックソース： メインクロック、HOCO - 入力分周比：1、2、3 分周から選択可能 - 入力周波数：8MHz～24MHz - 逡倍比： 10～30 逡倍（0.5 刻み）から選択可能 - PLL 周波数シンセサイザ出力クロック周波 数：120MHz～240MHz
高速オンチップオシ レータ (HOCO)	発振周波数：32MHz	- 発振周波数： 16MHz, 18MHz, 20MHz から選択可能 - HOCO 電源制御
低速オンチップオシ レータ (LOCO)	発振周波数：4MHz	発振周波数：240kHz
IWDT 専用 オンチップ オシレータ	発振周波数：15kHz	発振周波数：120kHz
BCLK 端子の 出力制御機能	—	- BCLK クロック出力または High 出力の 選択が可能 - 出力するクロックは BCLK または BCLK の 2 分周の選択が可能
イベントリンク機能 (出力)	—	メインクロック発振器の発振停止検出
イベントリンク機能 (入力)	—	低速オンチップオシレータへの クロックソース切り替え

表 2.16 クロック発生回路のレジスタ比較

レジスタ	ビット	RX23T	RX66T
SCKCR	—	システムクロックコントロールレジスタ リセット後の初期値が異なります	システムクロックコントロールレジスタ
	PCKC[3:0]	—	周辺モジュールクロック C (PCLKC) 選択ビット
	BCK[3:0]	—	外部バスクロック(BCLK)選択ビット
	PSTOP1	—	BCLK 端子出力制御ビット
SCKCR2	—		システムクロックコントロールレジスタ 2
PLLCR	—	PLL コントロールレジスタ リセット後の初期値が異なります	PLL コントロールレジスタ
	PLIDIV[1:0]	PLL 入力分周比選択ビット b1 b0 0 0 : 1 分周 0 1 : 2 分周 1 0 : 4 分周 1 1 : 設定しないでください	PLL 入力分周比選択ビット b1 b0 0 0 : 1 分周 0 1 : 2 分周 1 0 : 3 分周 1 1 : 設定しないでください
	PLLSRCSEL	—	PLL クロックソース選択ビット
	STC[5:0]	周波数通倍率設定ビット b13 b8 000111 : ×4 001000 : ×4.5 001001 : ×5 001010 : ×5.5 001011 : ×6 001100 : ×6.5 001101 : ×7 001110 : ×7.5 001111 : ×8 010000 : ×8.5 010001 : ×9 010010 : ×9.5 010011 : ×10 上記以外は設定しないでください	周波数通倍率設定ビット b13 b8 010011 : ×10.0 010100 : ×10.5 010101 : ×11.0 010110 : ×11.5 010111 : ×12.0 011000 : ×12.5 . . 111001 : ×29.0 111010 : ×29.5 111011 : ×30.0 上記以外は設定しないでください
BCKCR	—	—	外部バスクロックコントロールレジスタ
HOCOCR2	—	—	高速オンチップオシレータ コントロールレジスタ 2
HOCOWTCR	—	高速オンチップオシレータウェイト コントロールレジスタ	—

レジスタ	ビット	RX23T	RX66T
OSCOVFSR	—	発振安定フラグレジスタ リセット後の初期値が異なります (注1)	発振安定フラグレジスタ
	ILCOVF	—	IWDT 専用クロック発振安定フラグ
OSTDCR	OSTDIE	発振停止検出割り込み許可ビット 0 : 発振停止検出割り込みを禁止、POE への発振停止検出通知なし 1 : 発振停止検出割り込みを許可、POE への発振停止検出通知あり	発振停止検出割り込み許可ビット 0 : 発振停止検出割り込みを禁止、POE、POEG への発振停止検出通知なし 1 : 発振停止検出割り込みを許可、POE、POEG への発振停止検出通知あり
MOSCWTCR	—	メインクロック発振器 ウェイトコントロールレジスタ リセット後の初期値が異なります	メインクロック発振器 ウェイトコントロールレジスタ
	MSTS[4:0] (RX23T) MSTS[7:0] (RX66T)	メインクロック発振器ウェイト 時間設定ビット b4 b0 0 0 0 0 : 待ち時間 = 2 サイクル (0.5 μ s) 0 0 0 1 : 待ち時間 = 1024 サイクル (256 μ s) 0 0 0 1 0 : 待ち時間 = 2048 サイクル (512 μ s) 0 0 0 1 1 : 待ち時間 = 4096 サイクル (1.024ms) 0 0 1 0 0 : 待ち時間 = 8192 サイクル (2.048ms) 0 0 1 0 1 : 待ち時間 = 16384 サイクル (4.096ms) 0 0 1 1 0 : 待ち時間 = 32768 サイクル (8.192ms) 0 0 1 1 1 : 待ち時間 = 65536 サイクル (16.384ms) 上記以外は設定しないでください 待ち時間は LOCO = 4.0MHz (0.25 μ s, TYP)の場合	メインクロック発振器の出力を内部回路に供給するまでの待機時間 MSTS[7:0] > [tMAINOSC × (fLOCO_max) + 16] / 32 (tMAINOSC : メインクロック発振安定時間、fLOCO_max : fLOCO 最大周波数)
MOFCR	MODRV21 (RX23T) MODRV2 [1:0](RX66T)	メインクロック発振器ドライブ能力 切り替えビット 0 : 1MHz~10MHz 未満 1 : 10MHz~20MHz	メインクロック発振器ドライブ能力 2 切り替えビット b5 b4 0 0 : 20.1~24MHz 0 1 : 16.1~20MHz 1 0 : 8.1~16MHz 1 1 : 8MHz
HOCOPCR	—	—	高速オンチップオシレータ電源 コントロールレジスタ

注 1. RX66T グループでは、OFS0.IWDTSTRT ビットが“0”のとき、ILCOVF フラグのリセット後の値は“1”になります。OFS0.IWDTSTRT ビットが“1”のとき、ILCOVF フラグのリセット後の値は“0”になります。

2.8 消費電力低減機能

表 2.17 に消費電力低減機能の概要比較を、表 2.18 に各モードにおける遷移および解除方法と動作状態の比較を、表 2.19 に消費電力低減機能のレジスタ比較を示します。

表 2.17 消費電力低減機能の概要比較

項目	RX23T	RX66T
クロックの切り替えによる消費電力の低減	システムクロック(ICLK)、高速周辺モジュールクロック(PCLKA)、周辺モジュールクロック(PCLKB)、S12AD 用クロック(PCLKD)、FlashIF クロック(FCLK)に対し、個別に分周比を設定することが可能	システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、外部バスクロック(BCLK)、フラッシュインタフェースクロック(FCLK)に対し、個別に分周比を設定することが可能
BCLK 出力制御機能	—	BCLK 出力または High 出力の選択が可能
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード - ソフトウェアスタンバイモード ディープスリープモード	- スリープモード 全モジュールクロックストップモード - ソフトウェアスタンバイモード ディープソフトウェアスタンバイモード
動作電力低減機能	動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 動作電力制御状態：2 種類 - 高速動作モード - 中速動作モード	—

表 2.18 各モードにおける遷移および解除方法と動作状態の比較

モード	遷移および解除方法と動作状態	RX23T	RX66T
スリープモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態(割り込み処理)	プログラム実行状態(割り込み処理)
	メインクロック発振器	動作可能	動作可能
	高速オンチップオシレータ	動作可能	動作可能
	低速オンチップオシレータ	動作可能	動作可能
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	動作可能	動作可能
	CPU	停止(保持)	停止(保持)
	RAM0 : RX23T RAM、ECCRAM : RX66T	動作可能(保持)	動作可能(保持)
	DTC	動作可能	動作可能

モード	遷移および解除方法と動作状態	RX23T	RX66T
スリープモード	フラッシュメモリ	動作	動作
	USBFS ホスト/ファンクションモジュール (USBb)	—	動作可能
	ウォッチドッグタイマ(WDTA)	—	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	ポートアウトプットイネーブル(POE)	動作可能	動作可能
	8 ビットタイマ(ユニット 0, 1) (TMR)	動作可能	動作可能
	電圧検出回路(LVD)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作可能	動作可能
	I/O ポート	動作	動作
	コンパレータ C	動作可能	動作可能
ソフトウェアスタンバイモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	停止	停止
	高速オンチップオシレータ	停止	停止
	低速オンチップオシレータ	停止	停止
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	停止	停止
	CPU	停止(保持)	停止(保持)
	RAM0 : RX23T RAM、ECCRAM : RX66T	停止(保持)	停止(保持)
	DTC	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	USBFS ホスト/ファンクションモジュール (USBb)	—	停止
	ウォッチドッグタイマ(WDTA)	—	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	ポートアウトプットイネーブル(POE)	停止(保持)	停止(保持)
	8 ビットタイマ(ユニット 0, 1) (TMR)	停止(保持)	停止(保持)
	電圧検出回路(LVD)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O ポート	保持	保持
	コンパレータ C	動作可能	動作可能

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

表 2.19 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX23T	RX66T
SBYCR	OPE	—	出力ポート許可ビット
	SSBY	ソフトウェアスタンバイビット 0 : WAIT 命令実行後、スリープモード またはディープスリープモードに 遷移 1 : WAIT 命令実行後、 ソフトウェアスタンバイモードに 遷移	ソフトウェアスタンバイビット 0 : WAIT 命令実行後、スリープモード または 全モジュールクロック ストップモード に移行 1 : WAIT 命令実行後、 ソフトウェアスタンバイモードに 移行
MSTPCRA	—	モジュールストップコントロール レジスタ A リセット後の初期値が異なります	モジュールストップコントロール レジスタ A
	MSTPA2	—	8 ビットタイマ 7, 6 (ユニット 3) モジュールストップ設定ビット
	MSTPA3	—	8 ビットタイマ 5, 4 (ユニット 2) モジュールストップ設定ビット
	MSTPA7	—	汎用 PWM タイマ/高分解能 PWM/GPTW 専用ポートアウト プットイネーブル設定ビット
	MSTPA16	—	12 ビット A/D コンバータ(ユニット 1) モジュールストップ設定ビット
	MSTPA23	—	12 ビット A/D コンバータ(ユニット 2) モジュールストップ設定ビット
	MSTPA24	—	モジュールストップ A24 設定ビット
	MSTPA27	—	モジュールストップ A27 設定ビット
	MSTPA28	データトランスファコントローラ モジュールストップ設定ビット	DMA コントローラ/ データトランスファコントローラ モジュールストップ設定ビット
	MSTPA29	—	モジュールストップ A29 設定ビット
	ACSE	—	全モジュールクロックストップモード 許可ビット
MSTPCRB	MSTPB0	—	CAN モジュール 0 モジュール ストップ設定ビット
	MSTPB4	—	シリアルコミュニケーション インタフェース 12 モジュール ストップ設定ビット
	MSTPB9	—	イベントリンクコントローラ モジュールストップ設定ビット
	MSTPB19	—	ユニバーサルシリアルバス 2.0 FS インタフェースモジュール ストップ設定ビット
	MSTPB25	—	シリアルコミュニケーション インタフェース 6 モジュールストップ 設定ビット
MSTPCRC	MSTPC6	—	ECCRAM モジュールストップ 設定ビット
	MSTPC24	—	シリアルコミュニケーション インタフェース 11 モジュール ストップ設定ビット
	MSTPC26	—	シリアルコミュニケーション インタフェース 9 モジュール ストップ設定ビット

レジスタ	ビット	RX23T	RX66T
MSTPCRC	MSTPC27	—	シリアルコミュニケーション インタフェース 8 モジュール ストップ設定ビット
	DSLPE	ディープスリープモード許可ビット	—
MSTPCRD	—	—	モジュールストップコントロール レジスタ D
RSTCKCR	—	—	スリープモード復帰クロックソース 切り替えレジスタ
DPSBYCR	—	—	ディープスタンバイ コントロールレジスタ
DPSIER0	—	—	ディープスタンバイインタラプト イネーブルレジスタ 0
DPSIER1	—	—	ディープスタンバイインタラプト イネーブルレジスタ 1
DPSIER2	—	—	ディープスタンバイインタラプト イネーブルレジスタ 2
DPSIFR0	—	—	ディープスタンバイインタラプト フラグレジスタ 0
DPSIFR1	—	—	ディープスタンバイインタラプト フラグレジスタ 1
DPSIFR2	—	—	ディープスタンバイインタラプト フラグレジスタ 2
DPSIEGR0	—	—	ディープスタンバイインタラプト エッジレジスタ 0
DPSIEGR1	—	—	ディープスタンバイインタラプト エッジレジスタ 1
DPSIEGR2	—	—	ディープスタンバイインタラプト エッジレジスタ 2
DPSBKRY	—	—	ディープスタンバイバックアップ レジスタ (y = 0~31)
OPCCR	—	動作電力コントロールレジスタ	—

2.9 レジスタライトプロテクション機能

表 2.20 にレジスタライトプロテクション機能の概要比較を、表 2.21 にレジスタライトプロテクション機能のレジスタ比較を示します。

表 2.20 レジスタライトプロテクション機能の概要比較

項目	RX23T	RX66T
PRC0 ビット	クロック発生回路関連レジスタ SCKCR、SCKCR3、PLLCR、 PLLCR2、MOSCCR、LOCOCR、 ILOCOCR、HOCOCR、OSTDCR、 OSTDSR、MEMWAIT	クロック発生回路関連レジスタ SCKCR、SCKCR2、SCKCR3、PLLCR、 PLLCR2、BCKCR、MOSCCR、 LOCOCR、ILOCOCR、HOCOCR、 HOCOCR2、OSTDCR、OSTDSR
PRC1 ビット	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、 MSTPCRC、OPCCR - クロック発生回路関連レジスタ MOFCR、MOSCWTCR - ソフトウェアリセットレジスタ SWRR	- 動作モード関連レジスタ SYSCR0、SYSCR1、VOLSR - 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、 MSTPCRC、MSTPCRD、RSTCKCR、 DPSBYCR、DPSIER0~2、DPSIFR0~2、 DPSIEGR0~2 - クロック発生回路関連レジスタ MOSCWTCR、MOFCR、HOCOPCR - ソフトウェアリセットレジスタ SWRR
PRC2 ビット	クロック発生回路関連レジスタ HOCOWTCR	—
PRC3 ビット	LVD 関連レジスタ LVCMPCR、LVDLVLRL、LVD1CR0、 LVD1CR1、LVD1SR、LVD2CR0、 LVD2CR1、LVD2SR	LVD 関連レジスタ LVCMPCR、LVDLVLRL、LVD1CR0、 LVD1CR1、LVD1SR、LVD2CR0、 LVD2CR1、LVD2SR

表 2.21 レジスタライトプロテクション機能のレジスタ比較

レジスタ	ビット	RX23T	RX66T
PRCR	PRC2	プロテクトビット 2	—

2.10 割り込みコントローラ

表 2.22 に割り込みコントローラの概要比較を、表 2.23 に割り込みコントローラのレジスタ比較を示します。

表 2.22 割り込みコントローラの概要比較

項目		RX23T(ICUb)	RX66T(ICUC)
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュール要因ごとの検出方法は固定	- 周辺モジュールからの割り込み - 割り込みの検出方法：エッジ検出またはレベル検出(割り込み要因ごとに検出方法は固定) - グループ割り込み：複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 - グループ BE0 割り込み：PCLKB を動作クロックとする周辺モジュールの割り込み要因(エッジ検出) - グループ BL0/BL1 割り込み：PCLKB を動作クロックとする周辺モジュールの割り込み要因(レベル検出) - グループ AL0 割り込み：PCLKA を動作クロックとする周辺モジュールの割り込み要因(レベル検出) - 選択型割り込み A：割り込みベクタ番号 208～255 に、PCLKA を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1 つを割り当てることが可能
	外部端子割り込み	- IRQ0～IRQ5 端子からの割り込み - 要因数：6 - 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 - デジタルフィルタ機能：あり	- IRQi 端子(i = 0～15)への入力信号による割り込み - 割り込み検出：Low レベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 - デジタルフィルタを使用することにより、ノイズを除去することが可能
	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数 1	- レジスタへの書き込みにより、割り込み要求を発生させることが可能 - 要因数：2
	割り込み優先レベル	レジスタにより優先順位を設定	割り込み要因プライオリティレジスタ r (IPRr) (r = 000～255)により優先レベルを設定
	高速割り込み機能	CPU の割り込み処理を高速化可能。1 要因にのみ設定	CPU の割り込み応答時間を短縮可能。1 つの割り込み要因にのみ設定可能
	DTC、DMAC 制御	割り込み要因により DTC を起動可能	割り込み要因により DTC や DMAC の起動が可能

項目		RX23T(ICUb)	RX66T(ICUC)
ノン マスクابل 割り込み	NMI 端子割り込み	- NMI 端子からの割り込み - 割り込み検出：立ち下がりエッジ/ 立ち上がりエッジ - デジタルフィルタ機能：あり	- NMI 端子への入力信号による 割り込み - 割り込み検出：立ち下がりエッジ または立ち上がりエッジ - デジタルフィルタを使用することにより、 ノイズを除去することが可能
	発振停止検出 割り込み	発振停止検出時の割り込み	メインクロック発振器の停止を検出した ときの割り込み
	WDT アンダフロー/ リフレッシュエラー 割り込み	—	ウォッチドッグタイマがアンダフロー したとき、またはリフレッシュエラーが 発生したときの割り込み
	IWDT アンダフロー/ リフレッシュエラー 割り込み	ダウンカウンタがアンダフローした とき、もしくはリフレッシュエラーが 発生したときの割り込み	独立ウォッチドッグタイマが アンダフローしたとき、または リフレッシュエラーが発生したときの 割り込み
	電圧監視割 1 割り込み	電圧検出回路 1 (LVD1) の電圧監視 割り込み	電圧検出 1 回路(LVD1)からの割り込み
	電圧監視割 2 割り込み	電圧検出回路 2 (LVD2) の電圧監視 割り込み	電圧検出 2 回路(LVD2)からの割り込み
	RAM エラー割り込み	—	RAM のパリティチェックエラー、 または ECCRAM の ECC エラーを 検出したときの割り込み
低消費電力 状態からの 復帰	スリープモード	ノンマスクابل割り込み、 全割り込み要因で復帰	すべての割り込み要因で復帰
	全モジュール クロックストップ モード	—	NMI 端子割り込み、外部端子割り込み、 周辺機能割り込み(電圧監視 1、電圧監視 2、発振停止検出、USB レジューム、 IWDT、TMR0~3)で復帰
	ディープスリープ モード	ノンマスクابل割り込み、全割り込み 要因で復帰	—
	ソフトウェア スタンバイモード	ノンマスクابل割り込み、IRQ0~IRQ5 割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、IWDT)で復帰	NMI 端子割り込み、外部端子割り込み、 周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、IWDT)で復帰
	ディープ ソフトウェア スタンバイモード	—	NMI 端子割り込み、一部の外部端子割り 込み、周辺機能割り込み(電圧監視 1、電 圧監視 2)で復帰

表 2.23 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX23T(ICUb)	RX66T(ICUC)
IRn (注 1)	—	割り込み要求レジスタ n (n = 016~249)	割り込み要求レジスタ n (n = 016~ 255)
IERm	—	割り込み要求許可レジスタ m (m = 02h~1Fh)	割り込み要求許可レジスタ m (m = 02h~1Fh)
IPRn (注 1)	—	割り込み要因プライオリティ レジスタ n (n = 000~249)	割り込み要因プライオリティ レジスタ n (n = 000~ 255)
SWINT2R	—	—	ソフトウェア割り込み 2 起動レジスタ
DTCERn (注 1)	—	DTC 起動許可レジスタ n (n = 027~248)	DTC 転送要求許可レジスタ n (n = 026 ~ 255)
DMRSRm	—	—	DMAC 起動要因選択レジスタ m
IRQCRi	—	IRQ コントロールレジスタ i (i = 0~5)	IRQ コントロールレジスタ i (i = 0~ 15)
IRQFLTE0	FLTEN6	—	IRQ6 デジタルフィルタ許可ビット
	FLTEN7	—	IRQ7 デジタルフィルタ許可ビット
IRQFLTE1	—	—	IRQ 端子デジタルフィルタ 許可レジスタ 1
IRQFLTC0	FCLKSEL6[1:0]	—	IRQ6 デジタルフィルタ サンプリングクロック設定ビット
	FCLKSEL7[1:0]	—	IRQ7 デジタルフィルタ サンプリングクロック設定ビット
IRQFLTC1	—	—	IRQ 端子デジタルフィルタ 設定レジスタ 1
NMISR	WDTST	—	WDT アンダフロー/ リフレッシュエラーステータスフラグ
	RAMST	—	RAM エラー 割り込みステータスフラグ
NMIER	WDTEN	—	WDT アンダフロー/ リフレッシュエラー許可ビット
	RAMEN	—	RAM エラー割り込み許可ビット
NMICLR	WDTCLR	—	WDT クリアビット
GRPBEO	—	—	グループ BE0 割り込み要求レジスタ
GRPBL0/GRPBL1	—	—	グループ BL0/BL1 割り込み要求レジスタ
GRPALO	—	—	グループ AL0 割り込み要求レジスタ
GENBEO	—	—	グループ BE0 割り込み要求許可レジスタ
GENBL0/GENBL1	—	—	グループ BL0/BL1 割り込み要求許可レジスタ
GENALO	—	—	グループ AL0 割り込み要求許可レジスタ
GCRBEO	—	—	グループ BE0 割り込みクリアレジスタ
PIARK	—	—	選択型割り込み A 要求レジスタ k (k = 0h~12h)
SLIARn	—	—	選択型割り込み A 要因選択レジスタ n (n = 208~255)
SLIPRCR	—	—	選択型割り込み要因選択レジスタ 書き込み保護レジスタ

注 1. RX23T グループでは n=250~255 は予約領域です。

2.11 バス

表 2.24 にバスの概要比較を、表 2.25 に外部バスの概要比較を、表 2.26 にバスのレジスタ比較を示します。

表 2.24 バスの概要比較

項目		RX23T	RX66T
CPU バス	命令バス	• CPU(命令)を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック(ICLK)に同期して動作	• CPU (命令)を接続 • 内蔵メモリを接続 (RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
	オペランドバス	• CPU(オペランド)を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック(ICLK)に同期して動作	• CPU (オペランド)を接続 • 内蔵メモリを接続 (RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	RAM を接続	RAM を接続
	メモリバス 2	ROM を接続	コードフラッシュメモリを接続
	メモリバス 3	—	ECCRAM を接続
内部メインバス	内部メインバス 1	• CPU を接続 • システムクロック(ICLK)に同期して動作	• CPU を接続 • システムクロック(ICLK)に同期して動作
	内部メインバス 2	• DTC を接続 • 内蔵メモリを接続 (RAM、ROM) • システムクロック(ICLK)に同期して動作	• DTC、DMAC を接続 • 内蔵メモリを接続 (RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	• 周辺機能(DTC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作	• 周辺機能(DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作
	内部周辺バス 2	• 周辺機能(内部周辺バス 1, 3, 4 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作	• 周辺機能(内部周辺バス 1, 3, 4, 5 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 3	• 周辺機能(CMPC)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作	• 周辺機能(USBb、CMPC)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 4	• 周辺機能(MTU3)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作	• 周辺機能(MTU3、GPTW、HRPWM、RSPI、SCIi)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス 5	—	予約領域
	内部周辺バス 6	• フラッシュ制御モジュールを接続 • FlashIF クロック(FCLK)に同期して動作	• コードフラッシュメモリ(P/E 時)、データフラッシュメモリを接続 • FlashIF クロック(FCLK)に同期して動作
外部バス	CS 領域	—	• 外部デバイスを接続 • 外部バスクロック(BCLK : 最大 40MHz)に同期して動作

表 2.25 外部バスの概要比較

項目	RX23T	RX66T
外部アドレス空間	—	- 外部アドレス空間を 4 つの CS 領域 (CS0~CS3)に分割して管理 - 領域ごとにチップセレクトを出力可能 - 領域ごとにバス幅を選択可能 - セパレートバス : 8 ビットバス空間/ 16 ビットバス空間を選択可能 - アドレス/データマルチプレクスバス : 8 ビットバス空間/16 ビットバス空間を選択可能 - 領域ごとにエンディアンを設定可能
CS 領域コントローラ	—	- リカバリサイクル挿入可能 - リードリカバリ最大 15 サイクル挿入 - ライトリカバリ最大 15 サイクル挿入 - サイクルウェイト機能 : 最大 31 サイクルウェイト (ページアクセス最大 7 サイクルウェイト) - ウェイト制御 - チップセレクト信号(CS0#~CS3#)のアサート/ネゲートタイミング設定可能 - リード信号(RD#)、ライト信号 (WR0#/WR#~WR1#)のアサートタイミング設定可能 - データ出力の開始/終了タイミング設定可能 - ライトアクセスモード : 1 ライトストロブモード - バイトストロブモード - セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能
ライトバッファ機能	—	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	—	CS 領域コントローラ(CSC)は、BCLK に同期して動作

表 2.26 バスのレジスタ比較

レジスタ	ビット	RX23T	RX66T
CSnCR	—	—	CSn 制御レジスタ (n = 0~3)
CSnREC	—	—	CSn リカバリサイクル設定レジスタ (n = 0~3)
CSRECEN	—	—	CS リカバリサイクル挿入許可レジスタ
CSnMOD	—	—	CSn モードレジスタ (n = 0~3)
CSnWCR1	—	—	CSn ウェイト制御レジスタ 1 (n = 0~3)
CSnWCR2	—	—	CSn ウェイト制御レジスタ 2 (n = 0~3)
BERSR1	MST[2:0]	バスマスタコードビット b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	バスマスタコードビット b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約
BUSPRI	BPRA[1:0]	メモリバス 1 (RAM) プライオリティ制御ビット	メモリバス 1, 3 (RAM/ECCRAM) プライオリティ制御ビット
	BPEB[1:0]	—	外部バスプライオリティ制御ビット

2.12 データトランスファコントローラ

表 2.27 にデータトランスファコントローラの概要比較を示します。

表 2.27 データトランスファコントローラの概要比較

項目	RX23T(DTCa)	RX66T(DTCa)
転送チャネル数	DTC 起動が可能なすべての割り込み要因の数と同数	DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	- ノーマル転送モード 1 回の起動で 1 つのデータを転送する - リピート転送モード 1 回の起動で 1 つのデータを転送する - リピートサイズ分データを転送すると転送開始アドレスに復帰 - リピート回数は最大 256 回設定可能で、256×32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータを転送する - ブロックサイズは、最大 256×32 ビット=1024 バイト設定可能	- ノーマル転送モード 1 回の起動で 1 つのデータを転送する - リピート転送モード 1 回の起動で 1 つのデータを転送する - リピートサイズ分データを転送すると転送開始アドレスに復帰 - リピート回数は最大 256 回設定可能で、256×32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータを転送する - ブロックサイズは、最大 256×32 ビット=1024 バイト設定可能
チェーン転送機能	1 回の転送要求に対して複数のデータ転送が可能(チェーン転送) - チェーン転送は「カウンタ=0 のとき実施」/「毎回実施」のいずれかを選択可能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
転送空間	- ショートアドレスモードのとき 16M バイト (“0000 0000h” ~ “007F FFFFh” と “FF80 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (“0000 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域)	- ショートアドレスモードのとき 16M バイト (“0000 0000h” ~ “007F FFFFh” と “FF80 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (“0000 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域)
データ転送単位	1 データ：1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) 1 ブロックサイズ：1~256 データ	1 データ：1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) 1 ブロックサイズ：1~256 データ
CPU 割り込み要求	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	—	1 回のデータ転送後(ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

2.13 I/O ポート

表 2.28 に I/O ポート 64 ピンの概要比較を、表 2.30 に I/O ポートの機能比較を、表 2.31 に I/O ポートのレジスタ比較を示します。

表 2.28 I/O ポート 64 ピンの概要比較

項目	RX23T(64 ピン)	RX66T(64 ピン)
PORT0	P00~P02	P00, P01
PORT1	P10, P11	P11
PORT2	P22~P24	P20~P22
PORT3	P30~P33, P36, P37	P36, P37
PORT4	P40~P47	P40~P42, P44~P46
PORT5	—	P52~P54
PORT6	—	P64, P65
PORT7	P70~P76	P70~P76
PORT9	P91~P94	P90~P96
PORTA	PA2~PA5	—
PORTB	PB0~PB7	PB0~PB6
PORTD	PD3~PD7	PD3~PD7
PORTE	PE2	PE2
PORTH	—	PH0, PH4

表 2.29 I/O ポート 48 ピンの概要比較

項目	RX23T(48 ピン)	RX66T(48 ピン)
PORT0	—	P00
PORT1	P10,P11	P10,P11
PORT2	P22~P24	—
PORT3	P36,P37	P36,P37
PORT4	P40~P47	P40~P44
PORT6	—	P62,P64,P65
PORT7	P70~P76	P71~P76
PORT9	P93,P94	P94
PORTA	PA2,PA3	PA3,PA5
PORTB	PB0~PB6	PB0~PB6
PORTD	PD3~PD6	PD3,PD5,PD7
PORTE	PE2	PE2

表 2.30 I/O ポートの機能比較

項目	ポートシンボル	RX23T	RX66T
入力プルアップ機能	PORT0	P00, P01, P02	P00, P01
	PORT1	P10, P11	P10~P17
	PORT2	P22, P23, P24	P20~P27
	PORT3	P30~P33, P36, P37	P30~P37
	PORT4	P40~P47	P43, P47
	PORT5	—	P50~P55
	PORT6	—	P60~P65
	PORT7	P70, P71~P76	P70~P76

項目	ポートシンボル	RX23T	RX66T
入力プルアップ機能	PORT8	—	P80, P81, P82
	PORT9	P91~P94	P90~P96
	PORTA	PA2~PA5	PA0~PA7
	PORTB	PB0~PB7	PB0~PB7
	PORTC	—	PC0~PC6
	PORTD	PD3~PD7	PD0~PD7
	PORTE	—	PE0, PE1, PE3~PE6
	PORTF	—	PF0~PF3
	PORTG	—	PG0~PG2
	PORTH	—	PH1~PH3, PH5~PH7
	PORTK	—	PK0~PK2
オープンドレイン 出力機能	PORT0	P00, P01, P02	P00, P01
	PORT1	P10, P11	P10~P17
	PORT2	P22, P23, P24	P20~P27
	PORT3	P30~P33, P36, P37	P30~P37
	PORT4	—	P43, P47
	PORT5	—	P50~P55
	PORT6	—	P60~P65
	PORT7	P70, P71~P76	P70~P76
	PORT8	—	P80, P81, P82
	PORT9	P91~P94	P90~P96
	PORTA	PA2~PA5	PA0~PA7
	PORTB	PB0~PB7	PB0~PB7
	PORTC	—	PC0~PC6
	PORTD	PD3~PD7	PD0~PD7
	PORTE	—	PE0, PE1, PE3~PE6
	PORTF	—	PF0~PF3
	PORTG	—	PG0~PG2
	PORTH	—	PH1~PH3, PH5~PH7
	PORTK	—	PK0~PK2
駆動能力切り替え機能	PORT0	P00, P01, P02	P00, P01
	PORT1	P10, P11	P10~P17
	PORT2	P22, P23, P24	P20~P27
	PORT3	P30~P33, P36, P37	P30~P37
	PORT4	P40~P47	P43, P47
	PORT5	—	P50~P55
	PORT6	—	P60~P65
	PORT7	P70, P71~P76	P70~P76
	PORT8	—	P80, P81, P82
	PORT9	P91~P94	P90~P96
	PORTA	PA2~PA5	PA0~PA7
	PORTB	PB0~PB7	PB0~PB7
	PORTC	—	PC0~PC6
	PORTD	PD3~PD7	PD0~PD7
	PORTE	—	PE0, PE1, PE3~PE6
	PORTF	—	PF0~PF3
	PORTG	—	PG0~PG2
	PORTH	—	PH1~PH3, PH5~PH7
	PORTK	—	PK0~PK2
5V トレラント	PORTB	PB1, PB2	PB1, PB2
	PORTC	—	PC0 (注1)

項目	ポートシンボル	RX23T	RX66T
5V トレラント	PORTD	—	PD2 (注1)

注 1. RAM 容量が 128K バイトの製品のみ有効

表 2.31 I/O ポートのレジスタ比較

レジスタ	ビット名	RX23T	RX66T
PDR	B0～B7	Pm0～7 方向制御ビット (m = 0～4, 7, 9, A, B, D)	Pm0～7 方向制御ビット (m = 0～9, A～H, K)
PODR	B0～B7	Pm0～7 出力データ格納ビット (m = 0～4, 7, 9, A, B, D)	Pm0～7 出力データ格納ビット (m = 0～9, A～H, K)
PIDR	B0～B7	Pm0～7 ビット (m = 0～4, 7, 9, A, B, D, E)	Pm0～7 ビット (m = 0～9, A～H, K)
PMR	B0～B7	Pm0 端子モード制御ビット (m = 0～3, 7, 9, A, B, D, E)	Pm0～7 端子モード制御ビット (m = 0～9, A～H, K)
ODR0	B0, B2, B4, B6	Pm0, 1, 2, 3 出力形態指定ビット (m = 0, 1～3, 7, 9, A, B, D)	Pm, 1, 2, 3 出力形態指定ビット (m = 0～9, A～H, K)
ODR1	B0, B2, B4, B6	Pm4, 5, 6, 7 出力形態指定ビット (m = 2, 3, 7, 9, A, B, D)	Pm4, 5, 6, 7 出力形態指定ビット (m = 1～7, 9, A～E, H)
PCR	B0～B7	Pm0～7 入力プルアップ抵抗 制御ビット (m = 0～4, 7, 9, A, B, D)	Pm0～7 入力プルアップ抵抗 制御ビット (m = 0～9, A～H, K)
DSCR	B0～B7	Pm0～7 駆動能力制御ビット (m = 0～3, 7, 9, A, B, D)	Pm0～7 駆動能力制御ビット (m = 0～3, 7～9, A～G, K)
DSCR2	—	—	駆動能力制御レジスタ 2

2.14 マルチファンクションピンコントローラ

表 2.32 にマルチプル端子の割り当て端子比較を表 2.33～表 2.52 にマルチファンクションピンコントローラのレジスタ比較を示します。

マルチプル端子の割り当て端子比較の、**青字**は RX66T グループのみに存在する端子、**橙字**は RX23T グループのみに存在する端子です。“○”は機能割り当てあり、“×”は端子なし、または機能割り当てなし、グレーの塗りつぶしは非搭載機能を表しています。

表 2.32 マルチプル端子の割り当て端子比較

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)		RX66T(MPC)	
			64 ピン	48 ピン	64 ピン	48 ピン
割り込み	NMI (入力)	PE2	○	○	○	○
	IRQ0-DS (入力)	P10			×	○
	IRQ0 (入力)	P10	○	○	×	×
		P52	×	×	○	×
		P93	○	○	×	×
	IRQ1-DS (入力)	P11			○	○
	IRQ1 (入力)	P11	○	○	×	×
		P53	×	×	○	×
		P94	○	○	×	×
		PA5	×	×	×	○
	IRQ2 (入力)	P00	○	×	○	○
		P22	○	○	×	×
		P54	×	×	○	×
		PB1	○	○	×	×
		PB6	×	×	○	○
		PD4	○	○	○	×
	IRQ3-DS (入力)	PB4			○	○
	IRQ3 (入力)	P24	○	○		
		PB4	○	○		
		PD5	○	○		
	IRQ4-DS (入力)	P96			○	×
	IRQ4 (入力)	P01	○	×	○	×
		P23	○	○	×	×
		PA2	○	○	×	×
		PB1	×	×	○	○
	IRQ5-DS (入力)	P70			○	×
	IRQ5 (入力)	P02	○	×	×	×
		P70	○	○	×	×
		PB6	○	○	×	×
		PD6	○	○	○	×
	IRQ6-DS (入力)	P21			○	×
	IRQ6 (入力)	P62			○	○
		PD5			○	×
	IRQ7-DS (入力)	P20			○	×
	IRQ8 (入力)	P64			○	○
		PB0			○	○
		PD7			○	○
	IRQ9 (入力)	P65			○	○
		PB3			○	○

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)		RX66T(MPC)	
			64 ピン	48 ピン	64 ピン	48 ピン
割り込み	IRQ10 (入力)	P22			○	×
マルチ ファンクション タイマユニット 3	MTIOC0A (入出力) / MTIOC0A# (入出力)	P31	○	×	×	×
		PB3	○	○	○	○
	MTIOC0B (入出力) / MTIOC0B# (入出力)	P30	○	×	×	×
		P93	○	○	×	×
		PB2	○	○	○	○
	MTIOC0C (入出力) / MTIOC0C# (入出力)	P94	○	○	×	×
		PB1	○	○	○	○
	MTIOC0D (入出力) / MTIOC0D# (入出力)	PB0	○	○	○	○
	MTIOC1A (入出力)	PA5	○	×	×	○
	MTIOC1B (入出力)	PA4	○	×		
	MTIOC2A (入出力)	PA3	○	○	×	○
	MTIOC2B (入出力)	PA2	○	○		
	MTIOC3A (入出力) / MTIOC3A# (入出力)	P11	○	○	○	○
		P33	○	×	×	×
	MTIOC3B (入出力) / MTIOC3B# (入出力)	P71	○	○	○	○
	MTIOC3C (入出力)	P32	○	×		
	MTIOC3D (入出力) / MTIOC3D# (入出力)	P74	○	○	○	○
	MTIOC4A (入出力) / MTIOC4A# (入出力)	P72	○	○	○	○
	MTIOC4B (入出力) / MTIOC4B# (入出力)	P73	○	○	○	○
	MTIOC4C (入出力) / MTIOC4C# (入出力)	P75	○	○	○	○
	MTIOC4D (入出力) / MTIOC4D# (入出力)	P76	○	○	○	○
	MTIC5U (入力)	P24	○	○		
	MTIC5V (入力)	P23	○	○		
	MTIC5W (入力)	P22	○	○	○	×
	MTIOC6B (入出力) / MTIOC6B# (入出力)	P95			○	×
	MTIOC6D (入出力) / MTIOC6D# (入出力)	P92			○	×
	MTIOC7A (入出力) / MTIOC7A# (入出力)	P94			○	○
	MTIOC7B (入出力) / MTIOC7B# (入出力)	P93			○	×
	MTIOC7C (入出力) / MTIOC7C# (入出力)	P91			○	×
	MTIOC7D (入出力) / MTIOC7D# (入出力)	P90			○	×
	MTIOC9A (入出力) / MTIOC9A# (入出力)	P00			○	○
		P21			○	×
		PD7			○	○
	MTIOC9B (入出力)	P22			○	×
	MTIOC9B (入出力) / MTIOC9B (入出力)#	P10			×	○

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)		RX66T(MPC)	
			64 ピン	48 ピン	64 ピン	48 ピン
マルチ ファンクション タイマ ユニット 3	MTIOC9C (入出力)/ MTIOC9C# (入出力)	P01			○	×
		P20			○	×
		PD6			○	×
	MTIOC9D(入出力)	P11			○	○
	MTCLKA (入力)/ MTCLKA# (入力)	P21	×	×	○	×
		P33	○	×	×	×
	MTCLKB (入力)/ MTCLKB# (入力)	P20	×	×	○	×
		P32	○	×	×	×
	MTCLKC (入力)/ MTCLKC# (入力)	P11	○	○	○	○
		P31	○	×	×	×
	MTCLKD (入力)/ MTCLKD# (入力)	P10	○	○	×	○
		P22	×	×	○	×
		P30	○	×	×	×
	ADSM0 (出力)	PB2	○	○	○	○
	ADSM1 (出力)	PB1			○	○
8 ビットタイマ	TMO0 (出力)	PB0	×	×	○	○
		PD3	○	○	○	○
	TMCI0 (入力)	PB1	×	×	○	○
		PD4	○	○	○	×
	TMRI0 (入力)	PB2	×	×	○	○
		PD5	○	○	○	○
	TMO1 (出力)	P94	○	○	×	×
		PD6	○	○	○	×
	TMCI1 (入力)	P92	○	×		
	TMRI1 (入力)	P93	○	○	×	×
		PD7	○	×	○	○
	TMO2 (出力)	P23	○	○		
	TMCI2 (入力)	P24	○	○		
	TMRI2 (入力)	P22	○	○	○	×
	TMO3 (出力)	P11	○	○	○	○
	TMCI3 (入力)	PA5	○	×	×	○
	TMRI3 (入力)	P10	○	○	×	○
	TMO4 (出力)	P22			○	×
	TMCI4 (入力)	P21			○	×
	TMRI4 (入力)	P20			○	×
	TMRI5 (入力)	PD7			○	○
	TMCI6 (入力)	PD4			○	×
	TMRI6 (入力)	PD5			○	○
	TMRI7 (入力)	PA3			×	○
	POE0# (入力)	P70	○	○	○	×
	POE4# (入力)	P96			○	×
	POE8# (入力)	PB4	○	○	○	○
	POE9# (入力)	P11			○	○
	POE10# (入力)	PE2	○	○	○	○
	POE12# (入力)	P01			○	×
	POE12# (入力)	P10			×	○

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)		RX66T(MPC)	
			64 ピン	48 ピン	64 ピン	48 ピン
シリアル コミュニケー ション インタフェース	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	PD5	○	○	○	○
	TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	PD3	○	○	○	○
	SCK1 (入出力)	PD4	○	○	○	×
	CTS1# (入力) / RTS1# (出力) / SS1# (入力)	P02	○	×	×	×
		PD6	○	○	○	×
	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力)	PB1	○	○	×	×
		PB6	○	○	○	○
	TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力)	PB2	○	○	×	×
		PB5	○	○	○	○
		PD7	×	×	○	○
	SCK5 (入出力)	P93	○	○		
		PB3	○	○		
		PB7	○	×		
	CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PA2	○	○	×	×
		PB4	×	×	○	○
	RXD6 (入力) / SMISO6 (入出力) / SSCL6 (入出力)	PA5			×	○
		PB1			○	○
	TXD6 (出力) / SMOSI6 (入出力) / SSDA6 (入出力)	PB0			○	○
		PB2			○	○
	SCK6 (入出力)	PB3			○	○
	RXD8 (入力) / SMISO8 (入出力) / SSCL8 (入出力)	P22			○	×
	TXD8 (出力) / SMOSI8 (入出力) / SSDA8 (入出力)	P21			○	×
	SCK8 (入出力)	P20			○	×
	CTS8# (入力) / RTS8# (出力) / SS8# (入力)	P20			○	×
		P96			○	×
	RXD9 (入力) / SMISO9 (入出力) / SSCL9 (入出力)	P00			○	○
	TXD9 (出力) / SMOSI9 (入出力) / SSDA9 (入出力)	P01			○	×
		PA3			×	○
	CTS9# (入力) / RTS9# (出力) / SS9# (入力)	P70			○	×
	RXD11 (入力) / SMISO11 (入出力) / SSCL11 (入出力)	PB6			○	○
		PD5			○	○

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)		RX66T(MPC)	
			64 ピン	48 ピン	64 ピン	48 ピン
シリアル コミュニケー ション インタフェース	TXD11 (出力) / SMOSI11 (入出力) / SSDA11 (入出力)	PB5			○	○
		PD3			○	○
	SCK11 (入出力)	PB4			○	○
		PD4			○	×
	CTS11# (入力) / RTS11# (出力) / SS11# (入力)	PB0			○	○
		PB4			○	○
		PD6			○	×
	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	P00			○	○
		P22			○	×
		PB6			○	○
	TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	P01			○	×
		P21			○	×
		PB5			○	○
I ² C バス インタフェース	SCL0 (入出力)	PB1	○	○	○	○
	SDA0 (入出力)	PB2	○	○	○	○
シリアル ペリフェラル インタフェース	RSPCKA (入出力)	P20	×	×	○	×
		P24	○	○	×	×
		P93	○	○	×	×
		PA4	○	×	×	×
		PB3	○	○	○	○
	MOSIA (入出力)	P21	×	×	○	×
		P23	○	○	×	×
		PB0	○	○	○	○
	MISOA (入出力)	P22	○	○	○	×
		P94	○	○	×	×
		PA5	○	×	×	○
	SSLA0 (入出力)	P30	○	×	×	×
		PA3	○	○	×	○
		PD6	○	○	○	×
	SSLA1 (出力)	P31	○	×	×	×
		PA2	○	○	×	×
		PD7	○	×	○	○
	SSLA2 (出力)	P32	○	×		
		P92	○	×		
	SSLA3 (出力)	P33	○	×		
		P91	○	×		
12 ビット A/D コンバータ	AN000 (入力) (注1)	P40	○	○	○	○
	AN001 (入力) (注1)	P41	○	○	○	○
	AN002 (入力) (注1)	P42	○	○	○	○
	AN003 (入力)	P43	○	○	×	○
	AN004 (入力)	P44	○	○		
	AN005 (入力)	P45	○	○		
	AN006 (入力)	P46	○	○		
	AN007 (入力) (注1)	P47	○	○	×	×
		PH0	×	×	○	×
	AN016 (入力)	P11	○	○		
	AN017 (入力)	P10	○	○		

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)		RX66T(MPC)	
			64 ピン	48 ピン	64 ピン	48 ピン
12 ビット A/D コンバータ	ADTRG0# (入力)	P20	×	×	○	×
		PA4	○	×	×	×
	ADST0 (出力)	P02	○	×	×	×
		PD6	○	○	○	×
	PGAVSS0 (入力) (注1)	PH0			○	×
	AN100 (入力) (注1)	P44			○	○
	AN101 (入力) (注1)	P45			○	×
	AN102 (入力) (注1)	P46			○	×
	AN107 (入力) (注1)	PH4			○	×
	ADTRG1# (入力)	P21			○	×
	ADTRG1# (入力)	PA5			×	○
	ADST1 (出力)	P00			○	○
	PGAVSS1 (入力) (注1)	PH4			○	×
	AN200 (入力) (注1)	P52			○	×
	AN201 (入力) (注1)	P53			○	×
	AN202 (入力) (注1)	P54			○	×
	AN208 (入力) (注1)	P62			×	○
	AN210 (入力) (注1)	P64			○	○
	AN211 (入力) (注1)	P65			○	○
	AN216 (入力) (注1)	P20			○	×
	AN217 (入力) (注1)	P21			○	×
	ADTRG2# (入力)	P22			○	×
		PB0			○	○
	ADST2 (出力)	P01			○	×
クロック 周波数精度 測定回路	CACREF (入力)	P00	×	×	○	○
		P01	○	×	×	×
		P23	○	○	×	×
		PB3	○	○	○	○
コンパレータ	CMPC00 (入力) (注1)	P40	○	○	○	○
	CMPC01 (入力) (注1)	P40	×	×	○	○
		P43	○	○	×	×
	CMPC02 (入力) (注1)	P46	○	○	×	×
		P52	×	×	○	×
	CMPC10 (入力) (注1)	P41	○	○	○	○
	CMPC11 (入力) (注1)	P41	×	×	○	○
		P44	○	○	×	×
	CMPC12 (入力) (注1)	P47	○	○	×	×
		P53	×	×	○	×
	CMPC20 (入力) (注1)	P42	○	○	○	○
	CMPC21 (入力) (注1)	P42	×	×	○	○
		P45	○	○	×	×
	CMPC22 (入力) (注1)	P47	○	○	×	×
		P54	×	×	○	×
	CMPC30 (入力) (注1)	P44			○	○
	CMPC31 (入力) (注1)	P44			○	○
	CMPC33 (入力) (注1)	P64			○	○
	CMPC40 (入力) (注1)	P45			○	×
	CMPC41 (入力) (注1)	P45			○	×
	CMPC43 (入力) (注1)	P62			×	○
	CMPC50 (入力) (注1)	P46			○	×

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)		RX66T(MPC)	
			64 ピン	48 ピン	64 ピン	48 ピン
コンパレータ	CMPC51 (入力) (注1)	P46			○	×
	CMPC53 (入力) (注1)	P65			○	○
	COMP0 (出力)	P00	×	×	○	○
		P24	○	○	×	×
	COMP1 (出力)	P01	×	×	○	×
		P23	○	○	×	×
	COMP2 (出力)	P22	○	○	○	×
	COMP4 (出力)	P20			○	×
	COMP5 (出力)	P21			○	×
	CVREFC0 (入力) (注1)	P11	○	○		
	CVREFC1 (入力) (注1)	P10	○	○		
汎用 PWM タイマ	GTIOC0A (入出力)/ GTIOC0A# (入出力)	P71			○	○
		PD7			○	○
	GTIOC0B (入出力)/ GTIOC0B# (入出力)	P74			○	○
		PD6			○	×
	GTIOC1A (入出力)/ GTIOC1A# (入出力)	P72			○	○
		PD5			○	○
	GTIOC1B (入出力)/ GTIOC1B# (入出力)	P75			○	○
		PD4			○	×
	GTIOC2A (入出力)/ GTIOC2A# (入出力)	P73			○	○
		PB6			○	○
		PD3			○	○
	GTIOC2B (入出力)/ GTIOC2B# (入出力)	P76			○	○
		PB5			○	○
		PD7			○	×
	GTIOC3A (入出力)/ GTIOC3A# (入出力)	PD7			○	○
	GTIOC3B (入出力)/ GTIOC3B# (入出力)	P11			○	○
		PD6			○	×
	GTIOC4A (入出力)/ GTIOC4A# (入出力)	P71			○	○
		P95			○	×
	GTIOC4B (入出力)/ GTIOC4B# (入出力)	P74			○	○
		P92			○	×
	GTIOC5A (入出力)/ GTIOC5A# (入出力)	P72			○	○
		P94			○	○
	GTIOC5B (入出力)/ GTIOC5B# (入出力)	P75			○	○
		P91			○	×
	GTIOC6A (入出力)/ GTIOC6A# (入出力)	P73			○	○
		P93			○	×
	GTIOC6B (入出力)/ GTIOC6B# (入出力)	P76			○	○
		P90			○	×
	GTIOC7A (入出力)/ GTIOC7A# (入出力)	P95			○	×
	GTIOC7B (入出力)/ GTIOC7B# (入出力)	P92			○	×
	GTIOC8A (入出力)/ GTIOC8A# (入出力)	P94			○	○
	GTIOC8B (入出力)/ GTIOC8B# (入出力)	P91			○	×

モジュール/ 機能	端子機能	割り当て ポート	RX23T(MPC)		RX66T(MPC)	
			64 ピン	48 ピン	64 ピン	48 ピン
汎用 PWM タイマ	GTIOC9A (入出力)/ GTIOC9A# (入出力)	P93			○	×
	GTIOC9B (入出力)/ GTIOC9B# (入出力)	P90			○	×
	GTETRGA (入力)	P01			○	×
		P11			○	○
		P70			○	×
		P96			○	×
		PB4			○	○
		PD5			○	○
	GTETRGB (入力)	P01			○	×
		P10			○	×
		P70			○	×
		P96			○	×
		PB4			○	○
	GTETRGB (入力)	PD4			○	×
	GTETRGC (入力)	P01			○	×
		P11			○	○
		P70			○	×
		P96			○	×
		PB4			○	○
		PD3			○	○
	GTETRGD (入力)	P01			○	×
		P10			×	○
		P70			○	×
		P96			○	×
		PB4			○	○
	GTADSM0 (出力)	PA3			×	○
		PB2			○	○
	GTADSM1 (出力)	PB1			○	○
CAN モジュール	CTX0 (出力)	PB5			○	○
		PD7			○	○
	CRX0 (入力)	P22			○	×
		PB6			○	○
12 ビット D/A コンバータ	DA0 (出力) (注 1)	P64			○	○
	DA1 (出力) (注 1)	P65			○	○

注 1. RX66T グループでは、この端子を使用する場合は、該当端子の設定を汎用入力にしてください
(PORTm.PDR.Bn ビットおよび PORTm.PMR.Bn ビットに “0” を設定)。

表 2.33 P0n 端子機能制御レジスタ (P0nPFS) の比較

レジスタ	ビット	RX23T (n = 0~2)	RX66T (n = 0, 1)
P00PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00111b : CACREF	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC9A 000011b : MTIOC9A# 000111b : CACREF 001001b : ADST1 001010b : RXD9/SMISO9/SSCL9 001100b : RXD12/SMISO12/SSCL12/ RXDX12 011110b : COMP0
P01PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 01001b : ADST0 01010b : CTS1#/RTS1#/SS1#	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC9C 000011b : MTIOC9C# 000111b : POE12# 001001b : ADST2 001010b : TXD9/SMOSI9/SSDA9 001100b : TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12 010100b : GTETRGA 010101b : GTETRGB 010110b : GTETRGC 010111b : GTETRGD 011110b : COMP1
P02PFS	—	P02 端子機能選択レジスタ	—
P0nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P00: IRQ2 (64 ピン) P01: IRQ4 (64 ピン) P02: IRQ5 (64/52 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P00 : IRQ2 (64/80/100/112/144 ピン) P01 : IRQ4 (64/80/100/112/144 ピン)

表 2.34 P1n 端子機能制御レジスタ (P1nPFS) の比較

レジスタ	ビット	RX23T (n = 0, 1)	RX66T (n = 0~7)
P10PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00010b : MTCLKD 00101b : TMRI3	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC9B 000010b : MTCLKD 000011b : MTIOC9B# 000100b : MTCLKD# 000101b : TMRI3 000111b : POE12# 001010b : CTS6#/RTS6#/SS6# 010101b : GTETRGB 010111b : GTETRGD
P11PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKC 00101b : TMO3	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC3A 000010b : MTCLKC 000011b : MTIOC3A# 000100b : MTCLKC# 000101b : TMO3 000111b : POE9# 001000b : MTIOC9D 010100b : GTIOC3B 010101b : GTETRGA 010110b : GTIOC3B# 010111b : GTETRGC
P12PFS	—	—	P12 端子機能選択レジスタ
P13PFS	—	—	P13 端子機能選択レジスタ
P14PFS	—	—	P14 端子機能選択レジスタ
P15PFS	—	—	P15 端子機能選択レジスタ
P16PFS	—	—	P16 端子機能選択レジスタ
P17PFS	—	—	P17 端子機能選択レジスタ
P1nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P10: IRQ0 (64/52/48 ピン) P11: IRQ1 (64/52/48 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P10 : IRQ0-DS (80/100/112/144 ピン) P11 : IRQ1-DS (64/80/100/112/144 ピン) P12 : IRQ9 (112/144 ピン) P13 : IRQ10 (112/144 ピン) P14 : IRQ11 (112/144 ピン) P15 : IRQ12 (112/144 ピン) P16 : IRQ13 (112/144 ピン) P17 : IRQ14 (112/144 ピン)
	ASEL	アナログ入力機能選択ビット	—

表 2.35 P2n 端子機能制御レジスタ (P2nPFS) の比較

レジスタ	ビット	RX23T (n = 2~4)	RX66T (n = 0~7)
P20PFS	—	—	P20 端子機能制御レジスタ
P21PFS	—	—	P21 端子機能制御レジスタ
P22PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIC5W 00101b : TMR12 01101b : MISOA 11110b : COMP2	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIC5W 000010b : MTCLKD 000011b : MTIC5W# 000100b : MTCLKD# 000101b : TMR12 000110b : TMO4 001000b : MTIOC9B 001001b : ADTRG2# 001010b : RXD8/SMISO8/SSCL8 001100b : RXD12/SMISO12/SSCL12/ RXDX12 001101b : MISOA 010000b : CRX0 011110b : COMP2
P23PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIC5V 00101b : TMO2 00111b : CACREF 01101b : MOSIA 11110b : COMP1	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIC5V 000011b : MTIC5V# 000101b : TMO2 000111b : CACREF 001010b : TXD8/SMOSI8/SSDA8 001100b : TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12 001101b : MOSIA 010000b : CTX0 011110b : COMP1
P24PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIC5U 00101b : TMC12 01101b : RSPCKA 11110b : COMP0	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIC5U 000011b : MTIC5U# 000101b : TMC12 000110b : TMO6 001010b : CTS8#/RTS8#/SS8# 001011b : SCK8 001101b : RSPCKA 011110b : COMP0
P25PFS	—	—	P25 端子機能制御レジスタ
P26PFS	—	—	P26 端子機能制御レジスタ
P27PFS	—	—	P27 端子機能制御レジスタ

レジスタ	ビット	RX23T (n = 2~4)	RX66T (n = 0~7)
P2nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P22: IRQ2 (64/52/48 ピン) P23: IRQ4 (64/52/48 ピン) P24: IRQ3 (64/52/48 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P20 : IRQ7-DS (64/80/100/112/144 ピン) P21 : IRQ6-DS (64/80/100/112/144 ピン) P22 : IRQ10 (64/80/100/112/144 ピン) P23 : IRQ11 (100/112/144 ピン) P24 : IRQ4 (100/112/144 ピン) P25 : IRQ10 (144 ピン) P26 : IRQ11 (144 ピン) P27 : IRQ15 (80/100 ^(注1) /112/144 ピン)
	ASEL	—	アナログ入力機能選択ビット

注 1. PGA 疑似差動入力あり製品のみ対応

表 2.36 P3n 端子機能制御レジスタ (P3nPFS) の比較

レジスタ	ビット	RX23T (n = 0~3)	RX66T (n = 0~5)
P30PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC0B 00010b : MTCLKD 01101b : SSLA0	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC0B 000010b : MTCLKD 000011b : MTIOC0B# 000100b : MTCLKD# 000101b : TMCi6 001010b : SCK8 001011b : CTS8#/RTS8#/SS8# 001101b : SSLA0 011110b : COMP3
P31PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC0A 00010b : MTCLKC 01101b : SSLA1	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC0A 000010b : MTCLKC 000011b : MTIOC0A# 000100b : MTCLKC# 000101b : TMRi6 001101b : SSLA1

レジスタ	ビット	RX23T (n = 0~3)	RX66T (n = 0~5)
P32PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC3C 00010b : MTCLKB 01101b : SSLA2	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC3C 000010b : MTCLKB 000011b : MTIOC3C# 000100b : MTCLKB# 000101b : TMO6 001101b : SSLA2 010100b : GTIOC3A 010110b : GTIOC3A#
P33PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKA 01101b : SSLA3	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC3A 000010b : MTCLKA 000011b : MTIOC3A# 000100b : MTCLKA# 000101b : TMO0 001101b : SSLA3 010100b : GTIOC3B 010110b : GTIOC3B#
P34PFS	—	—	P34 端子機能制御レジスタ
P35PFS	—	—	P35 端子機能制御レジスタ
P3nPFS	ISEL	—	割り込み入力機能選択ビット

表 2.37 P4n 端子機能制御レジスタ (P4nPFS) の比較

レジスタ	ビット	RX23T (n = 0~7)	RX66T (n = 0~7)
P4nPFS	ASEL	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40: AN000 (64/52/48 ピン) P41: AN001 (64/52/48 ピン) P42: AN002 (64/52/48 ピン) P43: AN003 (64/52/48 ピン) P44: AN004 (64/52/48 ピン) P45: AN005 (64/52/48 ピン) P46: AN006 (64/52/48 ピン) P47: AN007 (64/52/48 ピン)	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000, CMPC00, CMPC01 (64/80/100/112/144 ピン) P41 : AN001, CMPC10, CMPC11 (64/80/100/112/144 ピン) P42 : AN002, CMPC20, CMPC21 (64/80/100/112/144 ピン) P43 : AN003 (80/100/112/144 ピン) P44 : AN100, CMPC30, CMPC31 (64/80/100/112/144 ピン) P45 : AN101, CMPC40, CMPC41 (64/80/100/112/144 ピン) P46 : AN102, CMPC50, CMPC51 (64/80/100/112/144 ピン) P47 : AN103 (80/100/112/144 ピン)

表 2.38 P5n 端子機能制御レジスタ (P5nPFS) の比較

レジスタ	ビット	RX23T	RX66T
P5nPFS	—	—	P5n 端子機能制御レジスタ (n = 0~5)

表 2.39 P6n 端子機能制御レジスタ (P6nPFS) の比較

レジスタ	ビット	RX23T	RX66T
P6nPFS	—	—	P6n 端子機能制御レジスタ (n = 0~5)

表 2.40 P7n 端子機能制御レジスタ (P7nPFS) の比較

レジスタ	ビット	RX23T (n = 0~6)	RX66T (n = 0~6)
P70PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00111b : POE0#	端子機能選択ビット b5 b0 000000b : Hi-Z 000111b : POE0# 001010b : CTS9#/RTS9#/SS9# 010100b : GTETRGA 010101b : GTETRGA 010110b : GTETRGA 010111b : GTETRGA
P71PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC3B	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC3B 000011b : MTIOC3B# 010100b : GTIOC0A 010101b : GTIOC0A 010110b : GTIOC0A# 010111b : GTIOC0A#
P72PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC4A	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC4A 000011b : MTIOC4A# 010100b : GTIOC1A 010101b : GTIOC1A 010110b : GTIOC1A# 010111b : GTIOC1A#

レジスタ	ビット	RX23T (n = 0~6)	RX66T (n = 0~6)
P73PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC4B	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC4B 000011b : MTIOC4B# 010100b : GTIOC2A 010101b : GTIOC6A 010110b : GTIOC2A# 010111b : GTIOC6A#
P74PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC3D	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC3D 000011b : MTIOC3D# 010100b : GTIOC0B 010101b : GTIOC4B 010110b : GTIOC0B# 010111b : GTIOC4B#
P75PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC4C	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC4C 000011b : MTIOC4C# 010100b : GTIOC1B 010101b : GTIOC5B 010110b : GTIOC1B# 010111b : GTIOC5B#
P76PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC4D	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC4D 000011b : MTIOC4D# 010100b : GTIOC2B 010101b : GTIOC6B 010110b : GTIOC2B# 010111b : GTIOC6B#
P7nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P70: IRQ5 (64/52/48 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P70 : IRQ5-DS (64/80/100/112/144 ピン)

表 2.41 P8n 端子機能制御レジスタ (P8nPFS) の比較

レジスタ	ビット	RX23T	RX66T
P8nPFS	—	—	P8n 端子機能制御レジスタ (n = 0~2)

表 2.42 P9n 端子機能制御レジスタ (P9nPFS) の比較

レジスタ	ビット	RX23T (n = 1~4)	RX66T (n = 0~6)
P90PFS	—	—	P90 端子機能制御レジスタ
P91PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 01101b : SSLA3	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC7C 000011b : MTIOC7C# 010100b : GTIOC5B 010101b : GTIOC8B 010110b : GTIOC5B# 010111b : GTIOC8B#
P92PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00101b : TMC11 01101b : SSLA2	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC6D 000011b : MTIOC6D# 010100b : GTIOC4B 010101b : GTIOC7B 010110b : GTIOC4B# 010111b : GTIOC7B#
P93PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC0B 00101b : TMRI1 01010b : SCK5 01101b : RSPCKA	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC7B 000011b : MTIOC7B# 010100b : GTIOC6A 010101b : GTIOC9A 010110b : GTIOC6A# 010111b : GTIOC9A#
P94PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC0C 00101b : TMO1 01101b : MISOA	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC7A 000011b : MTIOC7A# 010100b : GTIOC5A 010101b : GTIOC8A 010110b : GTIOC5A# 010111b : GTIOC8A#
P95PFS	—	—	P95 端子機能制御レジスタ
P96PFS	—	—	P96 端子機能制御レジスタ

レジスタ	ビット	RX23T (n = 1~4)	RX66T (n = 0~6)
P9nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P93: IRQ0 (64/52/48 ピン) P94: IRQ1 (64/52/48 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P96 : IRQ4-DS (64/80/100/112/144 ピン)

表 2.43 PAn 端子機能制御レジスタ(PAnPFS)の比較

レジスタ	ビット	RX23T (n = 2~5)	RX66T (n = 0~7)
PA0PFS	—	—	PA0 端子機能制御レジスタ
PA1PFS	—	—	PA1 端子機能制御レジスタ
PA2PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC2B 01010b : CTS5#/RTS5#/SS5# 01101b : SSLA1	端子機能選択ビット b5 b0 00000b : Hi-Z 000001b : MTIOC2B 000011b : MTIOC2B# 000101b : TMO7 001010b : CTS6#/RTS6#/SS6# 001011b : RXD9/SMISO9/SSCL9 001100b : SCK11 001101b : SSLA1 010100b : GTADSM1
PA3PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC2A 01101b : SSLA0	端子機能選択ビット b5 b0 00000b : Hi-Z 000001b : MTIOC2A 000011b : MTIOC2A# 000101b : TMR17 001010b : TXD9/SMOSI9/SSDA9 001011b : SCK8 001101b : SSLA0 010100b : GTADSM0
PA4PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC1B 01001b : ADTRG0# 01101b : RSPCKA	端子機能選択ビット b5 b0 00000b : Hi-Z 000001b : MTIOC1B 000011b : MTIOC1B# 000101b : TMC17 001001b : ADTRG0# 001010b : SCK6 001011b : TXD8/SMOSI8/SSDA8 001101b : RSPCKA

レジスタ	ビット	RX23T (n = 2~5)	RX66T (n = 0~7)
PA5PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC1A 00101b : TMCi3 01101b : MISOA	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC1A 000011b : MTIOC1A# 000101b : TMCi3 001001b : ADTRG1# 001010b : RXD6/SMISO6/SSCL6 001011b : RXD8/SMISO8/SSCL8 001101b : MISOA
PA6PFS	—	—	PA6 端子機能制御レジスタ
PA7PFS	—	—	PA7 端子機能制御レジスタ
PAnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PA2: IRQ4 (64/52/48 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PA1 : IRQ14-DS (100/112/144 ピン) PA5 : IRQ1 (80/100/112/144 ピン) PA6 : IRQ7 (144 ピン)

表 2.44 PBn 端子機能制御レジスタ(PBnPFS)の比較

レジスタ	ビット	RX23T (n = 0~7)	RX66T (n = 0~7)
PB0PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC0D 01101b : MOSIA	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC0D 000011b : MTIOC0D# 000101b : TMO0 001001b : ADTRG2# 001010b : TXD6/SMOSI6/SSDA6 001011b : CTS11#/RTS11#/SS11# 001101b : MOSIA
PB1PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC0C 01010b : RXD5/SMISO5/SSCL5 01111b : SDA0	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC0C 000011b : MTIOC0C# 000101b : TMCi0 001001b : ADSM1 001010b : RXD6/SMISO6/SSCL6 001111b : SCL0 010100b : GTADSM1

レジスタ	ビット	RX23T (n = 0~7)	RX66T (n = 0~7)
PB2PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC0B 01001b : ADSTM0 01010b : TXD5/SMOSI5/SSDA5 01111b : SDA0	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC0B 000011b : MTIOC0B# 000101b : TMRI0 001001b : ADSTM0 001010b : TXD6/SMOSI6/SSDA6 001111b : SDA0 010100b : GTADSTM0
PB3PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00001b : MTIOC0A 00111b : CACREF 01010b : SCK5 01101b : RSPCKA	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC0A 000011b : MTIOC0A# 000111b : CACREF 001010b : SCK6 001101b : RSPCKA
PB4PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00111b : POE8#	端子機能選択ビット b5 b0 000000b : Hi-Z 000111b : POE8# 001010b : CTS5#/RTS5#/SS5# 001011b : SCK11 001100b : CTS11#/RTS11#/SS11# 010001b : USB0_OVRCURB 010100b : GTETRGA 010101b : GTETRGA 010110b : GTETRGC 010111b : GTETRGD
PB5PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 01010b : TXD5/SMOSI5/SSDA5	端子機能選択ビット b5 b0 000000b : Hi-Z 001010b : TXD5/SMOSI5/SSDA5 001011b : TXD11/SMOSI11/SSDA11 001100b : TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12 010000b : CTX0 010001b : USB0_VBUSEN 010100b : GTIOC2B 010110b : GTIOC2B#

レジスタ	ビット	RX23T (n = 0~7)	RX66T (n = 0~7)
PB6PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 01010b : RXD5/SMISO5/SSCL5	端子機能選択ビット b5 b0 000000b : Hi-Z 001010b : RXD5/SMISO5/SSCL5 001011b : RXD11/SMISO11/SSCL11 001100b : RXD12/SMISO12/SSCL12/ RXDX12 010000b : CRX0 010001b : USB0_OVRCURA 010100b : GTIOC2A 010110b : GTIOC2A#
PB7PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 01010b : SCK5	端子機能選択ビット b5 b0 000000b : Hi-Z 001010b : SCK5 001011b : SCK11 001100b : SCK12 010001b : USB0_OVRCURB 010100b : GTIOC1B 010110b : GTIOC1B#
PBnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PB1: IRQ2 (64/52/48 ピン) PB4: IRQ3 (64/52/48 ピン) PB6: IRQ5 (64/52/48 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PB0 : IRQ8 (64/80/100/112/144 ピン) PB1 : IRQ4 (64/80/100/112/144 ピン) PB3 : IRQ9 (64/80/100/112/144 ピン) PB4 : IRQ3-DS (64/80/100/112/144 ピン) PB6 : IRQ2 (64/80/100/112/144 ピン)

表 2.45 PCn 端子機能制御レジスタ(PCnPFS)の比較

レジスタ	ビット	RX23T	RX66T
PCnPFS	—	—	PCn 端子機能制御レジスタ (n = 0~6)

表 2.46 PDn 端子機能制御レジスタ(PDnPFS)の比較

レジスタ	ビット	RX23T (n = 3~7)	RX66T (n = 0~7)
PD0PFS	—	—	PD0 端子機能制御レジスタ
PD1PFS	—	—	PD1 端子機能制御レジスタ
PD2PFS	—	—	PD2 端子機能制御レジスタ

レジスタ	ビット	RX23T (n = 3~7)	RX66T (n = 0~7)
PD3PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00101b : TMO0 01010b : TXD1/SMOSI1/SSDA1	端子機能選択ビット b5 b0 000000b : Hi-Z 000101b : TMO0 001010b : TXD1/SMOSI1/SSDA1 001011b : TXD11/SMOSI11/SSDA11 010100b : GTIOC2A 010101b : GTETRGC 010110b : GTIOC2A#
PD4PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00101b : TMCIO 01010b : SCK1	端子機能選択ビット b5 b0 000000b : Hi-Z 000101b : TMCIO 000110b : TMCIO6 001010b : SCK1 001011b : SCK11 010100b : GTIOC1B 010101b : GTETRGA 010110b : GTIOC1B#
PD5PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00101b : TMRIO 01010b : RXD1/SMISO1/SSCL1	端子機能選択ビット b5 b0 000000b : Hi-Z 000101b : TMRIO 000110b : TMRIO6 001010b : RXD1/SMISO1/SSCL1 001011b : RXD11/SMISO11/SSCL11 010100b : GTIOC1A 010101b : GTETRGA 010110b : GTIOC1A#
PD6PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00101b : TMO1 01001b : ADST0 01010b : CTS1#/RTS1#/SS1# 01101b : SSLA0	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC9C 000011b : MTIOC9C# 000101b : TMO1 001001b : ADST0 001010b : CTS1#/RTS1#/SS1# 001011b : CTS11#/RTS11#/SS11# 001101b : SSLA0 010100b : GTIOC0B 010101b : GTIOC3B 010110b : GTIOC0B# 010111b : GTIOC3B#

レジスタ	ビット	RX23T (n = 3~7)	RX66T (n = 0~7)
PD7PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00101b : TMR11 01101b : SSLA1	端子機能選択ビット b5 b0 000000b : Hi-Z 000001b : MTIOC9A 000011b : MTIOC9A# 000101b : TMR11 000110b : TMR15 001010b : TXD5/SMOSI5/SSDA5 001101b : SSLA1 010000b : CTX0 010100b : GTIOC0A 010101b : GTIOC3A 010110b : GTIOC0A# 010111b : GTIOC3A#
PDnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PD4: IRQ2 (64/52/48 ピン) PD5: IRQ3 (64/52/48 ピン) PD6: IRQ5 (64/52/48 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PD4 : IRQ2 (64/80/100/112/144 ピン) PD5 : IRQ6 (64/80/100/112/144 ピン) PD6 : IRQ5 (64/80/100/112/144 ピン) PD7 : IRQ8 (64/80/100/112/144 ピン)

表 2.47 PEn 端子機能制御レジスタ(PEnPFS)の比較

レジスタ	ビット	RX23T (n = 2)	RX66T (n = 0~6)
PE0PFS	—	—	PE0 端子機能制御レジスタ
PE1PFS	—	—	PE1 端子機能制御レジスタ
PE2PFS	PSEL[4:0] (RX23T) PSEL[5:0] (RX66T)	端子機能選択ビット b4 b0 00000b : Hi-Z 00111b : POE10#	端子機能選択ビット b5 b0 000000b : Hi-Z 000111b : POE10#
PE3PFS	—	—	PE3 端子機能制御レジスタ
PE4PFS	—	—	PE4 端子機能制御レジスタ
PE5PFS	—	—	PE5 端子機能制御レジスタ
PE6PFS	—	—	PE6 端子機能制御レジスタ
PEnPFS	ISEL	—	割り込み入力機能選択ビット

表 2.48 PFn 端子機能制御レジスタ(PFnPFS)の比較

レジスタ	ビット	RX23T	RX66T
PFnPFS	—	—	PFn 端子機能制御レジスタ (n = 0~3)

表 2.49 PGn 端子機能制御レジスタ(PGnPFS)の比較

レジスタ	ビット	RX23T	RX66T
PGnPFS	—	—	PGn 端子機能制御レジスタ (n = 0~2)

表 2.50 PHn 端子機能制御レジスタ (PHnPFS) の比較

レジスタ	ビット	RX23T	RX66T
PHnPFS	—	—	PHn 端子機能制御レジスタ (n = 0~7)

表 2.51 PKn 端子機能制御レジスタ (PKnPFS) の比較

レジスタ	ビット	RX23T	RX66T
PKnPFS	—	—	PKn 端子機能制御レジスタ (n = 0~2)

表 2.52 マルチファンクションピンコントローラのレジスタ比較

レジスタ	ビット	RX23T(MPC)	RX66T(MPC)
PFCSE	—	—	CS 出力許可レジスタ
PFCSS0	—	—	CS 出力端子選択レジスタ 0
PFAOE0	—	—	アドレス出力許可レジスタ 0
PFAOE1	—	—	アドレス出力許可レジスタ 1
PFBCR0	—	—	外部バス制御レジスタ 0
PFBCR1	—	—	外部バス制御レジスタ 1
PFBCR2	—	—	外部バス制御レジスタ 2
PFBCR3	—	—	外部バス制御レジスタ 3
PFBCR4	—	—	外部バス制御レジスタ 4

2.15 マルチファンクションタイマパルスユニット 3

表 2.53 にマルチファンクションタイマパルスユニット 3 の概要比較を、表 2.54 にマルチファンクションタイマパルスユニット 3 のレジスタ比較を示します。

表 2.53 マルチファンクションタイマパルスユニット 3 の概要比較

項目	RX23T(MTU3c)	RX66T(MTU3d)
パルス入出力	最大 16 本	最大 28 本
パルス入力	3 本	3 本
カウントクロック	チャンネルごとに 11 種類 (MTU0 は 14 種類、MTU2 は 12 種類、MTU5 は 10 種類、MTU1 & MTU2(LWA = 1 のとき) は 4 種類)	チャンネルごとに 11 種類 (MTU0、MTU9 は 14 種類、MTU2 は 12 種類、MTU5 は 10 種類、MTU1 & MTU2 (LWA = 1 のとき)は 4 種類)
動作周波数	~40MHz	~160MHz
設定可能動作	【MTU0~MTU4】 - コンペアマッチによる波形出力 - インプットキャプチャ機能 (ノイズフィルタ設定可能) - カウンタクリア動作 - 複数のタイマカウンタ(TCNT)への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 12 相の PWM 出力	【MTU0~MTU4, MTU6, MTU7, MTU9】 - コンペアマッチによる波形出力 - インプットキャプチャ機能 (ノイズフィルタ設定可能) - カウンタクリア動作 - 複数のタイマカウンタ(TCNT)への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 14 相の PWM 出力
	【MTU0, MTU3, MTU4】 バッファ動作を設定可能	【MTU0, MTU3, MTU4, MTU6, MTU7, MTU9】 バッファ動作を設定可能
	【MTU1, MTU2】 - 独立に位相計数モードを設定可能 - MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能 (TMDR3.LWA = 1 設定時) - カスケード接続動作が可能	【MTU1, MTU2】 - 独立に位相計数モードを設定可能 - MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能 (TMDR3.LWA = 1 設定時) - カスケード接続動作が可能
	【MTU3, MTU4】 - MTU3/MTU4 の連動動作による相補 PWM、リセット PWM 動作で、6 相のポジ/ネガの出力が可能 - 相補 PWM モード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD)への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 - 相補 PWM モードでダブルバッファ機能を設定可能	【MTU3, MTU4, MTU6, MTU7】 - MTU3/MTU4、および MTU6/MTU7 の連動動作による相補 PWM、リセット同期 PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 - 相補 PWM モード時、タイマカウンタの山または谷のとき、またはバッファレジスタ (MTU4.TGRD, MTU7.TGRD)への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 - 相補 PWM モードでダブルバッファ機能を設定可能
	【MTU3, MTU4】 MTU0 と連動させて、相補 PWM、リセット PWM を用いた AC 同期モータ (ブラシレス DC モータ)駆動モードが設定可能で、2 種類(チョッピング、レベル)の波形出力が選択可能	【MTU3, MTU4】 MTU0 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ)駆動モードが設定可能で、2 種類(チョッピング、レベル)の波形出力が選択可能

項目	RX23T(MTU3c)	RX66T(MTU3d)
設定可能動作	【MTU5】 デッドタイム補償用カウンタとして使用することが可能	【MTU5】 デッドタイム補償用カウンタとして使用することが可能
	—	【MTU6, MTU7】 MTU9 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ(ブラシレス DC モータ)駆動モードが設定可能で、2 種類(チョッピング、レベル)の波形出力が選択可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山/谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能	相補 PWM モード時に、カウンタの山、谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	28 種類	45 種類
バッファ動作	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)
トリガ生成	A/D コンバータの変換開始トリガを生成可能	A/D コンバータの変換開始トリガを生成可能
	A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能	A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

表 2.54 マルチファンクションタイマパルスユニット 3 のレジスタ比較

レジスタ	ビット	RX23T(MTU3c)	RX66T(MTU3d)
TMDR2B	—	—	タイマモードレジスタ 2
TSYCR	—	—	タイマシンクロクリアレジスタ
TSTRA	CST9	—	カウンタスタート 9 ビット
TSTRB	—	—	タイマスタートレジスタ
TSYRA	SYNC9	—	タイマ同期 9 ビット
TSYRB	—	—	タイマシンクロレジスタ
TCSYSTR	SCH7	—	シンクロススタート 7 ビット
	SCH6	—	シンクロススタート 6 ビット
	SCH9	—	シンクロススタート 9 ビット
TRWERB	—	—	タイマリードライト イネーブルレジスタ
TOERB	—	—	タイマアウトプットマスタ イネーブルレジスタ
TOCR1B	—	—	タイマアウトプットコントロール レジスタ 1
TOCR2B	—	—	タイマアウトプットコントロール レジスタ 2
TGCRB	—	—	タイマゲートコントロール レジスタ
TCNTSB	—	—	タイマサブカウンタ
TCDRB	—	—	タイマ周期データレジスタ
TCBRB	—	—	タイマ周期バッファレジスタ
TDDRb	—	—	タイマデッドタイム データレジスタ
TDERB	—	—	タイマデッドタイム イネーブルレジスタ
TBTERB	—	—	タイマバッファ転送設定レジスタ
TWCRB	—	—	タイマ波形コントロールレジスタ
NFCRn	—	ノイズフィルタコントロール レジスタ n (n = 0~4, C)	ノイズフィルタコントロール レジスタ n (n = 0~4, 6, 7, 9, C)
TITMRB	—	—	タイマ割り込み間引きモード レジスタ
TITCR1B	—	—	タイマ割り込み間引き設定 レジスタ 1
TITCNT1B	—	—	タイマ割り込み間引き回数 カウンタ 1
TITCR2B	—	—	タイマ割り込み間引き設定 レジスタ 2
TITCNT2B	—	—	タイマ割り込み間引き回数 カウンタ 2

レジスタ	ビット	RX23T(MTU3c)	RX66T(MTU3d)
TADSTRGR0	TADSTRS0[4:0]	ADSM0 端子出力フレーム 同期信号生成用 A/D 変換開始 要求選択ビット b4 b0 0 0 0 0 : 要因非選択 0 0 0 1 : TRGA0N 0 0 0 1 0 : TRGA1N 0 0 0 1 1 : TRGA2N 0 0 1 0 0 : TRGA3N 0 0 1 0 1 : TRGA4N 0 1 0 0 0 : TRG0N 0 1 0 0 1 : TRG4AN 0 1 0 1 0 : TRG4BN 0 1 0 1 1 : TRG4AN または TRG4BN 0 1 1 0 0 : TRG4ABN	ADSM0 端子出力フレーム 同期信号生成用 A/D 変換開始 要求選択ビット b4 b0 0 0 0 0 : 要因非選択 0 0 0 1 : TRGA0N 0 0 0 1 0 : TRGA1N 0 0 0 1 1 : TRGA2N 0 0 1 0 0 : TRGA3N 0 0 1 0 1 : TRGA4N 0 0 1 1 0 : TRGA6N 0 0 1 1 1 : TRGA7N 0 1 0 0 0 : TRG0N 0 1 0 0 1 : TRG4AN 0 1 0 1 0 : TRG4BN 0 1 1 0 0 : TRG4ABN 0 1 1 0 1 : TRG7AN 0 1 1 1 0 : TRG7BN 1 0 0 0 0 : TRG7ABN 1 0 0 0 1 : TRGA9N 1 0 0 1 0 : TRG9N 1 0 0 1 1 : TRG9AEN 1 0 1 0 0 : TRG0AEN 1 0 1 0 1 : TRGA09N 1 0 1 1 0 : TRG09N
	TADSMEN0	—	ADSM0 端子出力許可ビット
TADSTRGR1	—	—	A/D 変換開始要求選択レジスタ 1

2.16 ポートアウトプットイネーブル 3

表 2.55 にポートアウトプットイネーブル 3 の概要比較を、表 2.56 にポートアウトプットイネーブル 3 レジスタ比較を示します。

表 2.55 ポートアウトプットイネーブル 3 の概要比較

項目	RX23T(POE3b)	RX66T(POE3B)
出力停止時の端子の状態	ハイインピーダンス	ハイインピーダンス 汎用入出力ポート
出力停止制御対象端子	MTU の出力端子 - MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) - MTU3 端子 (MTIOC3B, MTIOC3D) - MTU4 端子 (MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D)	• MTU の出力端子 - MTU0 端子(MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) - MTU3 端子(MTIOC3B, MTIOC3D) - MTU4 端子(MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) - MTU6 端子(MTIOC6B, MTIOC6D) - MTU7 端子(MTIOC7A, MTIOC7B, MTIOC7C, MTIOC7D) - MTU9 端子(MTIOC9A, MTIOC9B, MTIOC9C, MTIOC9D) • GPTW の出力端子 - GPTW0 端子(GTIOC0A, GTIOC0B) - GPTW1 端子(GTIOC1A, GTIOC1B) - GPTW2 端子(GTIOC2A, GTIOC2B) - GPTW3 端子(GTIOC3A, GTIOC3B) - GPTW4 端子(GTIOC4A, GTIOC4B) - GPTW5 端子(GTIOC5A, GTIOC5B) - GPTW6 端子(GTIOC6A, GTIOC6B) - GPTW7 端子(GTIOC7A, GTIOC7B) - GPTW8 端子(GTIOC8A, GTIOC8B) - GPTW9 端子(GTIOC9A, GTIOC9B)

項目	RX23T(POE3b)	RX66T(POE3B)
出力停止要求発生条件	- 入力端子の変化 : POE0#, POE8#, POE10#端子が入力されたとき - 出力端子の短絡 : 以下の組み合わせの出力信号レベル (アクティブレベル) が 1 サイクル以上一致 (短絡) したとき 【MTU 相補 PWM 出力端子】 - MTIOC3B と MTIOC3D - MTIOC4A と MTIOC4C - MTIOC4B と MTIOC4D - レジスタ設定をしたとき - クロック発生回路の発振停止を検出したとき - コンパレータ (CMPC) のコンパレータ検出をしたとき	- 入力端子の変化 : POE0#, POE4#, POE8#, POE9#, POE10#, POE11#, POE12#, POE13#, POE14#端子に信号が入力されたとき - 出力端子の短絡 : 以下の組み合わせの出力信号レベル(アクティブレベル)が 1 サイクル以上一致(短絡)したとき 【MTU 相補 PWM 出力端子】 - MTIOC3B と MTIOC3D - MTIOC4A と MTIOC4C - MTIOC4B と MTIOC4D - MTIOC6B と MTIOC6D - MTIOC7A と MTIOC7C - MTIOC7B と MTIOC7D 【GPTW 出力端子】 - GTIOC0A と GTIOC0B - GTIOC1A と GTIOC1B - GTIOC2A と GTIOC2B - GTIOC4A と GTIOC4B - GTIOC5A と GTIOC5B - GTIOC6A と GTIOC6B - GTIOC7A と GTIOC7B - GTIOC8A と GTIOC8B - GTIOC9A と GTIOC9B - SPOER レジスタを設定したとき - メインクロック発生回路の発振停止を検出したとき - コンパレータ C(CMPC)の出力を検出したとき
機能	- POE0#, POE8#, POE10#の各入力端子に立ち下がリエッジ、PCLK/8×16 回、PCLK/16×16 回、PCLK/128×16 回の Low サンプリングの設定が可能です。 - POE0#, POE8#, POE10#端子の立ち下がリエッジ、または Low サンプリングによって、MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンス状態にできます。 - クロック発生回路の発振停止を検出した場合、MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンス状態にできます。 - MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子をハイインピーダンス状態にできます。	- POE0#, POE4#, POE8#, POE9#, POE10#, POE11#, POE12#, POE13#, POE14#端子のそれぞれに立ち下がリエッジ検出または Low レベル検出の設定が可能です。Low レベル検出の場合、サンプリングクロックは PCLK/1, PCLK/2, PCLK/4, PCLK/8, PCLK/16, PCLK/128 から、サンプリング回数は 4 回, 8 回, 16 回から選択できます - POE0#, POE4#, POE8#, POE9#, POE10#, POE11#, POE12#, POE13#, POE14#端子への入力の立ち下がリエッジ検出、または Low レベル検出によって、すべての制御対象端子の出力を停止できます - クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力を停止できます - MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子の出力を停止できます

項目	RX23T(POE3b)	RX66T(POE3B)
機能	- コンパレータ (CMPC) のコンパレータ検出によって、MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンス状態にできます。 - POE のレジスタの設定により、MTU 相補 PWM 出力端子および MTU0 端子をハイインピーダンス状態にできます。 - 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。	- GPTW 出力端子(GPTW0~2、GPTW4~6、GPTW7~9 端子)の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、GPTW 出力端子の出力を停止できます - コンパレータ C (CMPC)出力の検出によって、すべての制御対象端子の出力を停止できます - POE のレジスタの設定により、すべての制御対象端子の出力を停止できます - 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です

表 2.56 ポートアウトプットイネーブル 3 レジスタ比較

レジスタ	ビット	RX23T(POE3b)	RX66T(POE3B)
ICSR1	POE0M[1:0](RX23T) POE0M[3:0](RX66T)	POE0 モード選択ビット b1 b0 0 0 : POE0#端子入力の立ち下が リエッジで要求を受け付け 0 1 : POE0#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受 け付け 1 0 : POE0#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべ て Low だった場合、要求を 受け付け 1 1 : POE0#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべ て Low だった場合、要求を 受け付け	POE0 モード選択ビット b3 b0 0 0 0 0 : POE0#端子入力の立ち下 がりエッジで要求を受け 付け 0 0 0 1 : POE0#端子入力のレベル を PCLK/8 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 0 : POE0#端子入力のレベル を PCLK/16 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 1 : POE0#端子入力のレベル を PCLK/128 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 0 0 : POE0#端子入力のレベル を PCLK でサンプリング し、指定回数連続で Low だった場合、要求を受け 付け 0 1 0 1 : POE0#端子入力のレベル を PCLK/2 でサンプリン グし、指定回数連続で Low だった場合、要求を 受け付け 0 1 1 0 : POE0#端子入力のレベル を PCLK/4 でサンプリン グし、指定回数連続で Low だった場合、要求を 受け付け 上記以外は設定しないでください
	POE0M2[3:0]	—	POE0 サンプリング回数選択ビット
ICSR2	—	—	入力レベルコントロール/ ステータスレジスタ 2

レジスタ	ビット	RX23T(POE3b)	RX66T(POE3B)
ICSR3	POE8M[1:0](RX23T) POE8M[3:0](RX66T)	POE8 モード選択ビット b1 b0 0 0 : POE8#端子入力の立ち下が リエッジで要求を受け付け 0 1 : POE8#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受 け付け 1 0 : POE8#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべ て Low だった場合、要求を 受け付け 1 1 : POE8#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべ て Low だった場合、要求を 受け付け	POE8 モード選択ビット b3 b0 0 0 0 0 : POE8#端子入力の立ち下 がりエッジで要求を受け 付け 0 0 0 1 : POE8#端子入力のレベル を PCLK/8 でサンプリン グし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 0 : POE8#端子入力のレベル を PCLK/16 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 0 1 1 : POE8#端子入力のレベル を PCLK/128 でサンプリ ングし、 指定回数連続 で Low だった場合、要求を 受け付け 0 1 0 0 : POE8#端子入力のレベル を PCLK でサンプリング し、指定回数連続で Low だった場合、要求を受け 付け 0 1 0 1 : POE8#端子入力のレベル を PCLK/2 でサンプリン グし、指定回数連続で Low だった場合、要求を 受け付け 0 1 1 0 : POE8#端子入力のレベル を PCLK/4 でサンプリン グし、指定回数連続で Low だった場合、要求を 受け付け 上記以外は設定しないでください
	POE8M2[3:0]	—	POE8 サンプリング回数選択ビット

レジスタ	ビット	RX23T(POE3b)	RX66T(POE3B)
ICSR4	POE10M[1:0](RX23T) POE10M[3:0](RX66T)	POE10 モード選択ビット b1 b0 0 0 : POE10#端子入力の立ち下がリエッジで要求を受け付け 0 1 : POE10#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0 : POE10#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1 : POE10#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	POE10 モード選択ビット b3 b0 0 0 0 0 : POE10#端子入力の立ち下がリエッジで要求を受け付け 0 0 0 1 : POE10#端子入力のレベルを PCLK/8 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 0 : POE10#端子入力のレベルを PCLK/16 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 0 1 1 : POE10#端子入力のレベルを PCLK/128 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 0 : POE10#端子入力のレベルを PCLK でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 0 1 : POE10#端子入力のレベルを PCLK/2 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 0 1 1 0 : POE10#端子入力のレベルを PCLK/4 でサンプリングし、指定回数連続で Low だった場合、要求を受け付け 上記以外は設定しないでください
	POE10M2[3:0]	—	POE10 サンプリング回数 選択ビット
ICSR5	—	—	入力レベルコントロール/ ステータスレジスタ 5
ICSR7	—	—	入力レベルコントロール/ ステータスレジスタ 7
ICSR8	—	—	入力レベルコントロール/ ステータスレジスタ 8
ICSR9	—	—	入力レベルコントロール/ ステータスレジスタ 9
ICSR10	—	—	入力レベルコントロール/ ステータスレジスタ 10
OCSR2	—	—	出力レベルコントロール/ ステータスレジスタ 2
OCSR3	—	—	出力レベルコントロール/ ステータスレジスタ 3
OCSR4	—	—	出力レベルコントロール/ ステータスレジスタ 4

レジスタ	ビット	RX23T(POE3b)	RX66T(POE3B)
OCSR5	—	—	出力レベルコントロール/ ステータスレジスタ 5
ALR2	—	—	アクティブレベルレジスタ 2
ALR3	—	—	アクティブレベルレジスタ 3
ALR4	—	—	アクティブレベルレジスタ 4
ALR5	—	—	アクティブレベルレジスタ 5
SPOER	MTUCH67HIZ	—	MTU6、MTU7 端子出力停止 許可ビット
	GPT01HIZ	—	GPTW0、GPTW1 端子出力停止 許可ビット
	GPT23HIZ	—	GPTW2、GPTW3 端子出力停止 許可ビット
	MTUCH9HIZ	—	MTU9 端子出力停止許可ビット
	GPT02HIZ	—	GPTW0~GPTW2 端子出力停止 許可ビット
	GPT46HIZ	—	GPTW4~GPTW6 端子出力停止 許可ビット
	GPT79HIZ	—	GPTW7~GPTW9 端子出力停止 許可ビット
POECR1	MTU0A1ZE	MTIOC0A P31 端子 ハイインピーダンス許可ビット	—
	MTU0B1ZE	MTIOC0B P30 端子 ハイインピーダンス許可ビット	—
	MTU0B2ZE	MTIOC0B P93 端子 ハイインピーダンス許可ビット	—
	MTU0C1ZE	MTIOC0C P94 端子 ハイインピーダンス許可ビット	—
POECR2	MTU7BDZE	—	MTIOC7B/MTIOC7D 端子 ハイインピーダンス許可ビット ^(注1)
	MTU7ACZE	—	MTIOC7A/MTIOC7C 端子 ハイインピーダンス許可ビット ^(注1)
	MTU6BDZE	—	MTIOC6B/MTIOC6D 端子 ハイインピーダンス許可ビット ^(注1)
POECR3	—	—	ポートアウトプットイネーブル コントロールレジスタ 3
POECR4	IC1ADDMT34ZE	—	MTU3、MTU4 出力停止条件 POE0F 追加ビット
	IC2ADDMT34ZE	—	MTU3、MTU4 出力停止条件 POE4F 追加ビット
	IC5ADDMT34ZE	—	MTU3、MTU4 出力停止条件 POE11F 追加ビット
	IC6ADDMT34ZE	—	MTU3、MTU4 出力停止条件 POE12F 追加ビット
	IC8ADDMT34ZE	—	MTU3、MTU4 出力停止条件 POE9F 追加ビット
	IC9ADDMT34ZE	—	MTU3、MTU4 出力停止条件 POE13F 追加ビット
	IC10ADDMT34ZE	—	MTU3、MTU4 出力停止条件 POE14F 追加ビット
POECR4B	—	—	ポートアウトプットイネーブル コントロールレジスタ 4B
POECR5	IC2ADDMT0ZE	—	MTU0 出力停止条件 POE4F 追加ビット

レジスタ	ビット	RX23T(POE3b)	RX66T(POE3B)
POECR5	IC3ADDMT0ZE	—	MTU0 出力停止条件 POE8F 追加ビット
	IC5ADDMT0ZE	—	MTU0 出力停止条件 POE11F 追加ビット
	IC6ADDMT0ZE	—	MTU0 出力停止条件 POE12F 追加ビット
	IC8ADDMT0ZE	—	MTU0 出力停止条件 POE9F 追加ビット
	IC9ADDMT0ZE	—	MTU0 出力停止条件 POE13F 追加ビット
	IC10ADDMT0ZE	—	MTU0 出力停止条件 POE14F 追加ビット
POECR6	—	—	ポートアウトプットイネーブル コントロールレジスタ 6
POECR6B	—	—	ポートアウトプットイネーブル コントロールレジスタ 6B
POECR7	—	—	ポートアウトプットイネーブル コントロールレジスタ 7
POECR8	—	—	ポートアウトプットイネーブル コントロールレジスタ 8
POECR9	—	—	ポートアウトプットイネーブル コントロールレジスタ 9
POECR10	—	—	ポートアウトプットイネーブル コントロールレジスタ 10
POECR11	—	—	ポートアウトプットイネーブル コントロールレジスタ 11
PMMCR0	—	—	ポートモードマスクコントロール レジスタ 0
PMMCR1	—	—	ポートモードマスクコントロール レジスタ 1
PMMCR2	—	—	ポートモードマスクコントロール レジスタ 2
PMMCR3	—	—	ポートモードマスクコントロール レジスタ 3
POECMPFR	C3FLAG	—	コンパレータチャンネル 3 出力検出フラグ
	C4FLAG	—	コンパレータチャンネル 4 出力検出フラグ
	C5FLAG	—	コンパレータチャンネル 5 出力検出フラグ
POECMPSEL	POEREQ3	—	コンパレータチャンネル 3 出力停止許可ビット
	POEREQ4	—	コンパレータチャンネル 4 出力停止許可ビット
	POEREQ5	—	コンパレータチャンネル 5 出力停止許可ビット
POECMPExm	—	—	ポートアウトプットイネーブルコン パレータ要求拡張選択レジスタ m (m = 0~8)
M0SELR1	—	—	MTU0 端子選択レジスタ 1
M0SELR2	—	—	MTU0 端子選択レジスタ 2
M3SELR	—	—	MTU3 端子選択レジスタ
M4SELR1	—	—	MTU4 端子選択レジスタ 1
M4SELR2	—	—	MTU4 端子選択レジスタ 2

レジスタ	ビット	RX23T(POE3b)	RX66T(POE3B)
M6SELR	—	—	MTU6 端子選択レジスタ
M7SELR1	—	—	MTU7 端子選択レジスタ 1
M7SELR2	—	—	MTU7 端子選択レジスタ 2
M9SELR1	—	—	MTU9 端子選択レジスタ 1
M9SELR2	—	—	MTU9 端子選択レジスタ 2
G0SELR	—	—	GPTW0 端子選択レジスタ
G1SELR	—	—	GPTW1 端子選択レジスタ
G2SELR	—	—	GPTW2 端子選択レジスタ
G3SELR	—	—	GPTW3 端子選択レジスタ
G4SELR	—	—	GPTW4 端子選択レジスタ
G5SELR	—	—	GPTW5 端子選択レジスタ
G6SELR	—	—	GPTW6 端子選択レジスタ
G7SELR	—	—	GPTW7 端子選択レジスタ
G8SELR	—	—	GPTW8 端子選択レジスタ
G9SELR	—	—	GPTW9 端子選択レジスタ

注 1. MTU6、MTU7 を使用しない場合は、“0” にしてください。

2.17 8 ビットタイマ

表 2.57 に 8 ビットタイマの概要比較を、表 2.58 に 8 ビットタイマのレジスタ比較を示します。

表 2.57 8 ビットタイマの概要比較

項目	RX23T(TMR)	RX66T(TMR)
カウントクロック	- 内部クロック : PCLK/1、PCLK/2、PCLK/8、 PCLK/32、PCLK/64、PCLK/1024、 PCLK/8192 - 外部クロック : 外部カウントクロック	- 内部クロック : PCLK/1、PCLK/2、PCLK/8、 PCLK/32、PCLK/64、PCLK/1024、 PCLK/8192 - 外部クロック : 外部カウントクロック
チャンネル数	(8 ビット×2 チャンネル) ×2 ユニット	(8 ビット×2 チャンネル) ×4 ユニット
コンペアマッチ	8 ビットモード (コンペアマッチ A、コンペアマッチ B) 16 ビットモード (コンペアマッチ A、コンペアマッチ B)	8 ビットモード (コンペアマッチ A、コンペアマッチ B) 16 ビットモード (コンペアマッチ A、コンペアマッチ B)
カウンタクリア	コンペアマッチ A、コンペアマッチ B、 外部カウンタリセット信号から選択	コンペアマッチ A、コンペアマッチ B、 外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、 PWM 出力	任意のデューティ比のパルス出力、 PWM 出力
2 チャンネルの カスケード接続	16 ビットカウントモード TMR0 を上位、TMR1 を下位 (TMR2 を 上位、TMR3 を下位) とする 16 ビット タイマ - コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチを カウント (TMR3 は TMR2 のコンペア マッチをカウント)	16 ビットカウントモード TMR0 を上位、TMR1 を下位 (TMR2 を 上位、TMR3 を下位、TMR4 を上位、 TMR5 を下位、TMR6 を上位、TMR7 を 下位) とする 16 ビットタイマ - コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウ ント (TMR3 は TMR2 のコンペアマッチ をカウント、TMR5 は TMR4 のコンペア マッチをカウント、TMR7 は TMR6 のコ ンペアマッチをカウント)
割り込み要因	コンペアマッチ A、コンペアマッチ B、 オーバフロー	コンペアマッチ A、コンペアマッチ B、 オーバフロー
イベントリンク機能(出力)	—	コンペアマッチ A、コンペアマッチ B、 オーバフロー(TMR0~3)
イベントリンク機能(入力)	—	イベント受付により、3 種類のうち 1 つの 動作が可能 (1)カウントスタート動作(TMR0~3) (2)イベントカウンタ動作(TMR0~3) (3)カウントリスタート動作(TMR0~3)
DTC の起動	コンペアマッチ A 割り込み、コンペアマッ チ B 割り込みにより起動可能	コンペアマッチ A 割り込み、コンペアマッ チ B 割り込みにより起動可能
A/D コンバータの 変換開始トリガ	TMR0、TMR2 のコンペアマッチ A	TMR0、TMR2、 TMR4、TMR6 の コンペアマッチ A
SCI の ボーレートクロック生成	SCI のボーレートクロックを生成	SCI のボーレートクロックを生成
消費電力低減機能	ユニットごとにモジュールストップ状態 への設定が可能	ユニットごとにモジュールストップ状態 への遷移が可能

表 2.58 8 ビットタイマのレジスタ比較

レジスタ	ビット	RX23T(TMR)	RX66T(TMR)
TCSTR	—	—	タイマカウンタスタートレジスタ

2.18 コンペアマッチタイマ

表 2.59 にコンペアマッチタイマの概要比較を示します。

表 2.59 コンペアマッチタイマの概要比較

項目	RX23T(CMT)	RX66T(CMT)
カウントクロック	4 種類の分周クロック - PCLK/8、PCLK/32、PCLK/128、PCLK/512 の中からチャネルごとに選択可能	4 種類の分周クロック - PCLK/8、PCLK/32、PCLK/128、PCLK/512 の中からチャネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャネルごとに要求することが可能	コンペアマッチ割り込みをチャネルごとに要求することが可能
イベントリンク機能(出力)	—	CMT1 のコンペアマッチによりイベント信号出力
イベントリンク機能(入力)	—	- 設定したモジュールに対してリンク動作が可能 - CMT1 のカウントスタート、イベントカウンタ、カウントリスタート動作が可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能	ユニットごとにモジュールストップ状態への設定が可能

2.19 独立ウォッチドッグタイマ

表 2.60 に独立ウォッチドッグタイマの概要比較を、表 2.61 に独立ウォッチドッグタイマのレジスタ比較を示します。

表 2.60 独立ウォッチドッグタイマの概要比較

項目	RX23T(IWDTa)	RX66T(IWDTa)
カウントソース	IWDT 専用クロック(IWDTCLK)	IWDT 専用クロック(IWDTCLK)
カウント分周比	1 分周/16 分周/32 分周/64 分周/128 分周/256 分周	1 分周/16 分周/32 分周/64 分周/128 分周/256 分周
カウント動作	14 ビットのダウンカウンタによるダウンカウント	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	- リセット後、自動的にカウント開始(オートスタートモード) - リフレッシュ (IWDTRR レジスタに 00h を書き込み後、FFh を書き込む)により、カウント開始(レジスタスタートモード)	- オートスタートモード: リセット解除後、自動的にカウント開始 - レジスタスタートモード: リフレッシュ動作(IWDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む)により、カウント開始
カウント停止条件	- リセット(ダウンカウンタ、レジスタは初期値に戻る) - 低消費電力状態(レジスタ設定による) - アンダフロー、リフレッシュエラー発生時 - カウント再開(オートスタートモード: リセットもしくはノンマスカブル割り込み要求を出力後に自動でカウント再開、 - レジスタスタートモード: (リフレッシュ後にカウント再開)	- リセット(ダウンカウンタ、レジスタは初期値に戻る) - 低消費電力状態(レジスタ設定による) - アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)	ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)
リセット出力要因	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
カウンタの読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能(出力)	—	- ダウンカウンタのアンダフローイベント出力 - リフレッシュエラーイベント出力
出力信号(内部信号)	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力

項目	RX23T(IWDTa)	RX66T(IWDTa)
オートスタートモード (オプション機能選択 レジスタ 0 (OFS0)制御)	- リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTP ビット)	- リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	- リフレッシュ動作後のクロック分周比の選択 (IWDTCCR.CKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCCR.TOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCCR.RPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (IWDTCCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択 (IWDTCCSTPR.SLCSTP ビット)	- リフレッシュ動作後のクロック分周比の選択 (IWDTCCR.CKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCCR.TOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCCR.RPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (IWDTCCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (IWDTCCSTPR.SLCSTP ビット)

表 2.61 独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX23T(IWDTa)	RX66T(IWDTa)
IWDTCR	TOPS[1:0]	タイムアウト期間選択ビット b1 b0 0 0 : 128 サイクル(007Fh) 0 1 : 512 サイクル(01FFh) 1 0 : 1024 サイクル(03FFh) 1 1 : 2048 サイクル(07FFh)	タイムアウト期間選択ビット b1 b0 0 0 : 1024 サイクル(03FFh) 0 1 : 4096 サイクル(0FFFh) 1 0 : 8192 サイクル(1FFFh) 1 1 : 16384 サイクル(3FFFh)
IWDTRCR	RSTIRQS	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求出力を許可 1 : リセット出力を許可	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、または割り込み要求出力を許可 ^(注1) 1 : リセット出力を許可
IWDTCSTPR	SLCSTP	スリープモードカウント停止制御ビット 0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止有効	スリープモードカウント停止制御ビット 0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード遷移時のカウント停止有効

注 1. NMIER.IWDTEN ビットの値が、1 の時はノンマスカブル割り込み、0 の時はマスカブル割り込みを発生します。

2.20 シリアルコミュニケーションインタフェース

表 2.62 にシリアルコミュニケーションインタフェースの概要比較を、表 2.63 にシリアルコミュニケーションインタフェースのチャネル比較を、表 2.64 シリアルコミュニケーションインタフェースのレジスタ比較を示します。

表 2.62 シリアルコミュニケーションインタフェースの概要比較

項目		RX23T(SCIlg)	RX66T(SCIlg, SCIi, SCIlh)
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能	- 送信部：ダブルバッファ構成による連続送信が可能 - 受信部：ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
割り込み要因		- 送信終了、送信データエンプティ、受信データフル、受信エラー - 開始条件/再開条件/停止条件生成終了(簡易 I²C モード用)	- 送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ(SCI11)、データ一致(SCI1, SCI5, SCI6, SCI8, SCI9, SCI11) - 開始条件/再開条件/停止条件生成終了(簡易 I²C モード用)
消費電力低減機能		チャネルごとにモジュールストップ状態への遷移が可能	チャネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7 ビット/8 ビット/9 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	—	送信 16 段、受信 16 段の FIFO を利用可能(SCI11)
	データ一致検出	—	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能(SCI1, SCI5, SCI6, SCI8, SCI9, SCI11)
	スタートビット検出	Low または立ち下がリエッジを選択可能	Low または立ち下がリエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出す、または SPTR.RXDMON フラグを読み出す ことでブレークを検出可能
	クロックソース	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能(SCI5, SCI6)	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能(SCI5, SCI6, SCI12)

項目		RX23T(SCI _g)	RX66T(SCI _j , SCI _i , SCI _h)
調歩同期式モード	倍速モード	ポーレートジェネレータ倍速モードを選択可能	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去機能	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	—	送信 16 段、受信 16 段の FIFO を利用可能 (SCI11)
スマートカードインタフェースモード	エラー処理	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C パスフォーマット	I ² C パスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応	ファストモード対応
	ノイズ除去	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	8 ビット	8 ビット
	エラーの検出	オーバランエラー	オーバランエラー
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	クロック位相、クロック極性の設定を 4 種類から選択可能
拡張シリアルモード (SCI12 のみ対応)	Start Frame 送信	—	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり
拡張シリアルモード (SCI12 のみ対応)	Start Frame 受信	—	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり

項目		RX23T(SCI _g)	RX66T(SCI _j , SCI _i , SCI _h)
拡張シリアルモード (SCI12 のみ対応)	入出力制御機能	—	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能
	タイマ機能	—	リロードタイマ機能として使用可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能	内蔵ボーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能 (SCI5 のみ対応)		—	- エラー(受信エラー・エラーシグナル検出)イベント出力 - 受信データフルイベント出力 - 送信データエンプティイベント出力 - 送信終了イベント出力

表 2.63 シリアルコミュニケーションインタフェースのチャネル比較

項目	RX23T(SCI _g)	RX66T(SCI _j , SCI _i , SCI _h)
調歩同期式モード	SCI1, SCI5	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
クロック同期式モード	SCI1, SCI5	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
スマートカードインタフェースモード	SCI1, SCI5	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
簡易 I ² C モード	SCI1, SCI5	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
簡易 SPI モード	SCI1, SCI5	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11, SCI12
FIFO モード	—	SCI11
データ一致検出	—	SCI1, SCI5, SCI6, SCI8, SCI9, SCI11
拡張シリアルモード	—	SCI12
TMR クロック入力	SCI5	SCI5, SCI6, SCI12
イベントリンク機能	—	SCI5
周辺モジュールクロック	PCLKB : SCI1, SCI5	PCLKB : SCI1, SCI5, SCI6, SCI8, SCI9, SCI12 PCLKA : SCI11

表 2.64 シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX23T(SCI _g)	RX66T(SCI _j ,SCI _i ,SCI _h)
FRDR	—	—	受信FIFOデータレジスタ
FTDR	—	—	送信FIFOデータレジスタ
SMR	CM	コミュニケーションモードビット SCMR.SMIF ビット=0 のとき 0 : 調歩同期式モードで動作 1 : クロック同期式モード、または 簡易 SPI モードで動作	コミュニケーションモードビット SCMR.SMIF ビット=0 のとき 0 : 調歩同期式モード、または簡易 I²C モードで動作 1 : クロック同期式モード、または 簡易 SPI モードで動作
SCR	CKE[1:0]	クロックイネーブルビット SCMR.SMIF ビット=0 のとき - SCI1 の場合 (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ I/O ポートの設定によって、 SCKn 端子は入出力ポートと して使用できます 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレート と同じ周波数のクロックを出 力します 1 x : 外部クロック SCKn 端子からビットレート の 16 倍の周波数のクロックを 入力してください。 SEMR.ABCS ビットが“1”のと きは 8 倍の周波数のクロック を入力してください (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn 端子はクロック出力端 子となります 1 x : 外部クロック SCKn 端子はクロック入力端 子となります	クロックイネーブルビット SCMR.SMIF ビット=0 のとき (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn 端子はハイインピーダン スになります 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと 同じ周波数のクロックを出力し ます 1 x : 外部クロック SCKn 端子からビットレートの 16 倍の周波数のクロックを入 力してください。SEMR.ABCS ビットが“1”のときは 8 倍の周 波数のクロックを入力してくだ さい (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn 端子はクロック出力端子 となります 1 x : 外部クロック SCKn 端子はクロック入力端 子となります

レジスタ	ビット	RX23T(SCI _g)	RX66T(SCI _j ,SCI _l ,SCI _h)
SCR	CKE[1:0]	クロックイネーブルビット SCMR.SMIF ビット=0 のとき • SCI5 の場合 (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ I/O ポートの設定によって、 SCKn 端子は入出力ポートとして 使用できます 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと 同じ周波数のクロックを出力し ます 1 x : 外部クロックまたは TMR クロック 外部クロック使用時は、 SCKn 端子からビットレートの 16 倍の周波数のクロックを 入力してください。 SEMR.ABCS ビットが“1”の ときは 8 倍の周波数のクロック を入力してください TMR クロックを使用可能 TMR クロック使用時は、I/O ポートの設定によって、SCKn 端子は入出力ポートとして使用 できます。 (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn 端子はクロック出力端子 となります 1 x : 外部クロック SCKn 端子はクロック入力端子 となります SCMR.SMIF ビット=1 のとき • SSMR.GM ビット=0 の場合 b1 b0 0 0 : 出力ディスエーブル I/O ポートの設定によって、 SCKn 端子は入出力ポートと して使用できます 0 1 : クロック出力 1 x : 設定しないでください • SSMR.GM ビット=1 の場合 b1 b0 0 0 : Low 出力固定 - x 1 : クロック出力 1 0 : High 出力固定	クロックイネーブルビット SCMR.SMIF ビット=0 のとき (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn 端子はハイインピーダン スになります 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと 同じ周波数のクロックを出力し ます 1 x : 外部クロック SCKn 端子からビットレートの 16 倍の周波数のクロックを入 力してください。SEMR.ABCS ビットが“1”のときは 8 倍の周 波数のクロックを入力してくだ さい (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn 端子はクロック出力端子 となります 1 x : 外部クロック SCKn 端子はクロック入力端子 となります SCMR.SMIF ビット=1 のとき • SSMR.GM ビット=0 の場合 b1 b0 0 0 : 出力ディスエーブル SCKn 端子はハイインピーダン スになります 0 1 : クロック出力 1 x : 設定しないでください • SSMR.GM ビット=1 の場合 b1 b0 0 0 : Low 出力固定 - x 1 : クロック出力 1 0 : High 出力固定
SSRFIFO	—	—	シリアルステータスレジスタ

レジスタ	ビット	RX23T(SCI _g)	RX66T(SCI _j ,SCI _i ,SCI _h)
SEMR	ACS0	調歩同期クロックソースセレクト ビット (調歩同期式モードのみ有効) 0 : 外部クロック 1 : TMR から出力される 2 つのコンペアマッチ出力の論理積 (SCI5 のみ有効) SCI のチャネルごとに使用できる コンペアマッチ出力が異なります	調歩同期クロックソースセレクト ビット (調歩同期式モードのみ有効) 0 : 外部クロック 1 : TMR から出力される 2 つのコンペアマッチ出力の論理積 (SCI5、 SCI6 、 SCI12 のみ有効) SCI のチャネルごとに使用できる コンペアマッチ出力が異なります
	ABCSE	—	調歩同期基本クロックセレクト拡張 ビット SCI12 では予約ビットです。読むと “0” が読めます。書く場合、“0” としてください。
FCR	—	—	FIFOコントロールレジスタ
FDR	—	—	FIFOデータカウントレジスタ
LSR	—	—	ラインステータスレジスタ
CDR	—	—	比較データレジスタ
DCCR	—	—	データ比較制御レジスタ
SPTR	—	—	シリアルポートレジスタ
ESMER	—	—	拡張シリアルモード有効レジスタ
CR0	—	—	コントロールレジスタ 0
CR1	—	—	コントロールレジスタ 1
CR2	—	—	コントロールレジスタ 2
CR3	—	—	コントロールレジスタ 3
PCR	—	—	ポートコントロールレジスタ
ICR	—	—	割り込みコントロールレジスタ
STR	—	—	ステータスレジスタ
STCR	—	—	ステータスクリアレジスタ
CF0DR	—	—	Control Field 0 データレジスタ
CF0CR	—	—	Control Field 0 コンペアイネーブルレジスタ
CF0RR	—	—	Control Field 0 受信データレジスタ
PCF1DR	—	—	プライマリ Control Field 1 データレジスタ
SCF1DR	—	—	セカンダリ Control Field 1 データレジスタ
CF1CR	—	—	Control Field 1 コンペアイネーブルレジスタ
CF1RR	—	—	Control Field 1 受信データレジスタ
TCR	—	—	タイマコントロールレジスタ
TMR	—	—	タイマモードレジスタ
TPRE	—	—	タイマプリスケアラレジスタ
TCNT	—	—	タイマカウントレジスタ

2.21 I²C バスインタフェース

表 2.65 に I²C バスインタフェースの概要比較を示します。

表 2.65 I²C バスインタフェースの概要比較

項目	RX23T(RIICa)	RX66T(RIICa)
通信フォーマット	- I²C バスフォーマット/ SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保	- I²C バスフォーマット/ SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応(~400 kbps)	ファストモード対応(~400 kbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を4%~96%の範囲で設定可能	マスタ時、SCL クロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	- スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、 - スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能	- スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、 - スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	- 異なるスレーブアドレスを3種類まで設定可能 7ビット/10ビットアドレスフォーマット対応(混在可能) - ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能	- 異なるスレーブアドレスを3種類まで設定可能 7ビット/10ビットアドレスフォーマット対応(混在可能) - ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクノリッジ応答	- 送信時、アクノリッジビットの自動ロード - ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 - 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能	- 送信時、アクノリッジビットの自動ロード - ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 - 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	- 受信時、SCL クロックの Low ホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト	- 受信時、SCL クロックの Low ホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

項目	RX23T(RIICa)	RX66T(RIICa)
アービトレーション	- マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能	- マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4 種類 - 通信エラー/通信イベント発生、アービトレーション検出、NACK 検出、タイムアウト検出、スタートコンディション検出 (リスタート コンディション含む)、ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了	4 種類 - 通信エラー/通信イベント発生、アービトレーション検出、NACK 検出、タイムアウト検出、スタートコンディション検出 (リスタートコンディション含む)、ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能
RIIC の動作モード	4 種類 - マスタ送信モード - マスタ受信モード - スレーブ送信モード - スレーブ受信モード	4 種類 - マスタ送信モード - マスタ受信モード - スレーブ送信モード - スレーブ受信モード
イベントリンク機能 (出力)	—	4 種類(RIIC0) - 通信エラー/通信イベント発生、アービトレーション検出、NACK 検出、タイムアウト検出、スタートコンディション検出 (リスタートコンディション含む)、ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了

2.22 シリアルペリフェラルインタフェース

表 2.66 にシリアルペリフェラルインタフェースの概要比較を、

表 2.67 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.66 シリアルペリフェラルインタフェースの概要比較

項目	RX23T(RSPIa)	RX66T(RSPIC)
チャンネル数	1 チャンネル	1 チャンネル
RSPI 転送機能	• MOSI (Master Out Slave In) 、 MISO (Master In Slave Out) 、 SSL (Slave Select) 、 RSPCK (RSPI Clock) 信号を使用して、 SPI 動作 (4 線式) / クロック同期式動作 (3 線式) でシリアル通信が可能、それぞ れ割り込みの発生が可能です。 • 送信のみの動作が可能 • 通信モード：全二重または送信のみを選択 可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能	• MOSI (Master Out Slave In)、 MISO (Master In Slave Out)、 SSL (Slave Select)、RSPCK (RSPIClock) 信号を使用して、SPI 動作(4 線式)/クロッ ク同期式動作(3 線式)でシリアル通信が可 能 • 通信モード：全二重または送信のみを選択 可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	• MSB ファースト/LSB ファーストの切り替 え可能 • 転送ビット長を 8、9、10、11、12、13、 14、15、16、20、24、32 ビットに変更可 能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)	• MSB ファースト/LSB ファーストの切り替 え可能 • 転送ビット長を 8、9、10、11、12、13、 14、15、16、20、24、32 ビットから選択 可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット) • 送信データ、受信データをバイト単位でス ワップ可能
ビットレート	• マスタモード時、内蔵ボーレートジェネ レータで PCLK を分周して RSPCK を生 成(分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 8 分周のク ロックを、RSPCK として入力可能 (RSPCK の最大周波数は PCLK の 8 分周) - High 幅：PCLK の 4 サイクル、 - Low 幅：PCLK の 4 サイクル	• マスタモード時、内蔵ボーレートジェネ レータで PCLK を分周して RSPCK を生 成(分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 4 分周のク ロックを、RSPCK として入力可能 (RSPCK の最高周波数は PCLK の 4 分周) - High 幅：PCLK の 2 サイクル、 - Low 幅：PCLK の 2 サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブル バッファ構造 • 送信および受信バッファは 128 ビット	• 送信および受信バッファはそれぞれダブル バッファ構造 • 送信および受信バッファは 128 ビット
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出 • アンダランエラー検出

項目	RX23T(RSPIa)	RX66T(RSPIC)
SSL 制御機能	1 チャンネルあたり 4 本の SSL 端子 (SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 - マルチマスタ設定時： SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 - スレーブ設定時： SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - SSL 極性変更機能	1 チャンネルあたり 4 本の SSL 端子 (SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 - マルチマスタ設定時： SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 - スレーブ設定時： SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - SSL 極性変更機能
マスタ転送時の制御方式	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 - SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 - RSPCK 自動停止機能	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 - SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 - RSPCK 自動停止機能
割り込み要因	- 割り込み要因 - 受信バッファフル割り込み - 送信バッファエンブティ割り込み - RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) - RSPI アイドル割り込み(RSPI アイドル)	- 割り込み要因 - 受信バッファフル割り込み - 送信バッファエンブティ割り込み - エラー割り込み (モードフォルト、オーバラン、アンダラン、パリティエラー) - アイドル割り込み
イベントリンク機能(出力)	—	- 以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) - 受信バッファフルイベント - 送信バッファエンブティイベント - エラーイベント(モードフォルト、オーバラン、アンダラン、パリティエラー) - アイドルイベント - 送信完了イベント
その他の機能	- CMOS/オープンドレイン出力切り替え機能 - RSPI 初期化機能 - ループバックモード機能	- RSPI 初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.67 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX23T(RSPIa)	RX66T(RSPIC)
SPSR	UDRF	—	アンダランエラーフラグ UDRF フラグを“0”にするときは、同時に MODF フラグも“0”にしてください。
SPDR	—	RSPI データレジスタ 可能アクセスサイズ ● ロングワード (SPDCR.SPLW=1) ● ワードアクセス (SPDCR.SPLW=0)	RSPI データレジスタ 可能アクセスサイズ ● ロングワード (SPDCR.SPLW=1, SPDCR.SPBYT=0) ● ワードアクセス (SPDCR.SPLW=0, SPDCR.SPBYT=0) ● バイトアクセス (SPDCR.SPBYT=1)
SPDCR	SPBYT	—	RSPI バイトアクセス設定ビット
SPCR2	SPPE	パリティ許可ビット 0 : 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1 : 送信データにパリティビットを付加し、受信データのパリティチェックを行う (SPCR.TXMD = 0 のとき) 送信データにパリティビットを付加するが、受信データのパリティチェックは行わない (SPCR.TXMD = 1 のとき)	パリティ許可ビット 0 : 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1 : 送信データにパリティビットを付加し、受信データのパリティチェックを行う
SPDCR2	—	—	RSPI データコントロールレジスタ 2

2.23 CRC 演算器

表 2.68 に CRC 演算器の概要比較を、表 2.69 に CRC 演算器のレジスタ比較を示します。

表 2.68 CRC 演算器の概要比較

項目	RX23T(CRC)	RX66T(CRCA)	
データサイズ	8 ビット	8 ビット	32 ビット
CRC 演算対象データ	8n ビットのデータに対して CRC コード生成(n = 自然数)	8n ビットのデータに対して CRC コード生成(n = 自然数)	32n ビットのデータに対して CRC コード生成(n = 自然数)
CRC 演算処理方式	8 ビット並列実行	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの多項式から選択可能 8 ビット CRC $X^8 + X^2 + X + 1$ 16 ビット CRC $X^{16} + X^{15} + X^2 + 1,$ $X^{16} + X^{12} + X^5 + 1$	3 つの多項式から選択可能 8 ビット CRC $X^8 + X^2 + X + 1$ 16 ビット CRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$	2 つの多項式から選択可能 32 ビット CRC $X^{32} + X^{26} + X^{23} + X^{22} +$ $X^{16} + X^{12} + X^{11} + X^{10} +$ $X^8 + X^7 + X^5 + X^4 + X^2 +$ $X + 1,$ $X^{32} + X^{28} + X^{27} + X^{26} +$ $X^{25} + X^{23} + X^{22} + X^{20}$ $+ X^{19}$ $+ X^{18} + X^{14} + X^{13} + X^{11}$ $+ X^{10} + X^9 + X^8 + X^6 + 1$
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、 CRC 演算結果のビットオーダ を切り替えることが可能	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への 設定が可能	モジュールストップ状態への遷移が可能	

表 2.69 CRC 演算器のレジスタ比較

レジスタ	ビット	RX23T(CRC)	RX66T(CRCA)
CRCCR	GPS[1:0] (RX23T) GPS[2:0] (RX66T)	CRC 生成多項式切り替えビット b1 b0 0 0 : 計算しません 0 1 : 8 ビット CRC $(X^8 + X^2 + X + 1)$ 1 0 : 16 ビット CRC $(X^{16} + X^{15} + X^2 + 1)$ 1 1 : 16 ビット CRC $(X^{16} + X^{12} + X^5 + 1)$	CRC 生成多項式切り替えビット b2 b0 0 0 0 : 計算しません 0 0 1 : 8 ビット CRC $(X^8 + X^2 + X + 1)$ 0 1 0 : 16 ビット CRC $(X^{16} + X^{15} + X^2 + 1)$ 0 1 1 : 16 ビット CRC $(X^{16} + X^{12} + X^5 + 1)$ 1 0 0 : 32 ビット CRC $(X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1)$ 1 0 1 : 32 ビット CRC $(X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1)$ 1 1 0 : 計算しません 1 1 1 : 計算しません
	LMS	CRC 演算切り替えビット(b2)	CRC 演算切り替えビット(b6)
CRCDIR	—	CRC データ入力レジスタ 可能アクセスサイズ • バイトアクセス	CRC データ入力レジスタ 可能アクセスサイズ • ロングワードアクセス (32 ビット CRC 生成時) • バイトアクセス (16 ビット CRC、 8 ビット CRC 生成時)
CRCDOR	—	CRC データ出力レジスタ 可能アクセスサイズ • ワードアクセス 8 ビット CRC 生成時は、 下位バイト(b7~b0)を使用	CRC データ出力レジスタ 可能アクセスサイズ • ロングワードアクセス (32 ビット CRC 生成時) • ワードアクセス (16 ビット CRC 生成時) • バイトアクセス (8 ビット CRC 生成時)

2.24 12 ビット A/D コンバータ

表 2.70 に 12 ビット A/D コンバータの概要比較を、表 2.71 に 12 ビット A/D コンバータのレジスタ比較を、表 2.72 に ADSTRGR レジスタに設定する A/D 起動要因比較を示します。

表 2.70 12 ビット A/D コンバータの概要比較

項目	RX23T(S12ADE)	RX66T(S12ADH)
ユニット数	1 ユニット (S12AD)	3 ユニット (S12AD, S12AD1, S12AD2)
入力チャネル	S12AD : 10 チャネル	S12AD : 8 チャネル、 S12AD1 : 8 チャネル、 S12AD2 : 14 チャネル
拡張アナログ機能	内部基準電圧	温度センサ出力、内部基準電圧(S12AD2 のみ)
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	1 チャネルあたり 1μs (A/D 変換クロック ADCLK = 40MHz 動作時)	1 チャネルあたり 0.9μs (A/D 変換クロック ADCLK = 60MHz 動作時)
A/D 変換クロック	- 周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 - PCLK : ADCLK 周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1 - ADCLK の設定はクロック発生回路で行います。	- 周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 - PCLK : ADCLK 周波数比 = 1 : 1、2 : 1、4 : 1、1 : 2 - ADCLK の設定はクロック発生回路で行います。 - A/D 変換クロック ADCLK は最大 60MHz、最低 8MHz まで動作可能
データレジスタ	- アナログ入力用 10 本、ダブルトリガモードでの A/D 変換データ 2 重化用 1 本、ダブルトリガモード拡張動作時の A/D 変換データ 2 重化用 2 本 - 内部基準電圧用 1 本 - 自己診断用 1 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 12 ビット精度出力に対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数 + 2 ビット/4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) - 選択した 1 つのチャネルのアナログ入力の A/D 変換データを 1 回目は対象チャネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持 - ダブルトリガモード拡張動作(特定トリガ種別で有効) - 選択した 1 つのチャネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した二重化レジスタに保持	- アナログ入力用 30 本(S12AD : 8 本、S12AD1 : 8 本、S12AD2 : 14 本)、ダブルトリガモードでの A/D 変換データ二重化用 1 本/各ユニット、ダブルトリガモード拡張動作時の A/D 変換データ二重化用 2 本/各ユニット - 温度センサ用 1 本(S12AD2) - 内部基準電圧用 1 本(S12AD2) - 自己診断用 1 本/ユニット - A/D 変換結果を 12 ビット A/D データレジスタに保持 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数 + 2 ビット/4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) - 選択した 1 つのチャネルのアナログ入力の A/D 変換データを 1 回目は対象チャネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持 - ダブルトリガモード拡張動作(特定トリガ種別で有効) - 選択した 1 つのチャネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した二重化レジスタに保持

項目	RX23T(S12ADE)	RX66T(S12ADH)
動作モード	- シングルスキャンモード： - 任意に選択した最大 10 チャンネルのアナログ入力を 1 回のみ A/D 変換 - 内部基準電圧を 1 回のみ A/D 変換 - 連続スキャンモード： - 任意に選択した最大 10 チャンネルのアナログ入力を繰り返し A/D 変換 - グループスキャンモード： - 任意に選択した最大 10 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ A 優先制御選択時) - グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実施 - グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を再実行 (再スキャン)の設定が可能	動作モードは 3 ユニット個別で設定可能です。 - シングルスキャンモード： - 任意に選択したチャンネルのアナログ入力を 1 回のみ A/D 変換 - 温度センサ出力(S12AD2)を 1 回のみ A/D 変換 - 内部基準電圧を 1 回のみ A/D 変換 (S12AD2) - 連続スキャンモード： - 任意に選択したチャンネルのアナログ入力を繰り返し A/D 変換 - グループスキャンモード： - 使用するグループの数は 2 つ (グループ A、B)と 3 つ (グループ A、B、C)が選択可能 (グループの数が 2 つの場合、グループ A、グループ B の組み合わせのみ選択可能) - 任意に選択したチャンネルのアナログ入力、温度センサ出力(S12AD2)、内部基準電圧(S12AD2)をグループ A とグループ B またはグループ A、B、C に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B とグループ C は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ優先制御選択時) - 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループ A (高) > グループ B > グループ C (低)。 - 優先グループのスキャン終了後、低優先グループのスキャンを再実行 (再スキャン)する/しないを設定可能。また再スキャンは、選択チャンネルの最初からか、A/D 変換未終了のチャンネルからかを設定可能。
A/D 変換開始条件	- ソフトウェアトリガ - 同期トリガ - マルチファンクションタイムパルスユニット(MTU)、8 ビットタイマ(TMR)からのトリガ - 非同期トリガ - 外部トリガ ADTRG0#端子による A/D 変換動作の開始が可能	- ソフトウェアトリガ - 同期トリガ - マルチファンクションタイムパルスユニット(MTU)、8 ビットタイマ(TMR)、イベントリンクコントローラ(ELC)からのトリガ - 非同期トリガ - 外部トリガ ADTRG0# (S12AD)、ADTRG1# (S12AD1)、ADTRG2# (S12AD2)端子による A/D 変換動作の開始が可能(3 ユニット個別)

項目	RX23T(S12ADE)	RX66T(S12ADH)
機能	● チャンネル専用サンプル&ホールド機能 (3ch) ● サンプリングステート数可変機能 ● 12 ビット A/D コンバータの自己診断機能 ● A/D 変換値加算モードと平均モードが選択可能 ● アナログ入力断線検出機能 (ディスチャージ機能/プリチャージ機能) ● ダブルトリガモード (A/D 変換データ 2 重化機能) ● A/D データレジスタオートクリア機能	● チャンネル専用サンプル&ホールド機能 (3 チャンネル : S12AD、 3 チャンネル : S12AD1) (常時サンプリング設定可能) ● サンプリング時間可変機能 (チャンネルごとに設定可能) ● 12 ビット A/D コンバータの自己診断機能 ● A/D 変換値加算モードと平均モードが選択可能 ● アナログ入力断線検出アシスト機能 (ディスチャージ機能/プリチャージ機能) ● ダブルトリガモード (A/D 変換データ二重化機能) ● A/D データレジスタオートクリア機能 ● コンペア機能 (ウィンドウ A、ウィンドウ B) ● 各ユニットでのチャンネル変換順序を設定可能 ● プログラマブルゲインアンプによる入力信号増幅機能(ユニットごとにそれぞれ 3 チャンネル、シングルエンド入力または疑似差動入力を選択可能)
割り込み要因	● ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生 ● ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI)を発生 ● グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生 ● グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生	● ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生 (3 ユニット個別) ● ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1, S12ADI2)が発生 (3 ユニット個別) ● グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生。グループ B のスキャン終了でグループ B スキャン終了割り込み要求 (S12GBADI, S12GBADI1, S12GBADI2)が発生。グループ C のスキャン終了でグループ C スキャン終了割り込み要求 (S12GCADI, S12GCADI1, S12GCADI2)が発生 ● グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI, S12ADI1, S12ADI2)が発生。グループ B とグループ C のスキャン終了で、それぞれ専用のスキャン終了割り込み要求(S12GBADI / S12GCADI, S12GBADI1 / S12GCADI1, S12GBADI2 / S12GCADI2)が発生 ● デジタルコンペア機能の比較条件成立で、コンペア割り込み要求(S12CMPAI, S12CMPAI1, S12CMPAI2, S12CMPBI, S12CMPBI1, S12CMPBI2)が発生

項目	RX23T(S12ADE)	RX66T(S12ADH)
割り込み要因	S12ADI、GBADI 割り込みでデータトランスファコントローラ(DTC)を起動可能	S12ADI / S12ADI1 / S12ADI2, S12GBADI / S12GBADI1 / S12GBADI2, S12GCADI / S12GCADI1 / S12GCADI2 割り込みで DMA コントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能
イベントリンク機能	—	すべてのスキャン終了時にイベント出力 シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント出力 ELC からのトリガによりスキャン開始可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

表 2.71 12 ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX23T(S12ADF)	RX66T(S12ADH)
ADDRy	—	A/D データレジスタ y (y = 0~7, 16, 17)	A/D データレジスタ y (y = 0~7 : S12AD, y = 0~7 : S12AD1 , y = 0~11, 16, 17 : S12AD2)
ADTSDR	—	—	A/D 温度センサデータレジスタ
S12AD1.ADANSA0	—	—	A/D チャンネル選択レジスタ A0
S12AD2.ADANSA0	—	—	A/D チャンネル選択レジスタ A0
ADANSA1	ANSA100 ANSA101	A/D 変換チャンネル選択ビット 0 : AN016、AN017 を変換対象から 外す 1 : AN016、AN017 を変換対象とする	A/D 変換チャンネル選択ビット 0 : AN216 、 AN217 を変換対象から 外す 1 : AN216 、 AN217 を変換対象とする
S12AD1.ADANSB0	—	—	A/D チャンネル選択レジスタ B0
S12AD2.ADANSB0	—	—	A/D チャンネル選択レジスタ B0
ADANSB1	ANSB100 ANSB101	A/D 変換チャンネル選択ビット 0 : AN016、AN017 を変換対象から 外す 1 : AN016、AN017 を変換対象とする	A/D 変換チャンネル選択ビット 0 : AN216 、 AN217 を変換対象から 外す 1 : AN216 、 AN217 を変換対象とする
ADANSC0	—	—	A/D チャンネル選択レジスタ C0
ADANSC1	—	—	A/D チャンネル選択レジスタ C1
ADSCSn	—	—	A/D チャンネル変換順序 設定レジスタ n (n = 0~13)
ADADS1	ADS100 ADS101	A/D 変換値加算/平均チャンネル選択 ビット 0 : AN016、AN017 の A/D 変換値 加算/平均モード非選択 1 : AN016、AN017 の A/D 変換値 加算/平均モード選択	A/D 変換値加算/平均チャンネル選択 ビット AN216 、 AN217 の A/D 変換値加算/平 均モードを設定します。 0 : A/D 変換値加算/平均モード無効 1 : A/D 変換値加算/平均モード有効
ADEXICR	TSSAD	—	温度センサ出力A/D変換値加算/平均 モード選択ビット
	TSSA	—	温度センサ出力A/D変換選択ビット
	TSSB	—	グループB温度センサ出力A/D変換 選択ビット
ADEXICR	OCSB	—	グループB内部基準電圧A/D変換選択 ビット
ADGCEXCR	—	—	A/DグループC拡張入力コントロール レジスタ
ADGCTRGR	—	—	A/DグループCトリガ選択レジスタ
ADSSTRn	—	A/D サンプリングステートレジスタ n (n = 0~7, L, O) リセット後の初期値が異なります	A/Dサンプリングステートレジスタn (n = 0~ 11 , L, T , O)
ADSHCR	—	サンプル&ホールド回路 コントロールレジスタ	A/Dサンプル&ホールド回路 コントロールレジスタ
		リセット後の初期値が異なります	

レジスタ	ビット	RX23T(S12ADF)	RX66T(S12ADH)
ADSHCR	SSTSH[7:0]	サンプリング時間サンプル&ホールド回路設定ビット 4~255 ステートの間でサンプリング時間を設定します	チャンネル専用サンプル&ホールド回路サンプリング時間設定ビット 12~252クロックの間でサンプリング時間を設定します
ADSHMSR	—	—	A/Dサンプル&ホールド動作モード選択レジスタ
ADDISCR	ADNDIS[3:0]	A/D 断線検出アシスト設定ビット プリチャージ/ディスチャージ期間を設定します。設定した値がプリチャージ/ディスチャージ期間のステート数となります。 設定値は 0000b, 0001b 以外。	A/D断線検出アシスト設定ビット ディスチャージ/プリチャージ期間をADCLKのクロック数で指定します。 b3 b0 0 0 0 0 : チャージなし (断線検出アシスト機能無効) 0 0 1 1 : チャージ期間3クロック 0 1 1 0 : チャージ期間6クロック 1 0 0 1 : チャージ期間9クロック 1 1 0 0 : チャージ期間12クロック 1 1 1 1 : チャージ期間15クロック 上記以外は設定しないでください
ADELCCR	—	—	A/Dイベントリンクコントロールレジスタ
ADGSPCR	LGRRS	—	再開チャンネル選択ビット
ADHVREFCNT	—	A/D 高電位 / 低電位基準電圧コントロールレジスタ	—
ADCMPCR	—	—	A/Dコンペア機能コントロールレジスタ
ADCMPANSR0	—	—	A/Dコンペア機能ウィンドウAチャンネル選択レジスタ0
ADCMPANSR1	—	—	A/Dコンペア機能ウィンドウAチャンネル選択レジスタ1
ADCMPANSER	—	—	A/Dコンペア機能ウィンドウA拡張入力選択レジスタ
ADCMPLR0	—	—	A/Dコンペア機能ウィンドウA比較条件設定レジスタ0
ADCMPLR1	—	—	A/Dコンペア機能ウィンドウA比較条件設定レジスタ1
ADCMPLER	—	—	A/Dコンペア機能ウィンドウA拡張入力比較条件設定レジスタ
ADCMPDR0	—	—	A/Dコンペア機能ウィンドウA下位側レベル設定レジスタ
ADCMPDR1	—	—	A/Dコンペア機能ウィンドウA上位側レベル設定レジスタ
ADCMPSR0	—	—	A/Dコンペア機能ウィンドウAチャンネルステータスレジスタ0
ADCMPSR1	—	—	A/Dコンペア機能ウィンドウAチャンネルステータスレジスタ1
ADCMPSER	—	—	A/Dコンペア機能ウィンドウA拡張入力チャンネルステータスレジスタ
ADWINMON	—	—	A/Dコンペア機能ウィンドウA/Bステータスモニタレジスタ

レジスタ	ビット	RX23T(S12ADF)	RX66T(S12ADH)
ADCMPBNSR	—	—	A/Dコンペア機能ウィンドウB チャンネル選択レジスタ
ADWINLLB	—	—	A/Dコンペア機能ウィンドウB 下位側レベル設定レジスタ
ADWINULB	—	—	A/Dコンペア機能ウィンドウB 上位側レベル設定レジスタ
ADCMPBSR	—	—	A/Dコンペア機能ウィンドウB チャンネルステータスレジスタ
ADPGACR	—	—	A/Dプログラマブルゲインアンプ コントロールレジスタ
ADPGAGS0	—	—	A/Dプログラマブルゲインアンプ ゲイン設定レジスタ0
ADPGADCR0	—	—	A/Dプログラマブルゲインアンプ 差動入力コントロールレジスタ
ADVMONCR	—	—	A/D内部基準電圧モニタ回路 許可レジスタ
ADVMONO	—	—	A/D内部基準電圧モニタ回路 出力許可レジスタ

表 2.72 ADSTRGR レジスタに設定する A/D 起動要因比較

ビット	RX23T(S12ADE)	RX66T(S12ADH)
TRSB[5:0]	グループ B 専用 A/D 変換開始トリガ選択ビット	グループ B A/D 変換開始トリガ選択ビット
	b5 b0 111111: トリガ要因非選択状態 000001: TRGA0N 000010: TRGA1N 000011: TRGA2N 000100: TRGA3N 000101: TRGA4N 001000: TRG0N 001001: TRG4AN 001010: TRG4BN 001011: TRG4AN または TRG4BN 001100: TRG4ABN 011101: TMTRG0AN_0 011110: TMTRG0AN_1	b5 b0 111111: トリガ要因非選択状態 000001: TRGA0N 000010: TRGA1N 000011: TRGA2N 000100: TRGA3N 000101: TRGA4N 000110: TRGA6N 000111: TRGA7N 001000: TRG0N 001001: TRG4AN 001010: TRG4BN 001011: TRG4AN または TRG4BN 001100: TRG4ABN 001101: TRG7AN 001110: TRG7BN 001111: TRG7AN または TRG7BN 010000: TRG7ABN 010011: TRGA9N 010100: TRG9N 011001: TRGA0N または TRG0N 011010: TRGA9N または TRG9N 011011: TRGA0N または TRGA9N 011100: TRG0N または TRG9N 100001: TRG9AEN 100010: TRG0AEN 100011: TRGA09N 100100: TRG09N 011101: TMTRG0AN_0 011110: TMTRG0AN_1 011111: TMTRG0AN_2 100000: TMTRG0AN_3 110010: ELCTRG00N (注1) ELCTRG10N (注2) ELCTRG20N (注3) 110011: ELCTRG01N (注1) ELCTRG11N (注2) ELCTRG21N (注3) 111010: ELCTRG00N または ELCTRG01N(注1) ELCTRG10N または ELCTRG11N(注2) ELCTRG20N または ELCTRG21N(注3)

ビット	RX23T(S12ADE)	RX66T(S12ADH)
TRSA[5:0]	A/D 変換開始トリガ選択ビット	A/D 変換開始トリガ選択ビット
	b13 b8 111111: トリガ要因非選択状態 000000: ADTRG0# 000001: TRGA0N 000010: TRGA1N 000011: TRGA2N 000100: TRGA3N 000101: TRGA4N 001000: TRG0N 001001: TRG4AN 001010: TRG4BN 001011: TRG4AN または TRG4BN 001100: TRG4ABN 011101: TMTRG0AN_0 011110: TMTRG0AN_1	b13 b8 111111: トリガ要因非選択状態 000000: ADTRGn# 000001: TRGA0N 000010: TRGA1N 000011: TRGA2N 000100: TRGA3N 000101: TRGA4N 000110: TRGA6N 000111: TRGA7N 001000: TRG0N 001001: TRG4AN 001010: TRG4BN 001011: TRG4AN または TRG4BN 001100: TRG4ABN 001101: TRG7AN 001110: TRG7BN 001111: TRG7AN または TRG7BN 010000: TRG7ABN 010011: TRGA9N 010100: TRG9N 011001: TRGA0N または TRG0N 011010: TRGA9N または TRG9N 011011: TRGA0N または TRGA9N 011100: TRG0N または TRG9N 100001: TRG9AEN 100010: TRG0AEN 100011: TRGA09N 100100: TRG09N 011101: TMTRG0AN_0/ 011110: TMTRG0AN_1 011111: TMTRG0AN_2 100000: TMTRG0AN_3 110010: ELCTRG00N (注1) ELCTRG10N (注2) ELCTRG20N (注3) 110011: ELCTRG01N (注1) ELCTRG11N (注2) ELCTRG21N (注3) 111010: ELCTRG00N または ELCTRG01N(注1) ELCTRG10N または ELCTRG11N(注2) ELCTRG20N または ELCTRG21N(注3)

注 1. ユニット 0

注 2. ユニット 1

注 3. ユニット 2

2.25 コンパレータ C 用リファレンス電圧生成専用 D/A コンバータ / 12 ビット D/A コンバータ

表 2.73 に D/A コンバータの概要比較を、表 2.74 に D/A コンバータのレジスタ比較を示します。

表 2.73 D/A コンバータの概要比較

項目	RX23T(DA)	RX66T(R12DAb)
分解能	8 ビット	12 ビット
出力チャンネル	1 チャンネル	2 チャンネル
アナログモジュールの干渉対策	—	D/A 変換と A/D 変換の干渉対策 12 ビット A/D コンバータ（ユニット 2）が出力する 12 ビット A/D コンバータ同期 D/A 変換許可信号により、D/A 変換データの更新タイミングを制御する。これにより、12 ビット D/A コンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉による A/D 変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能
イベントリンク機能（入力）	—	イベント信号の入力により、チャンネル 0 の D/A 変換を開始可能
出力先切り替え	—	外部端子への出力と、コンパレータ C への出力を独立して制御可能

表 2.74 D/A コンバータのレジスタ比較

レジスタ	ビット	RX23T(DA)	RX66T(R12DAb)
DADRM	—	D/A データレジスタ m (m = 0)	D/A データレジスタ m (m = 0, 1)
DACR	DAE	—	D/A 許可ビット
	DAOE1	—	D/A 出力許可 1 ビット
DAADSCR	—	—	D/A A/D 同期スタート制御レジスタ
DADSELR	—	—	D/A 出力先選択レジスタ

2.26 コンパレータ C

表 2.75 にコンパレータ C の概要比較を、表 2.76 にコンパレータ C のレジスタ比較を示します。

表 2.75 コンパレータ C の概要比較

項目	RX23T(CMPC)	RX66T(CMPC)
チャンネル数	3 チャンネル (コンパレータ C0～コンパレータ C2)	6 チャンネル (コンパレータ C0～コンパレータ C5)
アナログ入力電圧	- CMPCnm 端子 (n = チャンネル番号、m = 0～2) への入力電圧 - 内部基準電圧	CMPCnm 端子 (n = チャンネル番号、m = 0～3) からの入力電圧
リファレンス入力電圧	CVREFC0、CVREFC1 端子への入力電圧または内蔵 D/A コンバータの出力電圧	CVREFC0、CVREFC1 端子からの入力電圧内蔵 D/A コンバータ 0 の出力電圧、または内蔵 D/A コンバータ 1 出力電圧
比較結果	比較結果を外部出力可能	比較結果を外部出力可能
デジタルフィルタ機能	3 種類のサンプリング周期の選択可能 - フィルタ未使用も可能 - ノイズフィルタを通した信号から割り込み要求出力、POE 要因出力の生成、およびレジスタを介して比較結果を読み出し可能	3 種類のサンプリング周期の選択可能 - フィルタ未使用も可能 - ノイズフィルタを通した信号から割り込み要求出力、ELC へのイベント出力の生成、POE 要因出力の生成^(注 1)、およびレジスタを介して比較結果を読み出し可能
割り込み要求	- 比較結果の有効エッジを検出して割り込み要求を発生 - 比較結果の立ち上がりエッジ/立ち下がりエッジ/両エッジを選択可能	- 比較結果の有効エッジを検出して割り込み要求を発生 - 有効エッジは、比較結果の立ち上がりエッジ/立ち下がりエッジ/両エッジから選択可能
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能

注 1. POE の場合はレベル検出信号のみ。POEG の場合はレベル検出信号

表 2.76 コンパレータ C のレジスタ比較

レジスタ	ビット	RX23T(CMPC)	RX66T(CMPC)
CMPSEL0	CMPSEL[3:0]	コンパレータ入力切り替えビット - コンパレータ C0 の場合 b3 b0 0000: 入力なし 0001: CMPC00 を選択 0010: CMPC01 を選択 0100: CMPC02 を選択 1000: CMPC03 を選択 上記以外は設定しないでください - コンパレータ C1 の場合 b3 b0 0000: 入力なし 0001: CMPC10 を選択 0010: CMPC11 を選択 0100: CMPC12 を選択 1000: CMPC13 を選択 上記以外は設定しないでください - コンパレータ C2 の場合 b3 b0 0000: 入力なし 0001: CMPC20 を選択 0010: CMPC21 を選択 0100: CMPC22 を選択 1000: CMPC23 を選択 上記以外は設定しないでください - コンパレータ C3 の場合 b3 b0 0000: 入力なし 0001: CMPC30 を選択 0010: CMPC31 を選択 0100: CMPC32 を選択 1000: CMPC33 を選択 上記以外は設定しないでください	コンパレータ入力切り替えビット - コンパレータ C0 の場合 b3 b0 0000: 入力なし 0001: CMPC00 を選択 0010: CMPC01 を選択 0100: CMPC02 を選択 1000: CMPC03 を選択 上記以外は設定しないでください - コンパレータ C1 の場合 b3 b0 0000: 入力なし 0001: CMPC10 を選択 0010: CMPC11 を選択 0100: CMPC12 を選択 1000: CMPC13 を選択 上記以外は設定しないでください - コンパレータ C2 の場合 b3 b0 0000: 入力なし 0001: CMPC20 を選択 0010: CMPC21 を選択 0100: CMPC22 を選択 1000: CMPC23 を選択 上記以外は設定しないでください - コンパレータ C3 の場合 b3 b0 0000: 入力なし 0001: CMPC30 を選択 0010: CMPC31 を選択 0100: CMPC32 を選択 1000: CMPC33 を選択 上記以外は設定しないでください - コンパレータ C4 の場合 b3 b0 0000: 入力なし 0001: CMPC40 を選択 0010: CMPC41 を選択 0100: CMPC42 を選択 1000: CMPC43 を選択 上記以外は設定しないでください - コンパレータ C5 の場合 b3 b0 0000: 入力なし 0001: CMPC50 を選択 0010: CMPC51 を選択 0100: CMPC52 を選択 1000: CMPC53 を選択 上記以外は設定しないでください

レジスタ	ビット	RX23T(CMPC)	RX66T(CMPC)
CMPSEL1	CVRS[1:0] (RX23T) CVRS[3:0] (RX66T)	リファレンス入力電圧選択ビット - コンパレータ C0、コンパレータ C1 の場合 b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧に CVREFC1 入力を選択 1 0 : リファレンス入力電圧に 内蔵 D/A コンバータの出力を選択 上記以外は設定しないでください - コンパレータ C2 の場合 b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧に CVREFC0 入力を選択 1 0 : リファレンス入力電圧に 内蔵 D/A コンバータの出力を選択 上記以外は設定しないでください	リファレンス入力電圧選択ビット b3 b0 0000 : 入力なし 0001 : リファレンス入力電圧に 内蔵 D/A コンバータ 1 の出力を選択 0010 : リファレンス入力電圧に 内蔵 D/A コンバータ 0 の出力を選択 0100 : リファレンス入力電圧に CVREFC1 入力を選択 1000 : リファレンス入力電圧に CVREFC0 入力を選択 上記以外は設定しないでください
CMPC0.CMPIOC	VREFEN	内部基準電圧ON/OFF制御ビット	—

2.27 データ演算回路

表 2.77 にデータ演算回路の概要比較を示します。

表 2.77 データ演算回路の概要比較

項目	RX23T(DOC)	RX66T(DOC)
データ演算機能	16 ビットデータの比較、加算、または減算	16 ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
割り込み	- データ比較の結果が一致または不一致のとき - データ加算の結果が"FFFFh"より大きくなったとき - データ減算の結果が"0000h"より小さくなったとき	- データ比較の結果が一致または不一致のとき - データ加算の結果が"FFFFh"より大きくなったとき - データ減算の結果が"0000h"より小さくなったとき
イベントリンク機能(出力)	—	- データ比較の結果が一致または不一致のとき - データ加算の結果が"FFFFh"より大きくなったとき - データ減算の結果が"0000h"より小さくなったとき

2.28 RAM

表 2.78 に RAM の概要比較を、表 2.79 に RAM のレジスタ比較を示します。

表 2.78 RAM の概要比較

項目	RX23T(RAM)	RX66T	
		ECC 誤り訂正機能なし (RAM)	ECC 誤り訂正機能あり (ECCRAM)
容量	12K バイト (RAM0 : 12K バイト)	64K バイト 128K バイト	16K バイト
アドレス	RAM0 : 0000 0000h~0000 27FFh 0000 4000h~0000 4A7Fh	- RAM 容量が 64K バイトの場合 - 0000 0000h~0000 FFFFh - RAM 容量が 128K バイトの場合 - 0000 0000h~0001 FFFFh	00FF C000h~00FF FFFFh
メモリバス	メモリバス 1	メモリバス 1	メモリバス 3
アクセス	- 読み出し、書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能	- リード/ライトともに 1 サイクルで動作 - RAM 有効/無効選択可能	- ECC 機能有効/無効選択可能 【MEMWAIT = 0 を設定したとき】 - ECC 機能無効の場合 - リード/ライトともに 2 サイクルで動作 - ECC 機能有効の場合 (エラーなしのとき) - リード/ライトともに 2 サイクルで動作 - ECC 機能有効の場合 (エラーありのとき) - リード/ライトともに 3 サイクルで動作 【MEMWAIT = 1 を設定したとき】 - ECC 機能無効の場合 - リード/ライトともに 3 サイクルで動作 - ECC 機能有効の場合 (エラーなしのとき) - リードは 3 サイクル、ライトは 4 サイクルで動作 - ECC 機能有効の場合 (エラー発生時) - リード/ライトともに 5 サイクルで動作
データ保持機能	—	ディープソフトウェアスタンバイモード時のデータ保持機能なし	

項目	RX23T(RAM)	RX66T	
		ECC 誤り訂正機能なし (RAM)	ECC 誤り訂正機能あり (ECCRAM)
消費電力低減機能	RAM0 をモジュールストップ状態への設定が可能	RAM、ECCRAM 個別にモジュールストップ状態への遷移が可能	
エラーチェック機能	—	1 ビット誤り検出 - エラー発生時、ノンマスカブル割り込み、または割り込みを発生	- ECC 誤り訂正機能 - 1 ビット誤り訂正、2 ビット誤り検出 - エラー発生時、ノンマスカブル割り込み、または割り込みを発生

表 2.79 RAM のレジスタ比較

レジスタ	ビット	RX23T(RAM)	RX66T(RAM, ECCRAM)
ECCRAMMODE	—	—	ECCRAM動作モード制御レジスタ
ECCRAM2STS	—	—	ECCRAM2ビットエラーステータスレジスタ
ECCRAM1STSEN	—	—	ECCRAM1ビットエラー情報更新許可レジスタ
ECCRAM1STS	—	—	ECCRAM1ビットエラーステータスレジスタ
ECCRAMPRCR	—	—	ECCRAMプロテクトレジスタ
ECCRAM2ECAD	—	—	ECCRAM2ビットエラーアドレスキャプチャレジスタ
ECCRAM1ECAD	—	—	ECCRAM1ビットエラーアドレスキャプチャレジスタ
ECCRAMPRCR2	—	—	ECCRAMプロテクトレジスタ2
ECCRAMETST	—	—	ECCRAMテスト制御レジスタ
RAMMODE	—	—	RAM動作モード制御レジスタ
RAMSTS	—	—	RAMエラーステータスレジスタ
RAMECAD	—	—	RAMエラーアドレスキャプチャレジスタ
RAMPRCR	—	—	RAMプロテクトレジスタ

2.29 フラッシュメモリ

表 2.80 にフラッシュメモリの概要比較を、表 2.81 にフラッシュメモリのレジスタ比較を示します。

表 2.80 フラッシュメモリの概要比較

項目	RX23T	RX66T	
	ROM	コード フラッシュメモリ	データ フラッシュメモリ
メモリ空間	- ユーザ領域： 最大 128K バイト - エクストラ領域： スタートアップ領域情報、アクセスウィンドウ情報、ユニーク ID を格納	- ユーザ領域： 最大 1M バイト - ユーザブート領域： 32K バイト	データ領域： 32K バイト
アドレス	- 容量が 128K バイトの場合 - FFFE 0000h～ FFFF FFFFh - 容量が 64K バイトの場合 - FFFF 0000h～ FFFF FFFFh	【ユーザ領域】 - 容量が 1M バイトの場合 - FFF0 0000h～ FFFF FFFFh - 容量が 512K バイトの場合 - FFF8 0000h～ FFFF FFFFh - 容量が 256K バイトの場合 - FFFC 0000h～ FFFF FFFFh 【ユーザブート領域】 FF7F 8000h～FF7F FFFFh	0010 0000h～ 0010 7FFFh
ROM キャッシュ	—	- 容量：8K バイト - マッピング方式： ダイレクトマップ - ラインサイズ： 16 バイト	—
リード サイクル	ICLK≤32MHz 時 ROM のウェイトサイクルなし、 ICLK>32MHz 時 ROM のウェイトサイクルあり	- ROM キャッシュ動作許可時： キャッシュヒット時、1 サイクル キャッシュミス時、 - ICLK≤120MHz のとき、 1～2 サイクル - ICLK>120MHz のとき、 2～3 サイクル - ROM キャッシュ動作禁止時： - ICLK≤120MHz のとき、 1 サイクル - ICLK>120MHz のとき、 2 サイクル	16 ビット、8 ビットアクセス時には FCLK 8 サイクルでリード

項目	RX23T	RX66T	
	ROM	コード フラッシュメモリ	データ フラッシュメモリ
イレーズ後の値	ROM : FFh	FFh	不定値
プログラム/イレーズ方式	ソフトウェアコマンドによる書き換え - 以下のソフトウェアコマンドを実装 - プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ - エクストラ領域のプログラム用に以下のコマンドを実装 - スタートアップ領域情報プログラム - アクセスウィンドウ情報プログラム	- FACI コマンド発行領域(007E 0000h)に設定した FACI コマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレーズが可能 - フラッシュメモリプログラムによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) - ユーザプログラムによるフラッシュメモリのプログラム/イレーズ(セルフプログラミング))	
セキュリティ機能	フラッシュメモリの不正改ざん/不正リードを防止	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	フラッシュメモリの誤書き換えを防止	フラッシュメモリの誤書き換えを防止	
Trusted Memory (TM)機能	—	コードフラッシュメモリのブロック 8, 9 に対する不正リードを防止	
BGO(バックグラウンドオペレーション)機能	—	データ領域プログラム/イレーズ中のユーザ領域リードが可能	
プログラム/イレーズ単位	- ユーザ領域の書き込み単位 : 8 バイト - ユーザ領域の消去単位 : ブロック単位	- ユーザ領域およびユーザブート領域へのプログラム : 256 バイト - ユーザ領域のイレーズ : ブロック単位	- データ領域へのプログラム : 4 バイト - データ領域のイレーズ : ブロック単位
その他の機能	—	セルフプログラミング中の割り込み受け付け可能	
オンボードプログラミング(シリアルプログラミング/セルフプログラミング)	- ブートモード (SCI インタフェース) - シリアルコミュニケーションインタフェースのチャンネル 1 (SCI1)を調歩同期式モードで使用 - ユーザ領域を書き換え可能 - ブートモード (FINE インタフェース) - FINE を使用 - ユーザ領域を書き換え可能	- ブートモード (SCI インタフェース) によるプログラム/イレーズ - 調歩同期式シリアルインターフェース(SCI1)を使用 - 通信速度は自動調整 - ユーザブート領域もプログラム/イレーズ可能 - ブートモード (USB インタフェース) によるプログラム/イレーズ - USBb を使用 - 特別なハードウェアが不要で、PC と直結可能 - ブートモード (FINE インタフェース) によるプログラム/イレーズ - FINE を使用 - ユーザブートモードによるプログラム/イレーズ - ユーザ独自のブートプログラムを作成可能	

項目	RX23T	RX66T	
	ROM	コード フラッシュメモリ	データ フラッシュメモリ
オンボード プログラミング (シリアルプログラ ミング/セルフプロ グラミング)	セルフプログラミング (シングルチップモード) - ユーザプログラム内の フラッシュ書き換え ルーチンによるユーザ領域 の書き換えが可能	セルフプログラミングによるプログラム/ イレーズ - システムをリセットすることなくユーザ領域/データ領域の プログラム/イレーズが可能	
オフボード プログラミング (パラレルプログラ マによるプログラム /イレーズ)	本 MCU に対応したフラッシュ プログラマを使用して、ユーザ 領域の書き換えが可能	パラレルプログラマを使用し て、ユーザ領域/ユーザブート 領域のプログラム/イレーズが 可能	パラレルプログラマを 使用したデータ領域の プログラム/イレーズはできま せん
ユニーク ID	本 MCU 個体ごとの 16 バイト 長の ID コード	本 MCU 個体ごとの 12 バイト長の ID コード	

表 2.81 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX23T	RX66T
ROMCE	—	—	ROM キャッシュ許可レジスタ
ROMCIV	—	—	ROM キャッシュ無効化レジスタ
NCRGn	—	—	ノンキャッシュابل領域 n アドレスレジスタ (n = 0, 1)
NCRCn	—	—	ノンキャッシュابل領域 n 設定レジスタ (n = 0, 1)
FWEPROR	—	—	フラッシュ P/E プロテクトレジスタ
FASTAT	—	—	フラッシュアクセスステータス レジスタ
FAEINT	—	—	フラッシュアクセスエラー割り込み 許可レジスタ
FRDYIE	—	—	フラッシュレディ割り込み 許可レジスタ
FSADDR	—	—	FACI コマンド処理開始アドレス レジスタ
FEADDR	—	—	FACI コマンド処理終了アドレス レジスタ
FSTATR0 (RX23T) FSTATR (RX66T)	—	フラッシュステータスレジスタ 0 FSTATR0 は、8 ビットレジスタで す。	フラッシュステータスレジスタ FSTATR は、32 ビットレジスタで す。
	ERERR (RX23T) ERSERR (RX66T)	イレーズエラーフラグ(b0)	イレーズエラーフラグ(b13)
	PRGERR	プログラムエラーフラグ(b1)	プログラムエラーフラグ(b12)
	BCERR	ブランクチェックエラーフラグ	—
	ILGLERR	イリーガルコマンドエラーフラグ (b4)	イリーガルコマンドエラーフラグ (b14)
	EILGLERR	エクストラ領域 イリーガルコマンドエラーフラグ	—
	FLWEERR	—	フラッシュライトイレーズ プロテクトエラーフラグ
	PRGSPD	—	プログラムサスペンドステータス フラグ
	ERSSPD	—	イレーズサスペンドステータス フラグ
	DBFULL	—	データバッファフルフラグ
	SUSRDY	—	サスペンドレディフラグ
	FRDY	—	フラッシュレディフラグ
FENTRYR	FENTRY0(RX23T) FENTRYC(RX66T)	ROM P/E モードエントリビット 0	コードフラッシュメモリ P/E モードエントリビット
	FENTRYD	—	データフラッシュメモリ P/E モードエントリビット
	FEKEY[7:0](RX23T) KEY[7:0](RX66T)	キーコード	キーコードビット
FPROTR	—	—	フラッシュプロテクトレジスタ
FSUINIR	—	—	フラッシュシーケンサ設定 初期化レジスタ
FLKSTAT	—	—	ロックビットステータスレジスタ
FCMDR	—	—	FACI コマンドレジスタ
FPESTAT	—	—	フラッシュ P/E ステータスレジスタ
FBCCNT	—	—	データフラッシュ ブランクチェック制御レジスタ

レジスタ	ビット	RX23T	RX66T
FBCSTAT	—	—	データフラッシュブランク チェックステータスレジスタ
FPSADDR	—	—	データフラッシュ書き込み 開始アドレスレジスタ
FCPSR	—	—	フラッシュシーケンサ処理 切り替えレジスタ
FPCR	—	—	フラッシュシーケンサ処理 クロック周波数通知レジスタ
UIDRn	—	ユニーク ID レジスタ n (n = 0~3)	ユニーク ID レジスタ n (n = 0~2)
FPR	—	プロテクト解除レジスタ	—
FPSR	—	プロテクト解除ステータスレジスタ	—
FPMCRR	—	フラッシュ P/E モード制御レジスタ	—
FISR	—	フラッシュ初期設定レジスタ	—
FRESETR	—	フラッシュリセットレジスタ	—
FASR	—	フラッシュ領域選択レジスタ	—
FCR	—	フラッシュ制御レジスタ	—
FEXCR	—	フラッシュエクストラ領域 制御レジスタ	—
FSARH	—	フラッシュ処理 開始アドレスレジスタ H	—
FSARL	—	フラッシュ処理 開始アドレスレジスタ L	—
FEARH	—	フラッシュ処理 終了アドレスレジスタ H	—
FEARL	—	フラッシュ処理 終了アドレスレジスタ L	—
FWBn	—	フラッシュライトバッファ n レジスタ (n = 0~3)	—
FSTATR1	—	フラッシュステータスレジスタ 1	—
FEAMH	—	フラッシュエラーアドレス モニタレジスタ H	—
FEAML	—	フラッシュエラーアドレス モニタレジスタ L	—
FSCMR	—	フラッシュスタートアップ設定 モニタレジスタ	—
FAWSMR	—	フラッシュアクセスウィンドウ 開始アドレスモニタレジスタ	—
FAWEMR	—	フラッシュアクセスウィンドウ 終了アドレスモニタレジスタ	—

2.30 パッケージ

表 2.82 に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。

表 2.82 パッケージ

パッケージタイプ	RX23T	RX66T
144 ピン LFQFP	×	○
112 ピン LQFP	×	○
100 ピン LFQFP	×	○
80 ピン LQFP	×	○
80 ピン LFQFP	×	○
52 ピン LQFP	○	×

○ : パッケージあり(RENESAS Code は省略)、 × : パッケージなし

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は青字に、両方のグループに存在するが相違点がある項目は赤字にしています。仕様に相違点がない項目は黒字にしています。

3.1 64 ピンパッケージ

表 3.1 に 64 ピンパッケージ端子機能の比較を示します。

表 3.1 64 ピンパッケージ端子機能の比較

64 ピン	RX23T (64 ピン LFQFP)	RX66T (64 ピン LFQFP)
1	P02/CTS1#/RTS1#/SS1#/ADST0/IRQ5	EMLE
2	P00/IRQ2	UB/P00/MTIOC9A/MTIOC9A#/CACREF/ RXD9/SMISO9/SSCL9/RXD12/SMISO12/ SSCL12/RXDX12/IRQ2/ADST1/COMP0
3	VCL	VCL
4	P01/CACREF/IRQ4	MD/FINED
5	MD/FINED	P01/MTIOC9C/MTIOC9C#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/POE12#/ TXD9/SMOSI9/SSDA9/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/IRQ4/ADST2/ COMP1
6	RES#	RES#
7	XTAL/P37	XTAL/P37
8	VSS	VSS
9	EXTAL/P36	EXTAL/P36
10	VCC	VCC
11	PE2/POE10#/NMI	PE2/POE10#/NMI
12	PD7/TMRI1/SSLA1	TRST#/PD7/MTIOC9A/MTIOC9A#/ GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/ TMRI1/TMRI5/TXD5/SMOSI5/SSDA5/ SSLA1/CTX0/IRQ8
13	PD6/TMO1/SSLA0/CTS1#/RTS1#/SS1#/AD ST0/IRQ5	TMS/PD6/MTIOC9C/MTIOC9C#/GTIOC0B/ GTIOC3B/GTIOC0B#/GTIOC3B#/TMO1/ CTS1#/RTS1#/SS1#/CTS11#/RTS11#/ SS11#/SSLA0/IRQ5/ADST0
14	PD5/TMRI0/RXD1/SMISO1/SSCL1/IRQ3	TDI/PD5/GTIOC1A/GTETRGA/GTIOC1A#/ TMRI0/TMRI6/RXD1/SMISO1/SSCL1/ RXD11/SMISO11/SSCL11/IRQ6
15	PD4/TMCIO/SCK1/IRQ2	TCK/PD4/GTIOC1B/GTETRGB/ GTIOC1B#/TMCIO/TMCIO6/SCK1/SCK11/ IRQ2
16	PD3/TMO0/TXD1/SMOSI1/SSDA1	TDO/PD3/GTIOC2A/GTETRGC/GTIOC2A#/ TMO0/TXD1/SMOSI1/SSDA1/TXD11/ SMOSI11/SSDA11
17	PB7/SCK5	PB6/GTIOC2A/GTIOC2A#/RXD5/SMISO5/ SSCL5/RXD11/SMISO11/SSCL11/RXD12/ SMISO12/SSCL12/RXDX12/CRX0/IRQ2
18	PB6/RXD5/SMISO5/SSCL5/IRQ5	PB5/GTIOC2B/GTIOC2B#/TXD5/SMOSI5/ SSDA5/TXD11/SMOSI11/SSDA11/TXD12/ SMOSI12/SSDA12/TXDX12/SIOX12/CTX0

64 ピン	RX23T (64 ピン LFQFP)	RX66T (64 ピン LFQFP)
19	PB5/TXD5/SMOSI5/SSDA5	PB4/GTETRGA/GTETRGB/GTETRG/ GTETRGD/POE8#/CTS5#/RTS5#/SS5#/ SCK11/CTS11#/RTS11#/SS11#/IRQ3-DS
20	VCC	PB3/MTIOC0A/MTIOC0A#/CACREF/SCK6/ RSPCKA/IRQ9
21	PB4/POE8#/IRQ3	PB2/MTIOC0B/MTIOC0B#/GTADSM0/ TMRI0/TXD6/SMOSI6/SSDA6/SDA0/ADSM0
22	VSS	PB1/MTIOC0C/MTIOC0C#/GTADSM1/ TMCIO/RXD6/SMISO6/SSCL6/SCL0/IRQ4/ ADSM1
23	PB3/MTIOC0A/CACREF/SCK5/RSPCKA	PB0/MTIOC0D/MTIOC0D#/TMO0/TXD6/ SMOSI6/SSDA6/CTS11#/RTS11#/SS11#/ MOSIA/IRQ8/ADTRG2#
24	PB2/MTIOC0B/ADSM0/TXD5/SMOSI5/ SSDA5/SDA0	VCC
25	PB1/MTIOC0C/RXD5/SMISO5/SSCL5/ SCL0/IRQ2	P96/GTETRGA/GTETRGB/GTETRG/ GTETRGD/POE4#/CTS8#/RTS8#/SS8#/ IRQ4-DS
26	PB0/MTIOC0D/MOSIA	VSS
27	PA3/MTIOC2A/SSLA0	P95/MTIOC6B/MTIOC6B#/GTIOC4A/ GTIOC7A/GTIOC4A#/GTIOC7A#
28	PA2/MTIOC2B/CTS5#/RTS5#/SS5#/SSLA1/ IRQ4	P94/MTIOC7A/MTIOC7A#/GTIOC5A/ GTIOC8A/GTIOC5A#/GTIOC8A#
29	P94/MTIOC0C/TMO1/MISOA/IRQ1	P93/MTIOC7B/MTIOC7B#/GTIOC6A/ GTIOC9A/GTIOC6A#/GTIOC9A#
30	P93/MTIOC0B/TMRI1/SCK5/RSPCKA/IRQ0	P92/MTIOC6D/MTIOC6D#/GTIOC4B/ GTIOC7B/GTIOC4B#/GTIOC7B#
31	P92/TMCIO1/SSLA2	P91/MTIOC7C/MTIOC7C#/GTIOC5B/ GTIOC8B/GTIOC5B#/GTIOC8B#
32	P91/SSLA3	P90/MTIOC7D/MTIOC7D#/GTIOC6B/ GTIOC9B/GTIOC6B#/GTIOC9B#
33	P76/MTIOC4D	P76/MTIOC4D/MTIOC4D#/GTIOC2B/ GTIOC6B/GTIOC2B#/GTIOC6B#
34	P75/MTIOC4C	P75/MTIOC4C/MTIOC4C#/GTIOC1B/ GTIOC5B/GTIOC1B#/GTIOC5B#
35	P74/MTIOC3D	P74/MTIOC3D/MTIOC3D#/GTIOC0B/ GTIOC4B/GTIOC0B#/GTIOC4B#
36	P73/MTIOC4B	P73/MTIOC4B/MTIOC4B#/GTIOC2A/ GTIOC6A/GTIOC2A#/GTIOC6A#
37	P72/MTIOC4A	P72/MTIOC4A/MTIOC4A#/GTIOC1A/ GTIOC5A/GTIOC1A#/GTIOC5A#
38	P71/MTIOC3B	P71/MTIOC3B/MTIOC3B#/GTIOC0A/ GTIOC4A/GTIOC0A#/GTIOC4A#
39	P70/POE0#/IRQ5	P70/GTETRGA/GTETRGB/GTETRG/ GTETRGD/POE0#/CTS9#/RTS9#/SS9#/ IRQ5-DS
40	P33/MTIOC3A/MTCLKA/SSLA3	VCC
41	P32/MTIOC3C/MTCLKB/SSLA2	VSS
42	VCC	P22/MTIC5W/MTCLKD/MTIC5W#/ MTCLKD#/MTIOC9B/TMRI2/TMO4/RXD8/ SMISO8/SSCL8/RXD12/SMISO12/SSCL12/ RXDX12/MISOA/CRX0/IRQ10/ADTRG2#/ COMP2

64 ピン	RX23T (64 ピン LFQFP)	RX66T (64 ピン LFQFP)
43	P31/MTIOC0A/MTCLKC/SSLA1	P21/MTIOC9A/MTCLKA/MTIOC9A#/ MTCLKA#/TMCI4/TXD8/SMOSI8/SSDA8/ TXD12/SMOSI12/SSDA12/TXD12/SIOX12/ MOSIA/IRQ6-DS/AN217/ADTRG1#/COMP5
44	VSS	P20/MTIOC9C/MTCLKB/MTIOC9C#/ MTCLKB#/TMRI4/CTS8#/RTS8#/SS8#/ SCK8/RSPCKA/IRQ7-DS/AN216/ADTRG0#/ COMP4
45	P30/MTIOC0B/MTCLKD/SSLA0	P65/IRQ9/AN211/CMPC53/DA1
46	P24/MTIC5U/TMCI2/RSPCKA/COMP0/IRQ3	P64/IRQ8/AN210/CMPC33/DA0
47	P23/MTIC5V/CACREF/TMO2/MOSIA/ COMP1/IRQ4	AVCC2
48	P22/MTIC5W/TMRI2/MISOA/COMP2/IRQ2	AVSS2
49	P47/AN007/CMPC12/CMPC22	P54/IRQ2/AN202/CMPC22
50	P46/AN006/CMPC02	P53/IRQ1/AN201/CMPC12
51	P45/AN005/CMPC21	P52/IRQ0/AN200/CMPC02
52	P44/AN004/CMPC11	P46/AN102/CMPC50/CMPC51
53	P43/AN003/CMPC01	P45/AN101/CMPC40/CMPC41
54	P42/AN002/CMPC20	P44/AN100/CMPC30/CMPC31
55	P41/AN001/CMPC10	PH4/AN107/PGAVSS1
56	P40/AN000/CMPC00	P42/AN002/CMPC20/CMPC21
57	AVCC0	P41/AN001/CMPC10/CMPC11
58	VREFH0	P40/AN000/CMPC00/CMPC01
59	VREFL0	PH0/AN007/PGAVSS0
60	AVSS0	AVCC1
61	P11/MTIOC3A/MTCLKC/TMO3/IRQ1/ AN016/CVREFC0	AVCC0
62	P10/MTCLKD/TMRI3/IRQ0/AN017/ CVREFC1	AVSS0
63	PA5/MTIOC1A/TMCI3/MISOA	AVSS1
64	PA4/MTIOC1B/RSPCKA/ADTRG0#	P11/MTIOC3A/MTCLKC/MTIOC3A#/ MTCLKC#/MTIOC9D/GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/TMO3/POE9#/ IRQ1-DS

3.2 48 ピンパッケージ

表 3.2 に 48 ピンパッケージ端子機能の比較を示します。

表 3.2 48 ピンパッケージ端子機能の比較

48 ピン	RX23T (48 ピン LFQFP)	RX66T (48 ピン LFQFP)
1	VCL	UB/P00/MTIOC9A/MTIOC9A#/CACREF/RXD9/ SMISO9/SSCL9/RXD12/SMISO12/SSCL12/ RXDX12/IRQ2/ADST1/COMP0
2	MD/FINED	VCL
3	RES#	MD/FINED
4	XTAL/P37	RES#
5	VSS	XTAL/P37
6	EXTAL/P36	VSS
7	VCC	EXTAL/P36
8	PE2/POE10#/NMI	VCC
9	PD6/TMO1/SSLA0/CTS1#/RTS1#/SS1#/ADST0/ IRQ5	PE2/POE10#/NMI
10	PD5/TMRI0/RXD1/SMISO1/SSCL1/IRQ3	PD7/MTIOC9A/MTIOC9A#/GTIOC0A/GTIOC3A/G TIOC0A#/GTIOC3A#/TMRI1/TMRI5/TXD5/ SMOSI5/SSDA5/SSLA1/CTX0/IRQ8
11	PD4/TMCIO/SCK1/IRQ2	PD5/GTIOC1A/GTETRGA/GTIOC1A#/TMRI0/TM RI6/RXD1/SMISO1/SSCL1/RXD11/SMISO11/ SSCL11/IRQ6
12	PD3/TMO0/TXD1/SMOSI1/SSDA1	PD3/GTIOC2A/GTETRGC/GTIOC2A#/TMO0/ TXD1/SMOSI1/SSDA1/TXD11/SMOSI11/SSDA11
13	PB6/RXD5/SMISO5/SSCL5/IRQ5	PB6/GTIOC2A/GTIOC2A#/RXD5/SMISO5/ SSCL5/RXD11/SMISO11/SSCL11/RXD12/ SMISO12/SSCL12/RXDX12/CRX0/IRQ2
14	PB5/TXD5/SMOSI5/SSDA5	PB5/GTIOC2B/GTIOC2B#/TXD5/SMOSI5/ SSDA5/TXD11/SMOSI11/SSDA11/TXD12/ SMOSI12/SSDA12/TXDX12/SIOX12/CTX0
15	VCC	PB4/GTETRGA/GTETRGA/GTETRGC/GTETRGC/ D/POE8#/CTS5#/RTS5#/SS5#/SCK11/CTS11#/ RTS11#/SS11#/IRQ3-DS
16	PB4/POE8#/IRQ3	PB3/MTIOC0A/MTIOC0A#/CACREF/ SCK6/RSPCKA/IRQ9
17	PB3/MTIOC0A/CACREF/SCK5/RSPCKA	PB2/MTIOC0B/MTIOC0B#/GTADSM0/TMRI0/ TXD6/SMOSI6/SSDA6/SDA0/ADSM0
18	PB2/MTIOC0B/ADSM0/TXD5/SMOSI5/ SSDA5/SDA0	PB1/MTIOC0C/MTIOC0C#/GTADSM1/TMCIO/ RXD6/SMISO6/SSCL6/SCL0/IRQ4/ADSM1
19	PB1/MTIOC0C/RXD5/SMISO5/SSCL5/ SCL0/IRQ2	PB0/MTIOC0D/MTIOC0D#/TMO0/TXD6/SMOSI6/ SSDA6/CTS11#/RTS11#/SS11#/MOSIA/IRQ8/ ADTRG2#
20	PB0/MTIOC0D/MOSIA	PA5/MTIOC1A/MTIOC1A#/TMCIO3/RXD6/ SMISO6/SSCL6/MISOA/IRQ1/ADTRG1#
21	PA3/MTIOC2A/SSLA0	PA3/MTIOC2A/MTIOC2A#/GTADSM0/TMRI7/ TXD9/SMOSI9/SSDA9/SSLA0
22	PA2/MTIOC2B/CTS5#/RTS5#/SS5#/SSLA1/IRQ4	VCC
23	P94/MTIOC0C/TMO1/MISOA/IRQ1	VSS
24	P93/MTIOC0B/TMRI1/SCK5/RSPCKA/IRQ0	P94/MTIOC7A/MTIOC7A#/GTIOC5A/GTIOC8A/ GTIOC5A#/GTIOC8A#
25	P76/MTIOC4D	P76/MTIOC4D/MTIOC4D#/GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#

48 ピン	RX23T (48 ピン LFQFP)	RX66T (48 ピン LFQFP)
26	P75/MTIOC4C	P75/MTIOC4C/MTIOC4C#/GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#
27	P74/MTIOC3D	P74/MTIOC3D/MTIOC3D#/GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#
28	P73/MTIOC4B	P73/MTIOC4B/MTIOC4B#/GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#
29	P72/MTIOC4A	P72/MTIOC4A/MTIOC4A#/GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#
30	P71/MTIOC3B	P71/MTIOC3B/MTIOC3B#/GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#
31	P70/POE0#/IRQ5	VCC
32	VCC	VSS
33	VSS	P65/IRQ9/AN211/CMPC53/DA1
34	P24/MTIC5U/TMCI2/RSPCKA/COMP0/IRQ3	P64/IRQ8/AN210/CMPC33/DA0
35	P23/MTIC5V/CACREF/TMO2/MOSIA/COMP1/ IRQ4	AVCC2
36	P22/MTIC5W/TMRI2/MISOA/COMP2/IRQ2	AVSS2
37	P47/AN007/CMPC12/ CMPC22	P62/IRQ6/AN208/CMPC43
38	P46/AN006/CMPC02	P44/AN100/CMPC30/CMPC31
39	P45/AN005/CMPC21	P43/AN003
40	P44/AN004/CMPC11	P42/AN002/CMPC20/CMPC21
41	P43/AN003/CMPC01	P41/AN001/CMPC10/CMPC11
42	P42/AN002/CMPC20	P40/AN000/CMPC00/CMPC01
43	P41/AN001/CMPC10	AVCC1
44	P40/AN000/CMPC00	AVCC0
45	AVCC0	AVSS0
46	AVSS0	AVSS1
47	P11/MTIOC3A/MTCLKC/TMO3/IRQ1/AN016/ CVREFC0	P11/MTIOC3A/MTCLKC/MTIOC3A#/MTCLKC#/ MTIOC9D/GTIOC3B/GTETRGA/GTIOC3B#/ GTETRGC/TMO3/POE9#/IRQ1-DS
48	P10/MTCLKD/TMRI3/IRQ0/AN017/ CVREFC1	P10/MTIOC9B/MTCLKD/MTIOC9B#/MTCLKD#/ GTETRGA/GTETRGC/TMRI3/POE12#/CTS6#/ RTS6#/SS6#/IRQ0-DS

4. 移行の際の留意点

RX23T グループと RX66T グループの相違について、いくつかの留意点があります。

ハードウェアに関する留意点を「4.1 端子設計の留意点」で説明します。また、ソフトウェアに関する留意点を「4.2 機能設計の留意点」で説明します。

4.1 端子設計の留意点

4.1.1 VCL 端子(外付け容量)

VCL 端子に接続する内部電源安定用の平滑コンデンサは、RX23T グループでは 4.7 μ F の容量を、RX66T グループでは 0.47 μ F の容量を使用してください。

4.1.2 モード設定端子

リセット解除時のモード設定端子は、RX23T グループでは MD 端子ですが、RX66T グループでは MD 端子と UB 端子(P00 と兼用)となっています。

4.1.3 汎用入出力ポート

RX23T グループではポート 4 を使用しない場合は、入力に設定し、1 端子ごとに抵抗を介して VCC に接続（プルアップ）、または 1 端子ごとに抵抗を介して VSS に接続（プルダウン）します。しかし RX66T グループでは、ポート 4 を使用しない場合は、入力に設定して 1 端子ごとに抵抗を介して **AVCC** に接続（プルアップ）、または 1 端子ごとに抵抗を介して **AVSS** に接続（プルダウン）してください。または、出力に設定して端子を開放してください。

出力に設定して端子を開放する場合、リセット解除直後は端子が入力設定になっていますので、入力になっている間は端子電圧のレベルが不定となり、電源電流が増加する場合があります。

4.1.4 PGA 疑似差動入力関連端子(P40~42、P44~46、PH0、PH4)

RX66T グループは、リセット状態から PGA 疑似差動入力の端子へ負電圧の入力が可能になっています。

このため、リセット解除後、P40~42、P44~46、PH0、PH4 の端子機能を使用するためには、PGA 使用の有無に関わらず PGA に関するレジスタの設定変更が必要です。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」で VOLSR.PGAVLS ビット、A/D コンバータの初期設定フロー、および PIDR レジスタを参照してください。

なお、PGA 疑似差動入力なしの製品でも設定変更が必要です。

4.1.5 AVCC 端子と AVSS 端子間のデカップリング容量挿入方法

過大なサージなど異常電圧によるアナログ入力端子(AN000 ~ AN007, AN100 ~ AN107, AN200 ~ AN211, AN216, AN217) の破壊を防ぐために、AVCCn と AVSSn 間にコンデンサを、またアナログ入力端子(AN000 ~ AN007, AN100 ~ AN107, AN200 ~ AN211, AN216, AN217) を基準に保護回路を接続してください。

詳細は「5.参考ドキュメント」の RX66T グループ ユーザーズマニュアルハードウェア編で、12 ビット A/D コンバータのノイズ対策上の注意を参照してください。

4.1.6 アナログ電源端子に接続するコンデンサ

RX66T グループでは、A/D 変換クロックを 40 MHz より高くする場合、0.1 μ F のコンデンサと電源端子の間に下記容量のコンデンサを追加してください。

- RAM 容量が 64K バイトの製品 : 1000pF
- RAM 容量が 128K バイトの製品 : 0.01 μ F

4.2 機能設計の留意点

RX23T グループで動作するソフトウェアは RX66T グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なるため、十分に評価してください。

以下は RX66T グループと RX23T グループで異なる機能の設定に関し、ソフトウェアでの留意点について掲載しております。

モジュールおよび機能の相違点については「2 仕様の概要比較」を参照してください。詳細は「5 参考ドキュメント」のユーザーズマニュアルハードウェア編を参照してください。

4.2.1 RIIC 動作電圧設定

RX66T グループで RIIC を使用する場合、スロープ特性を保つために、電源電圧範囲を指定する必要があります。

初期値は VCC が 4.5V 以上の設定になっています。4.5V 未満で使用する場合、RIIC を動作させる前に電圧範囲を変更してください。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」で、VOLSR.RICVLS ビットを参照してください。

4.2.2 USB 動作電圧設定

RX66T グループで USB を使用する場合、USB を動作させる前に USB 電源制御ビットを 1 にする必要があります。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」で、VOLSR.USBVON ビットを参照してください。

4.2.3 電圧レベル設定

RX66T グループでは、動作電圧に応じて動作モードの電圧レベル設定レジスタ (VOLSR)、電圧検出回路の電圧検出レベル選択レジスタ (LVDLVLR)、オプション設定メモリのオプション機能選択レジスタ 1 (OFS1) を適切な値に変更する必要があります。プログラムで必ず設定してください。

4.2.4 クロック周波数設定

RX23T グループではクロック周波数設定制限は $ICLK \geq PCLK$ ですが、RX66T グループでは以下のように設定してください。

また、RX66T グループでは ICLK を 120MHz より速くする場合は、MEMWAIT レジスタの変更が必要です。

クロック周波数設定制限 : $ICLK \geq BCLK$ 、 $PCLKC \geq PCLKA \geq PCLKB$

クロック周波数比制限 : (N は整数)

ICLK : FCLK = N : 1 or 1 : N

ICLK : PCLKA = N : 1 or 1 : N

ICLK : PCLKB = N : 1 or 1 : N

ICLK : PCLKC = N : 1 or 1 : N

ICLK : PCLKD = N : 1 or 1 : N

PCLKA : PCLKC = 1 : 1 or 1 : 2

PCLKB : PCLKD = 1 : 1 or 2 : 1 or 4 : 1 or 1 : 2

4.2.5 メインクロック発振停止検出機能の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックおよび PLL クロックの代わりに低速オンチップオシレータが出力する LOCO クロックを供給する機能です。

RX66T グループでは、PLL のクロックソースに HOCO クロックを選択し、かつシステムクロックのクロックソースに PLL クロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックは LOCO クロックに切り替わらないので注意してください。

4.2.6 PLL 回路

PLL 回路の通倍率は、RX23T グループで 4~10 通倍(0.5 刻み)、RX66T グループで 10~30 通倍(0.5 刻み)です。PLL 回路を使用するには、PLLCR.STC[5:0]ビットに設定値を適切な値に変更してください。また、RX66T グループでは、PLL クロックの切り替えはプログラムで実施してください。

4.2.7 MTU3d/GPTW 動作周波数

RX66T グループでは、MTU3d/GPTW のカウントクロックは PCLKC ですが、使用するバスのクロックは PCLKA です。使用する周波数の組み合わせによっては制限がありますので、注意してください。

4.2.8 全モジュールクロックストップモード

RX23T グループでは、全モジュールクロックストップモードはありません。

RX66T グループでは、全モジュールクロックストップモードへ移行させる場合、MSTPA24、MSTPA27、MSTPA29、MSTPD0~MSTPD7 に“1”を書き込んでおく必要があります。

4.2.9 DIRQnE ビット(n = 0~15)による入力バッファ制御

RX66T グループでは、消費電力低減機能の DPSIERy.DIRQnE (y = 0, 1, n = 0~15) ビットを“1”にすることで、IRQ0-DS~IRQ15-DS 端子の入力バッファを有効にすることができます。これにより、当該端子の入力は、DPSIFRy.DIRQnF (y = 0, 1, n = 0~15) ビットに伝わりますが、割り込みコントローラや周辺モジュール、I/O ポートには伝わりませんので注意してください。

4.2.10 選択型割り込み

RX23T グループでは、割り込み要因は固定のベクタ番号ですが、RX66T グループでは MTU/GPTW の割り込み要因は選択型割り込み A となり、選択型割り込み A 要因選択レジスタ n (SLIARn) を設定することで、割り込み要因を割り込みベクタテーブル 208~255 に配置することができます。

4.2.11 ウォッチドッグタイマ/独立ウォッチドッグタイマ

RX66T グループでは、WDT アンダフロー/リフレッシュエラー割り込み、IWDT アンダフロー/リフレッシュエラー割り込みをマスカブル割り込みまたはノンマスカブル割り込みから選択することが可能です。

4.2.12 ポート方向レジスタ(PDR)の初期化

同一ピン数でも、PDR レジスタの初期化が異なります。

4.2.13 POE3 の汎用入出力ポート切り替え制御の注意事項

RX66T グループでは、POE3 で指定した出力停止要求が発生すると、PMMCRn レジスタ(n = 0~3)の当該ビットを“1”にした端子は、汎用入出力ポートに切り替わります。事前に対応する POECRn レジスタ(n = 0~3)のビットを“0”にしてください。

4.2.14 相補 PWM モードでのバッファレジスタの設定値

RX23T グループでは、マルチファンクションタイマパルスユニット 3 の相補 PWM モードでダブルバッファ機能使用時は、バッファレジスタ (MTU3.TGRE, MTU4.TGRE, MTU4.TGRF, MTU6.TGRE, MTU7.TGRE, MTU7.TGRF) に PWM 出力の「デューティ値-1」を設定しますが、RX66T グループでは「PWM 出力のデューティ値」を設定してください。

4.2.15 MTU による DMAC 起動

RX66T グループでは、MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因がクリアされます。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

4.2.16 カウントクロックの制限事項

RX66T グループでは、MTU のカウントクロックソースのパルス幅は、単エッジの場合は 1.5PCLKC 以上、両エッジの場合は 2.5PCLKC 以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5PCLKC 以上、パルス幅は 2.5PCLKC 以上必要です。

4.2.17 ELC イベント入力の時タイマモードレジスタ設定の注意事項

RX66T グループでは、MTU を ELC のアクション動作に設定する場合は、該当チャネルのタイマモードレジスタ (TMDR) は初期値 (00h) に設定してください。

4.2.18 ポートアウトプットイネーブル

RX66T グループでは、RX23T グループからポートアウトプットイネーブルのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.19 ポートアウトプットイネーブル 3 出力停止要求発生時の制御

RX66T グループでは、出力停止要求が発生したとき、POECR1~POECR3、POECR7 レジスタの対応するビットを“1”にした端子はハイインピーダンスになり、PMMCR0~PMMCR3 レジスタの対応するビットを“1”にした端子は汎用入出力ポートに切り替わります。

同一端子に対して両方のビットを“1”にした場合は、POECR1~POECR3、POECR7 レジスタの設定が優先され、端子はハイインピーダンスになります。

汎用入出力ポートに切り替わった後は、PDR レジスタ、PODR レジスタの設定により端子の状態が決定します。

4.2.20 MTU/GPTW 反転出力設定時のアクティブレベル設定について

RX66T グループでは、MPC.PmnPFS レジスタにより MTU/GPTW の出力を正転出力/反転出力から選択することができます。

MTU の反転出力を選択した場合、MTU.TOCR1j、MTU.TOCR2j レジスタ(j = A, B)で設定したアクティブレベルと端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR1、ALR2 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

GPTW の反転出力を選択した場合、端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR3~ALR5 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

4.2.21 ハイインピーダンス時の端子の読み出しについて

RX66T グループでは、POE によって端子がハイインピーダンスになっているときは、当該端子のレベルを読み出すことはできません。読んだ場合の値は不定です。端子のレベルを読み出すには、ハイインピーダンス状態を解除してください。

ハイインピーダンス制御の代わりにポート切り替え制御を選択した場合、この制限はありません。

4.2.22 POE と POEG を併用した場合の注意事項

RX66T グループでは、POE と POEG を併用する場合、同一の GPTW 出力端子に対して、POE と POEG の両方で出力停止制御を行わないでください。

4.2.23 I²C バスインタフェースのノイズ除去

RX23T グループでは、SCL、SDA ラインにアナログノイズフィルタを内蔵していますが、RX66T グループではアナログノイズフィルタを内蔵していません。

4.2.24 12 ビット A/D コンバータ

RX66T グループでは、RX23T グループから 12 ビット A/D コンバータのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.2.25 コンペア機能制約

RX66T グループの 12 ビット A/D コンバータのコンペア機能には、以下の制約があります。

- (1) 自己診断機能およびダブルトリガモードの使用は禁止です。
(ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB はコンペア機能対象外です。)
- (2) マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
- (3) ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
- (4) ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
- (5) ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。
- (6) High 側基準値 $\geq$ Low 側基準値となるように設定してください。

4.2.26 A/D 変換スタートビット

RX66T グループでは、12 ビット A/D コンバータのグループ優先動作モード有効時 (ADCSR.ADCS[1:0] ビット=01b かつ ADGSPCR.PGS ビット=1) にシングルスキャン連続機能を使用 (ADGSPCR.GBRP ビット=1) した場合、ADCSR.ADST ビットは“1”を保持します。

4.2.27 12 ビット A/D コンバータがモジュールストップ中の PGA 出力

RX66T グループでは、プログラマブルゲインアンプ(PGA)と 12 ビット A/D コンバータは同じモジュールストップ信号で制御されていますので、12 ビット A/D コンバータがモジュールストップ中は、以下の PGA 出力の比較はできません。

- AN000 端子 PGA 出力
- AN001 端子 PGA 出力
- AN002 端子 PGA 出力
- AN100 端子 PGA 出力
- AN101 端子 PGA 出力
- AN102 端子 PGA 出力

12 ビット A/D コンバータがモジュールストップ中は、以下のアナログ端子の比較はできません。

- AN000 端子
- AN001 端子
- AN002 端子
- AN100 端子
- AN101 端子
- AN102 端子

4.2.28 A/D スキャン変換終了割り込みの発生

RX66T グループでは、ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADCSR.ADIE ビットが“1”にセットされていれば A/D スキャン変換終了割り込みが発生します。

4.2.29 ROM キャッシュ

RX66T グループは 8K バイトの ROM キャッシュがありますが、リセット解除後の ROM キャッシュ動作は禁止です。

ROM キャッシュを使用する場合は、ROMCE.ROMCEN ビットを 1 にしてください。

4.2.30 フラッシュメモリのコマンド使用方法

RX23T グループでは、ROM のプログラム/イレーズ用の専用シーケンサのモードへ移行して、ソフトウェアコマンドを発行することにより、フラッシュメモリのプログラム/イレーズ等を行います。RX66T グループでは、FACI コマンド発行領域に FACI コマンドを設定することにより、FCU を制御してフラッシュメモリのプログラム/イレーズ等を行います。

表 4.1 にソフトウェアコマンドと FACI コマンドの仕様比較を示します。

表 4.1 ソフトウェアコマンドと FACI コマンドの仕様比較

項目	ソフトウェアコマンド(RX23T)	FACI コマンド(RX66T)
コマンド発行領域	—	FACI コマンド発行領域 (007E 0000h)
使用可能コマンド	- プログラム - ブロックイレーズ - 全ブロックイレーズ - ブランクチェック - スタートアップ領域情報プログラム - アクセスウィンドウ情報プログラム	- プログラム - ブロックイレーズ - P/E サスペンド - P/E レジューム - ステータスクリア - 強制終了 - ブランクチェック - コンフィギュレーション設定 - ロックビットプログラム - ロックビットリード

4.2.31 オプション設定メモリ

RX23T グループでは、ID コードプロテクト、オンチップデバッグの ID コードプロテクトは ROM に配置されていますが、RX66T グループではオプション設定メモリに配置されています。設定方法が異なるため、注意してください。

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX23T グループ ユーザーズマニュアル ハードウェア編 Rev1.10(R01UH0520JJ0110)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX66T グループ ユーザーズマニュアル ハードウェア編 Rev1.21(R01UH0749JJ0121)

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

- TN-RX*-A0147B/J
- TN-RX*-A200A/J
- TN-RX*-A193A/J
- TN-RX*-A194A/J
- TN-RX*-A175A/J
- TN-RX*-A173A/J
- TN-RX*-A163A/J
- TN-RX*-A151A/J
- TN-RX*-A260A/J

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Mar.19.20	—	初版発行
1.10	Jan.25.22	41	表 2.29 I/O ポート 48 ピンの概要比較の追加
		94	表 2.66 シリアルペリフェラルインタフェースの概要比較 改訂
		96	表 2.67 SPCR2 レジスタ 追加
		109	表 2.75 コンパレータ C の概要比較 改訂
		120	2.30 パッケージ 改訂
		124	3.2 48 ピンパッケージ 追加
		129	4.2.16 カウントクロックの制限事項 改訂

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、リセットしてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。