

RX65N/RX651 グループ RX230/RX231 グループ

RX65N グループと RX231 グループの相違点

要旨

本アプリケーションノートは、主に RX65N グループ、RX231 グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートで特に記載のない箇所については RX65N グループの 176/177 ピンパッケージと RX231 グループの 100 ピンパッケージ、チップバージョン B について記載しています。電気的特性、注意事項、設定手順の仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RX65N グループ、RX231 グループ

目次

1. RX65N グループと RX231 グループの搭載機能比較.....	4
2. 仕様の概要比較	6
2.1 CPU.....	6
2.2 動作モード.....	7
2.3 アドレス空間	8
2.4 リセット	11
2.5 オプション設定メモリ	12
2.6 電圧検出回路	14
2.7 クロック発生回路	17
2.8 消費電力低減機能	22
2.9 バッテリバックアップ機能	30
2.10 レジスタライトプロテクション機能	31
2.11 割り込みコントローラ	32
2.12 バス	36
2.13 DMA コントローラ.....	40
2.14 データトランスファコントローラ	42
2.15 イベントリンクコントローラ	45
2.16 I/O ポート	47
2.17 マルチファンクションピンコントローラ.....	49
2.18 16 ビットタイマパルスユニット	50
2.19 8 ビットタイマ	51
2.20 リアルタイムクロック	52
2.21 ウォッチドッグタイマ	54
2.22 独立ウォッチドッグタイマ	56
2.23 USB2.0 ホスト/ファンクションモジュール	59
2.24 シリアルコミュニケーションインタフェース.....	62
2.25 I ² C バスインタフェース	67
2.26 CAN モジュール	70
2.27 シリアルペリフェラルインタフェース	77
2.28 CRC 演算器	80
2.29 SD ホストインタフェース.....	82
2.30 12 ビット A/D コンバータ	83
2.31 12 ビット D/A コンバータ	93
2.32 温度センサ.....	94
2.33 RAM	95
2.34 フラッシュメモリ(コードフラッシュ)	96
2.35 パッケージ.....	101
3. 端子機能の比較	102
3.1 100 ピンパッケージ	102
3.2 64 ピンパッケージ(RX231 : WFLGA, RX651 : TFBGA).....	107
3.3 64 ピンパッケージ(RX231 : LFQFP/HWQFN, RX651 : LFQFP)	110
4. 移行の際の留意点	113
4.1 動作電圧範囲	113

4.1.1	電源電圧	113
4.1.2	アナログ電源電圧	113
4.2	端子設計の留意点	113
4.2.1	VCL 端子(外付け容量).....	113
4.2.2	メインクロック発振器	113
4.2.3	USB 外部接続回路	113
4.2.4	ブートモード (FINE インタフェース) への遷移	114
4.3	機能設定の留意点	114
4.3.1	セルフプログラミングでオプション設定メモリを変更する方法.....	114
4.3.2	フラッシュメモリのアクセスウェイト数の設定	114
4.3.3	選択型割り込み.....	114
4.3.4	フラッシュメモリのコマンド使用方法	115
4.3.5	フラッシュアクセスウィンドウ設定レジスタ (FAW).....	115
4.3.6	ソフトウェアスタンバイモード	115
4.3.7	バッテリーバックアップ機能	115
5.	参考ドキュメント	116
	改訂記録	118

1. RX65N グループと RX231 グループの搭載機能比較

RX65N グループと RX231 グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX231/RX65N 搭載機能比較を示します。

表 1.1 RX231/RX65N 搭載機能比較

機能名	RX231	RX65N コード フラッ シュ 1.0MB 以下	RX65N コード フラッ シュ 1.5MB 以上
CPU		▲	
動作モード		●	
アドレス空間		▲	
リセット		●	
オプション設定メモリ		●/▲	
電圧検出回路(LVDAb) : RX231、(LVDA) : RX65N		●/■	
クロック発生回路		●/▲/■	
クロック周波数精度測定回路(CAC)		○	
消費電力低減機能		●/▲	
バッテリーバックアップ機能		■	
レジスタライトプロテクション機能		▲/■	
例外処理		○	
割り込みコントローラ(ICUb):RX231、(ICUB):RX65N		●/■	
バス		●	
メモリプロテクションユニット(MPU)		○	
DMA コントローラ(DMACA):RX231、(DMACAa):RX65N		▲	
EXDMA コントローラ(EXDMACa)	×		○*2
データトランスファコントローラ(DTCa):RX231、(DTCb):RX65N		●	
イベントリンクコントローラ(ELC)		▲	
I/O ポート		●/▲/■	
マルチファンクションピンコントローラ(MPC)		●	
マルチファンクションタイマパルスユニット 2(MTU2a)	○		×
マルチファンクションタイマパルスユニット 3(MTU3a)	×		○
ポートアウトプットイネーブル 2(POE2a)	○		×
ポートアウトプットイネーブル 3(POE3a)	×		○
16 ビットタイマパルスユニット(TPUa)		●	
プログラマブルパルスジェネレータ(PPG)	×		○*2
8 ビットタイマ(TMR)		●	
コンペアマッチタイマ(CMT)		○	
コンペアマッチタイマ W(CMTW)	×		○
リアルタイムクロック(RTCe):RX231、(RTCd):RX65N		●	
ローパワータイマ(LPT)	○		×
ウォッチドッグタイマ(WDTa)		●	
独立ウォッチドッグタイマ(IWDTa)		●	
イーサネットコントローラ(ETHERC)	×		○*2

機能名		RX231	RX65N コード フラッ シュ 1.0MB 以下	RX65N コード フラッ シュ 1.5MB 以上
イーサネットコントローラ用 DMA コントローラ(EDMACa)		×	○*2	
USB2.0 ホスト/ファンクションモジュール(USBd):RX231 USB2.0 FS ホスト/ファンクションモジュール(USBb):RX65N		●/■		
シリアルコミュニケーションインタフェース(SCIq、SCIh):RX231 シリアルコミュニケーションインタフェース(SCIq、SCIi、SCIh):RX65N		●		
IrDA インタフェース		○	×	
I²C バスインタフェース(RIICa)		▲		
CAN モジュール(RSCAN):RX231、(CAN):RX65N		●/▲/■*2		
シリアルサウンドインタフェース(SSI)		○	×	
シリアルペリフェラルインタフェース(RSPIa):RX231、(RSPiC):RX65N		▲		
クワッドシリアルペリフェラルインタフェース(QSPI)		×	○	
CRC 演算器(CRC):RX231、(CRCA):RX65N		●		
SD ホストインタフェース(SDHIa):RX231、(SDHI):RX65N		●		
SD スレーブインタフェース(SDSI)		×	○*2	
マルチメディアカードインタフェース(MMCIF)		×	○*2	
パラレルデータキャプチャユニット(PDC)		×	○*2,*3	
バウンダリスキャン		×	○	
セキュリティ機能	TSIP-lite	○	×	×
	TSIP	×	×	○
	AESa	○*1	○	○*1
	RNGa	○*1	○	○*1
静電容量式タッチセンサ (CTSU)		○	×	
12 ビット A/D コンバータ(S12ADE):RX231、(S12ADFa):RX65N		●/▲/■		
12 ビット D/A コンバータ(R12DAA):RX231、(R12DAa):RX65N		●		
温度センサ(TEMPSA):RX231、(TEMPS):RX65N		●		
コンパレータ B(CMPBa)		○	×	
データ演算回路(DOC)		○		
RAM		●/▲		
スタンバイ RAM		×	○	
フラッシュメモリ (コードフラッシュ)		●/▲/■		
フラッシュメモリ (データフラッシュ)		○	×	○
グラフィック LCD コントローラ(GLCDC)		×		○*2
2D 描画エンジン(DRW2D)		×		○*2
パッケージ		▲		

○:機能搭載、×:機能未搭載、●:機能追加による差分あり、▲:機能変更による差分あり

■:機能削除による差分あり

*1 : Trusted Secure IP に内蔵

*2 : 64 ピンは非搭載

*3 : 100 ピンは非搭載

2. 仕様の概要比較

2.1 CPU

表 2.1 に CPU 仕様の概要比較を示します。

表 2.1 CPU 仕様の概要比較

項目	RX231	RX65N
中央演算処理装置	- 最大動作周波数：54MHz 32 ビット RX CPU(RXv2) - 最小命令実行時間:1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ 汎用レジスタ：32 ビット × 16 本 制御レジスタ：32 ビット × 10 本 アキュムレータ：72 ビット× 2 本 - 基本命令：75 種類 - 浮動小数点演算命令：11 種類 - DSP 機能命令：23 種類 - アドレッシングモード：11 種類 - データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器:32 ビット× 32 ビット→64 ビット - 除算器：32 ビット÷ 32 ビット→32 ビット - バレルシフタ：32 ビット - メモリプロテクションユニット (MPU)	- 最大動作周波数：120MHz 32 ビット RX CPU(RXv2) - 最小命令実行時間:1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ 汎用レジスタ：32 ビット × 16 本 制御レジスタ：32 ビット × 10 本 アキュムレータ：72 ビット× 2 本 - 基本命令：75 種類 - 浮動小数点演算命令：11 種類 - DSP 機能命令：23 種類 - アドレッシングモード：11 種類 - データ配置 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器:32 ビット× 32 ビット→64 ビット - 除算器：32 ビット÷ 32 ビット→32 ビット - バレルシフタ：32 ビット - メモリプロテクションユニット (MPU)
FPU	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外

2.2 動作モード

表 2.2 に動作モード仕様の概要比較を、表 2.3 に動作モードのレジスタ比較を示します。

表 2.2 動作モード仕様の概要比較

項目	RX231	RX65N
モード設定端子による動作モード	シングルチップモード	シングルチップモード
	ブートモード (SCI インタフェース)	ブートモード (SCI インタフェース)
	ブートモード (USB インタフェース)	ブートモード (USB インタフェース)
	-	ブートモード (FINE インタフェース)
レジスタによる動作モード	シングルチップモード	シングルチップモード
	内蔵 ROM 無効拡張モード	内蔵 ROM 無効拡張モード
	内蔵 ROM 有効拡張モード	内蔵 ROM 有効拡張モード

表 2.3 動作モードのレジスタ比較

レジスタ	ビット	RX231	RX65N
SYSCR1	SBYRAME	-	スタンバイ RAM 有効ビット

2.3 アドレス空間

表 2.4 にシングルチップモードのメモリマップ比較を、表 2.5 に内蔵 ROM 有効拡張モードのメモリマップ比較を、表 2.6 に内蔵 ROM 無効拡張モードのメモリマップ比較を示します。

表 2.4 シングルチップモードのメモリマップ比較

開始アドレス	RX231	RX65N
0000 0000h	RAM	内蔵 RAM
0001 0000h	予約領域	
0004 0000h		
0008 0000h	周辺 I/O レジスタ	周辺 I/O レジスタ
000A 4000h		スタンバイ RAM
000A 6000h		周辺 I/O レジスタ
0010 0000h		内蔵 ROM (E2 データフラッシュ)
0010 2000h	予約領域	内蔵 ROM (データフラッシュメモリ)
0010 8000h		予約領域
007E 0000h		FACI コマンド発行領域
007F 0004h		予約領域
007F C000h	周辺 I/O レジスタ	周辺 I/O レジスタ
007F C500h	予約領域	
007F FC00h	周辺 I/O レジスタ	
0080 0000h	予約領域	内蔵拡張 RAM
0086 0000h		予約領域
FE7F 5D00h		内蔵 ROM (オプション設定メモリ)
FE7F 5D80h		予約領域
FE7F 7D70h		内蔵 ROM (読み出し専用)
FE7F 7DA0h		予約領域
FFE0 0000h		内蔵 ROM (コードフラッシュメモリ)
FFF8 0000h	内蔵 ROM (プログラム ROM) (読み出し専用)	

表 2.5 内蔵 ROM 有効拡張モードのメモリマップ比較

開始アドレス	RX231	RX65N
0000 0000h	RAM	内蔵 RAM
0001 0000h	予約領域	
0004 0000h		
0008 0000h	周辺 I/O レジスタ	周辺 I/O レジスタ
000A 4000h		スタンバイ RAM
000A 6000h		周辺 I/O レジスタ
0010 0000h	内蔵 ROM (E2 データフラッシュ)	内蔵 ROM (データフラッシュメモリ)
0010 2000h	予約領域	
0010 8000h		
007E 0000h		FACI コマンド発行領域
007F 0004h		予約領域
007F C000h	周辺 I/O レジスタ	周辺 I/O レジスタ
007F C500h	予約領域	
007F FC00h	周辺 I/O レジスタ	
0080 0000h	予約領域	内蔵拡張 RAM
0086 0000h		予約領域
0100 0000h		CS7 (16M バイト)
0200 0000h		CS6 (16M バイト)
0300 0000h		CS5 (16M バイト)
0400 0000h		CS4 (16M バイト)
0500 0000h	CS3 (16M バイト)	CS3 (16M バイト)
0600 0000h	CS2 (16M バイト)	CS2 (16M バイト)
0700 0000h	CS1 (16M バイト)	CS1 (16M バイト)
0800 0000h	予約領域	SDCS (128M バイト)
1000 0000h		予約領域
FE7F 5D00h		内蔵 ROM (オプション設定メモリ)
FE7F 5D80h		予約領域
FE7F 7D70h		内蔵 ROM (読み出し専用)
FE7F 7DA0h		予約領域
FFE0 0000h		内蔵 ROM (コードフラッシュメモリ)
FFF8 0000h	内蔵 ROM (プログラム ROM) (読み出し専用)	

太枠で囲まれた領域は外部アドレス空間(CS 領域、SDRAM 領域)です。

表 2.6 内蔵 ROM 無効拡張モードのメモリマップ比較

開始アドレス	RX231	RX65N
0000 0000h	RAM	内蔵 RAM
0001 0000h	予約領域	
0004 0000h		
0008 0000h		周辺 I/O レジスタ
000A 4000h	周辺 I/O レジスタ	スタンバイ RAM
000A 6000h		周辺 I/O レジスタ
0010 0000h		予約領域
0080 0000h	予約領域	内蔵拡張 RAM
0086 0000h		予約領域
0100 0000h		CS7 (16M バイト)
0200 0000h		CS6 (16M バイト)
0300 0000h		CS5 (16M バイト)
0400 0000h		CS4 (16M バイト)
0500 0000h		CS3 (16M バイト)
0600 0000h	CS2 (16M バイト)	CS2 (16M バイト)
0700 0000h	CS1 (16M バイト)	CS1 (16M バイト)
0800 0000h	予約領域	SDCS (128M バイト)
1000 0000h		予約領域
FF00 0000h	CS0 (16M バイト)	CS0 (16M バイト)

太枠で囲まれた領域は外部アドレス空間(CS 領域、SDRAM 領域)です。

2.4 リセット

表 2.7 にリセット仕様の概要比較を、表 2.8 にリセットのレジスタ比較を示します。

表 2.7 リセット仕様の概要比較

項目	RX231	RX65N
リセット要因	RES#端子リセット	RES#端子リセット
	パワーオンリセット	パワーオンリセット
	電圧監視 0 リセット	電圧監視 0 リセット
	電圧監視 1 リセット	電圧監視 1 リセット
	電圧監視 2 リセット	電圧監視 2 リセット
	—	ディープソフトウェアスタンバイリセット
	独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマリセット
	ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
	ソフトウェアリセット	ソフトウェアリセット

表 2.8 リセットのレジスタ比較

レジスタ	ビット	RX231	RX65N
RSTSR0	DPSRSTF	-	ディープソフトウェアスタンバイリセットフラグ

2.5 オプション設定メモリ

表 2.9 にオプション設定メモリのレジスタ比較を示します。

表 2.9 オプション設定メモリのレジスタ比較

レジスタ	ビット名	RX231(OFSM)	RX65N(OFSM)
SPCC	-	-	シリアルコマンド制御レジスタ
OSIS	-	-	OCD/シリアルプログラム ID 設定レジスタ
OFS0	IWDTTOPS[1:0]	IWDT タイムアウト期間選択ビット b3 b2 0 0 : 128 サイクル (007Fh) 0 1 : 512 サイクル (01FFh) 1 0 : 1024 サイクル (03FFh) 1 1 : 2048 サイクル (07FFh)	IWDT タイムアウト期間選択ビット b3 b2 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)
	IWDRSTIRQS	IWDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求を許可 1 : リセットを許可	IWDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、または割り込み要求を許可 1 : リセットを許可
	IWDTSLCSTP	IWDT スリープモードカウント停止制御ビット 0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止有効	IWDT スリープモードカウント停止制御ビット 0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、および全モジュールクロックストップモード移行時のカウント停止有効
	WDTRSTIRQS	WDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求を許可 1 : リセットを許可	WDT リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、または割り込み要求を許可 1 : リセットを許可
OFS1	VDSEL[1:0]	電圧検出 0 レベル選択ビット b1 b0 0 0 : 3.84V を選択 0 1 : 2.82V を選択 1 0 : 2.51V を選択 1 1 : 1.90V を選択	電圧検出 0 レベル選択ビット b1 b0 0 0 : 予約 0 1 : 2.94V を選択 1 0 : 2.87V を選択 1 1 : 2.80V を選択
	FASTSTUP	電源立ち上げ時起動時間短縮ビット	-
MDE	BANKMD[2:0]	-	バンクモード選択ビット *1
TMEF	-	-	TM イネーブルフラグレジスタ
TMINF	-	-	TM 識別データレジスタ

RX65N/RX651 グループ RX230/RX231 グループ RX65N グループと RX231 グループの相違点

レジスタ	ビット名	RX231(OFSM)	RX65N(OFSM)
BANKSEL	-	-	バンク選択レジスタ *1
FAW	-	-	フラッシュアクセスウィンドウ設定レジスタ
ROMCODE	-	-	ROM コードプロテクトレジスタ

*1 : フラッシュメモリ (コードフラッシュ 1.5MB 以上のみ)

2.6 電圧検出回路

表 2.10 に電圧検出回路仕様の概要比較を、表 2.11 に電圧検出回路のレジスタ比較を示します。

表 2.10 電圧検出回路仕様の概要比較

項目		RX231 (LVDAb)			RX65N (LVDA)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
				LVCMPCR.EX VCCINP2 ビットで VCC と CMPA2 端子への入力電圧の切り替え可能			-
	検出電圧	OFS1.VDSEL[1:0]ビットで 4 レベルから選択可能	LVD1LVL.R.LVD1LVL[3:0]ビットで 14 レベルから選択可能	LVD1LVL.R.LVD2LVL[1:0]ビットで 4 レベルから選択可能	OFS1.VDSEL[1:0]ビットで 3 レベルから選択可能	LVD1LVL.R.LVD1LVL[3:0]ビットで 3 レベルから選択可能	LVD1LVL.R.LVD2LVL[3:0]ビットで 3 レベルから選択可能
	モニタフラグ	-	LVD1SR.LVD1MON フラグ: Vdet1 より高いか低いかをモニタ LVD1SR.LVD1DET フラグ: Vdet1 通過検出	LVD2SR.LVD2MON フラグ: Vdet2 より高いか低いかをモニタ LVD2SR.LVD2DET フラグ: Vdet2 通過検出	-	LVD1SR.LVD1MON フラグ: Vdet1 より高いか低いかをモニタ LVD1SR.LVD1DET フラグ: Vdet1 通過検出	LVD2SR.LVD2MON フラグ: Vdet2 より高いか低いかをモニタ LVD2SR.LVD2DET フラグ: Vdet2 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット Vdet0 > VCC でリセット: VCC > Vdet0 の一定時間後に CPU 動作再開	電圧監視 1 リセット Vdet1 > VCC でリセット: VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	電圧監視 2 リセット Vdet2 > VCC または CMPA2 端子でリセット: VCC または CMPA2 端子 > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC または CMPA2 端子の一定時間後に CPU 動作再開を選択可能	電圧監視 0 リセット Vdet0 > VCC でリセット: VCC > Vdet0 の一定時間後に CPU 動作再開	電圧監視 1 リセット Vdet1 > VCC でリセット: VCC > Vdet1 の一定時間後に CPU 動作再開、または Vdet1 > VCC の一定時間後に CPU 動作再開を選択可能	電圧監視 2 リセット Vdet2 > VCC でリセット: VCC > Vdet2 の一定時間後に CPU 動作再開、または Vdet2 > VCC の一定時間後に CPU 動作再開を選択可能
	割り込み	-	電圧監視 1 割り込み ノンマスクابل割り込み、または割り込みを選択可能	電圧監視 2 割り込み ノンマスクابل割り込み、または割り込みを選択可能	-	電圧監視 1 割り込み ノンマスクابل割り込み、または割り込みを選択可能	電圧監視 2 割り込み ノンマスクابل割り込み、または割り込みを選択可能

項目		RX231 (LVDAb)			RX65N (LVDA)		
		電圧監視 0	電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
電圧検出時の処理	割り込み	-	Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC または CMPA2 端子、VCC または CMPA2 端子 > Vdet2 の両方、またはどちらかで割り込み要求	-	Vdet1 > VCC、VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC、VCC > Vdet2 の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	-	-	-	-	あり	あり
	サンプリング時間	-	-	-	-	LOCO の n 分周 × 2 (n:2, 4, 8, 16)	LOCO の n 分周 × 2 (n:2, 4, 8, 16)
イベントリンク機能		-	あり Vdet1 通過検出イベント出力	あり Vdet2 通過検出イベント出力	-	あり Vdet1 通過検出イベント出力	あり Vdet2 通過検出イベント出力

表 2.11 電圧検出回路のレジスタ比較

レジスタ	ビット	RX231 (LVDAb)	RX65N (LVDA)
LVD1CR1	LVD1IDTSEL [1:0]	電圧監視 1 割り込み ELC イベント発生条件選択ビット	電圧監視 1 割り込み発生条件選択ビット
LVD2CR1	LVD2IDTSEL [1:0]	電圧監視 2 割り込み ELC イベント発生条件選択ビット b1 b0 0 0 : VCC または CMPA2 端子 ≥ Vdet2 (上昇) 検出時 0 1 : VCC または CMPA2 端子 < Vdet2 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	電圧監視 2 割り込み発生条件選択ビット b1 b0 0 0 : VCC ≥ Vdet2 (上昇) 検出時 0 1 : VCC < Vdet2 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください
LVD2SR	LVD2MON	電圧監視 2 信号モニタフラグ 0 : VCC または CMPA2 端子 < Vdet2 1 : VCC または CMPA2 端子 ≥ Vdet2 または LVD2MON 無効	電圧監視 2 信号モニタフラグ 0 : VCC < Vdet2 1 : VCC ≥ Vdet2 または LVD2MON 無効
LVCMPCR	EXVCCINP2	電圧検出 2 比較電圧外部入力選択ビット	-

レジスタ	ビット	RX231 (LVDAb)	RX65N (LVDA)
LVDLVL	LVD1LVL[3:0]	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧) b3 b0 0 0 0 0 : 4.29V 0 0 0 1 : 4.14V 0 0 1 0 : 4.02V 0 0 1 1 : 3.84V 0 1 0 0 : 3.10V 0 1 0 1 : 3.00V 0 1 1 0 : 2.90V 0 1 1 1 : 2.79V 1 0 0 0 : 2.68V 1 0 0 1 : 2.58V 1 0 1 0 : 2.48V 1 0 1 1 : 2.20V 1 1 0 0 : 1.96V 1 1 0 1 : 1.86V 上記以外は設定しないでください	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧) b3 b0 1 0 0 1 : 2.99V(Vdet1_1) 1 0 1 0 : 2.92V(Vdet1_2) 1 0 1 1 : 2.85V(Vdet1_3) 上記以外は設定しないでください。
	リセット後の初期値が異なります		
	LVD2LVL[1:0]:RX231 LVD2LVL[3:0]:RX65N	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧) b5 b4 0 0 : 4.29V 0 1 : 4.14V 1 0 : 4.02V 1 1 : 3.84V	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧) b7 b4 1 0 0 1 : 2.99V(Vdet2_1) 1 0 1 0 : 2.92V(Vdet2_2) 1 0 1 1 : 2.85V(Vdet2_3) 上記以外は設定しないでください。
リセット後の初期値が異なります			
LVD1CR0	LVD1DFDIS	-	電圧監視 1 デジタルフィルタ無効モード選択ビット
	LVD1FSAMP[1:0]	-	サンプリングクロック選択ビット
LVD2CR0	LVD2DFDIS	-	電圧監視 2 デジタルフィルタ無効モード選択ビット
	LVD2FSAMP[1:0]	-	サンプリングクロック選択ビット
	LVD2RN	電圧監視 2 リセットネゲート選択ビット 0 : VCC または CMPA2 端子 >Vdet2 検出から一定時間 (tLVD2) 経過後にネゲート 1 : LVD2 リセットアサートから一定時間 (tLVD2) 経過後にネゲート	電圧監視 2 リセットネゲート選択ビット 0 : VCC >Vdet2 検出から一定時間 (tLVD2) 経過後にネゲート 1 : LVD2 リセットアサートから一定時間 (tLVD2) 経過後にネゲート

2.7 クロック発生回路

表 2.12 にクロック発生回路仕様の概要比較を、表 2.13 にクロック発生回路のレジスタ比較を示します。

表 2.12 クロック発生回路仕様の概要比較

項目	RX231	RX65N
用途	• CPU、DMAC、DTC、ROM および RAM に供給されるシステムクロック (ICLK) の生成 • MTU2 に供給される周辺モジュールクロック (PCLKA) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 • S12AD に供給される周辺モジュールクロック (PCLKD) の生成 • FlashIF に供給される FlashIF クロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • USB に供給される USB クロック (UCLK) の生成 • CAC に供給される CAC クロック (CACCLK) の生成 • CAN に供給される CAN クロック (CANCLK) の生成 • RTC に供給される RTC 専用サブクロック (RTCSCCLK) の生成 • IWDT に供給される IWDT 専用クロック (IWDTCCLK) の生成 • SSI に供給される SSI クロック (SSISCK) の生成 • LPT に供給される LPT クロック (LPTCLK) の生成	• CPU、DMAC、DTC、コードフラッシュメモリおよび RAM に供給されるシステムクロック (ICLK) の生成 • ETHERC, EDMAC, RSPI, SCli, MTU3, AES に供給される周辺モジュールクロック (PCLKA) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKB) の生成 • S12AD に供給される周辺モジュール(アナログ変換用)クロック (PCLKC: ユニット 0, PCLKD: ユニット 1)の生成 • FlashIF に供給される FlashIF クロック (FCLK) の生成 • 外部バスに供給される外部バスクロック (BCLK) の生成 • SDRAM に供給される外部バスクロック (SDCLK) の生成 • USBb に供給される USB クロック (UCLK) の生成 • CAC に供給される CAC クロック (CACCLK) の生成 • CAN に供給される CAN クロック (CANMCLK) の生成 • RTC に供給される RTC サブクロック (RTCSCCLK) の生成 • RTC に供給される RTC メインクロック (RTCMCLK) の生成 • IWDT に供給される IWDT 専用クロック (IWDTCCLK) の生成 • JTAG に供給される JTAG クロック (JTAGTCK) の生成

項目	RX231	RX65N
動作周波数	• ICLK : 54MHz(max) • PCLKA : 54MHz(max) • PCLKB : 32MHz(max) • PCLKD : 54MHz(max) • FCLK : 1MHz~32MHz(ROM、E2 データフラッシュ P/E 時) 32MHz(max)(E2 データフラッシュ読み出し時) • BCLK : 32MHz(max) • BCLK 端子出力 : 16MHz(max) • UCLK : 48MHz • CACCLK : 各発振器のクロックと同じ • CANCLK : 20MHz(max) • RTCSCCLK : 32.768kHz • IWDTCCLK : 15kHz • SSISCK : 20MHz(max) • LPTCLK : 選択した発振器のクロックと同じ	• ICLK:120MHz (max) • PCLKA:120MHz (max) • PCLKB:60MHz (max) • PCLKC:60MHz (max) • PCLKD:60MHz (max) • FCLK:4MHz~60MHz(コードフラッシュメモリ、データフラッシュメモリ P/E 時 *1) 60MHz (max) (データフラッシュメモリ読み出し時) *1 • BCLK:120MHz (max) • BCLK 端子出力:60MHz (max) • SDCLK 端子出力:60MHz (max) • UCLK:48MHz (max) • CACCLK:各発振器のクロックと同じ • CANMCLK:24MHz (max) • RTCSCCLK:32.768kHz • RTCMCLK:8MHz~16MHz • IWDTCCLK:120kHz • JTAGTCK:10MHz (max)
メインクロック発振器	• 発振子周波数 : 1MHz~20MHz (VCC ≥ 2.4V)、1MHz~8MHz (VCC < 2.4V) • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振子または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL、XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能 • ドライブ能力を切り替える機能	• 発振子周波数:8MHz~24MHz • 外部クロック入力周波数:24MHz (max) • 接続できる発振子または付加回路:セラミック共振子、水晶振動子 • 接続端子:EXTAL、 XTAL • 発振停止検出機能:メインクロックの発振停止検出時、LOCO に切り替える機能、MTU3 端子をハイインピーダンスにする機能 • ドライブ能力を切り替える機能
サブクロック発振器	• 発振子周波数 : 32.768kHz • 接続できる発振子、または付加回路 : 水晶振動子 • 接続端子 : XCIN、XCOUT • ドライブ能力を切り替える機能	• 発振子周波数:32.768kHz • 接続できる発振子または付加回路:水晶振動子 • 接続端子:XCIN, XCOUT • ドライブ能力を切り替える機能
PLL 周波数シンセサイザ	• 入力クロックソース:メインクロック • 入力分周比 : 1、2、4 分周から選択可能 • 入力周波数 : 4MHz~12.5MHz • 通倍比 : 4~13.5 通倍 (0.5 刻み) から選択可能 • 発振周波数 : 24MHz~54MHz (VCC ≥ 2.4V)	• 入力クロックソース:メインクロック、HOCO • 入力分周比:1, 2, 3 分周から選択可能 • 入力周波数:8MHz~24MHz • 通倍比:10~30 通倍から選択可能 • PLL 周波数シンセサイザ出力クロック周波数:120MHz~240MHz

項目	RX231	RX65N
USB 専用 PLL 回路	- 入力クロック源：メインクロック - 入力分周比：1、2、4 分周から選択可能 - 入力周波数：4MHz、6MHz、8MHz、12MHz - 通倍比：4、6、8、12 通倍から選択可能 - 発振周波数：48MHz (VCC$\geq$2.4V)	-
高速オンチップオシレータ (HOCO)	発振周波数：32MHz、54MHz	- 発振周波数:16MHz, 18MHz, 20MHz から選択可能 - HOCO 電源制御
低速オンチップオシレータ (LOCO)	発振周波数：4MHz	発振周波数:240kHz
IWDT 専用オンチップオシレータ	発振周波数：15kHz	発振周波数:120kHz
JTAG 用外部クロック入力 (TCK)	-	入力クロック周波数:10MHz (max)
BCLK 端子の出力制御機能	-	- BCLK クロック出力または High 出力の選択が可能 - 出力するクロックは BCLK または BCLK の 2 分周の選択が可能
SDCLK 端子の出力制御機能	-	SDCLK クロック出力または High 出力の選択が可能
イベントリンク機能(出力)	-	メインクロック発振器の発振停止検出
イベントリンク機能(入力)	-	低速オンチップオシレータへのクロックソース切り替え

*1：フラッシュメモリ（コードフラッシュ 1.5MB 以上のみ）

表 2.13 クロック発生回路のレジスタ比較

レジスタ	ビット	RX231	RX65N
SCKCR	PCKD[3:0]	周辺モジュールクロック D(PCLKD)選択ビット リセット後の初期値が異なります	
	PCKC[3:0]	-	周辺モジュールクロック C(PCLKC)選択ビット
	PCKB[3:0]	周辺モジュールクロック B(PCLKB)選択ビット リセット後の初期値が異なります	
	PCKA[3:0]	周辺モジュールクロック A(PCLKA)選択ビット リセット後の初期値が異なります	
	BCK[3:0]	外部バスクロック(BCLK)選択ビット リセット後の初期値が異なります	
	PSTOP0	-	SDCLK 端子出力制御ビット
	ICK[3:0]	システムクロック (ICLK) 選択ビット リセット後の初期値が異なります	
	FCK[3:0]	FlashIF クロック (FCLK) 選択ビット リセット後の初期値が異なります	

RX65N/RX651 グループ RX230/RX231 グループ RX65N グループと RX231 グループの相違点

レジスタ	ビット	RX231	RX65N
ROMWT	-	-	ROM ウェイトサイクル設定レジスタ
SCKCR2	-	-	システムクロックコントロールレジスタ 2
PLLCR	PLIDIV[1:0]	PLL 入力分周比選択ビット b1b0 00 : 1 分周 01 : 2 分周 10 : 4 分周 11 : 設定しないでください	PLL 入力分周比選択ビット b1b0 00 : 1 分周 01 : 2 分周 10 : 3 分周 11 : 設定しないでください
	PLLSRCSEL	-	PLL クロックソース選択ビット
	STC[5:0]	周波数通倍率設定ビット b13 b8 000111 : ×4 001000 : ×4.5 001001 : ×5 . . . 010010 : ×9.5 010011 : ×10 010100 : ×10.5 010101 : ×11 010110 : ×11.5 010111 : ×12 011000 : ×12.5 011001 : ×13 011010 : ×13.5 上記以外は設定しないでください	周波数通倍率設定ビット b13 b8 010011 : ×10.0 010100 : ×10.5 010101 : ×11.0 010110 : ×11.5 010111 : ×12.0 011000 : ×12.5 011001 : ×13.0 011010 : ×13.5 011011 : ×14.0 . . . 111001 : ×29.0 111010 : ×29.5 111011 : ×30.0 上記以外は設定しないでください
		リセット後の初期値が異なります	
UPLLCR	-	USB 専用 PLL コントロールレジスタ	-
UPLLCR2	-	USB 専用 PLL コントロールレジスタ 2	-
HOCOCR2	HCFRQ[1:0]	HOCO 周波数設定ビット b1 b0 00 : 32MHz 11 : 54MHz 上記以外は、設定しないでください	HOCO 周波数設定ビット b1 b0 00 : 16MHz 01 : 18MHz 10 : 20MHz 上記以外は設定しないでください

レジスタ	ビット	RX231	RX65N
OSCOVFSR	MOOVF	メインクロック発振安定フラグ 0 : メインクロック停止 1 : 発振安定、システムクロックとして使用可能	メインクロック発振安定フラグ 0 : MOSTP = 1 (停止)、または 発振安定待ち中 1 : 発振安定、システムクロックとして使用可能
	SOOVF	-	サブクロック発振安定フラグ
	ILCOVF	-	IWDT 専用クロック発振安定フラグ
	UPLOVF	USB 専用 PLL クロック発振安定フラグ	-
MOSCWTCR	MSTS[4:0]:RX231 MSTS[7:0]:RX65N	メインクロック発振器ウェイト 時間設定ビット(b4 - 0) リセット後の初期値が異なります	メインクロック発振器ウェイト 時間設定ビット(b7 - b0)
SOSCWTCR	-	-	サブクロック発振器ウェイト コントロールレジスタ
CKOCR	-	CLKOUT 出力コントロール レジスタ	-
MOFCR	MOFXIN	-	メインクロック発振器強制発振 ビット
	MODRV2[1:0]	-	メインクロック発振器ドライブ 能力 2 切り替えビット
	MODRV21	メインクロック発振器ドライブ 能力切り替えビット	-
HOCOPCR	-	-	高速オンチップオシレータ電源 コントロールレジスタ
MEMWAIT	-	メモリウェイトサイクル設定 レジスタ	-
LOCOTRR	-	低速オンチップオシレータトリ ミングレジスタ	-
ILOCOTRR	-	IWDT 専用オンチップオシレー タトリミングレジスタ	-
HOCOTRRn	-	高速オンチップオシレータトリ ミングレジスタ n (n = 0、3)	-

2.8 消費電力低減機能

表 2.14 に消費電力低減機能の概要比較を、表 2.15 に各モードにおける遷移および解除方法と動作状態の比較を、表 2.16 に消費電力低減機能のレジスタ比較を示します。

表 2.14 消費電力低減機能の概要比較

項目	RX231	RX65N
クロックの切り替えによる消費電力の低減	システムクロック(ICLK)、高速周辺モジュールクロック(PCLKA)、周辺モジュールクロック(PCLKB)、S12AD 用クロック(PCLKD)、外部バスクロック(BCLK)、FlashIF クロック(FCLK)に対し、個別に分周比を設定することが可能	システムクロック(ICLK)、周辺モジュールクロック(PCLKA, PCLKB, PCLKC, PCLKD)、外部バスクロック(BCLK)、フラッシュインタフェースクロック(FCLK)に対し、個別に分周比を設定することが可能
BCLK 出力制御機能	-	BCLK 出力または High 出力の選択が可能
SDCLK 出力制御機能	-	SDCLK 出力または High 出力の選択が可能
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード - ディープスリープモード - ソフトウェアスタンバイモード	- スリープモード - 全モジュールクロックストップモード - ソフトウェアスタンバイモード - ディープソフトウェアスタンバイモード
動作電力低減機能	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 - 動作電力制御状態：3 種類 - 高速動作モード - 中速動作モード - 低速動作モード	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、および全モジュールクロックストップモード時の消費電力を低減することが可能 - 動作電力制御状態:3 種類 - 高速動作モード - 低速動作モード 1 - 低速動作モード 2 低速動作モード 1 と低速動作モード 2 において、同条件（周波数・電圧）に設定した場合、消費電力に差はありません。

表 2.15 各モードにおける遷移および解除方法と動作状態の比較

モード	遷移および解除方法と 動作状態	RX231	RX65N
スリープモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作可能	動作可能
	サブクロック発振器	動作可能	動作可能
	高速オンチップオシレータ	動作可能	動作可能
	低速オンチップオシレータ	動作可能	動作可能
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	動作可能	動作可能
	USB 専用 PLL	動作可能	-
	CPU	停止(保持)	停止(保持)
	RAM(0000 0000h~0000 FFFFh):RX231 RAM、拡張 RAM:RX65N	動作可能(保持)	動作可能(保持)
	DMAC	動作可能	-
	DTC	動作可能	-
	スタンバイ RAM	-	動作可能(保持)
	フラッシュメモリ	動作	動作
	USBFS ホスト/ファンクションモジュール (USBb)	-	動作可能
	ウォッチドッグタイマ (WDT:RX231、WDTA:RX65N)	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	リアルタイムクロック(RTC)	動作可能	動作可能
	ローパワータイマ(LPT)	動作可能	-
	8 ビットタイマ(ユニット 0, 1) (TMR)	-	動作可能
	ポートアウトプットイネーブル(POE)	-	動作可能
	電圧検出回路(LVD:RX231、LVDA:RX65N)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作可能	動作可能
	I/O ポート	動作	動作
	RTCCOUT 出力	動作可能	-
	CLKOUT 出力	動作可能	-
	コンパレータ B	動作可能	-
ソフトウェア スタンバイ モード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	停止	動作可能
	サブクロック発振器	動作可能	動作可能
	高速オンチップオシレータ	停止	停止
	低速オンチップオシレータ	停止	停止
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	停止	停止
	USB 専用 PLL	停止	-
	CPU	停止(保持)	停止(保持)

モード	遷移および解除方法と 動作状態	RX231	RX65N
ソフトウェア スタンバイ モード	RAM(0000 0000h~0000 FFFFh):RX231 RAM、拡張 RAM:RX65N	停止(保持)	停止(保持)
	DMAC	停止(保持)	-
	DTC	停止(保持)	-
	スタンバイ RAM	-	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	USBFS ホスト/ファンクションモジュール (USBb)	-	停止
	ウォッチドッグタイマ (WDT:RX231、WDTA:RX65N)	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	リアルタイムクロック(RTC)	動作可能	動作可能
	ローパワータイマ(LPT)	動作可能	-
	8 ビットタイマ(ユニット 0, 1) (TMR)	-	停止(保持)
	ポートアウトプットイネーブル(POE)	-	停止(保持)
	電圧検出回路(LVD:RX231、LVDA:RX65N)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O ポート	保持	保持
	RTCCOUT 出力	動作可能	-
	CLKOUT 出力	動作可能	-
	コンパレータ B	動作可能	-

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

表 2.16 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX231	RX65N
SBYCR	OPE	出力ポートイネーブル 0 : ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1 : ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持	出力ポート許可ビット 0 : ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1 : ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持
	SSBY	ソフトウェアスタンバイビット 0 : WAIT 命令実行後、スリープモードまたはディープスリープモードに遷移 1 : WAIT 命令実行後、ソフトウェアスタンバイモードに遷移	ソフトウェアスタンバイビット 0 : WAIT 命令実行後、スリープモードまたは全モジュールクロックストップモードに移行 1 : WAIT 命令実行後、ソフトウェアスタンバイモードに移行
MSTPCRA	MSTPA0	-	コンペアマッチタイマ W(ユニット 1)モジュールストップ設定ビット
	MSTPA1	-	コンペアマッチタイマ W(ユニット 0)モジュールストップ設定ビット
	MSTPA9	マルチファンクションタイマパルスユニット 2 モジュールストップ設定ビット 対象モジュール : MTU2 (MTU0~MTU5)	マルチファンクションタイマパルスユニット 3 モジュールストップ設定ビット 対象モジュール : MTU3 (MTU0~MTU8)
	MSTPA10	-	プログラマブルパルスジェネレータ (ユニット 1) モジュールストップ設定ビット
	MSTPA11	-	プログラマブルパルスジェネレータ (ユニット 0) モジュールストップ設定ビット
	MSTPA16	-	12ビット A/D コンバータ(ユニット 1)モジュールストップ設定ビット
	MSTPA24	-	モジュールストップ A24 設定ビット

レジスタ	ビット	RX231	RX65N
MSTPCRA	MSTPA27	-	モジュールストップ A27 設定ビット
	MSTPA29	-	EXDMA コントローラモジュールストップ設定ビット
	ACSE	-	全モジュールクロックストップモード許可ビット
MSTPCRB	MSTPB0	RCAN0 モジュールストップ設定ビット 対象モジュール : RCAN0	CAN モジュール 0 モジュールストップ設定ビット 対象モジュール : CAN0
	MSTPB1	-	CAN モジュール 1 モジュールストップ設定ビット 対象モジュール : CAN1
	MSTPB8	-	温度センサモジュールストップ設定ビット
	MSTPB10	コンパレータ B モジュールストップ設定ビット	-
	MSTPB15	-	イーサネットコントローラ、イーサネットコントローラ用 DMA コントローラ(チャネル 0)モジュールストップ設定ビット
	MSTPB16	-	シリアルペリフェラルインタフェース 1 モジュールストップ設定ビット
	MSTPB20	-	I2C バスインタフェース 1 モジュールストップ設定ビット *1
	MSTPB22	-	パラレルデータキャプチャユニットモジュールストップ設定ビット
	MSTPB24	-	シリアルコミュニケーションインタフェース 7 モジュールストップ設定ビット
	MSTPB27	-	シリアルコミュニケーションインタフェース 4 モジュールストップ設定ビット
	MSTPB28	-	シリアルコミュニケーションインタフェース 3 モジュールストップ設定ビット
	MSTPB29	-	シリアルコミュニケーションインタフェース 2 モジュールストップ設定ビット

レジスタ	ビット	RX231	RX65N
MSTPCRC	MSTPC2	-	拡張 RAM モジュールストップ設定ビット *1
	MSTPC7	-	スタンバイ RAM モジュールストップ設定ビット
	MSTPC17	-	I ² C バスインタフェース 2 モジュールストップ設定ビット
	MSTPC20	IrDA モジュールストップ設定ビット	-
	MSTPC22	-	シリアルペリフェラルインタフェース 2 モジュールストップ設定ビット
	MSTPC23	-	クワッドシリアルペリフェラルインタフェースモジュールストップ設定ビット
	MSTPC24	-	シリアルコミュニケーションインタフェース 11 モジュールストップ設定ビット
	MSTPC25	-	シリアルコミュニケーションインタフェース 10 モジュールストップ設定ビット
	MSTPC28	-	2D 描画エンジンモジュールストップ設定ビット *1
	MSTPC29	-	グラフィック LCD コントローラモジュールストップ設定ビット *1
	DSLPE	ディープスリープモード許可ビット	-
MSTPCRD	MSTPD0	-	モジュールストップ D0 設定ビット
	MSTPD1	-	モジュールストップ D1 設定ビット
	MSTPD2	-	モジュールストップ D2 設定ビット
	MSTPD3	-	モジュールストップ D3 設定ビット
	MSTPD4	-	モジュールストップ D4 設定ビット
	MSTPD5	-	モジュールストップ D5 設定ビット
	MSTPD6	-	モジュールストップ D6 設定ビット
	MSTPD7	-	モジュールストップ D7 設定ビット
	MSTPD10	タッチセンサコントロールユニットモジュールストップ設定ビット	-

レジスタ	ビット	RX231	RX65N
MSTPCR	MSTPD13	-	SDスレーブインタフェースモジュールストップ設定ビット
	MSTPD15	シリアルサウンドインタフェースモジュールストップ設定ビット	-
	MSTPD21	-	MMCホストインタフェースモジュールストップ設定ビット
	MSTPD27	-	Trusted Secure IP モジュールストップ設定ビット *1
	MSTPD31	セキュリティ機能	-
OPCCR	OPCM[2:0]	動作電力制御モード選択ビット b2 b0 0 0 0 : 高速動作モード 0 1 0 : 中速動作モード 上記以外は設定しないでください	動作電力制御モード選択ビット b2 b0 0 0 0 : 高速動作モード 1 1 0 : 低速動作モード 1 1 1 1 : 低速動作モード 2 上記以外は設定しないでください
		リセット後の初期値が異なります	
SOPCCR	-	サブ動作電力コントロールレジスタ	-
RSTCKCR	RSTCKSEL[2:0]	スリープモード復帰クロックソース選択ビット b2 b0 0 0 0 : LOCO 選択 0 0 1 : HOCO 選択 0 1 0 : メインクロック発振器選択	スリープモード復帰クロックソース選択ビット b2 b0 0 0 1 : HOCO 選択 0 1 0 : メインクロック発振器選択
DPSBYCR	-	-	ディープスタンバイコントロールレジスタ
DPSIER0	-	-	ディープスタンバイインタラプトイネーブルレジスタ 0
DPSIER1	-	-	ディープスタンバイインタラプトイネーブルレジスタ 1
DPSIER2	-	-	ディープスタンバイインタラプトイネーブルレジスタ 2
DPSIER3	-	-	ディープスタンバイインタラプトイネーブルレジスタ 3
DPSIFR0	-	-	ディープスタンバイインタラプトフラグレジスタ 0
DPSIFR1	-	-	ディープスタンバイインタラプトフラグレジスタ 1

レジスタ	ビット	RX231	RX65N
DPSIFR2	-	-	ディープスタンバイインタラプトフラグレジスタ 2
DPSIFR3	-	-	ディープスタンバイインタラプトフラグレジスタ 3
DPSIEGR0	-	-	ディープスタンバイインタラプトエッジレジスタ 0
DPSIEGR1	-	-	ディープスタンバイインタラプトエッジレジスタ 1
DPSIEGR2	-	-	ディープスタンバイインタラプトエッジレジスタ 2
DPSIEGR3	-	-	ディープスタンバイインタラプトエッジレジスタ 3
DPSBKRY	-	-	ディープスタンバイバックアップレジスタ (y = 0 ~ 31)

*1 : フラッシュメモリ (コードフラッシュ 1.5MB 以上のみ)

2.9 バッテリバックアップ機能

表 2.17 にバッテリバックアップ機能のレジスタ比較を示します。

表 2.17 バッテリバックアップ機能のレジスタ比較

レジスタ	ビット	RX231	RX65N
VBATTCCR	-	VBATT 制御レジスタ	-
VBATTSR	-	VBATT ステータスレジスタ	-
VBTLVDICR	-	VBATT 端子電圧低下検出割り込み 制御レジスタ	-

2.10 レジスタライトプロテクション機能

表 2.18 にレジスタライトプロテクション機能の概要比較を、表 2.19 にレジスタライトプロテクション機能のレジスタ比較を示します。

表 2.18 レジスタライトプロテクション機能の概要比較

項目	RX231	RX65N
PRC0 ビット	クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2, MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOCR, OSTDCR, OSTDSR, CKOCR, UPLLCR, UPLLCR2, BCKCR, HOCOCR2, MEMWAIT, LOCOTRR, ILOCOTRR, HOCOTRR0, HOCOTRR3	クロック発生回路関連レジスタ SCKCR, SCKCR2, SCKCR3, PLLCR, PLLCR2, BCKCR, MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOCR, HOCOCR2, OSTDCR, OSTDSR
PRC1 ビット	- 動作モード関連レジスタ SYSCR0, SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, OPCCR, RSTCKCR, SOPCCR - クロック発生回路関連レジスタ MOFCR, MOSCWTCR - ソフトウェアリセットレジスタ SWRR	- 動作モード関連レジスタ SYSCR0, SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, OPCCR, RSTCKCR, DPSBYCR, DPSIER0~3, DPSIFR0~3, DPSIEGR0~3 - クロック発生回路関連レジスタ MOSCWTCR, SOSCWTCR, MOFCR, HOCOPCR - ソフトウェアリセットレジスタ SWRR
PRC2 ビット	ローパワータイマ関連レジスタ LPTCR1, LPTCR2, LPTCR3, LTPTRD, LPCMR0, LPWUCR	-
PRC3 ビット	- LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR - バッテリーバックアップ機能関連レジスタ VBATTTCR, VBATTISR, VBTGLVDICR	LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

表 2.19 レジスタライトプロテクション機能のレジスタ比較

レジスタ	ビット	RX231	RX65N
PRCR	PRC2	ローパワータイマ関連レジスタへの書き込み許可	-
	PRC3	LVD, バッテリーバックアップ機能関連レジスタへの書き込み許可	LVD 機能関連レジスタへの書き込み許可

2.11 割り込みコントローラ

表 2.20 に割り込みコントローラ仕様の概要比較を、表 2.21 に割り込みコントローラのレジスタ比較を示します。

表 2.20 割り込みコントローラ仕様の概要比較

項目		RX231(ICUb)	RX65N(ICUB)
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出: エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定	- 周辺モジュールからの割り込み - 割り込みの検出方法: エッジ検出またはレベル検出(割り込み要因ごとに検出方法は固定) - グループ割り込み: 複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能 - グループ BE0 割り込み: PCLKB を動作クロックとする周辺モジュールの割り込み要因(エッジ検出) - グループ BL0/BL1/BL2 割り込み: PCLKB を動作クロックとする周辺モジュールの割り込み要因(レベル検出) - グループ AL0/AL1 割り込み: PCLKA を動作クロックとする周辺モジュールの割り込み要因(レベル検出) - 選択型割り込み B: 割り込みベクタ番号 128~207 に、PCLKB を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1 つを割り当てることが可能 - 選択型割り込み A: 割り込みベクタ番号 208~255 に、PCLKA を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1 つを割り当てることが可能
	外部端子割り込み	- IRQ0~IRQ7 端子からの割り込み - 要因数: 8 - 割り込み検出: Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 - デジタルフィルタ機能: あり	- IRQ_i 端子($i = 0 \sim 15$)への入力信号による割り込み - 要因数: 16 - 割り込み検出: Low レベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 - デジタルフィルタを使用することにより、ノイズを除去することが可能

	項目	RX231(ICUb)	RX65N(ICUB)
割り込み	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数：1	- レジスタへの書き込みにより、割り込み要求を発生させることが可能 - 要因数:2
	イベントリンク割り込み	ELC イベントより、ELSR8I、ELSR18I、ELSR19I 割り込みを発生	-
	割り込み優先レベル	レジスタにより優先順位を設定	割り込み要因プライオリティレジスタ (IPR)により優先レベルを設定
	高速割り込み機能	CPU の割り込み処理を高速化可能。 1 要因にのみ設定	CPU の割り込み応答時間を短縮可能。 1 つの割り込み要因にのみ設定可能
	DTC、DMAC 制御	割り込み要因により DTC や DMAC を起動可能	割り込み要因により DTC や DMAC の起動が可能
	EXDMAC 制御	-	- 選択型割り込み B 要因選択レジスタ 144 または選択型割り込み A 要因選択レジスタ 208 で選択した割り込みにより EXDMAC0 の起動が可能。 - 選択型割り込み B 要因選択レジスタ 145 または選択型割り込み A 要因選択レジスタ 209 で選択した割り込みにより EXDMAC1 の起動が可能。
ノンマスクابل割り込み	NMI 端子割り込み	- NMI 端子からの割り込み - 割り込み検出：立ち下がりエッジ/立ち上がりエッジ - デジタルフィルタ機能：あり	- NMI 端子への入力信号による割り込み - 割り込み検出:立ち下がりエッジまたは立ち上がりエッジ - デジタルフィルタを使用することにより、ノイズを除去することが可能
	発振停止検出割り込み	発振停止検出時の割り込み	メインクロック発振器の停止を検出したときの割り込み
	WDT アンダフロー / リフレッシュエラー割り込み	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み	ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	IWDT アンダフロー / リフレッシュエラー割り込み	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み	独立ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	電圧監視 1 割り込み	電圧検出回路 1(LVD1)の電圧監視割り込み	電圧検出 1 回路(LVD1)からの割り込み
	電圧監視 2 割り込み	電圧検出回路 2(LVD2)の電圧監視割り込み	電圧検出 2 回路(LVD2)からの割り込み
	RAM エラー割り込み	-	RAM のパリティエラーチェックを検出したときの割り込み
	VBATT 電圧監視割り込み	VBATT の電圧監視割り込み	-

項目		RX231(ICUb)	RX65N(ICUB)
低消費電力状態からの復帰	スリープモード	ノンマスカブル割り込み、全割り込み要因で復帰	すべての割り込み要因で復帰
	ディープスリープモード	ノンマスカブル割り込み、全割り込み要因で復帰	-
	全モジュールクロックストップモード	-	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、発振停止検出、USB レジューム、RTC アラーム、RTC 周期、IWDI、選択型割り込み 146～157)で復帰
	ソフトウェアスタンバイモード	ノンマスカブル割り込み、IRQ0～IRQ7 割り込み、RTC アラーム/周期割り込みで復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、RTC アラーム、RTC 周期、IWDI)で復帰
	ディープソフトウェアスタンバイモード	-	NMI 端子割り込み、一部の外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、USB レジューム、RTC アラーム、RTC 周期)で復帰

表 2.21 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX231(ICUb)	RX65N(ICUB)
SWINT2R	-	-	ソフトウェア割り込み 2 起動レジスタ
DTCERn	-	DTC 転送要求許可レジスタ n (n =027～255)	DTC 転送要求許可レジスタ n (n =026～255)
IRQCRi	-	IRQ コントロールレジスタ i (i =0～7)	IRQ コントロールレジスタ i (i =0～15)
IRQFLTE1	-	-	IRQ 端子デジタルフィルタ許可レジスタ 1
IRQFLTC1	-	-	IRQ 端子デジタルフィルタ設定レジスタ 1
NMISR	RAMST	-	RAM エラー割り込みステータスフラグ
	VBATST	VBATT 電圧監視割り込みステータスフラグ	-
NMIER	RAMEN	-	RAM エラー割り込み許可ビット
	VBATEN	VBATT 電圧監視割り込み許可ビット	-
NMICLR	VBATCLR	VBAT クリアビット	-
GRPBE0	-	-	グループ BE0 割り込み要求レジスタ
GRPBLO	-	-	グループ BL0 割り込み要求レジスタ
GRPBL1	-	-	グループ BL1 割り込み要求レジスタ
GRPBL2	-	-	グループ BL2 割り込み要求レジスタ
GRPALO	-	-	グループ AL0 割り込み要求レジスタ
GRPAL1	-	-	グループ AL1 割り込み要求レジスタ
GENBE0	-	-	グループ BE0 割り込み要求許可レジスタ
GENBLO	-	-	グループ BL0 割り込み要求要求許可レジスタ

レジスタ	ビット	RX231(ICUb)	RX65N(ICUB)
GENBL1	-	-	グループ BL1 割り込み要求許可レジスタ
GENBL2			グループ BL2 割り込み要求許可レジスタ
GENAL0	-	-	グループ AL0 割り込み要求許可レジスタ
GENAL1	-	-	グループ AL1 割り込み要求許可レジスタ
GCRBE0	-	-	グループ BE0 割り込みクリアレジスタ
PIBRk	-	-	選択型割り込み B 要求レジスタ k (k = 0h~Ah)
PIARk	-	-	選択型割り込み A 要求レジスタ k (k = 0h~5h,Bh)
SLIBXRn	-	-	選択型割り込み B 要因選択レジスタ Xn (n = 128 ~ 143)
SLIBRn	-	-	選択型割り込み B 要因選択レジスタ n (n = 144~207)
SLIARn	-	-	選択型割り込み A 要因選択レジスタ n (n = 208~255)
SELEXDR	-	-	EXDMAC 起動割り込み選択レジスタ
SLIPRCR	-	-	選択型割り込み要因選択レジスタ書き込み保護レジスタ

2.12 バス

表 2.22 にバス仕様の概要比較を、表 2.23 に外部バス仕様の概要比較を、表 2.24 にバスのレジスタ比較を示します。

表 2.22 バス仕様の概要比較

バスの種類		RX231	RX65N
CPU バス	命令バス	• CPU(命令)を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作	• CPU(命令)を接続 • 内蔵メモリを接続(RAM、拡張 RAM *1、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
	オペランドバス	• CPU(オペランド)を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作	• CPU(オペランド)を接続 • 内蔵メモリを接続(RAM、拡張 RAM *1、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	• RAM を接続	• RAM を接続
	メモリバス 2	• ROM を接続	• コードフラッシュメモリを接続
	メモリバス 3	• なし	• 拡張 RAM を接続 *1
内部メインバス	内部メインバス 1	• CPU を接続 • システムクロック(ICLK)に同期して動作	• CPU を接続 • システムクロック(ICLK)に同期して動作
	内部メインバス 2	• DTC, DMAC を接続 • 内蔵メモリを接続(RAM、ROM) • システムクロック(ICLK)に同期して動作	• DTC, DMAC, EDMAC, SDI, GLCDC *1, DRW2D *1 を接続 • 内蔵メモリを接続(RAM, 拡張 RAM *1, コードフラッシュ) • システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	• 周辺機能(DTC, DMAC, 割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作	• 周辺機能(DTC, DMAC, EXDMAC, 割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作(EXDMAC は、BCLK に同期して動作)
	内部周辺バス 2	• 周辺機能(内部周辺バス 1, 3, 4 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作	• 周辺機能(内部周辺バス 1, 3, 4, 5 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 3	• 周辺機能(USB0, CAN, CTSU)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作	• 周辺機能(USBb, PDC, スタンバイ RAM)を接続する。 • 周辺モジュールクロック(PCLKB)に同期して動作

バスの種類		RX231	RX65N
内部周辺バス	内部周辺バス 4	- 周辺機能(MTU2)を接続 - 周辺モジュールクロック(PCLKA)に同期して動作	- 周辺機能(EDMAC,ETHERC,MTU3,SCII,RSPI,AES)を接続する。 - 周辺モジュールクロック(PCLKA)に同期して動作
	内部周辺バス 5	予約領域	- 周辺機能(GLCDC、DRW2D)を接続 *1 - 周辺モジュールクロック ➤ (PCLKA)に同期して動作 *1
	内部周辺バス 6	- フラッシュ制御モジュール、E2 データフラッシュを接続 - FlashIF クロック(FCLK)に同期して動作	- コードフラッシュメモリ(P/E 時)、データフラッシュメモリ *1 を接続 - FlashIF クロック(FCLK)に同期して動作
外部バス	CS 領域	- 外部デバイスを接続 - 外部バスクロック(BCLK)に同期して動作	- 外部デバイスを接続 - 外部バスクロック(BCLK)に同期して動作
	SDRAM 領域	-	- SDRAM を接続 - SDRAM クロック(SDCLK)に同期して動作

*1：フラッシュメモリ（コードフラッシュ 1.5MB 以上のみ）

表 2.23 外部バス仕様の概要比較

項目	RX231	RX65N
外部アドレス空間	- 外部アドレス空間を 4 つの CS 領域 (CS0~CS3)に分割して管理 - 領域ごとにチップセレクトを出力可能 - 領域ごとにバス幅を選択可能 - セパレートバス：8 ビットバス空間/16 ビットバス空間を選択可能 - アドレス/データマルチプレクスバス：8 ビットバス空間/16 ビットバス空間を選択可能 - 領域ごとにエンディアンを設定可能	- 外部アドレス空間を 8 つの CS 領域 (CS0~CS7)と SDRAM 領域 (SDCS)に分割して管理 - 領域ごとにチップセレクトを出力可能 - 領域ごとにバス幅を選択可能 - セパレートバス：8 ビットバス空間/16 ビットバス空間/32 ビットバス空間*1 を選択可能 - アドレス/データマルチプレクスバス：8 ビットバス空間/16 ビットバス空間を選択可能 - 領域ごとにエンディアンを設定可能

項目	RX231	RX65N
CS 領域 コントローラ	- リカバリサイクル挿入可能 - リードリカバリ最大 15 サイクル挿入 - ライトリカバリ最大 15 サイクル挿入 - サイクルウェイト機能：最大 31 サイクルウェイト(ページアクセス最大 7 サイクルウェイト) - ウェイト制御 - チップセレクト信号(CS0#～CS3#)のアサート/ネゲートタイミング設定可能 - リード信号(RD#)、ライト信号(WR0#/WR#、WR1#)のアサートタイミング設定可能 - データ出力の開始/終了タイミング設定可能 - ライトアクセスモード：1 ライトストロブモード/バイトストロブモード - セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能	- リカバリサイクル挿入可能 - リードリカバリ最大 15 サイクル挿入可能 - ライトリカバリ最大 15 サイクル挿入可能 - サイクルウェイト機能：最大 31 サイクルウェイト(ページアクセス最大 7 サイクルウェイト) - ウェイト制御 - チップセレクト信号(CS0#～CS7#)のアサート/ネゲートタイミング設定可能 - リード信号(RD#)、ライト信号(WR0#/WR#～WR1#WR3#*1)のアサートタイミング設定可能 - データ出力の開始/終了タイミング設定可能 - ライトアクセスモード：1 ライトストロブモード/バイトストロブモード - セパレートバス、アドレス/データマルチプレクスバスを領域ごとに設定可能
SDRAM 領域 コントローラ	-	- ロウアドレス/カラムアドレスのマルチプレクス出力(8 ビット/9 ビット/10 ビット/11 ビット) - オートリフレッシュとセルフリフレッシュを選択可能 - CAS レイテンシを 1～3 に設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	CS 領域コントローラ(CSC)は、BCLK に同期して動作	- CS 領域コントローラ(CSC)は、BCLK*2 に同期して動作 - SDRAM 領域コントローラ(SDRAMC)は、SDCLK に同期して動作

*1：フラッシュメモリ（コードフラッシュ 1.5MB 以上のみ）

*2：SDRAM 使用時、BCLK と SDCLK は同じ周波数で動作させる必要があります。

表 2.24 バスのレジスタ比較

レジスタ	ビット名	RX231	RX65N
CSnCR	-	CSn 制御レジスタ (n = 0~3)	CSn 制御レジスタ (n = 0~7)
	BSIZE[1:0]	外部バス幅選択ビット b5b4 00: 16 ビットバス空間に設定 01: 設定しないでください 10: 8 ビットバス空間に設定 11: 設定しないでください	外部バス幅選択ビット b5b4 00: 16 ビットバス空間に設定 01: 設定しないでください 10: 8 ビットバス空間に設定 11: 設定しないでください 32 ビットバス空間に設定 *1
CSnREC	-	CSn リカバリサイクル設定レジスタ (n = 0~3)	CSn リカバリサイクル設定レジスタ (n = 0~7)
CSnMOD	-	CSn モードレジスタ (n = 0~3)	CSn モードレジスタ (n = 0~7)
CSnWCR1	-	CSn ウェイト制御レジスタ 1 (n = 0~3)	CSn ウェイト制御レジスタ 1 (n = 0~7)
CSnWCR2	-	CSn ウェイト制御レジスタ 2 (n = 0~3)	CSn ウェイト制御レジスタ 2 (n = 0~7)
SDCCR	-	-	SDC 制御レジスタ
SDCMOD	-	-	SDC モードレジスタ
SDAMOD	-	-	SDRAM アクセスモードレジスタ
SDSELF	-	-	SDRAM セルフリフレッシュ制御レジスタ
SDRFCR	-	-	SDRAM リフレッシュ制御レジスタ
SDRFEN	-	-	SDRAM オートリフレッシュ制御レジスタ
SDICR	-	-	SDRAM 初期化シーケンス制御レジスタ
SDIR	-	-	SDRAM 初期化レジスタ
SDADR	-	-	SDRAM アドレスレジスタ
SDTR	-	-	SDRAM タイミングレジスタ
SDMOD	-	-	SDRAM モードレジスタ
SDSR	-	-	SDRAM ステータスレジスタ
BERSR1	MST[2:0]	バスマスタコードビット b6 b4 000: CPU 001: 予約 010: 予約 011: DTC/DMAC 100: 予約 101: 予約 110: 予約 111: 予約	バスマスタコードビット b6 b4 000: CPU 001: 予約 010: 予約 011: DTC/DMAC 100: 予約 101: 予約 110: 拡張バスマスタ 111: EXDMAC
EBMAPCR	-	-	拡張バスマスタ優先度制御レジスタ *1

*1: フラッシュメモリ (コードフラッシュ 1.5MB 以上のみ)

2.13 DMA コントローラ

表 2.25 に DMA コントローラ仕様の概要比較を、表 2.26 に DMA コントローラレジスタ比較を示します。

表 2.25 DMA コントローラ仕様の概要比較

項目		RX231(DMACA)	RX65N(DMACAa)
チャンネル数		4 チャンネル(DMACm (m = 0~3))	8 チャンネル(DMACm(m = 0~7))
転送空間		512M バイト (00000000h~0FFFFFFFh と F0000000h~FFFFFFFh のうち 予約領域を除く領域)	512M バイト (00000000h~0FFFFFFFh と F0000000h~FFFFFFFh のうち 予約領域を除く領域)
最大転送データ数		1M データ(ブロック転送モード 最大総転送数: 1024 データ × 1024 ブロック)	64M データ(ブロック転送モード 最大総転送数:1024 データ × 65536 ブロック)
DMAC 起動要因		- チャンネルごとに起動要因を選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力	- チャンネルごとに起動要因を選択可能 - ソフトウェアトリガ - 周辺モジュールからの割り込み要求/外部割り込み入力端子へのトリガ入力
チャンネル優先順位		チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3(チャンネル 0 が最優先)	チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 > … > チャンネル 7 (チャンネル 0 が最優先)
転送データ	1 データ	ビット長:8 ビット、16 ビット、32 ビット	ビット長:8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数:1~1024 データ	データ数:1~1024 データ
転送モード	ノーマル転送モード	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定(フリーランニングモード)が可能	1 回の DMA 転送要求で 1 データを転送 - 総データ転送数を指定しない設定(フリーランニングモード)が可能
	リピート転送モード	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能	1 回の DMA 転送要求で 1 データを転送 - 転送元または転送先で設定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 - リピートサイズは最大 1024 回設定可能
	ブロック転送モード	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1024 データ設定可能	1 回の DMA 転送要求で 1 ブロックのデータを転送 - ブロックサイズは最大 1024 データ設定可能
選択機能	拡張リピートエリア機能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能	- 転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレスを繰り返す設定が可能 - 拡張リピートエリアは 2 バイトから 128M バイトを転送元、転送先別に設定可能
割り込み要求	転送終了割り込み	転送カウンタで設定したデータ数を転送終了時に発生	転送カウンタで設定したデータ数を転送終了時に発生

項目		RX231(DMACA)	RX65N(DMACAa)
	転送エスケープ 終了割り込み	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生	リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアがオーバフローしたときに発生
イベントリンク機能		1回のデータ転送後（ブロックの場合は1ブロック転送後）、イベントリンク要求を発生	1回のデータ転送後(ブロックの場合は1ブロック転送後)、イベントリンク要求を発生
消費電力低減機能		モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.26 DMA コントローラレジスタ比較

レジスタ	ビット名	RX231(DMACA)	RX65N(DMACAa)
DMCRB	-	DMA ブロック転送カウントレジスタ (b9-b0)	DMA ブロック転送カウントレジスタ (b15-b0)
DMIST	-	-	DMAC74 割り込みステータスマニタレジスタ

2.14 データトランスファコントローラ

表 2.27 にデータトランスファコントローラ仕様の概要比較を、表 2.28 にデータトランスファコントローラのレジスタ比較を示します。

表 2.27 データトランスファコントローラ仕様の概要比較

項目	RX231(DTCa)	RX65N(DTCb)
転送モード	- ノーマル転送モード 1 回の起動で 1 データ転送する - リピート転送モード 1 回の起動で 1 データ転送する - リピートサイズ分データを転送すると転送開始アドレスに復帰 - リピート回数は最大 256 回設定可能で、256×32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータ転送する - ブロックサイズは、最大 256×32 ビット=1024 バイト設定可能	- ノーマル転送モード 1 回の起動で 1 データ転送する - リピート転送モード 1 回の起動で 1 データ転送する - リピートサイズ分データを転送すると転送開始アドレスに復帰 - リピート回数は最大 256 回設定可能で、256×32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータ転送する - ブロックサイズは、最大 256×32 ビット=1024 バイト設定可能
転送チャネル	- 割り込み要因に対するチャネルの転送が可能(ICU からの DTC 転送要求で転送) 1 回の転送要求に対して複数のデータ転送が可能(チェーン転送) - チェーン転送は「カウンタ=0 のとき実施」/「毎回実施」のいずれかを選択可能	- 割り込み要因に対するチャネルの転送が可能(ICU からの DTC 転送要求で転送) 1 回の転送要求に対して複数種類のデータ転送を連続して実行可能(チェーン転送) - チェーン転送は「カウンタ=0 のとき実施」/「毎回実施」のいずれかを選択可能
転送空間	- ショートアドレスモードのとき 16M バイト ("0000 0000h"~"007F FFFFh"と"FF80 0000h"~"FFFF FFFFh"のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト ("0000 0000h"~"FFFF FFFFh"のうち、予約領域以外の領域)	- ショートアドレスモードのとき 16M バイト ("0000 0000h"~"007F FFFFh"と"FF80 0000h"~"FFFF FFFFh"のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト ("0000 0000h"~"FFFF FFFFh"のうち、予約領域以外の領域)
データ転送単位	1 データ : 1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) 1 ブロックサイズ : 1~256 データ	1 データ : 1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) 1 ブロックサイズ : 1~256 データ

項目	RX231(DTCa)	RX65N(DTCb)
CPU 割り込み要求	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	1 回のデータ転送後（ブロックの場合は 1 ブロック転送後）、イベントリンク要求を発生	1 回のデータ転送後（ブロックの場合は 1 ブロック転送後）、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	-	転送情報のライトバックを実行しない設定が可能
チェーン転送機能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
シーケンス転送	-	- 複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能 - シーケンス転送の起動要因は同時に 1 つのみ選択可能 - シーケンスは、1 つの起動要因に対し最大 256 通り - 転送要求によって最初に転送されたデータがシーケンスを決定 - シーケンスは、1 回の転送要求で最後まで実行すること、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能
ディスプレイメント加算	-	転送元アドレスにディスプレイメントを加算可能(転送情報ごとに選択)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.28 データトランスファコントローラのレジスタ比較

レジスタ	ビット	RX231(DTCa)	RX65N(DTCb)
MRA	WBDIS	-	ライトバックディスエーブルビット
MRB	SQEND	-	シーケンス転送終了ビット
	INDX	-	インデックステーブル参照ビット
MRC	-	-	DTC モードレジスタ C
DTCIBR	-	-	DTC インデックステーブルベースレジスタ
DTCOR	-	-	DTC オペレーションレジスタ
DTCSQE	-	-	DTC シーケンス転送許可レジスタ
DTCDISP	-	-	DTC アドレスディスプレースメントレジスタ

2.15 イベントリンクコントローラ

表 2.29 にイベントリンクコントローラ仕様の概要比較を、表 2.30 にイベントリンクコントローラのレジスタ比較を、表 2.31 に ELSRn レジスタと周辺モジュールの対応を示します。

表 2.29 イベントリンクコントローラ仕様の概要比較

項目	RX231(ELC)	RX65N(ELC)
イベントリンク機能	63 種類のイベント信号を、直接モジュールへリンク可能 - タイマ系のモジュールは、イベント入力時の動作の選択が可能 - ポート B、ポート E のイベントリンク動作が可能 — シングルポート：指定した 1 ビットのポートにイベントリンクの動作設定が可能 — ポートグループ：8 本ある I/O ポート内で、指定した複数ビットをグループ化してイベントリンクの動作設定が可能	82 種類のイベント信号を、直接周辺モジュールへリンク可能 - タイマ系の周辺モジュールは、イベント信号入力時の動作を選択可能 - ポート B、ポート E のイベントリンク動作が可能 — シングルポート：指定した 1 本のポートにイベントリンクの動作設定が可能 — ポートグループ：最大 8 本ある I/O ポートの内、指定した複数本のポートをグループ化してイベントリンクの動作設定が可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

表 2.30 イベントリンクコントローラのレジスタ比較

レジスタ	ビット	RX231(ELC)	RX65N(ELC)
ELSRn	-	イベントリンク設定レジスタ n (n = 1~4, 7, 8, 10, 12, 14~16, 18~29)	イベントリンク設定レジスタ n (n = 0, 3, 4, 7, 10~13, 15, 16, 18~28, 33, 35~38, 45)
	ELS[7:0]	イベントリンク選択ビット b7 b0 00000000 : 該当する周辺モジュールへのイベントの出力は無効 00001000~01101010 : リンクするイベント信号の番号を指定 上記以外は設定しないでください	イベントリンク選択ビット b7 b0 00000000 : 該当する周辺モジュールへのイベントの出力は無効 00000001~10111101 : リンクするイベント信号の番号を指定 上記以外は設定しないでください
ELOPA	MTU0MD[1:0]	-	MTU0 動作選択ビット
	MTU1MD[1:0]	MTU1 動作選択ビット	-
	MTU2MD[1:0]	MTU2 動作選択ビット	-
ELOPC	LPTMD[1:0]	LPT 動作選択ビット	-
ELOPD	TMR1MD[1:0]	-	TMR1 動作選択ビット
	TMR3MD[1:0]	-	TMR3 動作選択ビット

レジスタ	ビット	RX231(ELC)	RX65N(ELC)
ELOPF	-	-	イベントリンクオプション設定レジスタ F
ELOPH	-	-	イベントリンクオプション設定レジスタ H

表 2.31 ELSRn レジスタと周辺モジュールの対応

レジスタ	RX231	RX65N
ELSR0	-	MTU0
ELSR1	MTU1	-
ELSR2	MTU2	-
ELSR3	MTU3	MTU3
ELSR4	MTU4	MTU4
ELSR7	CMT1	CMT1
ELSR8	ICU (LPT 専用割り込み)	-
ELSR10	TMR0	TMR0
ELSR11	-	TMR1
ELSR12	TMR2	TMR2
ELSR13	-	TMR3
ELSR14	CTSU	-
ELSR15	S12AD	S12AD
ELSR16	DA0	DA0
ELSR18	ICU (割り込み 1)	ICU (割り込み 1)
ELSR19	ICU (割り込み 2)	ICU (割り込み 2)
ELSR20	出力ポートグループ 1	出力ポートグループ 1
ELSR21	出力ポートグループ 2	出力ポートグループ 2
ELSR22	入力ポートグループ 1	入力ポートグループ 1
ELSR23	入力ポートグループ 2	入力ポートグループ 2
ELSR24	シングルポート 0	シングルポート 0
ELSR25	シングルポート 1	シングルポート 1
ELSR26	シングルポート 2	シングルポート 2
ELSR27	シングルポート 3	シングルポート 3
ELSR28	クロックソースを LOCO へ切り替え	クロックソースを LOCO へ切り替え
ELSR29	POE	-
ELSR33	-	CMTW0
ELSR35	-	TPU0
ELSR36	-	TPU1
ELSR37	-	TPU2
ELSR38	-	TPU3
ELSR45	-	S12AD1

2.16 I/O ポート

表 2.32～表 2.33 にパッケージごとの概要比較を、表 2.34 に I/O ポートのレジスタ比較を示します。

表 2.32 I/O ポート 100 ピンの概要比較

ポートシンボル	RX231(100 ピン)	RX65N(100 ピン)
PORT0	P03, P05, P07	P05, P07
PORT1	P12～P17	P12～P17
PORT2	P20～P27	P20～P27
PORT3	P30～P37	P30～P37
PORT4	P40～P47	P40～P47
PORT5	P50～P55	P50～P55
PORTA	PA0～PA7	PA0～PA7
PORTB	PB0～PB7	PB0～PB7
PORTC	PC0～PC7	PC0～PC7
PORTD	PD0～PD7	PD0～PD7
PORTE	PE0～PE7	PE0～PE7
PORTH	PH0～PE3	-
PORTJ	PJ3	PJ3

表 2.33 I/O ポート 64 ピンの概要比較

ポートシンボル	RX231(64 ピン)	RX651(64 ピン) *1
PORT0	P03, P05	P05
PORT1	P14～P17	P12, P13, P16, P17
PORT2	P26, P27	P26, P27
PORT3	P30, P31, P35～P37	P30, P31, P34～P37
PORT4	P40, P44, P46	P40～P43
PORT5	P54, P55	P53
PORTA	PA0, PA1, PA3, PA4, PA6	PA1, PA2, PA4, PA6, PA7
PORTB	PB0, PB1, PB3, PB5～PB7	PB5～PB7
PORTC	PC2～PC7	PC0, PC1, PC4～PC7
PORTD	-	PD2～PD7
PORTE	PE0～PE5	PE0～PE2, PE6, PE7
PORTH	PH0～PH3	-
PORTJ	-	-

*1 : RX65N に 64 ピンパッケージはありません。

表 2.34 I/O ポートのレジスタ比較

レジスタ	ビット名	RX231	RX65N
ODR0	B2,B3	Pm1 出力形態指定ビット PE1 以外 b2 0 : CMOS 出力 1 : N チャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください PE1 b3 b2 0 0 : CMOS 出力 0 1 : N チャネルオープンドレイン 1 0 : P チャネルオープンドレイン 1 1 : Hi-Z	Pm1 出力形態指定ビット PE1 以外 b2 0 : CMOS 出力 1 : N チャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください PE1 b3 b2 0 0 : CMOS 出力 0 1 : N チャネルオープンドレイン 1 0 : P チャネルオープンドレイン 1 1 : 設定しないでください
PSRA	-	ポート切り換えレジスタ A	-
PSRB	-	ポート切り換えレジスタ B	-
DSCR2	-	-	駆動能力制御レジスタ 2

2.17 マルチファンクションピンコントローラ

表 2.35 にマルチファンクションピンコントローラのレジスタ比較を示します。

表 2.35 マルチファンクションピンコントローラのレジスタ比較

レジスタ	ビット名	RX231(MPC)	RX65N(MPC)
PmnPFS	-	端子機能制御レジスタについては、ユーザズマニュアルを参照してください	
PFCSS0	-	-	CS 出力端子選択レジスタ 0
PFCSS1	-	-	CS 出力端子選択レジスタ 1
PFBCR0	ADRHMS	-	A16～A23 出力許可ビット
	ADRHMS2	-	A18～A20 出力許可 2 ビット
	BCLKO	-	BCLK 強制出力ビット
	DH32E	-	D16～D31 出力許可ビット *1
	WR32BC32E	-	WR3#/BC3#、WR2#/BC2#出力許可ビット *1
PFBCR1	ALES	-	ALE 選択ビット
	MDSDE	-	SDRAM 端子許可ビット
	DQM1E	-	DQM1 許可ビット
	SDCLKE	-	SDCLK 許可ビット
PFBCR2	-	-	外部バス制御レジスタ 2 *1
PFBCR3	-	-	外部バス制御レジスタ 3 *1
PFENET	-	-	イーサネット制御レジスタ

*1 : フラッシュメモリ (コードフラッシュ 1.5MB 以上のみ)

2.18 16 ビットタイマパルスユニット

表 2.36 に 16 ビットタイマパルスユニット仕様の概要比較を示します。

表 2.36 16 ビットタイマパルスユニット仕様の概要比較

項目	RX231(TPUa)	RX65N(TPUa)
パルス入出力	最大 16 本	最大 16 本
カウントクロック	各チャネルに 7 種類または 8 種類	各チャネルに 7 種類または 8 種類
設定可能動作	- コンペアマッチによる波形出力 - インプットキャプチャ機能(ノイズフィルタ設定可能) - カウンタクリア動作 - 複数のタイマカウンタ(TCNT)への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 15 相の PWM 出力 - カスケード接続動作	- コンペアマッチによる波形出力 - インプットキャプチャ機能(ノイズフィルタ設定可能) - カウンタクリア動作 - 複数のタイマカウンタ(TCNT)への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 15 相の PWM 出力 - カスケード接続動作
バッファ動作	- チャネル 0,3 - レジスタデータの自動転送	- チャネル 0,3 - レジスタデータの自動転送
位相係数モード	チャネル 1,2,4,5	チャネル 1,2,4,5
割り込み要因	26 種類	26 種類
トリガ生成	- A/D コンバータの変換開始トリガを生成可能	プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能 A/D コンバータの変換開始トリガを生成可能
イベントリンク機能(出力)	-	イベント 6 種類を ELC に出力可能 - コンペアマッチ A(TPU0~TPU3) - コンペアマッチ B(TPU0~TPU3) - コンペアマッチ C(TPU0, TPU3) - コンペアマッチ D(TPU0, TPU3) - オーバフロー(TPU0~TPU3) - アンダフロー(TPU1, TPU2)
イベントリンク機能(入力)	-	イベント入力により、以下の 3 種類のいずれかの動作が可能 - カウントスタート動作 (TPU0~TPU3) - カウントリスタート動作 (TPU0~TPU3) - インプットキャプチャ動作 (TPU0~TPU3)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

2.19 8 ビットタイマ

表 2.37 に 8 ビットタイマ仕様の概要比較を、表 2.38 に 8 ビットタイマのレジスタ比較を示します。

表 2.37 8 ビットタイマ仕様の概要比較

項目	RX231(TMR)	RX65N(TMR)
カウントクロック	- 分周クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 - 外部クロック	- 内部クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 - 外部クロック
チャンネル数	(8 ビット×2 チャンネル)×2 ユニット	(8 ビット×2 チャンネル)×2 ユニット
コンペアマッチ	8 ビットモード(コンペアマッチ A、コンペアマッチ B) 16 ビットモード(コンペアマッチ A、コンペアマッチ B)	8 ビットモード(コンペアマッチ A、コンペアマッチ B) 16 ビットモード(コンペアマッチ A、コンペアマッチ B)
カウンタクリア	コンペアマッチ A、コンペアマッチ B、外部リセット信号から選択	コンペアマッチ A、コンペアマッチ B、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM 出力	任意のデューティ比のパルス出力、PWM 出力
2 チャンネルのカスケード接続	16 ビットカウントモード TMR0 を上位、TMR1 を下位 (TMR2 を上位、TMR3 を下位) とする 16 ビットタイマ - コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウント(TMR3 は TMR2 のコンペアマッチをカウント)	16 ビットカウントモード TMR0 を上位、TMR1 を下位 (TMR2 を上位、TMR3 を下位) とする 16 ビットタイマ - コンペアマッチカウントモード TMR1 は TMR0 のコンペアマッチをカウント(TMR3 は TMR2 のコンペアマッチをカウント)
割り込み要因	コンペアマッチ A、コンペアマッチ B、オーバフロー	コンペアマッチ A、コンペアマッチ B、オーバフロー
イベントリンク機能(出力)	コンペアマッチ A、コンペアマッチ B、オーバフロー(TMR0, 2)	コンペアマッチ A、コンペアマッチ B、オーバフロー(TMR0~3)
イベントリンク機能(入力)	イベント受付により、3 種類のうち 1 つの動作が可能 (1) カウントスタート動作(TMR0, 2) (2) イベントカウンタ動作(TMR0, 2) (3) カウンタリスタート動作(TMR0, 2)	イベント受付により、3 種類のうち 1 つの動作が可能 (1) カウントスタート動作(TMR0~3) (2) イベントカウンタ動作(TMR0~3) (3) カウンタリスタート動作(TMR0~3)
DTC の起動	コンペアマッチ A 割り込み、コンペアマッチ B 割り込みによる起動可能	コンペアマッチ A 割り込み、コンペアマッチ B 割り込みによる起動可能
A/D コンバータの変換開始トリガ	-	TMR0、TMR2 のコンペアマッチ A
SCI のボーレートクロック生成	SCI のボーレートクロックを生成	SCI のボーレートクロックを生成
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能	ユニットごとにモジュールストップ状態への設定が可能

表 2.38 8 ビットタイマのレジスタ比較

レジスタ	ビット	RX231(TMR)	RX65N(TMR)
TCSR	ADTE	-	A/D トリガ許可ビット

2.20 リアルタイムクロック

表 2.39 にリアルタイムクロック仕様の概要比較を、表 2.40 にリアルタイムクロックのレジスタ比較を示します。

表 2.39 リアルタイムクロック仕様の概要比較

項目	RX231(RTCe)	RX65N(RTCd)
カウントモード	カレンダーカウントモード/バイナリカウントモード	カレンダーカウントモード/バイナリカウントモード
カウントソース	サブクロック(XCIN)	サブクロック(XCIN)またはメインクロック(EXTAL)
時計/カレンダー機能	• カレンダーカウントモード — 年、月、日、曜日、時、分、秒をカウント、BCD 表示 — 12 時間/24 時間モード切り替え機能 — 30 秒調整機能(30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) — うるう年自動補正機能 • バイナリカウントモード - 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 — スタート/ストップ機能 — 秒以下の桁のバイナリ表示 (1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) — 時計誤差補正機能 — クロック(1Hz/64Hz)出力	• カレンダーカウントモード — 年、月、日、曜日、時、分、秒をカウント、BCD 表示 — 12 時間/24 時間モード切り替え機能 — 30 秒調整機能(30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ) — うるう年自動補正機能 • バイナリカウントモード - 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 — スタート/ストップ機能 — 秒以下の桁のバイナリ表示 (1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz) — 時計誤差補正機能 — クロック(1Hz/64Hz)出力

項目	RX231(RTCe)	RX65N(RTCd)
割り込み	- アラーム割り込み(ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 — カレンダカウンタモード: 年、月、日、曜日、時、分、秒 — バイナリカウンタモード: 32 ビットバイナリカウンタの各ビット - 周期割り込み(PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期から選択可能 - 桁上げ割り込み(CUP) 次のいずれかのタイミングで割り込み要求発生 — 64Hz カウンタから秒カウンタへの桁上げが発生したとき — 64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき - アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードからの復帰が可能	- アラーム割り込み(ALM) アラーム割り込み条件として、以下のいずれと比較するか選択可能 — カレンダカウンタモード: 年、月、日、曜日、時、分、秒 — バイナリカウンタモード: 32 ビットバイナリカウンタの各ビット - 周期割り込み(PRD) 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒周期から選択可能 - 桁上げ割り込み(CUP) 次のいずれかのタイミングで割り込み要求発生 — 64Hz カウンタから秒カウンタへの桁上げが発生したとき — 64Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき - アラーム割り込み、周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ	時間キャプチャイベント入力端子のエッジ検出によって、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	周期イベント出力	周期イベント出力

表 2.40 リアルタイムクロックのレジスタ比較

レジスタ	ビット	RX231(RTCe)	RX65N(RTCd)
RCR4	-	-	RTC コントロールレジスタ 4
RFRH/L	-	-	周波数レジスタ H/L

2.21 ウォッチドッグタイマ

表 2.41 にウォッチドッグタイマ仕様の概要比較を、表 2.42 にウォッチドッグタイマのレジスタ比較を示します。

表 2.41 ウォッチドッグタイマ仕様の概要比較

項目	RX231(WDTA)	RX65N(WDTA)
カウントソース	周辺モジュールクロック (PCLK)	周辺モジュールクロック (PCLK)
クロック分周比	4 分周/64 分周/128 分周/512 分周 /2048 分周/8192 分周	4 分周/64 分周/128 分周/512 分周 /2048 分周/8192 分周
カウント動作	14 ビットのダウンカウンタによる ダウンカウント	14 ビットのダウンカウンタによる ダウンカウント
カウント開始条件	- オートスタートモード： リセット後、およびアンダフロー、リフレッシュエラー発生後に自動的にカウント開始 - レジスタスタートモード： リフレッシュ動作 (WDTRR レジスタへの書き込み) により、カウント開始	- オートスタートモード： リセット解除後、自動的にカウント開始 - レジスタスタートモード： リフレッシュ動作 (WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む) により、カウント開始
カウント停止条件	- リセット (ダウンカウンタ、レジスタは初期値に戻ります) - アンダフロー、リフレッシュエラー発生時	- リセット (ダウンカウンタ、レジスタは初期値に戻る) 低消費電力状態 - アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
割り込み要因	ノンマスクابل割り込み要因 - ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)	ノンマスクابل割り込み/ 割り込み 要因 - ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウント値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能

表 2.42 ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX231(WDTA)	RX65N(WDTA)
WDTRCR	RSTIRQS	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求出力を許可 1 : リセット出力を許可	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、 または割り込み要求出力を許可 1 : リセット出力を許可

2.22 独立ウォッチドッグタイマ

表 2.43 に独立ウォッチドッグタイマ仕様の概要比較を、表 2.44 に独立ウォッチドッグタイマのレジスタ比較を示します。

表 2.43 独立ウォッチドッグタイマ仕様の概要比較

項目	RX231(IWDTa)	RX65N(IWDTa)
カウントソース	IWDT 専用クロック (IWDTCLK)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1 分周/16 分周/32 分周/64 分周/ 128 分周/256 分周	1 分周/16 分周/32 分周/64 分周/ 128 分周/256 分周
カウント動作	14 ビットのダウンカウンタによるダ ウンカウント	14 ビットのダウンカウンタによるダ ウンカウント
カウント開始条件	- リセット後、自動的にカウント開始(オートスタートモード) - リフレッシュ(IWDTRR レジスタに 00h を書き込み後、FFh を書き込む)により、カウント開始(レジスタスタートモード)	- オートスタートモード：リセット解除後、自動的にカウント開始 - レジスタスタートモード：リフレッシュ動作(IWDTRR レジスタに 00h を書き込み後、FFh を書き込む)により、カウント開始
カウント停止条件	- リセット(ダウンカウンタ、レジスタは初期値に戻る) - アンダフロー、リフレッシュエラー発生時 カウント再開 (オートスタートモード：リセットもしくはノンマスカブル割り込み要求を出力後に自動でカウント再開、レジスタスタートモード：リフレッシュ後にカウント再開)	- リセット(ダウンカウンタ、レジスタは初期値に戻る) - 低消費電力状態(レジスタ設定による) - アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
割り込み要因	- ノンマスカブル割り込み要因 - ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)	- ノンマスカブル割り込み/割り込み要因 - ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合(リフレッシュエラー)
カウント値の読み出し	IWDTSR レジスタを読み出すことで、 ダウンカウンタのカウント値の読み出しが可能	IWDTSR レジスタを読み出すことで、 ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能 (出力)	- ダウンカウンタのアンダフローイベント出力 - リフレッシュエラーイベント出力	- ダウンカウンタのアンダフローイベント出力 - リフレッシュエラーイベント出力

項目	RX231(IWDTa)	RX65N(IWDTa)
出力信号(内部信号)	- リセット出力 - 割り込み要求出力 - スリープモードカウンタ停止制御出力	- リセット出力 - 割り込み要求出力 - スリープモードカウンタ停止制御出力
オートスタートモード (オプション機能選択レジスタ 0(OFS0 制御))	- リセット後のクロック分周比の選択(OFS0.IWDTCKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択(OFS0.IWDTTOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択(OFS0.IWDTRPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択(OFS0.IWDTRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択(OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウンタ停止の選択(OFS0.IWDTSLCSTP ビット)	- リセット後のクロック分周比の選択(OFS0.IWDTCKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択(OFS0.IWDTTOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択(OFS0.IWDTRPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択(OFS0.IWDTRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択(OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択(OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	- リフレッシュ動作後のクロック分周比の選択(IWDTCCR.CKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択(IWDTCCR.TOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択(IWDTCCR.RPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択(IWDTCCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択(IWDTCCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウンタ停止の選択(IWDTCCSTPR.SLCSTP ビット)	- リフレッシュ動作後のクロック分周比の選択(IWDTCCR.CKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択(IWDTCCR.TOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択(IWDTCCR.RPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択(IWDTCCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択(IWDTCCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウンタ停止の選択(IWDTCCSTPR.SLCSTP ビット)

表 2.44 独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX231(WDTA)	RX65N(WDTA)
IWDTCR	TOPS[1:0]	タイムアウト期間選択ビット b1 b0 0 0 : 128 サイクル (007Fh) 0 1 : 512 サイクル (01FFh) 1 0 : 1024 サイクル (03FFh) 1 1 : 2048 サイクル (07FFh)	タイムアウト期間選択ビット b1 b0 0 0 : 1024 サイクル (03FFh) 0 1 : 4096 サイクル (0FFFh) 1 0 : 8192 サイクル (1FFFh) 1 1 : 16384 サイクル (3FFFh)
IWDTRCR	RSTIRQS	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求出力を許可 1 : リセット出力を許可	リセット割り込み要求選択ビット 0 : ノンマスカブル割り込み要求、 または割り込み要求出力を許可 1 : リセット出力を許可
IWDCSTPR	SLCSTP	スリープモードカウント停止制御ビット 0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、および ディープスリープモード遷移時 のカウント停止有効	スリープモードカウント停止制御ビット 0 : カウント停止無効 1 : スリープモード、ソフトウェアスタンバイモード、 ディープソフトウェアスタンバイモード、 および全モジュールクロックストップモード遷移時のカウント 停止有効

2.23 USB2.0 ホスト/ファンクションモジュール

表 2.45 に USB2.0 ホスト/ファンクションモジュール仕様の概要比較を、表 2.46 に USB2.0 ホスト/ファンクションモジュールのレジスタ比較を示します。

表 2.45 USB2.0 ホスト/ファンクションモジュール仕様の概要比較

項目	RX231(USBd)	RX65N(USBb)
特長	- USB2.0 に対応した UDC (USB Device Controller) およびトランシーバを内蔵 ホストコントローラ機能/ファンクションコントローラ機能/OTG (On-The-Go) に対応 (1 チャネル) - ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 - セルフパワーモードおよびバスパワーモードを選択可能 - BC1.2 (Battery Charging Specification Revision 1.2) に対応	- USB2.0 に対応した UDC (USB Device Controller) およびトランシーバを内蔵 ホストコントローラ機能/ファンクションコントローラ機能/OTG (On-The-Go) に対応 (1 チャネル) - ホストコントローラ機能とファンクションコントローラ機能はソフトウェアで切り替え可能 - セルフパワーモードおよびバスパワーモードを選択可能
	ホストコントローラ機能選択時 - フルスピード転送(12Mbps)およびロースピード転送(1.5Mbps)に対応 - SOF、パケット送信のスケジュールを自動化 - アイソクロナス転送、インタラプト転送の転送インターバル設定機能	ホストコントローラ機能選択時 - フルスピード転送(12Mbps)およびロースピード転送(1.5Mbps)に対応 - SOF、パケット送信のスケジュールを自動化 - アイソクロナス転送、インタラプト転送の転送インターバル設定機能 - ハブを 1 段経由し、複数の周辺デバイスと接続し通信が可能
	ファンクションコントローラ機能選択時 - フルスピード転送(12Mbps) および ロースピード転送(1.5Mbps)に対応 - コントロール転送ステージ管理機能 - デバイスステート管理機能 - SET_ADDRESS リクエストに対する自動応答機能 - SOF 補完機能	ファンクションコントローラ機能選択時 - フルスピード転送(12Mbps)に対応* - コントロール転送ステージ管理機能 - デバイスステート管理機能 - SET_ADDRESS リクエストに対する自動応答機能 - SOF 補完機能
通信データ転送タイプ	- コントロール転送 - バルク転送 - インタラプト転送 - アイソクロナス転送	- コントロール転送 - バルク転送 - インタラプト転送 - アイソクロナス転送
パイプコンフィギュレーション	- USB 通信用バッファメモリを内蔵 - 最大 10 本のパイプを選択可能(デフォルトコントロールパイプを含む) - パイプ 1~9 は任意のエンドポイント番号を割り付け可能	- USB 通信用バッファメモリを内蔵 - 最大 10 本のパイプを選択可能(デフォルトコントロールパイプを含む) - パイプ 1~9 は任意のエンドポイント番号を割り付け可能

項目	RX231(USBd)	RX65N(USBb)
パイプコンフィギュレーション	各パイプの設定可能な転送条件 - パイプ 0 : コントロール転送、64 バイトシングルバッファ - パイプ 1、2 : バルク転送時、64 バイトダブルバッファ指定可能 アイソクロナス転送時、256 バイトダブルバッファ指定可能 - パイプ 3~5 : バルク転送、64 バイトダブルバッファ指定可能 - パイプ 6~9 : インタラプト転送、64 バイトシングルバッファ	各パイプの設定可能な転送条件 - パイプ 0 : コントロール転送、64 バイトシングルバッファ - パイプ 1、2 : バルク転送時、64 バイトダブルバッファ指定可能 アイソクロナス転送時、256 バイトダブルバッファ指定可能 - パイプ 3~5 : バルク転送、64 バイトダブルバッファ指定可能 - パイプ 6~9 : インタラプト転送、64 バイトシングルバッファ
その他の機能	- トランザクションカウントによる受信トランスファ終了機能 - BRDY 割り込みイベント通知タイミング変更機能(BFRE) - DnFIFO(n = 0, 1)ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) - トランスファ終了による応答 PID の NAK 設定機能(SHTNAK) - DP/DM のプルアップ抵抗、プルダウン抵抗をチップに内蔵	- トランザクションカウントによる受信トランスファ終了機能 - BRDY 割り込みイベント通知タイミング変更機能(BFRE) - DnFIFO(n = 0, 1)ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能(DCLRM) - トランスファ終了による応答 PID の NAK 設定機能(SHTNAK) - D+/D-のプルアップ抵抗、プルダウン抵抗をチップに内蔵
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

【注】 * ファンクションコントローラ機能選択時、ロースピード転送(1.5Mbps)に対応していません。

表 2.46 USB2.0 ホスト/ファンクションモジュールのレジスタ比較

レジスタ	ビット	RX231(USBd)	RX65N(USBb)
SYSCFG	DMRPU	D-ライン抵抗制御ビット	-
	CNEN	シングルエンドレシーバ許可ビット	-
SYSSTS0	SOFEA	-	ホストコントローラ機能選択時の SOF アクティブモニタビット

レジスタ	ビット	RX231(USBd)	RX65N(USBb)
DVSTCTR0	RHST[2:0]	USB バスリセットステータスビット • ホストコントローラ機能選択時 b2 b0 0 0 0: 通信速度不定 (パワード時あるいは非接続時) 1 x x: USB バスリセット処理中 0 0 1: ロースピード接続時 0 1 0: フルスピード接続時 • ファンクションコントローラ機能選択時 b2 b0 0 0 0: 通信速度不定 0 0 1: USB バスリセット処理中またはロースピード接続時 0 1 0: USB バスリセット処理中またはフルスピード接続時	USB バスリセットステータスフラグ • ホストコントローラ機能選択時 b2 b0 0 0 0: 通信速度不定 (パワード時あるいは非接続時) 1 x x: USB バスリセット処理中 0 0 1: ロースピード接続時 0 1 0: フルスピード接続時 • ファンクションコントローラ機能選択時 b2 b0 0 0 0: 通信速度不定 0 0 1: USB バスリセット処理中 0 1 0: USB バスリセット処理中またはフルスピード接続時
INTENB1	PDDETINTE0	PDDETINT0 検知割り込み許可ビット	-
INTSTS1	PDDETINT0	PDDET0 検知割り込みステータスビット	-
DVCHGR	-	-	デバイスステート切り替えレジスタ
USBADDR	-	-	USB アドレスレジスタ
PHYSLEW	-	-	PHY クロスポイント調整レジスタ
DPUSR0R			ディープスタンバイ USB トランシーバ制御/ 端子モニタレジスタ
DPUSR1R			ディープスタンバイ USB サスペンド/ レジューム割り込みレジスタ
USBMC		USB モジュール制御レジスタ	
USBBCCTRL0		BC コントロールレジスタ 0	

2.24 シリアルコミュニケーションインタフェース

RX231 グループは、独立した 7 チャンネル(SCIlg:6 チャンネル、SCIh:1 チャンネル)のシリアルコミュニケーションインタフェースを持っています。

RX65N グループは、独立した 13 チャンネル(SCIlg:10 チャンネル、SCIi:2 チャンネル、SCIh:1 チャンネル)のシリアルコミュニケーションインタフェースを持っています。

表 2.47 に SCIlg 仕様の概要比較を、表 2.48 に SCIi 仕様の概要比較を、表 2.49 に SCI チャンネル別仕様比較を、表 2.50 にシリアルコミュニケーションインタフェースレジスタ比較を示します。

表 2.47 SCIlg 仕様の概要比較

項目		RX231(SCIlg)	RX65N(SCIlg)
チャンネル数		6 チャンネル	10 チャンネル
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能	- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)	送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への設定が可能	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット/9 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ / 奇数パリティ / パリティなし	偶数パリティ / 奇数パリティ / パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がりエッジを選択可能	Low レベルまたは立ち下がりエッジを選択可能
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出すことでブレークを検出可能
調歩同期式モード	クロックソース	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能(SCI5、SCI6)	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能(SCI5、SCI6)

項目		RX231(SCIg)	RX65N(SCIg)
	倍速モード	ボーレートジェネレータ倍速モードを選択可能	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信	送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	I ² C バスフォーマット	I ² C バスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応	ファストモード対応
	ノイズ除去	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	8 ビット	8 ビット
	エラーの検出	オーバランエラー	オーバランエラー
	SS 入力端子機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能	内蔵ボーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能		エラー(受信エラー・エラーシグナル検出) イベント出力	エラー(受信エラー・エラーシグナル検出) イベント出力
		受信データフルイベント出力	受信データフルイベント出力
		送信データエンプティイベント出力	送信データエンプティイベント出力
		送信終了イベント出力	送信終了イベント出力

表 2.48 SCLi 仕様の概要比較

項目		RX231(-)	RX65N(SCLi)
チャンネル数		-	2 チャンネル
シリアル通信方式		-	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		-	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		-	- 送信部:ダブルバッファ構成による連続送信が可能 - 受信部:ダブルバッファ構成による連続受信が可能
データ転送		-	LSB ファースト/MSB ファースト選択可能
割り込み要因		-	送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、データ一致、開始条件/再開条件/停止条件生成終了(簡易 I ² C モード用)
消費電力低減機能		-	チャンネルごとにモジュールストップ状態への設定が可能
調歩同期式モード	データ長	-	7 ビット/8 ビット/9 ビット
	送信ストップビット	-	1 ビット/2 ビット
	パリティ機能	-	偶数パリティ /奇数パリティ /パリティなし
	受信エラー検出機能	-	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能
	データ一致検出	-	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能
	スタートビットの検出	-	Low レベルまたは立ち下がりエッジを選択可能
	ブレーク検出	-	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出す、または SPTR.RXDMON フラグを読み出すことでブレークを検出可能
	クロックソース	-	内部クロック/外部クロックの選択が可能
	倍速モード	-	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	-	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	-	RXDn 端子入力経路にデジタルノイズフィルタを内蔵

項目		RX231(-)	RX65N(SCIi)
クロック同期式モード	データ長	-	8 ビット
	受信エラーの検出	-	オーバランエラー
	ハードウェアフロー制御	-	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	送受信 FIFO	-	送信 16 段、受信 16 段の FIFO を利用可能
スマートカードインタフェースモード	エラー処理	-	受信時パリティエラーを検出するとエラーシグナルを自動送出
		-	送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	-	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	-	I ² C バスフォーマット
	動作モード	-	マスタ(シングルマスタ動作のみ)
	転送速度	-	ファストモード対応
	ノイズ除去	-	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	-	8 ビット
	エラーの検出	-	オーバランエラー
	SS 入力端子機能	-	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	-	クロック位相、クロック極性の設定を 4 種類から選択可能
ビットレートモジュレーション		-	内蔵ボーレートジェネレータの出力補正により誤差を低減可能

表 2.49 SCI チャンネル別仕様比較

項目	RX231(SCI _g , SCI _h)	RX65N(SCI _g , SCI _i , SCI _h)
調歩同期式モード	SCI0, SCI1, SCI5, SCI6, SCI8, SCI9, SCI12	SCI0～SCI12
クロック同期式モード	SCI0, SCI1, SCI5, SCI6, SCI8, SCI9, SCI12	SCI0～SCI12
スマートカードインタフェースモード	SCI0, SCI1, SCI5, SCI6, SCI8, SCI9, SCI12	SCI0～SCI12
簡易 I ² C モード	SCI0, SCI1, SCI5, SCI6, SCI8, SCI9, SCI12	SCI0～SCI12
簡易 SPI モード	SCI0, SCI1, SCI5, SCI6, SCI8, SCI9, SCI12	SCI0～SCI12
拡張シリアルモード	SCI12	SCI12
TMR クロック入力	SCI5, SCI6, SCI12	SCI5, SCI6, SCI12
イベントリンク機能	SCI5	SCI5
FIFO モード	-	SCI10, SCI11
データ一致検出	-	SCI10, SCI11

表 2.50 シリアルコミュニケーションインタフェースレジスタ比較

レジスタ	ビット	RX231(SCI _g , SCI _h)	RX65N(SCI _g , SCI _i , SCI _h)
FRDR	-	-	受信 FIFO データレジスタ
FTDR	-	-	送信 FIFO データレジスタ
SSRFIFO	-	-	シリアルステータスレジスタ
FCR	-	-	FIFO コントロールレジスタ
FDR	-	-	FIFO データカウントレジスタ
LSR	-	-	ラインステータスレジスタ
CDR	-	-	比較データレジスタ
DCCR	-	-	データ比較制御レジスタ
SPTR	-	-	シリアルポートレジスタ

2.25 I²C バスインタフェース

表 2.51 に I²C バスインタフェース仕様の概要比較を、表 2.52 に I²C バスインタフェースレジスタ比較を示します。

表 2.51 I²C バスインタフェース仕様の概要比較

項目	RX231(RIICa)	RX65N(RIICa)
チャンネル数	1 チャンネル	2 チャンネル / 3 チャンネル *1
通信フォーマット	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応(~400 kbps)	ファストモードプラス対応(~1 Mbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	- 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応(混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能	- 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応(混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	- 送信時、アクノリッジビットの自動ロード — ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送付 — 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能	- 送信時、アクノリッジビットの自動ロード — ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送付 — 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能
ウェイト機能	受信時、SCL クロックの Low ホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト	受信時、SCL クロックの Low ホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

項目	RX231(RIICa)	RX65N(RIICa)
アービトレーション	- マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能	- マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4 種類 - 通信エラー / イベント発生 - アービトレーション検出 - NACK 検出 - タイムアウト検出 - スタートコンディション検出(リスタートコンディション含む) - ストップコンディション検出 - 受信データフル(スレーブアドレス一致時含む) - 送信データエンプティ(スレーブアドレス一致時含む) - 送信終了	4 種類 - 通信エラー / イベント発生 - アービトレーション検出 - NACK 検出 - タイムアウト検出 - スタートコンディション検出(リスタートコンディション含む) - ストップコンディション検出 - 受信データフル(スレーブアドレス一致時含む) - 送信データエンプティ(スレーブアドレス一致時含む) - 送信終了
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能
RIIC の動作モード	4 種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード	4 種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

項目	RX231(RIICa)	RX65N(RIICa)
イベントリンク機能	• 通信エラー/通信イベント発生 — アービトレーション検出 — NACK 検出 — タイムアウト検出 — スタートコンディション検出 (リスタートコンディション含む) — ストップコンディション検出 • 受信データフル • 送信データエンプティ • 送信終了	• 通信エラー/通信イベント発生 — アービトレーション検出 — NACK 検出 — タイムアウト検出 — スタートコンディション検出 (リスタートコンディション含む) — ストップコンディション検出 • 受信データフル • 送信データエンプティ • 送信終了

*1：フラッシュメモリ（コードフラッシュ 1.5MB 以上のみ）。但し、64 ピンは 2 チャンネル。

表 2.52 I²C バスインタフェースレジスタ比較

レジスタ	ビット	RX231(RIICa)	RX65N(RIICa)
ICFER	FMPE	-	ファストモードプラス有効ビット

2.26 CAN モジュール

表 2.53 に CAN モジュール仕様の概要比較を、表 2.54 に CAN モジュールのレジスタ比較を示します。

表 2.53 CAN モジュール仕様の概要比較

項目	RX231(RSCAN)	RX65N(CAN)
チャンネル数	1 チャンネル	2 チャンネル
プロトコル	ISO 11898-1 規格準拠(標準フレーム/拡張フレーム)	ISO11898-1 仕様準拠(標準フレーム/拡張フレーム)
ビットレート	最大 1Mbps	1Mbps 以下のビットレートをプログラム可能 (fCAN≥8MHz) fCAN : CAN クロックソース
メッセージボックス	16 メッセージボックス	32 メールボックス : 2 種類のメールボックスモードを選択可能 - 通常メールボックスモード : 32 メールボックスを送信または受信用に設定可能 - FIFO メールボックスモード : 24 メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設定可能
受信	- データフレームとリモートフレームを受信可能 - 受信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 - FIFO ごとの割り込み許可/禁止設定可能 - ミラー機能 (自送信メッセージの受信機能) - タイムスタンプ機能 (メッセージの受信時間を 16 ビットタイマ値で記録)	- データフレームとリモートフレームを受信可能 - 受信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能 - ワンショット受信機能を選択可能 - オーバーライトモード (メッセージ上書き) かオーバーランモード (メッセージ破棄) を選択可能 - 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
アクセプタンスフィルタ	受信フィルタ機能参照	8 つのアクセプタンスマスク (4 メールボックスごとに個別のマスク) - メールボックスはマスクの有効/無効を個別に設定可能

項目	RX231(RSCAN)	RX65N(CAN)
受信フィルタ機能	- 合計 16 個の受信ルールで受信メッセージを選別可能 - チャンネルごとに 0~16 個の範囲で受信ルール数を設定可能 - アクセプタンスフィルタ処理: 受信ルールごとに ID、マスク設定可能 - DLC フィルタ処理: 受信ルールごとに DLC フィルタチェック可能	-
受信メッセージ転送機能	- ルーティング機能 受信メッセージを任意のバッファへ転送する機能 (転送可能バッファ数: 2) 転送先: 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ - ラベル付加機能 受信バッファおよび FIFO バッファへメッセージを格納時、ラベル情報も同時に格納可能	-
送信	- データフレームとリモートフレームを送信可能 - 送信する ID フォーマット (標準 ID、拡張 ID、両方) を選択可能 - ワンショット送信機能 - ID 優先送信または送信バッファ番号優先送信を選択可能 - 送信アボート機能 (フラグでアボート完了を確認可能) - 送信バッファ、送受信 FIFO バッファごとに割り込み許可/禁止設定可能	- データフレームとリモートフレームを送信可能 - 送信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能 - ワンショット送信機能を選択可能 - ID 優先送信モードかメールボックス番号優先送信モードを選択可能 - 送信要求をアボート可能 (フラグでアボート完了を確認可能) - 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能
インターバル送信機能	メッセージの送信間隔を設定可能 (送受信 FIFO バッファの送信モード)	-
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能	-
バスオフ復帰方法	バスオフ状態からの復帰方法を選択可能 - ISO 11898-1 規格準拠 - バスオフ開始でチャンネル待機モードへ自動遷移 - バスオフ終了でチャンネル待機モードへ自動遷移 - プログラムによるチャンネル待機モードへの遷移 - プログラムによるエラーアクティブ状態への遷移 (バスオフ強制復帰機能)	バスオフ状態からの復帰方法を選択可能 - ISO11898-1 規格準拠 - バスオフ開始で自動的に CAN Halt モードへ移行 - バスオフ終了で自動的に CAN Halt モードへ移行 - プログラムにより CAN Halt モードへ移行 - プログラムによりエラーアクティブ状態へ遷移

項目	RX231(RSCAN)	RX65N(CAN)
エラー状態の監視	- CAN プロトコルエラー（スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスドミナントロック）を監視 - エラー状態の遷移を検出（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） - エラーカウンタの読み出し DLC エラーを監視	- CAN バスエラー（スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー）を監視可能 - エラー状態の遷移を検出可能（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） - エラーカウンタを読み出し可能
タイムスタンプ機能	16 ビットカウンタによるタイムスタンプ機能 - タイムスタンプクロック源分周機能有	16 ビットカウンタによるタイムスタンプ機能 基準クロックは、1、2、4、8 ビットタイムから選択可能
割り込み機能	5 本 - グローバル（2 本） - グローバル受信 FIFO 割り込み - グローバルエラー割り込み - チャンネル（3 本） - チャンネル送信割り込み - 送信完了割り込み - 送信アボート割り込み - 送受信 FIFO 送信完了割り込み - 送信履歴割り込み - 送受信 FIFO 受信割り込み - チャンネルエラー割り込み	5 種類の割り込み要因（受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み）
CAN スリープモード	-	CAN クロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	-	3つのソフトウェアサポートユニット アクセプタンスフィルタサポート メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロスト検索） チャンネル検索サポート
CAN クロックソース	周辺モジュールクロック（PCLK）、CANMCLK	周辺モジュールクロック（PCLKB）、CANMCLK
テストモード	ユーザ評価用テスト機能 - リッスンオンリモード - セルフテストモード 0（外部ループバック） - セルフテストモード 1（内部ループバック） RAM テスト（読み書きテスト）	ユーザ評価用に 3 つのテストモードを用意 - リッスンオンリモード - セルフテストモード 0（外部ループバック） - セルフテストモード 1（内部ループバック）
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.54 CAN モジュールのレジスタ比較

レジスタ	ビット名	RX231(RSCAN)	RX65N(CAN)
CTLR	-	-	制御レジスタ
BCR	-	-	ビットコンフィギュレーションレジスタ
MKRk	-	-	マスクレジスタ k (k = 0~7)
FIDCR0	-	-	FIFO 受信 ID 比較レジスタ 0
FIDCR1	-	-	FIFO 受信 ID 比較レジスタ 1
MKIVLR	-	-	マスク無効レジスタ
MBj	-	-	メールボックスレジスタ j (j = 0~31)
MIER	-	-	メールボックス割り込み許可レジスタ
MCTLj	-	-	メッセージ制御レジスタ j (j = 0~31)
RFCR	-	-	受信 FIFO 制御レジスタ
RFPCR	-	-	受信 FIFO ポインタ制御レジスタ
TFCR	-	-	送信 FIFO 制御レジスタ
TFPCR	-	-	送信 FIFO ポインタ制御レジスタ
STR	-	-	ステータスレジスタ
MSMR	-	-	メールボックスサーチモードレジスタ
MSSR	-	-	メールボックスサーチステータスレジスタ
CSSR	-	-	チャンネルサーチサポートレジスタ
AFSR	-	-	アクセプタンスフィルタサポートレジスタ
EIER	-	-	エラー割り込み許可レジスタ
EIFR	-	-	エラー割り込み要因判定レジスタ
RECR	-	-	受信エラーカウントレジスタ
TECR	-	-	送信エラーカウントレジスタ
ECSR	-	-	エラーコード格納レジスタ
TSR	-	-	タイムスタンプレジスタ
TCR	-	-	テスト制御レジスタ
CFGL	-	ビットコンフィギュレーションレジスタ L	-
CFGH	-	ビットコンフィギュレーションレジスタ H	-
CTRL	-	制御レジスタ L	-
CTRH	-	制御レジスタ H	-
STSL	-	ステータスレジスタ L	-
STSH	-	ステータスレジスタ H	-
ERFLL	-	エラーフラグレジスタ L	-
ERFLH	-	エラーフラグレジスタ H	-
GCFGL	-	グローバル設定レジスタ L	-
GCFGH	-	グローバル設定レジスタ H	-
GCTRL	-	グローバル制御レジスタ L	-
GCTRH	-	グローバル制御レジスタ H	-

レジスタ	ビット名	RX231(RSCAN)	RX65N(CAN)
GSTS	-	グローバルステータスレジスタ	-
GERFLL	-	グローバルエラーフラグレジスタ	-
GTINTSTS	-	グローバル送信割り込みステータスレジスタ	-
GTSC	-	タイムスタンプレジスタ	-
GAFLCFG	-	受信ルール数設定レジスタ	-
GAFLIDLj	-	受信ルール登録レジスタ jAL (j = 0~15)	-
GAFLIDHj	-	受信ルール登録レジスタ jAH (j = 0~15)	-
GAFLMLj	-	受信ルール登録レジスタ jBL (j = 0~15)	-
GAFLMHj	-	受信ルール登録レジスタ jBH (j = 0~15)	-
GAFLPLj	-	受信ルール登録レジスタ jCL (j = 0~15)	-
GAFLPHj	-	受信ルール登録レジスタ jCH (j = 0~15)	-
RMNB	-	受信バッファ数設定レジスタ	-
RMND0	-	受信バッファ受信完了フラグレジスタ	-
RMIDLn	-	受信バッファレジスタ nAL (n = 0~15)	-
RMIDHn	-	受信バッファレジスタ nAH (n = 0~15)	-
RMTSn	-	受信バッファレジスタ nBL (n = 0~15)	-
RMPTRn	-	受信バッファレジスタ nBH (n = 0~15)	-
RMDF0n	-	受信バッファレジスタ nCL (n = 0~15)	-
RMDF1n	-	受信バッファレジスタ nCH (n = 0~15)	-
RMDF2n	-	受信バッファレジスタ nDL (n = 0~15)	-
RMDF3n	-	受信バッファレジスタ nDH (n = 0~15)	-
RFCCm	-	受信 FIFO 制御レジスタ m (m = 0, 1)	-
RFSTSm	-	受信 FIFO ステータスレジスタ m (m = 0, 1)	-
RFPCTRM	-	受信 FIFO ポインタ制御レジスタ m (m = 0, 1)	-
RFIDLm	-	受信 FIFO アクセスレジスタ mAL (m = 0, 1)	-
RFIDHm	-	受信 FIFO アクセスレジスタ mAH (m = 0, 1)	-
RFTSm	-	受信 FIFO アクセスレジスタ mBL (m = 0, 1)	-

レジスタ	ビット名	RX231(RSCAN)	RX65N(CAN)
RFPTRm	-	受信 FIFO アクセスレジスタ mBH (m = 0, 1)	-
RFDF0m	-	受信 FIFO アクセスレジスタ mCL (m = 0, 1)	-
RFDF1m	-	受信 FIFO アクセスレジスタ mCH (m = 0, 1)	-
RFDF2m	-	受信 FIFO アクセスレジスタ mDL (m = 0, 1)	-
RFDF3m	-	受信 FIFO アクセスレジスタ mDH (m = 0, 1)	-
CFCCLO	-	送受信 FIFO 制御レジスタ 0L	-
CFCCH0	-	送受信 FIFO 制御レジスタ 0H	-
CFSTS0	-	送受信 FIFO ステータスレジスタ 0	-
CFPCTR0	-	送受信 FIFO ポインタ制御レジスタ 0	-
CFIDL0	-	送受信 FIFO アクセスレジスタ 0AL	-
CFIDH0	-	送受信 FIFO アクセスレジスタ 0AH	-
CFTS0	-	送受信 FIFO アクセスレジスタ 0BL	-
CFPTR0	-	送受信 FIFO アクセスレジスタ 0BH	-
CFDF00	-	送受信 FIFO アクセスレジスタ 0CL	-
CFDF10	-	送受信 FIFO アクセスレジスタ 0CH	-
CFDF20	-	送受信 FIFO アクセスレジスタ 0DL	-
CFDF30	-	送受信 FIFO アクセスレジスタ 0DH	-
RFMSTS	-	受信 FIFO メッセージロスステータスレジスタ	-
CFMSTS	-	送受信 FIFO メッセージロスステータスレジスタ	-
RFISTS	-	受信 FIFO 割り込みステータスレジスタ	-
CFISTS	-	送受信 FIFO 受信割り込みステータスレジスタ	-
TMCp	-	送信バッファ制御レジスタ p (p = 0~3)	-
TMSTSp	-	送信バッファステータスレジスタ p (p = 0~3)	-
TMTRSTS	-	送信バッファ送信要求ステータスレジスタ	-
TMTCSTS	-	送信バッファ送信完了ステータスレジスタ	-
TMTASTS	-	送信バッファ送信アボートステータスレジスタ	-
TMIEC	-	送信バッファ割り込み許可レジスタ	-
TMIDLp	-	送信バッファレジスタ pAL (p = 0~3)	-

レジスタ	ビット名	RX231(RSCAN)	RX65N(CAN)
TMIDHp	-	送信バッファレジスタ pAH (p = 0~3)	-
TMPTRp	-	送信バッファレジスタ pBH (p = 0~3)	-
TMDF0p	-	送信バッファレジスタ pCL (p = 0~3)	-
TMDF1p	-	送信バッファレジスタ pCH (p = 0~3)	-
TMDF2p	-	送信バッファレジスタ pDL (p = 0~3)	-
TMDF3p	-	送信バッファレジスタ pDH (p = 0~3)	-
THLCC0	-	送信履歴バッファ制御レジスタ	-
THLSTS0	-	送信履歴バッファステータスレジスタ	-
THLACC0	-	送信履歴バッファアクセスレジスタ	-
THLPCTR0	-	送信履歴バッファポインタ制御レジスタ	-
GRWCR	-	グローバルRAM ウィンドウ制御レジスタ	-
GTSTCFG	-	グローバルテスト設定レジスタ	-
GTSTCTRL	-	グローバルテスト制御レジスタ	-
GLOCKK	-	グローバルテストプロテクト解除レジスタ	-
RPGACCr	-	RAM テストレジスタ r (r = 0~127)	-

2.27 シリアルペリフェラルインタフェース

表 2.55 にシリアルペリフェラルインタフェース仕様の概要比較を、表 2.56 にシリアルペリフェラルインタフェースレジスタ比較を示します。

表 2.55 シリアルペリフェラルインタフェース仕様の概要比較

項目	RX231(RSPIa)	RX65N(RSPIC)
チャンネル数	1 チャンネル	3 チャンネル
RSPI 転送機能	• MOSI(Master Out Slave In)、MISO(Master In Slave Out)、SSL(Slave Select)、RSPCK(RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード:全二重または送信のみを選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能	• MOSI(Master Out Slave In)、MISO(Master In Slave Out)、SSL(Slave Select)、RSPCK(RSPI Clock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード:全二重または送信のみを選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	• MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット)	• MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット) • 送信データ、受信データをバイト単位でスワップ可能
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 8 分周)High 幅:PCLK の 4 サイクル、Low 幅:PCLK の 4 サイクル	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能(RSPCK の最大周波数は PCLK の 4 分周)High 幅:PCLK の 2 サイクル、Low 幅:PCLK の 2 サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出 • アンダランエラー検出

項目	RX231(RSPIa)	RX65N(RSPic)
SSL 制御機能	1 チャンネルあたり 4 本の SSL 端子(SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 - マルチマスタ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 - スレーブ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能(設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能(設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能(設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - SSL 極性変更機能	1 チャンネルあたり 4 本の SSL 端子(SSLn0~SSLn3) - シングルマスタ設定時には、SSLn0~SSLn3 端子を出力 - マルチマスタ設定時：SSLn0 端子は入力、SSLn1~SSLn3 端子は出力または未使用 - スレーブ設定時：SSLn0 端子は入力、SSLn1~SSLn3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能(設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能(設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能(設定範囲：1~8 RSPCK 設定単位：1 RSPCK) - SSL 極性変更機能
マスタ転送時の制御方式	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 - RSPCK 自動停止機能	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 - RSPCK 自動停止機能
割り込み要因	- 受信バッファフル割り込み - 送信バッファエンpty割り込み - RSPI エラー割り込み(モードフォルト、オーバラン、パリティエラー) - RSPI アイドル割り込み(RSPI アイドル)	- 受信バッファフル割り込み - 送信バッファエンpty割り込み - RSPI エラー割り込み(モードフォルト、オーバラン、アンダラン、パリティエラー) - RSPI アイドル割り込み(RSPI アイドル)

項目	RX231(RSPIa)	RX65N(RSPIc)
イベントリンク機能(出力)	以下のイベントをイベントリンクコントローラへ出力可能 (RSPI0) - 受信バッファフルイベント信号 - 送信バッファエンプティイベント信号 - モードフォルト/オーバラン/パリティエラーのイベント信号 - RSPI アイドルイベント信号 - 送信完了イベント信号	以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) - 受信バッファフルイベント信号 - 送信バッファエンプティイベント信号 - モードフォルト/オーバラン/アンダラン/パリティエラーのイベント信号 - RSPI アイドルイベント信号 - 送信完了イベント信号
その他の機能	- CMOS/オープンドレイン出力切り替え機能 - RSPI 初期化機能 - ループバックモード機能	- CMOS/オープンドレイン出力切り替え機能 - RSPI 初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.56 シリアルペリフェラルインタフェースレジスタ比較

レジスタ	ビット	RX231(RSPIa)	RX65N(RSPIc)
SPSR	MODF	モードフォルトエラーフラグ 0 : モードフォルトエラーなし 1 : モードフォルトエラー発生	モードフォルトエラーフラグ 0 : モードフォルトエラーなし、 アンダランエラー なし 1 : モードフォルトエラーまたは アンダランエラー 発生
	UDRF	-	アンダランエラーフラグ
SPDR	-	RSPI データレジスタ 可能アクセスサイズ - ロングワード (SPDCR.SPLW=1) - ワードアクセス(SPDCR.SPLW=0)	RSPI データレジスタ 可能アクセスサイズ - ロングワード (SPDCR.SPLW=1,SPBYT=0) - ワードアクセス (SPDCR.SPLW=0,SPBYT=0) バイトアクセス (SPDCR.SPBYT=1)
SPDCR	SPBYT	-	RSPI バイトアクセス設定ビット
SPDCR2	-	-	RSPI データコントロールレジスタ 2

2.28 CRC 演算器

表 2.57 に CRC 演算器仕様の概要比較を、表 2.58 に CRC 演算器レジスタ比較を示します。

表 2.57 CRC 演算器仕様の概要比較

項目	RX231(CRC)	RX65N(CRCA)	
データサイズ	8 ビット	8 ビット	32 ビット
CRC 演算対象データ	8n ビットのデータに対して CRC コードを生成 (n = 自然数)	8n ビットのデータに対して CRC コードを生成 (n = 自然数)	32n ビットのデータに対して CRC コードを生成 (n = 自然数)
CRC 演算処理方式	8 ビット並列実装	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの多項式から選択可能 8 ビット CRC — $X^8 + X^2 + X + 1$ 16 ビット CRC — $X^{16} + X^{15} + X^2 + 1$ — $X^{16} + X^{12} + X^5 + 1$	3 つの多項式から選択可能 8 ビット CRC — $X^8 + X^2 + X + 1$ 16 ビット CRC — $X^{16} + X^{15} + X^2 + 1$ — $X^{16} + X^{12} + X^5 + 1$	2 つの多項式から選択可能 32 ビット CRC — $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ — $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることが可能	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能	

表 2.58 CRC 演算器レジスタ比較

レジスタ	ビット	RX231(CRC)	RX65N(CRCA)
CRCCR	GPS[1:0]:RX231 GPS[2:0]:RX65N	CRC 生成多項式切り替えビット b1 b0 0 0 : 演算しません 0 1 : 8 ビット CRC ($X^8 + X^2 + X + 1$) 1 0 : 16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$) 1 1 : 16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$)	CRC 生成多項式切り替えビット b2 b0 0 0 0 : 計算しません 0 0 1 : 8 ビット CRC ($X^8 + X^2 + X + 1$) 0 1 0 : 16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1 : 16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0 : 32 ビット CRC ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1 : 32 ビット CRC ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0 : 計算しません 1 1 1 : 計算しません
	LMS	CRC 切り替えビット(b2)	CRC 切り替えビット(b6)
CRCDIR	-	CRC データ入力レジスタ 可能アクセスサイズ • バイトアクセス	CRC データ入力レジスタ 可能アクセスサイズ • ロングワードアクセス (32 ビット CRC 生成時) • バイトアクセス • (16 ビット CRC、8 ビット CRC 生成時)
CRCDOR	-	CRC データ出力レジスタ 可能アクセスサイズ • ワードアクセス 8 ビット CRC 生成時は、下位バイト(b7~b0)を使用	CRC データ出力レジスタ 可能アクセスサイズ • ロングワードアクセス (32 ビット CRC 生成時) • ワードアクセス (16 ビット CRC 生成時) • バイトアクセス (8 ビット CRC 生成時)

2.29 SD ホストインタフェース

表 2.59 に SD ホストインタフェース仕様の概要比較を、表 2.60 に SD ホストインタフェースレジスタ比較を示します。

表 2.59 SD ホストインタフェース仕様の概要比較

項目	RX231(SDHIa)	RX65N(SDHI)
SD Bus インタフェース	- SD メモリカード、SDIO カードに対応 - 転送バス幅をワイドバスモード(4 ビット)、デフォルトバスモード(1 ビット)から選択可能 - SD、SDHC、SDXC の SD メモリカードアクセスに対応	- SD メモリカード、SDIO カードに対応 - 転送バス幅をワイドバスモード(4 ビット)、デフォルトバスモード(1 ビット)から選択可能 - SD、SDHC、SDXC の SD メモリカードアクセスに対応
転送モード	デフォルトスピードモードに対応	ハイスピードモード 、デフォルトスピードモードに対応
SDHI クロック	周辺モジュールクロック(PCLKB)を n 分周して SDHI クロックを生成 (n = 1, 2, 4, 8, 16, 32, 64, 128, 256, 512)	周辺モジュールクロック(PCLKB)を n 分周して SDHI クロックを生成 (n = 1, 2, 4, 8, 16, 32, 64, 128, 256, 512)
エラーチェック機能	- CRC7 (コマンド、レスポンス) - CRC16 (転送データ)	- CRC7 (コマンド、レスポンス) - CRC16 (転送データ)
割り込み要因	4 要因 - カードアクセス割り込み(CACI) - SDIO アクセス割り込み(SDACI) - カード検出割り込み(CDETI) - SD バッファアクセス割り込み(SBFAI)	4 要因 - カードアクセス割り込み(CACI) - SDIO アクセス割り込み(SDACI) - カード検出割り込み(CDETI) - SD バッファアクセス割り込み(SBFAI)
DMA 転送要求	- SD バッファアクセス割り込み(SBFAI)により DMAC/DTC を起動可能 - DMAC/DTC による SD バッファのリード/ライトが可能	- SD バッファアクセス割り込み(SBFAI)により DMAC/DTC を起動可能 - DMAC/DTC による SD バッファのリード/ライトが可能
その他の機能	- カード検出機能 - ライトプロテクト機能	- カード検出機能 - ライトプロテクト機能

表 2.60 SD ホストインタフェースレジスタ比較

レジスタ	ビット	RX231(SDHIa)	RX65N(SDHI)
SDVER	-	-	バージョンレジスタ

2.30 12 ビット A/D コンバータ

表 2.61 に 12 ビット A/D コンバータ仕様の概要比較を、表 2.62 に 12 ビット A/D コンバータレジスタ比較を示します。

表 2.61 12 ビット A/D コンバータ仕様の概要比較

項目	RX231(S12ADE)	RX65N(S12ADFa)
ユニット数	1 ユニット	2 ユニット
入力チャンネル	24 チャンネル	• ユニット 0:8 チャンネル • ユニット 1:21 チャンネル+拡張 1 本
拡張アナログ入力	温度センサ出力、内部基準電圧	温度センサ出力、内部基準電圧
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	1 チャンネル当たり 0.83μs (A/D 変換クロック ADCLK = 54MHz 動作時)	• 1 チャンネル当たり (0.48μs) (12 ビット変換モード) • 1 チャンネル当たり (0.45μs) (10 ビット変換モード) • 1 チャンネル当たり (0.42μs) (8 ビット変換モード) (A/D 変換クロック ADCLK=60MHz 動作時)
A/D 変換クロック(ADCLK)	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の分周比で設定可能 「PCLKB:ADCLK 周波数比 = 1:1, 1:2, 2:1, 4:1, 8:1」 ADCLK の設定はクロック発生回路で行います	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の分周比で設定可能 「PCLKB:ADCLK 周波数比 = 1:1, 2:1, 4:1, 8:1」 ADCLK の設定はクロック発生回路で行います
データレジスタ	• アナログ入力用 24 本、ダブルトリガモードでの A/D 変換データ 2 重化用 1 本 • 温度センサ用 1 本 • 内部基準電圧用 1 本 • 自己診断用 1 本	• アナログ入力用:29 本(ユニット 0:8 本、ユニット 1:21 本)、ダブルトリガモードでの A/D 変換データ二重化用 1 本/各ユニット、ダブルトリガモード拡張動作時の A/D 変換データ二重化用 2 本/各ユニット • 温度センサ用:1 本(ユニット 1 のみ) • 内部基準電圧用:1 本(ユニット 1 のみ) • 自己診断用 1 本/ユニット

項目	RX231(S12ADE)	RX65N(S12ADFa)
データレジスタ	- A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 12 ビット精度出力に対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数+2 ビット /4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは 2 重化レジスタに保持	- A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 8, 10, 12 ビット精度出力対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数+2 ビット/4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、 2 回目の A/D 変換データは二重化レジスタに保持 - ダブルトリガモード拡張動作(特定トリガ種別で有効) 選択した 1 つのチャンネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した二重化レジスタに保持
動作モード	- シングルスキャンモード： - 任意に選択した最大 24 チャンネルのアナログ入力を 1 回のみ A/D 変換 - 温度センサ出力を 1 回のみ A/D 変換 - 内部基準電圧を 1 回のみ A/D 変換 - 連続スキャンモード： 任意に選択した最大 24 チャンネルのアナログ入力を繰り返し A/D 変換	- シングルスキャンモード： - 任意に選択した最大 8 チャンネル(ユニット 0)/21 チャンネル(ユニット 1)のアナログ入力を 1 回のみ A/D 変換 - 温度センサ出力を 1 回のみ A/D 変換(ユニット 1 のみ) - 内部基準電圧を 1 回のみ A/D 変換(ユニット 1 のみ) - 拡張アナログ入力を 1 回のみ A/D 変換(ユニット 1 のみ) - 連続スキャンモード： - 任意に選択した最大 8 チャンネル(ユニット 0)/21 チャンネル(ユニット 1)のアナログ入力、温度センサ出力(ユニット 1 のみ)、内部基準電圧(ユニット 1 のみ)を繰り返し A/D 変換 - 拡張アナログ入力を繰り返し A/D 変換(ユニット 1 のみ)

項目	RX231(S12ADE)	RX65N(S12ADFa)
動作モード	- グループスキャンモード： - 任意に選択した最大 24 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B は、各々の変換開始条件（同期トリガ）を選択することで異なるタイミングで変換開始可能 - グループスキャンモード（グループ A 優先制御選択時） - グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実施 - グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を再実行（再スキャン）の設定が可能	- グループスキャンモード： - 使用するグループの数は 2 つ（グループ A、B）と 3 つ（グループ A、B、C）が選択可能（グループ数が 2 つの場合、グループ A、グループ B の組み合わせのみ選択可能） - 任意に選択したチャンネルのアナログ入力、温度センサ出力（ユニット 1 のみ）、内部基準電圧（ユニット 1 のみ）をグループ A とグループ B またはグループ A、B、C に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B とグループ C は、各々の変換開始条件（同期トリガ）を選択することで異なるタイミングで変換開始可能 - グループスキャンモード（グループ優先制御選択時） - 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループ A（高）> グループ B > グループ C（低） - 優先グループのスキャン終了後、低優先グループのスキャンを再実行（再スキャン）する/しないを設定可能。また再スキャンは、選択チャンネルの最初からか、A/D 変換未終了のチャンネルからかを設定可能
A/D 変換開始条件	- ソフトウェアトリガ - 同期トリガ MTU、ELC、TPU からのトリガ - 非同期トリガ 外部トリガ ADTRG0#端子による A/D 変換動作の開始が可能	- ソフトウェアトリガ - 同期トリガ MTU、TPU、TMR、ELC からのトリガ - 非同期トリガ 外部トリガ ADTRG0#端子（ユニット 0）/ADTRG1#端子（ユニット 1）による A/D 変換動作の開始が可能

項目	RX231(S12ADE)	RX65N(S12ADFa)
機能	- サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出機能(ディスタージ機能/プリチャージ機能) - ダブルトリガモード (A/D 変換データ 2 重化機能) - A/D データレジスタオートクリア機能 - コンペア機能 (ウィンドウ A、ウィンドウ B) - コンペア機能使用時のリングバッファ (16 本)	- チャンネル専用サンプル&ホールド機能(3ch:ユニット 0 のみ) - サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出機能(ディスタージ機能/プリチャージ機能) - ダブルトリガモード(A/D 変換データ二重化機能) 12/10/8 ビット変換切り替え機能 - A/D データレジスタオートクリア機能 - 拡張アナログ入力機能 - コンペア機能(ウィンドウ A、ウィンドウ B)
割り込み要因	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI、S12ADI1)を発生 - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI、S12ADI1)を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI、S12ADI1)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(S12GBADI、S12GBADI1)を発生。グループ C のスキャン終了でグループ C 専用のスキャン終了割り込み要求(S12GCADI、S12GCADI1)を発生。

項目	RX231(S12ADE)	RX65N(S12ADFa)
割り込み要因	- グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI0) を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求 (GBADI) を発生 - S12ADI0, GBADI 割り込みで DMAC、DTC を起動可能	- グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求 (S12ADI、S12ADI1) を発生。グループ B とグループ C のスキャン終了で、それぞれ専用のスキャン終了割り込み要求 (S12GBADI/S12GCADI、S12GBADI1/S12GCADI1) を発生 - デジタルコンペア機能の比較条件成立で、コンペア割り込み (S12CMPAI、S12CMPAI1、S12CMPBI、S12CMPBI1) を発生 - S12ADI/S12ADI1、S12GBADI/S12GBADI1、S12GCADI/S12GCADI1 割り込みで DMAC、DTC を起動可能
イベントリンク機能	- グループスキャンモードでのグループ B のスキャン終了を除くスキャン終了時に ELC イベント発生 - グループスキャンモードでのグループ B のスキャン終了時に ELC イベント発生 - すべてのスキャン終了時に ELC イベント発生 - ELC からのトリガによりスキャン開始可能 - シングルスキャンモードでのウィンドウコンペア機能のイベント条件に応じて、ELC イベント発生	- すべてのスキャン終了時に ELC イベント発生 - ELC からのトリガによりスキャン開始可能
消費電力低減機能	モジュールストップ状態への設定可能	モジュールストップ状態への設定が可能

表 2.62 12 ビット A/D コンバータレジスタ比較

レジスタ	ビット	RX231(S12ADE)	RX65N(S12ADFa)
ADDBLDRA	-	-	A/D データ 二重化レジスタ A
ADDBLDRB	-	-	A/D データ 二重化レジスタ B

レジスタ	ビット	RX231(S12ADE)	RX65N(S12ADFa)
ADRD	-	A/D 自己診断データレジスタ <フォーマット> - 右詰め時 b11-b0 : A/D 変換値 b15-b14 : 自己診断ステータス - 左詰め時 b15-b4 : A/D 変換値 b1-b0 : 自己診断ステータス	A/D 自己診断データレジスタ <フォーマット> - 右詰め、12 ビット精度時 b11-b0 : A/D 変換値 b15-b14 : 自己診断ステータス - 右詰め、10 ビット精度時 b9-b0 : A/D 変換値 b15-b14 : 自己診断ステータス - 右詰め、8 ビット精度時 b7-b0 : A/D 変換値 b15-b14 : 自己診断ステータス - 左詰め、12 ビット精度時 b15-b4 : A/D 変換値 b1-b0 : 自己診断ステータス - 左詰め、10 ビット精度時 b15-b6 : A/D 変換値 b1-b0 : 自己診断ステータス - 左詰め、8 ビット精度時 b15-b8 : A/D 変換値 b1-b0 : 自己診断ステータス
ADCSR	ADHSC	A/D 変換動作選択ビット	-
ADANSA0 (S12AD1)	-	-	A/D チャネル選択レジスタ A0
ADANSA1 (S12AD)	-	A/D チャネル選択レジスタ A1	-
ADANSA1 (S12AD1)	-	-	A/D チャネル選択レジスタ A1
ADANSB0 (S12AD1)	-	-	A/D チャネル選択レジスタ B0
ADANSB1 (S12AD)	-	A/D チャネル選択レジスタ B1	-
ADANSB1 (S12AD1)	-	-	A/D チャネル選択レジスタ B1
ADANSC0 (S12AD)	-	-	A/D チャネル選択レジスタ C0
ADANSC0 (S12AD1)	-	-	A/D チャネル選択レジスタ C0
ADANSC1 (S12AD1)	-	-	A/D チャネル選択レジスタ C1
ADADS0 (S12AD1)	-	-	A/D 変換値加算/平均チャネル選択 レジスタ 0
ADADS1 (S12AD)	-	A/D 変換値加算/平均チャネル選択 レジスタ 1	-
ADADS1 (S12AD1)	-	-	A/D 変換値加算/平均チャネル選択 レジスタ 1
ADCER	ADPRC[1:0]	-	A/D 変換精度指定ビット

レジスタ	ビット	RX231(S12ADE)	RX65N(S12ADFa)
ADEXICR	TSSA	温度センサ出力 A/D 変換選択ビット シングルスキャンモードでの温度センサ出力の A/D 変換を選択 0 : 温度センサ出力を A/D 変換しない 1 : 温度センサ出力を A/D 変換する	温度センサ出力 A/D 変換選択ビット シングルスキャンモード、 連続スキャンモード、およびグループスキャンモードのグループ A での温度センサ出力の A/D 変換を選択 0 : 温度センサ出力を A/D 変換しない 1 : 温度センサ出力を A/D 変換する
	TSSB	-	温度センサ出力 A/D 変換選択ビット
	OCSB	-	内部基準電圧 A/D 変換選択ビット
	EXSEL[1:0]	-	拡張アナログ入力選択ビット
	EXOEN	-	拡張アナログ出力制御ビット
ADGCEXCR	-	-	A/D グループ C 拡張入力コントロールレジスタ
ADGCTRGR	-	-	A/D グループ C トリガ選択レジスタ
ADSSTRn	-	A/D サンプリングステートレジスタ n (n = 0~7、L、T、O)	A/D サンプリングステートレジスタ n (n = 0~ 15 、L、T、O)
ADSHCR	-	-	A/D サンプル & ホールド回路コントロールレジスタ
ADSHMSR	-	-	A/D サンプル&ホールド動作モード選択レジスタ
ADELCCR	-	A/D イベントリンクコントロールレジスタ	-
ADGSPCR	PGS	グループ A 優先制御設定ビット	グループ優先制御設定ビット
	GBRSCN	グループ B 再起動設定ビット	低優先グループ再起動設定ビット
	LGRRS	-	再開チャネル選択ビット
	GBRP	グループ B 用シングルスキャン連続起動設定ビット	シングルスキャン連続起動設定ビット

レジスタ	ビット	RX231(S12ADE)	RX65N(S12ADFa)
ADCMPCR	CMPAB[1:0]	ウィンドウ A/B の複合条件設定ビット b1 b0 0 0: ウィンドウ A 比較条件一致 OR ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 0 1: ウィンドウ A 比較条件一致 EXOR ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 1 0: ウィンドウ A 比較条件一致 AND ウィンドウ B 比較条件一致で S12ADWMELC 出力、それ以外は S12ADWUMELC 出力 1 1: 設定禁止	ウィンドウ A/B の複合条件設定ビット b1 b0 0 0: ウィンドウ A 比較条件一致 OR ウィンドウ B 比較条件一致 0 1: ウィンドウ A 比較条件一致 EXOR ウィンドウ B 比較条件一致 1 0: ウィンドウ A 比較条件一致 AND ウィンドウ B 比較条件一致 1 1: 設定禁止
ADCMPCR	CMPBE	コンペアウィンドウ B 動作許可ビット 0: コンペアウィンドウ B 停止 S12ADWMELC/S12ADWUMELC 出力禁止 1: コンペアウィンドウ B 動作	コンペアウィンドウ B 動作許可ビット 0: コンペアウィンドウ B 停止 1: コンペアウィンドウ B 動作
	CMPAE	コンペアウィンドウ A 動作許可ビット 0: コンペアウィンドウ A 停止 S12ADWMELC/S12ADWUMELC 出力禁止 1: コンペアウィンドウ A 動作	コンペアウィンドウ A 動作許可ビット 0: コンペアウィンドウ A 停止 1: コンペアウィンドウ A 動作
	CMPBIE	-	コンペア B 割り込み許可ビット
	CMPIAE	-	コンペア A 割り込み許可ビット
ADCMANSR0 (S12AD1)	-	-	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0
ADCMANSR1 (S12AD)	-	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1	-
ADCMANSR1 (S12AD1)	-	-	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1
ADCMANSER	CMPSTS	-	温度センサ出力コンペア選択ビット
	CMPTSA	温度センサ出力コンペア選択ビット	-
	CMPSOC	-	内部基準電圧コンペア選択ビット
	CMPOCA	内部基準電圧コンペア選択ビット	-
ADCMPLR0 (S12AD1)	-	-	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0
ADCMPLR1 (S12AD)	-	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1	-

レジスタ	ビット	RX231(S12ADE)	RX65N(S12ADFa)
ADCMPLR1 (S12AD1)	-	-	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1
ADCMPLER	CMPLTS	-	コンペアウィンドウ A 温度センサ出力コンペア条件選択ビット
	CMPLTSA	コンペアウィンドウ A 温度センサ出力コンペア条件選択ビット	-
	CMPLOC	-	コンペアウィンドウ A 内部基準電圧コンペア条件選択ビット
	CMPLOCA	コンペアウィンドウ A 内部基準電圧コンペア条件選択ビット	-
ADCMPPDR0	-	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ 条件によりフォーマットが異なりますので、ユーザーズマニュアルを参照してください	
ADCMPPDR1	-	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ 条件によりフォーマットが異なりますので、ユーザーズマニュアルを参照してください	
ADCMPSR0 (S12AD1)	-	-	A/D コンペア機能ウィンドウ A チャンステータスレジスタ 0
ADCMPSR1 (S12AD)	-	A/D コンペア機能ウィンドウ A チャンステータスレジスタ 1	-
ADCMPSR1 (S12AD1)	-	-	A/D コンペア機能ウィンドウ A チャンステータスレジスタ 1
ADCMPSER	CMPFTS	-	コンペアウィンドウ A 温度センサ出力コンペアフラグ
	CMPSTTSA	コンペアウィンドウ A 温度センサ出力コンペアフラグ	-
	CMPFOC	-	コンペアウィンドウ A 内部基準電圧コンペアフラグ
	CMPSTOCA	コンペアウィンドウ A 内部基準電圧コンペアフラグ	-
ADHVREFCNT	-	A/D 高電位/ 低電位基準電圧コントロールレジスタ	-

レジスタ	ビット	RX231(S12ADE)	RX65N(S12ADFa)
ADCMPSR (S12AD)	CMPCHB[5:0]	コンペアウィンドウ B チャンネル選択ビット b5 b0 0 0 0 0 0 : AN000 0 0 0 0 1 : AN001 0 0 0 1 0 : AN002 : : 0 0 0 1 1 0 : AN006 0 0 0 1 1 1 : AN007 0 1 0 0 0 : AN016 0 1 0 0 1 : AN017 : : 0 1 1 1 0 1 : AN029 0 1 1 1 1 0 : AN030 0 1 1 1 1 1 : AN031 1 0 0 0 0 : 温度センサ 1 0 0 0 1 : 内部基準電圧 上記以外は設定しないでください	コンペアウィンドウ B チャンネル選択ビット b5 b0 0 0 0 0 0 : AN000 0 0 0 0 1 : AN001 0 0 0 1 0 : AN002 : : 0 0 0 1 1 0 : AN006 0 0 0 1 1 1 : AN007 上記以外は設定しないでください
ADCMPSR (S12AD1)	-	-	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ
ADWINLLB	-	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ 条件によりフォーマットが異なりますので、ユーザーズマニュアルを参照してください	
ADWINULB	-	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ 条件によりフォーマットが異なりますので、ユーザーズマニュアルを参照してください	
ADSAM	-	-	A/D 逐次変換時間設定レジスタ
ADSAMPR	-	-	A/D 逐次変換時間設定プロテクト 解除レジスタ
ADBUFn	-	A/D データ格納バッファレジスタ n (n = 0~15)	-
ADBUFEN	-	A/D データ格納バッファイネーブル レジスタ	-
ADBUFPTR	-	A/D データ格納バッファポインタ レジスタ	-

2.31 12 ビット D/A コンバータ

表 2.63 に 12 ビット D/A コンバータ概要比較を、表 2.64 に 12 ビット D/A コンバータレジスタ比較を示します。

表 2.63 12 ビット D/A コンバータ概要比較

項目	RX231(R12DAA)	RX65N(R12DAa)
分解能	12 ビット	12 ビット
出力チャンネル	2 チャンネル	2 チャンネル
アナログモジュールの干渉対策	D/A 変換と A/D 変換の干渉対策: 12 ビット A/D コンバータが出力する 12 ビット A/D コンバータ同期 D/A 変換許可入力信号により、D/A 変換データの更新タイミングを制御する。これにより、12 ビット D/A コンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉による A/D 変換精度劣化を低減する。	D/A 変換と A/D 変換の干渉対策 12 ビット A/D コンバータ(ユニット 1)が出力する 12 ビット A/D コンバータ同期 D/A 変換許可信号により、D/A 変換データの更新タイミングを制御する。 これにより、12 ビット D/A コンバータのラッシュカレント発生タイミングを許可信号で制御し、干渉による A/D 変換精度劣化を低減する。
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能
イベントリンク機能(入力)	イベント信号の入力により、チャンネル 0 の D/A 変換を開始可能	イベント信号の入力により、チャンネル 0 の D/A 変換を開始可能
出力方式切り替え	-	バッファ出力(ゲイン=1)とバッファなし出力を切り替え可能

表 2.64 12 ビット D/A コンバータレジスタ比較

レジスタ	ビット	RX231(R12DAA)	RX65N(R12DAa)
DACR	DAE	-	D/A 許可ビット
DAADUSR	-	-	D/A A/D 同期ユニット選択レジスタ
DAVREFCR	-	D/A VREF 制御レジスタ	-
DAAMPCR	-	-	D/A 出力アンプ制御レジスタ
DAASWCR	-	-	D/A 出力アンプ安定待ち制御レジスタ

2.32 温度センサ

表 2.65 に温度センサ仕様の概要比較を、表 2.66 に温度センサのレジスタ比較を示します。

表 2.65 温度センサ仕様の概要比較

項目	RX231(TEMPSA)	RX65N(TEMPS)
温度センサ電圧出力	12 ビット A/D コンバータへ出力	12 ビット A/D コンバータ（ユニット 1）へ出力
消費電力低減機能	-	モジュールストップ状態への設定が可能
温度センサ校正データ	-	工場出荷時に個々のチップごとに測定した基準データをレジスタに格納

表 2.66 温度センサのレジスタ比較

レジスタ	ビット	RX231(TEMPSA)	RX65N(TEMPS)
TSCR	-	-	温度センサコントロールレジスタ
TSCDRH, TSCDRL (RX231) TSCDR (RX65N)	-	温度センサ校正データレジスタ (b7～b0) 工場出荷時に個々のチップごとに測定された温度センサ校正データが TSCDRH のビット 3～ビット 0、TSCDRL のビット 7～ビット 0 に格納	温度センサ校正データレジスタ (b31～b0) 工場出荷時に個々のチップごとに測定された温度センサ校正データをビット 11～ビット 0 に格納

2.33 RAM

表 2.67 に RAM 仕様の概要比較を、表 2.68 に RAM のレジスタ比較を示します。

表 2.67 RAM 仕様の概要比較

項目	RX231	RX65N
RAM 容量	32K バイト RAM0:32K バイト 64K バイト RAM0:64K バイト	256K バイト / 384K バイト *1 RAM0:256K バイト 拡張 RAM:384K バイト *1
RAM アドレス	- RAM 容量が 32K バイトの場合 RAM0:0000 0000h~0000 7FFFh - RAM 容量が 64K バイトの場合 RAM0:0000 0000h~0000 FFFFh	RAM0:0000 0000h ~ 0003 FFFFh 拡張 RAM: 0080 0000h~0085 FFFFh *1
アクセス	- 読み出し/書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能	- 読み出し/書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能
データ保持機能	-	ディープソフトウェアスタンバイモード時のデータ保持機能なし(スタンバイ RAM にて保持可能)
消費電力低減機能	モジュールストップ状態への設定が可能	RAM、拡張 RAM *1 個別にモジュールストップ状態への遷移が可能
エラーチェック機能	-	1 ビット誤り検出 - エラー発生時、ノンマスカル割り込み、または割り込みを発生

*1 : フラッシュメモリ (コードフラッシュ 1.5MB 以上のみ)

表 2.68 RAM のレジスタ比較

レジスタ	ビット	RX231	RX65N
RAMMODE	-	-	RAM 動作モード制御レジスタ
RAMSTS	-	-	RAM エラーステータスレジスタ
RAMECAD	-	-	RAM エラーアドレスキャプチャレジスタ
RAMPRCR	-	-	RAM プロテクトレジスタ
EXRAMMODE	-	-	拡張 RAM 動作モード制御レジスタ *1
EXRAMSTS	-	-	拡張 RAM エラーステータスレジスタ *1
EXRAMECAD	-	-	拡張 RAM エラーアドレスキャプチャレジスタ *1
EXRAMPRCR	-	-	拡張 RAM プロテクトレジスタ *1

*1 : フラッシュメモリ (コードフラッシュ 1.5MB 以上のみ)

2.34 フラッシュメモリ(コードフラッシュ)

表 2.69 にフラッシュメモリ(コードフラッシュ)仕様の概要比較を、表 2.70 にフラッシュメモリのレジスタ比較を示します。

表 2.69 フラッシュメモリ(コードフラッシュ)仕様の概要比較

項目	RX231	RX65N
メモリ容量	- ユーザ領域: 最大 512K バイト - エクストラ領域: スタートアップ領域情報、アクセス ウィンドウ情報、ユニーク ID を格納	ユーザ領域:最大 2M バイト*1
キャッシュ	なし	- 容量:最大 256 バイト - マッピング方式:8 ウェイセットアソシ エイティブ - リプレース方式:LRU アルゴリズム - ラインサイズ:16 バイト
リードサイク ル	ICLK 1 サイクルの高速読み出し	- キャッシュヒット時:1 サイクル - キャッシュミス時: ICLK ≤ 50MHz 1 サイクル 50MHz < ICLK ≤ 100MHz 2 サイクル ICLK > 100MHz 3 サイクル
イレーズ後の 値	FFh	FFh
プログラム/イ レーズ方式	- プログラム/ イレーズ用の専用シーケ ンサのモードへ移行して、プログラム / イレーズ用のコマンドを発行するこ とにより可能 - 専用フラッシュメモリプログラマによ るシリアルインタフェース通信を介し た書き換え(シリアルプログラミング) - ユーザプログラムによるフラッシュ メモリのプログラム/イレーズ (セルフ プログラミング)	- FACI コマンド発行領域(007E 0000h) に設定した FACI コマンドで、コードフ ラッシュメモリのプログラム/イレーズ が可能 - 専用フラッシュメモリプログラマによ るシリアルインタフェース通信を介し た書き換え(シリアルプログラミング) - ユーザプログラムによるフラッシュメ モリのプログラム/イレーズ(セルフプ ログラミング)
セキュリティ 機能	フラッシュメモリの不正改ざん/不正読み 出しを防止	フラッシュメモリの不正改ざん/不正読み出 しを防止
プロテクショ ン機能	フラッシュメモリの誤書き換えを防止	フラッシュメモリの誤書き換えを防止
デュアルバン ク機能 *1	-	デュアルバンク構成を用いて、書き換え動 作中の中断に対して安全な更新を行うことが 可能 - リニアモード:コードフラッシュメモリ を 1 領域として使用するモード - デュアルモード:コードフラッシュメモ リを 2 領域に分割して使用するモード
Trusted Memory(TM) 機能	-	- コードフラッシュメモリのブロック 8,9 に対する不正リードを防止 - デュアルモード:ブロック 8, 9, 46, 47 *1
プログラム/イ レーズ単位	- ユーザ領域へのプログラム:8 バイト - ユーザ領域のイレーズ:ブロック	- ユーザ領域へのプログラム:128 バイト - ユーザ領域のイレーズ:ブロック

項目	RX231	RX65N
その他の機能	セルフプログラミング中の割り込み受け付け可能	セルフプログラミング中の割り込み受け付け可能
	本 MCU の初期設定をオプション設定メモリに設定可能	本 MCU の初期設定をオプション設定メモリに設定可能
	コードフラッシュメモリのスタートアップ領域をブロック 0～7、8～15 から選択可能	コードフラッシュメモリのスタートアップ領域をブロック 0、1 から選択可能
オンボードプログラミング	- ブートモード(SCI インタフェース)によるプログラム - 調歩同期式シリアルインタフェース (SCI1)を使用 - 通信速度は自動調整 - ブートモード (USB インタフェース) によるプログラム - USB0 を使用 - USB ケーブルだけを用いてパソコンと接続が可能 - セルフパワー、バスパワーいずれのモードでもフラッシュ書き換えが可能 - ブートモード (FINE インタフェース) によるプログラム - FINE を使用 - ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域とデータ領域の書き換え - システムをリセットすることなく ROM の書き換えが可能	- ブートモード(SCI インタフェース)によるプログラム/イレーズ - 調歩同期式シリアルインタフェース (SCI1)を使用 - 通信速度は自動調整 - ブートモード (USB インタフェース) によるプログラム/イレーズ - USBb を使用 - 特別なハードウェアが不要で、PC と直結可能 - ブートモード(FINE インタフェース)によるプログラム/イレーズ - FINE を使用 - ユーザプログラム中のコードフラッシュメモリ書き換えルーチンによるプログラム/イレーズ - システムをリセットすることなくコードフラッシュメモリの書き換えが可能
オフボードプログラミング	フラッシュライター(シリアルプログラマ、パラレルプログラマ)を使用して、ユーザ領域の書き換えが可能	フラッシュライターを使用して、ユーザ領域のプログラム/イレーズが可能
ユニーク ID	本 MCU 個体ごとの 16 バイト長の ID コード	本 MCU 個体ごとの 16 バイト長の ID コード
ID コードプロテクト	- ブートモード時、シリアルプログラマとの接続の許可または禁止を、ID コードにより制御可能 - オンチップデバッグエミュレータ接続時、ID コードにより制御可能 - パラレルプログラマ接続時、ROM コードにより制御可能	- ブートモード時、シリアルプログラマとの接続の許可または禁止を、ID コードにより制御可能 - オンチップデバッグエミュレータ接続時、ID コードにより制御可能 - オフボードプログラミングでフラッシュライター接続時、ROM コードにより制御可能
スタートアッププログラム保護機能	ブロック 0～7 (1 ブロック= 2K バイト)の書き換えを安全に行うための機能	ブロック 0 (1 ブロック= 8K バイト)の書き換えを安全に行うための機能
エリアプロテクション	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能	セルフプログラミング、 シリアルプログラミングモード時 、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能

項目	RX231	RX65N
BGO(バックグラウンドオペレーション)機能	E2 データフラッシュの書き換え中に、ROM 上に配置されたプログラムを実行可能	コードフラッシュメモリプログラム/イレーズ中のコードフラッシュメモリリードが可能 *1 コードフラッシュメモリプログラム/イレーズ中のデータフラッシュメモリリードが可能 *1 データフラッシュメモリプログラム/イレーズ中のコードフラッシュメモリリードが可能 *1

*1 : フラッシュメモリ (コードフラッシュ 1.5MB 以上のみ)

表 2.70 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX231	RX65N
DFLCTL	-	E2 データフラッシュ制御レジスタ	-
FENTRYR	FENTRY0	ROM P/E モードエントリビット 0	-
	FENTRYC	-	コードフラッシュ P/E モードエントリビット
	FENTRYD	E2 データフラッシュ P/E モードエントリビット	-
	FEKEY[7:0]	キーコード	-
	KEY[7:0]	-	キーコードビット
FPR	-	プロテクト解除レジスタ	-
FPSR	-	プロテクト解除ステータスレジスタ	-
FPMCR	-	フラッシュ P/E モード制御レジスタ	-
FISR	-	フラッシュ初期設定レジスタ	-
FRESETR	-	フラッシュリセットレジスタ	-
FASR	-	フラッシュ領域選択レジスタ	-
FCR	-	フラッシュ制御レジスタ	-
FEXCR	-	フラッシュエクストラ領域制御レジスタ	-
FSARH	-	フラッシュ処理開始アドレスレジスタ H	-
FSARL	-	フラッシュ処理開始アドレスレジスタ L	-
FEARH	-	フラッシュ処理終了アドレスレジスタ H	-
FEARL	-	フラッシュ処理終了アドレスレジスタ L	-
FWBn	-	フラッシュライトバッファ n レジスタ (n = 0~3)	-
FSTATR0	-	フラッシュステータスレジスタ 0	-
FSTATR1	-	フラッシュステータスレジスタ 1	-
FSTATR	-	-	フラッシュステータスレジスタ
FEAMH	-	フラッシュエラーアドレスモニタレジスタ H	-
FEAML	-	フラッシュエラーアドレスモニタレジスタ L	-
FSCMR	-	フラッシュスタートアップ設定モニタレジスタ	-
FAWSMR	-	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	-
FAWEMR	-	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	-
FWEPROR	-	-	フラッシュ P/E プロテクトレジスタ

レジスタ	ビット	RX231	RX65N
FASTAT	-	-	フラッシュアクセスステータスレジスタ
FAEINT	-	-	フラッシュアクセスエラー割り込み許可レジスタ
FRDYIE	-	-	フラッシュレディ割り込み許可レジスタ
FSADDR	-	-	FACI コマンド処理開始アドレスレジスタ
FSUINITR	-	-	フラッシュシーケンサ設定初期化レジスタ
FCMDR	-	-	FACI コマンドレジスタ
FAWMON	-	-	フラッシュアクセスウィンドウモニタレジスタ
FCPSR	-	-	フラッシュシーケンサ処理切り替えレジスタ
FPCKAR	-	-	フラッシュシーケンサ処理クロック通知レジスタ
FSUACR	-	-	スタートアップ領域コントロールレジスタ
ROMCE	-	-	ROM キャッシュ許可レジスタ
ROMCIV	-	-	ROM キャッシュ無効化レジスタ
EEPFCLK	-	-	データフラッシュメモリアクセス周波数設定レジスタ *1

*1 : フラッシュメモリ (コードフラッシュ 1.5MB 以上のみ)

2.35 パッケージ

表 2.71 に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。

表 2.71 パッケージ

パッケージタイプ	RENESAS Code	
	RX231	RX65N
100 ピン TFLGA(0.5mm)	○	×
100 ピン TFLGA(0.65mm)	×	○
64 ピン WFLGA	○	×
64 ピン HWQFN	○	×
48 ピン HWQFN	○	×
48 ピン LFQFP	○	×

○ : パッケージあり (RENESAS Code は省略)、 × : パッケージなし

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は青字に、両方のグループに存在するが相違点ある項目は赤字にしています。仕様に相違点がない項目は黒字にしています。

3.1 100 ピンパッケージ

表 3.1 に 100 ピンパッケージ端子機能の比較を示します。

表 3.1 100 ピンパッケージ端子機能の比較

100 ピン LFQFP	100 ピン TFLGA	RX63N	RX65N
1	A2	VREFH	AVCC1
2	B1	P03/DA0	EMLE
3	C2	VREFL	AVSS1
4	C3	PJ3/MTIOC3C/CTS6#/RTS6#/SS6#	PJ3/EDACK1/MTIOC3C/ET0_EXOUT/ CTS6#/RTS6#/CTS0#/RTS0#/SS6#/S S0#
5	C1	VCL	VCL
6	D4	VBATT	VBATT
7	D3	MD/FINED	MD/FINED
8	D1	XCIN	XCIN
9	D2	XCOUT	XCOUT
10	E3	RES#	RES#
11	E1	P37/XTAL	P37/XTAL
12	E2	VSS	VSS
13	F1	P36/EXTAL	P36/EXTAL
14	F2	VCC	VCC
15	F3	P35/NMI	P35/UPSEL/NMI
16	E4	P34/MTIOC0A/TMCI3/POE2#/SCK6/T S0/IRQ4	P34/TRST#/MTIOC0A/TMCI3/PO12/P OE10#/SCK6/SCK0/ET0_LINKSTA/IR Q4
17	G1	P33/MTIOC0D/TIOCD0/TMRI3/POE3#/ RXD6/SMISO6/SSCL6/TS1/IRQ3	P33/EDREQ1/MTIOC0D/TIOCD0/TMR I3/PO11/POE4#/POE11#/RXD6/RXD0/ SMISO6/SMISO0/SSCL6/SSCL0/CRX 0/IRQ3-DS
18	F4	P32/MTIOC0C/TIOCC0/TMO3/RTCOUT/ RTCIC2/TXD6/SMOSI6/SSDA6/USB 0_VBUSEN/IRQ2	P32/MTIOC0C/TIOCC0/TMO3/PO10/R TCOUT/RTCIC2/POE0#/POE10#/TXD 6/TXD0/SMOSI6/SMOSI0/SSDA6/SSD A0/CTX0/USB0_VBUSEN/IRQ2-DS
19	G2	P31/MTIOC4D/TMCI2/RTCIC1/CTS1#/ RTS1#/SS1#/SSISCK0/IRQ1	P31/TMS/MTIOC4D/TMCI2/PO9/RTCI C1/CTS1#/RTS1#/SS1#/SSLB0-A/IRQ 1-DS
20	G3	P30/MTIOC4B/TMRI3/RTCIC0/POE8#/ RXD1/SMISO1/SSCL1/AUDIO_MCLK /IRQ0/CMPOB3	P30/TDI/MTIOC4B/TMRI3/PO8/RTCIC 0/POE8#/RXD1/SMISO1/SSCL1/MISO B-A/IRQ0-DS
21	G4	P27/CS3#/MTIOC2B/TMCI3/SCK1/SSI WS0/TS2/CVREFB3	P27/TCK/CS7#/MTIOC2B/TMCI3/PO7/ SCK1/RSPCKB-A
22	H1	P26/CS2#/MTIOC2A/TMO1/TXD1/SM OSI1/SSDA1/SSI/RXD0/TS3/CMPB3	P26/TDO/CS6#/MTIOC2A/TMO1/PO6/ TXD1/CTS3#/RTS3#/SMOSI1/SS3#/S SDA1/MOSIB-A

100 ピン LFQFP	100 ピン TFLGA	RX63N	RX65N
23	H2	P25/CS1#/MTIOC4C/MTCLKB/TIOCA4/TS4/ADTRG0#	P25/CS5#/EDACK1/MTIOC4C/MTCLKB/TIOCA4/PO5/RXD3/SMISO3/SSCL3/ADTRG0#
24	J1	P24/CS0#/MTIOC4A/MTCLKA/TIOCB4/TMRI1/USB0_VBUSEN/TS5	P24/CS4#/EDREQ1/MTIOC4A/MTCLKA/TIOCB4/TMRI1/PO4/SCK3/USB0_VBUSEN
25	K1	P23/MTIOC3D/MTCLKD/TIOCD3/CTS0#/RTS0#/SS0#/SSISCK0/TS6	P23/EDACK0/MTIOC3D/MTCLKD/TIOCD3/PO3/TXD3/CTS0#/RTS0#/SMOSI3/SS0#/SSDA3
26	K2	P22/MTIOC3B/MTCLKC/TIOCC3/TMO0/SCK0/USB0_OVRCURB/AUDIO_MCLK/TS7	P22/EDREQ0/MTIOC3B/MTCLKC/TIOCC3/TMO0/PO2/SCK0/USB0_OVRCURB
27	J2	P21/MTIOC1B/TIOCA3/TMCI0/RXD0/SMISO0/SSCL0/USB0_EXICEN/SSIW50/TS8	P21/MTIOC1B/MTIOC4A/TIOCA3/TMCI0/PO1/RXD0/SMISO0/SSCL0/USB0_EXICEN/IRQ9/(SCL1)*1
28	K3	P20/MTIOC1A/TIOCB3/TMRI0/TXD0/SMOSI0/SSDA0/USB0_ID/SSI/RXD0/TS9	P20/MTIOC1A/TIOCB3/TMRI0/PO0/TXD0/SMOSI0/SSDA0/USB0_ID/IRQ8/(SDA1)*1
29	J3	P17/MTIOC3A/MTIOC3B/TIOCB0/TCLKD/TMO1/POE8#/SCK1/MISOA/SDA/SSITXD0/IRQ7/CMPOB2	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB0/TCLKD/TMO1/PO15/POE8#/SCK1/TXD3/SMOSI3/SSDA3/SDA2-DS/IRQ7/ADTRG1#
30	H3	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/TMO2/RTCOU/TXD1/SMOSI1/SSDA1/MOSIA/SCL/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB/IRQ6/ADTRG0#	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/TMO2/PO14/RTCOU/TXD1/RXD3/SMOSI1/SMISO3/SSDA1/SSCL3/SC L2-DS/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB/IRQ6/ADTRG0#
31	H4	P15/MTIOC0B/MTCLKB/TIOCB2/TCLKB/TMCI2/RXD1/SMISO1/SSCL1/CRXD0/TS12/IRQ5/CMPB2	P15/MTIOC0B/MTCLKB/TIOCB2/TCLKB/TMCI2/PO13/RXD1/SCK3/SMISO1/SSCL1/CRX1-DS/IRQ5
32	K4	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/TMRI2/CTS1#/RTS1#/SS1#/CTXD0/USB0_OVRCURA/TS13/IRQ4/CVREFB2	P14/MTIOC3A/MTCLKA/TIOCB5/TCLKA/TMRI2/PO15/CTS1#/RTS1#/SS1#/CTX1/USB0_OVRCURA/IRQ4
33	J4	P13/MTIOC0B/TIOCA5/TMO3/SDA/IRQ3	P13/MTIOC0B/TIOCA5/TMO3/PO13/TXD2/SMOSI2/SSDA2/SDA0[FM+]/IRQ3/ADTRG1#
34	F5	P12/TMCI1/SCL/IRQ2	P12/TMCI1/RXD2/SMISO2/SSCL2/SC L0[FM+]/IRQ2
35	J6	VCC_USB	VCC_USB
36	K5	USB0_DM	USB0_DM
37	K6	USB0_DP	USB0_DP
38	J5	VSS_USB	VSS_USB
39	H5	P55/WAIT#/MTIOC4D/TMO3/CRXD0/TS15	P55/WAIT#/EDREQ0/MTIOC4D/TMO3/CRX1/ET0_EXOUT/IRQ10/(D0[A0/D0]) *1
40	H6	P54/ALE/MTIOC4B/TMCI1/CTXD0/TS16	P54/ALE/EDACK0/MTIOC4B/TMCI1/CTS2#/RTS2#/SS2#/CTX1/ET0_LINKSTA/(D1[A1/D1]) *1
41	G5	P53/BCLK/TS17	P53/BCLK
42	G6	P52/RD#/TS18	P52/RD#/RXD2/SMISO2/SSCL2/SSLB3-A
43	K7	P51/WR1#/BC1#/WAIT#/TS19	P51/WR1#/BC1#/WAIT#/SCK2/SSLB2-A
44	J7	P50/WR0#/WR#/TS20	P50/WR0#/WR#/TXD2/SMOSI2/SSDA2/SSLB1-A

100 ピン LFQFP	100 ピン TFLGA	RX63N	RX65N
45	H7	PC7/UB/A23/CS0#/MTIOC3A/MTCLK B/TMO2/TXD8/SMOSI8/SSDA8/MISO A/CACREF	PC7/UB/A23/CS0#/MTIOC3A/MTCLK B/TMO2/ TOC0 / PO31 /CACREF/TXD8/ SMOSI8/SSDA8/ MISOA-A / ET0_COL / TXD10 / SMOSI10 / SSDA10 / IRQ14
46	H8	PC6/A22/CS1#/MTIOC3C/MTCLKA/T MCI2/RXD8/SMISO8/SSCL8/MOSIA/ TS22	PC6/A22/CS1#/MTIOC3C/MTCLKA/T MCI2/ TIC0 / PO30 /RXD8/SMISO8/SSC L8/ MOSIA-A / ET0_ETXD3 / RXD10 / SMI SO10 / SSCL10 / IRQ13 / (D2[A2/D2])*1
47	K8	PC5/A21/CS2#/WAIT#/MTIOC3B/MTC LKD/TMRI2/SCK8/RSPCKA/ TS23	PC5/A21/CS2#/WAIT#/MTIOC3B/MTC LKD/TMRI2/ PO29 /SCK8/ RSPCKA-A / E T0_ETXD2 / SCK10 / (D3[A3/D3])*1
48	J8	PC4/A20/CS3#/MTIOC3D/MTCLKC/T MCI1/POE0#/SCK5/CTS8#/RTS8#/SS 8#/SSLA0/ SDHI_D1 / TSCAP	PC4/A20/CS3#/MTIOC3D/MTCLKC/T MCI1/ PO25 /POE0#/SCK5/CTS8#/RTS 8#/SS8#/ SSLA0-A / ET0_TX_CLK / CTS 10 / RTS10 / SS10 #
49	K9	PC3/A19/MTIOC4D/TCLKB/TXD5/SM OSI5/SSDA5/ IRTXD5 / SDHI_D0 / TS27	PC3/A19/MTIOC4D/TCLKB/ PO24 /TXD 5/SMOSI5/SSDA5/ ET0_TX_ER
50	K10	PC2/A18/MTIOC4B/TCLKA/RXD5/SMI SO5/SSCL5/SSLA3/ IRRXD5 / SDHI_D3 /TS30	PC2/A18/MTIOC4B/TCLKA/ PO21 /RX D5/SMISO5/SSCL5/ SSLA3-A / ET0_RX DV
51	J10	PC1/A17/MTIOC3A/TCLKD/SCK5/SSL A2/ TS33	PC1/A17/MTIOC3A/TCLKD/ PO18 /SC K5/ SSLA2-A / ET0_ERXD2 / IRQ12
52	J9	PC0/A16/MTIOC3C/TCLKC/CTS5#/RT S5#/SS5#/SSLA1/ TS35	PC0/A16/MTIOC3C/TCLKC/ PO17 /CT S5#/RTS5#/SS5#/ SSLA1-A / ET0_ERX D3 / IRQ14
53	H10	PB7/A15/MTIOC3B/TIOCB5/TXD9/SM OSI9/SSDA9/ SDHI_D2	PB7/A15/MTIOC3B/TIOCB5/ PO31 /TX D9/SMOSI9/SSDA9/ ET0_CRS / RMII0 CRS_DV / TXD11 / SMOSI11 / SSDA11 / S DSI_D1-B
54	H9	PB6/A14/MTIOC3D/TIOCA5/RXD9/SM ISO9/SSCL9/ SDHI_D1	PB6/A14/MTIOC3D/TIOCA5/ PO30 /RX D9/SMISO9/SSCL9/ ET0_ETXD1 / RMII 0_TXD1 / RXD11 / SMISO11 / SSCL11 / S DSI_D0-B
55	G7	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4 /TMRI1/POE1#/SCK9/ USB0_VBUS / S DHI_CD	PB5/A13/MTIOC2A/MTIOC1B/TIOCB4 /TMRI1/ PO29 / POE4 #/SCK9/ ET0_ETX D0 / RMII0_TXD0 / SCK11 / SDSI_CLK-B / (LCD_CLK-B)*1
56	G8	PB4/A12/TIOCA4/CTS9#/RTS9#/SS9#	PB4/A12/TIOCA4/ PO28 /CTS9#/RTS9 #/SS9#/ ET0_TX_EN / RMII0_TXD_EN / CTS11 / RTS11 / SS11 / SDSI_CMD-B /(LCD_TCON0-B)*1
57	F6	PB3/A11/MTIOC0A/MTIOC4A/TIOCD3 /TCLKD/TMO0/POE3#/SCK6/ SDHI_W P	PB3/A11/MTIOC0A/MTIOC4A/TIOCD3 /TCLKD/TMO0/ PO27 / POE11 #/SCK6/ E T0_RX_ER / RMII0_RX_ER / SDSI_D3-B /(LCD_TCON1-B)*1
58	F7	PB2/A10/TIOCC3/TCLKC/CTS6#/RTS 6#/SS6#	PB2/A10/TIOCC3/TCLKC/ PO26 /CTS6 #/RTS6#/SS6#/ ET0_RX_CLK / REF50C K0 / SDSI_D2-B / (LCD_TCON2-B)*1
59	G9	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/ TMCI0/TXD6/SMOSI6/SSDA6/ SDHI_C LK / IRQ4 / CMPOB1	PB1/A9/MTIOC0C/MTIOC4C/TIOCB3/ TMCI0/ PO25 /TXD6/SMOSI6/SSDA6/ E T0_ERXD0 / RMII0_RXD0 / IRQ4-DS / (L CD_TCON3-B)*1
60	G10	VCC	VCC
61	F8	PB0/A8/MTIC5W/TIOCA3/RXD6/SMIS O6/SSCL6/ RSPCKA / SDHI_CMD	PB0/A8/MTIC5W/TIOCA3/ PO24 /RXD6 /SMISO6/SSCL6/ ET0_ERXD1 / RMII0 RXD1 / IRQ12 / (LCD_DATA0-B)*1

100 ピン LFQFP	100 ピン TFLGA	RX63N	RX65N
62	F10	VSS	VSS
63	F9	PA7/A7/TIOCB2/MISOA	PA7/A7/TIOCB2/ PO23/MISOA-B/ET0_WOL /(LCD_DATA1-B)*1
64	E7	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMCI3/POE2#/CTS5#/RTS5#/SS5#/MOSIA/SSIWS0	PA6/A6/MTIC5V/MTCLKB/TIOCA2/TMCI3/ PO22/POE10#/CTS5#/RTS5#/SS5#/MOSIA-B/ET0_EXOUT /(LCD_DATA2-B)*1
65	E9	PA5/A5/TIOCB1/RSPCKA	PA5/A5/ MTIOC6B /TIOCB1/ PO21/RSPCKA-B/ET0_LINKSTA /(LCD_DATA3-B)*1
66	E8	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/TXD5/SMOSI5/SSDA5/SSLA0/SSI TXD0/IRTXD5/IRQ5/CVREFB1	PA4/A4/MTIC5U/MTCLKA/TIOCA1/TMRI0/ PO20/TXD5/SMOSI5/SSDA5/SSLA0-B/ET0_MDC/IRQ5-DS /(LCD_DATA4-B)*1
67	E10	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/TCLKB/RXD5/SMISO5/SSCL5/SSI IRRXD0/IRRXD5/IRQ6/CMPB1	PA3/A3/MTIOC0D/MTCLKD/TIOCD0/TCLKB/ PO19/RXD5/SMISO5/SSCL5/ET0_MDIO/IRQ6-DS /(LCD_DATA5-B)*1
68	E6	PA2/A2/RXD5/SMISO5/SSCL5/SSLA3/ IRRXD5	PA2/A2/ MTIOC7A/PO18/RXD5/SMISO5/SSCL5/SSLA3-B /(LCD_DATA6-B)*1
69	D9	PA1/A1/MTIOC0B/MTCLKC/TIOCB0/SCK5/SSLA2/SSI SCK0	PA1/A1/MTIOC0B/MTCLKC/ MTIOC7B /TIOCB0/ PO17/SCK5/SSLA2-B/ET0_WOL/IRQ11 /(LCD_DATA7-B)*1
70	D10	PA0/A0/BC0#/MTIOC4A/TIOCA0/SSLA1/CACREF	PA0/A0/BC0#/MTIOC4A/ MTIOC6D /TIOCA0/CACREF/ PO16/SSLA1-B/ET0_TX_EN/RMII0_TXD_EN /(LCD_DATA8-B)*1
71	D8	PE7/D15[A15/D15]/IRQ7/AN023	PE7/D15[A15/D15]/ MTIOC6A/TOC1/MISOB-B/MMC_RES#-B/SDHI_WP-B/IRQ7/AN105 /(D7[A7/D7]/LCD_DATA9-B)*1
72	D7	PE6/D14[A14/D14]/IRQ6/AN022	PE6/D14[A14/D14]/ MTIOC6C/TIC1/MOSIB-B/MMC_CD-B/SDHI_CD-B/IRQ6/AN104 /(D6[A6/D6]/SDHI_CD/LCD_DATA10-B)*1
73	C9	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/IRQ5/AN021/ CMPOB0	PE5/D13[A13/D13]/MTIOC4C/MTIOC2B/ ET0_RX_CLK/REF50CK0/RSPCKB-B/IRQ5/AN103 /(D5[A5/D5]/LCD_DATA11-B)*1
74	C10	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/AN020/ CMPA2/CLKOUT	PE4/D12[A12/D12]/MTIOC4D/MTIOC1A/ PO28/ET0_ERXD2/SSLB0-B/AN102 /(D4[A4/D4]/LCD_DATA12-B)*1
75	B10	PE3/D11[A11/D11]/MTIOC4B/POE8#/CTS12#/RTS12#/SS12#/AUDIO_MCLK/AN019/CLKOUT	PE3/D11[A11/D11]/MTIOC4B/ PO26/POE8#/TOC3/CTS12#/RTS12#/SS12#/ET0_ERXD3/MMC_D7-B/AN101 /(D3[A3/D3]/LCD_DATA13-B)*1
76	A10	PE2/D10[A10/D10]/MTIOC4A/RXD12/SMISO12/SSCL12/RXDX12/IRQ7/AN018/ CVREFB0	PE2/D10[A10/D10]/MTIOC4A/ PO23/TIC3/RXD12/SMISO12/SSCL12/RXDX12/SSLB3-B/MMC_D6-B/IRQ7-DS/AN100 /(D2[A2/D2]/LCD_DATA14-B)*1
77	A9	PE1/D9[A9/D9]/MTIOC4C/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/ AN017/CMPB0	PE1/D9[A9/D9]/MTIOC4C/ MTIOC3B/PO18/TXD12/SMOSI12/SSDA12/TXDX12/SIOX12/SSLB2-B/MMC_D5-B/ANEX1 /(D1[A1/D1]/LCD_DATA15-B)*1
78	A8	PE0/D8[A8/D8]/SCK12/ AN016	PE0/D8[A8/D8]/ MTIOC3D/SCK12/SSLB1-B/MMC_D4-B/ANEX0 /(D0[A0/D0]/LCD_DATA16-B)*1

100 ピン LFQFP	100 ピン TFLGA	RX63N	RX65N
79	B9	PD7/D7[A7/D7]/MTIC5U/POE0#/IRQ7/ AN031	PD7/D7[A7/D7]/MTIC5U/POE0#/ SSLC3/MMC_D1-B/SDHI_D1-B/QIO1-B/QMI-B/IRQ7/AN107/(SSLC3-A/LCD_DATA17-B)*1
80	B8	PD6/D6[A6/D6]/MTIC5V/POE1#/IRQ6/ AN030	PD6/D6[A6/D6]/MTIC5V/ MTIOC8A/POE4#/(SSLC2/MMC_D0-B/SDHI_D0-B/QIO0-B/QMO-B/IRQ6/AN106/(SSLC2-A/LCD_DATA18-B)*1
81	C8	PD5/D5[A5/D5]/MTIC5W/POE2#/IRQ5/ AN029	PD5/D5[A5/D5]/MTIC5W/ MTIOC8C/POE10#/(SSLC1/MMC_CLK-B/SDHI_CLK-B/QSPCLK-B/IRQ5/AN113/(SSLC1-A/LCD_DATA19-B)*1
82	A7	PD4/D4[A4/D4]/POE3#/IRQ4/AN028	PD4/D4[A4/D4]/ MTIOC8B/POE11#/(SSLC0/MMC_CMD-B/SDHI_CMD-B/QSSL-B/IRQ4/AN112/(SSLC0-A/LCD_DATA20-B)*1
83	B7	PD3/D3[A3/D3]/POE8#/IRQ3/AN027	PD3/D3[A3/D3]/ MTIOC8D/POE8#/(TIC2/RSPCKC/MMC_D3-B/SDHI_D3-B/QIO3-B/IRQ3/AN111/(RSPCKC-A/LCD_DATA21-B)*1
84	C7	PD2/D2[A2/D2]/MTIOC4D/IRQ2/AN026	PD2/D2[A2/D2]/MTIOC4D/ TIC2/CRX0/MISOC/MMC_D2-B/SDHI_D2-B/QIO2-B/IRQ2/AN110/(MISOC-A/LCD_DATA22-B)*1
85	B6	PD1/D1[A1/D1]/MTIOC4B/IRQ1/AN025	PD1/D1[A1/D1]/MTIOC4B/ POE0#/CTX0/MOSIC/IRQ1/AN109/(MOSIC-A/LCD_DATA23-B)*1
86	A6	PD0/D0[A0/D0]/IRQ0/AN024	PD0/D0[A0/D0]/ POE4#/IRQ0/AN108/(LCD_EXTCLK-B)*1
87	C6	P47/AN007	P47/ IRQ15-DS/AN007
88	D6	P46/AN006	P46/ IRQ14-DS/AN006
89	D5	P45/AN005	P45/ IRQ13-DS/AN005
90	B5	P44/AN004	P44/ IRQ12-DS/AN004
91	A5	P43/AN003	P43/ IRQ11-DS/AN003
92	C5	P42/AN002	P42/ IRQ10-DS/AN002
93	E5	P41/AN001	P41/ IRQ9-DS/AN001
94	A4	VREFL0	VREFL0
95	B4	P40/AN000	P40/ IRQ8-DS/AN000
96	C4	VREFH0	VREFH0
97	B3	AVCC0	AVCC0
98	A3	P07/ADTRG0#	P07/ IRQ15/ADTRG0#
99	B2	AVSS0	AVSS0
100	A1	P05/DA1	P05/ IRQ13/DA1

*1 : フラッシュメモリ (コードフラッシュ 1.5MB 以上のみ)

3.2 64 ピンパッケージ(RX231 : WFLGA, RX651 : TFBGA)

表 3.2 に 64 ピンパッケージ端子機能の比較を示します。なお、RX65N グループに 64 ピンパッケージはありません。

表 3.2 64 ピンパッケージ端子機能の比較

64 ピン	RX231(64 ピン WFLGA)	RX651 (64 ピン TFBGA)
A1	P05/DA1	AVCC1
A2	AVCC0	AVSS0
A3	VREFH0	VREFH0
A4	VREFL0	VREFL0
A5	VREFH	PD2/MTIOC4D/TIC2/QIO2-B/SDHI_D2-B/IRQ2/AN110
A6	VREFL	PD7/MTIC5U/POE0#/QMI-B/QIO1-B/SDHI_D1-B/IRQ7/AN107
A7	PE2/MTIOC4A/RXD12/RDX12/SMISO12/SSCL12/IRQ7/AN018/CVREFB0	PE0/MTIOC3D/SCK12/ANEX0
A8	PE3/MTIOC4B/POE8#/CTS12#/RTS12#/S12#/AUDIO_MCLK/AN019/CLKOUT	PE2/MTIOC4A/TIC3/RXD12/SSCL12/RDX12/IRQ7-DS
B1	VCL	EMLE
B2	AVSS0	AVSS1
B3	P40/AN000	AVCC0
B4	P42/AN002	P42/IRQ10-DS/AN002
B5	P44/AN004	PD3/MTIOC8D/TOC2/POE8#/QIO3-B/SDHI_D3-B/IRQ3/AN111
B6	P46/AN006	PD6/MTIC5V/MTIOC8A/POE4#/QMO-B/QIO0-B/SDHI_D0-B/IRQ6/AN106
B7	PE1/MTIOC4C/TXD12/TDX12/SIOX12/SMOSI12/SSDA12/AN017/CMPB0	PE1/MTIOC4C/MTIOC3B/TXD12/SSDA12/TDX12/SIOX12/ANEX1
B8	PE4/MTIOC4D/MTIOC1A/AN020/CMPA2/CLKOUT	PE6/MTIOC6C/TIC1/SDHI_CD/IRQ6
C1	XCIN	VCL
C2	MD/FINED	VBATT
C3	P03/DA0	MD/FINED
C4	P41/AN001	P41/IRQ9-DS/AN001
C5	P43/AN003	PD4/MTIOC8B/POE11#/QSSL-B/SDHI_CM D-B/IRQ4/AN112
C6	PE0/SCK12/AN016	PD5/MTIC5W/MTIOC8C/POE10#/QSPCLK-B/SDHI_CLK-B/IRQ5/AN113
C7	PE5/MTIOC4C/MTIOC2B/IRQ5/AN021/CMPB0	PA1/MTIOC0B/MTCLKC/MTIOC7B/TIOCB0/SCK5/IRQ11
C8	PA0/MTIOC4A/TIOCA0/SSLA1/CACREF	PE7/MTIOC6A/TOC1/SDHI_WP/IRQ7
D1	XCOUT	XCIN
D2	RES#	XCOUT
D3	P27/MTIOC2B/TMCI3/SCK1/SSIWS0/TS2/CVREFB3	RES#
D4	P14/MTIOC3A/MTCLKA/TMRI2/TIOCB5/TCLKA/CTS1#/RTS1#/SS1#/CTXD0/USB0_OVRCURA/TS13/IRQ4/CVREFB2	P40/IRQ8-DS/AN000
D5	PA6/MTIC5V/MTCLKB/TMCI3/POE2#/TIOCA2/CTS5#/RTS5#/SS5#/MOSIA/SSIWS0	P43/IRQ11-DS/AN003
D6	PA4/MTIC5U/MTCLKA/TMRI0/TIOCA1/TXD5/SMOSI5/SSDA5/SSLA0/SSITXD0/IRTXD5/IRQ5/CVREFB1	PA6/MTIC5V/MTCLKB/TIOCA2/TMCI3/POE10#/CTS5#/RTS5#/SS5#
D7	PA1/MTIOC0B/MTCLKC/TIOCB0/SCK5/SS	PA2/MTIOC7A/RXD5/SMISO5/SSCL5

64 ピン	RX231(64 ピン WFLGA)	RX651 (64 ピン TFBGA)
	LA2/SSISCK0	
D8	PA3/MTIOC0D/MTCLKD/TIOCD0/TCLKB/ RXD5/SMISO5/SSCL5/SSIRXD0/IRRXD5/I RQ6/CMPB1	PA4/MTIC5U/MTCLKA/TIOCA1/TMRI0/TX D5/SMOSI5/SSDA5/IRQ5-DS
E1	VSS	XTAL/P37
E2	VBATT	VSS
E3	P30/MTIOC4B/TMRI3/POE8#/RTCIC0/RX D1/SMISO1/SSCL1/AUDIO_MCLK/IRQ0/C MPOB3	TRST#/P34/MTIOC0A/TMCI3/POE10#/IRQ 4
E4	P16/MTIOC3C/MTIOC3D/TMO2/TIOCB1/T CLKC/RTCCOUT/TXD1/SMOSI1/SSDA1/MO SIA/SCL/USB0_VBUS/USB0_VBUSEN/US B0_OVRCURB/IRQ6/ADTRG0#	P13/MTIOC0B/TIOCA5/TMO3/TXD2/SSDA 2/SDA0[FM+]/IRQ3/ADTRG1#
E5	PC4/MTIOC3D/MTCLKC/TMCI1/POE0#/S CK5/CTS8#/RTS8#/SS8#/SSLA0/SDHI_D1 /TSCAP	BSCANP
E6	VCC	PA7/TIOCB2
E7	VSS	VCC
E8	PB0/MTIC5W/TIOCA3/RXD6/SMISO6/SSC L6/RSPCKA/SDHI_CMD	VSS
F1	VCC	EXTAL/P36
F2	UPSEL/P35/NMI	VCC
F3	P31/MTIOC4D/TMCI2/RTCIC1/CTS1#/RTS 1#/SS1#/SSISCK0/IRQ1	UPSEL/P35/NMI
F4	PC5/MTIOC3B/MTCLKD/TMRI2/SCK8/RS PCKA/USB0_ID/TS23	P12/TMCI1/RXD2/SSCL2/SCL0[FM+]/IRQ2
F5	P15/MTIOC0B/MTCLKB/TMCI2/TIOCB2/T CLKB/RXD1/SMISO1/SSCL1/CRXD0/TS12 /IRQ5/CMPB2	P53
F6	PB1/MTIOC0C/MTIOC4C/TMCI0/TIOCB3/ TXD6/SMOSI6/SSDA6/SDHI_CLK/IRQ4/C MPOB1	PB7/MTIOC3B/TIOCB5/TXD9/SSDA9/SSD A11/TXD11
F7	PB5/MTIOC2A/MTIOC1B/TMRI1/POE1#/TI OCB4/SCK9/USB0_VBUS/SDHI_CD	PB6/MTIOC3D/TIOCA5/RXD9/SSCL9/SSC L11/RXD11
F8	PB3/MTIOC0A/MTIOC4A/TMO0/POE3#/TI OCD3/TCLKD/SCK6/SDHI_WP	PB5/MTIOC2A/MTIOC1B/TIOCB4/TMRI1/P OE4#/SCK9/SCK11
G1	EXTAL/P36	TCK/P27/MTIOC2B/TMCI3/SCK1/RSPCKB -A
G2	P26/MTIOC2A/TMO1/TXD1/SMOSI1/SSDA 1/USB0_VBUSEN/SSIRXD0/TS3/CMPB3	TMS/P31/MTIOC4D/TMCI2/RTCIC1/CTS1 #/RTS1#/SS1#/SSLB0-A/IRQ1-DS
G3	VCC_USB	TDI/P30/MTIOC4B/TMRI3/RTCIC0/POE8#/ RXD1/SMISO1/SSCL1/MISOB-A/IRQ0-DS
G4	VSS_USB	VCC_USB
G5	UB/PC7/MTIOC3A/MTCLKB/TMO2/TXD8/ SMOSI8/SSDA8/MISOA/CACREF	VSS_USB
G6	PC6/MTIOC3C/MTCLKA/TMCI2/RXD8/SMI SO8/SSCL8/MOSIA/USB0_EXICEN/TS22	UB/PC7/MTIOC3A/MTCLKB/TMO2/TOC0/ CACREF/TXD8/SMOSI8/SSDA8/SMOSI10/ SSDA10/TXD10/MISOA-A/IRQ14
G7	PC3/MTIOC4D/TCLKB/TXD5/SMOSI5/SSD A5/IRTXD5/SDHI_D0/TS27	PC5/MTIOC3B/MTCLKD/TMRI2/SCK8/SC K10/RSPCKA-A
G8	PB6/PC0/MTIOC3D/TIOCA5/RXD9/SMISO 9/SSCL9/SDHI_D1	PC0/MTIOC3C/TCLKC/SSLA1-A/IRQ14
H1	XTAL/P37	TDO/P26/MTIOC2A/TMO1/TXD1/SMOSI1/ SSDA1/CTS3#/RTS3#/MOSIB-A

64 ピン	RX231(64 ピン WFLGA)	RX651 (64 ピン TFBGA)
H2	P17/MTIOC3A/MTIOC3B/TMO1/POE8#/TI OCB0/TCLKD/SCK1/MISOA/SDA/SSITXD0 /IRQ7/CMPOB2	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB 0/TCLKD/TMO1/POE8#/SCK1/TXD3/SSDA 3/SDA2-DS/IRQ7/ADTRG1#
H3	USB0_DM	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/ TMO2/RTCOUT/TXD1/SMOSI1/SSDA1/RX D3/SSCL3/SCL2-DS/USB0_VBUS/IRQ6/A DTRG0#
H4	USB0_DP	USB0_DM
H5	P55/MTIOC4D/TMO3/CRXD0/TS15	USB0_DP
H6	P54/MTIOC4B/TMCI1/CTXD0/TS16	PC6/MTIOC3C/MTCLKA/TMCI2/TIC0/RXD 8/SMISO8/SSCL8/SMISO10/SSCL10/RXD 10/MOSIA-A/IRQ13
H7	PC2/MTIOC4B/TCLKA/RXD5/SMISO5/SS CL5/SSLA3/IRRXD5/SDHI_D3/TS30	PC4/MTIOC3D/MTCLKC/TMCI1/POE0#/C TS8#/RTS8#/SS8#/SS10#/CTS10#/RTS10 #/SSLA0-A
H8	PB7/PC1/MTIOC3B/TIOCB5/TXD9/SMOSI 9/SSDA9/SDHI_D2	PC1/MTIOC3A/TCLKD/SSLA2-A/IRQ12

3.3 64 ピンパッケージ(RX231 : LFQFP/HWQFN, RX651 : LFQFP)

表 3.3 に 64 ピンパッケージ端子機能の比較を示します。なお、RX65N グループに 64 ピンパッケージはありません。

表 3.3 64 ピンパッケージ端子機能の比較

64 ピン	RX231(64 ピン LFQFP/HWQFN)	RX651 (64 ピン LFQFP)
1	P03/DA0	AVCC1
2	VCL	EMLE
3	MD/FINED	AVSS1
4	XCIN	VCL
5	XCOUT	VBATT
6	RES#	MD/FINED
7	XTAL/P37	XCIN
8	VSS	XCOUT
9	EXTAL/P36	RES#
10	VCC	XTAL/P37
11	UPSEL/P35/NMI	VSS
12	VBATT	EXTAL/P36
13	P31/MTIOC4D/TMC12/RTCIC1/CTS1#/RTS1#/SS1#/SSISCK0/IRQ1	VCC
14	P30/MTIOC4B/TMRI3/POE8#/RTCIC0/RXD1/SMISO1/SSCL1/AUDIO_MCLK/IRQ0/CMPOB3	UPSEL/P35/NMI
15	P27/MTIOC2B/TMC13/SCK1/SSIWS0/TS2/CVREFB3	TRST#/P34/MTIOC0A/TMC13/POE10#/IRQ4
16	P26/MTIOC2A/TMO1/TXD1/SMOSI1/SSDA1/USB0_VBUSEN/SSIRXD0/TS3/CMPB3	TDI/P30/MTIOC4B/TMRI3/RTCIC0/POE8#/RXD1/SMISO1/SSCL1/MISOB-A/IRQ0-DS
17	P17/MTIOC3A/MTIOC3B/TMO1/POE8#/TIOCB0/TCLKD/SCK1/MISOA/SDA/SSITXD0/IRQ7/CMPOB2	TMS/P31/MTIOC4D/TMC12/RTCIC1/CTS1#/RTS1#/SS1#/SSLB0-A/IRQ1-DS
18	P16/MTIOC3C/MTIOC3D/TMO2/TIOCB1/TCLKC/RTCOUT/TXD1/SMOSI1/SSDA1/MOSIA/SCL/USB0_VBUS/USB0_VBUSEN/USB0_OVRCURB/IRQ6/ADTRG0#	TDO/P26/MTIOC2A/TMO1/TXD1/SMOSI1/SSDA1/CTS3#/RTS3#/MOSIB-A
19	P15/MTIOC0B/MTCLKB/TMC12/TIOCB2/TCLKB/RXD1/SMISO1/SSCL1/CRXD0/TS12/IRQ5/CMPB2	TCK/P27/MTIOC2B/TMC13/SCK1/RSPCKB-A
20	P14/MTIOC3A/MTCLKA/TMRI2/TIOCB5/TCLKA/CTS1#/RTS1#/SS1#/CTXD0/USB0_OVRCURA/TS13/IRQ4/CVREFB2	P17/MTIOC3A/MTIOC3B/MTIOC4B/TIOCB0/TCLKD/TMO1/POE8#/SCK1/TXD3/SSDA3/SDA2-DS/IRQ7/ADTRG1#
21	VCC_USB	P16/MTIOC3C/MTIOC3D/TIOCB1/TCLKC/TMO2/RTCOUT/TXD1/SMOSI1/SSDA1/RXD3/SSCL3/SCL2-DS/USB0_VBUS/IRQ6/ADTRG0#
22	USB0_DM	P13/MTIOC0B/TIOCA5/TMO3/TXD2/SSDA2/SDA0[FM+]/IRQ3/ADTRG1#
23	USB0_DP	P12/TMC11/RXD2/SSCL2/SCL0[FM+]/IRQ2
24	VSS_USB	VCC_USB
25	P55/MTIOC4D/TMO3/CRXD0/TS15	USB0_DM
26	P54/MTIOC4B/TMC11/CTXD0/TS16	USB0_DP
27	UB/PC7/MTIOC3A/MTCLKB/TMO2/TXD8/SMOSI8/SSDA8/MISOA/CACREF	VSS_USB
28	PC6/MTIOC3C/MTCLKA/TMC12/RXD8/SMISO8/SSCL8/MOSIA/USB0_EXICEN/TS22	P53

64 ピン	RX231(64 ピン LFQFP/HWQFN)	RX651 (64 ピン LFQFP)
29	PC5/MTIOC3B/MTCLKD/TMRI2/SCK8/RS PCKA/USB0_ID/TS23	UB/PC7/MTIOC3A/MTCLKB/TMO2/TOC0/ CACREF/TXD8/SMOSI8/SSDA8/SMOSI10/ SSDA10/TXD10/MISOA-A/IRQ14
30	PC4/MTIOC3D/MTCLKC/TMCI1/POE0#/S CK5/CTS8#/RTS8#/SS8#/SSLA0/SDHI_D1 /TSCAP	PC6/MTIOC3C/MTCLKA/TMCI2/TIC0/RXD 8/SMISO8/SSCL8/SMISO10/SSCL10/RXD 10/MOSIA-A/IRQ13
31	PC3/MTIOC4D/TCLKB/TXD5/SMOSI5/SSD A5/IRTXD5/SDHI_D0/TS27	PC5/MTIOC3B/MTCLKD/TMRI2/SCK8/SC K10/RSPCKA-A
32	PC2/MTIOC4B/TCLKA/RXD5/SMISO5/SS CL5/SSLA3/IRRXD5/SDHI_D3/TS30	PC4/MTIOC3D/MTCLKC/TMCI1/POE0#/C TS8#/RTS8#/SS8#/SS10#/CTS10#/RTS10 #/SSLA0-A
33	PB7/PC1/MTIOC3B/TIOCB5/TXD9/SMOSI 9/SSDA9/SDHI_D2	PC1/MTIOC3A/TCLKD/SSLA2-A/IRQ12
34	PB6/PC0/MTIOC3D/TIOCA5/RXD9/SMISO 9/SSCL9/SDHI_D1	PC0/MTIOC3C/TCLKC/SSLA1-A/IRQ14
35	PB5/MTIOC2A/MTIOC1B/TMRI1/POE1#/TI OCB4/SCK9/USB0_VBUS/SDHI_CD	PB7/MTIOC3B/TIOCB5/TXD9/SSDA9/SSD A11/TXD11
36	PB3/MTIOC0A/MTIOC4A/TMO0/POE3#/TI OCD3/TCLKD/SCK6/SDHI_WP	PB6/MTIOC3D/TIOCA5/RXD9/SSCL9/SSC L11/RXD11
37	PB1/MTIOC0C/MTIOC4C/TMCI0/TIOCB3/ TXD6/SMOSI6/SSDA6/SDHI_CLK/IRQ4/C MPOB1	PB5/MTIOC2A/MTIOC1B/TIOCB4/TMRI1/P OE4#/SCK9/SCK11
38	VCC	VCC
39	PB0/MTIC5W/TIOCA3/RXD6/SMISO6/SSC L6/RSPCKA/SDHI_CMD	VSS
40	VSS	PA7/TIOCB2
41	PA6/MTIC5V/MTCLKB/TMCI3/POE2#/TIO CA2/CTS5#/RTS5#/SS5#/MOSIA/SSIWS0	PA6/MTIC5V/MTCLKB/TIOCA2/TMCI3/PO E10#/CTS5#/RTS5#/SS5#
42	PA4/MTIC5U/MTCLKA/TMRI0/TIOCA1/TX D5/SMOSI5/SSDA5/SSLA0/SSITXD0/IRTX D5/IRQ5/CVREFB1	PA4/MTIC5U/MTCLKA/TIOCA1/TMRI0/TX D5/SMOSI5/SSDA5/IRQ5-DS
43	PA3/MTIOC0D/MTCLKD/TIOCD0/TCLKB/ RXD5/SMISO5/SSCL5/SSIRXD0/IRRXD5/I RQ6/CMPB1	PA2/MTIOC7A/RXD5/SMISO5/SSCL5
44	PA1/MTIOC0B/MTCLKC/TIOCB0/SCK5/SS LA2/SSISCK0	PA1/MTIOC0B/MTCLKC/MTIOC7B/TIOCB 0/SCK5/IRQ11
45	PA0/MTIOC4A/TIOCA0/SSLA1/CACREF	PE7/MTIOC6A/TOC1/SDHI_WP/IRQ7
46	PE5/MTIOC4C/MTIOC2B/IRQ5/AN021/CM POB0	PE6/MTIOC6C/TIC1/SDHI_CD/IRQ6
47	PE4/MTIOC4D/MTIOC1A/AN020/CMPA2/C LKOUT	PE2/MTIOC4A/TIC3/RXD12/SSCL12/RXD X12/IRQ7-DS
48	PE3/MTIOC4B/POE8#/CTS12#/RTS12#/S S12#/AUDIO_MCLK/AN019/CLKOUT	PE1/MTIOC4C/MTIOC3B/TXD12/SSDA12/ TXDX12/SIOX12/ANEX1
49	PE2/MTIOC4A/RXD12/RXDX12/SMISO12/ SSCL12/IRQ7/AN018/CVREFB0	PE0/MTIOC3D/SCK12/ANEX0
50	PE1/MTIOC4C/TXD12/TXDX12/SIOX12/S MOSI12/SSDA12/AN017/CMPB0	PD7/MTIC5U/POE0#/QMI-B/QIO1-B/SDHI _D1-B/IRQ7/AN107
51	PE0/SCK12/AN016	PD6/MTIC5V/MTIOC8A/POE4#/QMO-B/QI O0-B/SDHI_D0-B/IRQ6/AN106
52	VREFL	PD5/MTIC5W/MTIOC8C/POE10#/QSPCLK -B/SDHI_CLK-B/IRQ5/AN113
53	P46/AN006	PD4/MTIOC8B/POE11#/QSSL-B/SDHI_CM D-B/IRQ4/AN112
54	VREFH	PD3/MTIOC8D/TOC2/POE8#/QIO3-B/SDH I_D3-B/IRQ3/AN111
55	P44/AN004	PD2/MTIOC4D/TIC2/QIO2-B/SDHI_D2-B/I RQ2/AN110
56	P43/AN003	P43/IRQ11-DS/AN003

64 ピン	RX231(64 ピン LFQFP/HWQFN)	RX651 (64 ピン LFQFP)
57	P42/AN002	P42/ IRQ10-DS /AN002
58	P41/AN001	P41/ IRQ9-DS /AN001
59	VREFL0	VREFL0
60	P40/AN000	P40/ IRQ8-DS /AN000
61	VREFH0	VREFH0
62	AVCC0	AVCC0
63	P05/DA1	AVSS0
64	AVSS0	P05/IRQ13/DA1

4. 移行の際の留意点

4.1 動作電圧範囲

4.1.1 電源電圧

RX231 と RX65N は電源電圧範囲が異なります。

表 4.1 に電源電圧範囲の仕様比較を示します。

表 4.1 電源電圧範囲の仕様比較

項目	RX231	RX65N
VCC	1.8V ~ 5.5V*1	2.7V ~ 3.6V
AVCC0	1.8V ~ 5.5V*2	VCC と同電位
AVCC1	なし	VCC と同電位
VREFH0	1.8V ~ AVCC0	2.7V ~ AVCC0
VREFH	1.8V ~ AVCC0	なし
VCC_USB	VCC と同電位	VCC と同電位
VBATT	1.8V ~ 5.5V	2.0V ~ 3.6V

【注】*1 USB 未使用時。

*2 $VCC \geq 2.0V$ の時、AVCC0 と VCC は使用範囲内で独立して設定可能

$VCC < 2.0V$ の時、AVCC0=VCC

4.1.2 アナログ電源電圧

RX231 グループでは、 $VCC \geq 2.0V$ の時、AVCC0 と VCC は使用範囲内で独立して設定可能でしたが、RX65N グループでは、AVCC0、AVCC1 と VCC に同電位を供給してください。

4.2 端子設計の留意点

4.2.1 VCL 端子(外付け容量)

RX65N グループの VCL 端子に接続する内部電源安定用の平滑コンデンサは $0.22\mu F$ の容量を使用してください。

4.2.2 メインクロック発振器

RX65N グループの EXTAL 端子、XTAL 端子に発振子を接続する場合、発振子周波数：8MHz~24MHz の発振子を接続してください。

4.2.3 USB 外部接続回路

RX231 グループ、RX65N グループでは、USB 外部接続回路例が異なります。

外部接続回路の詳細につきましては、「5 参考ドキュメント」の RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編を参照してください。

4.2.4 ブートモード（FINE インタフェース）への遷移

RX65N グループでは、MD 端子を Low でリセット解除後、20～100msec 以内に High へ切り替えることでブートモード（FINE インタフェース）に遷移します。

動作モードの詳細につきましては、「5 参考ドキュメント」の RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編を参照してください。

4.3 機能設定の留意点

4.3.1 セルフプログラミングでオプション設定メモリを変更する方法

RX65N グループでは、セルフプログラミングでオプション設定メモリを変更する場合、コンフィギュレーション設定コマンドで、オプション設定メモリのコンフィギュレーション設定領域に対するプログラムを行います。

コンフィギュレーション設定コマンドの詳細につきましては、「5 参考ドキュメント」の RX65N グループ、RX651 グループ フラッシュメモリ ユーザーズマニュアル ハードウェア インタフェース編を参照してください。

4.3.2 フラッシュメモリのアクセスウェイト数の設定

RX65N グループでは、MCU のシステムクロック(ICLK)の周波数によって、フラッシュメモリへのアクセスウェイト数を変更する必要があります。設定レジスタは ROMWT レジスタです。

表 4.2 に ICLK 周波数におけるフラッシュメモリへのアクセスウェイト数を示します。

表 4.2 ICLK 周波数におけるフラッシュメモリへのアクセスウェイト数

	$ICLK \leq 50\text{MHz}$	$50\text{MHz} < ICLK \leq 100\text{MHz}$	$100\text{MHz} < ICLK \leq 120\text{MHz}$
ウェイト数	0～2	1 または 2	2

レジスタの設定値および仕様の詳細につきましては、「5 参考ドキュメント」の RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編を参照してください。

4.3.3 選択型割り込み

RX65N グループでは選択型割り込み機能が追加されています。割り込みベクタ番号 128～255 には、複数の周辺モジュールの割り込み要因から任意の 1 つを選択して割り当てることができます。

選択割り込み機能の詳細につきましては、「5 参考ドキュメント」の RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編を参照してください。

4.3.4 フラッシュメモリのコマンド使用方法

RX231 グループでは、ROM のプログラム/イレーズ用の専用シーケンサのモードへ移行して、ソフトウェアコマンドを発行することにより、フラッシュメモリのプログラム/イレーズ等を行います。RX65N グループでは、FACI コマンド発行領域に FACI コマンドを設定することにより、FCU を制御してフラッシュメモリのプログラム/イレーズ等を行います。

表 4.3 にソフトウェアコマンドと FACI コマンドの仕様比較を示します。

表 4.3 ソフトウェアコマンドと FACI コマンドの仕様比較

項目	ソフトウェアコマンド(RX231)	FACI コマンド(RX65N)
コマンド発行領域	-	FACI コマンド発行領域 (007E 0000h)
使用可能コマンド	- プログラム - ブロックイレーズ - 全ブロックイレーズ - ブランクチェック - スタートアップ領域情報プログラム - アクセスウィンドウ情報プログラム	- プログラム - ブロックイレーズ - マルチブロックイレーズ - ブランクチェック - P/E サスペンド - P/E レジューム - ステータスクリア - 強制終了 - コンフィギュレーション設定

4.3.5 フラッシュアクセスウィンドウ設定レジスタ(FAW)

RX65N グループでは、フラッシュアクセスウィンドウ設定レジスタ(FAW)のアクセスウィンドウプロテクトビット(FSPR)を、いったん“0”に設定すると“1”に戻すことができません。

詳細につきましては、「5 参考ドキュメント」の RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編を参照してください。

4.3.6 ソフトウェアスタンバイモード

RX65N グループでは、ソフトウェアスタンバイモード時のメインクロック/サブクロック発振器の動作/停止を選択できます。メインクロック発振器を停止させる場合、メインクロック発振器強制発振コントロールレジスタ(MOFCR)のメインクロック発振器強制発振ビット(MOFXIN)に“0”を設定してください。

4.3.7 バッテリバックアップ機能

RX65N グループでは、VBATT 端子電圧低下検出機能はありません。VBATT 端子からの電圧が動作保証範囲を下回った場合は、RTC の動作は保証されませんので、VBATT が動作保証電圧を下回った後、再度電源を立ち上げたときには、RTC の初期設定を行ってください。

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX230 グループ、RX231 グループ ユーザーズマニュアル ハードウェア編 Rev.1.20
(R01UH0496JJ0120)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX65N グループ、RX651 グループ ユーザーズマニュアル ハードウェア編 Rev.2.30
(R01UH0590JJ0230)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX65N グループ、RX651 グループ フラッシュメモリ ユーザーズマニュアル ハードウェア インタ
フェース編 Rev.2.10 (R01UH0602JJ0210)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

対応しているテクニカルアップデートはありません。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2016.12.01	－	初版発行
2.00	2017.11.06	全ページ	RX65N コードフラッシュ 1.5MB 以上に対応
2.10	Apr.01.19	1	要旨 改訂
		4	1 RX65N グループと RX231 グループの搭載機能比較 改訂
		8	2.3 アドレス空間 追加
			2.3 表 2.4 シングルチップモードのメモリマップ比較 追加
		9	2.3 表 2.5 内蔵 ROM 有効拡張モードのメモリマップ比較 追加
		10	2.3 表 2.6 内蔵 ROM 無効拡張モードのメモリマップ比較 追加
		12	2.5 表 2.9 オプション設定メモリのレジスタ比較 改訂
		17	2.7 表 2.12 クロック発生回路仕様の概要比較 改訂
		23	2.8 表 2.15 各モードにおける遷移および解除方法と動作状態の比較 追加
		32	2.11 表 2.20 割り込みコントローラ仕様の概要比較 改訂
		34	2.11 表 2.21 割り込みコントローラのレジスタ比較 改訂
		36	2.12 表 2.22 バス仕様の概要比較 改訂
		39	2.12 表 2.24 バスのレジスタ比較 改訂
		42	2.14 表 2.27 データトランスファコントローラ仕様の概要比較 改訂
		45	2.15 表 2.29 イベントリンクコントローラ仕様の概要比較 改訂
		47	2.16 表 2.33 I/O ポート 64 ピンの概要比較 追加
		49	2.17 表 2.35 マルチファンクションピンコントローラのレジスタ比較 改訂
		54	2.21 表 2.41 ウォッチドッグタイマ仕様の概要比較 改訂
		56	2.22 表 2.43 独立ウォッチドッグタイマ仕様の概要比較 改訂
		60	2.23 表 2.46 USB2.0 ホスト/ファンクションモジュールのレジスタ比較 改訂
		62	2.24 表 2.47 SCIfg 仕様の概要比較 改訂
		64	2.24 表 2.48 SCli 仕様の概要比較 改訂
		83	2.30 表 2.61 12 ビット A/D コンバータ仕様の概要比較 改訂
		87	2.30 表 2.62 12 ビット A/D コンバータレジスタ比較 改訂
		93	2.31 表 2.63 12 ビット D/A コンバータ概要比較 追加
			2.31 表 2.64 12 ビット D/A コンバータレジスタ比較 改訂
		94	2.32 表 2.66 温度センサのレジスタ比較 改訂
		96	2.34 表 2.69 フラッシュメモリ(コードフラッシュ)仕様の概要比較 改訂
		101	2.35 パッケージ 追加
			2.35 表 2.71 パッケージ 追加
		107	3.2 表 3.2 64 ピンパッケージ端子機能の比較 追加
		110	3.3 表 3.3 64 ピンパッケージ端子機能の比較 追加
		115	4.3.4 フラッシュメモリのコマンド使用方法 改訂
		116	5 参考ドキュメント 改訂

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力ブルアップ電源を入れないでください。入力信号や入出力ブルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。