

RX26T グループ RX62T グループ

RX26T グループと RX62T グループの相違点

要旨

本アプリケーションノートは、主に RX26T グループ、RX62T グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートでは、特に記載のない箇所については、それぞれのマイコンの最大仕様として、RX26T グループの 100 ピンパッケージ、RX62T グループの 112 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順等の詳細な仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RX26T グループ、RX62T グループ

目次

1. RX26T グループと RX62T グループの搭載機能比較.....	4
2. 仕様の概要比較.....	6
2.1 CPU.....	6
2.2 動作モード.....	7
2.3 アドレス空間.....	8
2.4 リセット.....	11
2.5 電圧検出回路.....	12
2.6 クロック発生回路.....	14
2.7 消費電力低減機能.....	17
2.8 例外処理.....	22
2.9 割り込みコントローラ.....	23
2.10 バス.....	27
2.11 メモリプロテクションユニット.....	29
2.12 データトランスファコントローラ.....	30
2.13 I/O ポート.....	32
2.14 マルチファンクションタイマパルスユニット 3.....	36
2.15 ポートアウトプットイネーブル 3.....	42
2.16 汎用 PWM タイマ.....	53
2.17 コンペアマッチタイマ.....	63
2.18 ウォッチドッグタイマ.....	64
2.19 独立ウォッチドッグタイマ.....	66
2.20 シリアルコミュニケーションインターフェース.....	69
2.21 I ² C バスインターフェース.....	76
2.22 CAN モジュール/CAN FD モジュール.....	79
2.23 シリアルペリフェラルインターフェース.....	85
2.24 CRC 演算器.....	88
2.25 12 ビット A/D コンバータ.....	90
2.26 RAM.....	98
2.27 フラッシュメモリ.....	99
2.28 パッケージ.....	106
3. 端子機能の比較.....	107
3.1 100 ピンパッケージ.....	107
3.2 80 ピンパッケージ.....	112
3.3 64 ピンパッケージ.....	120
4. 移行の際の留意点.....	124
4.1 端子設計の留意点.....	124
4.1.1 VCL 端子(外付け容量).....	124
4.1.2 外部クロックを入力する方法.....	124
4.1.3 メインクロック発振器.....	124
4.1.4 ブートモード(FINE インターフェース)への遷移.....	124
4.1.5 モード設定端子.....	124
4.1.6 PLLVCC 端子.....	124
4.1.7 アナログ電源端子に接続するコンデンサ.....	124

4.2	機能設計の留意点	125
4.2.1	セルフプログラミングでオプション設定メモリを変更する方法	125
4.2.2	選択型割り込み	125
4.2.3	FCU RAM へのファームウェア転送	125
4.2.4	フラッシュメモリのコマンド使用方法	125
4.2.5	クロック周波数設定	126
4.2.6	RIIC 動作電圧設定	126
4.2.7	電圧レベル設定	126
4.2.8	オプション設定メモリ	126
4.2.9	メインクロック発振器	126
4.2.10	PLL 回路	126
4.2.11	MTU/GPTW 動作周波数	126
4.2.12	MTU による DMAC 起動	127
4.2.13	例外ベクタテーブル	127
4.2.14	エンディアン	127
4.2.15	レジスタライトプロテクション機能	127
4.2.16	バスの優先順位	127
4.2.17	端子割り当て機能	127
4.2.18	独立ウォッチドッグタイマ	127
4.2.19	レジスタ退避バンク内 RAM の自己診断に関する注意事項	127
4.2.20	コンペア機能制約	128
4.2.21	I ² C バスインタフェースのノイズ除去	128
4.2.22	相補 PWM モードでのバッファレジスタの設定値	128
4.2.23	ポートアウトプットイネーブル 3 出力停止要求発生時の制御	128
4.2.24	12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作	128
4.2.25	メインクロック発振停止検出機能の動作	129
4.2.26	ポート方向レジスタ(PDR)の初期化	129
4.2.27	カウンタ停止時の MTIOC 端子出力レベル	129
4.2.28	カウントクロックソースのパルス幅	129
4.2.29	A/D スキャン変換終了割り込みの発生	129
4.2.30	12 ビット A/D コンバータのスキャン変換時間	130
4.2.31	モジュールストップ時のコンパレータ C の動作	130
4.2.32	ソフトウェアスタンバイモード時のコンパレータ C の動作	130
4.2.33	POE3 の汎用入出力ポート切り替え制御の注意事項	130
4.2.34	ELC イベント入力の時タイマモードレジスタ設定の注意事項	131
4.2.35	MTU/GPTW 反転出力設定時のアクティブレベル設定について	131
4.2.36	POE と POEG を併用した場合の注意事項	131
4.2.37	ハイインピーダンス時の端子の読み出しについて	131
5.	参考ドキュメント	132
	改訂記録	134

1. RX26T グループと RX62T グループの搭載機能比較

RX26T グループと RX62T グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください

表 1.1 に RX62T/RX26T 搭載機能比較を示します。

表 1.1 RX62T/RX26T 搭載機能比較

機能名	RX62T	RX26T
CPU	●/▲	
動作モード	▲	
アドレス空間	▲	
リセット	▲	
オプション設定メモリ(OFSM)	×	○
電圧検出回路(LVD):RX62T、(LVDA):RX26T	●/▲	
クロック発生回路	●/▲	
クロック周波数精度測定回路(CAC)	×	○
消費電力低減機能	●/▲/■	
レジスタライトプロテクション機能	×	○
例外処理	▲	
割り込みコントローラ(ICU):RX62T、(ICUG):RX26T	●/▲	
バス	▲	
メモリプロテクションユニット (MPU)	▲	
DMA コントローラ (DMACAa)	×	○
データトランスファコントローラ (DTC):RX62T、(DTCb):RX26T	●/▲	
イベントリンクコントローラ (ELC)	×	○
I/O ポート	●/▲	
マルチファンクションピンコントローラ(MPC)	×	○
マルチファンクションタイマパルスユニット 3 (MTU3):RX62T、(MTU3d):RX26T	●/▲	
ポートアウトプットイネーブル 3 (POE3):RX62T、(POE3D):RX26T	●/▲	
汎用 PWM タイマ(GPT/GPTa):RX62T、(GPTWa):RX26T	●/▲/■	
高分解能 PWM 波形生成回路(HRPWM)	×	○
GPTW 用ポートアウトプットイネーブル(POEG)	×	○
8 ビットタイマ(TMRb)	×	○
コンペアマッチタイマ(CMT)	●	
コンペアマッチタイマ W(CMTW)	×	○
ウォッチドッグタイマ(WDT):RX62T、(WDTA):RX26T	●/■	

機能名	RX62T	RX26T
独立ウォッチドッグタイマ (IWDT):RX62T、(IWDTa):RX26T	●/▲	
シリアルコミュニケーションインタフェース (SCIb):RX62T、(SCIk, SCIlh):RX26T	●/▲	
シリアルコミュニケーションインタフェース(RSCI)	×	○
I²C バスインタフェース(RIIC):RX62T、(RIICa):RX26T	▲	
I ³ C バスインタフェース(RI3C)	×	○
CAN モジュール(CAN):RX62T CAN FD モジュール(CANFD):RX26T	●/■	
シリアルペリフェラルインタフェース (RSPI):RX62T、(RSPIId):RX26T	●/▲	
シリアルペリフェラルインタフェース (RSPIA)	×	○
CRC 演算器(CRC):RX62T、(CRCA):RX26T	▲	
三角関数演算器(TFUv2)	×	○
Trusted Secure IP(TSIP-Lite)	×	○
LIN モジュール(LIN)	○	×
12 ビット A/D コンバータ (S12ADA):RX62T、(S12ADHa):RX26T	●/▲	
10 ビット A/D コンバータ(ADA)	○	×
12 ビット D/A コンバータ(R12DAb)	×	○
温度センサ(TEMPS)	×	○
コンパレータ C(CMPCa)	×	○
データ演算回路(DOCA)	×	○
RAM	●/▲	
ROM・データフラッシュ:RX62T、 フラッシュメモリ(FLASH):RX26T	●/▲	
パッケージ	▲	

○:機能搭載、×:機能未搭載、●:機能追加による差分あり、▲:機能変更による差分あり

■:機能削除による差分あり

2. 仕様の概要比較

以下に概要の比較、レジスタの比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は**赤字**にしています。

レジスタの比較では、両方のグループに存在するが相違点がある項目は**赤字**に、いずれかのグループにしか存在しない項目は**黒字**でレジスタ名のみ記載しています。レジスタ仕様に相違点がない項目は記載していません。

2.1 CPU

表 2.1 に CPU の概要比較を示します。

表 2.1 CPU の概要比較

項目	RX62T	RX26T
中央演算処理装置	- 最大動作周波数：100MHz 32 ビット RX CPU - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・ リニアアドレス - レジスタ - 汎用レジスタ：32 ビット×16 本 - 制御レジスタ：32 ビット×9 本 - アキュムレータ：64 ビット×1 本 - 基本命令：73 種類 - 浮動小数点演算命令：8 種類 - DSP 機能命令：9 種類 - アドレッシングモード：10 種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット×32 ビット→64 ビット - 除算器： 32 ビット÷32 ビット→32 ビット - バレルシフタ：32 ビット - メモリプロテクションユニット(MPU)	- 最大動作周波数：120MHz 32 ビット RX CPU(RXv3) - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・ リニアアドレス - レジスタ - 汎用レジスタ：32 ビット×16 本 - 制御レジスタ：32 ビット×10 本 - アキュムレータ：72 ビット×2 本 113 命令(RAM 容量が 64K バイトの製品) 111 命令(RAM 容量が 48K バイトの製品) - 標準搭載命令：111 命令 - 基本命令：77 命令 - 単精度浮動小数点演算命令：11 命令 - DSP 機能命令：23 命令 レジスタ一括退避機能命令：2 命令 (RAM 容量が 64K バイトの製品のみ) - アドレッシングモード：11 種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ ビッグエンディアンを選択可能 32 ビット乗算器： 32 ビット×32 ビット→64 ビット - 除算器： 32 ビット÷32 ビット→32 ビット - バレルシフタ：32 ビット
FPU	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外	- 単精度浮動小数点数(32 ビット) - IEEE754 に準拠したデータタイプ、および例外
レジスタ一括退避機能	—	CPU レジスタの退避・復帰を一括して高速に行う 16 個のレジスタ退避バンクを搭載

2.2 動作モード

表 2.2 に動作モードの概要比較を、表 2.3 に動作モードのレジスタ比較を示します。

表 2.2 動作モードの概要比較

項目	RX62T	RX26T
モード設定端子による動作モード	シングルチップモード	シングルチップモード
	ブートモード	ブートモード(SCIインタフェース) ブートモード(FINEインタフェース)
レジスタによる動作モード	シングルチップモード有効 シングルチップモード無効	—
モード端子によるエンディアンの選択	リトルエンディアン ビッグエンディアン	—
レジスタによるエンディアンの選択	—	リトルエンディアン ビッグエンディアン

表 2.3 動作モードのレジスタ比較

レジスタ	ビット	RX62T	RX26T
MDMONR	MD0 MD1 (RX62T) MD (RX26T)	MD0 端子ステータスフラグ	MD0 端子ステータスフラグ
	MDE	MDE 端子ステータスフラグ	—
MDSR	—	モードステータスレジスタ	—
SYSCR0	—	システムコントロールレジスタ 0	—
SYSCR1	—	システムコントロールレジスタ 1 初期値は異なります	システムコントロールレジスタ 1
VOLSR	—	—	電圧レベル設定レジスタ

2.3 アドレス空間

図 2.1～図 2.3 にシングルチップモードのメモリマップ比較を示します。

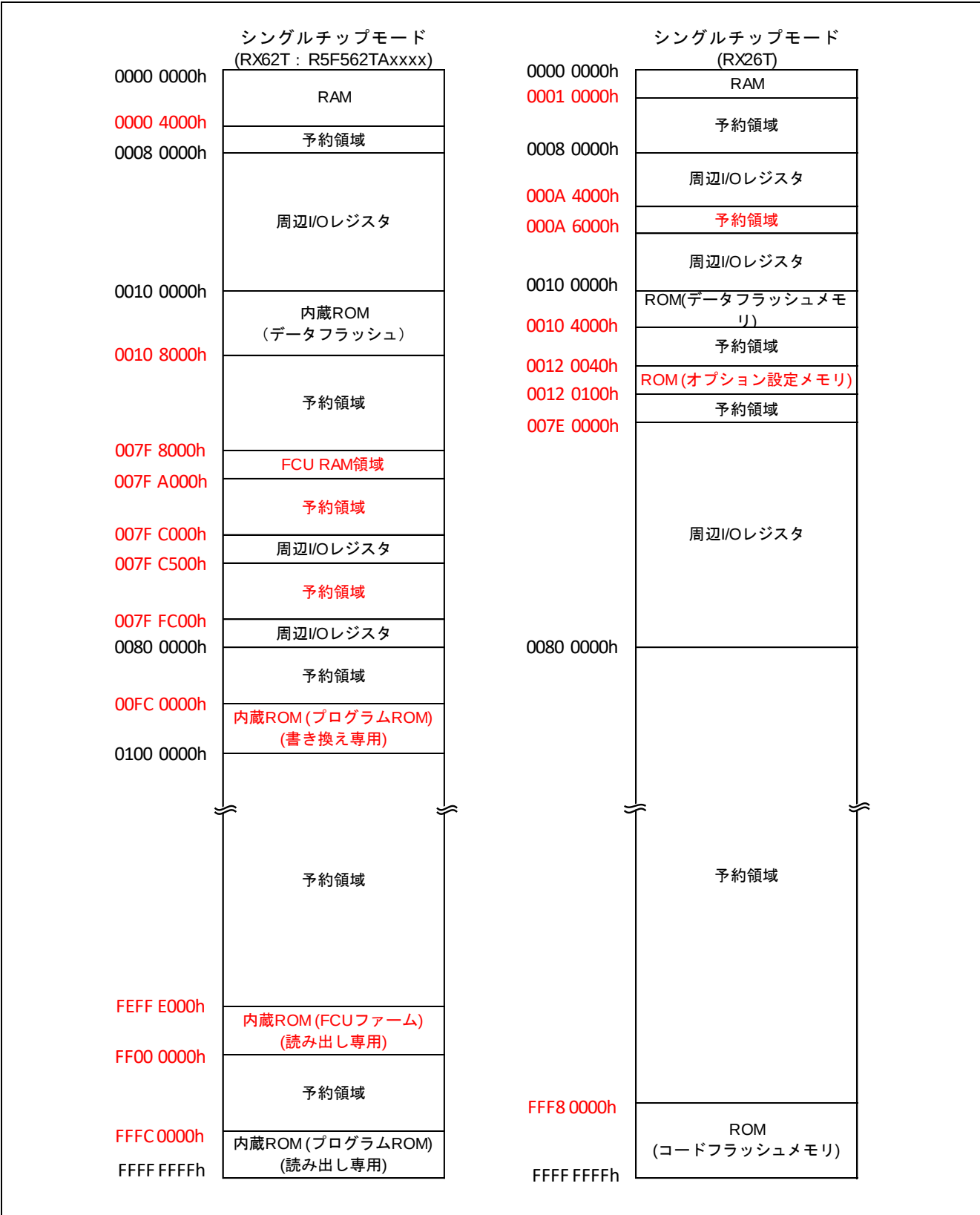


図 2.1 シングルチップモードのメモリマップ比較(R5F562TAxxxx)

シングルチップモード (RX62T : R5F562T7xxxx)		シングルチップモード (RX26T)	
0000 0000h	RAM	0000 0000h	RAM
0000 2000h	予約領域	0001 0000h	予約領域
0008 0000h	周辺I/Oレジスタ	0008 0000h	周辺I/Oレジスタ
		000A 4000h	予約領域
		000A 6000h	周辺I/Oレジスタ
0010 0000h	内蔵ROM (データフラッシュ)	0010 0000h	ROM (データフラッシュメモリ)
0010 2000h	予約領域	0010 4000h	予約領域
		0012 0040h	ROM(オプション設定メモリ)
		0012 0100h	予約領域
007F 8000h	FCU RAM領域	007E 0000h	周辺I/Oレジスタ
007F A000h	予約領域		
007F C000h	周辺I/Oレジスタ		
007F C500h	予約領域		
007F FC00h	周辺I/Oレジスタ		予約領域
0080 0000h	予約領域		
00FE 0000h	内蔵ROM(プログラムROM) (書き換え専用)		
0100 0000h	予約領域		
FEFF E000h	内蔵ROM(FCUファーム) (読み出し専用)		
FF00 0000h	予約領域		
FFFE 0000h	内蔵ROM(プログラムROM) (読み出し専用)	FFF8 0000h	ROM (コードフラッシュメモリ)
FFFF FFFFh		FFFF FFFFh	

図 2.2 シングルチップモードのメモリマップ比較(R5F562T7xxxx)

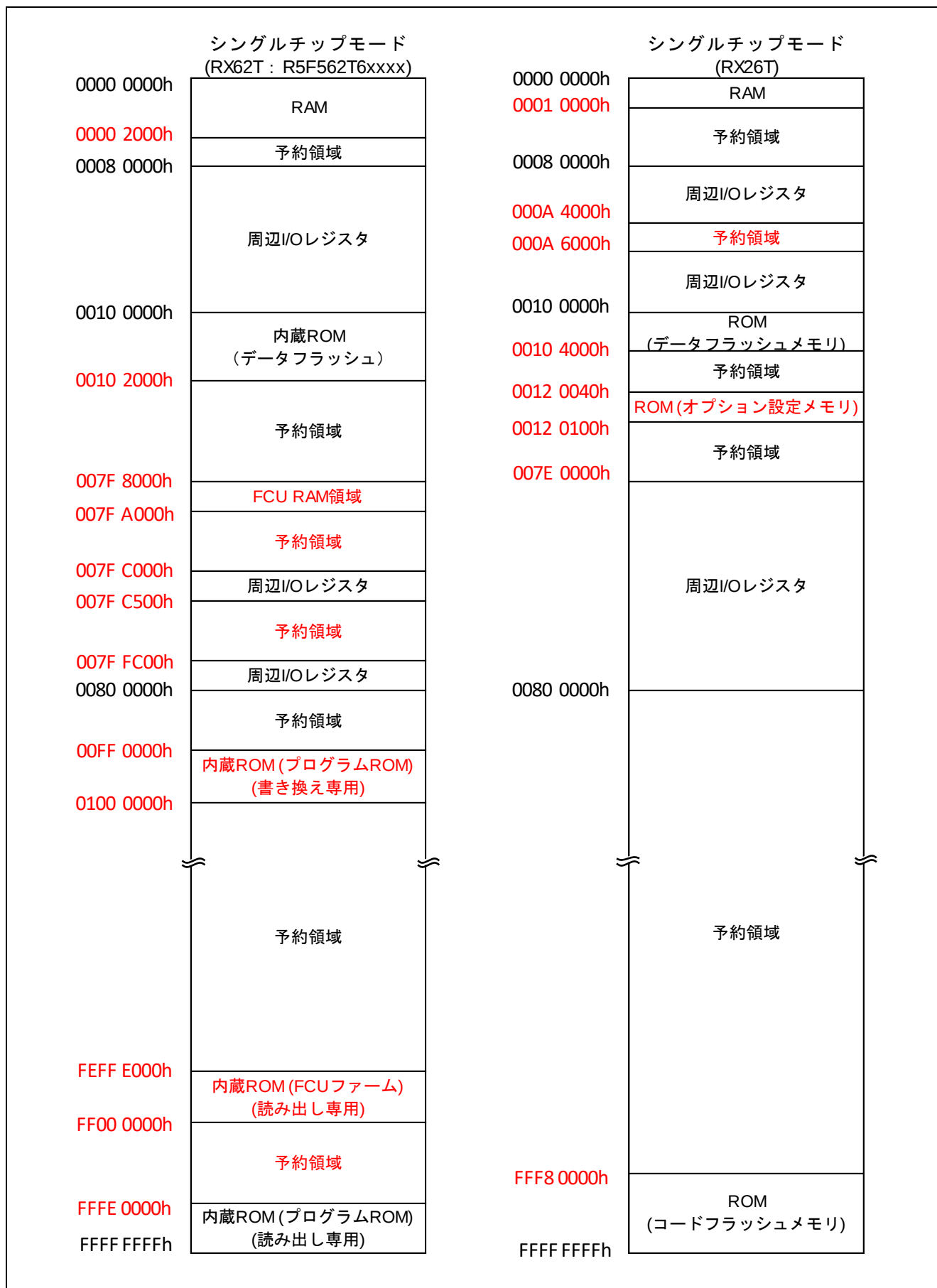


図 2.3 シングルチップモードのメモリマップ比較(R5F562T6xxx)

2.4 リセット

表 2.4 にリセットの概要比較を、表 2.5 にリセットのレジスタ比較を示します。

表 2.4 リセットの概要比較

項目	RX62T	RX26T
RES#端子リセット	RES#端子の入力電圧が Low	RES#端子の入力電圧が Low
パワーオンリセット	VCC の上昇(監視電圧 : V_{POR})	VCC の上昇(監視電圧 : V_{POR})
電圧監視リセット	VCC の下降(監視電圧 : V_{det1} , V_{det2})	VCC の下降(監視電圧 : $V_{det0} \sim V_{det2}$)
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除	—
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー	独立ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	ウォッチドッグタイマのオーバフロー	ウォッチドッグタイマのアンダフローまたはリフレッシュエラー
ソフトウェアリセット	レジスタ設定	レジスタ設定

表 2.5 リセットのレジスタ比較

レジスタ	ビット	RX62T	RX26T
RSTSR (RX62T) RSTSR0 (RX26T)	LVD0RF	—	電圧監視 0 リセット検出フラグ
	LVD1F (RX62T) LVD1RF (RX26T)	LVD1 検知フラグ 0 : LVD1 未検知 1 : LVD1 検知	電圧監視 1 リセット検出フラグ 0 : 電圧監視 1 リセット未検出 1 : 電圧監視 1 リセット検出
	LVD2F (RX62T) LVD2RF (RX26T)	LVD2 検知フラグ 0 : LVD2 未検知 1 : LVD2 検知	電圧監視 2 リセット検出フラグ 0 : 電圧監視 2 リセット未検出 1 : 電圧監視 2 リセット検出
	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	—
RSTSR1	—	—	リセットステータスレジスタ 1
RSTSR2	—	—	リセットステータスレジスタ 2
RSTCSR	—	リセットコントロール/ステータスレジスタ	—
IWDTSR	—	IWDTSR ステータスレジスタ	—
SWRR	—	—	ソフトウェアリセットレジスタ

2.5 電圧検出回路

表 2.6 に電圧検出回路の概要比較を、表 2.7 電圧検出回路のレジスタ比較を示します。

表 2.6 電圧検出回路の概要比較

項目		RX62T(LVD)		RX26T(LVDA)		
		電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	下降して Vdet1 を通過した場合	下降して Vdet2 を通過した場合	下降して Vdet0 を通過した場合	上昇または下降して Vdet1 を通過した場合	上昇または下降して Vdet2 を通過した場合
	検出電圧	1 レベルのみ	1 レベルのみ	OFS1. VDSEL[1:0] ビットで 2 レベルから選択可能	LVD1LVL. LVD1LVL[3:0] ビットで 5 レベルから選択可能	LVD2LVL. LVD2LVL[3:0] ビットで 5 レベルから選択可能
	モニタフラグ	なし	なし	なし	LVD1SR. LVD1MON フラグ : Vdet1 より高いか低い かをモニタ	LVD2SR. LVD2MON フラグ : Vdet2 より高いか低い かをモニタ
		RSTSR.LVD1F フラグ : Vdet1 検出	RSTSR.LVD2F フラグ : Vdet2 検出		LVD1SR. LVD1DET フラグ : Vdet1 通過 検出	LVD2SR. LVD2DET フラグ : Vdet2 通過 検出
電圧検出時の処理	リセット	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet1 $\geq$ VCC で リセット : VCC > Vdet1 の一定 時間後に CPU 動作 再開	Vdet2 > VCC で リセット : VCC > Vdet2 の一定 時間後に CPU 動作 再開	Vdet0 > VCC で リセット : VCC > Vdet0 の一定 時間後に CPU 動作 再開	Vdet1 > VCC で リセット : VCC > Vdet1 の一定 時間後に CPU 動作 再開、または Vdet1 > VCC の一定 時間後に CPU 動作 再開を選択可能	Vdet2 > VCC で リセット : VCC > Vdet2 の一定 時間後に CPU 動作 再開、または Vdet2 > VCC の一定 時間後に CPU 動作 再開を選択可能
	割り込み	電圧監視 1 割り込み	電圧監視 2 割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
		ノンマスカブル 割り込み	ノンマスカブル 割り込み	なし	ノンマスカブル 割り込み、 またはマス カブル割り 込みを選択 可能	ノンマスカブル 割り込み、 またはマス カブル割り 込みを選択 可能

項目		RX62T(LVD)		RX26T(LVDA)		
		電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
電圧検出時の処理	割り込み	Vdet1 > VCC で割り込み要求	Vdet2 > VCC で割り込み要求	なし	Vdet1 > VCC, VCC > Vdet1 の両方、またはどちらかで割り込み要求	Vdet2 > VCC, VCC > Vdet2 の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	デジタルフィルタ機能なし	デジタルフィルタ機能なし	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	—	—	LOCO の n 分周 × 2 (n : 2, 4, 8, 16)	LOCO の n 分周 × 2 (n : 2, 4, 8, 16)
イベントリンク機能		—	—	なし	あり Vdet 通過検出イベント出力	あり Vdet 通過検出イベント出力

表 2.7 電圧検出回路のレジスタ比較

レジスタ	ビット	RX62T(LVD)	RX26T(LVDA)
RSTSR	—	リセットステータスレジスタ	—
LVDKEYR	—	低電圧検出コントロールレジスタ用キーワードレジスタ	—
LVDCCR	—	低電圧検出コントロールレジスタ	—
LVD1CR1	—	—	電圧監視 1 回路制御レジスタ 1
LVD1SR	—	—	電圧監視 1 回路ステータスレジスタ
LVD2CR1	—	—	電圧監視 2 回路制御レジスタ 1
LVD2SR	—	—	電圧監視 2 回路ステータスレジスタ
LVCMPCCR	—	—	電圧監視回路制御レジスタ
LVDLVLRLR	—	—	電圧検出レベル選択レジスタ
LVD1CR0	—	—	電圧監視 1 回路制御レジスタ 0
LVD2CR0	—	—	電圧監視 2 回路制御レジスタ 0

2.6 クロック発生回路

表 2.8 にクロック発生回路の概要比較を、表 2.9 にクロック発生回路のレジスタ比較を示します。

表 2.8 クロック発生回路の概要比較

項目	RX62T	RX26T
用途	- CPU、DTC、MTU3、GPT、ROM および RAM に供給されるシステムクロック (ICLK)の生成 - 周辺モジュールに供給される周辺モジュールクロック(PCLK)の生成 - IWDT に供給されるオンチップオシレータクロック(IWDTCLK)の生成	- CPU、TFU、DMAC、DTC、コードフラッシュメモリ および RAM に供給されるシステムクロック(ICLK)の生成 RSPI、RSPIA、RSCI、RI3C、CANFD、MTU (内部周辺バス)、GPTW (内部周辺バス)、HRPWM (内部周辺バス)に供給される周辺モジュールクロック(PCLKA)の生成 - 周辺モジュールに供給される周辺モジュールクロック(PCLKB)の生成 MTU と GPTW に供給される周辺モジュールのカウンタ基準クロック、HRPWM の基準クロック(PCLKC)の生成 S12AD に供給される周辺モジュール (アナログ変換用)クロック(PCLKD)の生成 FlashIF に供給される FlashIF クロック (FCLK)の生成 CAC に供給される CAC クロック (CACCLK)の生成 CANFD に供給される CANFD クロック (CANFDCLK)の生成 CANFD に供給される CANFD メインクロック (CANFDMCLK)の生成 - IWDT に供給される IWDT 専用クロック (IWDTCLK)の生成
動作周波数	- ICLK : 8MHz~100MHz PCLK : 8MHz~50MHz - IWDTCLK : 125kHz(Typ.) - クロック周波数設定制限 : $ICLK \geq PCLK$ を維持	- ICLK : 120MHz (max) PCLKA : 120MHz (max) PCLKB : 60MHz (max) PCLKC : 120MHz (max) PCLKD : 8MHz~60MHz (12 ビット A/D コンバータ変換時) FCLK : 4MHz~60MHz (コードフラッシュメモリ、データフラッシュメモリ P/E 時) 60MHz (max) (データフラッシュメモリ読み出し時) CACCLK : 発振器のクロックと同じ CANFDCLK : 60MHz (max) CANFDMCLK : 24MHz (max) - IWDTCLK : 120kHz

項目	RX62T	RX26T
メインクロック発振器	- 発振子周波数 : 8MHz~12.5MHz - 外部クロック入力周波数 : 8MHz~12.5MHz (max) - 接続できる発振子、または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL、XTAL - 発振停止検出機能 : メインクロック発振器の発振停止検出時、内部発振に切り替える機能 MTU3 および GPT 端子をハイインピーダンスにする機能	- 発振子周波数 : 8MHz~24MHz - 外部クロック入力周波数 : 24MHz (max) - 接続できる発振子または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL、XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU、GPTW の端子をハイインピーダンスにする機能
PLL 回路 (RX62T) PLL 周波数シンセサイザ (RX26T)	- 入力クロックソース : メインクロック - 入力分周比 : 1 分周 - 入力周波数 : 8MHz~12.5MHz - 逡倍比 : 8 逡倍 - 出力クロック周波数 : 64MHz~100MHz	- 入力クロックソース : メインクロック、HOCO - 入力分周比 : 1、2、3 分周から選択可能 - 入力周波数 : 8MHz~24MHz - 逡倍比 : 10~30 逡倍から選択可能 - PLL 周波数シンセサイザ 出力クロック周波数 : 120MHz~240MHz
高速オンチップオシレータ (HOCO)	—	- 発振周波数 : 16MHz、18MHz、20MHz から選択可能 HOCO 電源制御
低速オンチップオシレータ (LOCO)	—	発振周波数 : 240kHz
IWDT 専用オンチップオシレータ	発振周波数 : 125kHz(Typ.)	発振周波数 : 120kHz
ICLK/PCLK クロックの選択	EXTAL ×8、×4、×2、×1 から ICLK/PCLK 個別に選択可能	メインクロック、HOCO または LOCO の 64、32、16、8、4、2、1 分周から ICLK/PCLKA ~PCLKD/FCLK 個別に選択可能
イベントリンク機能(出力)	—	メインクロック発振器の発振停止検出
イベントリンク機能(入力)	—	低速オンチップオシレータへのクロックソース切り替え

表 2.9 クロック発生回路のレジスタ比較

レジスタ	ビット	RX62T	RX26T
SCKCR	—	システムクロックコントロールレジスタ	システムクロックコントロールレジスタ
		リセット後の初期値が異なります	
	PCK[3:0]	周辺モジュールクロック選択ビット	—
	PCKD[3:0]	—	周辺モジュールクロック D(PCLKD) 選択ビット
	PCKC[3:0]	—	周辺モジュールクロック C(PCLKC) 選択ビット
	PCKB[3:0]	—	周辺モジュールクロック B(PCLKB) 選択ビット

レジスタ	ビット	RX62T	RX26T
SCKCR	PCKA[3:0]	—	周辺モジュールクロック A(PCLKA) 選択ビット
	ICK[3:0]	システムクロック選択ビット b27 b24 0 0 0 0 : ×8 0 0 0 1 : ×4 0 0 1 0 : ×2 0 0 1 1 : ×1 上記以外は設定しないでください	システムクロック(ICLK)選択ビット b27 b24 0 0 0 0 : 1 分周 0 0 0 1 : 2 分周 0 0 1 0 : 4 分周 0 0 1 1 : 8 分周 0 1 0 0 : 16 分周 0 1 0 1 : 32 分周 0 1 1 0 : 64 分周 上記以外は設定しないでください
	FCK[3:0]	—	FlashIF クロック(FCLK)選択ビット
SCKCR2	—	—	システムクロックコントロール レジスタ 2
SCKCR3	—	—	システムクロックコントロール レジスタ 3
PLLCR	—	—	PLL コントロールレジスタ
PLLCR2	—	—	PLL コントロールレジスタ 2
MOSCCR	—	—	メインクロック発振器コントロール レジスタ
LOCOCR	—	—	低速オンチップオシレータ コントロールレジスタ
ILOCOCR	—	—	IWDT 専用オンチップオシレータ コントロールレジスタ
HOCOCR	—	—	高速オンチップオシレータ コントロールレジスタ
HOCOCR2	—	—	高速オンチップオシレータ コントロールレジスタ 2
OSCOVFSR	—	—	発振安定フラグレジスタ
OSTDCR	OSTDIE	—	発振停止検出割り込み許可ビット
	KEY[7:0]	OSTDCR キーコード	—
OSTDSR	—	—	発振停止検出ステータスレジスタ
MOSCWTCR	—	—	メインクロック発振器ウェイト コントロールレジスタ
MOFCR	—	—	メインクロック発振器機能 コントロールレジスタ
HOCOPCR	—	—	高速オンチップオシレータ電源 コントロールレジスタ

2.7 消費電力低減機能

表 2.10 に消費電力低減機能の概要比較を、表 2.11 に各モードにおける遷移および解除方法と動作状態の比較を、表 2.12 に消費電力低減機能のレジスタ比較を示します。

表 2.10 消費電力低減機能の概要比較

項目	RX62T	RX26T
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLK) に対し、個別に分周比を設定することが可能	システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、FlashIF クロック (FCLK) に対し、個別に分周比を設定することが可能
モジュールストップ機能	周辺モジュールごとに機能を停止することが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード - 全モジュールクロックストップモード - ソフトウェアスタンバイモード - ディープソフトウェアスタンバイモード	- スリープモード - 全モジュールクロックストップモード - ソフトウェアスタンバイモード

表 2.11 各モードにおける遷移および解除方法と動作状態の比較

モード	遷移および解除方法と動作状態	RX62T	RX26T
スリープモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作	動作可能
	高速オンチップオシレータ	—	動作可能
	低速オンチップオシレータ	—	動作可能
	IWDT 専用オンチップオシレータ	—	動作可能
	PLL	—	動作可能
	CPU	停止(保持)	停止(保持)
	RAM	動作(保持)	動作可能(保持)
	フラッシュメモリ	動作	動作
	ウォッチドッグタイマ	動作	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	動作	動作可能
	ポートアウトプットイネーブル(POE)	動作可能	動作可能
	8 ビットタイマ(ユニット 0,1)(TMR)	—	動作可能
	電圧検出回路(LVD)	動作	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作	動作可能
	I/O ポート	動作	動作
全モジュールクロックストップモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作	動作可能

モード	遷移および解除方法と動作状態	RX62T	RX26T
全モジュール クロック ストップモード	高速オンチップオシレータ	—	動作可能
	低速オンチップオシレータ	—	動作可能
	IWDT 専用オンチップオシレータ	—	動作可能
	PLL	—	動作可能
	CPU	停止(保持)	停止(保持)
	RAM	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	ウォッチドッグタイマ	動作	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	動作	動作可能
	ポートアウトプットイネーブル(POE)	動作可能	動作可能
	8 ビットタイマ(ユニット 0,1)(TMR)	—	動作可能
	電圧検出回路(LVD)	動作	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O ポート	保持	保持
ソフトウェア スタンバイ モード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	停止	停止
	高速オンチップオシレータ	—	停止
	低速オンチップオシレータ	—	停止
	IWDT 専用オンチップオシレータ	—	動作可能
	PLL	—	停止
	CPU	停止(保持)	停止(保持)
	RAM	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	ウォッチドッグタイマ	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	停止(保持)	動作可能
	ポートアウトプットイネーブル(POE)	停止(保持)	停止(保持)
	8 ビットタイマ(ユニット 0,1)(TMR)	—	停止(保持)
	電圧検出回路(LVD)	動作	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O ポート	保持	保持
ディープソフト ウェアスタンバイ モード	移行方法	制御レジスタ+命令	—
	リセット以外の解除方法	割り込み	—
	解除後の状態 ^(注1)	プログラム実行状態 (リセット処理)	—
	発振器	停止	—
	CPU	停止(不定)	—
	内蔵 RAM	停止(不定)	—
	ウォッチドッグタイマ (WDT)	停止(不定)	—
	独立ウォッチドッグタイマ (IWDT)	停止(不定)	—
	電圧検出回路	動作	—
	パワーオンリセット回路	動作	—
	ポートアウトプットイネーブル	停止(不定)	—

モード	遷移および解除方法と 動作状態	RX62T	RX26T
ディープソフト ウェアスタンバイ モード	周辺モジュール	停止(保持)	—
	I/O 端子状態	保持	—

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

注 1. NMI、IRQ0-A、IRQ1-A、一部の内部割り込み(電圧監視)。ただし、いずれの要因もディープスタンバイインタラプトイネーブルレジスタ(DPSIER)の当該ビットが“1”のときのみ有効

表 2.12 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX62T	RX26T
SBYCR	STS[4:0]	スタンバイタイマ選択ビット	—
MSTPCRA	MSTPA0	—	コンペアマッチタイマ W (ユニット 1) モジュールストップ設定ビット
	MSTPA1	—	コンペアマッチタイマ W (ユニット 0) モジュールストップ設定ビット
	MSTPA2	—	8 ビットタイマ 7, 6 (ユニット 3) モジュールストップ設定ビット
	MSTPA3	—	8 ビットタイマ 5, 4 (ユニット 2) モジュールストップ設定ビット
	MSTPA4	—	8 ビットタイマ 3, 2 (ユニット 1) モジュールストップ設定ビット
	MSTPA5	—	8 ビットタイマ 1, 0 (ユニット 0) モジュールストップ設定ビット
	MSTPA7	汎用 PWM タイマモジュール ストップ設定ビット 対象モジュール : GPT 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	汎用 PWM タイマ/高分解能 PWM/GPTW 用ポートアウトプットイネーブル モジュールストップ設定ビット 対象モジュール : GPTW, HRPWM, POEG 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移
	MSTPA19	—	12 ビット D/A コンバータモジュールス トップ設定ビット
	MSTPA23	10 ビット A/D コンバータモジュールス トップ設定ビット 対象モジュール : 10 ビット ADC 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	12 ビット A/D コンバータ(ユニット 2) モジュールストップ設定ビット 対象モジュール : S12AD ユニット 2 (温度センサ) 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移
	MSTPA24	12 ビット A/D コンバータ制御部モ ジュールストップ設定ビット 対象モジュール : S12ADA 制御部 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	モジュールストップ A24 設定ビット 読み出し、書き込みともに有効です。全 モジュールクロックストップモードへ移 行させる場合は、本ビットに “1” を書き 込んでおく必要が あります

レジスタ	ビット	RX62T	RX26T
MSTPCRA	MSTPA27	—	モジュールストップ A27 設定ビット
MSTPCRA	MSTPA28	データトランスファコントローラ モジュールストップ設定ビット	DMA コントローラ /データトランスファ コントローラモジュールストップ設定 ビット
	MSTPA29	—	モジュールストップ A29 設定ビット
MSTPCRB	MSTPB0	CAN モジュールストップ設定ビット	—
	MSTPB4	—	シリアルコミュニケーションインタ フェース 12 モジュールストップ設定 ビット
	MSTPB6	—	データ演算回路モジュールストップ設定 ビット
	MSTPB7	LIN モジュールストップ設定ビット	—
	MSTPB9	—	イベントリンクコントローラモジュール ストップ設定ビット
	MSTPB10	—	コンパレータ C モジュールストップ設定 ビット
	MSTPB25	—	シリアルコミュニケーションインタ フェース 6 モジュールストップ設定 ビット
	MSTPB26	—	シリアルコミュニケーションインタ フェース 5 モジュールストップ設定 ビット
	MSTPB29	シリアルコミュニケーション インタフェース 2 モジュール ストップ設定ビット	—
	MSTPB31	シリアルコミュニケーションインタ フェース 0 モジュールストップ設定 ビット	—
MSTPCRC	MSTPC0	RAM モジュールストップ設定ビット 対象モジュール : RAM (0000 0000h~0000 3FFFh) 0 : モジュールストップ状態の解除 1 : モジュールストップ状態へ遷移	RAM モジュールストップ設定ビット 対象モジュール : RAM (0000 0000h~ 0000 FFFFh) 0 : RAM 動作 1 : RAM 停止
	MSTPC19	—	CAC モジュールストップ設定ビット
	MSTPC24	—	シリアルコミュニケーションインタ フェース 11 モジュールストップ設定 ビット
	MSTPC26	—	シリアルコミュニケーションインタ フェース 9 モジュールストップ設定 ビット
	MSTPC27	—	シリアルコミュニケーションインタ フェース 8 モジュールストップ設定 ビット
MSTPCRD	—	—	モジュールストップコントロール レジスタ D
DPSBYCR	—	ディープスタンバイコントロール レジスタ	—
DPSWCR	—	ディープスタンバイウェイト コントロールレジスタ	—

レジスタ	ビット	RX62T	RX26T
DPSIER	—	ディープスタンバイインタラプト イネーブルレジスタ	—
DPSIFR	—	ディープスタンバイインタラプトフラグ レジスタ	—
DPSIEGR	—	ディープスタンバイインタラプトエッジ レジスタ	—
RSTSR	—	リセットステータスレジスタ	—
DPSBKRY	—	ディープスタンバイバックアップ レジスタ (y = 0~31)	—
RSTCKCR	—	—	スリープモード復帰クロックソース切 り替えレジスタ

2.8 例外処理

表 2.13 に例外処理の概要比較を、表 2.14 にベクタ比較を、表 2.15 に例外処理ルーチンからの復帰命令比較を示します。

表 2.13 例外処理の概要比較

項目	RX62T	RX26T
例外事象	- 未定義命令例外 - 特権命令例外 - アクセス例外 - 浮動小数点例外 - リセット - ノンマスカブル割り込み - 割り込み - 無条件トラップ	- 未定義命令例外 - 特権命令例外 - アクセス例外 - 単精度浮動小数点例外 - リセット - ノンマスカブル割り込み - 割り込み - 無条件トラップ

表 2.14 ベクタ比較

項目	RX62T	RX26T
未定義命令例外	固定ベクタテーブル	例外ベクタテーブル(EXTB)
特権命令例外	固定ベクタテーブル	例外ベクタテーブル(EXTB)
アクセス例外	—	例外ベクタテーブル(EXTB)
浮動小数点例外(RX62T) 単精度浮動小数点例外(RX26T)	—	例外ベクタテーブル(EXTB)
リセット	固定ベクタテーブル	例外ベクタテーブル(EXTB)
ノンマスカブル割り込み	固定ベクタテーブル	例外ベクタテーブル(EXTB)
割り込み		
高速割り込み	FINTV	FINTV
高速割り込み以外	可変ベクタテーブル(INTB)	割り込みベクタテーブル(INTB)
無条件トラップ	可変ベクタテーブル(INTB)	割り込みベクタテーブル(INTB)

表 2.15 例外処理ルーチンからの復帰命令比較

項目	RX62T	RX26T
未定義命令例外	RTE	RTE
特権命令例外	RTE	RTE
アクセス例外	RTE	RTE
浮動小数点例外	RTE	RTE
リセット	復帰不可能	復帰不可能
ノンマスカブル割り込み	復帰不可能	禁止
割り込み		
高速割り込み	RTFI	RTFI
高速割り込み以外	RTE	RTE
無条件トラップ	RTE	RTE

2.9 割り込みコントローラ

表 2.16 に割り込みコントローラの概要比較を、表 2.17 に割り込みコントローラのレジスタ比較を示します。

表 2.16 割り込みコントローラの概要比較

項目		RX62T(ICU)	RX26T(ICU ^G)
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 要因数：101 - 割り込み検出：エッジ検出/レベル検出 - 接続している周辺モジュールの要因ごとに検出方法が決められている	- 周辺モジュールからの割り込み - 要因数：256 - 割り込みの検出方法：エッジ検出またはレベル検出(割り込み要因ごとに検出方法は固定) - グループ割り込み：複数の割り込み要因をグループ化し、1つの割り込み要因として扱う機能^(注1) - グループ IE0 割り込み：ICLK を動作クロックとするコプロセッサの割り込み要因(エッジ検出) - グループ BE0 割り込み：PCLKB を動作クロックとする周辺モジュールの割り込み要因(エッジ検出) - グループ BL0/BL1/BL2 割り込み：PCLKB を動作クロックとする周辺モジュールの割り込み要因(レベル検出) - グループ AL0/AL1 割り込み：PCLKA を動作クロックとする周辺モジュールの割り込み要因(レベル検出) - 選択型割り込み A：割り込みベクタ番号 208～255 に、PCLKA を動作クロックとする周辺モジュールの割り込み要因からそれぞれ任意の 1つを割り当てることが可能
	外部端子割り込み	IRQ7～IRQ0 端子からの割り込み - 要因数：8 - 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能	IRQi 端子(i = 0～15)への入力信号による割り込み - 要因数：16 - 割り込み検出：Low レベル、立ち下がりエッジ、立ち上がりエッジ、両エッジを要因ごとに設定可能 - デジタルフィルタを使用することにより、ノイズを除去することが可能
	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数：1	- レジスタへの書き込みにより、割り込み要求を発生させることが可能 - 要因数：2

項目		RX62T(ICU)	RX26T(ICUG)
割り込み	割り込み優先順位	レジスタにより優先順位を設定	割り込み要因プライオリティレジスタ r(IPRr)(r = 000~255)により優先レベルを設定
	高速割り込み機能	CPU の割り込み処理を高速化可能。 1 要因にのみ設定	CPU の割り込み応答時間を短縮可能。 1 つの割り込み要因にのみ設定可能
	DTC、DMAC 制御	割り込み要因によって DTC を起動可能 DTC 起動要因 : 87 (周辺機能割り込み 78 + 外部端子割り込み 8 + ソフトウェア割り込み 1)	割り込み要因により DTC や DMAC の起動が可能 DTC 起動要因 : 149 DMAC 起動要因 : 127
ノンマスクابل 割り込み	NMI 端子割り込み	NMI 端子からの割り込み 割り込み検出 : 立ち下がりエッジ/ 立ち上がりエッジ	NMI 端子への入力信号による割り込み - 割り込み検出 : 立ち下がりエッジ または立ち上がりエッジ デジタルフィルタを使用することにより、ノイズを除去することが可能
	発振停止検出割り込み	発振停止検出時の割り込み	メインクロック発振器の停止を検出したときの割り込み
	WDT アンダフロー/リフレッシュエラー割り込み	—	ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	IWDT アンダフロー/リフレッシュエラー割り込み	—	独立ウォッチドッグタイマがアンダフローしたとき、またはリフレッシュエラーが発生したときの割り込み
	電圧監視 1 割り込み	電源電圧低下検出時の割り込み	電圧検出 1 回路(LVD1)からの割り込み
	電圧監視 2 割り込み	—	電圧検出 2 回路(LVD2)からの割り込み
	RAM エラー割り込み	—	RAM のパリティチェックエラーを検出したときの割り込み
低消費電力状態からの復帰	スリープモード	ノンマスクابل割り込み、全割り込み要因で復帰	すべての割り込み要因で復帰
	全モジュールクロックストップモード	ノンマスクابل割り込み、IRQ7~IRQ0 割り込み、WDT 割り込みで復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、発振停止検出、IWDT、TMR0~3)で復帰
	ソフトウェアスタンバイモード	ノンマスクابل割り込み、IRQ0~IRQ7 割り込みで復帰	NMI 端子割り込み、外部端子割り込み、周辺機能割り込み(電圧監視 1、電圧監視 2、IWDT)で復帰

注 1. 割り込み要因が割り当てられていないグループは予約です。また、そのグループに対応するレジスタは存在しません。

表 2.17 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX62T(ICU)	RX26T(ICU G)
IPRm (RX62T) IPRr (RX26T)	—	割り込み要因プライオリティレジスタ m(m=00h~90h)	割り込み要因プライオリティレジスタ r(r=000~ 255)
SWINT2R	—	—	ソフトウェア割り込み2起動レジスタ
DTCERn	—	DTC 起動許可レジスタ n (n = 027~ 256)	DTC 転送要求許可レジスタ n (n = 026 ~255)
DMRSRm	—	—	DMAC 起動要因選択レジスタ m
IRQCRn (RX62T) IRQCRi (RX26T)	—	IRQ コントロールレジスタ n (n=0~7)	IRQ コントロールレジスタ i (i=0~ 15)
IRQFLTE0	—	—	IRQ 端子デジタルフィルタ許可 レジスタ 0
IRQFLTE1	—	—	IRQ 端子デジタルフィルタ許可 レジスタ 1
IRQFLTC0	—	—	IRQ 端子デジタルフィルタ設定 レジスタ 0
IRQFLTC1	—	—	IRQ 端子デジタルフィルタ設定 レジスタ 1
NMISR	LVDST	電圧監視割り込みステータスフラグ	—
	OSTST	発振停止検出割り込みステータス フラグ(b2)	発振停止検出割り込みステータス フラグ(b1)
	WDTST	—	WDT アンダフロー/リフレッシュエ ラーステータスフラグ
	IWDTST	—	IWDT アンダフロー/リフレッシュエ ラーステータスフラグ
	LVD1ST	—	電圧監視 1 割り込みステータスフラグ
	LVD2ST	—	電圧監視 2 割り込みステータスフラグ
	RAMST	—	RAM エラー割り込みステータス フラグ
NMIER	LVDEN	電圧監視割り込み許可ビット	—
	OSTEN	発振停止検出割り込み許可ビット(b2)	発振停止検出割り込み許可ビット(b1)
	WDTEN	—	WDT アンダフロー/リフレッ シュエラー許可ビット
	IWDTEN	—	IWDT アンダフロー/リフレッ シュエラー許可ビット
	LVD1EN	—	電圧監視 1 割り込み許可ビット
	LVD2EN	—	電圧監視 2 割り込み許可ビット
	RAMEN	—	RAM エラー割り込み許可ビット
NMICLR	WDTCLR	—	WDT クリアビット
	OSTCLR	OST クリアビット(b2)	OST クリアビット(b1)
	IWDTCLR	—	IWDT クリアビット
	LVD1CLR	—	LVD1 クリアビット
	LVD2CLR	—	LVD2 クリアビット
NMIFLTE	—	—	NMI 端子デジタルフィルタ許可 レジスタ

レジスタ	ビット	RX62T(ICU)	RX26T(ICU ^G)
NMIFLTC	—	—	NMI 端子デジタルフィルタ設定レジスタ
GRPBL0/ GRPBL1/ GRPBL2	—	—	グループ BL0/BL1/BL2 割り込み要求レジスタ
GRPAL0/ GRPAL1	—	—	グループ AL0/AL1 割り込み要求レジスタ
GENBL0/ GENBL1/ GENBL2	—	—	グループ BL0/BL1/BL2 割り込み要求許可レジスタ
GENAL0/ GENAL1	—	—	グループ AL0/AL1 割り込み要求許可レジスタ
PIARk	—	—	選択型割り込み A 要求レジスタ k (k = 0h~Fh, 12h~14h)
SLIARn	—	—	選択型割り込み A 要因選択レジスタ n (n = 208~255)
SLIPRCR	—	—	選択型割り込み要因選択レジスタ 書き込み保護レジスタ

2.10 バス

表 2.18 にバスの概要比較を、表 2.19 にバスのレジスタ比較を示します。

表 2.18 バスの概要比較

項目		RX62T	RX26T
CPU バス	命令 バス	• CPU (命令)を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック(ICLK)に同期して動作	• CPU (命令)を接続 • 内蔵メモリを接続 (RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
	オペラ ンド バス	• CPU (オペランド)を接続 • 内蔵メモリを接続 (内蔵 RAM、内蔵 ROM) • システムクロック(ICLK)に同期して動作	• CPU (オペランド)を接続 • 内蔵メモリを接続 (RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
メモリ バス	メモリ バス 1	内蔵 RAM を接続	RAM を接続
	メモリ バス 2	内蔵 ROM を接続	コードフラッシュメモリを接続
内部 メイン バス	内部 メイン バス 1	• CPU を接続 • システムクロック(ICLK)に同期して動作	• CPU を接続 • システムクロック(ICLK)に同期して動作
	内部 メイン バス 2	• DTC を接続 • 内蔵メモリを接続 (内蔵 RAM, 内蔵 ROM) • システムクロック(ICLK)に同期して動作	• DTC、DMAC を接続 • 内蔵メモリを接続 (RAM、コードフラッシュメモリ) • システムクロック(ICLK)に同期して動作
内部周辺 バス	内部 周辺 バス 1	• 周辺機能(バスエラー監視部、割り込み等)を接続 • システムクロック(ICLK)に同期して動作	• 周辺機能(TFU、DTC、DMAC、割り込みコントローラ、バスエラー監視部)を接続 • システムクロック(ICLK)に同期して動作
	内部 周辺 バス 2	• 周辺機能(WDT、CMT、CRC、SCI 等)を接続 • 周辺モジュールクロック(PCLK)に同期して動作	• 周辺機能(内部周辺バス 1、3、4、5 以外の周辺機能)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部 周辺 バス 3	• 周辺機能(MTU3、GPT)を接続 • システムクロック(ICLK)に同期して動作	• 周辺機能(DOC、RSCI、CANFD、CMPC)を接続 • 周辺モジュールクロック(PCLKB)に同期して動作
	内部 周辺 バス 4	• 周辺機能(MTU3)を接続 • 周辺モジュールクロック(PCLK)に同期して動作	• 周辺機能(MTU,GPTW、HRPWM、RSPI)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部 周辺 バス 5	—	• 周辺機能(RSCI、RSPIA、RI3C、CANFD)を接続 • 周辺モジュールクロック(PCLKA)に同期して動作
	内部 周辺 バス 6	• 内蔵 ROM(P/E)／データフラッシュを接続 • 周辺モジュールクロック(PCLK)に同期して動作	• コードフラッシュメモリ(P/E 時)、データフラッシュメモリを接続 • FlashIF クロック(FCLK)に同期して動作

表 2.19 バスのレジスタ比較

レジスタ	ビット	RX62T	RX26T
BEREN	TOEN	—	タイムアウト検出許可ビット(注 1,注 2)
BERSR1	TO	—	タイムアウトビット
	MST[2:0]	バスマスタコードビット b6 b4 0 0 0 : CPU 0 0 1 : 設定しないでください 0 1 0 : 設定しないでください 0 1 1 : DTC 1 0 0 : 設定しないでください 1 0 1 : 設定しないでください 1 1 0 : 設定しないでください 1 1 1 : 設定しないでください	バスマスタコードビット b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC/DMAC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約
BUSPRI	—	—	バスプライオリティ制御レジスタ

注 1. 検出禁止(TOEN ビット = 0)にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注 2. タイムアウトエラー検出中に TOEN ビットを“0” (検出禁止)にしないようにしてください。

2.11 メモリプロテクションユニット

表 2.20 にメモリプロテクションユニットのレジスタ比較を示します。

表 2.20 メモリプロテクションユニットのレジスタ比較

レジスタ	ビット	RX62T	RX26T
MPECLR	CLR	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW,DA,IA ビットを“0” にします。	【読み出し時】 0：読み出し固定 【書き込み時】 0：何もしない 1：MPESTS.DRW,DMPER,IMPER ビットを“0”にします。

2.12 データトランスファコントローラ

表 2.21 にデータトランスファコントローラの概要比較を、表 2.22 にデータトランスファコントローラのレジスタ比較を示します。

表 2.21 データトランスファコントローラの概要比較

項目	RX62T(DTC)	RX26T(DTC ^b)
転送チャンネル数	DTC 起動が可能なすべての割り込み要因の数と同数	DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	- ノーマル転送モード 1 回の起動で 1 データ転送する - リピート転送モード 1 回の起動で 1 データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピートサイズは最大 256 データ設定可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータを転送する ブロックサイズは最大 255 データ設定可能	- ノーマル転送モード 1 回の起動で 1 つのデータを転送する - リピート転送モード 1 回の起動で 1 つのデータを転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大 256 回設定可能で、256×32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータを転送する ブロックサイズは、最大 256×32 ビット= 1024 バイト設定可能
チェーン転送機能	割り込み要因に対応するチャンネル転送が可能(ICU からの DTC 起動要求で転送) 1 つの起動要因に対して複数のデータ転送が可能(チェーン転送) - チェーン転送は、カウンタ = 0 のとき実施する／毎回実施する、のいずれかを選択可能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
シーケンス転送	—	複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能 - シーケンス転送の起動要因は同時に 1 つのみ選択可能 - シーケンスは、1 つの起動要因に対し最大 256 通り - 転送要求によって最初に転送されたデータがシーケンスを決定 - シーケンスは、1 回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能
転送空間	- ショートアドレスモードのとき 16M バイト (“0000 0000h” ~ “007F FFFFh” と “FF80 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (“0000 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域)	- ショートアドレスモードのとき 16M バイト (“0000 0000h” ~ “007F FFFFh” と “FF80 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト (“0000 0000h” ~ “FFFF FFFFh” のうち、予約領域以外の領域)

項目	RX62T(DTC)	RX26T(DTC ^b)
データ転送単位	1 データ : 8 ビット、16 ビット、32 ビット 1 ブロックサイズ : 1~255 データ	1 データ : 1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) 1 ブロックサイズ : 1~256 データ
CPU 割り込み要求	- DTC を起動した割り込みで CPU への割り込み要求発生が可能 1 回のデータ転送終了後に CPU への割り込み要求発生が可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求発生が可能	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	—	1 回のデータ転送後(ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	—	転送情報のライトバックを実行しない設定が可能
ディスプレイースメント加算	—	転送元アドレスにディスプレイースメントを加算可能(転送情報ごとに選択)
消費電力低減機能	—	モジュールストップ状態への遷移が可能

表 2.22 データトランスファコントローラのレジスタ比較

レジスタ	ビット	RX62T(DTC)	RX26T(DTC ^b)
MRA	WBDIS	—	ライトバックディスエーブルビット
MRB	SQEND	—	シーケンス転送終了ビット
	INDX	—	インデックステーブル参照ビット
	CHNS	DTC チェーン転送選択ビット 0 : 連続してチェーン転送を行う 1 : 転送カウンタ=0 のときのみチェーン転送を行う	DTC チェーン転送選択ビット 0 : 転送が終了するたびにチェーン転送を行う 1 : 転送カウンタが 1→0、または 1 → CRAH となったとき、チェーン転送を行う
MRC	—	—	DTC モードレジスタ C
DTCIBR	—	—	DTC インデックステーブルベースレジスタ
DTCOR	—	—	DTC オペレーションレジスタ
DTCSEQE	—	—	DTC シーケンス転送許可レジスタ
DTCDISP	—	—	DTC アドレスディスプレイースメントレジスタ

2.13 I/O ポート

表 2.23～表 2.27 に I/O ポートの概要比較を、表 2.28 に I/O ポートのレジスタ比較を示します。

表 2.23 I/O ポート 100 ピンの概要比較

項目	RX62T(100 ピン)	RX26T(100 ピン)
PORT0	—	P00,P01
PORT1	P10,P11	P10,P11
PORT2	P20～P24	P20～P24,P27
PORT3	P30～P33	P30～P33,P36,P37
PORT4	P40～P47	P40～P47
PORT5	P50～P55	P50～P55
PORT6	P60～P65	P60～P65
PORT7	P70～P76	P70～P76
PORT8	P80～P82	P80～P82
PORT9	P90～P96	P90～P96
PORTA	PA0～PA5	PA0～PA5
PORTB	PB0～PB7	PB0～PB7
PORTD	PD0～PD7	PD0～PD7
PORTE	PE0～PE5	PE0～PE5
PORTN	—	PN6,PN7

表 2.24 I/O ポート 80 ピンの概要比較

項目	RX62T(80 ピン)	RX26T(80 ピン)
PORT0	—	P00,P01
PORT1	P10,P11	P10,P11
PORT2	P20～P24	P20～P22,P27
PORT3	P30～P33	P30,P31,P36,P37
PORT4	P40～P47	P40～P47
PORT5	—	P50～P55
PORT6	P60～P63	P60,P64,P65
PORT7	P70～P76	P70～P76
PORT9	P91～P96	P90～P96
PORTA	PA2～PA5	PA3,PA5
PORTB	PB0～PB7	PB0～PB6
PORTD	PD3～PD7	PD2～PD7
PORTE	PE0,PE3,PE4	PE2～PE4
PORTN	—	PN6,PN7

表 2.25 I/O ポート 80 ピン(R5F562TxGDFF)の概要比較

項目	RX62T(80 ピン(R5F562TxGDFF))	RX26T(80 ピン)
PORT0	—	P00,P01
PORT1	P10	P10,P11
PORT2	P20,P22～P24	P20～P22,P27
PORT3	P30～P33	P30,P31,P36,P37
PORT4	P40～P47	P40～P47
PORT5	—	P50～P55
PORT6	—	P60,P64,P65

項目	RX62T(80 ピン(R5F562TxGDFF))	RX26T(80 ピン)
PORT7	P70~P76	P70~P76
PORT8	P80~P82	—
PORT9	P90~P96	P90~P96
PORTA	PA3,PA5	PA3,PA5
PORTB	PB0~PB7	PB0~PB6
PORTD	PD2~PD7	PD2~PD7
PORTE	PE0,PE1,PE3,PE4,PE5	PE2~PE4
PORTN	—	PN6,PN7

表 2.26 I/O ポート 64 ピンの概要比較

項目	RX62T(64 ピン)	RX26T(64 ピン)
PORT0	—	P00,P01
PORT1	P10,P11	P11
PORT2	P22~P24	P20~P22
PORT3	P30~P33	P36,P37
PORT4	P40~P47	P40~P47
PORT5	—	P52~P54
PORT6	—	P64,P65
PORT7	P70~P76	P70~P76
PORT9	P91~P94	P90~P96
PORTA	PA2~PA5	—
PORTB	PB0~PB7	PB0~PB6
PORTD	PD3~PD7	PD3~PD7
PORTE	PE2	PE2
PORTN	—	PN6,PN7

表 2.27 I/O ポートの機能比較

項目	ポート シンボル	RX62T	RX26T
入力プルアップ機能	PORT0	—	P00,P01
	PORT1	—	P10,P11
	PORT2	—	P20~P24,P27
	PORT3	—	P30~P33,P36,P37
	PORT4	—	P40~P47
	PORT5	—	P50~P55
	PORT6	—	P60~P65
	PORT7	—	P70~P76
	PORT8	—	P80~P82
	PORT9	—	P90~P96
	PORTA	—	PA0~PA5
	PORTB	—	PB0~PB7
	PORTD	—	PD0~PD7
	PORTE	—	PE0,PE1,PE3~PE5
	PORTN	—	PN6,PN7
オープンドレイン 出力機能	PORT0	—	P00,P01
	PORT1	—	P10,P11
	PORT2	—	P20~P24,P27
	PORT3	—	P30~P33,P36,P37
	PORT4	—	P40~P47
	PORT5	—	P50~P55
	PORT6	—	P60~P65
	PORT7	—	P70~P76
	PORT8	—	P80~P82
	PORT9	—	P90~P96
	PORTA	—	PA0~PA5
	PORTB	PB1(SCL のみ),PB2(SDA のみ)	PB0~PB7
	PORTD	—	PD0~PD7
	PORTE	—	PE0,PE1,PE3~PE5
	PORTN	—	PN6,PN7
5V トレラント	PORTB	—	PB1,PB2

表 2.28 I/O ポートのレジスタ比較

レジスタ	ビット名	RX62T	RX26T
DDR	—	データディレクションレジスタ	—
DR	—	データレジスタ	—
PORT	—	ポートレジスタ	—
ICR	—	入力バッファコントロールレジスタ	—
PF8IRQ	—	ポートファンクションレジスタ 8	—
PF9IRQ	—	ポートファンクションレジスタ 9	—
PFAADC	—	ポートファンクションレジスタ A	—
PFCMTU	—	ポートファンクションレジスタ C	—
PFDGPT	—	ポートファンクションレジスタ D	—
PFFSCI	—	ポートファンクションレジスタ F	—
PFGSPI	—	ポートファンクションレジスタ G	—
PFHSPI	—	ポートファンクションレジスタ H	—
PFJCAN	—	ポートファンクションレジスタ J	—
PFKLIN	—	ポートファンクションレジスタ K	—
PFMPOE	—	ポートファンクションレジスタ M	—
PFNPOE	—	ポートファンクションレジスタ N	—
PDR	—	—	ポート方向レジスタ
PODR	—	—	ポート出力データレジスタ
PIDR	—	—	ポート入力データレジスタ
PMR	—	—	ポートモードレジスタ
ODR0	—	—	オープンドレイン制御レジスタ 0
ODR1	—	—	オープンドレイン制御レジスタ 1
PCR	—	—	プルアップ制御レジスタ
DSCR	—	—	駆動能力制御レジスタ
DSCR2	—	—	駆動能力制御レジスタ 2
POHSR1	—	—	ポート出力保持設定レジスタ 1
POHSR2	—	—	ポート出力保持設定レジスタ 2
POHCR	—	—	ポート出力保持制御レジスタ
GPSEXT	—	—	汎用入出力端子選択拡張レジスタ

2.14 マルチファンクションタイマパルスユニット 3

表 2.29 にマルチファンクションタイマパルスユニット 3 の概要比較を、表 2.30 にマルチファンクションタイマパルスユニット 3 のレジスタ比較を示します。

表 2.29 マルチファンクションタイマパルスユニット 3 の概要比較

項目	RX62T(MTU3)	RX26T(MTU3d)
パルス入出力	最大 24 本	最大 28 本
パルス入力	3 本	3 本
カウントクロック	チャンネルごとに 6~8 種類 (チャンネル 5 は 4 種類)	チャンネルごとに 11 種類 (MTU0、MTU9 は 14 種類、MTU2 は 12 種類、MTU5 は 10 種類、MTU1&MTU2(LWA = 1 のとき)は 4 種類)
動作周波数	8~100MHz	~120MHz
設定可能動作	【MTU0~4,6,7】 - コンペアマッチによる波形出力 - インプットキャプチャ機能 - カウンタクリア動作 - 複数のタイマカウンタ (TCNT) への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 12 相の PWM 出力	【MTU0~MTU4, MTU6, MTU7, MTU9】 - コンペアマッチによる波形出力 - インプットキャプチャ機能 (ノイズフィルタ設定可能) - カウンタクリア動作 - 複数のタイマカウンタ (TCNT) への同時書き込み - コンペアマッチ/インプットキャプチャによる同時クリア - カウンタの同期動作による各レジスタの同期入出力 - 同期動作と組み合わせることによる最大 14 相の PWM 出力
	【MTU0,3,4,6,7】 バッファ動作を設定可能	【MTU0,MTU3,MTU4,MTU6,MTU7,MTU9】 バッファ動作を設定可能
	—	【MTU1, MTU2】 - 独立に位相計数モードを設定可能 - MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能 (TMDR3.LWA = 1 設定時) - カスケード接続動作が可能
	【MTU3,4,6,7】 - MTU3/4、および MTU6/7 の連動動作による相補 PWM、リセット PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 - 相補 PWM モード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD,MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 - 相補 PWM モードでダブルバッファ機能を設定可能	【MTU3,MTU4,MTU6,MTU7】 - MTU3/MTU4、および MTU6/MTU7 の連動動作による相補 PWM、リセット同期 PWM 動作で、6 相のポジ/ネガ計 12 相の出力が可能 - 相補 PWM モード時、タイマカウンタの山または谷のとき、またはバッファレジスタ (MTU4.TGRD,MTU7.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 - 相補 PWM モードでダブルバッファ機能を設定可能
	【MTU3,MTU4】 MTU0 と連動させて、相補 PWM、リセット PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能	【MTU3,MTU4】 MTU0 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能

項目	RX62T(MTU3)	RX26T(MTU3d)
設定可能動作	【MTU5】 デッドタイム補償用カウンタとして使用することが可能	【MTU5】 デッドタイム補償用カウンタとして使用することが可能
	—	【MTU6, MTU7】 MTU9 と連動させて、相補 PWM、リセット同期 PWM を用いた AC 同期モータ(ブラシレス DC モータ)駆動モードが設定可能で、2 種類(チョッピング、レベル)の波形出力が選択可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山/谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能	相補 PWM モード時に、カウンタの山、谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	38 種類	45 種類
バッファ動作	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)	レジスタデータの自動転送(バッファレジスタからタイマレジスタへの転送)
トリガ生成	- A/D コンバータの変換開始トリガを生成可能 - A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能	- A/D コンバータの変換開始トリガを生成可能 - A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.30 マルチファンクションタイマパルスユニット 3 のレジスタ比較

レジスタ	ビット	RX62T(MTU3)	RX26T(MTU3d)
TCR2	—	—	タイマコントロールレジスタ 2
TMDR1	BFE	バッファ動作 E ビット 0: MTU0.TGRE と MTU0.TGRF は通常動作 1: MTU0.TGRE と MTU0.TGRF はバッファ動作	バッファ動作 E ビット 0: MTU0.TGRE と MTU0.TGRF MTU9.TGRE と MTU9.TGRF は通常動作 1: MTU0.TGRE と MTU0.TGRF MTU9.TGRE と MTU9.TGRF はバッファ動作
TMDR3	—	—	タイマモードレジスタ 3

レジスタ	ビット	RX62T(MTU3)	RX26T(MTU3 ^d)
MTU0,TIORH	IOA[3:0]	I/O コントロール A ビット b3 b0 0 0 0 0:出力禁止 0 0 0 1:初期出力は Low 出力 コンペアマッチで Low 出力 0 0 1 0:初期出力は Low 出力 コンペアマッチで High 出力 0 0 1 1:初期出力は Low 出力 コンペアマッチで トグル出力 0 1 0 0:出力禁止 0 1 0 1:初期出力は High 出力 コンペアマッチで Low 出力 0 1 1 0:初期出力は High 出力 コンペアマッチで High 出力 0 1 1 1:初期出力は High 出力 コンペアマッチで トグル出力 1 0 0 0:立ち上がりエッジで インプットキャプチャ 1 0 0 1:立ち下がりエッジで インプットキャプチャ 1 0 1 x:両エッジでインプット キャプチャ 1 1 x x:キャプチャ入力元は MTU1/カウントクロック MTU1.TCNT のカウント アップ/カウントダウンで インプットキャプチャ	I/O コントロール A ビット b3 b0 0 0 0 0:出力禁止 0 0 0 1:初期出力は Low 出力 コンペアマッチで Low 出力 0 0 1 0:初期出力は Low 出力 コンペアマッチで High 出力 0 0 1 1:初期出力は Low 出力 コンペアマッチで トグル出力 0 1 0 0:出力禁止 0 1 0 1:初期出力は High 出力 コンペアマッチで Low 出力 0 1 1 0:初期出力は High 出力 コンペアマッチで High 出力 0 1 1 1:初期出力は High 出力 コンペアマッチで トグル出力 1 0 0 0:立ち上がりエッジで インプットキャプチャ 1 0 0 1:立ち下がりエッジで インプットキャプチャ 1 0 1 x:両エッジで インプットキャプチャ 1 1 0 x:キャプチャ入力元は MTU1/カウントクロック MTU1.TCNT(LWA = 0) または MTU1.TCNTLW (LWA = 1)のカウント アップ/カウントダウンで インプットキャプチャ
MTU9,TIORH	IOA[3:0]	—	I/O コントロール A ビット

レジスタ	ビット	RX62T(MTU3)	RX26T(MTU3 ^d)
MTU1,TIOR	IOB[3:0]	I/O コントロール B ビット b3 b0 0 0 0 0:出力禁止 0 0 0 1:初期出力は Low 出力 コンペアマッチで Low 出力 0 0 1 0:初期出力は Low 出力 コンペアマッチで High 出力 0 0 1 1:初期出力は Low 出力 コンペアマッチで トグル出力 0 1 0 0:出力禁止 0 1 0 1:初期出力は High 出力 コンペアマッチで Low 出力 0 1 1 0:初期出力は High 出力 コンペアマッチで High 出力 0 1 1 1:初期出力は High 出力 コンペアマッチで トグル出力 1 0 0 0:立ち上がりエッジで インプットキャプチャ 1 0 0 1:立ち下がりエッジで インプットキャプチャ 1 0 1 x:両エッジでインプット キャプチャ 1 1 x x:MTU0.TGRC のコンペア マッチ/インプットキャプ チャの発生でインプット キャプチャ	I/O コントロール B ビット b3 b0 0 0 0 0:出力禁止 0 0 0 1:初期出力は Low 出力 コンペアマッチで Low 出力 0 0 1 0:初期出力は Low 出力 コンペアマッチで High 出力 0 0 1 1:初期出力は Low 出力 コンペアマッチで トグル出力 0 1 0 0:出力禁止 0 1 0 1:初期出力は High 出力 コンペアマッチで Low 出力 0 1 1 0:初期出力は High 出力 コンペアマッチで High 出力 0 1 1 1:初期出力は High 出力 コンペアマッチで トグル出力 1 0 0 0:立ち上がりエッジで インプットキャプチャ 1 0 0 1:立ち下がりエッジで インプットキャプチャ 1 0 1 x:両エッジで インプットキャプチャ 1 1 0 x: MTU0.TGRC のコンペア マッチ/インプットキャプ チャの発生でインプット キャプチャ
MTU9,TIORH	IOB[3:0]	—	I/O コントロール B ビット
MTU9,TIORL	IOC[3:0]	—	I/O コントロール C ビット
MTU9,TIORL	IOD[3:0]	—	I/O コントロール D ビット

レジスタ	ビット	RX62T(MTU3)	RX26T(MTU3d)
TIORU、TIO RV、 TIO RW (MTU5)	IOC[4:0]	I/O コントロール C ビット 00000: コンペアマッチ 00001: 設定しないでください 0001x: 設定しないでください 001xx: 設定しないでください 01xxx: 設定しないでください 10000: 設定しないでください 10001: 立ち上がりエッジで インプットキャプチャ 10010: 立ち下がりエッジで インプットキャプチャ 10011: 両エッジでインプット キャプチャ 101xx: 設定しないでください 11000: 設定しないでください 11001: 外部入力信号の Low パルス幅測定用相補 PWM モードの谷で キャプチャ 11010: 外部入力信号の Low パルス幅測定用相補 PWM モードの山で キャプチャ 11011: 外部入力信号の Low パルス幅測定用相補 PWM モードの山と谷 でキャプチャ 11100: 設定しないでください 11101: 外部入力信号の High パルス幅測定用相補 PWM モードの谷で キャプチャ 11110: 外部入力信号の High パルス幅測定用相補 PWM モードの山で キャプチャ 11111: 外部入力信号の High パルス幅測定用相補 PWM モードの山と谷 でキャプチャ	I/O コントロール C ビット 00000: 機能なし 00001: 設定しないでください 0001x: 設定しないでください 001xx: 設定しないでください 01xxx: 設定しないでください 10000: 設定しないでください 10001: 立ち上がりエッジで インプットキャプチャ 10010: 立ち下がりエッジで インプットキャプチャ 10011: 両エッジでインプット キャプチャ 101xx: 設定しないでください 11000: 設定しないでください 11001: 外部入力信号の Low パルス幅測定用相補 PWM モードの谷で キャプチャ 11010: 外部入力信号の Low パルス幅測定用相補 PWM モードの山で キャプチャ 11011: 外部入力信号の Low パルス幅測定用相補 PWM モードの山と谷で キャプチャ 11100: 設定しないでください 11101: 外部入力信号の High パルス幅測定用相補 PWM モードの谷で キャプチャ 11110: 外部入力信号の High パルス幅測定用相補 PWM モードの山で キャプチャ 11111: 外部入力信号の High パルス幅測定用相補 PWM モードの山と谷 でキャプチャ
TSR	TGFA	インプットキャプチャ/アウト プットコンペアフラグ A	—
	TGFB	インプットキャプチャ/アウト プットコンペアフラグ B	—
	TGFC	インプットキャプチャ/アウト プットコンペアフラグ C	—
	TGFD	インプットキャプチャ/アウト プットコンペアフラグ D	—

レジスタ	ビット	RX62T(MTU3)	RX26T(MTU3 ^d)
TSR	TCFV	オーバフローフラグ	—
	TCFU	アンダフローフラグ	—
TBTM	TTSE	タイミング選択 E ビット 0: MTU0.TGRF から MTU0.TGRE への転送タイミングは MTU0 のコンペアマッチ E 発生時 1: MTU0.TGRF から MTU0.TGRE への転送タイミングは MTU0.TCNT クリア時	タイミング選択 E ビット 0: MTU0.TGRF から MTU0.TGRE, MTU9.TGRF から MTU9.TGRE の転送タイミングは MTU0, MTU9 のコンペアマッチ E 発生時 1: MTU0.TGRF から MTU0.TGRE, MTU9.TGRF から MTU9.TGRE への転送タイミングは MTU0.TCNT, MTU9.TCNT クリア時
TCNTLW	—	—	タイマロングワードカウンタ
TGRmLW	—	—	タイマロングワードジェネラルレジスタ m(m = A, B)
TSTR (RX62T) TSTRA/TSTRB/ TSTR (RX26T)	CST9	—	カウンタスタート 9 ビット
TSYR (RX62T) TSYRA/TSYRB (RX26T)	SYNC9	—	タイマ同期 9 ビット
TCSYSTR	SCH9	—	シンクロスタート 9 ビット
TOER (RX62T) TOERA/TOERB (RX26T)	—	タイマアウトプットマスタイネーブルレジスタ	タイマアウトプットマスタイネーブルレジスタ
TGCRB	—	—	タイマゲートコントロールレジスタ B
NFCRn	—	—	ノイズフィルタコントロールレジスタ n(n = 0~4,6,7,9,C)
NFCR5	—	—	ノイズフィルタコントロールレジスタ 5
TADSTRGR0	—	—	A/D 変換開始要求選択レジスタ 0
TADSTRGR1	—	—	A/D 変換開始要求選択レジスタ 1

2.15 ポートアウトプットイネーブル 3

表 2.31 にポートアウトプットイネーブル 3 の概要比較を、表 2.32 にポートアウトプットイネーブル 3 のレジスタ比較を示します。

表 2.31 ポートアウトプットイネーブル 3 の概要比較

項目	RX62T(POE3)	RX26T(POE3D)
出力停止時の端子の状態	• ハイインピーダンス • 汎用入出力ポート	• ハイインピーダンス • 汎用入出力ポート
出力停止制御対象端子	• MTU の出力端子 - MTU3 端子(MTI0C3B,MTI0C3D) - MTU4 端子(MTI0C4A,MTI0C4B,MTI0C4C,MTI0C4D) - MTU6 端子(MTI0C6B,MTI0C6D) - MTU7 端子(MTI0C7A,MTI0C7B,MTI0C7C,MTI0C7D) • GPT の出力端子 - GPT0 端子(GTI0C0A-A,GTI0C0B-A) - GPT1 端子(GTI0C0A-B,GTI0C0B-B) - GPT2 端子(GTI0C0A-C,GTI0C0B-C)	• MTU の出力端子 - MTU0 端子(MTI0C0A,MTI0C0B,MTI0C0C,MTI0C0D) - MTU3 端子(MTI0C3B,MTI0C3D) - MTU4 端子(MTI0C4A,MTI0C4B,MTI0C4C,MTI0C4D) - MTU6 端子(MTI0C6B,MTI0C6D) - MTU7 端子(MTI0C7A,MTI0C7B,MTI0C7C,MTI0C7D) - MTU9 端子(MTI0C9A,MTI0C9B,MTI0C9C,MTI0C9D) • GPTW の出力端子 - GPTW0 端子(GTI0C0A,GTI0C0B) - GPTW1 端子(GTI0C1A,GTI0C1B) - GPTW2 端子(GTI0C2A,GTI0C2B) - GPTW3 端子(GTI0C3A,GTI0C3B) - GPTW4 端子(GTI0C4A,GTI0C4B) - GPTW5 端子(GTI0C5A,GTI0C5B) - GPTW6 端子(GTI0C6A,GTI0C6B) - GPTW7 端子(GTI0C7A,GTI0C7B)
出力停止要求発生条件	• 入力端子の変化 : POE0#、POE4#、POE8#、POE10#、POE11#端子に信号が入力されたとき • SPOER レジスタ設定をしたとき • クロック発生回路の発振停止を検出したとき	• 入力端子の変化 : POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#端子に信号が入力されたとき • SPOER レジスタを設定したとき • メインクロック発生回路の発振停止を検出したとき • コンパレータ C(CMPC)の出力を検出したとき

項目	RX62T(POE3)	RX26T(POE3D)
出力停止要求発生条件	出力端子の短絡： 以下の組み合わせの出力信号レベル (アクティブレベル)が1サイクル以上一致 (短絡)したとき 【MTU 相補 PWM 出力端子】 - MTIOC3B と MTIOC3D - MTIOC4A と MTIOC4C - MTIOC4B と MTIOC4D - MTIOC6B と MTIOC6D - MTIOC7A と MTIOC7C - MTIOC7B と MTIOC7D 【GPT 出力端子】 - GTIOC0A-A と GTIOC0B-A - GTIOC1A-A と GTIOC1B-A - GTIOC2A-A と GTIOC2B-A	出力端子の短絡： 以下の組み合わせの出力信号レベル (アクティブレベル)が1サイクル以上一 致(短絡)したとき 【MTU 相補 PWM 出力端子】 - MTIOC3B と MTIOC3D - MTIOC4A と MTIOC4C - MTIOC4B と MTIOC4D - MTIOC6B と MTIOC6D - MTIOC7A と MTIOC7C - MTIOC7B と MTIOC7D 【GPTW 出力端子】 - GTIOC0A と GTIOC0B - GTIOC1A と GTIOC1B - GTIOC2A と GTIOC2B - GTIOC4A と GTIOC4B - GTIOC5A と GTIOC5B - GTIOC6A と GTIOC6B - GTIOC7A と GTIOC7B

項目	RX62T(POE3)	RX26T(POE3D)
機能	- POE0#、POE4#、POE8#、POE10#、POE11#の各入力端子に立ち下がりエッジ、PCLK/8×16 回、PCLK/16×16 回、PCLK/128×16 回の Low レベルサンプリングの設定が可能です。 - POE0#、POE4#、POE8#、POE10#、POE11#端子の立ち下がりエッジ、または Low レベルサンプリングによって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 - クロック発生回路の発振停止を検出した場合、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 - MTU 相補 PWM 出力端子または GPT 大電流出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子または GPT 大電流出力端子をハイインピーダンス状態にできます。 12 ビット A/D コンバータ(S12ADA)のコンパレータ検出によって、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 - POE3 のレジスタの設定により、MTU 相補 PWM 出力端子および MTU0 端子、GPT 端子をハイインピーダンス状態にできます。 - 入力レベルのサンプリング、または出力レベルの比較結果により、それぞれ割り込みの発生が可能です。	- POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#端子のそれぞれに立ち下がりエッジ検出または Low レベル検出の設定が可能です。Low レベル検出の場合、サンプリングクロックは PCLK/1、PCLK/2、PCLK/4、PCLK/8、PCLK/16、PCLK/128 から、サンプリング回数は 4 回、8 回、16 回から選択できます - POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#端子への入力の立ち下がりエッジ検出、または Low レベル検出によって、すべての制御対象端子の出力を停止できます - クロック発生回路の発振停止を検出した場合、すべての制御対象端子の出力を停止できます - MTU 相補 PWM 出力端子の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、MTU 相補 PWM 出力端子の出力を停止できます - GPTW 出力端子(GPTW0～GPTW2、GPTW4～GPTW6、GPTW7 端子)の出力レベルを比較し、同時にアクティブレベル出力が 1 サイクル以上続いた場合、GPTW 出力端子の出力を停止できます - コンパレータ C (CMPC)出力の検出によって、すべての制御対象端子の出力を停止できます - POE のレジスタの設定により、すべての制御対象端子の出力を停止できます - 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です - MTU 出力端子(MTU0～4、MTU6、MTU7、MTU9)、GPTW 出力端子(GPTW0～7)から出力される信号によって、POE0#、POE4#、POE8#、POE10#、POE11#、POE12#、POE9#端子および COMP0～COMP5 レベル検出信号による出力停止要求をマスクすることができます

表 2.32 ポートアウトプットイネーブル 3 のレジスタ比較

レジスタ	ビット	RX62T(POE3)	RX26T(POE3D)
ICSR1	POE0M[1:0] (RX62T) POE0M[3:0] (RX26T)	POE0 モード選択ビット b1 b0 0 0 : POE0#端子入力の立ち下がり エッジで要求を受け付け 0 1 : POE0#端子入力の Low を PCLK/8 クロックごとに 16 回 サンプリングし、すべて Low だった場合、要求を受け付け 1 0 : POE0#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け 付け 1 1 : POE0#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け 付け	POE0 モード選択ビット b3 b0 0 0 0 0 : POE0#端子入力の立ち下がり エッジまたは立ち上がりエッジ で要求を受け付け 0 0 0 1 : POE0#端子からの入力を PCLK/8 でサンプリングし、Low または High レベルが指定回数 連続で検出された場合、要求を 受け付け 0 0 1 0 : POE0#端子からの入力 PCLK/16 でサンプリングし、 Low または High レベルが指 定回数連続で検出された場 合、要求を受け付け 0 0 1 1 : POE0#端子からの入力を PCLK/128 でサンプリングし、 Low または High レベルが指定 回数連続で検出された場合、 要求を受け付け 0 1 0 0 : POE0#端子からの入力を PCLK でサンプリングし、Low または High レベルが指定回数 連続で検出された場合、要求を 受け付け 0 1 0 1 : POE0#端子からの入力を PCLK/2 でサンプリングし、 Low または High レベルが指定 回数連続で検出された場合、 要求を受け付け 0 1 1 0 : POE0#端子からの入力を PCLK/4 でサンプリングし、Low または High レベルが指定回数 連続で検出された場合、要求を 受け付け 上記以外は設定しないでください
	POE0M2[3:0]	—	POE0 サンプリング回数選択ビット
	INV	—	POE0#端子入力反転ビット

レジスタ	ビット	RX62T(POE3)	RX26T(POE3D)
ICSR2	POE4M[1:0] (RX62T) POE4M[3:0] (RX26T)	POE4 モード選択ビット b1 b0 0 0 : POE4#端子入力の立ち下がりエッジで要求を受け付け 0 1 : POE4#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0 : POE4#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1 : POE4#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	POE4 モード選択ビット b3 b0 0 0 0 0 : POE4#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1 : POE4#端子からの入力を PCLK/8 でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0 : POE4#端子からの入力 PCLK/16 でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1 : POE4#端子からの入力を PCLK/128 でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0 : POE4#端子からの入力を PCLK でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1 : POE4#端子からの入力を PCLK/2 でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0 : POE4#端子からの入力を PCLK/4 でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください
	POE4M2[3:0]	—	POE4 サンプリング回数選択ビット
	INV	—	POE4#端子入力反転ビット

レジスタ	ビット	RX62T(POE3)	RX26T(POE3D)
ICSR3	POE8M[1:0] (RX62T) POE8M[3:0] (RX26T)	POE8 モード選択ビット b1 b0 0 0 : POE8#端子入力の立ち下がりエッジで要求を受け付け 0 1 : POE8#端子入力の Low を PCLK/8 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 0 : POE8#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け 1 1 : POE8#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け付け	POE8 モード選択ビット b3 b0 0 0 0 0 : POE8#端子入力の立ち下がりエッジまたは立ち上がりエッジで要求を受け付け 0 0 0 1 : POE8#端子からの入力を PCLK/8 でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 0 : POE8#端子からの入力 PCLK/16 でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 0 0 1 1 : POE8#端子からの入力を PCLK/128 でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 0 : POE8#端子からの入力を PCLK でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 0 1 0 1 : POE8#端子からの入力を PCLK/2 でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 0 1 1 0 : POE8#端子からの入力を PCLK/4 でサンプリングし、Low または High レベルが指定回数連続で検出された場合、要求を受け付け 上記以外は設定しないでください
	POE8M2[3:0]	—	POE8 サンプリング回数選択ビット
	INV	—	POE8#端子入力反転ビット

レジスタ	ビット	RX62T(POE3)	RX26T(POE3D)
ICSR4	POE10M[1:0] (RX62T) POE10M[3:0] (RX26T)	POE10 モード選択ビット b1 b0 0 0 : POE10#端子入力の立ち下がリ エッジで要求を受け付け 0 1 : POE10#端子入力の Low を PCLK/8 クロックごとに 16 回 サンプリングし、すべて Low だった場合、要求を受け付け 1 0 : POE10#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け 付け 1 1 : POE10#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け 付け	POE10 モード選択ビット b3 b0 0 0 0 0 : POE10#端子入力の立ち下が リエッジまたは立ち上がりエッ ジで要求を受け付け 0 0 0 1 : POE10#端子からの入力を PCLK/8 でサンプリングし、 Low または High レベルが指定 回数連続で検出された場合、 要求を受け付け 0 0 1 0 : POE10#端子からの入力 PCLK/16 でサンプリングし、 Low または High レベルが指定 回数連続で検出された場合、 要求を受け付け 0 0 1 1 : POE10#端子からの入力を PCLK/128 でサンプリングし、 Low または High レベルが指定 回数連続で検出された場合、 要求を受け付け 0 1 0 0 : POE10#端子からの入力を PCLK でサンプリングし、Low または High レベルが指定回数 連続で検出された場合、要求を 受け付け 0 1 0 1 : POE10#端子からの入力を PCLK/2 でサンプリングし、 Low または High レベルが指定 回数連続で検出された場合、 要求を受け付け 0 1 1 0 : POE10#端子からの入力を PCLK/4 でサンプリングし、Low または High レベルが指定回数 連続で検出された場合、要求を 受け付け 上記以外は設定しないでください
	POE10M2[3:0]	—	POE10 サンプリング回数選択ビット
	INV	—	POE10#端子入力反転ビット

レジスタ	ビット	RX62T(POE3)	RX26T(POE3D)
ICSR5	POE11M[1:0] (RX62T) POE11M[3:0] (RX26T)	POE11 モード選択ビット b1 b0 0 0 : POE11#端子入力の立ち下がリ エッジで要求を受け付け 0 1 : POE11#端子入力の Low を PCLK/8 クロックごとに 16 回 サンプリングし、すべて Low だった場合、要求を受け付け 1 0 : POE11#端子入力の Low を PCLK/16 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け 付け 1 1 : POE11#端子入力の Low を PCLK/128 クロックごとに 16 回サンプリングし、すべて Low だった場合、要求を受け 付け	POE11 モード選択ビット b3 b0 0 0 0 0 : POE11#端子入力の立ち下が リエッジまたは立ち上がりエッ ジで要求を受け付け 0 0 0 1 : POE11#端子からの入力を PCLK/8 でサンプリングし、 Low または High レベルが指定 回数連続で検出された場合、 要求を受け付け 0 0 1 0 : POE11#端子からの入力 PCLK/16 でサンプリングし、 Low または High レベルが指定 回数連続で検出された場合、 要求を受け付け 0 0 1 1 : POE11#端子からの入力を PCLK/128 でサンプリングし、 Low または High レベルが指定 回数連続で検出された場合、 要求を受け付け 0 1 0 0 : POE11#端子からの入力を PCLK でサンプリングし、Low または High レベルが指定回数 連続で検出された場合、要求を 受け付け 0 1 0 1 : POE11#端子からの入力を PCLK/2 でサンプリングし、 Low または High レベルが指定 回数連続で検出された場合、 要求を受け付け 0 1 1 0 : POE11#端子からの入力を PCLK/4 でサンプリングし、Low または High レベルが指定回数 連続で検出された場合、要求を 受け付け 上記以外は設定しないでください
	POE11M2[3:0]	—	POE11 サンプリング回数選択ビット
	INV	—	POE11#端子入力反転ビット
ICSR6	—	—	入力レベルコントロール / ステータスレジスタ 6
ICSR7	—	—	入力レベルコントロール / ステータスレジスタ 7
ICSR8	—	—	入力レベルコントロール / ステータスレジスタ 8

レジスタ	ビット	RX62T(POE3)	RX26T(POE3D)
OCSR3	—	—	出力レベルコントロール/ ステータスレジスタ 3
OCSR4	—	—	出力レベルコントロール/ ステータスレジスタ 4
OCSR5	—	—	出力レベルコントロール/ ステータスレジスタ 5
ALR2	—	—	アクティブレベルレジスタ 2
ALR3	—	—	アクティブレベルレジスタ 3
ALR4	—	—	アクティブレベルレジスタ 4
ALR5	—	—	アクティブレベルレジスタ 5
SPOER	—	ソフトウェアポートアウトプットイネーブルレジスタ SPOER は、8 ビットレジスタです。	ソフトウェアポートアウトプットイネーブルレジスタ SPOER は、 16 ビットレジスタです。
	GPT01HIZ	GPT0、GPT1 端子出力停止許可ビット	GPTW0、GPTW1 端子出力停止許可ビット
	GPT23HIZ	GPT2、GPT3 端子出力停止許可ビット	GPTW2、GPTW3 端子出力停止許可ビット
	MTUCH9HIZ	—	MTU9 端子出力停止許可ビット
	GPT02HIZ	—	GPTW0～GPTW2 端子出力停止許可ビット
	GPT46HIZ	—	GPTW4～GPTW6 端子出力停止許可ビット
	GPT79HIZ	—	GPTW7 端子出力停止許可ビット
POECR3	GPT2ABZE	GPT CH2AB ハイインピーダンス許可ビット(b8)	GTIOC2A/GTIOC2B 端子ハイインピーダンス許可ビット(b2)
	GPT3ABZE	GPT CH3AB ハイインピーダンス許可ビット(b9)	GTIOC3A/GTIOC3B 端子ハイインピーダンス許可ビット(b3)
	GPT4ABZE	—	GTIOC4A/GTIOC4B 端子ハイインピーダンス許可ビット
	GPT5ABZE	—	GTIOC5A/GTIOC5B 端子ハイインピーダンス許可ビット
	GPT6ABZE	—	GTIOC6A/GTIOC6B 端子ハイインピーダンス許可ビット
	GPT7ABZE	—	GTIOC7A/GTIOC7B 端子ハイインピーダンス許可ビット
POECR4	IC1ADDMT34ZE	—	MTU3、MTU4 出力停止条件 POE0F 追加ビット
	IC6ADDMT34ZE	—	MTU3、MTU4 出力停止条件 POE12F 追加ビット
	IC8ADDMT34ZE	—	MTU3、MTU4 出力停止条件 POE9F 追加ビット
	CMADDMT67ZE	MTU CH67 ハイインピーダンス CFLAG 追加ビット	
	IC1ADDMT67ZE	MTU CH67 ハイインピーダンス POE0F 追加ビット	
	IC3ADDMT67ZE	MTU CH67 ハイインピーダンス POE8F 追加ビット	—

レジスタ	ビット	RX62T(POE3)	RX26T(POE3D)
POECR4	IC4ADDMT67ZE	MTU CH67 ハイインピーダンス POE10F 追加ビット	—
	IC5ADDMT67ZE	MTU CH67 ハイインピーダンス POE11F 追加ビット	—
POECR4B	—	—	ポートアウトプットイネーブル コントロールレジスタ 4B
POECR5	IC3ADDMT0ZE	—	MTU0 出力停止条件 POE8F 追加 ビット
	IC6ADDMT0ZE	—	MTU0 出力停止条件 POE12F 追加 ビット
	IC8ADDMT0ZE	—	MTU0 出力停止条件 POE9F 追加 ビット
POECR6	IC4ADDGPT01ZE	—	GPTW0、GPTW1 出力停止条件 POE10F 追加ビット
	IC6ADDGPT01ZE	—	GPTW0、GPTW1 出力停止条件 POE12F 追加ビット
	IC8ADDGPT01ZE	—	GPTW0、GPTW1 出力停止条件 POE9F 追加ビット
	CMADDGPT23ZE	GPT CH23 ハイインピーダンス CFLAG 追加ビット	—
	IC1ADDGPT23ZE	GPT CH23 ハイインピーダンス POE0F 追加ビット	—
	IC2ADDGPT23ZE	GPT CH23 ハイインピーダンス POE4F 追加ビット	—
	IC3ADDGPT23ZE	GPT CH23 ハイインピーダンス POE8F 追加ビット	—
	IC4ADDGPT23ZE	GPT CH23 ハイインピーダンス POE10F 追加ビット	—
POECR6B	—	—	ポートアウトプットイネーブル コントロールレジスタ 6B
POECR7	—	—	ポートアウトプットイネーブル コントロールレジスタ 7
POECR8	—	—	ポートアウトプットイネーブル コントロールレジスタ 8
POECR9	—	—	ポートアウトプットイネーブル コントロールレジスタ 9
POECR10	—	—	ポートアウトプットイネーブル コントロールレジスタ 10
POECR11	—	—	ポートアウトプットイネーブル コントロールレジスタ 11
PMMCR0	—	—	ポートモードマスクコントロール レジスタ 0
PMMCR1	—	—	ポートモードマスクコントロール レジスタ 1
PMMCR2	—	—	ポートモードマスクコントロール レジスタ 2
POECMPFR	—	—	ポートアウトプットイネーブルコン パレータ検出フラグレジスタ

レジスタ	ビット	RX62T(POE3)	RX26T(POE3D)
POECMPSEL	—	—	ポートアウトプットイネーブルコンパレータ要求選択レジスタ
POECMPExm	—	—	ポートアウトプットイネーブルコンパレータ要求拡張選択レジスタ m(m = 0~8)
M0SELR1	—	—	MTU0 端子選択レジスタ 1
M0SELR2	—	—	MTU0 端子選択レジスタ 2
M3SELR	—	—	MTU3 端子選択レジスタ
M4SELR1	—	—	MTU4 端子選択レジスタ 1
M4SELR2	—	—	MTU4 端子選択レジスタ 2
M6SELR	—	—	MTU6 端子選択レジスタ
M7SELR1	—	—	MTU7 端子選択レジスタ 1
M7SELR2	—	—	MTU7 端子選択レジスタ 2
M9SELR1	—	—	MTU9 端子選択レジスタ 1
M9SELR2	—	—	MTU9 端子選択レジスタ 2
G0SELR	—	—	GPTW0 端子選択レジスタ
G1SELR	—	—	GPTW1 端子選択レジスタ
G2SELR	—	—	GPTW2 端子選択レジスタ
G3SELR	—	—	GPTW3 端子選択レジスタ
G4SELR	—	—	GPTW4 端子選択レジスタ
G5SELR	—	—	GPTW5 端子選択レジスタ
G6SELR	—	—	GPTW6 端子選択レジスタ
G7SELR	—	—	GPTW7 端子選択レジスタ
IMCR0	—	—	入力信号マスク制御レジスタ 0
IMCR1	—	—	入力信号マスク制御レジスタ 1
IMCR2	—	—	入力信号マスク制御レジスタ 2
IMCR3	—	—	入力信号マスク制御レジスタ 3
IMCR4	—	—	入力信号マスク制御レジスタ 4
IMCR5	—	—	入力信号マスク制御レジスタ 5
IMCR6	—	—	入力信号マスク制御レジスタ 6
IMCR9	—	—	入力信号マスク制御レジスタ 9
IMCR10	—	—	入力信号マスク制御レジスタ 10
IMCR11	—	—	入力信号マスク制御レジスタ 11
IMCR12	—	—	入力信号マスク制御レジスタ 12
IMCR13	—	—	入力信号マスク制御レジスタ 13
IMCR14	—	—	入力信号マスク制御レジスタ 14

2.16 汎用 PWM タイマ

表 2.33 に汎用 PWM タイマの概要比較を、表 2.34 に汎用 PWM タイマのレジスタ比較を示します。

表 2.33 汎用 PWM タイマの概要比較

項目	RX62T(GPT/GPTa)	RX26T(GPTWa)
機能	16 ビット×4 チャンネル - 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、アップダウンカウント（三角波） - チャンネルごとに独立したクロックソースを選択可能 - チャンネルごとに2本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 - 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 - チャンネルごとにフレーム周期用レジスタを搭載（オーバフロー/アンダフローで割り込み可能） - それぞれのカウンタを同期動作可能 - 同期動作のモード（同時または任意のタイミングでずらす位相シフトに対応） - PWM 動作の際にデッドタイム生成が可能 3つのカウンタを組み合わせ、デッドタイム付きの3相 PWM 波形を生成可能 - 外部/内部トリガによりカウントスタート/クリア/ストップ可能 - 内部トリガ要因として、コンパレータ検出、ソフトウェア、コンペアマッチ - 分周された IWDG 専用の低速オンチップオシレータクロックのエッジを、システムクロック（ICLK）を分周したカウントクロックで計測することが可能（発振異常検出） - 各チャンネル2本の PWM 出力端子に対し、システムクロック（ICLK）の 1/32 の分解能で立ち上がり/立ち下がりタイミングの制御が可能（PWM 遅延生成機能）（RX62G グループのみ）	32 ビット×8 チャンネル (RAM 容量が 64K バイトの製品) 16 ビット×8 チャンネル (RAM 容量が 48K バイトの製品) - 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、アップダウンカウント（三角波） - チャンネルごとに独立したクロックソースを選択可能 - チャンネルごとに2本の入出力端子 - チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 - 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 - アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 - チャンネルごとにフレーム周期用レジスタを搭載（オーバフロー / アンダフローで割り込み可能） - チャンネル間で同期セット/クリア/インプットキャプチャが可能 - PWM 動作の際にデッドタイム生成が可能 - 最大4本の外部トリガにより、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能

項目	RX62T(GPT/GPTa)	RX26T(GPTWa)
機能		• PWM 出力 100%/0%近傍のデューティを高精度に生成可能 • アウトプットコンペア動作時にコンペアレジスタの設定を即時反映し、デッドタイムを確保した PWN 波形を生成可能 • 任意のチャンネルのカウンタを同時スタート/ストップ/クリア可能 • ELC 設定により、最大 8 つの ELC イベントによるカウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • 2 本の入力信号の状態を検出し、カウントスタート/カウントストップ/カウンタクリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 • デッドタイムエラー、POEG からの出力停止要求による出力ネゲート制御機能 • A/D 変換開始トリガ生成機能 • コンペアマッチ A~F イベント信号、オーバーフロー /アンダフローイベント信号を ELC へ出力可能 • インプットキャプチャ入力にはノイズフィルタ機能を選択可能 • サイクルカウント機能 • 外部入力のパルス幅測定機能 • チャンネル間でコンペアマッチ出力の論理演算が可能 • バスクロック : PCLKA、GPTW カウント基準クロック : PCLKC • 周波数比 PCLKA : PCLKC = 1 : N (N = 1/2)

表 2.34 汎用 PWM タイマのレジスタ比較

レジスタ	ビット	RX62T(GPT/GPTa)	RX26T(GPTWa)
GTSTR	CST0(RX62T) CSTRT0(RX26T)	GPT0.GTCNT カウントスタートビット	チャンネル 0 カウントスタートビット
	CST1(RX62T) CSTRT1(RX26T)	GPT1.GTCNT カウントスタートビット	チャンネル 1 カウントスタートビット
	CST2(RX62T) CSTRT2(RX26T)	GPT2.GTCNT カウントスタートビット	チャンネル 2 カウントスタートビット
	CST3(RX62T) CSTRT3(RX26T)	GPT3.GTCNT カウントスタートビット	チャンネル 3 カウントスタートビット
	CSTRT4	—	チャンネル 4 カウントスタートビット
	CSTRT5	—	チャンネル 5 カウントスタートビット
GTSTR	CSTRT6	—	チャンネル 6 カウントスタートビット
	CSTRT7	—	チャンネル 7 カウントスタートビット
GTHSCR	—	汎用 PWM タイマハードウェア要因スタートコントロールレジスタ	—

レジスタ	ビット	RX62T(GPT/GPTa)	RX26T(GPTWa)
GTHCCR	—	汎用 PWM タイマハードウェア 要因クリアコントロールレジスタ	—
GTHSSR	—	汎用 PWM タイマハードウェア スタート要因セレクトレジスタ	—
GTHPSR	—	汎用 PWM タイマハードウェア ストップ・クリア要因セレクト レジスタ	—
GTWP	WP0	GPT0 レジスタ書き込み許可 ビット	—
	WP1	GPT1 レジスタ書き込み許可 ビット	—
	WP2	GPT2 レジスタ書き込み許可 ビット	—
	WP3	GPT3 レジスタ書き込み許可 ビット	—
	WP	—	レジスタ書き込み禁止ビット
	STRWP	—	GTSTR.CSTRT ビット書き込み 禁止ビット
	STPWP	—	GTSTP.CSTOP ビット書き込み 禁止ビット
	CLRWP	—	GTCLR.CCLR ビット書き込み禁 止ビット
	CMNWP	—	共通レジスタ書き込み禁止ビット
	PRKEY[7:0]	—	GTWP キーコードビット
GTSYNC	—	汎用 PWM タイマシンクロ レジスタ	—
GTETINT	—	汎用 PWM タイマ外部トリガ入 力割り込みレジスタ	—
GTBDR	—	汎用 PWM タイマバッファ動作 禁止レジスタ	—
GTSWP	—	汎用 PWM タイマスタート書き 込み保護レジスタ	—
LCCR	—	LOCO カウントコントロール レジスタ	—
LCST	—	LOCO カウントステータス レジスタ	—
LCNT	—	LOCO カウント値レジスタ	—
LCNTA	—	LOCO カウント結果平均 レジスタ	—
LCNTn	—	LOCO カウント結果レジスタ n (n=00 ~ 15)	—
LCNTDU/ LCNTDL	—	LOCO カウント上限/下限許容 偏差値レジスタ	—
GTIOR	GTIOA[5:0] (RX62T) GTIOA[4:0] (RX26T)	GTIOCnA 端子機能選択ビット GTIOR は 16 ビットのレジスタで す	GTIOCnA 端子機能選択ビット GTIOR は 32 ビットのレジスタで す
	CPSCIR	—	相補 PWM モード同期クリア初期 出力抑止ビット
	OAE	—	GTIOCnA 端子出カインーブル ビット
	OADF[1:0]	—	GTIOCnA 端子ネゲート値設定 ビット

レジスタ	ビット	RX62T(GPT/GPTa)	RX26T(GPTWa)
GTIOR	OAEOCD	—	GTCCRA レジスタコンペアマッチ時周期の終わり出力設定無効ビット
	PSYE	—	PWM 周期同期出力許可ビット
	NFAEN	—	GTIOCnA 端子入力ノイズフィルタイネーブルビット
	NFCSA[1:0]	—	GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択ビット
	GTIOB[5:0] (RX62T) GTIOB[4:0] (RX26T)	GTIOCnB 端子機能選択ビット (b13-b8)	GTIOCnB 端子機能選択ビット (b20-b16)
	OBDFLT	GTIOCnB 端子カウント停止時の出力値ビット(b14)	GTIOCnB 端子カウントストップ時の出力値ビット(b22)
	OBHLD	GTIOCnB 端子カウント開始停止時の出力保持ビット(b15)	GTIOCnB 端子カウントスタート/ストップ時の出力保持ビット(b23)
	OBE	—	GTIOCnB 端子出力イネーブルビット
	OBDF[1:0]	—	GTIOCnB 端子ネゲート値設定ビット
	OBEOCD	—	GTCCRB レジスタコンペアマッチ時周期の終わり出力設定無効ビット
	NFBEN	—	GTIOCnB 端子入力ノイズフィルタイネーブルビット
	NFCSB[1:0]	—	GTIOCnB 端子入力ノイズフィルタサンプリングクロック選択ビット
GTINTAD	—	汎用 PWM タイマ割り込み出力設定レジスタ GTINTAD は 16 ビットレジスタです	汎用 PWM タイマ割り込み出力設定レジスタ GTINTAD は 32 ビットレジスタです
	SCFA	—	GTCCRA レジスタコンペアマッチ/インプットキャプチャ要因同期クリア許可ビット
	SCFB	—	GTCCRB レジスタコンペアマッチ/インプットキャプチャ要因同時クリア許可ビット
	SCFC	—	GTCCRC レジスタコンペアマッチ要因同時クリア許可ビット
	SCFD	—	GTCCRD レジスタコンペアマッチ要因同時クリア許可ビット
	SCFE	—	GTCCRE レジスタコンペアマッチ要因同時クリア許可ビット
	SCFF	—	GTCCRF レジスタコンペアマッチ要因同時クリア許可ビット
	SCFPO	—	オーバフロー要因同時クリア許可ビット
	SCFPU	—	アンダフロー要因同時クリア許可ビット

レジスタ	ビット	RX62T(GPT/GPTa)	RX26T(GPTWa)
GTINTAD	EINT	デッドタイムエラー割り込み許可ビット	—
	GRP[1:0]	—	出力停止グループ選択ビット
	GRPDTE	—	デッドタイムエラー出力停止検出許可ビット
	GRPABH	—	同時 High 出力停止検出許可ビット
	GRPABL	—	同時 Low 出力停止検出許可ビット
	GTINTPC	—	サイクルカウント終了割り込み許可ビット
GTCR	—	汎用 PWM タイマコントロールレジスタ GTCR は 16 ビットレジスタです	汎用 PWM タイマコントロールレジスタ GTCR は 32 ビットレジスタです
	CST	—	カウントスタートビット
	ICDS	—	カウント停止時インプットキャプチャ動作選択ビット
	SCGTIOC	—	GTIOC 入力要因同期クリア許可ビット
	SSCGRP[1:0]	—	同期セット/クリアグループ選択ビット
	CPSCD	—	相補 PWM モード同期クリア禁止ビット
	SSCEN	—	同期セット/リセット許可ビット
	MD[2:0](RX62T) MD[3:0](RX26T)	モード選択ビット b2 b0 0 0 0 : のこぎり波 PWM モード (シングル/ダブルバッファ可) 0 0 1 : のこぎり波ワンショットパルスモード(バッファ動作固定) 0 1 0 : 設定しないでください 0 1 1 : 設定しないでください 1 0 0 : 三角波 PWM モード 1 (谷 16 ビット転送) (シングル/ダブルバッファ可)	モード選択ビット b19 b16 0 0 0 0 : のこぎり波 PWM モード 1(シングル/ダブルバッファ可能) 0 0 0 1 : のこぎり波ワンショットパルスモード(バッファ動作固定) 0 0 1 0 : のこぎり波 PWM モード 2(シングル/ダブルバッファ可能) 0 0 1 1 : 設定しないでください 0 1 0 0 : 三角波 PWM モード 1 (谷 32 ビット転送) (シングル/ダブルバッファ可能)

レジスタ	ビット	RX62T(GPT/GPTa)	RX26T(GPTWa)
GTCR	MD[2:0](RX62T) MD[3:0](RX26T)	1 0 1 : 三角波 PWM モード 2 (山/谷 16 ビット転送) (シングル/ダブルバッファ可) 1 1 0 : 三角波 PWM モード 3(谷 32 ビット転送) (バッファ動作 固定) 1 1 1 : 設定しないでください	0 1 0 1 : 三角波 PWM モード 2 (山/谷 32 ビット転送)(シングル/ダブルバッファ 可能) 0 1 1 0 : 三角波 PWM モード 3 (谷 64 ビット転送) (バッ ファ動作固定) 0 1 1 1 : 設定しないでください 1 0 0 0 : 設定しないでください 1 0 0 1 : 設定しないでください 1 0 1 0 : 設定しないでください 1 0 1 1 : 設定しないでください 1 1 0 0 : 相補 PWM モード 1 (山転 送) ^(注 1) 1 1 0 1 : 相補 PWM モード 2 (谷転 送) ^(注 1) 1 1 1 0 : 相補 PWM モード 3 (山/ 谷転送) ^(注 1) 1 1 1 1 : 相補 PWM モード 4 (即時転送) ^(注 1)
	TPCS[1:0]	タイマプリスケラ選択ビット b9 b8 0 0 : ICLK(システムクロック) 0 1 : ICLK/2(システムクロック/2) 1 0 : ICLK/4(システムクロック/4) 1 1 : ICLK/8(システムクロック/8)	タイマプリスケラ選択ビット b26 b23 0 0 0 0 : PCLKC 0 0 0 1 : PCLKC/2 0 0 1 0 : PCLKC/4 0 0 1 1 : PCLKC/8 0 1 0 0 : PCLKC/16 0 1 0 1 : PCLKC/32 0 1 1 0 : PCLKC/64 0 1 1 1 : PCLKC/128 1 0 0 0 : PCLKC/256 1 0 0 1 : PCLKC/512 1 0 1 0 : PCLKC/1024 1 0 1 1 : 設定しないでください 1 1 0 0 : GTETRGA (POEG 経由) 1 1 0 1 : GTETRGB (POEG 経由) 1 1 1 0 : GTETRGC (POEG 経由) 1 1 1 1 : GTETRGD (POEG 経由)
	CCLR[1:0]	カウンタクリア要因選択ビット	—
	CKEG[1:0]	—	クロックエッジ選択ビット
GTBER	—	汎用 PWM タイマバッファイ ネーブルレジスタ GTBER は 16 ビット長のレジスタ です	汎用 PWM タイマバッファイ ネーブルレジスタ GTBER は 32 ビット長のレジスタ です
	BD[0]	—	GTCCRA/GTCCRB レジスタの バッファ動作禁止ビット
	BD[1]	—	GTPR レジスタのバッファ動作禁 止ビット
GTBER	BD[2]	—	GTADTRA/GTADTRB レジスタの バッファ動作禁止ビット

レジスタ	ビット	RX62T(GPT/GPTa)	RX26T(GPTWa)
GTBER	BD[3]	—	GTDVU/GTDVD レジスタのバッファ動作禁止ビット
	DBRTECA	—	GTCCRA レジスタのダブルバッファリピート動作許可ビット
	DBRTSCA	—	GTCCRA レジスタのダブルバッファリピート動作期間選択ビット
	DBRTECB	—	GTCCRB レジスタのダブルバッファリピート動作許可ビット
	DBRTSCB	—	GTCCRB レジスタのダブルバッファリピート動作期間選択ビット
	DBRTEADA	—	GTADTRA レジスタのダブルバッファリピート動作許可ビット
	DBRTSADA	—	GTADTRA レジスタのダブルバッファリピート期間選択ビット
	DBRTEADB	—	GTADTRB レジスタのダブルバッファリピート動作許可ビット
	DBRTSADB	—	GTADTRB レジスタのダブルバッファリピート期間選択ビット
	CCRA[1:0]	GTCCRA バッファ動作ビット (b1-b0)	GTCCRA バッファ動作ビット (b17-b16)
	CCRB[1:0]	GTCCRB バッファ動作ビット (b3-b2)	GTCCRB バッファ動作ビット (b19-b18)
	PR[1:0]	GTPR バッファ動作ビット (b5-b4)	GTPR バッファ動作ビット (b21-b20)
	CCRSWT	GTCCRA・GTCCRB 強制バッファ動作ビット (b6)	GTCCRA・GTCCRB 強制バッファ動作ビット (b22)
	ADTTA[1:0]	GTADTRA バッファ転送タイミング選択ビット (b7)	GTADTRA バッファ転送タイミング選択ビット (b23)
	ADTDA	GTADTRA ダブルバッファ動作ビット (b10)	GTADTRA ダブルバッファ動作ビット (b26)
	ADTTB[1:0]	GTADTRB バッファ転送タイミング選択ビット (b13-b12)	GTADTRB バッファ転送タイミング選択ビット (b29-b28)
	ADTDB	GTADTRB ダブルバッファ動作ビット (b14)	GTADTRB ダブルバッファ動作ビット (b30)
GTUDC	—	汎用 PWM タイマカウンタ方向レジスタ	—
GTITC	—	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ GTITC は 16 ビット長のレジスタです	汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ GTITC は 32 ビット長のレジスタです
GTST	—	汎用 PWM タイマステータスレジスタ GTST は 16 ビット長のレジスタです	汎用 PWM タイマステータスレジスタ GTST は 32 ビット長のレジスタです
	ADTRAUF	—	GTADTRA レジスタコンペアマッチ(アップカウンタ) A/D 変換開始要求フラグ
	ADTRAUF	—	GTADTRA レジスタコンペアマッチ(ダウンカウンタ) A/D 変換開始要求フラグ

レジスタ	ビット	RX62T(GPT/GPTa)	RX26T(GPTWa)
GTST	ADTRBUF	—	GTADTRB レジスタコンペアマッチ(アップカウント) A/D 変換開始要求フラグ
	ADTRBDF	—	GTADTRB レジスタコンペアマッチ(ダウンカウント) A/D 変換開始要求フラグ
	ODF	—	出力停止要求フラグ
	DTEF	デッドタイムエラーフラグ(b11)	デッドタイムエラーフラグ(b28)
	TUCF	カウント方向フラグ	—
	OABHF	—	同時 High 出力フラグ
	OABLF	—	同時 Low 出力フラグ
	PCF	—	サイクルカウント終了フラグ
GTCNT	—	汎用 PWM タイマカウンタ GTCNT は 16 ビット長レジスタです	汎用 PWM タイマカウンタ GTCNT は 32 ビット長レジスタです
GTCCRm	—	汎用 PWM タイマコンペアキャプチャレジスタ m (m = A~F) GTCCRm は 16 ビット長レジスタです	汎用 PWM タイマコンペアキャプチャレジスタ m (m = A~F) GTCCRm は 32 ビット長レジスタです
GTPR	—	汎用 PWM タイマ周期設定レジスタ GTPR は 16 ビット長レジスタです	汎用 PWM タイマ周期設定レジスタ GTPR は 32 ビット長レジスタです
GTPBR	—	汎用 PWM タイマ周期設定バッファレジスタ GTPBR は 16 ビット長レジスタです	汎用 PWM タイマ周期設定バッファレジスタ GTPBR は 32 ビット長レジスタです
GTPDBR	—	汎用 PWM タイマ周期設定ダブルバッファレジスタ GTPDBR は 16 ビット長レジスタです	汎用 PWM タイマ周期設定ダブルバッファレジスタ GTPBR は 32 ビット長レジスタです
GTADTRm	—	A/D 変換開始要求タイミングレジスタ m (m = A~B) GTADTRm は 16 ビット長レジスタです	A/D 変換開始要求タイミングレジスタ m (m = A~B) GTADTRm は 32 ビット長レジスタです
GTADTBRm	—	A/D 変換開始要求タイミングバッファレジスタ m (m = A~B) GTADTBRm は 16 ビット長レジスタです	A/D 変換開始要求タイミングバッファレジスタ m (m = A~B) GTADTBRm は 32 ビット長レジスタです
GTADTDBRm	—	A/D 変換開始要求タイミングダブルバッファレジスタ m GTADTDBRm 16 ビット長レジスタです	A/D 変換開始要求タイミングダブルバッファレジスタ m GTADTDBRm は 32 ビット長レジスタです
GTONCR	—	汎用 PWM タイマ出力ネゲートコントロールレジスタ	—
GTDTCR	—	デッドタイムコントロールレジスタ GTDTCR は 16 ビット長レジスタです	デッドタイムコントロールレジスタ GTDTCR は 32 ビット長レジスタです
GTDVm	—	汎用 PWM タイマデッドタイム値レジスタ m(m = U、D) GTDVm は 16 ビット長レジスタです	汎用 PWM タイマデッドタイム値レジスタ m(m = U、D) GTDVm は 32 ビット長レジスタです

レジスタ	ビット	RX62T(GPT/GPTa)	RX26T(GPTWa)
GTDBm	—	汎用 PWM タイマデッドタイムバッファレジスタ m(m=U、D) GTDBm は 16 ビット長レジスタです	汎用 PWM タイマデッドタイムバッファレジスタ m(m=U、D) GTDBm は 32 ビット長レジスタです
GTSOS	—	汎用 PWM タイマ出力保護機能ステータスレジスタ GTSOS は 16 ビット長レジスタです	汎用 PWM タイマ出力保護機能ステータスレジスタ GTSOS は 32 ビット長レジスタです
GTSOTR	—	汎用 PWM タイマ出力保護機能一時解除レジスタ GTSOTR は 16 ビット長レジスタです	汎用 PWM タイマ出力保護機能一時解除レジスタ GTSOTR は 32 ビット長レジスタです
GTDLYCR	—	PWM 出力遅延制御レジスタ	—
GTDLYRA	—	GTIOCA 立ち上がり出力遅延レジスタ	—
GTDLYFA	—	GTIOCA 立ち下がり出力遅延レジスタ	—
GTDLYRB	—	GTIOCB 立ち上がり出力遅延レジスタ	—
GTDLYFB	—	GTIOCB 立ち下がり出力遅延レジスタ	—
GTCLR	—	—	汎用 PWM タイマソフトウェアクリアレジスタ
GTSSR	—	—	汎用 PWM タイマスタート要因セレクトレジスタ
GTPSR	—	—	汎用 PWM タイマストップ要因セレクトレジスタ
GTCSR	—	—	汎用 PWM タイマクリア要因セレクトレジスタ
GTUPSR	—	—	汎用 PWM タイマカウンタアップ要因セレクトレジスタ
GTDNSR	—	—	汎用 PWM タイマカウンタダウン要因セレクトレジスタ
GTICASR	—	—	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ A
GTICBSR	—	—	汎用 PWM タイマインプットキャプチャ要因セレクトレジスタ B
GTUDDTYC	—	—	汎用 PWM タイマカウンタ方向、デューティ設定レジスタ
GTIOR	—	—	汎用 PWM タイマ I/O 制御レジスタ
GTADSMR	—	—	汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ
GTEITC	—	—	汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ
GTEITLI1	—	—	汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1
GTEITLI2	—	—	汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2
GTEITLB	—	—	汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ

レジスタ	ビット	RX62T(GPT/GPTa)	RX26T(GPTWa)
GTICLF	—	—	汎用 PWM タイマチャンネル間論理演算レジスタ
GTPC	—	—	汎用 PWM タイマサイクルカウントレジスタ
GTADCMSC	—	—	汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き制御レジスタ
GTADCMSS	—	—	汎用 PWM タイマ A/D 変換開始要求コンペアマッチ間引き設定レジスタ
GTSECSR	—	—	汎用 PWM タイマ動作許可ビット同時制御チャンネル選択レジスタ
GTSECR	—	—	汎用 PWM タイマ動作許可ビット同時制御レジスタ
GTBER2	—	—	汎用 PWM タイマバッファイネーブルレジスタ 2
GTOLBR	—	—	汎用 PWM タイマ出力レベルバッファレジスタ
GTICCR	—	—	汎用 PWM タイマチャンネル間連携インプットキャプチャ制御レジスタ
OPSCR	—	—	出力位相スイッチ制御レジスタ

注 1. GPTW3、GPTW7 では、設定しないでください。

2.17 コンペアマッチタイマ

表 2.35 にコンペアマッチタイマの概要比較を示します。

表 2.35 コンペアマッチタイマの概要比較

項目	RX62T (CMT)	RX26T(CMT)
カウントクロック	4 種類の分周クロック PCLK/8、PCLK /32、PCLK /128、 PCLK /512 の中から各チャネル個々に 選択可能	4 種類の分周クロック PCLK/8、PCLK/32、PCLK/128、 PCLK/512 の中からチャネルごとに 選択可能
割り込み	コンペアマッチ割り込みを各チャネル 個々に要求することが可能	コンペアマッチ割り込みをチャネルごと に要求することが可能
イベントリンク 機能(出力)	—	CMT1 のコンペアマッチによりイベント 信号出力
イベントリンク 機能(入力)	—	- 設定したモジュールに対してリンク 動作が可能 - CMT1 のカウントスタート、イベント カウンタ、カウントリスタート動作が 可能
消費電力低減機能	ユニットごとにモジュールストップ状態 への設定が可能	ユニットごとにモジュールストップ状態 への設定が可能

2.18 ウォッチドッグタイマ

表 2.36 にウォッチドッグタイマの概要比較を、表 2.37 にウォッチドッグタイマのレジスタ比較を示します。

表 2.36 ウォッチドッグタイマの概要比較

項目	RX62T(WDT)	RX26T(WDTA)
カウントソース	周辺モジュールクロック(PCLK)	周辺モジュールクロック(PCLK)
クロック分周比	PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192、PCLK/32768、PCLK/131072	4 分周/64 分周/128 分周/512 分周/2048 分周/8192 分周
カウント動作	8 ビットタイマによるアップカウント	14 ビットのダウンカウンタによるダウンカウント
動作モード	ウォッチドッグタイマモード、インターバルタイマモードの切り替え	—
カウント開始条件	TCSR.TME ビットを“1”(TCNT カウンタはカウントを開始)にする	- オートスタートモード：リセット解除後、自動的にカウント開始 - レジスタスタートモード：リフレッシュ動作(WDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む)により、カウント開始
カウント停止条件	TCSR.TME ビットを“1”(TCNT カウンタはカウントを停止し、“00h”に初期化する)にする	- リセット - 低消費電力状態 - アンダフロー、リフレッシュエラー発生時(レジスタスタートモード時のみ)
ウィンドウ機能	—	ウィンドウ開始/終了位置を設定可能(リフレッシュ許可/禁止期間)
ウォッチドッグタイマリセット発行要因	カウンタがオーバフローすると、外部に WDTOVF#信号を出力、同時に LSI 内部をリセットするかどうかを選択可能	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	—	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行ったとき(リフレッシュエラー)
カウンタ値の読み出し	TCNT を読み出すことで、カウンタ値の読み出しが可能	WDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
インターバルタイマモード	カウンタがオーバフローすると、インターバルタイマ割り込み(WOVI)が発生	—

表 2.37 ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62T(WDT)	RX26T(WDT ^A)
TCNT	—	タイマカウンタ	—
TCSR	—	タイマコントロール／ステータスレジスタ	—
RSTCSR	—	リセットコントロール／ステータスレジスタ	—
WINA	—	ライトウィンドウ A レジスタ	—
WINB	—	ライトウィンドウ B レジスタ	—
WDTRR	—	—	WDT リフレッシュレジスタ
WDTCR	—	—	WDT コントロールレジスタ
WDTSR	—	—	WDT ステータスレジスタ
WDTRCR	—	—	WDT リセットコントロールレジスタ
OFS0	—	—	オプション機能選択レジスタ 0

2.19 独立ウォッチドッグタイマ

表 2.38 に独立ウォッチドッグタイマの概要比較を、表 2.39 に独立ウォッチドッグタイマのレジスタ比較を示します。

表 2.38 独立ウォッチドッグタイマの概要比較

項目	RX62T(IWDT)	RX26T(IWDTa)
カウントソース	IWDT 専用クロック (IWDTCLK)	IWDT 専用クロック (IWDTCLK)
カウント分周比	1 分周/16 分周/32 分周/64 分周/128 分周/256 分周	1 分周/16 分周/32 分周/64 分周/128 分周/256 分周
カウント動作	14 ビットのダウンカウンタによるダウンカウント	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	ダウンカウンタのリフレッシュ (IWDTRR レジスタに 00h を書いた後、FFh を書く) によりカウント開始	- オートスタートモード: リセット解除後、自動的にカウント開始 - レジスタスタートモード: リフレッシュ動作 (IWDTRR レジスタに “00h” を書き込み後、“FFh” を書き込む) により、カウント開始
カウント停止条件	- リセット (ダウンカウンタ、レジスタは初期値に戻ります。) - アンダフロー発生時	- リセット - 低消費電力状態 (レジスタ設定による) - アンダフロー、リフレッシュエラー発生時 (レジスタスタートモード時のみ)
ウィンドウ機能	—	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	ダウンカウンタがアンダフローしたとき	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
ノンマスカブル割り込み/割り込み要因	—	- ダウンカウンタがアンダフローしたとき - リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタの読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
イベントリンク機能 (出力)	—	- ダウンカウンタのアンダフローイベント出力 - リフレッシュエラーイベント出力
出力信号 (内部信号)	—	- リセット出力 - 割り込み要求出力 - スリープモードカウント停止制御出力

項目	RX62T(IWDT)	RX26T(IWDTa)
オートスタートモード (オプション機能選択 レジスタ 0(OFS0)制御)	—	- リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDRPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDRPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択 (OFS0.IWDRSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	—	- リフレッシュ動作後のクロック分周比の選択(IWDTCR.CKS[3:0]ビット) - 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCR.TOPS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCR.RPSS[1:0]ビット) - 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCR.RPES[1:0]ビット) - リセット出力、または割り込み要求出力の選択(IWDTCCR.RSTIRQS ビット) - スリープモード、ソフトウェアスタンバイモード、または全モジュールクロックストップモード遷移時のダウンカウント停止の選択 (IWDTCSTPR.SLCSTP ビット)

表 2.39 独立ウォッチドッグタイマのレジスタ比較

レジスタ	ビット	RX62T(IWDT)	RX26T(IWDT ^a)
IWDTCR	CKS[3:0]	クロック選択ビット b7 b4 0 0 — — : IWDTCCLK 0 1 0 0 : IWDTCCLK/16 0 1 0 1 : IWDTCCLK/32 0 1 1 0 : IWDTCCLK/64 0 1 1 1 : IWDTCCLK/128 1 — — — : IWDTCCLK/256	クロック選択ビット b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16 分周 0 0 1 1 : 32 分周 0 1 0 0 : 64 分周 0 1 0 1 : 256 分周 1 1 1 1 : 128 分周 上記以外は設定しないでください
	RPES[1:0]	—	ウィンドウ終了位置選択ビット
	RPSS[1:0]	—	ウィンドウ開始位置選択ビット
IWDTSR	REFEF	—	リフレッシュエラーフラグ
IWDTRCR	—	—	IWDT リセットコントロールレジスタ
IWDTCSTPR	—	—	IWDT カウント停止コントロールレジスタ
OFS0	—	—	オプション機能選択レジスタ 0

2.20 シリアルコミュニケーションインタフェース

表 2.40 にシリアルコミュニケーションインタフェースの概要比較を、表 2.41 に SCI チャンネル別仕様比較を、表 2.42 にシリアルコミュニケーションインタフェースのレジスタ比較を示します。

表 2.40 シリアルコミュニケーションインタフェースの概要比較

項目		RX62T (SCIb)	RX26T(SCIk, SCIlh)
チャンネル数		SCIb : 3 チャンネル	- SCIk : 3 チャンネル - SCIlh : 1 チャンネル
シリアル通信方式		- 調歩同期式 - クロック同期式 - スマートカードインタフェース	- 調歩同期式 - クロック同期式 - スマートカードインタフェース - 簡易 I²C バス - 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		- 送信部 : ダブルバッファ構成による連続送信が可能 - 受信部 : ダブルバッファ構成による連続受信が可能	- 送信部 : ダブルバッファ構成による連続送信が可能 - 受信部 : ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
入出力信号レベル反転		—	入力信号、出力信号のレベルをそれぞれ独立して反転可能(SCI1, SCI5, SCI6)
RXD 入力信号選択機能 (SCI5 のみ対応)		—	伝送線路の影響により RXD 信号が減衰した場合、コンパレータをレシーバ代わりに使用して改善可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー	- 送信終了、送信データエンプティ、受信データフル、受信エラー、データ一致 (SCI1, SCI5, SCI6) - 開始条件/再開条件/停止条件生成終了(簡易 I²C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への遷移が可能	チャンネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	—	CTS#端子、RTSn#端子を用いた送受信制御が可能
	データ一致検出	—	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能(SCI1, SCI5, SCI6)
	スタートビットの検出	Low または立ち下がりエッジを選択可能	Low または立ち下がりエッジを選択可能

項目		RX62T (SCIb)	RX26T(SCIk, SCIlh)
調歩同期式モード	受信データサンプリングタイミング調整	—	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能(SCI1, SCI5, SCI6)
	送信信号変化タイミング調整	—	送信データの立ち下がリエッジまたは立ち上がりエッジのいずれかを遅延させることが可能(SCI1, SCI5, SCI6)
	ブレーク検出	フレーミングエラー発生時、RXDn (n=0~2) 端子のレベルを直接読むことでブレークを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出す、または SPTR.RXDMON フラグを読み出す (SCI5,SCI6) ことでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能(SCI5, SCI6, SCI12)
	倍速モード	—	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn (n=0~2) 端子入力のノイズ除去が可能	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット	8 ビット
	受信エラーの検出	オーバランエラー	オーバランエラー
	ハードウェアフロー制御	—	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマートカードインタフェースモード	エラー処理	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信フォーマット	—	I ² C バスフォーマット
	動作モード	—	マスタ(シングルマスタ動作のみ)
	転送速度	—	ファストモード対応
	ノイズ除去	—	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	—	8 ビット
	エラーの検出	—	オーバランエラー
	SS 入力端子機能	—	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	—	クロック位相、クロック極性の設定を 4 種類から選択可能
拡張シリアルモード (SCI12 のみ対応)	Start Frame 送信	—	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり

項目		RX62T (SCIb)	RX26T(SCIk, SCIlh)
拡張 シリアル モード (SCI12 の み対応)	Start Frame 受信	—	● Break Field Low width の検出が可能/ 検出完了割り込み機能あり ● Control Field 0、Control Field 1 の データ比較/一致割り込み機能あり ● Control Field 1 にはプライマリ/セカンダリ の 2 種類の比較データを設定可能 ● Control Field 1 にプライオリティ インタラプトビットを設定可能 ● Break Field がない Start Frame にも 対応可能 ● Control Field 0 がない StartFrame にも 対応可能 ● ビットレート測定機能あり
	入出力制御 機能	—	● TXDX12/RXDX12 信号の極性選択が可能 ● RXDX12 信号にデジタルフィルタ機能を 設定可能 ● RXDX12 端子と TXDX12 端子を兼用した 半二重通信が可能 ● RXDX12 端子受信データサンプリング タイミング選択可能
	タイマ機能	—	リロードタイマ機能として使用可能
ビットレート モジュレーション機能		—	内蔵ボーレートジェネレータの出力補正に より誤差を低減可能
イベントリンク機能 (SCI5 のみ対応)		—	● エラー(受信エラー・エラーシグナル検 出)イベント出力 ● 受信データフルイベント出力 ● 送信データエンプティイベント出力 ● 送信終了イベント出力

表 2.41 SCI チャンネル別仕様比較

項目	RX62T (SCIg)	RX26T(SCIk, SCIf)
調歩同期式モード	SCI0, SCI1, SCI2	SCI1, SCI5, SCI6, SCI12
クロック同期式モード	SCI0, SCI1, SCI2	SCI1, SCI5, SCI6, SCI12
スマートカードインタフェースモード	SCI0, SCI1, SCI2	SCI1, SCI5, SCI6, SCI12
簡易 I ² C モード	—	SCI1, SCI5, SCI6, SCI12
簡易 SPI モード	—	SCI1, SCI5, SCI6, SCI12
データ一致検出	—	SCI1, SCI5, SCI6
拡張シリアルモード	—	SCI12
TMR クロック入力	—	SCI5, SCI6, SCI12
イベントリンク機能	—	SCI5
周辺モジュールクロック	PCLK : SCI0, SCI1, SCI2	PCLKB : SCI1, SCI5, SCI6, SCI12

表 2.42 シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX62T(SCI _g)	RX26T(SCI _k , SCI _h)
RDRH, RDRL, RDRHL	—	—	レシーブデータレジスタ H、L、HL
TDRH, TDRL, TDRHL	—	—	トランスミットデータレジスタ H、L、HL
SMR	CHR	キャラクタ長ビット (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信 ^(注 1) 1 : データ長 7 ビットで送受信 ^(注 2)	キャラクタレングスビット (調歩同期式モードのみ有効 ^(注 1)) SCMR.CHR1 ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長 9 ビットで送受信 0 1 : データ長 9 ビットで送受信 1 0 : データ長 8 ビットで送受信 (初期値) 1 1 : データ長 7 ビットで送受信 ^(注 2)
	CM	コミュニケーションモードビット 0 : 調歩同期式モードで動作 1 : クロック同期式モードで動作	コミュニケーションモードビット 0 : 調歩同期式モード、または簡易 I ² C モードで動作 1 : クロック同期式モード、または簡易 SPI モードで動作

レジスタ	ビット	RX62T(SCI _g)	RX26T(SCI _k , SCI _h)
SCR	CKE[1:0]	シリアルコントロールレジスタ 調歩同期式の場合 b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn 端子は入出力ポートとして 使用可能 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと同じ 周波数のクロックを出力 1 0 : 外部クロック SCKn 端子からビットレートの 16 倍の周波数のクロックを 入力してください。SEMR.ABCS ビットが“1”のときは 8 倍の周波数 のクロックを入力してください 1 1 : 外部クロック SCKn 端子からビットレートの 16 倍の周波数のクロックを 入力してください。SEMR.ABCS ビットが“1”のときは 8 倍の周波数 のクロックを入力してください クロック同期式の場合 b1 b0 0 0 : 内部クロック SCKn 端子はクロック出力端子 0 1 : 内部クロック SCKn 端子はクロック出力端子 1 0 : 外部クロック SCKn 端子はクロック入力端子 1 1 : 外部クロック SCKn 端子はクロック入力端子	シリアルコントロールレジスタ (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn 端子はハイインピーダンス になります 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと同 じ周波数のクロックを出力します 1 x : 外部クロックまたは TMR クロック 外部クロック使用時は、SCKn 端子からビットレートの 16 倍の 周波数のクロックを入力して ください。 SEMR.ABCS ビットが“1”のときは 8 倍の周波数のクロックを入力して ください。 TMR クロック使用時は、 SCKn 端子はハイインピーダンス になります。 (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn 端子はクロック出力端子と なります 1 x : 外部クロック SCKn 端子はクロック入力端子と なります
MDDR	—	—	モジュレーションデューティレジスタ
SEMR	ACS0	—	調歩同期クロックソースセレクトビット
	ITE	—	即時送信許可ビット
	BRME	—	ビットレートモジュレーション イネーブルビット
	ABCSE	—	調歩同期基本クロックセレクト拡張 ビット ^(注 3)
	BGDM	—	ポーレートジェネレータ倍速モード セレクトビット

レジスタ	ビット	RX62T(SCI _g)	RX26T(SCI _k , SCI _h)
SEMR	NFEN	ノイズ除去機能選択ビット (調歩同期式モードのみ有効) 0 : RXDn 端子入力のノイズ除去機能無効 1 : RXDn 端子入力のノイズ除去機能有効	デジタルノイズフィルタ機能イネーブルビット (調歩同期式モード) 0 : RXDn 入力信号のノイズ除去機能無効 1 : RXDn 入力信号のノイズ除去機能有効 (簡易 I2C モード) 0 : SSCLn、SSDAn 入力信号のノイズ除去機能無効 1 : SSCLn、SSDAn 入力信号のノイズ除去機能有効 上記以外のモードでは、NFEN ビットを“0”にしてください。
CDR	—	—	比較データレジスタ
DCCR	—	—	データ比較制御レジスタ
SPTR	—	—	シリアルポートレジスタ
TMGR	—	—	送受信タイミング選択レジスタ
ESMER	—	—	拡張シリアルモード有効レジスタ
CR0	—	—	コントロールレジスタ 0
CR1	—	—	コントロールレジスタ 1
CR2	—	—	コントロールレジスタ 2
CR3	—	—	コントロールレジスタ 3
PCR	—	—	ポートコントロールレジスタ
ICR	—	—	割り込みコントロールレジスタ
STR	—	—	ステータスレジスタ
STCR	—	—	ステータスクリアレジスタ
CF0DR	—	—	Control Field 0 データレジスタ
CF0CR	—	—	Control Field 0 コンペアイネーブルレジスタ
CF0RR	—	—	Control Field 0 受信データレジスタ
PCF1DR	—	—	プライマリ Control Field 1 データレジスタ
SCF1DR	—	—	セカンダリ Control Field 1 データレジスタ
CF1CR	—	—	Control Field 1 コンペアイネーブルレジスタ
CF1RR	—	—	Control Field 1 受信データレジスタ
TCR	—	—	タイマコントロールレジスタ
TMR	—	—	タイマモードレジスタ
TPRE	—	—	タイマプリスケラレジスタ
TCNT	—	—	タイマカウントレジスタ

注 1. クロック同期式モードでは、設定値にかかわらず、データ長は 8 ビットになります。

注 2. LSB ファースト固定となり、送信では TDR レジスタの MSB(b7) は送信されません。

注 3. SCI12 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

2.21 I²C バスインタフェース

表 2.43 に I²C バスインタフェースの概要比較を、表 2.44 に I²C バスインタフェースのレジスタ比較を示します

表 2.43 I²C バスインタフェースの概要比較

項目	RX62T(RIIC)	RX26T(RIICa)
通信フォーマット	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保	- I²C バスフォーマット/SMBus フォーマット - マスタ/スレーブ選択可能 - 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	~400 kbps	ファストモード対応(~400 kbps)
SCL クロック	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能	マスタ時、SCL クロックのデューティ比を 4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	- スレーブアドレスを 3 セット設定可能 7 ビット/10 ビットアドレスフォーマット対応 (混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能	- 異なるスレーブアドレスを 3 種類まで設定可能 7 ビット/10 ビットアドレスフォーマット対応(混在可能) - ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能
アクノリッジ応答	- 送信時、アクノリッジビットの自動ロード - ノーアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能	- 送信時、アクノリッジビットの自動ロード - ノットアクノリッジ受信時に次送信データ転送の自動中断が可能 - 受信時、アクノリッジビットの自動送出 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジ応答のソフトウェア制御が可能
ウェイト機能	- 受信時、SCL クロックの Low ホールドによるウェイトが可能 8 クロック目と 9 クロック目の間をウェイト 9 クロック目と 1 クロック目の間をウェイト(WAIT 機能)	- 受信時、SCL ラインの Low ホールドによるウェイトが可能 8 クロック目と 9 クロック目の間でウェイト 9 クロック目と 1 クロック目の間でウェイト
SDA 出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能	アクノリッジ送信を含むデータ送信出力の変化タイミングを遅延させることが可能

項目	RX62T(RIIC)	RX26T(RIICa)
アービトレーション	- マルチマスタ対応 - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能 - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノーアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能	- マルチマスタ対応 - 他のマスタとの SCL 衝突時、SCL の同期動作可能 - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - マスタ時、送信データ不一致でアービトレーションロスト検出可能 - バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能(スタートコンディションの二重発行防止) - ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能 - スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能	内蔵タイムアウト検出機能により SCL の長時間停止を検出可能
ノイズ除去	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をプログラマブルに調整可能	SCL、SDA 入力にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4 種類 - 通信エラー / イベント発生 (AL 検出、NACK 検出、タイムアウト検出、スタートコンディション検出(リスタートコンディション含む)、ストップコンディション検出) - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了	4 種類 - 通信エラー/通信イベント アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出 (リスタートコンディション含む)、ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能
RIIC の動作モード	—	4 種類 - マスタ送信モード - マスタ受信モード - スレーブ送信モード - スレーブ受信モード

項目	RX62T(RIIC)	RX26T(RIICa)
イベントリンク機能(出力)	—	● 4 種類(RIIC0) - 通信エラー/通信イベント発生、アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出 (リスタートコンディション含む)、ストップコンディション検出 - 受信データフル (スレーブアドレス一致時含む) - 送信データエンプティ (スレーブアドレス一致時含む) - 送信終了

表 2.44 I²C バスインタフェースのレジスタ比較

レジスタ	ビット	RX62T(RIIC)	RX26T(RIICa)
ICMR2	TMWE	タイムアウト内部カウンタ書き込み許可ビット	—
ICIER	RIE	受信データフル割り込み許可ビット 0 : 受信データフル割り込み(ICRXI)の禁止 1 : 受信データフル割り込み(ICRXI)の許可	受信データフル割り込み要求許可ビット 0 : 受信データフル割り込み(RXI)要求の禁止 1 : 受信データフル割り込み(RXI)要求の許可
	TEIE	送信終了割り込み許可ビット 0 : 送信終了割り込み (ICTEI) の禁止 1 : 送信終了割り込み (ICTEI) の許可	送信終了割り込み要求許可ビット 0 : 送信終了割り込み(TEI)要求の禁止 1 : 送信終了割り込み(TEI)要求の許可
	TIE	送信データエンプティ割り込み許可ビット 0 : 送信データエンプティ割り込み (ICTXI)の禁止 1 : 送信データエンプティ割り込み (ICTXI)の許可	送信データエンプティ割り込み許可ビット 0 : 送信データエンプティ割り込み (TXI)要求の禁止 1 : 送信データエンプティ割り込み (TXI)要求の許可
TMOCNT	—	タイムアウト内部カウンタ	—

2.22 CAN モジュール/CAN FD モジュール

表 2.45 に CAN モジュール/CAN FD モジュールの概要比較、表 2.46 に CAN モジュール/CAN FD モジュールのレジスタ比較を示します。

表 2.45 CAN モジュール/CAN FD モジュールの概要比較

項目	RX62T(CAN)	RX26T(CANFD)
プロトコル	ISO 11898-1 規格準拠 (標準フレーム/拡張フレーム)	ISO 11898-1:2015 仕様に準拠
ビットレート (RX62T) データ転送レート (RX26T)	1Mbps 以下のビットレートをプログラム可能 (fCAN ≥ 8MHz) fCAN : CAN クロックソース	アービトレーションフェーズ : 最高 1 Mbps データフェーズ : 最高 8 Mbps (注1)
動作周波数	PCLKB : 60MHz (max)	レジスタ部 : 最高 60 MHz (PCLKB) メッセージバッファ RAM : 最高 120 MHz (PCLKA)
データリンク層動作 クロック(DLL クロック)	—	最高 60 MHz (CANFDMCLK と CANFDCLK のいずれかを選択可能)
メッセージボックス (RX62T) メッセージバッファ (RX26T)	32 メールボックス : 2 種類のメールボックス モードを選択可能 - 通常メールボックスモード : 32 メールボックスを送信または受信用に 設定可能 - FIFO メールボックスモード : 24 メールボックスを送信または受信用に 設定可能 残りのメールボックスを送信用に 4 段、 受信用に 4 段の FIFO を設定可能	- 受信メッセージバッファ : 32 個 - 送信メッセージバッファ : 4 個 - 送信キュー : 1 個 送信キューへのメッセージ自動転送を サポート
フレームタイプ	- 標準フォーマット(11 ビット ID) データフレーム - 拡張フォーマット(29 ビット ID) データフレーム - 標準フォーマット(11 ビット ID) リモートフレーム - 拡張フォーマット(29 ビット ID) リモートフレーム	Classic CAN (CAN 2.0) - 標準フォーマット(11 ビット ID) データフレーム - 拡張フォーマット(29 ビット ID) データフレーム - 標準フォーマット(11 ビット ID) リモートフレーム - 拡張フォーマット(29 ビット ID) リモートフレーム CAN FD (注1) - 標準フォーマット(11 ビット ID) データフレーム - 拡張フォーマット(29 ビット ID) データフレーム

項目	RX62T(CAN)	RX26T(CAN ^{FD})
受信	- データフレームとリモートフレームを受信可能 - 受信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能 - ワンショット受信機能を選択可能 - オーバライトモード (メッセージ上書き) かオーバランモード (メッセージ破棄) を選択可能 - 受信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能	- データフレームとリモートフレームを受信可能 - 受信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能 - 受信メッセージバッファ割り込みの許可/禁止をメッセージバッファごとに個別に設定可能
データ長	0~8 バイト	Classic CAN : 0~8 バイト CAN FD : 0~8、12、16、20、24、32、48、64 バイト ^(注1)
アクセプタンスフィルタ	8 つのアクセプタンスマスク (4 メールボックスごとに個別のマスク) - メールボックスはマスクの有効/無効を個別に設定可能	以下のフィールドでフィルタリング可能 - IDE ビット(標準フォーマット/拡張フォーマット/両方) - ID フィールド - RTR ビット(データフレーム/リモートフレーム) (Classic CAN のみ) - DLC フィールド(データ長) ペイロードサイズ超過時の保護機能あり 通信中にアクセプタンスフィルタリスト(AFL)のエントリを更新可能
送信	- データフレームとリモートフレームを送信可能 - 送信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準と拡張両方の ID) を選択可能 - ワンショット送信機能を選択可能 - ID 優先送信モードかメールボックス番号優先送信モードを選択可能 - 送信要求をアボート可能 (フラグでアボート完了を確認可能) - 送信完了割り込みの許可/禁止をメールボックスごとに個別に設定可能	- データフレームとリモートフレームを送信可能 - 送信する ID フォーマット (標準 ID のみ、拡張 ID のみ) を選択可能 - ワンショット送信機能を選択可能 - ID 優先送信モードかメッセージバッファ番号優先送信モードを選択可能 - 送信要求をアボート可能 (フラグでアボート完了を確認可能) - チャンネル送信割り込みの許可/禁止を設定可能
FIFO	24 メールボックスを送信または受信用に設定可能 - 残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設定可能	FIFO サイズはプログラマブル - 受信 FIFO : 2 個 - 共通 FIFO : 1 個(受信 FIFO として使用するか送信 FIFO として使用するかを選択可能)
送信間隔自動調整	—	共通 FIFO を送信 FIFO として使用しているときに有効 FIFO から送信されるメッセージの送信間隔を調整可能

項目	RX62T(CAN)	RX26T(CAN ^{FD})
バスオフ復帰方法	バスオフ状態からの復帰方法を選択可能 - ISO 11898-1 規格準拠 - バスオフ開始で自動的に CAN Halt モードへ移行 - バスオフ終了で自動的に CAN Halt モードへ移行 - プログラムにより CAN Halt モードへ移行 - プログラムによりエラーアクティブ状態へ遷移	バスオフ状態からの復帰方法を選択可能 - ノーマルモード(ISO 11898-1 準拠) - バスオフ開始時に自動的に CH_HALT モードに入ります。 - バスオフ終了時に自動的に CH_HALT モードに入ります。 - ソフトウェアにより CH_HALT モード (バスオフリカバリ期間中)に入ります。 - プログラムによりエラーアクティブ状態へ遷移
タイムスタンプ機能	16 ビットカウンタによるタイムスタンプ機能 - 基準クロックは、1、2、4、8 ビット - タイムから選択可能	送信時、受信時のタイムスタンプ機能
割り込み機能	5 種類の割り込み要因 (受信完了割り込み、送信完了割り込み、受信 FIFO 割り込み、送信 FIFO 割り込み、エラー割り込み)	受信 FIFO 割り込み グローバルエラー割り込み チャンネル送信割り込み チャンネルエラー割り込み 共通 FIFO 受信割り込み 受信メッセージバッファ割り込み
CAN スリープモード	CAN クロックを停止することで消費電流を低減可能	CAN ノードのモジュール起動停止機能 (CH_SLEEP モードと GL_SLEEP モード)
エラー状態の監視	- CAN バスエラー (スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー) を監視可能 - エラー状態の遷移を検出可能 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) - エラーカウンタを読み出し可能	—
ソフトウェアサポート	—	受信メッセージにラベル情報を自動付加
ソフトウェアサポートユニット	3 つのソフトウェアサポートユニット - アクセプタンスフィルタサポート - メールボックス検索サポート (受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) - チャンネル検索サポート	—
テストモード	ユーザ評価用に 3 つのテストモードを用意 - リッスンオンリモード - セルフテストモード 0 (外部ループバック) - セルフテストモード 1 (内部ループバック)	- 基本テストモード - リッスンオンリモード - セルフテストモード 0 (外部ループバックモード) - セルフテストモード 1 (内部ループバックモード)
パワーダウン機能	—	CAN ノードのモジュール起動停止機能 (CH_SLEEP モードと GL_SLEEP モード) モジュールストップ状態への遷移が可能
RAM	—	RAM ECC 保護

注 1. CAN FD プロトコル対応製品のみ

表 2.46 CAN モジュール/CAN FD モジュールのレジスタ比較

レジスタ	ビット	RX62T(CAN)	RX26T(CANFD)
CTLR	—	制御レジスタ	—
BCR	—	ビットコンフィギュレーション レジスタ	—
MKRk	—	マスクレジスタ k(k = 0~7)	—
FIDCR0 FIDCR1	—	FIFO 受信 ID 比較レジスタ 0、1	—
MKIVLR	—	マスク無効レジスタ	—
MBj	—	メールボックスレジスタ j (j = 0~31)	—
MIER	—	メールボックス割り込み許可レジスタ	—
MCTLj	—	メッセージ制御レジスタ j (j = 0~31)	—
RFCR	—	受信 FIFO 制御レジスタ	—
RFPCR	—	受信 FIFO ポインタ制御レジスタ	—
TFCR	—	送信 FIFO 制御レジスタ	—
TFPCR	—	送信 FIFO ポインタ制御レジスタ	—
STR	—	ステータスレジスタ	—
MSMR	—	メールボックスサーチモードレジスタ	—
MSSR	—	メールボックスサーチステータス レジスタ	—
CSSR	—	チャネルサーチサポートレジスタ	—
AFSR	—	アクセプタンスフィルタサポート レジスタ	—
EIER	—	エラー割り込み許可レジスタ	—
EIFR	—	エラー割り込み要因判定レジスタ	—
RECR	—	受信エラーカウンタレジスタ	—
TECR	—	送信エラーカウンタレジスタ	—
ECSR	—	エラーコード格納レジスタ	—
TSR	—	タイムスタンプレジスタ	—
TCR	—	テスト制御レジスタ	—
NBCR	—	—	公称ビットレート設定レジスタ
CHCR	—	—	チャネル制御レジスタ
CHSR	—	—	チャネルステータスレジスタ
CHESR	—	—	チャネルエラーステータスレジスタ
DBCR	—	—	データビットレート設定レジスタ
FDCFG	—	—	CAN FD 設定レジスタ
FDCTR	—	—	CAN FD 制御レジスタ
FDSTS	—	—	CAN FD ステータスレジスタ
FDCRC	—	—	CAN FD CRC レジスタ
GCFG	—	—	グローバル設定レジスタ
GCR	—	—	グローバル制御レジスタ
GSR	—	—	グローバルステータスレジスタ
GESR	—	—	グローバルエラーステータスレジスタ
TISR	—	—	送信割り込みステータスレジスタ
TSCR	—	—	タイムスタンプカウンタレジスタ
AFCR	—	—	アクセプタンスフィルタリスト制御 レジスタ
AFCFG	—	—	アクセプタンスフィルタリスト設定 レジスタ

レジスタ	ビット	RX62T(CAN)	RX26T(CAN ^{FD})
AFLn.IDR	—	—	アクセプタンスフィルタリストn ID レジスタ(n = 0~15)
AFLn.MASK	—	—	アクセプタンスフィルタリストn マスクレジスタ(n = 0~15)
AFLn.PTR0	—	—	アクセプタンスフィルタリストn ポインタレジスタ0(n = 0~15)
AFLn.PTR1	—	—	アクセプタンスフィルタリストn ポインタレジスタ 1 (n = 0~15)
RMCR	—	—	受信メッセージバッファ設定レジスタ
RMNDR	—	—	受信メッセージバッファ新データ レジスタ
RFCRn	—	—	受信 FIFO n 設定レジスタ(n = 0, 1)
RFSRn	—	—	受信 FIFO n ステータスレジスタ (n = 0, 1)
RFPCRn	—	—	受信 FIFO n ポインタ制御レジスタ (n = 0, 1)
CFCR0	—	—	共通 FIFO 0 設定レジスタ
CFSR0	—	—	共通 FIFO 0 ステータスレジスタ
CFPCR0	—	—	共通 FIFO 0 ポインタ制御レジスタ
FESR	—	—	FIFO エンプティステータスレジスタ
FFSR	—	—	FIFO フルステータスレジスタ
FMLSR	—	—	FIFO メッセージロストステータス レジスタ
RFISR	—	—	受信 FIFO 割り込みステータス レジスタ
DTCR	—	—	DMA 転送制御レジスタ
DTSR	—	—	DMA 転送ステータスレジスタ
TMCRn	—	—	送信メッセージバッファn 制御レジスタ(n = 0~3)
TMSRn	—	—	送信メッセージバッファn ステータスレジスタ(n = 0~3)
TMTRSR0	—	—	送信メッセージバッファ送信要求 ステータスレジスタ 0
TMARSR0	—	—	送信メッセージバッファ送信アポート 要求ステータスレジスタ 0
TMTCSR0	—	—	送信メッセージバッファ送信完了 ステータスレジスタ 0
TMTASR0	—	—	送信メッセージバッファ送信アポート ステータスレジスタ 0
TMIER0	—	—	送信メッセージバッファ割り込み 許可レジスタ 0
TQCR0	—	—	送信キュー 0 設定レジスタ
TQSR0	—	—	送信キュー 0 ステータスレジスタ
TQPCR0	—	—	送信キュー 0 ポインタ制御レジスタ
THCR	—	—	送信履歴設定レジスタ
THSR	—	—	送信履歴ステータスレジスタ
THACR0	—	—	送信履歴アクセスレジスタ 0
THACR1	—	—	送信履歴アクセスレジスタ 1
THPCR	—	—	送信履歴ポインタ制御レジスタ
GRCR	—	—	グローバルリセット制御レジスタ
GTMCR	—	—	グローバルテストモード設定レジスタ
GTMER	—	—	グローバルテストモード許可レジスタ

レジスタ	ビット	RX62T(CAN)	RX26T(CAN ^{FD})
GFDCFG	—	—	グローバル CAN FD 設定レジスタ
GTMLKR	—	—	グローバルテストモードロックキー レジスタ
RTPARK	—	—	RAM テストページアクセスレジスタ k(k = 0~63)
AFIGSR	—	—	アクセプタンスフィルタ無効エントリ 設定レジスタ
AFIGER	—	—	アクセプタンスフィルタ無効エントリ 許可レジスタ
RMIER	—	—	受信メッセージバッファ割り込み許可 レジスタ
ECCSR	—	—	ECC 制御 / ステータスレジスタ
ECTMR	—	—	ECC テストモードレジスタ
ECTDR	—	—	ECC デコーダテストデータレジスタ
ECEAR	—	—	ECC エラーアドレスレジスタ

2.23 シリアルペリフェラルインタフェース

表 2.47 にシリアルペリフェラルインタフェースの概要比較を、表 2.48 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.47 シリアルペリフェラルインタフェースの概要比較

項目	RX62T(RSPI)	RX26T(RSPId)
チャンネル数	1 チャンネル	1 チャンネル
RSPI 転送機能	• MOSI(Master Out Slave In)、MISO(Master In Slave Out)、SSL(Slave Select)、RSPCK(R SPI Clock) 信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 • 送信のみの動作が可能 • マスタ/スレーブモードでのシリアル通信が可能 • シリアル転送クロックの極性を変更可能 • シリアル転送クロックの位相を変更可能	• MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 • 通信モード：全二重または単方向(送信のみ、受信のみ(スレーブモード時))を選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	• MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットに変更可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット)	• MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット) • 送受信データをバイト単位でスワップ可能 • 送受信データのロジックレベルを反転可能
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) • スレーブ時は、レジスタ、SPCMDm.BRDV[1:0] ビット(ビットレート分周設定ビット)(m=0 ~ 7) の設定に関係なく、入力クロックのビットレートに依存	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能 (RSPCK の最高周波数は PCLK の 4 分周) - High 幅：PCLK の 2 サイクル - Low 幅：PCLK の 2 サイクル
バッファ構成	• 送信/受信バッファ構成はダブルバッファ • 送信/受信バッファは 128 ビット	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出 • アンダランエラー検出

項目	RX62T(RSPI)	RX26T(RSPId)
SSL 制御機能	1 チャンネルあたり 4 本の SSL 端子 (SSL0~SSL3) - シングルマスタ設定時には、SSL0~SSL3 端子を出力 - マルチマスタ設定時： SSL0 端子は入力、SSL1~SSL3 端子は出力またはハイインピーダンス - スレーブ設定時： SSL0 端子は入力、SSL1~SSL3 端子はハイインピーダンス - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - SSL 極性変更機能	1 チャンネルあたり 4 本の SSL 端子 (SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 - マルチマスタ設定時： SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 - スレーブ設定時： SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延)を設定可能 - 設定範囲：1~8 RSPCK - 設定単位：1 RSPCK - SSL 極性変更機能
マスタ転送時の制御方式	- 最大 8 コマンドで構成された転送をシーケンシャルにループ実行可能 - 各コマンドに以下の項目を設定可能 - SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 - SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能 バースト転送時のデータバイト間遅延を短縮可能
割り込み要因	マスカブルな割り込み要因 - RSPI 受信割り込み(受信バッファフル) - RSPI 送信割り込み (送信バッファエンプティ) - RSPI エラー割り込み(モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み(RSPI アイドル)	割り込み要因 - 受信バッファフル割り込み - 送信バッファエンプティ割り込み - エラー割り込み(モードフォルト、オーバラン、アンダラン、パリティエラー) - アイドル割り込み - 通信完了割り込み
イベントリンク機能(出力)	—	以下のイベントをイベントリンクコントローラへ出力可能(RSPI0) - 受信バッファフルイベント - 送信バッファエンプティイベント - エラーイベント(モードフォルト、オーバラン、アンダラン、パリティエラー) - アイドルイベント - 通信完了イベント

項目	RX62T(RSPI)	RX26T(RSPId)
その他の機能	- RSPI ディスエーブル(初期化)機能 - ループバックモード機能	- RSPI 初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.48 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX62T(RSPI)	RX26T(RSPId)
SPSR	UDRF	—	アンダランエラーフラグ
	SPCF	—	通信完了フラグ
SPDR	—	RSPI データレジスタ 可能アクセスサイズ - ロングワードアクセス (SPDCR.SPLW=1) - ワードアクセス (SPDCR.SPLW=0)	RSPI データレジスタ 可能アクセスサイズ - ロングワードアクセス (SPDCR.SPLW=1, SPDCR.SPBYT=0) - ワードアクセス (SPDCR.SPLW=0, SPDCR.SPBYT=0) バイトアクセス (SPDCR.SPBYT=1)
SPDCR	SLSEL[1:0]	SSL 端子出力選択ビット	—
	SPBYT	—	RSPI バイトアクセス設定ビット
SPCR2	SCKASE	—	RSPCK 自動停止機能許可ビット
SPDCR2	—	—	RSPI データコントロールレジスタ 2
SPCR3	—	—	RSPI 制御レジスタ 3

2.24 CRC 演算器

表 2.49 に CRC 演算器の概要比較を、表 2.50 に CRC 演算器のレジスタ比較を示します。

表 2.49 CRC 演算器の概要比較

項目	RX62T(CRC)	RX26T(CRCA)	
データサイズ	8 ビット	8 ビット	32 ビット
CRC 演算対象データ	8n ビットのデータに対して CRC コードを生成 (n=自然数)	8n ビットのデータに対して CRC コードを生成(n=自然数)	32n ビットのデータに対して CRC コードを生成(n=自然数)
CRC 演算処理方式	8 ビット並列実行	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの多項式から選択可能 8 ビット CRC $X^8 + X^2 + X + 1$ 16 ビット CRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$	3 つの多項式から選択可能 8 ビット CRC $X^8 + X^2 + X + 1$ 16 ビット CRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$	2 つの多項式から選択可能 32 ビット CRC $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$
CRC 演算切り替え	LSB ファースト/MSB ファースト通信用 CRC コード生成から選択可能	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることが可能	
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能	

表 2.50 CRC 演算器のレジスタ比較

レジスタ	ビット	RX62T (CRC)	RX26T(CRCA)
CRCCR	GPS[1:0] (RX62T) GPS[2:0] (RX26T)	CRC 生成多項式切り替えビット b1 b0 0 0 : 演算しません 0 1 : 8 ビット CRC ($X^8 + X^2 + X + 1$) 1 0 : 16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$) 1 1 : 16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$)	CRC 生成多項式切り替えビット b2 b0 0 0 0 : 計算しません 0 0 1 : 8 ビット CRC ($X^8 + X^2 + X + 1$) 0 1 0 : 16 ビット CRC ($X^{16} + X^{15} + X^2 + 1$) 0 1 1 : 16 ビット CRC ($X^{16} + X^{12} + X^5 + 1$) 1 0 0 : 32 ビット CRC ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1 : 32 ビット CRC ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) 1 1 0 : 計算しません 1 1 1 : 計算しません
	LMS	CRC 演算切り替えビット(b2)	CRC 演算切り替えビット(b6)
CRCDIR	—	CRC データ入力レジスタ 可能アクセスサイズ • バイトアクセス	CRC データ入力レジスタ 可能アクセスサイズ • ロングワードアクセス (32 ビット CRC 生成時) • バイトアクセス (16 ビット CRC、8 ビット CRC 生成時)
CRCDOR	—	CRC データ出力レジスタ 可能アクセスサイズ • ワードアクセス 8 ビット CRC 生成時は、下位バイト (b7~b0)を使用	CRC データ出力レジスタ 可能アクセスサイズ • ロングワードアクセス (32 ビット CRC 生成時) • ワードアクセス (16 ビット CRC 生成時) • バイトアクセス (8 ビット CRC 生成時)

2.25 12 ビット A/D コンバータ

表 2.51 に 12 ビット A/D コンバータの概要比較を、表 2.52 に 12 ビット A/D コンバータのレジスタ比較を示します

表 2.51 12 ビット A/D コンバータの概要比較

項目	RX62T(S12ADA)	RX26T(S12ADHa)
ユニット数	2 ユニット(S12AD0, S12AD1)	3 ユニット(S12AD, S12AD1, S12AD2) (RAM 容量が 64K バイトの製品) 2 ユニット(S12AD, S12AD2) (RAM 容量が 48K バイトの製品)
入力チャンネル	S12AD0 : 4 チャンネル S12AD1 : 4 チャンネル	S12AD : 4 チャンネル S12AD1 : 4 チャンネル S12AD2 : 14 チャンネル
拡張アナログ機能	—	温度センサ出力、内部基準電圧(S12AD2 のみ)
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	1 チャンネルあたり 1.0μs (A/D 変換クロック ADCLK = 50MHz、 AVCC0 = 4.0~5.5V 時) 1 チャンネルあたり 2.0μs (A/D 変換クロック ADCLK = 25MHz、 AVCC0 = 3.0~3.6V 時)	1 チャンネルあたり 0.9 μs (A/D 変換クロック ADCLK = 60 MHz 動作時)
A/D 変換クロック	4 種類 : PCLK、PCLK/2、PCLK/4、PCLK/8	- 周辺モジュールクロック PCLKB と A/D 変換クロック ADCLK を以下の周波数比で設定可能 - PCLKB : ADCLK 周波数比 = 1 : 1、2 : 1、4 : 1、1 : 2 - ADCLK の設定はクロック発生回路で行います。 - A/D 変換クロック ADCLK は最高 60 MHz、最低 8 MHz まで動作可能

項目	RX62T(S12ADA)	RX26T(S12ADHa)
データレジスタ	- アナログ入力用 10 本 - 自己診断用 1 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - AN000、AN100 入力は 2 つの AD データレジスタがあり、トリガ種別で変換結果格納先を切り替え	- アナログ入力用 1 本/チャンネル、ダブルトリガモードでの A/D 変換データ二重化用 1 本/ユニット、ダブルトリガモード拡張動作時の A/D 変換データ二重化用 2 本/ユニット 温度センサ用 1 本(S12AD2) 内部基準電圧用 1 本(S12AD2) - 自己診断用 1 本/ユニット - A/D 変換結果を 12 ビット A/D データレジスタに保持 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数 + 2 ビット/4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) - 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持 - ダブルトリガモード拡張動作(特定トリガ種別で有効) - 選択した 1 つのチャンネルのアナログ入力の A/D 変換データをトリガ種別毎に準備した二重化レジスタに保持

項目	RX62T(S12ADA)	RX26T(S12ADHa)
動作モード	- シングルモード : - 1 チャンネルのアナログ入力を 1 回のみ変換 - 連続スキャンモード : - 最大 4 チャンネルのアナログ入力を繰り返し変換 1 サイクルスキャンモード : - 最大 4 チャンネルのアナログ入力を 1 回のみ変換 2 チャンネルスキャンモード : - ユニット内チャンネルを 2 グループ化し、2 系統の開始要因を設定可能。	動作モードは各ユニット個別で設定可能です。 - シングルスキャンモード : - 任意に選択したチャンネルのアナログ入力を 1 回のみ A/D 変換 - 温度センサ出力(S12AD2)を 1 回のみ A/D 変換 - 内部基準電圧を 1 回のみ A/D 変換 (S12AD2) - 連続スキャンモード : - 任意に選択したチャンネルのアナログ入力を繰り返し A/D 変換 - グループスキャンモード : - 使用するグループの数は 2 つ(グループ A、B)と 3 つ(グループ A、B、C)が選択可能 (グループの数が 2 つの場合、グループ A、グループ B の組み合わせのみ選択可能) - 任意に選択したチャンネルのアナログ入力、温度センサ出力(S12AD2)、内部基準電圧(S12AD2)をグループ A とグループ B またはグループ A、B、C に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B とグループ C は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ優先制御選択時) - 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。 - 優先順位は、グループ A (高) > グループ B > グループ C (低)。 - 優先グループのスキャン終了後、低優先グループのスキャンを再実行(再スキャン)する/しないを設定可能。また再スキャンは、選択チャンネルの最初からか、A/D 変換未終了のチャンネルからかを設定可能。

項目	RX62T(S12ADA)	RX26T(S12ADHa)
A/D 変換開始条件	- ソフトウェアトリガ - 同期トリガ - マルチファンクションタイマパルスユニット3 (MTU3)、汎用 PWM タイマ(GPT)からのトリガ - 非同期トリガ - 外部トリガ ADTRG0#(S12AD0)、ADTRG1# (S12AD1)端子による A/D 変換動作の開始が可能	- ソフトウェアトリガ - 同期トリガ - マルチファンクションタイマパルスユニット(MTU)、汎用 PWM タイマ (GPTW)、8 ビットタイマ(TMR)、イベントリンクコントローラ(ELC)からのトリガ - 非同期トリガ - 外部トリガ ADTRG0# (S12AD)、ADTRG1# (S12AD1)、ADTRG2# (S12AD2)端子による A/D 変換動作の開始が可能(各ユニット個別)
機能	- サンプル&ホールド機能 (3 チャンネル/1 ユニット) - S12AD0 のチャンネル 0~2 (AN000~002)、S12AD1 のチャンネル 0~2(AN100~102)には、専用に独立したサンプルホールド回路を内蔵。これにより、ユニット毎に複数チャンネル(最大 3 チャンネル)の同時サンプリングが可能 - A/D コンバータの自己診断機能 - プログラマブルゲインアンプによる入力信号増幅機能(3 チャンネル/1 ユニット) - ウィンドウコンパレータ機能 (3 チャンネル/1 ユニット)	- チャンネル専用サンプル&ホールド機能 (S12AD と S12AD1 にそれぞれ 3 チャンネル)(常時サンプリング設定可能) - サンプリング時間可変機能 (チャンネルごとに設定可能) 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 - アナログ入力断線検出アシスト機能 (ディスチャージ機能/プリチャージ機能) - ダブルトリガモード (A/D 変換データ二重化機能) - A/D データレジスタオートクリア機能 - コンペア機能 (ウィンドウ A、ウィンドウ B) - 各ユニットでのチャンネル変換順序を設定可能 - プログラマブルゲインアンプによる入力信号増幅機能(ユニットごとにそれぞれ 3 チャンネル)

項目	RX62T(S12ADA)	RX26T(S12ADHa)
割り込み要因	- ユニットごとに A/D 変換終了で割り込み要求(S12ADI)が発生 - S12ADI 割り込みでデータトランスファコントローラ(DTC)を起動可能 - コンパレータ検出で割り込み要求(CMPI)が発生(POE 要因としても使用可能)	- ダブルトリガモードとグループスキャンモードを除き、1 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生(各ユニット個別) - ダブルトリガモードの設定では、2 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生(各ユニット個別) - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生。 グループ B のスキャン終了でグループ B スキャン終了割り込み要求(S12GBADI, S12GBADI1, S12GBADI2)が発生。グループ C のスキャン終了でグループ C スキャン終了割り込み要求(S12GCADI, S12GCADI1, S12GCADI2)が発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求(S12ADI, S12ADI1, S12ADI2)が発生。グループ B とグループ C のスキャン終了で、それぞれスキャン終了割り込み要求(S12GBADI / S12GCADI, S12GBADI1 / S12GCADI1, S12GBADI2 / S12GCADI2)が発生 - デジタルコンペア機能の比較条件成立で、コンペア割り込み要求(S12CMPAI, S12CMPAI1, S12CMPAI2, S12CMPBI, S12CMPBI1, S12CMPBI2)が発生 - S12ADI / S12ADI1 / S12ADI2, S12GBADI / S12GBADI1 / S12GBADI2, S12GCADI / S12GCADI1 / S12GCADI2 割り込みで DMA コントローラ(DMAC)、データトランスファコントローラ(DTC)を起動可能
イベントリンク機能	—	- すべてのスキャン終了時にイベント出力 - シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント出力 - ELC からのトリガによりスキャン開始可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

表 2.52 12ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX62T(S12ADA)	RX26T(S12ADHa)
ADDRn (RX62T) ADDRy (RX26T)	—	A/D データレジスタ n (n = 0A, 0B, 1~3)	A/D データレジスタ y (y = 0~11, 16, 17)
ADDBLDR	—	—	A/D データ二重化レジスタ
ADDBLDRA	—	—	A/D データ二重化レジスタ A
ADDBLDRB	—	—	A/D データ二重化レジスタ B
ADTSDR	—	—	A/D 温度センサデータレジスタ
ADOCDR	—	—	A/D 内部基準電圧データレジスタ
ADCSR	—	A/D コントロールレジスタ ADCSR は 8 ビット長レジスタです	A/D コントロールレジスタ ADCSR は 16 ビット長レジスタです
	DRLANS [4:0]	—	ダブルトリガ対象チャネル選択ビット
	GBADIE	—	グループ B スキャン終了割り込み 許可ビット
	DBLE	—	ダブルトリガモード選択ビット
	CKS[1:0]	クロック選択ビット	—
	ADCS[1:0]	A/D 変換モード選択ビット b6 b5 0 0 : シングルモード 0 1 : 1 サイクルスキャンモード 1 0 : 連続スキャンモード 1 1 : 2 チャネルスキャンモード	スキャンモード選択ビット b14 b13 0 0 : シングルスキャンモード 0 1 : グループスキャンモード 1 0 : 連続スキャンモード 1 1 : 設定禁止
ADANS	—	A/D チャネル選択レジスタ	—
ADANSA0	—	—	A/D チャネル選択レジスタ A0
ADANSA1	—	—	A/D チャネル選択レジスタ A1
ADANSB0	—	—	A/D チャネル選択レジスタ B0
ADANSB1	—	—	A/D チャネル選択レジスタ B1
ADANSC0	—	—	A/D チャネル選択レジスタ C0
ADANSC1	—	—	A/D チャネル選択レジスタ C1
ADSCSn	—	—	A/D チャネル変換順序設定 レジスタ n(n = 0~6)
ADADS0	—	—	A/D 変換値加算/平均機能チャネル 選択レジスタ 0
ADADS1	—	—	A/D 変換値加算/平均機能チャネル 選択レジスタ 1
ADADC	—	—	A/D 変換値加算/平均回数選択レジスタ
ADCER	SHBYP	チャネル専用サンプル&ホールド回路 選択ビット	—
	ADPRC[1:0]	A/D データレジスタビット精度 指定ビット	—
	ASE	—	A/D データレジスタ自動セット イネーブルビット
	ADIE2	2 チャネルスキャン割り込み選択ビッ ト	—
	ADIEW	ダブルトリガ割り込み選択ビット	—
ADSTRGR	ADSTRS0 [4:0]	A/D 開始トリガグループ 0 選択ビット	—

レジスタ	ビット	RX62T(S12ADA)	RX26T(S12ADHa)
ADSTRGR	TRSB[6:0]	—	グループ B A/D 変換開始トリガ選択ビット
	ADSTRS1[4:0]	A/D 開始トリガグループ 1 選択ビット	—
	TRSA[6:0]	—	A/D 変換開始トリガ選択ビット
ADEXICR	—	—	A/D 変換拡張入力コントロールレジスタ
ADGCEXCR	—	—	A/D グループ C 拡張入力コントロールレジスタ
ADGCTRGR	—	—	A/D グループ C トリガ選択レジスタ
ADGCTRGR2	—	—	A/D グループ C トリガ選択レジスタ 2
ADSSTRn	—	—	A/D サンプリングステートレジスタ n(n = 0~11, L, T, O)
ADSHCR	—	—	A/D サンプル & ホールド回路コントロールレジスタ
ADSHMSR	—	—	A/D サンプル & ホールド動作モード選択レジスタ
ADDISCR	—	—	A/D 断線検出コントロールレジスタ
ADELCCR	—	—	A/D イベントリンクコントロールレジスタ
ADGSPCR	—	—	A/D グループスキャン優先コントロールレジスタ
ADCMPCR	—	—	A/D コンペア機能コントロールレジスタ
ADCMPANSR0	—	—	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0
ADCMPANSR1	—	—	A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1
ADCMPANSE R	—	—	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ
ADCMPLR0	—	—	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0
ADCMPLR1	—	—	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1
ADCMPLER	—	—	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ
ADCMPDR0	—	—	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ
ADCMPDR1	—	—	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ
ADCMPSR0	—	—	A/D コンペア機能ウィンドウ A チャンルステータスレジスタ 0
ADCMPSR1	—	—	A/D コンペア機能ウィンドウ A チャンルステータスレジスタ 1
ADCMPSER	—	—	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ
ADWINMON	—	—	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ

レジスタ	ビット	RX62T(S12ADA)	RX26T(S12ADHa)
ADCMPBNSR	—	—	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ
ADWINLLB	—	—	A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ
ADWINULB	—	—	A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ
ADCMPBSR	—	—	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ
ADPGACR	—	—	A/D プログラマブルゲイン アンプコントロールレジスタ
ADPGAGS0	—	—	A/D プログラマブルゲインアンプ ゲイン設定レジスタ 0
ADVMONCR	—	—	A/D 内部基準電圧モニタ回路許可 レジスタ
ADVMONO	—	—	A/D 内部基準電圧モニタ回路出力許可 レジスタ
ADPG	—	A/D プログラマブルゲインアンプ レジスタ	—
ADCMPMD0	—	コンパレータ動作モード選択 レジスタ 0	—
ADCMPMD1	—	コンパレータ動作モード選択 レジスタ 1	—
ADCMPNR0	—	コンパレータフィルタモード レジスタ 0	—
ADCMPNR1	—	コンパレータフィルタモード レジスタ 1	—
ADCMPFR	—	コンパレータ検出フラグレジスタ	—
ADCMPSEL	—	コンパレータ割り込み選択レジスタ	—
ADSSTR	—	A/D サンプリングステートレジスタ	—

2.26 RAM

表 2.53 に RAM の概要比較を、表 2.54 に RAM のレジスタ比較を示します。

表 2.53 RAM の概要比較

項目	RX62T	RX26T
RAM 容量	12K バイト(RAM0:12K バイト)	64K バイト/48K バイト
RAM アドレス	RAM0 : 0000 0000h~0000 27FFh 0000 4000h~0000 4A7Fh	- RAM 容量が 64K バイトの製品 0000 0000h~0000 FFFFh - RAM 容量が 48K バイトの製品 0000 0000h~0000 BFFFh
メモリバス	メモリバス 1	メモリバス 1
アクセス	- 読み出し、書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能	- 読み出し/書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能
消費電力 低減機能	RAM0 をモジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能
エラー チェック 機能	—	- パリティチェック:1ビット誤り検出 - エラー発生時、ノンマスカブル割り込み、または割り込みを発生

表 2.54 RAM のレジスタ比較

レジスタ	ビット	RX62T	RX26T
RAMMODE	—	—	RAM 動作モード制御レジスタ
RAMSTS	—	—	RAM エラーステータスレジスタ
RAMECAD	—	—	RAM エラーアドレスキャプチャレジスタ
RAMPRCR	—	—	RAM プロテクトレジスタ

2.27 フラッシュメモリ

表 2.55 にフラッシュメモリの概要比較を、表 2.56 にフラッシュメモリのレジスタ比較を示します。

表 2.55 フラッシュメモリの概要比較

項目	RX62T		RX26T	
	コード フラッシュメモリ	データ フラッシュメモリ	コード フラッシュメモリ	データ フラッシュメモリ
メモリ空間	256K バイト 128K バイト 64K バイト	32K バイト 8K バイト	最大 512K バイト	16K バイト
アドレス	- 容量が 256K バイトの場合 - FFFC 0000h ~ FFFF FFFFh - 容量が 128K バイトの場合 - FFFE 0000h ~ FFFF FFFFh - 容量が 64K バイトの場合 - FFFF 0000h ~ FFFF FFFFh	- 容量が 32K バイトの場合 - 0010 0000h ~ 0010 1FFFh - 容量が 8K バイトの場合 - 0010 0000h ~ 0010 1FFFh	- 容量が 512K バイトの場合 【リニアモード】 - FFF8 0000h ~ FFFF FFFFh 【デュアルモード】 バンク 1 - FFF8 0000h ~ FFFB FFFFh バンク 2 - FFFC 0000h ~ FFFF FFFFh - 容量が 256K バイトの場合 - FFFC 0000h ~ FFFF FFFFh - 容量が 128K バイトの場合 - FFFE 0000h ~ FFFF FFFFh	容量が 16K バイトの場合 - 0010 0000h ~ 0010 3FFFh
リード サイクル	ICLK 1 サイクルの高速読み出しが可能	ワード、バイトアクセス時には PCLK 3 サイクルでの読み出し	1 サイクル	16 ビット、8 ビットアクセス時には FCLK 8 サイクルでリード
イレーズ後の値	ROM : FFh	不定値	FFh	不定値

項目	RX62T		RX26T	
	コード フラッシュメモリ	データ フラッシュメモリ	コード フラッシュメモリ	データ フラッシュメモリ
プログラム/イレーズ方式	- ROM の書き換えを行う専用のシーケンサ (FCU) を内蔵 - FCU にコマンドを発行することにより、ROM への書き込み／消去を実行可能 - 消去状態の ROM を読むと、32 ビットで FFFF FFFFh が読み出し可能	- データフラッシュへの書き換えを行う専用のシーケンサ (FCU) を内蔵 - FCU にコマンドを発行することにより、データフラッシュへの書き込み／消去を実行可能	- FACI コマンド発行領域(007E 0000h)に設定した FACI コマンドで、コードフラッシュメモリ/データフラッシュメモリのプログラム/イレーズが可能 - フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム/イレーズ(シリアルプログラミング) - ユーザプログラムによるフラッシュメモリのプログラム/イレーズ(セルフプログラミング)	
セキュリティ機能	—	—	フラッシュメモリの不正改ざん/不正リードを防止	
プロテクション機能	- 書き込み／消去中に異常動作を検出した場合、以後の書き込み／消去処理を禁止 - FENTRYR.FENTRYR0 ビット、FWEPROR.FLWE [1:0]ビット、ロックビットにより意図しない書き換えを防ぐことが可能	- 書き込み／消去中に異常動作を検出した場合、以後の書き込み／消去処理を禁止 - FENTRYR.FENTRYR0 ビット、FWEPROR.FLWE [1:0]ビット、DFLREk レジスタ、DFLWEk レジスタにより意図しない書き換えを防ぐことが可能 (k=0,1)	フラッシュメモリの誤書き換えを防止	
デュアルバンク機能	—	—	デュアルバンク構成を用いて、書き換え動作中の中断に対して安全な更新を行うことが可能	—
			- リニアモード：コードフラッシュメモリを 1 領域として使用するモード - デュアルモード：コードフラッシュメモリを 2 領域に分割して使用するモード	

項目	RX62T		RX26T	
	コード フラッシュメモリ	データ フラッシュメモリ	コード フラッシュメモリ	データ フラッシュメモリ
Trusted Memory (TM)機能	—	—	コードフラッシュメモリに対する不正リード防止 - リニアモード : ブロック 8, 9 - デュアルモード : ブロック 8, 9, 30, 31	—
BGO(バックグラウンドオペレーション)機能	- ROM への書き込み／消去を実行している期間、CPU は ROM／データフラッシュ以外の領域に配置したプログラムを実行可能 - データフラッシュへの書き込み／消去を実行している期間、ROM 領域に配置したプログラムを実行可能	- ROM への書き込み／消去を実行している期間、CPU は ROM／データフラッシュ以外の領域に配置したプログラムを実行可能 - データフラッシュの書き込み／消去を実行している期間、ROM 領域に配置したプログラムを実行可能	コードフラッシュメモリのプログラム / イレーズ中にコードフラッシュメモリのリードが可能 - コードフラッシュメモリのプログラム / イレーズ中にデータフラッシュメモリのリードが可能 - データフラッシュメモリのプログラム / イレーズ中にコードフラッシュメモリのリードが可能	
サスペンド／レジューム機能	- ROM への書き込み／消去動作を中断し、CPU は ROM 領域のプログラムを実行可能 (サスペンド) - 中断した後、ROM への書き込み／消去を再開可能 (レジューム)	- データフラッシュへの書き込み／消去動作を中断し、CPU はデータフラッシュ領域の読み出しを実行可能 (サスペンド) - 中断した後、ROM の書き込み／消去を再開可能 (レジューム)	—	
プログラム / イレーズ単位	- ユーザ領域の書き込み単位 : 256 バイト - ユーザ領域の消去単位 : 4K バイト (8 ブロック)、16K バイト (ROM 容量が 256K バイトの場合 : 14 ブロック、ROM 容量が 128K バイトの場合 : 6 ブロック、ROM 容量が 64K バイトの場合 : 2 ブロック)	- データ領域の書き込み単位 : 8 バイトまたは 128 バイト - データ領域の消去単位 : 2K バイト (データフラッシュ容量が 32K バイトの場合 : 16 ブロック、データフラッシュ容量が 8K バイトの場合 : 4 ブロック)	- プログラム : 128 バイト - イレーズ : ブロック単位	- プログラム : 4 バイト - イレーズ : ブロック単位

項目	RX62T		RX26T	
	コード フラッシュメモリ	データ フラッシュメモリ	コード フラッシュメモリ	データ フラッシュメモリ
ブランクチェック機能	—	- データフラッシュの消去状態を確認するブランクチェックコマンドが実行可能 - ブランクチェックできる領域は 8 バイトまたは 2K バイト	—	—
その他の機能	—	—	セルフプログラミング中の割り込み受け付け可能	
オンボードプログラミング (シリアルプログラミング/セルフプログラミング)	- ブートモードによる書き換え - 調歩同期式シリアルインターフェース (SCI1) を使用 - 通信速度は自動調整 - ユーザプログラム中の ROM 書き換えルーチンによる書き換え - システムをリセットすることなく ROM の書き換えが可能	- ブートモードによる書き換え - 調歩同期式シリアルインターフェース (SCI1) を使用 - 通信速度は自動調整 - ユーザプログラム中のデータフラッシュ書き換えルーチンによる書き換え - システムをリセットすることなくデータフラッシュの書き換えが可能	- ブートモード (SCI インタフェース) によるプログラム/イレーズ - 調歩同期式シリアルインターフェース (SCI1) を使用 - 通信速度は自動調整	
	—	—	- ブートモード (FINE インタフェース) によるプログラム/イレーズ - FINE を使用 - シングルチップモードによるプログラム/イレーズ - ユーザプログラム中のコードフラッシュメモリ/データフラッシュメモリ書き換えルーチンによるプログラム/イレーズが可能	
オフボードプログラミング (パラレルプログラマによるプログラム/イレーズ)	PROM ライタを使用して、ユーザ領域の書き換えが可能	—	—	—
ユニーク ID	—	—	本 MCU 個体ごとの 12 バイト長の ID コード	

表 2.56 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX62T	RX26T
FMODR	—	フラッシュモードレジスタ	—
FASTAT	DFLWPE	データフラッシュプログラム/ イレースプロテクト違反ビット	—
	DFLRPE	データフラッシュリードプロテクト 違反ビット	—
	DFLAE (RX62T) DFAE (RX26T)	データフラッシュアクセス違反ビット	データフラッシュメモリアccess違反 フラグ
	ROMAE (RX62T) CFAE (RX26T)	ROM アクセス違反ビット	コードフラッシュメモリアccess違反 フラグ
FAEINT	DFLWPEIE	データフラッシュプログラム/イレースプ ロテクト違反割り込み許可ビット	—
	DFLRPEIE	データフラッシュリードプロテクト違反 割り込み許可ビット	—
	DFLAEIE (RX62T) DFAEIE (RX26T)	データフラッシュアクセス違反 割り込み許可ビット	データフラッシュメモリアccess違反割 り込み許可ビット
	ROMAEIE (RX62T) CFAEIE (RX26T)	ROM アクセス違反割り込み許可ビット 0: FASTAT.ROMAE ビット=1 で、FIFERR 割り込み要求が発生しない 1: FASTAT.ROMAE ビット=1 で、FIFERR 割り込み要求が発生する	コードフラッシュメモリアccess違反割 り込み許可ビット 0: FASTAT.CFAE =1 で、FIFERR 割り込 み要求の発生を禁止 1: FASTAT.CFAE =1 で、FIFERR 割り込 み要求の発生を許可
FCURAME	—	FCU RAM イネーブルレジスタ	—
FSTATR0 (RX62T) FSTATR (RX26T)	—	フラッシュステータスレジスタ 0 FSTATR0 は 8 ビットレジスタです	フラッシュステータスレジスタ FSTATR0 は 16 ビットレジスタです
	FLWEERR	—	フラッシュ P/E プロテクトエラーフラグ
	PRGSPD	書き込みサスペンドステータスビット (b0)	プログラムサスペンドステータスフラグ (b8)
	ERSSPD	消去サスペンドステータスビット(b1)	イレースサスペンドステータスフラグ (b9)
	DBFULL	—	データバッファフルフラグ
	SUSRDY	サスペンドレディビット(b3)	サスペンドレディビット(b11)
	PRGERR	書き込みエラービット(b4)	プログラムエラーフラグ(b12)
	ERSERR	イレースエラーフラグ(b5)	消去エラービット(b13)
	ILGLERR	イリーガルコマンドエラービット(b6)	イリーガルコマンドエラービット(b14)

レジスタ	ビット	RX62T	RX26T
FSTATR0 (RX62T) FSTATR (RX26T)	FRDY	フラッシュレディフラグ(b7) 0 : 書き込み/消去処理中、書き込み/消去の中断処理中、ロックビットリード2 コマンド処理中、周辺クロック通知コマンド処理中、データフラッシュのブランクチェック処理中 1 : 上記の処理を実行していない	フラッシュレディフラグ(b15) 0 : プログラム、ブロックイレーズ、P/E サスペンド、P/E レジューム、強制終了、ブランクチェック、コンフィギュレーション設定のコマンド処理中 1 : 上記の処理を実行していない
FSTATR1	—	フラッシュステータスレジスタ 1	—
FENTRYR	FENTRY0 (RX62T) FENTRYC (RX26T)	ROM P/E モードエントリビット 0	コードフラッシュメモリ P/E モードエントリビット
	FEKEY[7:0] (RX62T) KEY[7:0] (RX26T)	キーコード	キーコードビット
FPROTR	—	フラッシュプロテクトレジスタ	—
FRESETR	—	フラッシュリセットレジスタ	—
FPESTAT	PEERRST[7:0]	P/E エラーステータスビット 01h : ロックビットでプロテクトされた領域に対する書き込みエラー 02h : ロックビットプロテクト以外の要因による書き込みエラー 11h : ロックビットでプロテクトされた領域に対する消去によるエラー 12h : ロックビットプロテクト以外の要因による消去エラー (上記以外は予約)	P/E エラーステータスビット 00h : エラーなし 02h : プログラムエラー 12h : イレーズエラー
PCKAR	—	周辺クロック通知レジスタ	—
FWEPROR	FLWE[1:0]	フラッシュプログラム/イレーズ許可ビット b1 b0 0 0 : 書き込み/消去不可能 0 1 : 書き込み/消去可能 1 0 : 書き込み/消去不可能 (初期値) 1 1 : 書き込み/消去不可能	フラッシュプログラム/イレーズ許可ビット b1 b0 0 0 : プログラム、ブロックイレーズ、 ブランクチェックの禁止 0 1 : プログラム、ブロックイレーズ、 ブランクチェックの許可 1 0 : プログラム、ブロックイレーズ、 ブランクチェックの禁止 1 1 : プログラム、ブロックイレーズ、 ブランクチェックの禁止
DFLRE0	—	データフラッシュ読み出し許可レジスタ 0	—
DFLRE1	—	データフラッシュ読み出し許可レジスタ 1	—
DFLWE0	—	データフラッシュ書き込み/消去許可レジスタ 0	—
DFLWE1	—	データフラッシュ書き込み/消去許可レジスタ 1	—

レジスタ	ビット	RX62T	RX26T
DFLBCCNT (RX62T) FBCCNT (RX26T)	—	データフラッシュブランクチェック制御 レジスタ	データフラッシュブランクチェック制御 レジスタ
DFLBCSTAT (RX62T) FBCSTAT (RX26T)	—	データフラッシュブランクチェック ステータスレジスタ	データフラッシュブランクチェック ステータスレジスタ
FSADDR	—	—	FACI コマンド処理開始アドレスレジスタ
FEADDR	—	—	FACI コマンド処理終了アドレスレジスタ
FSUINITR	—	—	フラッシュシーケンサ設定初期化レジスタ
FCMDR	—	—	FACI コマンドレジスタ
FPSADDR	—	—	データフラッシュ書き込み開始アドレス レジスタ
FAWMON	—	—	フラッシュアクセスウィンドウモニタ レジスタ
FPCKAR	—	—	フラッシュシーケンサ処理クロック周波 数通知レジスタ
FSUACR	—	—	スタートアップ領域コントロール レジスタ
UIDRn	—	—	ユニーク ID レジスタ n (n = 0~2)

2.28 パッケージ

表 2.57に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。

表 2.57 パッケージ

パッケージタイプ	RENESAS Code	
	RX62T	RX26T
112 ピン LQFP	○	×
100 ピン LFQFP	×	○
100 ピン LQFP	○	×
80 ピン LFQFP	×	○
80 ピン LQFP	○	×
64 ピン HWQFN	×	○
64 ピン LFQFP	×	○
64 ピン LQFP	○	×
48 ピン LFQFP	×	○

○: パッケージあり(RENESAS Code は省略)、×: パッケージなし

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は**青字**に、両方のグループに存在するが相違点がある項目は**赤字**にしています。仕様に相違点がない項目は**黒字**にしています。

3.1 100 ピンパッケージ

表 3.1 に 100 ピンパッケージ端子機能の比較を示します

表 3.1 100 ピンパッケージ端子機能の比較

100 ピン	RX62T (100 ピン LQFP)	RX26T (100 ピン LFQFP)
1	PE5/ IRQ0-B	PE5/MTIOC9D/MTIOC9D#/GTIOC3A/GTETRGB/ GTIOC3A#/GTETRGD/SCK009/CTS009#/ RTS009#/SS009#/TXDB009/ IRQ0 /ADST0
2	EMLE	EMLE/PN7/MTIOC9D/MTIOC9D#/ IRQ5 /ADST0
3	VSS	VSS
4	MDE	P00/MTIOC9A/MTIOC9A#/CACREF/GTIU/TIC3/ RXD12/SMISO12/SSCL12/RXD12/RXD009/ SMISO009/SSCL009/ IRQ2 /ADST1/COMP0
5	VCL	VCL
6	MD1	MD /FINED/PN6
7	MD0	P01/MTIOC9C/MTIOC9C#/POE12#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/GTW/TXD12/ SMOSI12/SSDA12/TXD12/SIOX12/TXD009/ TXDA009/SMOSI009/SSDA009/ IRQ4 /ADST2/ COMP1
8	PE4/ MTCLKC-C / IRQ1-B /POE10#-B	PE4/ MTCLKC / MTCLKC #/ POE10 #/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/SCK009/ TXDB009/ IRQ1
9	PE3/ MTCLKD-C / IRQ2-A /POE11#	PE3/ MTCLKD / MTCLKD #/ POE11 #/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/CTS009#/ RTS009#/SS009#/ DE009 / IRQ2
10	RES#	RES#
11	XTAL	XTAL/ P37 / RXD5 /SMISO5/SSCL5
12	VSS	VSS
13	EXTAL	EXTAL/ P36 / TXD5 /SMOSI5/SSDA5
14	VCC	VCC
15	PE2/NMI/ POE10 #-A	PE2/ POE10 #/NMI/ IRQ0
16	PE1/ SSL3-C	PE1/MTIOC9D/MTIOC9D#/TMO5/CTS5#/RTS5#/ SS5#/CTS12#/RTS12#/SS12#/ SSLA3 / SSL03 / IRQ15
17	PE0/ CRX-C / SSL2-C	PE0/MTIOC9B/MTIOC9B#/TMC11/TMC15/GTIV/ RXD5/SMISO5/SSCL5/ SSLA2 / SSL02 / CRX0 / IRQ7
18	PD7/ GTIOC0A-B / CTX-C / SSL1-C /TRST#	TRST#/PD7/MTIOC9A/MTIOC9A#/TMR11/TMR15/ GTIOC0A / GTIOC3A / GTIOC0A #/ GTIOC3A #/ GTIU/TXD5/SMOSI5/SSDA5/SCK009/TXD008/ TXDA008/SMOSI008/SSDA008/TXDB009/ SSLA1 / SSL01 / CTX0 / IRQ8

100 ピン	RX62T (100 ピン LQFP)	RX26T (100 ピン LFQFP)
19	PD6/GTIOC0B-B/SSL0-C/TMS	TMS/PD6/MTIOC9C/MTIOC9C#/TMO1/ GTIOC0B/GTIOC3B/GTIOC0B#/GTIOC3B#/ GTIW/CTS1#/RTS1#/SS1#/RXD12/SMISO12/ SSCL12/RDX12/CTS011#/RTS011#/SS011#/ DE011/SSLA0/SSL00/IRQ5/ADST0
20	PD5/GTIOC1A-B/RXD1/TDI	TDI/PD5/TMRI0/TMRI6/GTIOC1A/GTETRGA/ GTIOC1A#/GTIOC7A/RXD1/SMISO1/SSCL1/ RXD011/SMISO011/SSCL011/SSL00/IRQ6
21	PD4/GTIOC1B-B/SCK1/TCK	TCK/PD4/TMCI0/TMCI6/GTIOC1B/GTETRGA/ GTIOC1B#/SCK1/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/SCK011/TXDB011/SSL02/IRQ2
22	PD3/GTIOC2A-B/TXD1/TDO	TDO/PD3/TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B/TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/SMOSI011/SSDA011/MOSI0
23	PD2/GTIOC2B-B/MOSI-C/TRCLK	PD2/TMCI1/TMO4/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/SCK5/SCK008/TXDB008/ MOSIA/MOSI0
24	PD1/GTIOC3A/MISO-C/TRDATA3	PD1/TMO2/GTIOC3A/GTIOC0B/GTIOC3A#/ GTIOC0B#/RXD008/SMISO008/SSCL008/ MISOA/MISO0
25	PD0/GTIOC3B/RSPCK-C/TRDATA2	PD0/TMO6/GTIOC3B/GTIOC1A/GTIOC3B#/ GTIOC1A#/TXD008/TXDA008/SMOSI008/ SSDA008/RSPCKA/RSPCK0
26	PB7/SCK2-A/TRDATA1	PB7/GTIOC1B/GTIOC1B#/SCK5/SCK12/ SCK011/TXDB011/SSL03
27	PB6/CRX-A/RXD2-A/TRDATA0	PB6/GTIOC2A/GTIOC3A/GTIOC2A#/GTIOC3A#/ TOC0/RXD5/SMISO5/SSCL5/RXD12/SMISO12/ SSCL12/RDX12/RXD011/SMISO011/SSCL011/ MISO0/CRX0/IRQ2
28	PB5/CTX-A/TXD2-A/TRSYNC	PB5/GTIOC2B/GTIOC3B/GTIOC2B#/GTIOC3B#/ TIC0/TXD5/SMOSI5/SSDA5/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/TXD011/TXDA011/ SMOSI011/SSDA011/RSPCK0/CTX0
29	PLLVC	VCC
30	PB4/GTETRGA/IRQ3/POE8#	PB4/POE8#/GTETRGA/GTETRGA/GTETRGC/ GTETRGD/GTCTRPO0/CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/RDX12/CTS011#/ RTS011#/SS011#/SCK011/TXDB011/MISOA/ SSL01/CRX0/IRQ3
31	PLLVS	VSS
32	PB3/MTIOC0A-A/SCK0	PB3/MTIOC0A/MTIOC0A#/CACREF/GTIU/TOC1/ SCK6/TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12/CTS009#/RTS009#/SS009#/DE009/ RSPCKA/CTX0/IRQ9
33	PB2/MTIOC0B-A/TXD0/SDA	PB2/MTIOC0B/MTIOC0B#/TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/TIC1/TXD6/SMOSI6/ SSDA6/SDA0/SDA00/ADSM0
34	PB1/MTIOC0C/RXD0/SCL	PB1/MTIOC0C/MTIOC0C#/TMCI0/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/TOC2/RXD6/ SMISO6/SSCL6/SCL0/SCL00/IRQ4/ADSM1

100 ピン	RX62T (100 ピン LQFP)	RX26T (100 ピン LFQFP)
35	PB0/MTIOC0D/MOSI-B	PB0/MTIOC0D/MTIOC0D#/TMO0/TIC2/TXD6/ SMOSI6/SSDA6/TXD008/TXDA008/SMOSI008/ SSDA008/CTS011#/RTS011#/SS011#/DE011/ MOSIA/MOSIO/IRQ8/ADTRG2#
36	PA5/ADTRG1#-A/MTIOC1A/MISO-B	PA5/MTIOC1A/MTIOC1A#/TMCi3/RXD6/ SMISO6/SSCL6/RXD008/SMISO008/SSCL008/ MISOA/MISO0/IRQ1/ADTRG1#
37	PA4/ADTRG0#-A/MTIOC1B/RSPCK-B	PA4/MTIOC1B/MTIOC1B#/TMCi7/SCK6/TXD008/ TXDA008/SMOSI008/SSDA008/RSPCKA/ RSPCK0/ADTRG0#
38	PA3/MTIOC2A/SSL0-B	PA3/MTIOC2A/MTIOC2A#/TMRi7/GTADSM0/ TXD009/TXDA009/SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/SSL00
39	PA2/MTIOC2B/SSL1-B	PA2/MTIOC2B/MTIOC2B#/TMO7/GTADSM1/ CTS6#/RTS6#/SS6#/RXD009/SMISO009/ SSCL009/SSLA1/SSL01
40	PA1/MTIOC6A/SSL2-B	PA1/MTIOC6A/MTIOC6A#/TMO4/GTCPPO4/ TXD009/TXDA009/SMOSI009/SSDA009/ RXD011/SMISO011/SSCL011/SSLA2/SSL02/ CRX0/IRQ14/ADTRG0#
41	PA0/MTIOC6C/SSL3-B	PA0/MTIOC6C/MTIOC6C#/TMO2/SCK009/ TXD011/TXDA011/SMOSI011/SSDA011/ TXDB009/SSLA3/SSL03/CTX0
42	VCC	VCC
43	P96/IRQ4/POE4#	P96/POE4#/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/GTCPPO4/CTS008#/RTS008#/ SS008#/DE008/SSL03/RSPCK0/IRQ4
44	VSS	VSS
45	P95/MTIOC6B	P95/MTIOC6B/MTIOC1A/MTIOC6B#/MTIOC1A#/ TMCi3/GTIOC4A/GTIOC7A/GTIOC4A#/ GTIOC7A#/GTOWUP/RXD6/SMISO6/SSCL6/ RXD008/SMISO008/SSCL008/MISOA/SSL02/ MISO0/IRQ1/ADTRG1#
46	P94/MTIOC7A	P94/MTIOC7A/MTIOC2A/MTIOC7A#/MTIOC2A#/ TMRi7/GTIOC5A/GTADSM0/GTIOC5A#/ GTOWUP/TXD009/TXDA009/SMOSI009/ SSDA009/SCK008/TXDB008/SSLA0/SSL00
47	P93/MTIOC7B	P93/MTIOC7B/MTIOC6A/MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/GTOWUP/TXD009/ TXDA009/SMOSI009/SSDA009/RXD011/ SMISO011/SSCL011/SSLA2/SSL02/MOSIO/ CRX0/IRQ14/ADTRG0#
48	P92/MTIOC6D	P92/MTIOC6D/MTIOC6C/MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/GTIOC4B#/ GTIOC7B#/GTOWLO/SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/TXDB009/SSLA3/SSL03/ MISO0/CTX0
49	P91/MTIOC7C	P91/MTIOC7C/MTIOC7C#/GTIOC5B/GTIOC5B#/ GTOWLO/RXD5/SMISO5/SSCL5/RSPCK0
50	P90/MTIOC7D	P90/MTIOC7D/MTIOC7D#/GTIOC6B/GTIOC6B#/ GTOWLO/TXD5/SMOSI5/SSDA5/SSL01

100 ピン	RX62T (100 ピン LQFP)	RX26T (100 ピン LFQFP)
51	P76/MTIOC4D/GTIOC2B-A	P76/MTIOC4D/MTIOC4D#/GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/GTOWLO/SSL03
52	P75/MTIOC4C/GTIOC1B-A	P75/MTIOC4C/MTIOC4C#/GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/GTOVLO/SSL02
53	P74/MTIOC3D/GTIOC0B-A	P74/MTIOC3D/MTIOC3D#/GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/GTOULO/SSL01
54	P73/MTIOC4B/GTIOC2A-A	P73/MTIOC4B/MTIOC4B#/GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/GTOWUP/SSL00
55	P72/MTIOC4A/GTIOC1A-A	P72/MTIOC4A/MTIOC4A#/GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/GTOVUP/MOSI0
56	P71/MTIOC3B/GTIOC0A-A	P71/MTIOC3B/MTIOC3B#/GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/GTOUUP/MISO0
57	P70/IRQ5/POE0#	P70/MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/ TMRi6/POE0#/GTETRG/GTETRGA/GTETRGC/ GTETRGD/GTCPP00/SCK5/CTS009#/RTS009#/ SS009#/DE009/SSLA0/RSPCK0/IRQ5
58	P33/MTIOC3A/MTCLKA-A/SSL3-A	P33/MTIOC3A/MTCLKA/MTIOC3A#/MTCLKA#/ TMO0/GTIOC3B/GTIOC7B/GTIOC3B#/ GTIOC7B#/GTCPP00/SSLA3/SSL03/IRQ13
59	P32/MTIOC3C/MTCLKB-A/SSL2-A	P32/MTIOC3C/MTCLKB/MTIOC3C#/MTCLKB#/ TMO6/GTIOC3A/GTIOC7A/GTIOC3A#/ GTIOC7A#/SSLA2/SSL02/IRQ12
60	VCC	VCC
61	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P31/MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/ TMRi6/GTIU/SSLA1/SSL01/IRQ6
62	VSS	VSS
63	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P30/MTIOC0B/MTCLKD/MTIOC0B#/MTCLKD#/ TMCi6/GTIV/SCK008/CTS008#/RTS008#/ SS008#/DE008/SSLA0/SSL00/IRQ7/COMP3
64	P24/RSPCK-A	P27/MTIOC1A/MTIOC0C/MTIOC1A#/MTIOC0C#/ TMO2/TMO6/POE9#/RSPCKA/RSPCK0/IRQ15
65	P23/CTX-B/LTX/MOSI-A	P24/MTIC5U/MTIC5U#/TMCi2/TMO6/CTS008#/ RTS008#/SS008#/SCK008/DE008/RSPCKA/ RSPCK0/IRQ4/COMP0
66	P22/ADTRG#/CRX-B/LRX/MISO-A	P23/MTIC5V/MTIC5V#/TMO2/CACREF/TXD12/ SMOSI12/SSDA12/TXDX12/SIOX12/TXD008/ TXDA008/SMOSI008/SSDA008/MOSIA/MOSI0/ CTX0/IRQ11/COMP1
67	P21/ADTRG1#-B/MTCLKA-B/IRQ6	P22/MTIC5W/MTCLKD/MTIC5W#/MTCLKD#/ TMRi2/TMO4/MTIOC9B/GTIV/RXD12/SMISO12/ SSCL12/RXDX12/RXD008/SMISO008/SSCL008/ SCK008/TXDB008/MISOA/MISO0/CRX0/IRQ10/ ADTRG2#/COMP2
68	P20/ADTRG0#-B/MTCLKB-B/IRQ7	P21/MTIOC9A/MTCLKA/MTIOC9A#/MTCLKA#/ TMCi4/TMO6/GTIU/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/TXDA008/SMOSI008/ SSDA008/MOSIA/MOSI0/IRQ6/AN217/ ADTRG1#/COMP5

100 ピン	RX62T (100 ピン LQFP)	RX26T (100 ピン LFQFP)
69	P65/AN5	P20/MTIOC9C/MTCLKB/MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW/CTS008#/RTS008#/SS008#/ RXD008/SMISO008/SSCL008/DE008/RSPCKA/ RSPCK0/IRQ7/AN216/ADTRG0#/COMP4
70	P64/AN4	P65/IRQ9/AN211/CMPC53/DA1
71	AVCC	P64/IRQ8/AN210/CMPC33/DA0
72	VREF	AVCC2
73	AVSS	AVSS2
74	P63/AN3	P63/IRQ7/AN209/CMPC23
75	P62/AN2	P62/IRQ6/AN208/CMPC43
76	P61/AN1	P61/IRQ5/AN207/CMPC13
77	P60/AN0	P60/IRQ4/AN206/CMPC03
78	P55/AN11	P55/IRQ3/AN203/CMPC32
79	P54/AN10	P54/IRQ2/AN202/CMPC22/CVREFC1
80	P53/AN9	P53/IRQ1/AN201/CMPC12/CVREFC0
81	P52/AN8	P52/IRQ0/AN200/CMPC02
82	P51/AN7	P51/AN205/CMPC52
83	P50/AN6	P50/AN204/CMPC42
84	P47/AN103/CVREFH	P47/AN103
85	P46/AN102	P46/AN102/CMPC50/CMPC51
86	P45/AN101	P45/AN101/CMPC40/CMPC41
87	P44/AN100	P44/AN100/CMPC30/CMPC31
88	P43/AN003/CVREFL	P43/AN003
89	P42/AN002	P42/AN002/CMPC20/CMPC21
90	P41/AN001	P41/AN001/CMPC10/CMPC11
91	P40/AN000	P40/AN000/CMPC00/CMPC01
92	AVCC0	AVCC1
93	VREFH0	AVCC0
94	VREFL0	AVSS0
95	AVSS0	AVSS1
96	P82/MTIC5U/SCK2-B	P82/MTIC5U/MTIC5U#/TMO4/SCK6/SCK12/ IRQ3/COMP5
97	P81/MTIC5V/TXD2-B	P81/MTIC5V/MTIC5V#/TMCI4/TXD6/SMOSI6/ SSDA6/TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12/COMP4
98	P80/MTIC5W/RXD2-B	P80/MTIC5W/MTIC5W#/TMRI4/RXD6/SMISO6/ SSCL6/RXD12/SMISO12/SSCL12/RXDX12/IRQ5/ COMP3
99	P11/MTCLKC-B/IRQ1-A	P11/MTIOC3A/MTCLKC/MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/GTCPP00/TOC3/ SCK009/SCK008/TXDB009/IRQ1
100	P10/MTCLKD-B/IRQ0-A	P10/MTIOC9B/MTCLKD/MTIOC9B#/MTCLKD#/ TMRI3/POE12#/GTIOC3A/GTETRGA/GTIOC3A#/ GTETRGD/GTIV/TIC3/CTS6#/RTS6#/SS6#/ TXD009/TXDA009/SMOSI009/SSDA009/IRQ0

3.2 80 ピンパッケージ

表 3.2 に 80 ピンパッケージ端子機能の比較を、表 3.3 に 80 ピン(R5F562TxGDFF)パッケージ端子機能の比較を示します。

表 3.2 80 ピンパッケージ端子機能の比較

80 ピン	RX62T (80 ピン LQFP)	RX26T (80 ピン LFQFP)
1	EMLE	EMLE/ PN7 /MTIOC9D/MTIOC9D#/IRQ5/ADST0
2	VSS	VSS
3	MDE	P00/MTIOC9A/MTIOC9A#/CACREF/GTIU/TIC3/ RXD12/SMISO12/SSCL12/RXD12/RXD009/ SMISO009/SSCL009/IRQ2/ADST1/COMP0
4	VCL	VCL
5	MD1	MD /FINED/PN6
6	MD0	P01/MTIOC9C/MTIOC9C#/POE12#/GTETRGA/ GTETRGA/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/ SMOSI12/SSDA12/TXD12/SIOX12/TXD009/ TXDA009/SMOSI009/SSDA009/IRQ4/ADST2/ COMP1
7	PE4/MTCLKC-C/IRQ1-B/POE10#-B	PE4/MTCLKC/MTCLKC#/POE10#/GTETRGA/ GTETRGA/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/ TXDB009/IRQ1
8	PE3/MTCLKD-C/IRQ2-A/POE11#	PE3/MTCLKD/MTCLKD#/POE11#/GTETRGA/ GTETRGA/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/GTETRGC/ RTS009#/SS009#/DE009/IRQ2
9	RES#	RES#
10	XTAL	XTAL/P37/RXD5/SMISO5/SSCL5
11	VSS	VSS
12	EXTAL	EXTAL/P36/TXD5/SMOSI5/SSDA5
13	VCC	VCC
14	PE2/NMI/POE10#-A	PE2/POE10#/NMI/IRQ0
15	PE0 /CRX-C	TRST#/ PD7 /MTIOC9A/MTIOC9A#/TMR11/TMR15/ GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/ GTIU/TXD5/SMOSI5/SSDA5/SCK009/TXD008/ TXDA008/SMOSI008/SSDA008/TXDB009/ SSLA1/SSL01/CTX0/IRQ8
16	PD7 /GTIOC0A-B/CTX-C/TRST#	TMS/ PD6 /MTIOC9C/MTIOC9C#/TMO1/ GTIOC0B /GTIOC3B/GTIOC0B#/GTIOC3B#/ GTIW/CTS1#/RTS1#/SS1#/RXD12/SMISO12/ SSCL12/RXD12/CTS011#/RTS011#/SS011#/ DE011/SSLA0/SSL00/IRQ5/ADST0
17	PD6 /GTIOC0B-B/TMS	TDI/ PD5 /TMR10/TMR16/GTIOC1A/GTETRGA/ GTIOC1A#/ GTIOC7A /RXD1/SMISO1/SSCL1/ RXD011/SMISO011/SSCL011/SSL00/IRQ6
18	PD5 /GTIOC1A-B/RXD1/TDI	TCK/ PD4 /TMC10/TMC16/GTIOC1B/GTETRGA/ GTIOC1B#/SCK1/TXD12/SMOSI12/SSDA12/ TXD12/SIOX12/SCK011/TXDB011/SSL02/IRQ2
19	PD4 /GTIOC1B-B/SCK1/TCK	TDO/ PD3 /TMO0/GTIOC2A/GTETRGA/ GTIOC2A#/ GTIOC7B /TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/SMOSI011/SSDA011/MOSI0

80 ピン	RX62T (80 ピン LQFP)	RX26T (80 ピン LFQFP)
20	PD3/GTIOC2A-B/TXD1/TDO	PD2/TMC1/TMO4/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/SCK5/SCK008/TXDB008/ MOSIA/MOSIO
21	PB7/SCK2-A	PB6/GTIOC2A/GTIOC3A/GTIOC2A#/GTIOC3A#/ TOC0/RXD5/SMISO5/SSCL5/RXD12/SMISO12/ SSCL12/RXD12/RXD011/SMISO011/SSCL011/ MISO0/CRX0/IRQ2
22	PB6/CRX-A/RXD2-A	PB5/GTIOC2B/GTIOC3B/GTIOC2B#/GTIOC3B#/ TIC0/TXD5/SMOSI5/SSDA5/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12/TXD011/TXDA011/ SMOSI011/SSDA011/RSPCK0/CTX0
23	PB5/CTX-A/TXD2-A	VCC
24	PLLVC	PB4/POE8#/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/GTCPPO0/CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/RXD12/CTS011#/ RTS011#/SS011#/SCK011/TXDB011/MISOA/ SSL01/CRX0/IRQ3
25	PB4/GTETRGA/IRQ3/POE8#	VSS
26	PLLVS	PB3/MTIOC0A/MTIOC0A#/CACREF/GTIU/ TOC1/SCK6/TXD12/SMOSI12/SSDA12/TXD12/ SIOX12/CTS009#/RTS009#/SS009#/DE009/ RSPCKA/CTX0/IRQ9
27	PB3/MTIOC0A-A/SCK0	PB2/MTIOC0B/MTIOC0B#/TMRIO/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/TIC1/TXD6/SMOSI6/ SSDA6/SDA0/SDA00/ADSM0
28	PB2/MTIOC0B-A/TXD0/SDA	PB1/MTIOC0C/MTIOC0C#/TMCIO/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/TOC2/RXD6/ SMISO6/SSCL6/SCL0/SCL00/IRQ4/ADSM1
29	PB1/MTIOC0C/RXD0/SCL	PB0/MTIOC0D/MTIOC0D#/TMO0/TIC2/TXD6/ SMOSI6/SSDA6/TXD008/TXDA008/SMOSI008/ SSDA008/CTS011#/RTS011#/SS011#/DE011/ MOSIA/MOSIO/IRQ8/ADTRG2#
30	PB0/MTIOC0D/MOSI-B	PA5/MTIOC1A/MTIOC1A#/TMC13/RXD6/ SMISO6/SSCL6/RXD008/SMISO008/SSCL008/ MISOA/MISO0/IRQ1/ADTRG1#
31	PA3/MTIOC2A/SSL0-B	PA3/MTIOC2A/MTIOC2A#/TMR17/GTADSM0/ TXD009/TXDA009/SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/SSL00
32	PA2/MTIOC2B/SSL1-B	VCC
33	VCC	P96/POE4#/GTETRGA/GTETRGB/GTETRGC/ GTETRGD/GTCPPO4/CTS008#/RTS008#/ SS008#/DE008/SSL03/RSPCK0/IRQ4
34	P96/IRQ4/POE4#	VSS
35	VSS	P95/MTIOC6B/MTIOC1A/MTIOC6B#/MTIOC1A#/ TMC13/GTIOC4A/GTIOC7A/GTIOC4A#/ GTIOC7A#/GTOUTUP/RXD6/SMISO6/SSCL6/ RXD008/SMISO008/SSCL008/MISOA/SSL02/ MISO0/IRQ1/ADTRG1#

80 ピン	RX62T (80 ピン LQFP)	RX26T (80 ピン LFQFP)
36	P95/MTIOC6B	P94/MTIOC7A/MTIOC2A/MTIOC7A#/MTIOC2A#/ TMR17/GTIOC5A/GTADSM0/GTIOC5A#/ GTOVUP/TXD009/TXDA009/SMOSI009/ SSDA009/SCK008/TXDB008/SSLA0/SSL00
37	P94/MTIOC7A	P93/MTIOC7B/MTIOC6A/MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/GTOWUP/TXD009/ TXDA009/SMOSI009/SSDA009/RXD011/ SMISO011/SSCL011/SSLA2/SSL02/MOSI0/ CRX0/IRQ14/ADTRG0#
38	P93/MTIOC7B	P92/MTIOC6D/MTIOC6C/MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/GTIOC4B#/ GTIOC7B#/GTOULO/SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/TXDB009/SSLA3/SSL03/ MISO0/CTX0
39	P92/MTIOC6D	P91/MTIOC7C/MTIOC7C#/GTIOC5B/GTIOC5B#/ GTOVLO/RXD5/SMISO5/SSCL5/RSPCK0
40	P91/MTIOC7C	P90/MTIOC7D/MTIOC7D#/GTIOC6B/GTIOC6B#/ GTOWLO/TXD5/SMOSI5/SSDA5/SSL01
41	P76/MTIOC4D/GTIOC2B-A	P76/MTIOC4D/MTIOC4D#/GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/GTOWLO/SSL03
42	P75/MTIOC4C/GTIOC1B-A	P75/MTIOC4C/MTIOC4C#/GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/GTOVLO/SSL02
43	P74/MTIOC3D/GTIOC0B-A	P74/MTIOC3D/MTIOC3D#/GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/GTOULO/SSL01
44	P73/MTIOC4B/GTIOC2A-A	P73/MTIOC4B/MTIOC4B#/GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/GTOWUP/SSL00
45	P72/MTIOC4A/GTIOC1A-A	P72/MTIOC4A/MTIOC4A#/GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/GTOVUP/MOSI0
46	P71/MTIOC3B/GTIOC0A-A	P71/MTIOC3B/MTIOC3B#/GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/GTOUUP/MISO0
47	P70/IRQ5/POE0#	P70/MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/ TMR16/POE0#/GTETRGA/GTETRGA/GTETRGC/ GTETRGD/GTCPPO0/SCK5/CTS009#/RTS009#/ SS009#/DE009/SSLA0/RSPCK0/IRQ5
48	P33/MTIOC3A/MTCLKA-A/SSL3-A	VCC
49	P32/MTIOC3C/MTCLKB-A/SSL2-A	P31/MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/ TMR16/GTIU/SSLA1/SSL01/IRQ6
50	VCC	VSS
51	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P30/MTIOC0B/MTCLKD/MTIOC0B#/MTCLKD#/ TMC16/GTIV/SCK008/CTS008#/RTS008#/ SS008#/DE008/SSLA0/SSL00/IRQ7/COMP3
52	VSS	P27/MTIOC1A/MTIOC0C/MTIOC1A#/MTIOC0C#/ TMO2/TMO6/POE9#/RSPCKA/RSPCK0/IRQ15
53	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P22/MTIC5W/MTCLKD/MTIC5W#/MTCLKD#/ TMR12/TMO4/MTIOC9B/GTIV/RXD12/SMISO12/ SSCL12/RXDX12/RXD008/SMISO008/SSCL008/ SCK008/TXDB008/MISOA/MISO0/CRX0/IRQ10/ ADTRG2#/COMP2

80 ピン	RX62T (80 ピン LQFP)	RX26T (80 ピン LFQFP)
54	P24/RSPCK-A	P21/MTIOC9A/MTCLKA/MTIOC9A#/MTCLKA#/ TMC14/TMO6/GTIU/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/TXDA008/SMOSI008/ SSDA008/MOSIA/MOSI0/IRQ6/AN217/ ADTRG1#/COMP5
55	P23/CTX-B/LTX/MOSI-A	P20/MTIOC9C/MTCLKB/MTIOC9C#/MTCLKB#/ TMR14/TMO2/GTIW/CTS008#/RTS008#/SS008#/ RXD008/SMISO008/SSCL008/DE008/RSPCKA/ RSPCK0/IRQ7/AN216/ADTRG0#/COMP4
56	P22/ADTRG#/CRX-B/LRX/MISO-A	P65/IRQ9/AN211/CMPC53/DA1
57	P21/ADTRG1#-B/MTCLKA-B/IRQ6	P64/IRQ8/AN210/CMPC33/DA0
58	P20/ADTRG0#-B/MTCLKB-B/IRQ7	AVCC2
59	AVCC	AVSS2
60	AVSS	P60/IRQ4/AN206/CMPC03
61	P63/AN3	P55/IRQ3/AN203/CMPC32
62	P62/AN2	P54/IRQ2/AN202/CMPC22/CVREFC1
63	P61/AN1	P53/IRQ1/AN201/CMPC12/CVREFC0
64	P60/AN0	P52/IRQ0/AN200/CMPC02
65	P47/AN103/CVREFH	P51/AN205/CMPC52
66	P46/AN102	P50/AN204/CMPC42
67	P45/AN101	P47/AN103
68	P44/AN100	P46/AN102/CMPC50/CMPC51
69	P43/AN003/CVREFL	P45/AN101/CMPC40/CMPC41
70	P42/AN002	P44/AN100/CMPC30/CMPC31
71	P41/AN001	P43/AN003
72	P40/AN000	P42/AN002/CMPC20/CMPC21
73	AVCC0	P41/AN001/CMPC10/CMPC11
74	VREFH0	P40/AN000/CMPC00/CMPC01
75	VREFL0	AVCC1
76	AVSS0	AVCC0
77	P11/MTCLKC-B/IRQ1-A	AVSS0
78	P10/MTCLKD-B/IRQ0-A	AVSS1
79	PA5/ADTRG1#-A/MTIOC1A/MISO-B	P11/MTIOC3A/MTCLKC/MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/GTCPP00/TOC3/ SCK009/SCK008/TXDB009/IRQ1
80	PA4/ADTRG0#-A/MTIOC1B/RSPCK-B	P10/MTIOC9B/MTCLKD/MTIOC9B#/MTCLKD#/ TMR13/POE12#/GTIOC3A/GTETRGA/GTIOC3A#/ GTETRGD/GTIV/TIC3/CTS6#/RTS6#/SS6#/ TXD009/TXDA009/SMOSI009/SSDA009/IRQ0

表 3.3 80 ピン(R5F562TxGDFF)パッケージ端子機能の比較

80 ピン	RX62T (80 ピン LQFP : R5F562TxGDFF)	RX26T (80 ピン LFQFP)
1	EMLE	EMLE/PN7/MTIOC9D/MTIOC9D#/IRQ5/ADST0
2	VSS	VSS
3	MDE	P00/MTIOC9A/MTIOC9A#/CACREF/GTIU/TIC3/ RXD12/SMISO12/SSCL12/RXD12/RXD009/ SMISO009/SSCL009/IRQ2/ADST1/COMP0
4	VCL	VCL
5	MD1	MD/FINED/PN6
6	MD0	P01/MTIOC9C/MTIOC9C#/POE12#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/GTIW/TXD12/ SMOSI12/SSDA12/TXD12/SIOX12/TXD009/ TXDA009/SMOSI009/SSDA009/IRQ4/ADST2/ COMP1
7	PE4/MTCLKC-C/IRQ1-B/POE10#-B	PE4/MTCLKC/MTCLKC#/POE10#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/SCK009/ TXDB009/IRQ1
8	PE3/MTCLKD-C/IRQ2-A/POE11#	PE3/MTCLKD/MTCLKD#/POE11#/GTETRGA/ GTETRGB/GTETRGC/GTETRGD/CTS009#/ RTS009#/SS009#/DE009/IRQ2
9	RES#	RES#
10	XTAL	XTAL/P37/RXD5/SMISO5/SSCL5
11	VSS	VSS
12	EXTAL	EXTAL/P36/TXD5/SMOSI5/SSDA5
13	VCC	VCC
14	PE2/NMI/POE10#-A	PE2/POE10#/NMI/IRQ0
15	PD7/GTIOC0A-B/TRST#	TRST#/PD7/MTIOC9A/MTIOC9A#/TMR11/TMR15/ GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/ GTIU/TXD5/SMOSI5/SSDA5/SCK009/TXD008/ TXDA008/SMOSI008/SSDA008/TXDB009/ SSLA1/SSL01/CTX0/IRQ8
16	PD6/GTIOC0B-B/TMS	TMS/PD6/MTIOC9C/MTIOC9C#/TMO1/ GTIOC0B/GTIOC3B/GTIOC0B#/GTIOC3B#/ GTIW/CTS1#/RTS1#/SS1#/RXD12/SMISO12/ SSCL12/RXD12/CTS011#/RTS011#/SS011#/ DE011/SSLA0/SSL00/IRQ5/ADST0
17	PD5/GTIOC1A-B/RXD1/TDI	TDI/PD5/TMR10/TMR16/GTIOC1A/GTETRGA/ GTIOC1A#/GTIOC7A/RXD1/SMISO1/SSCL1/ RXD011/SMISO011/SSCL011/SSL00/IRQ6
18	PD4/GTIOC1B-B/SCK1/TCK	TCK/PD4/TMC10/TMC16/GTIOC1B/GTETRGB/ GTIOC1B#/SCK1/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/SCK011/TXDB011/SSL02/IRQ2
19	PD3/GTIOC2A-B/TXD1/TDO	TDO/PD3/TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B/TXD1/SMOSI1/SSDA1/ TXD011/TXDA011/SMOSI011/SSDA011/MOSIO
20	PD2/GTIOC2B-B	PD2/TMC11/TMO4/GTIOC2B/GTIOC0A/ GTIOC2B#/GTIOC0A#/SCK5/SCK008/TXDB008/ MOSIA/MOSIO
21	PB7/SCK2-A	PB6/GTIOC2A/GTIOC3A/GTIOC2A#/GTIOC3A#/ TOC0/RXD5/SMISO5/SSCL5/RXD12/SMISO12/ SSCL12/RXD12/RXD011/SMISO011/SSCL011/ MISO0/CRX0/IRQ2

80 ピン	RX62T (80 ピン LQFP : R5F562TxGDFF)	RX26T (80 ピン LFQFP)
22	PB6/CRX-A/RXD2-A	PB5/GTIOC2B/GTIOC3B/GTIOC2B#/GTIOC3B#/ TIC0/TXD5/SMOSI5/SSDA5/TXD12/SMOSI12/ SSDA12/TXDX12/SIOX12/TXD011/TXDA011/ SMOSI011/SSDA011/RSPCK0/CTX0
23	PB5/CTX-A/TXD2-A	VCC
24	PLLVC	PB4/POE8#/GTETRGA/GTETRGA/GTETRGC/ GTETRGA/GTCPP00/CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/RXDX12/CTS011#/ RTS011#/SS011#/SCK011/TXDB011/MISOA/ SSL01/CRX0/IRQ3
25	PB4/GTETRGA/IRQ3/POE8#	VSS
26	PLLVS	PB3/MTIOC0A/MTIOC0A#/CACREF/GTIU/ TOC1/SCK6/TXD12/SMOSI12/SSDA12/TXDX12/ SIOX12/CTS009#/RTS009#/SS009#/DE009/ RSPCKA/CTX0/IRQ9
27	PB3/MTIOC0A-A/SCK0	PB2/MTIOC0B/MTIOC0B#/TMR10/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/TIC1/TXD6/SMOSI6/ SSDA6/SDA0/SDA00/ADSM0
28	PB2/MTIOC0B-A/TXD0/SDA	PB1/MTIOC0C/MTIOC0C#/TMC10/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/TOC2/RXD6/ SMISO6/SSCL6/SCL0/SCL00/IRQ4/ADSM1
29	PB1/MTIOC0C/RXD0/SCL	PB0/MTIOC0D/MTIOC0D#/TMO0/TIC2/TXD6/ SMOSI6/SSDA6/TXD008/TXDA008/SMOSI008/ SSDA008/CTS011#/RTS011#/SS011#/DE011/ MOSIA/MOSI0/IRQ8/ADTRG2#
30	PB0/MTIOC0D	PA5/MTIOC1A/MTIOC1A#/TMC13/RXD6/ SMISO6/SSCL6/RXD008/SMISO008/SSCL008/ MISOA/MISO0/IRQ1/ADTRG1#
31	PA5/ADTRG1#-A/MTIOC1A	PA3/MTIOC2A/MTIOC2A#/TMR17/GTADSM0/ TXD009/TXDA009/SMOSI009/SSDA009/ SCK008/TXDB008/SSLA0/SSL00
32	PA3/MTIOC2A	VCC
33	VCC	P96/POE4#/GTETRGA/GTETRGA/GTETRGC/ GTETRGA/GTCPP04/CTS008#/RTS008#/ SS008#/DE008/SSL03/RSPCK0/IRQ4
34	P96/IRQ4/POE4#	VSS
35	VSS	P95/MTIOC6B/MTIOC1A/MTIOC6B#/MTIOC1A#/ TMC13/GTIOC4A/GTIOC7A/GTIOC4A#/ GTIOC7A#/GTOWUP/RXD6/SMISO6/SSCL6/ RXD008/SMISO008/SSCL008/MISOA/SSL02/ MISO0/IRQ1/ADTRG1#
36	P95/MTIOC6B	P94/MTIOC7A/MTIOC2A/MTIOC7A#/MTIOC2A#/ TMR17/GTIOC5A/GTADSM0/GTIOC5A#/ GTOWUP/TXD009/TXDA009/SMOSI009/ SSDA009/SCK008/TXDB008/SSLA0/SSL00
37	P94/MTIOC7A	P93/MTIOC7B/MTIOC6A/MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/GTOWUP/TXD009/ TXDA009/SMOSI009/SSDA009/RXD011/ SMISO011/SSCL011/SSLA2/SSL02/MOSI0/ CRX0/IRQ14/ADTRG0#

80 ピン	RX62T (80 ピン LQFP : R5F562TxGDFF)	RX26T (80 ピン LFQFP)
38	P93/MTIOC7B	P92/MTIOC6D/MTIOC6C/MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/GTIOC4B#/ GTIOC7B#/GTOULO/SCK009/TXD011/TXDA011/ SMOSI011/SSDA011/TXDB009/SSLA3/SSL03/ MISO0/CTX0
39	P92/MTIOC6D	P91/MTIOC7C/MTIOC7C#/GTIOC5B/GTIOC5B#/ GTOVLO/RXD5/SMISO5/SSCL5/RSPCK0
40	P91/MTIOC7C	P90/MTIOC7D/MTIOC7D#/GTIOC6B/GTIOC6B#/ GTOWLO/TXD5/SMOSI5/SSDA5/SSL01
41	P90/MTIOC7D	P76/MTIOC4D/MTIOC4D#/GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/GTOWLO/SSL03
42	P76/MTIOC4D/GTIOC2B-A	P75/MTIOC4C/MTIOC4C#/GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/GTOVLO/SSL02
43	P75/MTIOC4C/GTIOC1B-A	P74/MTIOC3D/MTIOC3D#/GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/GTOULO/SSL01
44	P74/MTIOC3D/GTIOC0B-A	P73/MTIOC4B/MTIOC4B#/GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/GTOWUP/SSL00
45	P73/MTIOC4B/GTIOC2A-A	P72/MTIOC4A/MTIOC4A#/GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/GTOWUP/MOSI0
46	P72/MTIOC4A/GTIOC1A-A	P71/MTIOC3B/MTIOC3B#/GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/GTOWUP/MISO0
47	P71/MTIOC3B/GTIOC0A-A	P70/MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/ TMRI6/POE0#/GTETRG/GTETRGA/GTETRGC/ GTETRGD/GTCPPO0/SCK5/CTS009#/RTS009#/ SS009#/DE009/SSLA0/RSPCK0/IRQ5
48	P70/IRQ5/POE0#	VCC
49	P33/MTIOC3A/MTCLKA-A/SSL3-A	P31/MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/ TMRI6/GTIU/SSLA1/SSL01/IRQ6
50	P32/MTIOC3C/MTCLKB-A/SSL2-A	VSS
51	VCC	P30/MTIOC0B/MTCLKD/MTIOC0B#/MTCLKD#/ TMC16/GTIV/SCK008/CTS008#/RTS008#/ SS008#/DE008/SSLA0/SSL00/IRQ7/COMP3
52	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P27/MTIOC1A/MTIOC0C/MTIOC1A#/MTIOC0C#/ TMO2/TMO6/POE9#/RSPCKA/RSPCK0/IRQ15
53	VSS	P22/MTIC5W/MTCLKD/MTIC5W#/MTCLKD#/ TMRI2/TMO4/MTIOC9B/GTIV/RXD12/SMISO12/ SSCL12/RDX12/RXD008/SMISO008/SSCL008/ SCK008/TXDB008/MISOA/MISO0/CRX0/IRQ10/ ADTRG2#/COMP2
54	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P21/MTIOC9A/MTCLKA/MTIOC9A#/MTCLKA#/ TMC14/TMO6/GTIU/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008/TXDA008/SMOSI008/ SSDA008/MOSIA/MOSI0/IRQ6/AN217/ ADTRG1#/COMP5
55	P24/RSPCK-A	P20/MTIOC9C/MTCLKB/MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW/CTS008#/RTS008#/SS008#/ RXD008/SMISO008/SSCL008/DE008/RSPCKA/ RSPCK0/IRQ7/AN216/ADTRG0#/COMP4
56	P23/CTX-B/LTX/MOSI-A	P65/IRQ9/AN211/CMPC53/DA1
57	P22/ADTRG#/CRX-B/LRX/MISO-A	P64/IRQ8/AN210/CMPC33/DA0
58	P20/ADTRG0-B/MTCLKB-B/IRQ7	AVCC2

80 ピン	RX62T (80 ピン LQFP : R5F562TxGDFF)	RX26T (80 ピン LFQFP)
59	AVCC	AVSS2
60	AVSS	P60/IRQ4/AN206/CMPC03
61	P63/AN3	P55/IRQ3/AN203/CMPC32
62	P62/AN2	P54/IRQ2/AN202/CMPC22/CVREFC1
63	P61/AN1	P53/IRQ1/AN201/CMPC12/CVREFC0
64	P60/AN0	P52/IRQ0/AN200/CMPC02
65	P47/AN103/CVREFH	P51/AN205/CMPC52
66	P46/AN102	P50/AN204/CMPC42
67	P45/AN101	P47/AN103
68	P44/AN100	P46/AN102/CMPC50/CMPC51
69	P43/AN003/CVREFL	P45/AN101/CMPC40/CMPC41
70	P42/AN002	P44/AN100/CMPC30/CMPC31
71	P41/AN001	P43/AN003
72	P40/AN000	P42/AN002/CMPC20/CMPC21
73	AVCC0	P41/AN001/CMPC10/CMPC11
74	VREFH0	P40/AN000/CMPC00/CMPC01
75	VREFL0	AVCC1
76	AVSS0	AVCC0
77	P82/MTIC5U/SCK2-B	AVSS0
78	P81/MTIC5V/TXD2-B	AVSS1
79	P80/MTIC5W/RXD2-B	P11/MTIOC3A/MTCLKC/MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/GTCPP00/TOC3/ SCK009/SCK008/TXDB009/IRQ1
80	P10/MTCLKD-B/IRQ0-A	P10/MTIOC9B/MTCLKD/MTIOC9B#/MTCLKD#/ TMRI3/POE12#/GTIOC3A/GTETRGB/GTIOC3A#/ GTETRGD/GTIV/TIC3/CTS6#/RTS6#/SS6#/ TXD009/TXDA009/SMOSI009/SSDA009/IRQ0

3.3 64 ピンパッケージ

表 3.4 に 64 ピンパッケージ端子機能の比較を示します。

表 3.4 64 ピンパッケージ端子機能の比較

64 ピン	RX62T (64 ピン LQFP)	RX26T (64 ピン LFQFP)
1	EMLE	EMLE/PN7/MTIOC9D/MTIOC9D#/IRQ5/ADST0
2	MDE	P00/MTIOC9A/MTIOC9A#/CACREF/GTIU/TIC3/ RXD12/SMISO12/SSCL12/RDX12/RXD009 ^(注1) / SMISO009 ^(注1) /SSCL009 ^(注1) /IRQ2/ADST1 ^(注1) / COMP0
3	VCL	VCL
4	MD1	MD/FINED/PN6
5	MD0	P01/MTIOC9C/MTIOC9C#/POE12#/GTETRGA/ GTETRGA/GTETRGC/GTETRGC/GTETRGC/GTW/TXD12/ SMOSI12/SSDA12/TXD12/SIOX12/TXD009 ^(注1) / TXDA009 ^(注1) /SMOSI009 ^(注1) /SSDA009 ^(注1) /IRQ4/ ADST2/COMP1
6	RES#	RES#
7	XTAL	XTAL/P37/RXD5/SMISO5/SSCL5
8	VSS	VSS
9	EXTAL	EXTAL/P36/TXD5/SMOSI5/SSDA5
10	VCC	VCC
11	PE2/NMI/POE10#-A	PE2/POE10#/NMI/IRQ0
12	PD7/GTIOC0A-B/TRST#	TRST#/PD7/MTIOC9A/MTIOC9A#/TMR11/TMR15/ GTIOC0A/GTIOC3A/GTIOC0A#/GTIOC3A#/ GTIU/TXD5/SMOSI5/SSDA5/SCK009 ^(注1) / TXD008 ^(注1) /TXDA008 ^(注1) /SMOSI008 ^(注1) / SSDA008 ^(注1) /TXDB009 ^(注1) /SSLA1/SSL01 ^(注1) / CTX0/IRQ8
13	PD6/GTIOC0B-B/TMS	TMS/PD6/MTIOC9C/MTIOC9C#/TMO1/ GTIOC0B/GTIOC3B/GTIOC0B#/GTIOC3B#/ GTW/CTS1#/RTS1#/SS1#/RXD12/SMISO12/ SSCL12/RDX12/CTS011# ^(注1) /RTS011# ^(注1) / SS011# ^(注1) /DE011 ^(注1) /SSLA0/SSL00 ^(注1) / IRQ5/ADST0
14	PD5/GTIOC1A-B/RXD1/TDI	TDI/PD5/TMR10/TMR16/GTIOC1A/GTETRGA/ GTIOC1A#/GTIOC7A/RXD1/SMISO1/SSCL1/ RXD011 ^(注1) /SMISO011 ^(注1) /SSCL011 ^(注1) / SSL00 ^(注1) /IRQ6
15	PD4/GTIOC1B-B/SCK1/TCK	TCK/PD4/TMC10/TMC16/GTIOC1B/GTETRGA/ GTIOC1B#/SCK1/TXD12/SMOSI12/SSDA12/ TXD12/SIOX12/SCK011 ^(注1) /TXDB011 ^(注1) / SSL02 ^(注1) /IRQ2
16	PD3/GTIOC2A-B/TXD1/TDO	TDO/PD3/TMO0/GTIOC2A/GTETRGC/ GTIOC2A#/GTIOC7B/TXD1/SMOSI1/SSDA1/ TXD011 ^(注1) /TXDA011 ^(注1) /SMOSI011 ^(注1) / SSDA011 ^(注1) /MOSI0 ^(注1)
17	PB7/SCK2-A	PB6/GTIOC2A/GTIOC3A/GTIOC2A#/GTIOC3A#/ TOC0/RXD5/SMISO5/SSCL5/RXD12/SMISO12/ SSCL12/RDX12/RXD011 ^(注1) /SMISO011 ^(注1) / SSCL011 ^(注1) /MISO0 ^(注1) /CRX0/IRQ2

64 ピン	RX62T (64 ピン LQFP)	RX26T (64 ピン LFQFP)
18	PB6/CRX-A/RXD2-A	PB5/GTIOC2B/GTIOC3B/GTIOC2B#/GTIOC3B#/ TIC0/TXD5/SMOSI5/SSDA5/TXD12/SMOSI12/ SSDA12/TXD12/SIOX12/TXD011 ^(注1) / TXDA011 ^(注1) /SMOSI011 ^(注1) /SSDA011 ^(注1) / RSPCK0 ^(注1) /CTX0
19	PB5/CTX-A/TXD2-A	PB4/POE8#/GTETRGA/GTETRGA/GTETRGC/ GTETRGC/GTETRGC/CTS5#/RTS5#/SS5#/ RXD12/SMISO12/SSCL12/RXD12/CTS011# ^(注1) / RTS011# ^(注1) /SS011# ^(注1) /SCK011 ^(注1) / TXDB011 ^(注1) /MISOA/SSL01 ^(注1) /CRX0/IRQ3
20	PLLVCC	PB3/MTIOC0A/MTIOC0A#/CACREF/GTIU/TOC1/ SCK6/TXD12/SMOSI12/SSDA12/TXD12/ SIOX12/CTS009# ^(注1) /RTS009# ^(注1) / SS009# ^(注1) /DE009 ^(注1) /RSPCKA/CTX0/IRQ9
21	PB4/GTETRGA/IRQ3/POE8#	PB2/MTIOC0B/MTIOC0B#/TMRI0/GTADSM0/ GTIOC7A/GTIOC7A#/GTIV/TIC1/TXD6/SMOSI6/ SSDA6/SDA0/SDA00 ^(注1) /ADSM0
22	PLLSS	PB1/MTIOC0C/MTIOC0C#/TMCIO/GTADSM1/ GTIOC7B/GTIOC7B#/GTIW/TOC2/RXD6/ SMISO6/SSCL6/SCL0/SCL00 ^(注1) /IRQ4/ADSM1
23	PB3/MTIOC0A-A/SCK0	PB0/MTIOC0D/MTIOC0D#/TMO0/TIC2/TXD6/ SMOSI6/SSDA6/TXD008 ^(注1) /TXDA008 ^(注1) / SMOSI008 ^(注1) /SSDA008 ^(注1) /CTS011# ^(注1) / RTS011# ^(注1) /SS011# ^(注1) /DE011 ^(注1) / MOSIA/MOSI0 ^(注1) /IRQ8/ADTRG2#
24	PB2/MTIOC0B-A/TXD0/SDA	VCC
25	PB1/MTIOC0C/RXD0/SCL	P96/POE4#/GTETRGA/GTETRGA/GTETRGC/ GTETRGC/GTETRGC/CTS008# ^(注1) / RTS008# ^(注1) /SS008# ^(注1) /DE008 ^(注1) / SSL03 ^(注1) /RSPCK0 ^(注1) /IRQ4
26	PB0/MTIOC0D/MOSI-B	VSS
27	PA3/MTIOC2A/SSL0-B	P95/MTIOC6B/MTIOC1A/MTIOC6B#/MTIOC1A#/ TMCIO3/GTIOC4A/GTIOC7A/GTIOC4A#/ GTIOC7A#/GTOWUP/RXD6/SMISO6/SSCL6/ RXD008 ^(注1) /SMISO008 ^(注1) /SSCL008 ^(注1) / MISOA/SSL02 ^(注1) /MISO0 ^(注1) /IRQ1/ ADTRG1# ^(注1)
28	PA2/MTIOC2B/SSL1-B	P94/MTIOC7A/MTIOC2A/MTIOC7A#/MTIOC2A#/ TMRI7/GTIOC5A/GTADSM0/GTIOC5A#/ GTOWUP/TXD009 ^(注1) /TXDA009 ^(注1) /SMOSI009 ^(注1) / SSDA009 ^(注1) /SCK008 ^(注1) /TXDB008 ^(注1) /SSLA0/ SSL00 ^(注1)
29	P94/MTIOC7A	P93/MTIOC7B/MTIOC6A/MTIOC7B#/MTIOC6A#/ TMO4/GTIOC6A/GTIOC6A#/GTOWUP/ TXD009 ^(注1) /TXDA009 ^(注1) /SMOSI009 ^(注1) / SSDA009 ^(注1) /RXD011 ^(注1) /SMISO011 ^(注1) / SSCL011 ^(注1) /SSLA2/SSL02 ^(注1) /MOSI0 ^(注1) / CRX0/IRQ14/ADTRG0#

64 ピン	RX62T (64 ピン LQFP)	RX26T (64 ピン LFQFP)
30	P93/MTIOC7B	P92/MTIOC6D/MTIOC6C/MTIOC6D#/MTIOC6C#/ TMO2/GTIOC4B/GTIOC7B/GTIOC4B#/ GTIOC7B#/GTOULO/SCK009 ^(注1) /TXD011 ^(注1) / TXDA011 ^(注1) /SMOSI011 ^(注1) /SSDA011 ^(注1) / TXDB009 ^(注1) /SSLA3/SSL03 ^(注1) /MISO0 ^(注1) /CTX0
31	P92/MTIOC6D	P91/MTIOC7C/MTIOC7C#/GTIOC5B/GTIOC5B#/ GTOVLO/RXD5/SMISO5/SSCL5/RSPCK0 ^(注1)
32	P91/MTIOC7C	P90/MTIOC7D/MTIOC7D#/GTIOC6B/GTIOC6B#/ GTOWLO/TXD5/SMOSI5/SSDA5/SSL01 ^(注1)
33	P76/MTIOC4D/GTIOC2B-A	P76/MTIOC4D/MTIOC4D#/GTIOC2B/GTIOC6B/ GTIOC2B#/GTIOC6B#/GTOWLO/SSL03 ^(注1)
34	P75/MTIOC4C/GTIOC1B-A	P75/MTIOC4C/MTIOC4C#/GTIOC1B/GTIOC5B/ GTIOC1B#/GTIOC5B#/GTOVLO/SSL02 ^(注1)
35	P74/MTIOC3D/GTIOC0B-A	P74/MTIOC3D/MTIOC3D#/GTIOC0B/GTIOC4B/ GTIOC0B#/GTIOC4B#/GTOULO/SSL01 ^(注1)
36	P73/MTIOC4B/GTIOC2A-A	P73/MTIOC4B/MTIOC4B#/GTIOC2A/GTIOC6A/ GTIOC2A#/GTIOC6A#/GTOWUP/SSL00 ^(注1)
37	P72/MTIOC4A/GTIOC1A-A	P72/MTIOC4A/MTIOC4A#/GTIOC1A/GTIOC5A/ GTIOC1A#/GTIOC5A#/GTOWUP/MOSI0 ^(注1)
38	P71/MTIOC3B/GTIOC0A-A	P71/MTIOC3B/MTIOC3B#/GTIOC0A/GTIOC4A/ GTIOC0A#/GTIOC4A#/GTOWUP/MISO0 ^(注1)
39	P70/IRQ5/POE0#	P70/MTIOC0A/MTCLKC/MTIOC0A#/MTCLKC#/ TMRI6/POE0#/GTETRG/GTETRGA/GTETRGC/ GTETRGD/GTCPP00/SCK5/CTS009# ^(注1) / RTS009# ^(注1) /SS009# ^(注1) /DE009 ^(注1) /SSLA0/ RSPCK0 ^(注1) /IRQ5
40	P33/MTIOC3A/MTCLKA-A/SSL3-A	VCC
41	P32/MTIOC3C/MTCLKB-A/SSL2-A	VSS
42	VCC	P22/MTIC5W/MTCLKD/MTIC5W#/MTCLKD#/ TMRI2/TMO4/MTIOC9B/GTIV/RXD12/SMISO12/ SSCL12/RXDX12/RXD008 ^(注1) /SMISO008 ^(注1) / SSCL008 ^(注1) /SCK008 ^(注1) /TXDB008 ^(注1) /MISOA/ MISO0 ^(注1) /CRX0/IRQ10/ADTRG2#/COMP2
43	P31/MTIOC0A-B/MTCLKC-A/SSL1-A	P21/MTIOC9A/MTCLKA/MTIOC9A#/MTCLKA#/ TMCI4/TMO6/GTIU/TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12/TXD008 ^(注1) /TXDA008 ^(注1) / SMOSI008 ^(注1) /SSDA008 ^(注1) /MOSIA/MOSI0 ^(注1) / IRQ6/AN217/ADTRG1# ^(注1) /COMP5
44	VSS	P20/MTIOC9C/MTCLKB/MTIOC9C#/MTCLKB#/ TMRI4/TMO2/GTIW/CTS008# ^(注1) /RTS008# ^(注1) / SS008# ^(注1) /RXD008 ^(注1) /SMISO008 ^(注1) / SSCL008 ^(注1) /DE008 ^(注1) /RSPCKA/RSPCK0 ^(注1) / IRQ7/AN216/ADTRG0#/COMP4
45	P30/MTIOC0B-B/MTCLKD-A/SSL0-A	P65/IRQ9/AN211/CMPC53/DA1
46	P24/RSPCK-A	P64/IRQ8/AN210/CMPC33 ^(注1) /CMPC52 ^(注2) /DA0
47	P23/CTX-B/LTX/MOSI-A	AVCC2
48	P22/CRX-B/LRX/MISO-A	AVSS2
49	P47/AN103/CVREFH	P54/IRQ2/AN202/CMPC22/CVREFC1
50	P46/AN102	P53/IRQ1/AN201/CMPC12/CVREFC0
51	P45/AN101	P52/IRQ0/AN200/CMPC02
52	P44/AN100	P47/AN103 ^(注1) /AN206 ^(注2) /CMPC03 ^(注2)

64 ピン	RX62T (64 ピン LQFP)	RX26T (64 ピン LFQFP)
53	P43/AN003/CVREFL	P46/AN102 ^(注1) /AN006 ^(注2) /CMPC50 ^(注1) / CMPC51 ^(注1) /CMPC21 ^(注2)
54	P42/AN002	P45/AN101 ^(注1) /AN005 ^(注2) /CMPC40 ^(注1) / CMPC41 ^(注1) /CMPC11 ^(注2)
55	P41/AN001	P44/AN100 ^(注1) /AN004 ^(注2) /CMPC30 ^(注1) / CMPC31 ^(注1) /CMPC01 ^(注2)
56	P40/AN000	P43/AN003/CMPC23 ^(注2) /CMPC50 ^(注2)
57	AVCC0	P42/AN002/CMPC20/CMPC21 ^(注1)
58	VREFH0	P41/AN001/CMPC10/CMPC11 ^(注1)
59	VREFL0	P40/AN000/CMPC00/CMPC01 ^(注1) CMPC13 ^(注2)
60	AVSS0	AVCC1 ^(注1) /NC ^(注2)
61	P11/MTCLKC-B/IRQ1-A	AVCC0
62	P10/MTCLKD-B/IRQ0-A	AVSS0
63	PA5/ADTRG1#-A/MTIOC1A/MISO-B	AVSS1 ^(注1) /NC ^(注2)
64	PA4/ADTRG0#-A/MTIOC1B/RSPCK-B	P11/MTIOC3A/MTCLKC/MTIOC3A#/MTCLKC#/ TMO3/POE9#/MTIOC9D/GTIOC3B/GTETRGA/ GTIOC3B#/GTETRGC/GTCPP00/TOC3/ SCK009 ^(注1) /SCK008 ^(注1) /TXDB009 ^(注1) /IRQ1

注 1.RAM サイズが 48KB の製品には存在しません。

注 2.RAM サイズが 64KB の製品には存在しません。

4. 移行の際の留意点

RX26T グループと RX62T グループの相違について、いくつかの留意点があります。
ハードウェアに関する留意点を「4.1 端子設計の留意点」で説明します。また、ソフトウェアに関する留意点を「4.2 機能設計の留意点」で説明します。

4.1 端子設計の留意点

4.1.1 VCL 端子(外付け容量)

VCL 端子に接続する内部電源安定用の平滑コンデンサは、RX62T グループでは $0.1\ \mu\text{F}$ の容量を、RX26T グループでは $0.47\ \mu\text{F}$ の容量を使用してください。

4.1.2 外部クロックを入力する方法

RX62T グループでは、外部クロックを入力する際、EXTAL 端子へ入力するクロックの逆相を XTAL 端子に入力することを許可していました。しかし RX26T グループは許可していませんので、設計の際は注意してください。

4.1.3 メインクロック発振器

RX26T グループの EXTAL 端子、XTAL 端子に発振子を接続する場合、発振子周波数:8MHz~24MHz の発振子を接続してください。

4.1.4 ブートモード(FINE インターフェース)への遷移

RX26T グループでは、MD 端子を Low でリセット解除後、20~100msec 以内に High へ切り替えることでブートモード (FINE インタフェース)に遷移します。

動作モードの詳細につきましては、「5.参考ドキュメント」の RX26T グループ ユーザーズマニュアル ハードウェア編を参照してください。

4.1.5 モード設定端子

リセット解除時のモード設定端子は、RX26T グループでは MD 端子のみですが、RX62T グループでは MD1 端子と MD0 端子となっています。

4.1.6 PLLVCC 端子

RX26T グループには PLLVCC 端子がありません。

4.1.7 アナログ電源端子に接続するコンデンサ

RX26T グループでは、A/D 変換クロックを 40 MHz より高くする場合、 $0.1\ \mu\text{F}$ のコンデンサと電源端子の間に $0.01\ \mu\text{F}$ のコンデンサを追加してください。

4.2 機能設計の留意点

RX62T グループで動作するソフトウェアは RX26T グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なる場合があるため、十分に評価してください。

以下に RX26T グループと RX62T グループで異なる機能の設定に関し、ソフトウェアでの留意点について説明します。

モジュールおよび機能の相違点については「2.仕様の概要比較」を参照してください。詳細は「5.参考ドキュメント」の ユーザーズマニュアルハードウェア編を参照してください。

4.2.1 セルフプログラミングでオプション設定メモリを変更する方法

RX26T グループでは、セルフプログラミングでオプション設定メモリを変更する場合、コンフィギュレーション設定コマンドで、オプション設定メモリのコンフィギュレーション設定領域に対するプログラムを行います。

コンフィギュレーション設定コマンドの詳細につきましては、「5 参考ドキュメント」の RX26T グループユーザーズマニュアル ハードウェア編を参照してください。

4.2.2 選択型割り込み

RX62T グループでは、割り込み要因は固定のベクタ番号ですが、RX26T グループでは MTU/GPTW/RSPI/RSCI/CANFD の割り込み要因は選択型割り込み A となり、選択型割り込み A 要因選択レジスタ n (SLIARn)を設定することで、割り込み要因を割り込みベクタテーブル 208～255 に配置することができます

4.2.3 FCU RAM へのファームウェア転送

RX62T グループでは FCU コマンドを使用するためには、FCU RAM に FCU 用のファームウェアを格納する必要がありますでしたが、RX26T グループでは本処理は必要ありません。

4.2.4 フラッシュメモリのコマンド使用方法

RX62T グループでは、ROM のプログラム/イレーズ用の専用シーケンサのモードへ移行して、ソフトウェアコマンドを発行することにより、フラッシュメモリのプログラム/イレーズ等を行います。RX26T グループでは、FACI コマンド発行領域に FACI コマンドを設定することにより、FCU を制御してフラッシュメモリのプログラム/イレーズ等を行います。

表 4.1 に FCU コマンドと FACI コマンドの仕様比較を示します。

表 4.1 FCU コマンドと FACI コマンドの仕様比較

項目	FCU コマンド (RX62T)	FACI コマンド (RX26T)
コマンド発行領域	書き込み/消去時アドレス (0010 0000h ~ 0010 7FFFh) (32K バイトの場合) (0010 0000h ~ 0010 1FFFh) (8K バイトの場合)	FACI コマンド発行領域 (007E 0000h)
使用可能コマンド	● P/E ノーマルモード移行 ● ステータスリードモード移行 ● ロックビットリードモード移行 ● プログラム ● ブロックイレーズ ● P/E サスペンド ● P/E レジューム ● ステータスレジスタクリア ● ブランクチェック ● ロックビットリード2 ● ロックビットプログラム	● プログラム ● ブロックイレーズ ● P/E サスペンド ● P/E レジューム ● ステータスクリア ● 強制終了 ● ブランクチェック ● コンフィギュレーション設定

4.2.5 クロック周波数設定

RX62T グループと RX26T グループでは、クロック周波数設定制限が異なります。
詳細は表 4.2 を参照してください。

表 4.2 クロック周波数設定制限の比較

項目	RX62T	RX26T
クロック周波数 設定制限	$ICLK \geq PCLK$	$PCLKC \geq PCLKA \geq PCLKB$
CANFD 使用時の クロック周波数 設定制限	—	$PCLKA:PCLKB = 2:1$ $PCLKB \geq CANFDCLK$ $PCLKB \geq CANFDMCLK$
クロック周波数 比制限	—	$ICLK:FCLK = N:1 \text{ or } 1:N$ $ICLK:PCLKA = N:1 \text{ or } 1:N$ $ICLK:PCLKB = N:1 \text{ or } 1:N$ $ICLK:PCLKC = N:1 \text{ or } 1:N$ $ICLK:PCLKD = N:1 \text{ or } 1:N$ $PCLKA:PCLKC = 1:1 \text{ or } 1:2$ $PCLKB:PCLKD = 1:1 \text{ or } 2:1 \text{ or } 4:1 \text{ or } 1:2$

4.2.6 RIIC 動作電圧設定

RX26T グループで RIIC を使用する場合、スロープ特性を保つために、電源電圧範囲を指定する必要があります。
初期値は VCC が 4.5V 以上の設定になっています。4.5V 未満で使用する場合、RIIC を動作させる前に電圧範囲を
変更してください。
詳細は、「RX26T グループ ユーザーズマニュアル ハードウェア編」で、VOLSR.RICVLS ビットを参照してください。

4.2.7 電圧レベル設定

RX26T グループでは、動作電圧に応じて動作モードの電圧レベル設定レジスタ(VOLSR)、電圧検出回路の電圧検
出レベル選択レジスタ(LVDLVLR)、オプション設定メモリのオプション機能選択レジスタ 1(OFS1)を適切な値に変更
する必要があります。プログラムで必ず設定してください。

4.2.8 オプション設定メモリ

RX62T グループでは、ID コードプロテクト、オンチップデバッグの ID コードプロテクトは ROM に配置されていますが、
RX26T グループではオプション設定メモリに配置されています。設定方法が異なるため、注意してください。

4.2.9 メインクロック発振器

RX62T グループでは、リセット解除後にメインクロックが発振開始しますが、RX26T グループでは、リセット解除後は
LOCO クロックで動作するため、プログラムでメインクロックを発振させる必要があります。

4.2.10 PLL 回路

PLL 回路の通倍率は、RX62T グループで 8 通倍、RX26T グループで 10~30 通倍(0.5 刻み)です。PLL 回路を使用
するには、PLLCR.STC ビットに設定値を適切な値に変更してください。また、RX26T グループでは、PLL クロックの切
り替えはプログラムで実施してください。

4.2.11 MTU/GPTW 動作周波数

RX26T グループでは、MTU/GPTW のカウントクロックは PCLKC ですが、使用するバスのクロックは PCLKA です。
使用する周波数の組み合わせによっては制限がありますので、注意してください。

4.2.12 MTU による DMAC 起動

RX26T グループでは、MTU による DMAC 起動時は、DMAC が内部バス権を要求するときに起動要因がクリアされます。したがって、内部バスの状態によっては、起動要因がクリアされても DMAC 転送が開始待ち状態になる期間が発生します。

4.2.13 例外ベクタテーブル

RX62T グループのベクタテーブルの配置アドレスは固定ですが、RX26T グループでは例外テーブルレジスタ(EXTB)に設定した値を先頭アドレスとして、ベクタテーブルを可変に配置できます。

4.2.14 エンディアン

RX62T グループでは、エンディアンの設定は MDE 端子で行いますが、RX26T グループでは、オプション設定メモリに配置されている MDE レジスタで行います。

4.2.15 レジスタライトプロテクション機能

RX26T グループでは、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護するレジスタライトプロテクション機能が追加されています。初期値は保護状態となっていますので、保護対象の機能使用時は該当プロテクトビットを変更してください。

4.2.16 バスの優先順位

RX62T グループでは、バスの優先順位は 内部メインバス 2 > 内部メインバス 1 固定でしたが、RX26T グループでは、バスプライオリティ制御レジスタ(BUSPRI)により設定可能です。

4.2.17 端子割り当て機能

RX62T グループでは、I/O ポート章のポートファンクションレジスタにより、レジスタに対応したモジュール機能に端子の割り当てを設定していましたが、RX26T グループでは、マルチピンファンクションコントローラ章の端子機能制御レジスタで、レジスタに対応した端子に複数のモジュールから割り当てる機能を設定できます。なお、端子機能制御レジスタは書き込みプロテクトレジスタによってプロテクトされています。書き換える場合にはプロテクトを解除してから行ってください。

4.2.18 独立ウォッチドッグタイマ

RX62T グループでは独立ウォッチドッグタイマはリセットのみですが、RX26T グループではリセットか割り込み(マスカブル割り込み/ノンマスカブル割り込み)を選択できます。

4.2.19 レジスタ退避バンク内 RAM の自己診断に関する注意事項

RX26T グループのレジスタ退避バンクは RAM で構成されています。レジスタ退避バンクにはバッファが搭載されているため、SAVE 命令で書き込みを行った後に同一バンクから RSTR 命令で読み出しを行うと、RAM のメモリセルではなくバッファのデータが読み出されることがあります。レジスタ退避バンク内 RAM の自己診断を行う場合、バッファのデータを読み出さないように、以下の手順で書いたデータの確認を実施してください。

- (1) 診断対象のバンクに SAVE 命令でデータを書く
- (2) (1) のバンクとは異なるバンクに、SAVE 命令でデータを書く
- (3) (1) のバンクから RSTR 命令でデータを読む

4.2.20 コンペア機能制約

RX26T グループの 12 ビット A/D コンバータのコンペア機能には、以下の制約があります。

- (1) 自己診断機能およびダブルトリガモードの使用は禁止です。
(ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB はコンペア機能対象外です)
- (2) マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
- (3) ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
- (4) ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
- (5) ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。
- (6) High 側基準値 $\geq$ Low 側基準値となるように設定してください。

4.2.21 I²C バスインタフェースのノイズ除去

RX62T グループでは、SCL、SDA ラインにアナログノイズフィルタを内蔵していますが、RX26T グループではアナログノイズフィルタを内蔵していません。

4.2.22 相補 PWM モードでのバッファレジスタの設定値

RX62T グループでは、マルチファンクションタイマパルスユニット 3 の相補 PWM モードでダブルバッファ機能使用時は、バッファレジスタ (MTU3.TGRE, MTU4.TGRE, MTU4.TGRF) に PWM 出力の「デューティ値-1」を設定しますが、RX26T グループでは「PWM 出力のデューティ値」を設定してください。

4.2.23 ポートアウトプットイネーブル 3 出力停止要求発生時の制御

RX26T グループでは、出力停止要求が発生したとき、POECR1～POECR3、POECR7 レジスタの対応するビットを“1”にした端子はハイインピーダンスになり、PMMCR0～PMMCR2 レジスタの対応するビットを“1”にした端子は汎用入出力ポートに切り替わります。

同一端子に対して両方のビットを“1”にした場合は、POECR1～POECR3、POECR7 レジスタの設定が優先され、端子はハイインピーダンスになります。汎用入出力ポートに切り替わった後は、PDR レジスタ、PODR レジスタの設定により端子の状態が決定します。

事前に対応する POECR_n レジスタ (n = 0～3) のビットを“0”にしてください。

4.2.24 12 ビット A/D コンバータがモジュールストップ中のコンパレータ C の動作

RX26T グループでは、プログラマブルゲインアンプ (PGA) と 12 ビット A/D コンバータは同じモジュールストップ信号で制御されていますので、12 ビット A/D コンバータがモジュールストップ中は、以下の PGA 出力の比較はできません。

- AN000 端子 PGA 出力
- AN001 端子 PGA 出力
- AN002 端子 PGA 出力
- AN100 端子 PGA 出力
- AN101 端子 PGA 出力
- AN102 端子 PGA 出力

12 ビット A/D コンバータがモジュールストップ中は、以下のアナログ端子の比較はできません。

- AN000 端子
- AN001 端子
- AN002 端子
- AN100 端子
- AN101 端子
- AN102 端子

4.2.25 メインクロック発振停止検出機能の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックの代わりに低速オンチップオシレータが出力する低速クロックを供給する機能です。

RX26T グループでは、PLL のクロックソースに HOCO クロックを選択し、かつシステムクロックのクロックソースに PLL クロックを選択している場合、メインクロックの発振停止を検出しても、システムクロックは LOCO クロックに切り替わらないので注意してください。

4.2.26 ポート方向レジスタ(PDR)の初期化

同一ピン数でも、PDR レジスタの初期化が異なります。

4.2.27 カウンタ停止時の MTIOC 端子出力レベル

MTIOC 端子を出力状態で動作中に、TSTRA、TSTR の CSTn ビットに“0”を書くとカウンタが停止します。このとき、RX26T グループの相補 PWM モード/リセット同期 PWM モードでは、MTIOC 端子から TOCR1A レジスタまたは TOCR2A レジスタで設定した初期出力レベルが出力されます。

相補 PWM モード/リセット同期 PWM モード以外では、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態では TIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

4.2.28 カウントクロックソースのパルス幅

RX62T グループと RX26T グループでは、MTU のカウントクロックソースのパルス幅が異なります。詳細は表 4.2 を参照してください。これ以下のパルス幅では正しく動作しませんのでご注意ください。

表 4.3 カウントクロックソースのパルス幅の比較

項目		RX62T	RX26T
単エッジ		3 ステート以上	1.5 PCLKC 以上
両エッジ		5 ステート以上	2.5 PCLKC 以上
位相計数 モード	位相差、オーバーラップ	3 ステート以上	1.5 PCLKC 以上
	パルス幅	5 ステート以上	2.5 PCLKC 以上

4.2.29 A/D スキャン変換終了割り込みの発生

RX26T グループでは、ソフトウェアトリガでスキャンを開始した場合は、ダブルトリガモードを選択した場合であっても、スキャンが終了した時に ADCSRADIE ビットが“1”にセットされていれば A/D スキャン変換終了割り込みが発生します。

4.2.30 12 ビット A/D コンバータのスキャン変換時間

RX62T グループと RX26T グループでは、スキャン変換時間が異なります。各グループの選択チャネル数が n のシングルスキャンのスキャン変換時間(t_{SCAN})は、以下のように表されます。詳細は「5.参考ドキュメント」の RX62T グループ、RX26T グループ ユーザーズマニュアルハードウェア編で、12 ビット A/D コンバータのアナログ入力のサンプリング時間とスキャン変換時間を参照してください。

RX62T : (1) AN000 ~ AN002、AN100 ~ AN102 の場合

- ・チャネル専用サンプルホールド回路未使用、自己診断未使用時

$$t_{SCAN} = t_D + (t_{CONV} \times n) + t_{ED}$$

- ・チャネル専用サンプルホールド回路未使用、自己診断使用時

$$t_{SCAN} = t_D + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$$

- ・チャネル専用サンプルホールド回路使用、自己診断未使用時

$$t_{SCAN} = t_D + t_{SPLSH} + (t_{CONV} \times n) + t_{ED}$$

- ・チャネル専用サンプルホールド回路使用、自己診断使用時

$$t_{SCAN} = t_D + t_{SPLSH} + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$$

(2) AN003、AN103 の場合

- ・自己診断未使用時

$$t_{SCAN} = t_D + (t_{CONV} \times n) + t_{ED}$$

- ・自己診断使用時

$$t_{SCAN} = t_D + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$$

RX26T : $t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) + t_{ED}$

t_{SCAN} (温度センサ出力、内部基準電圧変換時) = $t_D + (t_{ADIS} \times m) + (t_{CONV} \times m) + t_{ED}$

t_D ...スキャン変換開始遅延時間

t_{SPLSH} ...チャネル専用サンプル&ホールド回路サンプリング時間

t_{SPL} ...サンプリング時間

t_{DIS} ...断線検出アシスト処理時間

t_{DIAG} ...自己診断変換時間

t_{CONV} ...A/D 変換処理時間

t_{ED} ...スキャン変換終了遅延時間

t_{ADIS} ...温度センサ出力と内部基準電圧を A/D 変換するときのオートディスチャージ処理時間

4.2.31 モジュールストップ時のコンパレータ C の動作

RX26T グループでは、コンパレータ C を動作させたままモジュールストップ状態に移行すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

4.2.32 ソフトウェアスタンバイモード時のコンパレータ C の動作

RX26T グループでは、コンパレータ C を動作させたままソフトウェアスタンバイモードに移行すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

4.2.33 POE3 の汎用入出力ポート切り替え制御の注意事項

RX26T グループでは、POE3 で指定した出力停止要求が発生すると、PMMCRn レジスタ($n = 0 \sim 3$)の当該ビットを“1”にした端子は、汎用入出力ポートに切り替わります。事前に対応する POECRn レジスタ($n = 0 \sim 3$)のビットを“0”にしてください。

4.2.34 ELC イベント入力の時タイマモードレジスタ設定の注意事項

RX26T グループでは、MTU を ELC のアクション動作に設定する場合は、該当チャネルのタイマモードレジスタ (TMDR) は初期値 (00h) に設定してください。

4.2.35 MTU/GPTW 反転出力設定時のアクティブレベル設定について

RX26T グループでは、MPC.PmnPFS レジスタにより MTU/GPTW の出力を正転出力/反転出力から選択することができます。

MTU の反転出力を選択した場合、MTU.TOCR1j、MTU.TOCR2j レジスタ(j = A, B)で設定したアクティブレベルと端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR1、ALR2 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

GPTW の反転出力を選択した場合、端子に出力される信号のアクティブレベルが反転します。このとき出力短絡検出を使用する場合、ALR3～ALR5 レジスタで端子に出力される信号を基準にアクティブレベルを設定してください。

4.2.36 POE と POEG を併用した場合の注意事項

RX26T グループでは、POE と POEG を併用する場合、同一の GPTW 出力端子に対して、POE と POEG の両方で出力停止制御を行わないでください。

4.2.37 ハイインピーダンス時の端子の読み出しについて

RX26T グループでは、POE によって端子がハイインピーダンスになっているときは、当該端子のレベルを読み出すことはできません。読んだ場合の値は不定です。端子のレベルを読み出すには、ハイインピーダンス状態を解除してください。

ハイインピーダンス制御の代わりにポート切り替え制御を選択した場合、この制限はありません。

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX62T グループ ユーザーズマニュアル ハードウェア編 Rev.1.10 (R01UH0520JJ0110)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX26T グループ ユーザーズマニュアル ハードウェア編 Rev.1.01(R01AN6752JJ0101)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

TN-RX*-A0231A/J
TN-RX*-A185B/J
TN-RX*-A185A/J
TN-RX*-A193A/J
TN-RX*-A161A/J
TN-RX*-A152A/J
TN-RX*-A121A/J
TN-RX*-A119A/J
TN-RX*-A099A/J
TN-RX*-A098A/J
TN-RX*-A096A/J
TN-RX*-A095A/J
TN-RX*-A094A/J

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Jan.27.23	—	初版発行
1.01	Sep.27.23	123	誤記訂正

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者に生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

- 当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。