

RX140 グループ RX113 グループ

RX140 グループと RX113 グループの相違点

要旨

本アプリケーションノートは、主に RX140 グループ、RX113 グループにおける周辺機能の概要、I/O レジスタ、端子機能の相違点、および移行の際の留意点を確認することを目的とした参考資料です。

本アプリケーションノートでは、特に記載のない箇所については、それぞれのマイコンの最大仕様として、RX140 グループの 80 ピンパッケージと RX113 グループの 100 ピンパッケージについて記載しています。電気的特性、注意事項、設定手順等の詳細な仕様差分についてはユーザーズマニュアルをご確認ください。

対象デバイス

RX140 グループ、RX113 グループ

目次

1. RX140 グループと RX113 グループの搭載機能比較	4
2. 仕様の概要比較	6
2.1 CPU	6
2.2 動作モード	7
2.3 アドレス空間	8
2.4 リセット	9
2.5 オプション設定メモリ	10
2.6 電圧検出回路	11
2.7 クロック発生回路	14
2.8 消費電力低減機能	19
2.9 レジスタライトプロテクション機能	24
2.10 例外処理	25
2.11 割り込みコントローラ	26
2.12 バス	28
2.13 データトランスファコントローラ	29
2.14 イベントリンクコントローラ	31
2.15 I/O ポート	34
2.16 マルチファンクションピンコントローラ	38
2.17 コンペアマッチタイマ	59
2.18 リアルタイムクロック	60
2.19 ローパワータイマ	61
2.20 シリアルコミュニケーションインタフェース	63
2.21 I ² C バスインタフェース	68
2.22 シリアルペリフェラルインタフェース	69
2.23 静電容量式タッチセンサ	72
2.24 12 ビット A/D コンバータ	80
2.25 D/A コンバータ	86
2.26 温度センサ	87
2.27 RAM	88
2.28 フラッシュメモリ	89
2.29 パッケージ	93
3. 端子機能の比較	94
3.1 64 ピンパッケージ	94
4. 移行の際の留意点	97
4.1 機能設計の留意点	97
4.1.1 モード設定端子	97
4.1.2 PLL 回路	97
4.1.3 12 ビット AD コンバータ	97
4.1.4 例外ベクタテーブル	97
4.1.5 コンペア機能制約	98
4.1.6 ポート方向レジスタ(PDR)の初期化	98
4.1.7 12 ビット A/D コンバータのスキャン変換時間	98

5. 参考ドキュメント.....

99

1. RX140 グループと RX113 グループの搭載機能比較

RX140 グループと RX113 グループの搭載機能比較を以下に示します。機能の詳細については「2.仕様の概要比較」および「5.参考ドキュメント」を参照してください。

表 1.1 に RX113/RX140 搭載機能比較を示します。

表 1.1 RX113/RX140 搭載機能比較

機能名	RX113	RX140
CPU	●	
動作モード	●	
アドレス空間	▲	
リセット	●	
オプション設定メモリ (OFSM)	▲	
電圧検出回路 (LVDAa):RX113、(LVDAb):RX140	●	
クロック発生回路	●/■	
クロック周波数精度測定回路 (CAC)	○	
消費電力低減機能	●	
レジスタライトプロテクション機能	●/■	
例外処理	●	
割り込みコントローラ (ICUb)	▲	
バス	▲	
データトランスファコントローラ (DTCa):RX113、(DTCb):RX140	●	
イベントリンクコントローラ (ELC)	●	
I/O ポート	●/■	
マルチファンクションピンコントローラ (MPC)	▲/■	
マルチファンクションタイマパルスユニット 2 (MTU2a)	○	
ポートアウトプットイネーブル 2 (POE2a)	○	
8 ビットタイマ (TMR):RX113、(TMRa):RX140	■	
コンペアマッチタイマ (CMT)	■	
リアルタイムクロック (RTCA):RX113、(RTCc):RX140	■	
ローパワータイマ (LPT):RX113、(LPTa):RX140	●	
独立ウォッチドッグタイマ (IWDTa)	○	
USB2.0 ホスト / ファンクションモジュール	○	×
シリアルコミュニケーションインタフェース (SCle,SCIf):RX113 シリアルコミュニケーションインタフェース (SCIg^(注1),SCIk,SCIh):RX113	●	
IrDA インタフェース	○	×
I²C バスインタフェース (RIIC):RX113、(RIICa):RX140	■	
シリアルサウンドインタフェース (SSI)	○	×
CAN モジュール (RSCAN)	×	○ ^(注1)
シリアルペリフェラルインタフェース (RSPI):RX113、(RSPIc):RX140	●/▲	
CRC 演算器 (CRC)	○	
LCD コントローラ/ドライバ	○	×
静電容量式タッチセンサ (CTSUa):RX113、(CTSU2SL^(注1),CTSU2L):RX140	●	
AESA	×	○
RNGA	×	○

機能名	RX113	RX140
12 ビット A/D コンバータ (S12ADb):RX113、(S12ADE):RX140		●
12 ビット D/A コンバータ(S12ADb):RX113 D/A コンバータ (DAa):RX140		▲
温度センサ (TEMPSA)		▲
コンパレータ B (CMPBa)		○
データ演算回路 (DOC)		○
RAM		●/■
フラッシュメモリ (FLASH)		●/■
パッケージ		●/■

○:機能搭載、×:機能未搭載、●:機能追加による差分あり、▲:機能変更による差分あり

■:機能削除による差分あり

注 1. ROM 容量が 64K バイトの製品にはありません。

2. 仕様の概要比較

以下に概要の比較、レジスタの比較を示します。

概要の比較では、いずれかのグループにしか存在しない、または両方のグループに存在するが相違点がある項目は**赤字**にしています。

レジスタの比較では、両方のグループに存在するが相違点がある項目は**赤字**に、いずれかのグループにしか存在しない項目は**黒字**でレジスタ名のみ記載しています。レジスタ仕様に相違点がない項目は記載していません。

2.1 CPU

表 2.1 に CPU の概要比較を、表 2.2 に CPU のレジスタ比較を示します。

表 2.1 CPU の概要比較

項目	RX113	RX140
中央演算処理装置	- 最大動作周波数：32MHz 32 ビット RX CPU - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ - 汎用レジスタ：32 ビット × 16 本 - 制御レジスタ：32 ビット × 8 本 - アキュムレータ：64 ビット × 1 本 - 基本命令：73 種類 - DSP 機能命令：9 種類 - アドレッシングモード：10 種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器：32 ビット × 32 ビット → 64 ビット - 除算器：32 ビット ÷ 32 ビット → 32 ビット - パレルシフタ：32 ビット	- 最大動作周波数：48MHz 32 ビット RX CPU(RXv2) - 最小命令実行時間：1 命令 1 クロック - アドレス空間：4G バイト・リニアアドレス - レジスタ - 汎用レジスタ：32 ビット × 16 本 - 制御レジスタ：32 ビット × 10 本 - アキュムレータ：72 ビット × 2 本 - 基本命令：75 種類 可変長命令形式 浮動小数点演算命令：11 種類 - DSP 機能命令：23 種類 - アドレッシングモード：11 種類 - データ配置 - 命令：リトルエンディアン - データ：リトルエンディアン/ビッグエンディアンを選択可能 32 ビット乗算器：32 ビット × 32 ビット → 64 ビット - 除算器：32 ビット ÷ 32 ビット → 32 ビット - パレルシフタ：32 ビット
FPU	—	単精度浮動小数点数(32 ビット) IEEE754 に準拠したデータタイプ、および例外

表 2.2 CPU のレジスタ比較

レジスタ	ビット	RX113	RX140
EXTB	—	—	例外テーブルレジスタ
FPSW	—	—	浮動小数点ステータスワード
ACC(RX113) ACC0,ACC1 (RX140)	—	アキュムレータ	アキュムレータ 0、 アキュムレータ 1

2.2 動作モード

表 2.3 に動作モードの概要比較を示します。

表 2.3 動作モードの概要比較

項目	RX113	RX140
モード設定端子による 動作モード	シングルチップモード	シングルチップモード
	ブートモード(SCIインタフェース)	ブートモード(SCIインタフェース)
	ブートモード(FINEインタフェース)	ブートモード(FINEインタフェース)
	ブートモード(USBインタフェース)	—

2.3 アドレス空間

図 2.1 にシングルチップモードのメモリマップ比較を示します。

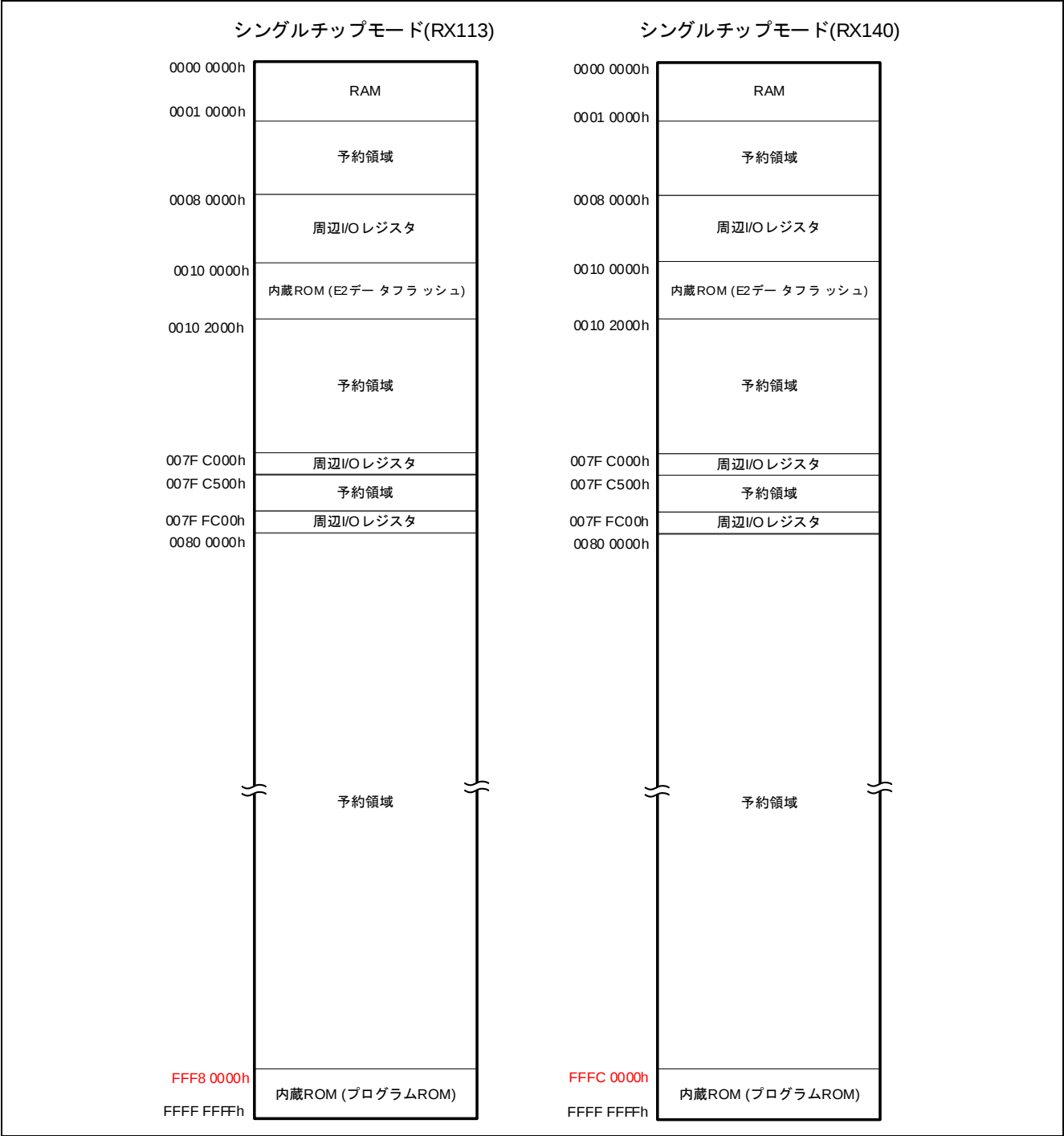


図 2.1 シングルチップモードのメモリマップ比較

2.4 リセット

表 2.4 にリセット要因比較を、表 2.5 にリセットのレジスタ比較を示します。

表 2.4 リセット要因比較

項目	RX113	RX140
RES#端子リセット	RES#端子の入力電圧が Low	RES#端子の入力電圧が Low
パワーオンリセット	VCC の上昇(監視電圧 : VPOR)	VCC の上昇(監視電圧 : VPOR)
電圧監視 0 リセット	—	VCC の下降(監視電圧 : Vdet0)
電圧監視 1 リセット	VCC の下降(監視電圧 : Vdet1)	VCC の下降(監視電圧 : Vdet1)
電圧監視 2 リセット	VCC の下降(監視電圧 : Vdet2)	VCC の下降(監視電圧 : Vdet2)
独立ウォッチドッグタイマ リセット	独立ウォッチドッグタイマのアンダフ ロー、またはリフレッシュエラー	独立ウォッチドッグタイマのアンダフ ロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定	レジスタ設定

表 2.5 リセットのレジスタ比較

レジスタ	ビット名	RX113	RX140
RSTSR0	LVD0RF	—	電圧監視 0 リセット検出フラグ

2.5 オプション設定メモリ

表 2.6 にオプション設定メモリのレジスタ比較を示します。

表 2.6 オプション設定メモリのレジスタ比較

レジスタ	ビット名	RX113	RX140(OFSM)
OFS1	FASTSTUP	電源立上げ時起動時間短縮ビット (b0)	電源立上げ時起動時間短縮ビット (b3)
	VDSEL[1:0]	—	電圧検出 0 レベル選択ビット
	LVDAS	—	電圧検出 0 回路起動ビット
	STUPLVD1REN	起動時電圧監視 1 リセット有効ビット	—
	STUPLVD1LVL [3:0]	起動時電圧監視 1 リセット検出レベル選 択ビット	—
	HOCOFQ[1:0]	—	HOCO 周波数選択ビット

2.6 電圧検出回路

表 2.7 に電源検出回路の概要比較を、表 2.8 に電圧検出回路のレジスタ比較を示します。

表 2.7 電源検出回路の概要比較

項目		RX113(LVDAa)		RX140(LVDA ^b)		
		電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
VCC 監視	監視する電圧	Vdet1	Vdet2	Vdet0	Vdet1	Vdet2
	検出対象	上昇または 下降して Vdet1 を 通過した場合	上昇または 下降して Vdet2 を 通過した場合	下降して Vdet0 を 通過した場合	上昇または 下降して Vdet1 を 通過した場合	上昇または 下降して Vdet2 を 通過した場合
			LVCMPCR. EXVCCINP2 ビットで VCC と CMPA2 端子への 入力電圧の 切り替え可能			LVCMPCR. EXVCCINP2 ビットで VCC と CMPA2 端子への 入力電圧の 切り替え可能
	検出電圧	LVDLVLR. LVD1LVL[3:0] ビットで 10 レベルから 選択可能	LVDLVLR. LVD2LVL[1:0] ビットで 4 レベルから 選択可能	OFS1 レジスタで 4 レベルから 選択可能	LVDLVLR. LVD1LVL[3:0] ビットで 14 レベルから 選択可能	LVDLVLR. LVD2LVL[1:0] ビットで 4 レベルから 選択可能
	モニタ フラグ	LVD1SR. LVD1MON フラグ： Vdet1 より高いか 低いかをモニタ	LVD2SR. LVD2MON フラグ： Vdet2 より高いか 低いかをモニタ	なし	LVD1SR. LVD1MON フラグ： Vdet1 より高いか 低いかをモニタ	LVD2SR. LVD2MON フラグ： Vdet2 より高いか 低いかをモニタ
		LVD1SR. LVD1DET フラグ： Vdet1 通過検出	LVD2SR. LVD2DET フラグ： Vdet2 通過検出	なし	LVD1SR. LVD1DET フラグ： Vdet1 通過検出	LVD2SR. LVD2DET フラグ： Vdet2 通過検出
電圧検出 時の処理	リセット	電圧監視 1 リセット	電圧監視 2 リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		Vdet1 > VCC で リセット： VCC > Vdet1 の 一定時間後に CPU 動作再開 または Vdet1 > VCC の一定時間 後に CPU 動作再 開を選択可能	Vdet2 > VCC または CMPA2 端子で リセット： VCC または CMPA2 端子 > Vdet2 の一定時間 後に CPU 動作再開、 または Vdet2 > VCC または CMPA2 端子の 一定時間後に CPU 動作再開を 選択可能	Vdet0 > VCC で リセット： VCC > Vdet0 の 一定時間後に CPU 動作再開	Vdet1 > VCC で リセット： VCC > Vdet1 の 一定時間後に CPU 動作再開、 または Vdet1 > VCC の一定時間 後に CPU 動作再 開を選択可能	Vdet2 > VCC または CMPA2 端子で リセット： VCC または CMPA2 端子 > Vdet2 の 一定時間後に CPU 動作再開、 または Vdet2 > VCC または CMPA2 端子の 一定時間後に CPU 動作再開を 選択可能
	割り込み	電圧監視 1 割り込み	電圧監視 2 割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
		ノンマスクابل またはマスクابل を選択可能	ノンマスクابل またはマスクابل を選択可能		ノンマスクابل またはマスクابل を選択可能	ノンマスクابل またはマスクابل を選択可能

項目		RX113(LVDAa)		RX140(LVDA ^b)		
		電圧監視 1	電圧監視 2	電圧監視 0	電圧監視 1	電圧監視 2
電圧検出時の処理	割り込み	Vdet1>VCC、 VCC>Vdet1 の 両方、または どちらかで 割り込み要求	Vdet2>VCC または CMPA2 端子、 VCC または CMPA2 端子> Vdet2 の両方、 またはどちらかで 割り込み要求	なし	Vdet1 > VCC, VCC > Vdet1 の 両方、または どちらかで 割り込み要求	Vdet2>VCC または CMPA2 端子、VCC または CMPA2 端子> Vdet2 の両方、 またはどちらかで 割り込み要求
イベントリンク機能		あり Vdet 通過検出 イベント出力	なし	なし	あり Vdet 通過検出 イベント出力	なし

表 2.8 電圧検出回路のレジスタ比較

レジスタ	ビット	RX113(LVDAa)	RX140(LVDA b)
LVDLVLR	LVD1LVL[3:0]	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧) b3 b0 0 1 0 0 : 3.10V 0 1 0 1 : 3.00V 0 1 1 0 : 2.90V 0 1 1 1 : 2.79V 1 0 0 0 : 2.68V 1 0 0 1 : 2.58V 1 0 1 0 : 2.48V 1 0 1 1 : 2.06V 1 1 0 0 : 1.96V 1 1 0 1 : 1.86V 上記以外は設定しないでください	電圧検出 1 レベル選択ビット (電圧下降時の標準電圧) b3 b0 0 0 0 0 : 4.29V 0 0 0 1 : 4.16V 0 0 1 0 : 4.03V 0 0 1 1 : 3.86V 0 1 0 0 : 3.10V 0 1 0 1 : 3.00V 0 1 1 0 : 2.90V 0 1 1 1 : 2.80V 1 0 0 0 : 2.68V 1 0 0 1 : 2.59V 1 0 1 0 : 2.48V 1 0 1 1 : 2.20V 1 1 0 0 : 1.96V 1 1 0 1 : 1.86V 上記以外は設定しないでください
	LVD2LVL[1:0]	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧) b5 b4 0 0 : 2.90V 0 1 : 2.60V 1 0 : 2.00V 1 1 : 1.80V (注 1)	電圧検出 2 レベル選択ビット (電圧下降時の標準電圧) b5 b4 0 0 : 4.32V 0 1 : 4.17V 1 0 : 4.03V 1 1 : 3.84V

注 1. LVCMPPCR.EXVCCINP2 ビットが“0”（電源電圧（VCC））の場合、“11b”は設定禁止です。

2.7 クロック発生回路

表 2.9 にクロック発生回路の概要比較を、表 2.10 にクロック発生回路のレジスタ比較を示します。

表 2.9 クロック発生回路の概要比較

項目	RX113	RX140
用途	● CPU、DTC、ROM および RAM に供給されるシステムクロック(ICLK)の生成 ● 周辺モジュールに供給される周辺モジュールクロック(PCLKB、PCLKD)の生成 周辺モジュールクロック(PCLKD)は S12AD 用、周辺モジュールクロック(PCLKB)は、S12AD 以外の周辺モジュール用の動作クロックです。 ● FlashIF に供給される FlashIF クロック(FCLK)の生成 ● USB に供給されるクロック(UCLK)の生成 ● CAC に供給される CAC クロック(CACCLK)の生成 ● RTC に供給される RTC 専用サブクロック(RTCSCLK)の生成 ● IWDTC に供給される IWDTC 専用クロック(IWDTCCLK)の生成 ● LCD に供給される LCD クロックソース(LCDSRCCLK)の生成 ● SSI に供給される SSI クロック(SSISCK)の生成 ● LPT に供給される LPT クロック(LPTCLK)の生成	● CPU、DTC、ROM および RAM に供給されるシステムクロック(ICLK)の生成 ● 周辺モジュールに供給される周辺モジュールクロック(PCLKB、PCLKD)の生成 ● 周辺モジュールクロック(PCLKD)は S12AD 用、周辺モジュールクロック(PCLKB)は、S12AD 以外の周辺モジュール用の動作クロックです。 ● FlashIF に供給される FlashIF クロック(FCLK)の生成 ● CAC に供給される CAC クロック(CACCLK)の生成 ● CAN に供給される CAN クロック(CANMCLK)の生成 ● RTC に供給される RTC 専用サブクロック(RTCSCLK)の生成 ● IWDTC に供給される IWDTC 専用クロック(IWDTCCLK)の生成 ● LPT に供給される LPT クロック(LPTCLK)の生成
動作周波数	● ICLK : 32MHz(max) ● PCLKB : 32MHz(max) ● PCLKD : 32MHz(max) ● FCLK : - 1MHz~32MHz ● (ROM、E2 データフラッシュ P/E 時) - 32MHz(max) ● (E2 データフラッシュ読み出し時) ● UCLK : 48MHz ● CACCLK : 各発振器のクロックと同じ ● RTCSCLK : 32.768kHz ● IWDTCCLK : 15kHz ● LCDSRCCLK : 各発振器のクロックと同じ ● LPTCLK : 選択した発振器のクロックと同じ	● ICLK : 48MHz(max) ● PCLKB : 32MHz(max) ● PCLKD : 48MHz(max) ● FCLK : - 1MHz~48MHz ● (ROM、E2 データフラッシュ P/E 時) - 48MHz(max) ● (E2 データフラッシュ読み出し時) ● CACCLK : 各発振器のクロックと同じ ● CANMCLK : 20MHz(max) ● RTCSCLK : 32.768kHz ● IWDTCCLK : 15kHz ● LPTCLK : 選択した発振器のクロックと同じ

項目	RX113	RX140
メインクロック 発振器	- 発振子周波数 : 1MHz~20MHz(VCC$\geq$2.4V)、1MHz~8MHz(VCC<2.4V) - 外部クロック入力周波数 : 20MHz(max) - 接続できる発振子、または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL、XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能 - ドライブ能力を切り替える機能	- 発振子周波数 : 1MHz~20MHz - 外部クロック入力周波数 : 20MHz(max) - 接続できる発振子、または付加回路 : セラミック共振子、水晶振動子 - 接続端子 : EXTAL、XTAL - 発振停止検出機能 : メインクロックの発振停止検出時、LOCO に切り替える機能、MTU の端子をハイインピーダンスにする機能 - ドライブ能力を切り替える機能
サブクロック発振器	- 発振子周波数 : 32.768kHz - 接続できる発振子、または付加回路 : 水晶振動子 - 接続端子 : XCIN、XCOUT	- 発振子周波数 : 32.768kHz - 接続できる発振子、または付加回路 : 水晶振動子 - 接続端子 : XCIN、XCOUT - ドライブ能力を切り替える機能
PLL 回路	- 入力クロック源 : メインクロック - 入力分周比 : 1、2、4 分周から選択可能 - 入力周波数 : 4MHz~8MHz - 逡倍比 : 6 逡倍, 8 逡倍から選択可能 - 発振周波数 : 32MHz~48MHz(VCC$\geq$2.4V)	- 入力クロック源 : メインクロック - 入力分周比 : 1、2、4 分周から選択可能 - 入力周波数 : 4MHz~12MHz - 逡倍比 : 4~12 逡倍(0.5 刻み)から選択可能 - 発振周波数 : 24MHz~48MHz
USB 専用 PLL 回路	- 入力クロック源 : メインクロック - 入力分周比 : 1、2 分周から選択可能 - 入力周波数 : 6MHz、8MHz - 逡倍比 : 6 逡倍, 8 逡倍から選択可能 - 発振周波数 : 48MHz(VCC$\geq$2.4V)	—
高速オンチップ オシレータ(HOCO)	発振周波数 : 32MHz	発振周波数 : 24MHz、32MHz、48MHz
低速オンチップ オシレータ(LOCO)	発振周波数 : 4MHz	発振周波数 : 4MHz
IWDT 専用オンチップ オシレータ	発振周波数 : 15kHz	発振周波数 : 15kHz

表 2.10 クロック発生回路のレジスタ比較

レジスタ	ビット	RX113	RX140
PLLCCR	STC[5:0]	周波数通倍率設定ビット b13 b8 0 0 1 0 1 1 : ×6 0 0 1 1 1 1 : ×8 上記以外は設定しないでください	周波数通倍率設定ビット b13 b8 0 0 0 1 1 1 : ×4 0 0 1 0 0 0 : ×4.5 0 0 1 0 0 1 : ×5 0 0 1 0 1 0 : ×5.5 0 0 1 0 1 1 : ×6 0 0 1 1 0 0 : ×6.5 0 0 1 1 0 1 : ×7 0 0 1 1 1 0 : ×7.5 0 0 1 1 1 1 : ×8 0 1 0 0 0 0 : ×8.5 0 1 0 0 0 1 : ×9 0 1 0 0 1 0 : ×9.5 0 1 0 0 1 1 : ×10 0 1 0 1 0 0 : ×10.5 0 1 0 1 0 1 : ×11 0 1 0 1 1 0 : ×11.5 0 1 0 1 1 1 : ×12 上記以外は設定しないでください
SOSCCR	SOSTP	サブクロック発振器停止ビット	サブクロック発振器停止ビット パワーオンリセット以外のリセット要因 では初期化されません。
		リセット後の初期値が異なります	
UPLLCCR	—	USB 専用 PLL コントロールレジスタ	—
UPLLCCR2	—	USB 専用 PLL コントロールレジスタ 2	—
OSCOVFSR	UPLOVF	USB専用PLLクロック発振安定フラグ	—
LCDCLKCR	—	LCDソースクロックコントロールレジスタ	—
LCDCLKCR2	—	LCDソースクロックコントロールレジスタ 2	—

レジスタ	ビット	RX113	RX140
MOSCWTCR	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット b4 b0 0 0 0 0 : 待ち時間 = 2サイクル(0.5μs) 0 0 0 1 : 待ち時間 = 1024サイクル (256μs) 0 0 0 1 0 : 待ち時間 = 2048サイクル (512μs) 0 0 0 1 1 : 待ち時間 = 4096サイクル (1.024ms) 0 0 1 0 0 : 待ち時間 = 8192サイクル (2.048ms) 0 0 1 0 1 : 待ち時間 = 16384サイクル (4.096ms) 0 0 1 1 0 : 待ち時間 = 32768サイクル (8.192ms) 0 0 1 1 1 : 待ち時間 = 65536サイクル (16.384ms) 上記以外は設定しないでください 待ち時間は LOCO = 4.0MHz (0.25μs, TYP)の場合	メインクロック発振器ウェイト時間設定ビット b4 b0 0 0 0 0 : 待ち時間 = 0サイクル(0μs) 0 0 0 1 : 待ち時間 = 1024サイクル (256μs) 0 0 0 1 0 : 待ち時間 = 2048サイクル (512μs) 0 0 0 1 1 : 待ち時間 = 4096サイクル (1.024ms) 0 0 1 0 0 : 待ち時間 = 8192サイクル (2.048ms) 0 0 1 0 1 : 待ち時間 = 16384サイクル (4.096ms) 0 0 1 1 0 : 待ち時間 = 32768サイクル (8.192ms) 0 0 1 1 1 : 待ち時間 = 65536サイクル (16.384ms) 0 1 0 0 0 : 待ち時間 = 131072 サイクル (32.768ms) 上記以外は設定しないでください 待ち時間は LOCO = 4.0MHz (0.25μs, TYP)の場合
LOFCR	—	—	低速オンチップオシレータ強制発振コントロールレジスタ
HOCOWTCR	—	高速オンチップオシレータウェイトコントロールレジスタ	—
CKOCR	CKOSEL [2:0](RX113) CKOSEL [3:0](RX140)	CLKOUT 出力ソース選択ビット b10 b8 0 0 0 : LOCO クロック 0 0 1 : HOCO クロック 0 1 0 : メインクロック 0 1 1 : サブクロック 上記以外は設定しないでください	CLKOUT 出力ソース選択ビット b11 b8 0 0 0 0 : LOCO クロック 0 0 0 1 : HOCO クロック 0 0 1 0 : メインクロック 0 0 1 1 : サブクロック 0 1 0 0 : PLL 1 0 0 0 : CTSU 内部クロック 上記以外は設定しないでください
	CKODIV[2:0]	CLKOUT 出力分周比選択ビット b14 b12 0 0 0 : 分周なし 0 0 1 : 2 分周 0 1 0 : 4 分周 0 1 1 : 8 分周 1 0 0 : 16 分周 上記以外は設定しないでください	CLKOUT 出力分周比選択ビット b14 b12 0 0 0 : 分周なし 0 0 1 : 2 分周 0 1 0 : 4 分周 0 1 1 : 8 分周 1 0 0 : 16 分周 1 0 1 : 32 分周 1 1 0 : 64 分周 1 1 1 : 128 分周

レジスタ	ビット	RX113	RX140
MOFCR	MODRV21	メインクロック発振器ドライブ能力 切り替えビット $VCC \geq 2.4V$ 0 : 1MHz~10MHz 1 : 10MHz~20MHz $VCC < 2.4V$ 0 : 1MHz~8MHz 1 : 設定禁止	メインクロック発振器ドライブ能力 切り替えビット 0 : 1MHz~10MHz 未満 1 : 10MHz~20MHz
LOCOTRR2	—	—	低速オンチップオシレータ トリミングレジスタ 2
ILOCOTRR	—	—	IWDT 専用オンチップオシレータ トリミングレジスタ
HOCOTRRn	—	—	高速オンチップオシレータ トリミングレジスタ n (n = 0)
SOMCR	—	—	サブクロック発振器モード コントロールレジスタ

2.8 消費電力低減機能

表 2.11 に消費電力低減機能の概要比較を、表 2.12 に各モードにおける遷移および解除方法と動作状態の比較を、表 2.13 に消費電力低減機能のレジスタ比較を示します。

表 2.11 消費電力低減機能の概要比較

項目	RX113	RX140
クロックの切り替えによる消費電力の低減	システムクロック(ICLK)、周辺モジュールクロック(PCLKB)、S12AD 用クロック(PCLKD)、FlashIF クロック(FCLK)に対し、個別に分周比を設定することが可能	システムクロック(ICLK)、周辺モジュールクロック(PCLKB)、S12AD 用クロック(PCLKD)、FlashIF クロック(FCLK)に対し、個別に分周比を設定することが可能
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能	CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	- スリープモード - ディープスリープモード - ソフトウェアスタンバイモード	- スリープモード - ディープスリープモード - ソフトウェアスタンバイモード スヌーズモード
動作電力低減機能	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 - 動作電力制御状態：3 種類 - 高速動作モード - 中速動作モード - 低速動作モード	- 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、ディープスリープモード時、およびスヌーズモード時の消費電力を低減することが可能 - 動作電力制御状態：4 種類 - 高速動作モード - 中速動作モード 中速動作モード 2 - 低速動作モード

表 2.12 各モードにおける遷移および解除方法と動作状態の比較

モード	遷移および解除方法と 動作状態	RX113	RX140
スリープモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作可能	動作可能
	サブクロック発振器	動作可能	動作可能
	高速オンチップオシレータ	動作可能	動作可能
	低速オンチップオシレータ	動作可能	動作可能
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	動作可能	動作可能
	USB 専用 PLL	動作可能	—
	CPU	停止(保持)	停止(保持)
	RAM0 (0000 0000h~0000 3FFFh:RX113、 0000 0000h~0000 FFFFh:RX140)	動作可能(保持)	動作可能(保持)
	DTC	動作可能	動作可能
	フラッシュメモリ	動作	動作
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	リアルタイムクロック(RTC)	動作可能	動作可能
	ローパワータイマ(LPT)	動作可能	動作可能
	電圧検出回路(LVD)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作可能	動作可能
	I/O ポート	動作	動作
	RTCCOUT 出力	動作可能	動作可能
	CLKOUT 出力	動作可能	動作可能
	コンパレータ B	動作可能	動作可能
	LCD コントローラ/ドライバ	動作可能	—
ディープ スリープモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	動作可能	動作可能
	サブクロック発振器	動作可能	動作可能
	高速オンチップオシレータ	動作可能	動作可能
	低速オンチップオシレータ	動作可能	動作可能
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	動作可能	動作可能
	USB 専用 PLL	動作可能	—
	CPU	停止(保持)	停止(保持)
	RAM0 (0000 0000h~0000 3FFFh:RX113、 0000 0000h~0000 FFFFh:RX140)	停止(保持)	停止(保持)
	DTC	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	リアルタイムクロック(RTC)	動作可能	動作可能

モード	遷移および解除方法と動作状態	RX113	RX140
ディープスリープモード	ローパワータイマ(LPT)	—	動作可能
	電圧検出回路(LVD)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	動作可能	動作可能
	I/O ポート	動作	動作
	RTCCOUT 出力	動作可能	動作可能
	CLKOUT 出力	動作可能	動作可能
	コンパレータ B	動作可能	動作可能
	LCD コントローラ/ドライバ	動作可能	—
ソフトウェアスタンバイモード	遷移方法	制御レジスタ+命令	制御レジスタ+命令
	リセット以外の解除方法	割り込み	割り込み
	解除後の状態	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
	メインクロック発振器	停止	停止
	サブクロック発振器	動作可能	動作可能
	高速オンチップオシレータ	停止	動作可能
	低速オンチップオシレータ	停止	動作可能
	IWDT 専用オンチップオシレータ	動作可能	動作可能
	PLL	停止	停止
	USB 専用 PLL	停止	—
	CPU	停止(保持)	停止(保持)
	RAM0 (0000 0000h~0000 3FFFh:RX113、 0000 0000h~0000 FFFFh:RX140)	停止(保持)	停止(保持)
	DTC	停止(保持)	停止(保持)
	フラッシュメモリ	停止(保持)	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	動作可能	動作可能
	リアルタイムクロック(RTC)	動作可能	動作可能
	ローパワータイマ(LPT)	—	動作可能
	電圧検出回路(LVD)	動作可能	動作可能
	パワーオンリセット回路	動作	動作
	周辺モジュール	停止(保持)	停止(保持)
	I/O ポート	保持	保持
	RTCCOUT 出力	動作可能	動作可能
	CLKOUT 出力	動作可能	動作可能
	コンパレータ B	動作可能	動作可能
	LCD コントローラ/ドライバ	動作可能	—
スヌーズモード	遷移方法	—	ソフトウェアスタンバイモード中にスヌーズ要求条件発生
	リセット以外の解除方法	—	割り込み+スヌーズ終了条件発生
	解除後の状態	—	プログラム実行状態 (割り込み処理)
	メインクロック発振器	—	動作可能
	サブクロック発振器	—	動作可能

モード	遷移および解除方法と動作状態	RX113	RX140
スヌーズモード	高速オンチップオシレータ	—	動作可能
	低速オンチップオシレータ	—	動作可能
	IWDT 専用オンチップオシレータ	—	動作可能
	PLL	—	動作可能
	USB 専用 PLL	—	—
	CPU	—	停止(保持)
	RAM0 (0000 0000h~0000 3FFFh:RX113、 0000 0000h~0000 FFFFh:RX140)	—	動作可能(保持)
	DTC	—	動作可能
	フラッシュメモリ	—	停止(保持)
	独立ウォッチドッグタイマ(IWDT)	—	動作可能
	リアルタイムクロック(RTC)	—	動作可能
	ローパワータイマ(LPT)	—	動作可能
	電圧検出回路(LVD)	—	動作可能
	パワーオンリセット回路	—	動作
	周辺モジュール	—	動作可能
	I/O ポート	—	動作
	RTCCOUT 出力	—	動作可能
	CLKOUT 出力	—	動作可能
	コンパレータ B	—	動作可能

動作可能は制御レジスタの設定によって、動作/停止を制御可能であることを示します。

停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(不定)は、内部レジスタ値不定、内部状態は電源オフを示します。

表 2.13 消費電力低減機能のレジスタ比較

レジスタ	ビット	RX113	RX140
MSTPCRA	MSTPA14	コンペアマッチタイマ1 (ユニット1) モジュールストップ設定ビット	—
	MSTPA18	12ビットD/Aコンバータモジュール ストップ設定ビット	—
	MSTPA19	—	D/Aコンバータモジュールストップ 設定ビット
MSTPCRB	MSTPB0	—	CANモジュール モジュールストップ設定ビット
	MSTPB19	USB0モジュールストップ設定ビット	—
	MSTPB29	シリアルコミュニケーションインタ フェース2モジュールストップ設定 ビット	—
	MSTPB31	シリアルコミュニケーションインタ フェース0モジュールストップ設定 ビット	—
MSTPCRC	—	モジュールストップコントロール レジスタC リセット後の初期値が違います	モジュールストップコントロール レジスタC
	MSTPC20	IrDAモジュールストップ設定ビット	—
	MSTPC26	シリアルコミュニケーション インタフェース9設定ビット	シリアルコミュニケーション インタフェース9 モジュールストップ設定ビット
	MSTPC27	シリアルコミュニケーション インタフェース8設定ビット	シリアルコミュニケーション インタフェース8 モジュールストップ設定ビット
	—	モジュールストップコントロール レジスタD リセット後の初期値が違います	モジュールストップコントロール レジスタD
MSTPCRD	—	モジュールストップコントロール レジスタD リセット後の初期値が違います	モジュールストップコントロール レジスタD
	MSTPD11	LCDコントローラモジュールストップ 設定ビット	—
	MSTPD15	シリアルサウンドインタフェース モジュールストップ設定ビット	—
	MSTPD29	—	真正乱数生成器モジュールストップ 設定ビット
	MSTPD30	—	ASEハードウェアアクセラレータ モジュールストップ設定ビット
OPCCR	OPCM[2:0]	動作電力制御モード選択ビット b2 b0 0 0 0 : 高速動作モード 0 1 0 : 中速動作モード 上記以外は設定しないでください	動作電力制御モード選択ビット b2 b0 0 0 0 : 高速動作モード 0 1 0 : 中速動作モード 1 0 0 : 中速動作モード2 上記以外は設定しないでください
SNZCR	—	—	スヌーズコントロールレジスタ
SNZCR2	—	—	スヌーズコントロールレジスタ2

2.9 レジスタライトプロテクション機能

表 2.14 にレジスタライトプロテクション機能の概要比較を、表 2.15 にレジスタライトプロテクション機能のレジスタ比較を示します。

表 2.14 レジスタライトプロテクション機能の概要比較

項目	RX113	RX140
PRC0 ビット	クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2 MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOCR, OSTDCR, OSTDSR, CKOCR, UPLLCR, UPLLCR2, LCDSCLKCR, LCDSCLKCR2	クロック発生回路関連レジスタ SCKCR, SCKCR3, PLLCR, PLLCR2, MOSCCR, SOSCCR, LOCOCR, ILOCOCR, HOCOCR, LOFCR, OSTDCR, OSTDSR, CKOCR, LOCOTRR2, ILOCOTRR, HOCOTRR, SOMCR
PRC1 ビット	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, OPCCR, RSTCKCR, SOPCCR - クロック発生回路関連レジスタ MOFCR, MOSCWTCR - ソフトウェアリセットレジスタ SWRR	- 動作モード関連レジスタ SYSCR1 - 消費電力低減機能関連レジスタ SBYCR, MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD, OPCCR, RSTCKCR, SOPCCR, SNZCR, SNZCR2 - クロック発生回路関連レジスタ MOFCR, MOSCWTCR - ソフトウェアリセットレジスタ SWRR
PRC2 ビット	クロック発生回路関連レジスタ HOCOWTCR - ローパワータイマ関連レジスタ LPTCR1, LPTCR2, LPTCR3, LPTPRD, LPCMR0, LPWUCR	ローパワータイマ関連レジスタ LPTCR1, LPTCR2, LPTCR3, LPTPRD, LPCMR0, LPCMR1, LPWUCR
PRC3 ビット	LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR	LVD 関連レジスタ LVCMPCR, LVDLVLR, LVD1CR0, LVD1CR1, LVD1SR, LVD2CR0, LVD2CR1, LVD2SR

表 2.15 レジスタライトプロテクション機能のレジスタ比較

レジスタ	ビット	RX113	RX140
PRCR	PRC2	ローパワータイマ, クロック発生回路関連レジスタ の書き込み許可	ローパワータイマ関連レジスタへの書き込み許可

2.10 例外処理

表 2.16 に例外処理の概要比較を、表 2.17 にベクタ比較を、表 2.18 に例外処理ルーチンからの復帰命令比較を示します。

表 2.16 例外処理の概要比較

項目	RX113	RX140
例外事象	- 未定義命令例外 - 特権命令例外 - リセット - ノンマスカブル割り込み - 割り込み - 無条件トラップ	- 未定義命令例外 - 特権命令例外 - アクセス例外 - 浮動小数点例外 - リセット - ノンマスカブル割り込み - 割り込み - 無条件トラップ

表 2.17 ベクタ比較

項目	RX113	RX140
未定義命令例外	固定ベクタテーブル	例外ベクタテーブル (EXTB)
特権命令例外	固定ベクタテーブル	例外ベクタテーブル (EXTB)
アクセス例外	—	例外ベクタテーブル (EXTB)
浮動小数点例外	—	例外ベクタテーブル (EXTB)
リセット	固定ベクタテーブル	例外ベクタテーブル (EXTB)
ノンマスカブル割り込み	固定ベクタテーブル	例外ベクタテーブル (EXTB)
割り込み		
高速割り込み	FINTV	FINTV
高速割り込み以外	可変ベクタテーブル(INTB)	割り込みベクタテーブル(INTB)
無条件トラップ	可変ベクタテーブル(INTB)	割り込みベクタテーブル(INTB)

表 2.18 例外処理ルーチンからの復帰命令比較

項目	RX113	RX140
未定義命令例外	RTE	RTE
特権命令例外	RTE	RTE
アクセス例外	—	RTE
浮動小数点例外	—	RTE
リセット	復帰不可能	復帰不可能
ノンマスカブル割り込み	復帰不可能	禁止
割り込み		
高速割り込み	RTFI	RTFI
高速割り込み以外	RTE	RTE
無条件トラップ	RTE	RTE

2.11 割り込みコントローラ

表 2.19 に割り込みコントローラの概要比較を、表 2.20 に割り込みコントローラのレジスタ比較を示します。

表 2.19 割り込みコントローラの概要比較

項目		RX113(ICUb)	RX140(ICUb)
割り込み	周辺機能割り込み	- 周辺モジュールからの割り込み - 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定	- 周辺モジュールからの割り込み - 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	- IRQ0～IRQ7 端子からの割り込み - 要因数：8 - 割り込み検出：Low/立下りエッジ/立ち上がりエッジ/両エッジを要因毎に設定可能 - デジタルフィルタ機能：あり	- IRQ0～IRQ7 端子からの割り込み - 要因数：8 - 割り込み検出：Low/立下りエッジ/立ち上がりエッジ/両エッジを要因毎に設定可能 - デジタルフィルタ機能：あり
	ソフトウェア割り込み	- レジスタ書き込みによる割り込み - 要因数：1	- レジスタ書き込みによる割り込み - 要因数：1
	イベントリンク割り込み	ELC イベントより、ELSR18I、ELSR19I 割り込みを発生	ELC イベントより、ELSR8I、ELSR18I 割り込みを発生
	割り込み優先順位	レジスタにより優先順位を設定	レジスタにより優先順位を設定
	高速割り込み機能	CPU の割り込み処理を高速化可能。1 要因にのみ設定	CPU の割り込み処理を高速化可能。1 要因にのみ設定
	DTC 制御	割り込み要因により DTC を起動可能	割り込み要因により DTC の起動が可能
ノンマスクابل割り込み	NMI 端子割り込み	- NMI 端子からの割り込み - 割り込み検出：立ち下りエッジ/立ち上がりエッジ - デジタルフィルタ機能：あり	- NMI 端子からの割り込み - 割り込み検出：立ち下りエッジ/立ち上がりエッジ - デジタルフィルタ機能：あり
	発振停止割り込み	発振停止検出時の割り込み	発振停止検出時の割り込み
	IWDT アンダーフロー/リフレッシュエラー	ダウンカウンタがアンダーフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み	ダウンカウンタがアンダーフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視 1 割り込み	電圧検出回路 1 (LVD1)の電圧監視割り込み	電圧検出回路 1 (LVD1)の電圧監視割り込み
	電圧監視 2 割り込み	電圧検出回路 2 (LVD2)の電圧監視割り込み	電圧検出回路 2 (LVD2)の電圧監視割り込み
低消費電力状態からの復帰		- スリープモード、ディープスリープモード：ノンマスクابل割り込み、全割り込み要因で復帰 - ソフトウェアスタンバイモード：ノンマスクابل割り込み、IRQ0～IRQ7 割り込み、RTC アラーム/周辺割り込みで復帰	- スリープモード、ディープスリープモード：ノンマスクابل割り込み、全割り込み要因で復帰 - ソフトウェアスタンバイモード：ノンマスクابل割り込み、IRQ0～IRQ7 割り込み、RTC アラーム/周辺割り込みで復帰

表 2.20 割り込みコントローラのレジスタ比較

レジスタ	ビット	RX113(ICUb)	RX140(ICUb)
IRn ^(注 1)	—	割り込み要求レジスタ n (n = 016~249)	割り込み要求レジスタ n (n = 016~ 255)
IPRn ^(注 1)	—	割り込み要因プライオリティレジスタ (n = 000~249)	割り込み要因プライオリティレジスタ (n = 000~ 255)
DTCERN ^(注 1)	—	DTC 起動許可レジスタ n (n = 027~248)	DTC 転送要求許可レジスタ n (n = 027~ 255)

注 1. RX113 グループの n=250~255 は予約領域です。

2.12 バス

表 2.21 にバスの概要比較を示します。

表 2.21 バスの概要比較

項目		RX113	RX140
CPU バス	命令バス	● CPU(命令)を接続 ● 内蔵メモリを接続(RAM,ROM) ● システムクロック(ICLK)に同期して動作	● CPU(命令)を接続 ● 内蔵メモリを接続(RAM,ROM) ● システムクロック(ICLK)に同期して動作
	オペランドバス	● CPU(オペランド)を接続 ● 内蔵メモリを接続(RAM,ROM) ● システムクロック(ICLK)に同期して動作	● CPU(オペランド)を接続 ● 内蔵メモリを接続(RAM,ROM) ● システムクロック(ICLK)に同期して動作
メモリバス	メモリバス 1	RAM を接続	RAM を接続
	メモリバス 2	ROM を接続	ROM を接続
内部メインバス	内部メインバス 1	● CPU を接続 ● システムクロック(ICLK)に同期して動作	● CPU を接続 ● システムクロック(ICLK)に同期して動作
	内部メインバス 2	● DTC を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作	● DTC を接続 ● 内蔵メモリを接続(RAM、ROM) ● システムクロック(ICLK)に同期して動作
内部周辺バス	内部周辺バス 1	● 周辺機能(DTC、割り込みコントローラ、バスエラー監視部)を接続 ● システムクロック(ICLK)に同期して動作	● 周辺機能(DTC、割り込みコントローラ、バスエラー監視部)を接続 ● システムクロック(ICLK)に同期して動作
	内部周辺バス 2	● 周辺機能を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作	● 周辺機能を接続 ● 周辺モジュールクロック(PCLKB, PCLKD)に同期して動作
	内部周辺バス 3	● 周辺機能(USB)を接続 ● 周辺モジュールクロック (PCLKB) に同期して動作	● 周辺機能(CTSU、RSCAN)を接続 ● 周辺モジュールクロック(PCLKB)に同期して動作
	内部周辺バス 6	● ROM(P/E 時)、E2 データフラッシュを接続 ● FlashIF クロック(FCLK)に同期して動作	● ROM(P/E 時)、E2 データフラッシュを接続 ● FlashIF クロック(FCLK)に同期して動作

2.13 データトランスファコントローラ

表 2.22 にデータトランスファコントローラの概要比較を、表 2.23 にデータトランスファコントローラのレジスタ比較を示します。

表 2.22 データトランスファコントローラの概要比較

項目	RX113(DTCa)	RX140(DTCb)
転送チャネル数	DTC 起動が可能なすべての割り込み要因の数と同数	DTC 起動が可能なすべての割り込み要因の数と同数
転送モード	- ノーマル転送モード 1 回の起動で 1 つのデータを転送する - リピート転送モード 1 回の起動で 1 つのデータを転送する - リピートサイズ分データを転送すると転送開始アドレスに復帰 - リピート回数は最大 256 回設定可能で、256 × 32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータを転送する - ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能	- ノーマル転送モード 1 回の起動で 1 つのデータを転送する - リピート転送モード 1 回の起動で 1 つのデータを転送する - リピートサイズ分データを転送すると転送開始アドレスに復帰 - リピート回数は最大 256 回設定可能で、256 × 32 ビットで、最大 1024 バイト転送可能 - ブロック転送モード 1 回の起動で 1 ブロックのデータを転送する - ブロックサイズは、最大 256 × 32 ビット = 1024 バイト設定可能
チェーン転送機能	1 回の転送要求に対して複数のデータ転送が可能（チェーン転送） - チェーン転送は「カウンタ = 0 のとき実施」/「毎回実施」のいずれかを選択可能	1 回の転送要求に対して複数種類のデータ転送を連続して実行可能 「転送カウンタが“0”になったときのみ実施」/「毎回実施」のいずれかを選択可能
シーケンス転送	—	複雑な一連の転送をシーケンスとして登録し、転送データにより任意のシーケンスを選択して実行可能 - シーケンス転送の起動要因は同時に 1 つのみ選択可能 - シーケンスは、1 つの起動要因に対し最大 256 通り - 転送要求によって最初に転送されたデータがシーケンスを決定 - シーケンスは、1 回の転送要求で最後まで実行することも、途中で止めて次の転送要求で再開する(シーケンス分割)ことも可能
転送空間	- ショートアドレスモードのとき 16M バイト ("0000 0000h" ~ "007FF FFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)	- ショートアドレスモードのとき 16M バイト ("0000 0000h" ~ "007F FFFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域) - フルアドレスモードのとき 4G バイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)

項目	RX113(DTCa)	RX140(DTCb)
データ転送単位	1 データ : 1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) 1 ブロックサイズ : 1~256 データ	1 データ : 1 バイト(8 ビット)、1 ワード(16 ビット)、1 ロングワード(32 ビット) 1 ブロックサイズ : 1~256 データ
CPU 割り込み要求	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能	- DTC を起動した割り込みで CPU への割り込み要求を発生可能 1 回のデータ転送終了後に CPU への割り込み要求を発生可能 - 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
イベントリンク機能	1 回のデータ転送後(ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生	1 回のデータ転送後(ブロックの場合は 1 ブロック転送後)、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを指定可能	同一転送が連続したときの転送情報の読み出しを省略する設定が可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能	転送元アドレスまたは転送先アドレスが固定の場合、更新されない転送情報の書き戻しを省略
ライトバックディスエーブル	—	転送情報のライトバックを実行しない設定が可能
ディスプレースメント加算	—	転送元アドレスにディスプレースメントを加算可能(転送情報ごとに選択)
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への遷移が可能

表 2.23 データトランスファコントローラのレジスタ比較

レジスタ	ビット	RX113(DTCa)	RX140(DTCb)
MRA	WBDIS	—	ライトバックディスエーブルビット ^(注1)
MRB	SQEND	—	シーケンス転送終了ビット
	INDX	—	インデックステーブル参照ビット
MRC	—	—	DTC モードレジスタ C
DTCIBR	—	—	DTC インデックステーブルベースレジスタ
DTCOR	—	—	DTC オペレーションレジスタ
DTCSQE	—	—	DTC シーケンス転送許可レジスタ
DTCDISP	—	—	DTC アドレスディスプレースメントレジスタ

注 1. 転送情報は RAM 領域に配置しますが、MRA.WBDIS ビットを“1”(ライトバックしない)にした場合は、ROM 領域に配置することもできます。

2.14 イベントリンクコントローラ

表 2.24 にイベントリンクコントローラのレジスタ比較を、表 2.25 に ELSRn レジスタと周辺モジュールの対応を、表 2.26 に ELSRn.ELS[7:0]に設定するイベント信号名と信号番号の対応を示します。

表 2.24 イベントリンクコントローラのレジスタ比較

レジスタ	ビット	RX113	RX140
ELSRn	—	イベントリンク設定レジスタ n (n = 1~4, 7, 10,12,14, 15, 17 ~20, 22, 24,25)	イベントリンク設定レジスタ n (n = 1~4, 7, 8 ,10,12,14~ 16 , 18 ,20,22, 24,25)

表 2.25 ELSRn レジスタと周辺モジュールの対応

レジスタ	RX113	RX140
ELSR1	MTU1	MTU1
ELSR2	MTU2	MTU2
ELSR3	MTU3	MTU3
ELSR4	MTU4	MTU4
ELSR7	CMT1	CMT1
ELSR8	—	ICU(LPT 専用割込み)
ELSR10	TMR0	TMR0
ELSR12	TMR2	TMR2
ELSR14	CTSU	CTSU
ELSR15	S12AD	S12AD
ELSR16	—	DA0
ELSR17	DA0	—
ELSR18	ICU (割り込み 1)	ICU (割り込み 1)
ELSR19	ICU(LPT 専用割込み)	—
ELSR20	出力ポートグループ 1	出力ポートグループ 1
ELSR22	入力ポートグループ 1	入力ポートグループ 1
ELSR24	シングルポート 0	シングルポート 0
ELSR25	シングルポート 1	シングルポート 1

表 2.26 ELSRn.ELS[7:0]に設定するイベント信号名と信号番号の対応

ELS[7:0] ビットの 値	周辺モジュール	RX113(ELC)	RX140(ELC)
01h	マルチファンクション タイマパルスユニット 3	MTU0・コンペアマッチ 0A	MTU0・コンペアマッチ 0A
02h		MTU0・コンペアマッチ 0B	MTU0・コンペアマッチ 0B
03h		MTU0・コンペアマッチ 0C	MTU0・コンペアマッチ 0C
04h		MTU0・コンペアマッチ 0D	MTU0・コンペアマッチ 0D
05h		MTU0・コンペアマッチ 0E	MTU0・コンペアマッチ 0E
06h		MTU0・コンペアマッチ 0F	MTU0・コンペアマッチ 0F
07h		MTU0・オーバフロー	MTU0・オーバフロー
10h		MTU3・コンペアマッチ 3A	MTU3・コンペアマッチ 3A
11h		MTU3・コンペアマッチ 3B	MTU3・コンペアマッチ 3B
12h		MTU3・コンペアマッチ 3C	MTU3・コンペアマッチ 3C
13h		MTU3・コンペアマッチ 3D	MTU3・コンペアマッチ 3D
14h		MTU3・オーバフロー	MTU3・オーバフロー
15h		MTU4・コンペアマッチ 4A	MTU4・コンペアマッチ 4A
16h		MTU4・コンペアマッチ 4B	MTU4・コンペアマッチ 4B
17h		MTU4・コンペアマッチ 4C	MTU4・コンペアマッチ 4C
18h		MTU4・コンペアマッチ 4D	MTU4・コンペアマッチ 4D
19h		MTU4・オーバフロー	MTU4・オーバフロー
1Ah		MTU4・アンダフロー	MTU4・アンダフロー
1Fh	コンペアマッチタイマ	CMT1・コンペアマッチ 1	CMT1・コンペアマッチ 1
22h	8 ビットタイマ	TMR0・コンペアマッチ A0	TMR0・コンペアマッチ A0
23h		TMR0・コンペアマッチ B0	TMR0・コンペアマッチ B0
24h		TMR0・オーバフロー	TMR0・オーバフロー
25h		TMR1・コンペアマッチ A1	TMR1・コンペアマッチ A1
26h		TMR1・コンペアマッチ B1	TMR1・コンペアマッチ B1
27h		TMR1・オーバフロー	TMR1・オーバフロー
28h		TMR2・コンペアマッチ A2	TMR2・コンペアマッチ A2
29h		TMR2・コンペアマッチ B2	TMR2・コンペアマッチ B2
2Ah		TMR2・オーバフロー	TMR2・オーバフロー
2Bh		TMR3・コンペアマッチ A3	TMR3・コンペアマッチ A3
2Ch		TMR3・コンペアマッチ B3	TMR3・コンペアマッチ B3
2Dh		TMR3・オーバフロー	TMR3・オーバフロー
32h	ローパワータイマ	—	LPT・コンペアマッチ 0
33h		—	LPT・コンペアマッチ 1
34h	12 ビット AD コンバータ	—	S12AD・比較条件成立
35h		—	S12AD・比較条件不成立
3Ah	シリアル コミュニケーション インタフェース	SCI5・エラー（受信エラー・ エラーシグナル検出）	SCI5・エラー（受信エラー・エラー シグナル検出）
3Bh		SCI5・受信データフル	SCI5・受信データフル
3Ch		SCI5・送信データエンプティ	SCI5・送信データエンプティ
3Dh		SCI5・送信完了	SCI5・送信完了
4Eh	I ² C バスインタフェース	RIIC0・通信エラー、イベント発生	RIIC0・通信エラー、イベント発生
4Fh		RIIC0・受信データフル	RIIC0・受信データフル
50h	I ² C バスインタフェース	RIIC0・送信データエンプティ	RIIC0・送信データエンプティ

ELS[7:0] ビットの 値	周辺モジュール	RX113(ELC)	RX140(ELC)
51h		RIIC0・送信終了	RIIC0・送信終了
58h	12 ビット A/D コンバータ	S12AD・A/D 変換終了	S12AD・A/D 変換終了
5Ah	コンパレータ B0・B1	コンパレータ B0・B1 共通比較結果変化	コンパレータ B0・B1 共通比較結果変化
5Bh	電圧検出回路	LVD1・電圧検出	LVD1・電圧検出
5Dh	ローパワータイマ	LPT・コンペアマッチ	—
61h	データトランスファコントローラ	DTC・転送終了	DTC・転送終了
63h	I/O ポート	入力ポートグループ 1・ 入力エッジ検出	入力ポートグループ 1・ 入力エッジ検出
65h		シングル入力ポート 0・ 入力エッジ検出	シングル入力ポート 0・ 入力エッジ検出
66h		シングル入力ポート 1・ 入力エッジ検出	シングル入力ポート 1・ 入力エッジ検出
69h	イベントリンクコントローラ	ソフトウェアイベント	ソフトウェアイベント
6Ah	データ演算回路	DOC・データ演算条件成立	DOC・データ演算条件成立
上記以外は設定しないでください			

表 2.27 イベントリンクコントローラのレジスタ比較

レジスタ	ビット名	RX113	RX140
ELOPC	LPTMD[1:0]	—	LPT 動作選択ビット

2.15 I/O ポート

表 2.28 に I/O ポートの概要比較を、表 2.29 に I/O ポートの機能比較を、表 2.30 に I/O ポートのレジスタ比較を示します。

表 2.28 I/O ポートの概要比較 (64 ピン)

ポートシンボル	RX113(64 ピン)	RX140(64 ピン)
PORT0	—	P03, P05
PORT1	P14~P17	P14~P17
PORT2	P26, P27	P26, P27
PORT3	P30~P32, P35	P30~P32, P35~P37
PORT4	P40~P42	P40~P47
PORT5	P54, P55	P54, P55
PORTA	PA0, PA1, PA3, PA4, PA6	PA0, PA1, PA3, PA4, PA6
PORTB	PB0, PB1, PB3, PB5~PB7	PB0, PB1, PB3, PB5~PB7
PORTC	PC2~PC7	PC0~PC7
PORTD	PD0~PD2	—
PORTE	PE0~PE7	PE0~PE5
PORTG	—	PG7
PORTH	—	PH0~PH3, PH6 ^(注 1) , PH7 ^(注 1)
PORTJ	PJ0, PJ2, PJ3, PJ6, PJ7	PJ6, PJ7

注 1. ROM 容量が 64K バイトの製品にはありません

表 2.29 I/O ポートの機能比較

項目	ポートシンボル	RX113	RX140
入力プルアップ機能	PORT0	P02,P04,P07	P03~P07
	PORT1	P10~P15,P16,P17	P12~P17
	PORT2	P20~P27	P20,P21,P26,P27
	PORT3	P30~P32	P30~P32,P34,P36,P37
	PORT4	P40~P44,P46	P40~P47
	PORT5	P50~P56	P54,P55
	PORTA	PA0~PA7	PA0~PA6
	PORTB	PB0~PB7	PB0~PB7
	PORTC	PC0~PC7	PC2~PC7
	PORTD	PD0~PD4	PD0~PD2
	PORTE	PE0~PE7	PE0~PE5
	PORTF	PF6,PF7	—
	PORTG	—	PG7
	PORTH	—	PH0~PH3
	PORTJ	PJ0,PJ2,PJ3,	PJ1,PJ6,PJ7
オープンドレイン 出力機能	PORT0	P02,P04,P07	—
	PORT1	P10~P15,P16,P17	P12~P17
	PORT2	P20~P27	P20,P21,P26,P27
	PORT3	P30~P32	P30~P32,P34,P36,P37
	PORT5	P50~P53,P56	—
	PORTA	PA0~PA7	PA0~PA6
	PORTB	PB0~PB7	PB0~PB7
	PORTC	PC0~PC7	PC2~PC7
	PORTD	—	PD0~PD2
	PORTE	PE0~PE7	PE0~PE3
	PORTG	—	PG7
	PORTH	—	—
	PORTJ	PJ3	—
5V トレラント	PORT1	P16,P17	P12,P13,P16,P17
	PORTA	PA6	—
	PORTB	PB0	—

表 2.30 I/O ポートのレジスタ比較

レジスタ	ビット名	RX113	RX140
PDR	B0~B7	Pm0~7 方向制御ビット (m = 0~5, 9, A~F, J)	Pm0~7 方向制御ビット (m = 0~5, A~E, G, H, J)
PODR	B0~B7	Pm0~7 出力データ格納ビット (m = 0~5, 9, A~F, J)	Pm0~7 出力データ格納ビット (m = 0~5, A~E, G, H, J)
PIDR	B0~B7	Pm0~7 ビット (m = 0~5, 9, A~F, J)	Pm0~7 ビット (m = 0~5, A~E, G, H, J)
PMR	B0~B7	Pm0 端子モード制御ビット (m = 0~5, 9, A~F, J) 0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	Pm0~7 端子モード制御ビット (m = 0~5, A~E, G, H, J) 0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用 • PG7 のみ 0 : 汎用入出力ポートとして使用 1 : MD 機能として使用(初期値)
ODR0	B0, B1(RX113) B0(RX140)	Pm0, 2, 3 出力形態指定ビット (m = 0~3, 5, A~C, E, J) • P20, P30, P50, PA0, PB0, PC0, PE0 b0 0 : CMOS 出力 1 : N チャネルオープンドレイン b1 読むと“0”が読めます。書く場合、“0”としてください • P10 b0 b1 0 0 : CMOS 出力 0 1 : N チャネルオープンドレイン 1 0 : P チャネルオープンドレイン 1 1 : 設定しないでください	Pm0, 2, 3 出力形態指定ビット (m = 1~3, A~E, J) 0 : CMOS 出力 1 : N チャネルオープンドレイン
	B2, B3	Pm1, 出力形態指定ビット (m = 0~3, 5, A~C, E, J) • P11, P21, P31, P51, PA1, PB1, PC1 b2 0 : CMOS 出力 1 : N チャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください • PE1 b3 b2 0 0 : CMOS 出力 0 1 : N チャネルオープンドレイン 1 0 : P チャネルオープンドレイン 1 1 : 設定しないでください	Pm1 出力形態指定ビット (m = 1~3, A~E, J) • P21, P31, PA1, PB1, PD1 b2 0 : CMOS 出力 1 : N チャネルオープンドレイン b3 読むと“0”が読めます。書く場合、“0”としてください • PE1 b3 b2 0 0 : CMOS 出力 0 1 : N チャネルオープンドレイン 1 0 : P チャネルオープンドレイン 1 1 : Hi-Z

レジスタ	ビット名	RX113	RX140
ODR1	B0,B1(RX113) B0(RX140)	Pm4 出力形態指定ビット (m = 0~2,5,A~C,E) • P04,P24,PA4,PB4,PC4,PE4 b0 0 : CMOS 出力 1 : N チャネルオープンドレイン b1 読むと“0”が読めます。書く場合、“0” としてください • P14 b1 b0 0 0 : CMOS 出力 0 1 : N チャネルオープンドレイン 1 0 : P チャネルオープンドレイン 1 1 : 設定しないでください	Pm4 出力形態指定ビット (m = 1~3,A~C,G) b0 0 : CMOS 出力 1 : N チャネルオープンドレイン
	B2, B4, B6	Pm5, 6, 7 出力形態指定ビット (m = 0~2,5,A~C,E)	Pm5, 6, 7 出力形態指定ビット (m = 1~3, A~C, G)
PCR	B0~B7	Pm0~7 入力プルアップ抵抗制御 ビット (m = 0~3,5,A~C,E)	Pm0~7 入力プルアップ抵抗制御 ビット (m = 0~5, A~E, G, H, J)
PSRB	—	—	ポート切り替えレジスタ B
PRWCNTR	—	—	ポートリードウェイト制御レジスタ

2.16 マルチファンクションピンコントローラ

表 2.31 にマルチプル端子の割り当て端子比較を、表 2.32～表 2.46 にマルチファンクションピンコントローラのレジスタ比較を示します。

マルチプル端子の割り当て端子比較の、**青字**は RX140 グループのみに存在する端子、**橙字**は RX113 グループのみに存在する端子です。“○”は機能割り当てあり、“×”は端子なし、または機能割り当てなし、グレーの塗りつぶしは非搭載機能を表しています。

表 2.31 マルチプル端子の割り当て端子比較

モジュール/ 機能	端子機能	割り当て ポート	RX113	RX140
			64 ピン	64 ピン
割り込み	NMI (入力)	P35	○	○
	IRQ0 (入力)	P30	○	○
		PE0	○	×
		PD0	○	×
		PH1	×	○
	IRQ1 (入力)	P31	○	○
		PE1	○	×
		PD1	○	×
		PH2	×	○
	IRQ2 (入力)	P32	○	○
		PB0	○	×
		PC4	○	×
		PD2	○	×
		P36	×	○
	IRQ3 (入力)	P27	○	×
		PE3	○	×
		PA6	○	×
	IRQ4 (入力)	P14	○	○
		PB1	○	○
		PE4	○	×
		P37	×	○
	IRQ5 (入力)	P15	○	○
		PA4	○	○
		PE5	○	○
	IRQ6 (入力)	P16	○	○
		PA3	○	○
		PE6	○	×
	IRQ7 (入力)	P17	○	○
		PE2	○	○
		PE7	○	×
マルチ ファンクション タイマユニット 2	MTIOC0A (入出力)	P14	○	×
		PB3	○	○
		PE3	○	×
		PC4	×	○
	MTIOC0B (入出力)	P15	○	○
		PA1	○	○
	MTIOC0C (入出力)	P17	○	×
		P32	○	○
		PB0	○	×
		PB1	○	○

モジュール/ 機能	端子機能	割り当て ポート	RX113	RX140
			64 ピン	64 ピン
マルチ ファンクション タイマユニット 2	MTIOC0C (入出力)	PC5	×	○
	MTIOC0D (入出力)	PA3	○	○
	MTIOC1A (入出力)	PE4	○	○
	MTIOC1B (入出力)	PA3	○	×
		PB5	○	○
		PE3	○	○
	MTIOC2A (入出力)	P26	○	○
		PA6	○	×
		PB5	○	○
		PE0	○	×
	MTIOC2B (入出力)	P27	○	○
		PA4	○	×
		PE5	○	○
	MTIOC3A (入出力)	P14	○	○
		P17	○	○
		PC7	○	○
		PE4	○	×
	MTIOC3B (入出力)	P17	○	○
		PB3	○	×
		PB7	○	○
		PC5	○	○
		PA1	×	○
		PH0	×	○
	MTIOC3C (入出力)	P16	○	○
		PC6	○	○
	MTIOC3D (入出力)	P16	○	○
		PB6	○	○
		PC4	○	○
		PA6	×	○
		PB0	×	○
		PH1	×	○
	MTIOC4A (入出力)	PA0	○	○
		PB3	○	○
		PE2	○	○
		P55	×	○
		PE4	×	○
	MTIOC4B (入出力)	P30	○	○
		P54	○	○
		PC2	○	○
		PE3	○	○
		PD1	○	×
	MTIOC4C (入出力)	PB1	○	○
		PE1	○	○
		PE5	○	○
		PA4	×	○
		PH2	×	○
	MTIOC4D (入出力)	P31	○	○
		P55	○	○
		PC3	○	○
		PE4	○	○
		PD2	○	×
		PA3	×	○

モジュール/ 機能	端子機能	割り当て ポート	RX113	RX140
			64 ピン	64 ピン
マルチ ファンクション タイマユニット 2	MTIOC4D (入出力)	PH3	×	○
	MTIC5U (入力)	PA4	○	○
	MTIC5V (入力)	PA6	○	○
		PA3	×	○
	MTIC5W (入力)	PB0	○	○
	MTCLKA (入力)	P14	○	○
		PA4	○	○
		PC6	○	○
	MTCLKB (入力)	P15	○	○
		PA6	○	○
		PC7	○	○
	MTCLKC (入力)	PA1	○	○
		PC4	○	○
	MTCLKD (入力)	PA3	○	○
		PC5	○	○
ポート アウトプット イネーブル 2	POE0# (入力)	PC4	○	○
		PA3	○	×
	POE1# (入力)	PB5	○	○
	POE2# (入力)	PA6	○	○
	POE3# (入力)	PB3	○	○
		PE0	○	×
	POE8# (入力)	P17	○	○
		P30	○	○
		PE3	○	○
8 ビットタイマ	TMO0 (出力)	PB3	○	○
		PH1	×	○
	TMCI0 (入力)	PB1	○	○
		PH3	×	○
	TMRI0 (入力)	PA4	○	○
		PH2	×	○
	TMO1 (出力)	P17	○	○
		P26	○	○
	TMCI1 (入力)	P54	○	○
		PC4	○	○
	TMRI1 (入力)	PB5	○	○
		P16	○	○
	TMO2 (出力)	PC7	○	○
		P15	○	○
	TMCI2 (入力)	P31	○	○
		PC6	○	○
		P14	○	○
	TMRI2 (入力)	PC5	○	○
		P32	○	○
	TMO3 (出力)	P55	○	○
		P27	○	○
シリアルコミュ ニケーションイ ンタフェース	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	PA6	○	○
		P30	○	○
		PC6	○	×

モジュール/ 機能	端子機能	割り当て ポート	RX113	RX140
			64 ピン	64 ピン
シリアルコミュニ ケーションイ ンタフェース	TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	P16	○	○
	TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	P26	○	○
		PC7	○	×
	SCK1 (入出力)	P17	○	○
		P27	○	○
		PC5	○	×
	CTS1# (入力) / RTS1# (出力) / SS1# (入力)	P14	○	○
		P31	○	○
	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力) / IRRXD5 (入力)	PA3	○	○
		PC2	○ ^(注2)	○
	TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力) / IRTXD5 (出力)	PA4	○ ^(注3)	○
		PC3	○	○
	SCK5 (入出力)	PA1	○	○
		PC4	○	○
	CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PA6	○	○
	RXD6 (入力) / SMISO6 (入出力) / SSCL6 (入出力)	P27	○	×
		PB0	○	○ ^(注1)
	TXD6 (出力) / SMOSI6 (入出力) / SSDA6 (入出力)	P26	○	×
		PB1	○	○ ^(注1)
		P32	○	○ ^(注1)
	SCK6 (入出力)	PB3	○	○ ^(注1)
	CTS6# (入力) / RTS6# (出力) / SS6# (入力)	P32	○	×
	RXD8 (入力) / SMISO8 (入出力) / SSCL8 (入出力)	PC6	○	○ ^(注1)
	TXD8 (出力) / SMOSI8 (入出力) / SSDA8 (入出力)	PC7	○	○ ^(注1)
	SCK8 (入出力)	PC5	○	○ ^(注1)
	CTS8# (入力) / RTS8# (出力) / SS8# (入力)	PC4	○	○ ^(注1)
	RXD9 (入力) / SMISO9 (入出力) / SSCL9 (入出力)	PB6	○	○ ^(注1)
		PE4	○	×
	TXD9 (出力) / SMOSI9 (入出力) / SSDA9 (入出力)	PB7	○	○ ^(注1)
		PE5	○	×
	SCK9 (入出力)	PB5	○	○ ^(注1)
		PE3	○	×

モジュール/ 機能	端子機能	割り当て ポート	RX113	RX140
			64 ピン	64 ピン
シリアルコミュニケーションインターフェース	CTS9# (入力) / RTS9# (出力) / SS9# (入力)	PB4	×	○ ^(注1)
		PE0	○	×
	RXD12 (入力) / SMISO12 (入出力) / SSCL12 (入出力) / RXDX12 (入力)	PE2	○	○
		P17	○	×
	TXD12 (出力) / SMOSI12 (入出力) / SSDA12 (入出力) / TXDX12 (出力) / SIOX12 (入出力)	PE1	○	○
		P14	○ ^(注3)	×
	SCK12 (入出力)	PE0	○	○
		P27	○	×
	CTS12# (入力) / RTS12# (出力) / SS12# (入力)	PE3	○	○
I2C バスインターフェース	SCL0 (入出力)	P16	○	○
		PB0	○	×
	SDA0 (入出力)	P17	○	○
		PA6	○	×
シリアルペリフェラルインターフェース	RSPCKA (入出力)	P15	○	×
		PB0	○	○
		PC5	○	○
		PE3	○	×
	MOSIA (入出力)	P16	○	○
		PA6	○	○
		PE4	○	×
		PC6	○	○
	MISOA (入出力)	P17	○	○
		PC7	○	○
		PA3	○	×
		PE5	○	×
	SSLA0 (入出力)	P14	○	×
		PA4	○	○
		PC4	○	○
	SSLA1 (出力)	PA0	○	○
	SSLA2 (出力)	PA1	○	○
	SSLA3 (出力)	PC2	○	○
USB2.0 ホスト/ ファンクション モジュール	USB0_EXICEN (出力)	PC6	○	
	USB0_VBUSEN (出力)	P16	○	
		PC4	○	
		P26	○	
	USB0_OVRCURA (入力)	P14	○	
		PB3	○	
	USB0_OVRCURB (入力)	P16	○	
		PC7	○	
リアルタイム クロック	RTCOUT (出力)	PC5	○	
		P16	○	
		PC4	○	
		PB0	○	

モジュール/ 機能	端子機能	割り当て ポート	RX113	RX140
			64 ピン	64 ピン
リアルタイム クロック	RTCOUT (出力)	PA1	○	×
12 ビット A/D コ ンバータ	AN000 (入力)	P40	○	○
	AN001 (入力)	P41	○	○
	AN002 (入力)	P42	○	○
	AN003 (入力)	P43	×	○
	AN004 (入力)	P44	×	○
	AN005 (入力)	P45	×	○
	AN006 (入力)	P46	×	○
	AN007 (入力)	P47	×	○
	AN008 (入力)	PE0	○	
	AN009 (入力)	PE1	○	
	AN010 (入力)	PE2	○	
	AN011 (入力)	PE3	○	
	AN012 (入力)	PE4	○	
	AN013 (入力)	PE5	○	
	AN014 (入力)	PE6	○	
12 ビット A/D コ ンバータ	AN015 (入力)	PE7	○	
	VREFH0 (入力)	PJ6	○	
	VREFL0 (入力)	PJ7	○	
	ADTRG0# (入力)	P16	○	○
		P27	○	×
		PB0	○	×
	AN016 (入力)	PE0		○
	AN017 (入力)	PE1		○
	AN018 (入力)	PE2		○
	AN019 (入力)	PE3		○
	AN020 (入力)	PE4		○
	AN021 (入力)	PE5		○
12 ビット D/A コ ンバータ D/A コンパレータ	DA0 (出力)	PJ0	○	×
		P03	×	○
	DA1 (出力)	PJ2	○	×
		P05	×	○
12 ビット D/A コ ンバータ	VREFH	P41	○	
	VREFL	P42	○	
クロック	CLKOUT (出力)	P15	○	×
		PC4	○	×
		PE3	×	○
		PE4	×	○
クロック周波数 精度測定回路	CACREF (入力)	P27	○	×
		PA0	○	○
		PC7	○	○
		P15	○	×
		PH0	×	○
電圧検出回路	CMPA2 (入力)	P27	○	×
		PE4	×	○
コンパレータ B	CMPB0 (入力)	PE1	○	○
	CVREFB0 (入力)	PE2	○	○
	CMPOB0 (出力)	PE7	○	×
		PE5	×	○
	CMPB1 (入力)	PA3	○	○
	CVREFB1 (入力)	PA4	○	○

モジュール/ 機能	端子機能	割り当て ポート	RX113	RX140
			64 ピン	64 ピン
コンパレータ B	CMPOB1 (出力)	PE5	○	×
		PB1	×	○
シリアルサウン ドインタフェー ス	SSISCK0 (入出力)	PB5	○	
		PE0	○	
	SSIWS0 (入出力)	PB1	○	
		PE4	○	
	SSIRXD0 (入力)	PB6	○	
		PE2	○	
	SSITXD0 (入力)	PB7	○	
		PE1	○	
LCD コントロー ラ/ドライバ	AUDIO_MCLK (入力)	PB3	○	
		PE3	○	
	COM0 (出力)	PC5	○	
	COM1 (出力)	PC4	○	
	COM2 (出力)	PC3	○	
	COM3 (出力)	PC2	○	
	SEG11 /COM4 (出力)	PB7	○	
	SEG12 /COM5 (出力)	PB6	○	
	SEG13 /COM6 (出力)	PB5	○	
	SEG15 /COM7 (出力)	PB3	○	
	SEG17 (出力)	PB1	○	
	SEG20 (出力)	PA4	○	
	SEG21 (出力)	PA3	○	
	SEG23 (出力)	PA1	○	
	SEG24 (出力)	PA0	○	
	SEG27 (出力)	PE5	○	
	SEG28 (出力)	PE4	○	
	SEG29 (出力)	PE3	○	
	SEG30 (出力)	PE2	○	
	SEG31 (出力)	PE1	○	
	SEG32 (出力)	PE0	○	
	SEG33 (出力)	PE7	○	
	SEG34 (出力)	PE6	○	
	SEG37 (出力)	PD2	○	
	SEG38 (出力)	PD1	○	
	SEG39 (出力)	PD0	○	
	CAPH (出力)	P30	○	
	CAPL (出力)	P31	○	
	VL1 (入出力)	P55	○	
	VL2 (入出力)	P54	○	
	VL3 (入出力)	PC7	○	
	VL4 (入出力)	PC6	○	
静電容量式 タッチセンサ	TS0 (出力)	P32	× (注 5)	○
	TS1 (出力)	P31	× (注 5)	○
	TS2 (出力)	P30	× (注 5)	○
	TS3 (出力)	P27	× (注 5)	○
	TS4 (出力)	P26	× (注 5)	○
	TS5 (出力)	P15	× (注 5)	○ (注 1)
	TS6 (出力)	P14	× (注 5)	○ (注 1)
	TS7 (出力)	PH3	× (注 5)	○ (注 1)
	TS8 (出力)	PH2	× (注 5)	○ (注 1)

モジュール/ 機能	端子機能	割り当て ポート	RX113	RX140
			64 ピン	64 ピン
静電容量式 タッチセンサ	TS9 (出力)	PH1	× (注 5)	○ (注 1)
	TS10 (出力)	PH0	× (注 5)	○ (注 1)
	TS11 (出力)	P55	× (注 5)	○ (注 1)
	TSCAP (入出力)	PC4	× (注 5)	○
	TS12 (出力)	P54		○ (注 1)
	TS13 (出力)	PC7		○
	TS14 (出力)	PC6		○
	TS15 (出力)	PC5		○
	TS16 (出力)	PC3		○ (注 1)
	TS17 (出力)	PC2		○ (注 1)
	TS18 (出力)	PB7		○ (注 1)
	TS19 (出力)	PB6		○ (注 1)
	TS20 (出力)	PB5		○ (注 1)
	TS22 (出力)	PB3		○ (注 1)
	TS24 (出力)	PB1		○ (注 1)
	TS25 (出力)	PB0		○
	TS26 (出力)	PA6		○ (注 1)
	TS28 (出力)	PA4		○
	TS29 (出力)	PA3		○
	TS31 (出力)	PA1		○
	TS32 (出力)	PA0		○ (注 1)
	TS33 (出力)	PE4		○
	TS34 (出力)	PE3		○
	TS35 (出力)	PE2		○
ローパワー タイマ	LPTO (出力)	P26		○
		PB3		○
		PC7		○
CAN モジュール	CTXD0 (出力)	P14		○ (注 1)
		P54		○ (注 1)
	CRXD0 (入力)	P15		○ (注 1)
		P55		○ (注 1)

注 1.RX140 グループの ROM 容量が 64K バイトの製品では本機能はありません。

注 2.RX113 グループでは IRRXD5 機能はありません。

注 3.RX140 グループでは IRTXD5 機能はありません。

注 4.RX140 グループでは SIOX12 機能はありません。

注 5.100 ピン製品のみ搭載されている機能です

表 2.32 P0n 端子機能制御レジスタ(P0nPFS)の比較

レジスタ	ビット	RX113(n = 2,4,7)	RX140(n = 3,5,7)
P02PFS	—	P02 端子機能制御レジスタ	—
P03PFS	—	—	P03 端子機能制御レジスタ
P04PFS	—	P04 端子機能制御レジスタ	—
P07PFS	PSEL[4:0]	端子機能選択ビット 01001b : ADTRG0# 01010b : TXD6/SMOSI6/SSDA6 11001b : TS0	端子機能選択ビット 01001b : ADTRG0#
P0nPFS	ASEL	—	アナログ機能選択ビット

表 2.33 P1n 端子機能制御レジスタ(P1nPFS)の比較

レジスタ	ビット	RX113(n = 0~7)	RX140(n = 2~7)
P10PFS	—	P10 端子機能制御レジスタ	—
P11PFS	—	P11 端子機能制御レジスタ	—
P12PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00101b : TMC11 01011b : SCK0 01100b : SCK12 11000b : SEG01	端子機能選択ビット 00000b : Hi-Z 00101b : TMC11 01111b : SCL
P13PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0B 00101b : TMO3 01011b : CTS0#/RTS0#/SS0# 01100b : CTS12#/RTS12#/SS12# 11000b : SEG00	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0B 00101b : TMO3 01111b : SDA
P14PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKA 00011b : MTIOC0A 00101b : TMRI2 01011b : CTS1#/RTS1#/SS1# 01100b : TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12 01101b : SSLA0 10011b : USB0_OVRCURA	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKA 00101b : TMRI2 01011b : CTS1#/RTS1#/SS1# 01100b : TXD12/SMOSI12/SSDA12/ TXDX12/SIOX12 11001b : TS6 11100b : CTXD0

レジスタ	ビット	RX113(n = 0~7)	RX140(n = 2~7)
P15PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0B 00010b : MTCLKB 00101b : TMCi2 00111b : CACREF 01001b : CLKOUT 01010b : RXD1/SMISO1/SSCL1 01101b : RSPCKA	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0B 00010b : MTCLKB 00101b : TMCi2 01010b : RXD1/SMISO1/SSCL1 11001b : TS5 11100b : CRXD0
P16PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3C 00010b : MTIOC3D 00101b : TMO2 00111b : RTCOUT 01001b : ADTRG0# 01010b : TXD1/SMOSI1/SSDA1 01101b : MOSIA 01111b : SCL0 10001b : USB0_VBUSEN 10010b : USB0_VBUS 10011b : USB0_OVRCURB	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3C 00010b : MTIOC3D 00101b : TMO2 00111b : RTCOUT 01001b : ADTRG0# 01010b : TXD1/SMOSI1/SSDA1 01101b : MOSIA 01111b : SCL
P17PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTIOC3B 00011b : MTIOC0C 00101b : TMO1 00111b : POE8# 01010b : SCK1 01100b : RXD12/SMISO12/SSCL12/ RXDX12 01101b : MISOA 01111b : SDA0	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTIOC3B 00101b : TMO1 00111b : POE8# 01010b : SCK1 01101b : MISOA 01111b : SDA0
P1nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P10 : IRQ6 (100 ピン) P11 : IRQ7 (100 ピン) P12 : IRQ2 (100 ピン) P13 : IRQ3 (100 ピン) P14 : IRQ4 (100 ピン,64 ピン) P15 : IRQ5 (100 ピン,64 ピン) P16 : IRQ6 (100 ピン,64 ピン) P17 : IRQ7 (100 ピン,64 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P12 : IRQ2 (80 ピン) P13 : IRQ3 (80 ピン) P14 : IRQ4 (80/64/48 ピン) P15 : IRQ5 (80/64/48 ピン) P16 : IRQ6 (80/64/48/32 ピン) P17 : IRQ7 (80/64/48/32 ピン)

表 2.34 P2n 端子機能制御レジスタ(P2nPFS)の比較

レジスタ	ビット	RX113(n = 0~7)	RX140(n = 0, 1, 6, 7)
P20PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC1A 00101b : TMRI0 01010b : TXD0/SMOSI0/SSDA0 11001b : TS9	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC1A 00101b : TMRI0
P21PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC1B 00101b : TMCIO 01010b : RXD0/SMISO01/SSCL0 11001b : TS8	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC1B 00101b : TMCIO
P22PFS	—	P22 端子機能制御レジスタ	—
P23PFS	—	P23 端子機能制御レジスタ	—
P24PFS	—	P24 端子機能制御レジスタ	—
P25PFS	—	P25 端子機能制御レジスタ	—
P26PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC2A 00101b : TMO1 01010b : TXD1/SMOSI1/SSDA1 01100b : TXD6/SMOSI6/SSDA6 10011b : USB0_VBUSEN 11001b : TSCAP	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC2A 00101b : TMO1 01010b : TXD1/SMOSI1/SSDA1 11001b : TS4 11011b : LPTO
P27PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC2B 00101b : TMCIO3 00111b : CACREF 01001b : ADTRG0# 01010b : SCK1 01011b : RXD6/SMISO6/SSCL6 01100b : SCK12 11001b : TS10	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC2B 00101b : TMCIO3 01010b : SCK1 11001b : TS3
P2nPFS	ISEL	割り込み入力機能選択ビット	—
	ASEL	アナログ機能選択ビット	—

表 2.35 P3n 端子機能制御レジスタ(P3nPFS)の比較

レジスタ	ビット	RX113(n = 0~2)	RX140(n = 0~2, 4, 6, 7)
P30PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4B 00101b : TMRI3 00111b : POE8# 01010b : RXD1/SMISO1/SSCL1 11000b : CAPH	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4B 00101b : TMRI3 00111b : POE8# 01010b : RXD1/SMISO1/SSCL1 11001b : TS2

レジスタ	ビット	RX113(n = 0~2)	RX140(n = 0~2, 4, 6, 7)
P31PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4D 00101b : TMCi2 01011b : CTS1#/RTS1#/SS1# 11000b : CAPL	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4D 00101b : TMCi2 01011b : CTS1#/RTS1#/SS1# 11001b : TS1
P32PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0C 00101b : TMO3 00111b : RTCOUT 01011b : TXD6/SMOSI6/SSDA6 01100b : CTS6#/RTS6#/SS6# 11001b : TS11	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0C 00101b : TMO3 00111b : RTCOUT 01011b : TXD6/SMOSI6/SSDA6 11001b : TS0
P34PFS	—	—	P34 端子機能制御レジスタ
P36PFS	—	—	P36 端子機能制御レジスタ
P37PFS	—	—	P37 端子機能制御レジスタ
P3nPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P30 : IRQ0(100 ピン、64 ピン) P31 : IRQ1(100 ピン、64 ピン) P32 : IRQ2(100 ピン、64 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する P30 : IRQ0(80/64/48/32 ピン) P31 : IRQ1(80/64/48/32 ピン) P32 : IRQ2(80/64 ピン) P34 : IRQ4(80 ピン) P36 : IRQ2(80/64/48/32 ピン) P37 : IRQ4(80/64/48 ピン)

表 2.36 P4n 端子機能制御レジスタ(P4nPFS)の比較

レジスタ	ビット	RX113(n = 0~4,6)	RX140(n = 0~7)
P4nPFS	ASEL	アナログ機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 (100 ピン,64 ピン) P41 : AN001/VREFH (100 ピン,64 ピン) P42 : AN002/VREFL (100 ピン,64 ピン) P43 : AN003 (100 ピン) P44 : AN004 (100 ピン) P46 : AN006 (100 ピン)	アナログ機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40 : AN000 (80/64/48/32 ピン) P41 : AN001 (80/64/48/32 ピン) P42 : AN002 (80/64/48/32 ピン) P43 : AN003 (80/64 ピン) P44 : AN004 (80/64 ピン) P45 : AN005 (80/64/48 ピン) P46 : AN006 (80/64/48 ピン) P47 : AN007 (80/64/48 ピン)

表 2.37 P5n 端子機能制御レジスタ(P5nPFS)の比較

レジスタ	ビット	RX113(n = 0~6)	RX140(n = 4, 5)
P50PFS	—	P50 端子機能制御レジスタ	—
P51PFS	—	P51 端子機能制御レジスタ	—
P52PFS	—	P52 端子機能制御レジスタ	—
P53PFS	—	P53 端子機能制御レジスタ	—
P54PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4B 00101b : TMCI1 11000b : VL2	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4B 00101b : TMCI1 11001b : TS12 11100b : CTXD0
P55PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4D 00101b : TMO3 11000b : VL1	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4D 00010b : MTIOC4A 00101b : TMO3 11001b : TS11 11100b : CRTXT0
P56PFS	—	P56 端子機能制御レジスタ	—
P5nPFS	ISEL	割り込み入力機能選択ビット	—

表 2.38 P9n 端子機能制御レジスタ(PAnPFS)の比較

レジスタ	ビット	RX113(n=0~2)	RX140
PA9nPFS	—	P9n 端子機能制御レジスタ	—

表 2.39 PAn 端子機能制御レジスタ(PAnPFS)の比較

レジスタ	ビット	RX113(n=0~7)	RX140(n=0~6)
PA0PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4A 00111b : CACREF 01101b : SSLA1 11000b : SEG24	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4A 00111b : CACREF 01101b : SSLA1 11001b : TS32
PA1PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0B 00010b : MTCLKC 00111b : RTCOUT 01010b : SCK5 01101b : SSLA2 11000b : SEG23	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0B 00010b : MTCLKC 00011b : MTIOC3B 01010b : SCK5 01101b : SSLA2 11001b : TS31
PA2PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 01010b : RXD5/SMISO5/SSCL5/IRRXD5 01101b : SSLA3 11000b : SEG22	端子機能選択ビット 00000b : Hi-Z 01010b : RXD5/SMISO5/SSCL5/IRRXD5 01101b : SSLA3 11001b : TS30
PA3PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0D 00010b : MTCLKD 00011b : MTIOC1B 00111b : POE0# 01010b : RXD5/SMISO5/SSCL5/IRRXD5 01101b : MISOA 11000b : SEG21	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0D 00010b : MTCLKD 00011b : MTIOC4D 00100b : MTIC5V 01010b : RXD5/SMISO5/SSCL5 11001b : TS29
PA4PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5U 00010b : MTCLKA 00011b : MTIO2CB 00101b : TMRI0 01010b : TXD5/SMOSI5/SSDA5/IRTXD5 01011b : CTS8#/RTS8#/SS8# 01101b : SSLA0 11000b : SEG20	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5U 00010b : MTCLKA 00011b : MTIOC4C 00101b : TMRI0 01010b : TXD5/SMOSI5/SSDA5 01101b : SSLA0 11001b : TS28
PA5PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 01010b : SCK8 11000b : SEG19	端子機能選択ビット 00000b : Hi-Z 01101b : SSLA0 11001b : TS27

レジスタ	ビット	RX113(n=0~7)	RX140(n=0~6)
PA6PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5V 00010b : MTCLKB 00011b : MTIOC2A 00101b : TMCI3 00111b : POE2# 01010b : RXD8/SMISO8/SSCL8 01011b : CTS5#/RTS5#/SS5# 01101b : MOSIA 01111b : SDA0	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5V 00010b : MTCLKB 00011b : MTIOC3D 00101b : TMCI3 00111b : POE2# 01011b : CTS5#/RTS5#/SS5# 01101b : MOSIA 11001b : TS26
PA7PFS	—	PA7 端子機能制御レジスタ	—
PAnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PA3 : IRQ6(100 ピン、64 ピン) PA4 : IRQ5(100 ピン、64 ピン) PA6 : IRQ3(100 ピン、64 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PA3 : IRQ6 (80/64/48/32 ピン) PA4 : IRQ5 (80/64/48/32 ピン)
	ASEL	—	アナログ機能選択ビット

表 2.40 PBn 端子機能制御レジスタ(PBnPFS)の比較

レジスタ	ビット	RX113(n=0~7)	RX140(n=0~7)
PB0PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5W 00010b : MTIOC0C 00111b : RTCOUT 01001b : ADTRG0# 01011b : RXD6/SMISO6/SSCL6 01101b : RSPCKA 01111b : SCL0	端子機能選択ビット 00000b : Hi-Z 00001b : MTIC5W 00010b : MTIOC3D 01011b : RXD6/SMISO6/SSCL6 01101b : RSPCKA 11001b : TS25
PB1PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0C 00010b : MTIOC4C 00101b : TMCI0 01011b : TXD6/SMOSI6/SSDA6 10111b : SSIWS0 11000b : SEG17	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0C 00010b : MTIOC4C 00101b : TMCI0 01011b : TXD6/SMOSI6/SSDA6 10000b : CMPOB1 11001b : TS24
PB2PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 01011b : CTS6#/RTS6#/SS6# 11000b : SEG16	端子機能選択ビット 00000b : Hi-Z 01011b : CTS6#/RTS6#/SS6# 10000b : CMPOB1 11001b : TS23

レジスタ	ビット	RX113(n=0~7)	RX140(n=0~7)
PB3PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0A 00010b : MTIOC4A 00011b : MTIOC3B 00101b : TMO0 00111b : POE3# 01011b : SCK6 10011b : USB0_OVRCURA 10111b : AUDIO_MCLK 11000b : COM7/SEG15	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC0A 00010b : MTIOC4A 00101b : TMO0 00111b : POE3# 01011b : SCK6 11001b : TS22 11011b : LPTO
PB4PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 01011b : CTS9#/RTS9#/SS9# 11000b : SEG14	端子機能選択ビット 00000b : Hi-Z 01011b : CTS9#/RTS9#/SS9# 11001b : TS21
PB5PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC2A 00010b : MTIOC1B 00101b : TMRI1 00111b : POE1# 01010b : SCK9 10111b : SSISCK0 11000b : COM6/SEG13	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC2A 00010b : MTIOC1B 00101b : TMRI1 00111b : POE1# 01010b : SCK9 11001b : TS20
PB6PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3D 01010b : RXD9/SMISO9/SSCL9 10111b : SSIRXD0 11000b : COM5/SEG12	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3D 01010b : RXD9/SMISO9/SSCL9 11001b : TS19
PB7PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3B 01010b : TXD9/SMOSI9/SSDA9 10111b : SSITXD0 11000b : COM4/SEG11	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3B 01010b : TXD9/SMOSI9/SSDA9 11001b : TS18
PBnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PB0 : IRQ2 (100 ピン, 64 ピン) PB1 : IRQ4 (100 ピン, 64 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PB1 : IRQ4 (80/64/48 ピン)

表 2.41 PCn 端子機能制御レジスタ(PCnPFS)の比較

レジスタ	ビット	RX113(n=0~7)	RX140(n=2~7)
PC0PFS	—	PC0 端子機能制御レジスタ	—
PC1PFS	—	PC1 端子機能制御レジスタ	—
PC2PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4B 01010b : RXD5/SMISO5/SSCL5 01101b : SSLA3 11000b : COM3	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4B 01010b : RXD5/SMISO5/SSCL5 01101b : SSLA3 11001b : TS17
PC3PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4D 01010b : TXD5/SMOSI5/SSDA5 11000b : COM2	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4D 01010b : TXD5/SMOSI5/SSDA5 11001b : TS16
PC4PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3D 00010b : MTCLKC 00101b : TMC11 00111b : POE0# 01001b : CLKOUT 01010b : SCK5 01011b : CTS8#/RTS8#/SS8# 01101b : SSLA0 10001b : USB0_VBUSEN 10010b : USB0_VBUS 11000b : COM1	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3D 00010b : MTCLKC 00011b : MTIOC0A 00101b : TMC11 00111b : POE0# 01010b : SCK5 01011b : CTS8#/RTS8#/SS8# 01101b : SSLA0 11001b : TSCAP
PC5PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3B 00010b : MTCLKD 00101b : TMRI2 01010b : SCK8 01011b : SCK1 01101b : RSPCKA 10011b : USB0_ID 11000b : COM0	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3B 00010b : MTCLKD 00011b : MTIOC0C 00101b : TMRI2 01010b : SCK8 01101b : RSPCKA 11001b : TS15
PC6PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3C 00010b : MTCLKA 00101b : TMC12 01010b : RXD8/SMISO8/SSCL8 01011b : RXD1/SMISO1/SSCL1 01101b : MOSIA 10011b : USB0_EXICEN 11000b : VL4	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3C 00010b : MTCLKA 00101b : TMC12 01010b : RXD8/SMISO8/SSCL8 01101b : MOSIA 11001b : TS14

レジスタ	ビット	RX113(n=0~7)	RX140(n=2~7)
PC7PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKB 00101b : TMO2 00111b : CACREF 01010b : TXD8/SMOSI8/SSDA8 01011b : TXD1/SMOSI1/SSDA1 01101b : MISOA 10011b : USB0_OVRCURB 11000b : VL3	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC3A 00010b : MTCLKB 00101b : TMO2 00111b : CACREF 01010b : TXD8/SMOSI8/SSDA8 01101b : MISOA 11001b : TS13 11011b : LPTO
PCnPFS	ISEL	割り込み入力機能選択ビット	—

表 2.42 PDn 端子機能制御レジスタ (PDnPFS) の比較

レジスタ	ビット	RX113(n=0~4)	RX140(n=0~2)
PD0PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 11000b : SEG39	端子機能選択ビット 00000b : Hi-Z 01011b : TXD6/SMOSI6/SSDA6
PD1PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00111b : MTIOC4B 11000b : SEG38	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4B 01011b : TXD6/SMOSI6/SSDA6
PD2PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00111b : MTIOC4BD 11000b : SEG37	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4D 01011b : TXD6/SMOSI6/SSDA6
PDnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PD0 : IRQ0 (100 ピン、64 ピン) PD1 : IRQ1 (100 ピン、64 ピン) PD2 : IRQ2 (100 ピン、64 ピン) PD3 : IRQ3 (100 ピン) PD4 : IRQ4 (100 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PD0 : IRQ0 (80 ピン) PD1 : IRQ1 (80 ピン) PD2 : IRQ2 (80 ピン)
PDnPFS	ASEL	—	アナログ機能選択ビット

表 2.43 PEn 端子機能制御レジスタ (PEnPFS)の比較

レジスタ	ビット	RX113(n=0~7)	RX140(n=0~5)
PE0PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00010b : MTIOC2A 00111b : POE3# 01010b : CTS9#/RTS9#/SS9# 01100b : SCK12 10111b : SSISCK0 11000b : SEG32	端子機能選択ビット 00000b : Hi-Z 01100b : SCK12
PE1PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4C 01100b : TXD12/SMOSI12/SSDA12 /TXDX12/SIOX12 10111b : SSITXD0 11000b : SEG31	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4C 01100b : TXD12/SMOSI12/SSDA12 /TXDX12/SIOX12
PE2PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4C 01100b : RXD12/SMISO12/ SSCL12/RXDX12 10111b : SSIRXD0 11000b : SEG30	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4A 01100b : RXD12/SMISO12/ SSCL12/RXDX12 11001b : TS35
PE3PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4B 00010b : MTIOC1B 00011b : MTIOC0A 00111b : POE8# 01010b : SCK9 01101b : RSPCKA 10111b : AUDIO_MCLK 11000b : SEG29	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4B 00010b : MTIOC1B 00111b : POE8# 01001b : CLKOUT 01100b : CTS12#/RTS12#/SS12# 11001b : TS34
PE4PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4D 00010b : MTIOC1A 00011b : MTIOC3A 01010b : RXD9/SMISO9/SSCL9 01101b : MOSIA 10111b : SSIWS0 11000b : SEG28	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4D 00010b : MTIOC1A 00011b : MTIOC4A 01001b : CLKOUT 11001b : TS33

レジスタ	ビット	RX113(n=0~7)	RX140(n=0~5)
PE5PFS	PSEL[4:0]	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4C 00010b : MTIOC2B 00111b : CMPOB1 01010b : TXD9/SMOSIO9/SSDA9 01101b : MISOA 11000b : SEG27	端子機能選択ビット 00000b : Hi-Z 00001b : MTIOC4C 00010b : MTIOC2B 10000b : CMPOB0
PE6PFS	—	PE6 端子機能制御レジスタ	—
PE7PFS	—	PE7 端子機能制御レジスタ	—
PEnPFS	ISEL	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PE0 : IRQ0 (100 ピン, 64 ピン) PE1 : IRQ1 (100 ピン, 64 ピン) PE2 : IRQ7 (100 ピン, 64 ピン) PE3 : IRQ3 (100 ピン, 64 ピン) PE4 : IRQ4 (100 ピン, 64 ピン) PE5 : IRQ5 (100 ピン, 64 ピン) PE6 : IRQ6 (100 ピン, 64 ピン) PE7 : IRQ7 (100 ピン, 64 ピン)	割り込み入力機能選択ビット 0 : IRQn 入力端子として使用しない 1 : IRQn 入力端子として使用する PE2 : IRQ7 (80/64/48/32 ピン) PE5 : IRQ5 (80/64 ピン)
	ASEL	アナログ機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : AN008 (100 ピン, 64 ピン) PE1 : AN009 (100 ピン, 64 ピン) PE2 : AN010 (100 ピン, 64 ピン) PE3 : AN011 (100 ピン, 64 ピン) PE4 : AN012 (100 ピン, 64 ピン) PE5 : AN013 (100 ピン, 64 ピン) PE6 : AN014 (100 ピン, 64 ピン) PE7 : AN015 (100 ピン, 64 ピン)	アナログ機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PE0 : AN016 (80/64 ピン) PE1 : AN017, CMPB0 (80/64/48/32 ピン) PE2 : AN018, CVREFB0 (80/64/48/32 ピン) PE3 : AN019 (80/64/48/32 ピン) PE4 : AN020, CMPA2 (80/64/48/32 ピン) PE5 : AN021 (80/64 ピン)

表 2.44 PFn 端子機能制御レジスタ(PFnPFS)の比較

レジスタ	ビット	RX113(n=6,7)	RX140
PFnPFS	—	PFn 端子機能制御レジスタ	—

表 2.45 PHn 端子機能制御レジスタ(PHnPFS)の比較

レジスタ	ビット	RX113	RX140(n=0~3)
PHnPFS	—	—	PHn 端子機能制御レジスタ

表 2.46 PJn 端子機能制御レジスタ(PJnPFS)の比較

レジスタ	ビット	RX113(n=0,2,3,6,7)	RX140(n=1,6,7)
PJ1PFS	—	—	PJ1 端子機能制御レジスタ
PJ3PFS	—	PJ3 端子機能制御レジスタ	—
PJ0PFS PJ2PFS	ASEL	アナログ機能選択ビット 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PJ0 : DA0 (100 ピン,64 ピン) PJ2 : DA1 (100 ピン,64 ピン)	—
PJ6PFS	ASEL	PJ6 端子機能制御レジスタ 0 : 高電位側の基準電源端子に AVCC0 端子を選択 1 : 高電位側の基準電源端子に VREFH0 端子を選択 PJ6 : AVCC0/VREFH0 (100 ピン,64 ピン)	PJ6 端子機能制御レジスタ 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PJ6 : VREFH0 (80/64/48 ピン)
PJ7PFS	ASEL	PJ7 端子機能制御レジスタ 0 : 低電位側の基準電源グランド端子に AVSS0 端子を選択 1 : 低電位側の基準電源グランド端子に VREFL0 端子を選択 PJ7 : AVSS0/VREFL0 (100 ピン,64 ピン)	PJ7 端子機能制御レジスタ 0 : アナログ端子以外に使用する 1 : アナログ端子として使用する PJ7 : VREFL0 (80/64/48 ピン)

2.17 コンペアマッチタイマ

表 2.47 にコンペアマッチタイマのレジスタ比較を示します。

表 2.47 コンペアマッチタイマのレジスタ比較

レジスタ	ビット	RX113	RX140
CMSTR1	—	コンペアマッチタイマスタート レジスタ 1	—

2.18 リアルタイムクロック

表 2.48 にリアルタイムクロックのレジスタ比較を示します。

表 2.48 リアルタイムクロックのレジスタ比較

レジスタ	ビット	RX113(RTCA)	RX140(RTCC)
RCR3	—	RTC コントロールレジスタ 3	—

2.19 ローパワータイマ

表 2.49 にローパワータイマの概要比較を示します。

表 2.49 ローパワータイマの概要比較

項目	RX113(LPT)	RX140(LPTa)
クロックソース	サブクロック、IWDT 専用クロック	サブクロック、 LOCO クロック(4 分周) 、IWDT 専用クロック
クロック分周比	2 分周、4 分周、8 分周、16 分周、32 分周	分周なし 、2 分周、4 分周、8 分周、16 分周、32 分周
カウント動作	16 ビットのアップカウンタによるアップカウント - ソフトウェアスタンバイモード時もカウント動作継続可能	16 ビットのアップカウンタによるアップカウント - ソフトウェアスタンバイモード時もカウント動作継続可能
コンペアマッチ	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生)	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生) コンペアマッチ 1
PWM 波形生成	—	LPT0 端子から PWM 波形の出力が可能
割り込み	—	コンペアマッチ 1
イベントリンク機能(出力)	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生)によりイベント信号出力	コンペアマッチ 0 (ソフトウェアスタンバイモード時のみコンペアマッチ信号が発生) コンペアマッチ 1

表 2.50 ローパワータイマのレジスタ比較

レジスタ	ビット	RX113(LPT)	RX140(LPT ^a)
LPTCR1	LPCNTPSSEL[2:0]	クロック分周比選択ビット b2 b0 0 0 1 : 2 分周 0 1 0 : 4 分周 0 1 1 : 8 分周 1 0 0 : 16 分周 1 0 1 : 32 分周 上記以外は設定しないでください	クロック分周比選択ビット b2 b0 0 0 0 : 分周無し 0 0 1 : 2 分周 0 1 0 : 4 分周 0 1 1 : 8 分周 1 0 0 : 16 分周 1 0 1 : 32 分周 上記以外は設定しないでください
	LPCNTCKSEL (RX113) LPCNTCKSEL2 LPCNTCKSEL (RX140)	クロックソース選択ビット 0 : サブクロック 1 : IWDTC 専用クロック(IWDTCCLK)(注 2)	クロックソース選択ビット、 クロックソース選択ビット 2 b4 b3 0 0 : サブクロック 0 1 : LOCO クロックの 4 分周(注 1) 1 0 : IWDTC 専用クロック(IWDTCCLK) 1 1 : LOCO クロックの 4 分周(注 1)
	LPCMRE1	—	コンペアマッチ 1 許可ビット
	LPTCR2	—	出力極性選択ビット
LPTCR2	OPOL	—	出力極性選択ビット
	OLVL	—	出力レベル選択ビット
LPTCR2	PWME	—	PWM モード許可ビット
	LPCMR1	—	ローパワータイマコンペアレジスタ 1

注 1. 低速オンチップオシレータ(LOCO)が生成するクロック(LOCO クロック)を 4 分周したクロックが、ローパワータイマに供給されます。ローパワータイマのクロックソースとして LOCO クロックを使用し、ソフトウェアスタンバイモード中でも動作させる場合、LFOCR.LOFXIN ビットを“1”にしてください。

2.20 シリアルコミュニケーションインタフェース

表 2.51 にシリアルコミュニケーションインタフェースの概要比較を、表 2.52 に SCI チャンネル別仕様比較を、

表 2.53 にシリアルコミュニケーションインタフェースのレジスタ比較を示します。

表 2.51 シリアルコミュニケーションインタフェースの概要比較

項目		RX113(SCIe,SCIf)	RX140(SCIg,SCIk,SCIh)
チャンネル数		● SCIe : 7 チャンネル ● SCIf : 1 チャンネル	● SCIg : 3 チャンネル ● SCIk : 2 チャンネル ● SCIh : 1 チャンネル
シリアル通信方式		● 調歩同期式 ● クロック同期式 ● スマートカードインタフェース ● 簡易 I²C バス ● 簡易 SPI バス	● 調歩同期式 ● クロック同期式 ● スマートカードインタフェース ● 簡易 I²C バス ● 簡易 SPI バス
転送速度		ボーレートジェネレータ内蔵により任意のビットレートを設定可能	ボーレートジェネレータ内蔵により任意のビットレートを設定可能
全二重通信		● 送信部：ダブルバッファ構成による連続送信が可能 ● 受信部：ダブルバッファ構成による連続受信が可能	● 送信部：ダブルバッファ構成による連続送信が可能 ● 受信部：ダブルバッファ構成による連続受信が可能
データ転送		LSB ファースト/MSB ファースト選択可能	LSB ファースト/MSB ファースト選択可能
入出力信号レベル反転		—	入力信号、出力信号のレベルをそれぞれ独立して反転可能(SCI1,SCI5)
割り込み要因		● 送信終了、送信データエンプティ、受信データフル、受信エラー ● 開始条件/再開条件/停止条件生成終了(簡易 I²C モード用)	● 送信終了、送信データエンプティ、受信データフル、受信エラー、データ一致(SCI1,SCI5) ● 開始条件/再開条件/停止条件生成終了(簡易 I²C モード用)
消費電力低減機能		チャンネルごとにモジュールストップ状態への遷移が可能	チャンネルごとにモジュールストップ状態への遷移が可能
調歩同期式モード	データ長	7 ビット/8 ビット	7 ビット/8 ビット/9 ビット
	送信ストップビット	1 ビット/2 ビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
	データ一致検出	—	受信データと比較データレジスタの内容を比較して、値が一致すると割り込み要求を生成可能(SCI1,SCI5)
	スタートビットの検出	Low または立ち下がりエッジを選択可能	Low または立ち下がりエッジを選択可能
	受信データサンプリングタイミング調整	—	受信データのサンプリングポイントをデータの中央を基点に前後に変更可能(SCI1, SCI5)

項目		RX113(SCIe,SCIf)	RX140(SCIg,SCIh,SCIh)
	送信信号変化 タイミング調整	—	送信データの立ち下がリエッジまたは立ち上がりエッジのいずれかを遅延させることが可能(SCI1, SCI5)
調歩同期式 モード	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能	フレーミングエラー発生時、RXDn 端子のレベルを直接読み出す、または SPTR.RXDMON フラグを読み出す(SCI1,SCI5)ことでブレークを検出可能
	クロック ソース	- 内部クロック/外部クロックの選択が可能 - MTU からの転送レートクロック入力が可能	- 内部クロック/外部クロックの選択が可能 - TMR からの転送レートクロック入力が可能(SCI5, SCI6)
	倍速モード	—	ポーレートジェネレータ倍速モードを選択可能
	マルチプロ セッサ通信機 能	複数のプロセッサ間のシリアル通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同 期式モード	データ長	8 ビット	8 ビット
	受信エラーの 検出	オーバランエラー	オーバランエラー
	ハードウェア フロー制御	CTSn#端子、RTSn#端子を用いた送受信制御が可能	CTSn#端子、RTSn#端子を用いた送受信制御が可能
スマート カードイン タフェース モード	エラー処理	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信	- 受信時パリティエラーを検出するとエラーシグナルを自動送出 - 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート	ダイレクトコンベンション/インバースコンベンションをサポート
簡易 I ² C モード	通信 フォーマット	I ² C バスフォーマット	I ² C バスフォーマット
	動作モード	マスタ(シングルマスタ動作のみ)	マスタ(シングルマスタ動作のみ)
	転送速度	ファストモード対応	ファストモード対応
	ノイズ除去	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能	- SSCLn、SSDAn 入力経路にデジタルノイズフィルタを内蔵 - ノイズ除去幅調整可能
簡易 SPI モード	データ長	8 ビット	8 ビット
	エラーの検出	オーバランエラー	オーバランエラー
	SS 入力端子 機能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能	SSn#端子が High のとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能	クロック位相、クロック極性の設定を 4 種類から選択可能
拡張シリアル モード (SCI12 のみ 対応)	Start Frame 送信	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり	- Break Field Low width の出力が可能/出力完了割り込み機能あり - バス衝突検出機能あり/検出割り込み機能あり

項目		RX113(SCIe,SCI f)	RX140(SCI g,SCI k,SCI h)
拡張シリアルモード (SCI12 のみ対応)	Start Frame 受信	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり	- Break Field Low width の検出が可能/検出完了割り込み機能あり - Control Field 0、Control Field 1 のデータ比較/一致割り込み機能あり - Control Field 1 にはプライマリ/セカンダリの 2 種類の比較データを設定可能 - Control Field 1 にプライオリティインタラプトビットを設定可能 - Break Field がない Start Frame にも対応可能 - Control Field 0 がない Start Frame にも対応可能 - ビットレート測定機能あり
	入出力制御機能	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能	- TXDX12/RXDX12 信号の極性選択が可能 - RXDX12 信号にデジタルフィルタ機能を設定可能 - RXDX12 端子と TXDX12 端子を兼用した半二重通信が可能 - RXDX12 端子受信データサンプリングタイミング選択可能
	タイマ機能	リロードタイマ機能として使用可能	リロードタイマ機能として使用可能
ビットレートモジュレーション機能		—	内蔵ボーレートジェネレータの出力補正により誤差を低減可能
イベントリンク機能 (SCI5 のみ対応)		- エラー(受信エラー・エラーシグナル検出)イベント出力 - 受信データフルイベント出力 - 送信データエンプティイベント出力 - 送信終了イベント出力	- エラー(受信エラー・エラーシグナル検出)イベント出力 - 受信データフルイベント出力 - 送信データエンプティイベント出力 - 送信終了イベント出力

表 2.52 SCI チャネル別仕様比較

項目	RX113(SCIe,SCI f)	RX140(SCI g,SCI k,SCI h)
調歩同期式モード	SCI0, SCI1, SCI2, SCI5, SCI6, SCI8, SCI9, SCI12	SCI1, SCI5, SCI6, SCI8, SCI9, SCI12
クロック同期式モード	SCI0, SCI1, SCI2, SCI5, SCI6, SCI8, SCI9, SCI12	SCI1, SCI5, SCI6, SCI8, SCI9, SCI12
スマートカードインタフェースモード	SCI0, SCI1, SCI2, SCI5, SCI6, SCI8, SCI9, SCI12	SCI1, SCI5, SCI6, SCI8, SCI9, SCI12
簡易 I ² C モード	SCI0, SCI1, SCI2, SCI5, SCI6, SCI8, SCI9, SCI12	SCI1, SCI5, SCI6, SCI8, SCI9, SCI12
簡易 SPI モード	SCI0, SCI1, SCI2, SCI5, SCI6, SCI8, SCI9, SCI12	SCI1, SCI5, SCI6, SCI8, SCI9, SCI12
データ一致検出	—	SCI1, SCI5
拡張シリアルモード	SCI12	SCI12
MTU クロック入力(RX113) TMR クロック入力(RX140)	SCI1, SCI5, SCI12	SCI5, SCI6, SCI12
イベントリンク機能	SCI5	SCI5
周辺モジュールクロック	PCLKB : SCI0, SCI1, SCI2, SCI5, SCI6, SCI8, SCI9, SCI12	PCLKB : SCI1, SCI5, SCI6, SCI8, SCI9, SCI12

表 2.53 シリアルコミュニケーションインタフェースのレジスタ比較

レジスタ	ビット	RX113(SCIe,SCI _f)	RX140(SCI _g ,SCI _k ,SCI _h)
RDRH RDRL RDRHL	—	—	レシーブデータレジスタ H、L、HL
TDRH TDRL TDRHL	—	—	トランスミットデータレジスタ H、L、HL
SMR	CHR	キャラクタレングスビット (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信 1 : データ長 7 ビットで送受信	キャラクタレングスビット (調歩同期式モードのみ有効) SCMR.CHR1 ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長 9 ビットで送受信 0 1 : データ長 9 ビットで送受信 1 0 : データ長 8 ビットで送受信(初期値) 1 1 : データ長 7 ビットで送受信
SCR (SCMR.SMIF = 0 の時)	CKE[1:0]	クロックイネーブルビット (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn 端子はハイインピーダンスになります 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと 同じ周波数のクロックを 出力します 1 x : 外部クロックまたは MTU クロック 外部クロック使用時は、 SCKn 端子からビットレートの 16 倍の周波数のクロックを入力 してください。 SEMR.ABCS ビットが “1”のときは 8 倍の周波数のクロックを 入力してください MTU クロック使用時は、 SCKn 端子はハイインピーダンス になります。 (クロック同期式の場合) b1 b0 0 x : 内部クロック : SCKn 端子はクロック出力端子と なります 1 x : 外部クロック SCKn 端子はクロック入力端子と なります	クロックイネーブルビット (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ SCKn 端子はハイインピーダンス になります 0 1 : 内蔵ポーレートジェネレータ SCKn 端子からビットレートと 同じ周波数のクロックを 出力します 1 x : 外部クロックまたは TMR クロック ^(注 1) 外部クロック使用時は、 SCKn 端子からビットレートの 16 倍の周波数のクロックを入力 してください。 SEMR.ABCS ビットが “1”のときは 8 倍の周波数のクロックを 入力してください TMR クロック使用時は、 SCKn 端子はハイインピーダンス になります。 (クロック同期式の場合) b1 b0 0 x : 内部クロック : SCKn 端子はクロック出力端子と なります 1 x : 外部クロック SCKn 端子はクロック入力端子と なります

レジスタ	ビット	RX113(SCIe,SCI _f)	RX140(SCI _g ,SCI _k ,SCI _h)
SCMR	CHR1	—	キャラクタレングスビット
MDDR	—	—	モジュレーションデューティレジスタ
SEMR	ACS0	調歩同期クロックソースセレクトビット (調歩同期式モードのみ有効) 0 : 外部クロック 1 : MTU から出力される 2 つのコンペア マッチ出力の論理積(SCI5、SCI6、 SCI12 のみ有効)	調歩同期クロックソースセレクトビット (調歩同期式モードでのみ有効) 0 : 外部クロック 1 : TMR から出力される 2 つのコンペア マッチ出力の論理積(SCI5、SCI6、 SCI12 のみ有効) SCI のチャンネルごとに使用できる コンペアマッチ出力が異なります
	ITE	—	即時送信許可ビット
	BRME	—	ビットレートモジュレーションイネーブルビット
	ABCSE	—	調歩同期基本クロックセレクト 拡張ビット
	BGDM	—	ボーレートジェネレータ倍速モードセレクトビット
CDR	—	—	比較データレジスタ
DCCR	—	—	データ比較制御レジスタ
SPTR	—	—	シリアルポートレジスタ
TMGR	—	—	送受信タイミング選択レジスタ
CR2	BCCS[1:0]	バス衝突検出クロック選択ビット b5 b4 0 0 : SCI 基本クロック 0 1 : SCI 基本クロックの 2 分周 1 0 : SCI 基本クロックの 4 分周 1 1 : 設定しないでください	バス衝突検出クロック選択ビット - SEMR.BGDM ビットが“0”または、 SEMR.BGDM ビットが“1”かつ SMR.CKS[1:0] ビットが“00b”以外の場合 b5 b4 0 0 : 基本クロック 0 1 : 基本クロックの 2 分周 1 0 : 基本クロックの 4 分周 1 1 : 設定しないでください - SEMR.BGDM ビットが“1”かつ SMR.CKS[1:0] ビットが“00b”の場合 b5 b4 0 0 : 基本クロックの 2 分周 0 1 : 基本クロックの 4 分周 1 0 : 設定しないでください 1 1 : 設定しないでください

注 1. SCI5、SCI6、SCI12 のみ選択可能。

2.21 I²C バスインタフェース

表 2.54 に I²C バスインタフェースのレジスタ比較を示します。

表 2.54 I²C バスインタフェースのレジスタ比較

レジスタ	ビット	RX113(RIIC)	RX140(RIIC ^a)
ICMR2	TMWE	タイムアウト内部カウンタ 書き込み許可ビット	—
TMOCNLT TMOCNTU	—	タイムアウト内部カウンタ	—

2.22 シリアルペリフェラルインタフェース

表 2.55 にシリアルペリフェラルインタフェースの概要比較を、表 2.56 にシリアルペリフェラルインタフェースのレジスタ比較を示します。

表 2.55 シリアルペリフェラルインタフェースの概要比較

項目	RX113(RSPI)	RX140(RSPIC)
チャンネル数	1 チャンネル	1 チャンネル
RSPI 転送機能	• MOSI(MasterOutSlaveIn)、MISO(MasterInSlaveOut)、SSL(SlaveSelect)、RSPCK(RSPIClock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード：全二重または送信のみを選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能	• MOSI(MasterOutSlaveIn)、MISO(MasterInSlaveOut)、SSL(SlaveSelect)、RSPCK(RSPIClock)信号を使用して、SPI 動作(4 線式)/クロック同期式動作(3 線式)でシリアル通信が可能 • 通信モード：全二重または単方向(送信のみ)を選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	• MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット)	• MSB ファースト/LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送(1 フレームは最大 32 ビット) • 送受信データをバイト単位でスワップ可能
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能(RSPCK の最高周波数は PCLK の 8 分周) – High 幅：PCLK の 4 サイクル、 – Low 幅：PCLK の 4 サイクル	• マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成(分周比は 2~4096 分周) • スレーブ時は、PCLK の最小 4 分周のクロックを、RSPCK として入力可能(RSPCK の最高周波数は PCLK の 4 分周) – High 幅：PCLK の 2 サイクル、 – Low 幅：PCLK の 2 サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット
エラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出	• モードフォルトエラー検出 • オーバランエラー検出 • パリティエラー検出 • アンダランエラー検出

項目	RX113(RSPI)	RX140(RSPI ^o)
SSL 制御機能	1 チャンネルあたり 4 本の SSL 端子 (SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 - マルチマスタ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 - スレーブ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 - 設定範囲：1~8RSPCK - 設定単位：1RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 - 設定範囲：1~8RSPCK - 設定単位：1RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 - 設定範囲：1~8RSPCK - 設定単位：1RSPCK - SSL 極性変更機能	1 チャンネルあたり 4 本の SSL 端子 (SSLA0~SSLA3) - シングルマスタ設定時には、SSLA0~SSLA3 端子を出力 - マルチマスタ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は出力または未使用 - スレーブ設定時：SSLA0 端子は入力、SSLA1~SSLA3 端子は未使用 - SSL 出力のアサートから RSPCK 動作までの遅延(RSPCK 遅延)を設定可能 - 設定範囲：1~8RSPCK - 設定単位：1RSPCK - RSPCK 停止から SSL 出力のネゲートまでの遅延(SSL ネゲート遅延)を設定可能 - 設定範囲：1~8RSPCK - 設定単位：1RSPCK - 次アクセスの SSL 出力アサートのウェイト(次アクセス遅延)を設定可能 - 設定範囲：1~8RSPCK - 設定単位：1RSPCK - SSL 極性変更機能
マスタ転送時の制御方式	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能	- 最大 8 コマンドで構成された転送を連続してループ実行可能 - 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 - 送信バッファへのライトで転送を起動可能 - SSL ネゲート時の MOSI 信号値を設定可能 RSPCK 自動停止機能
割り込み要因	- 割り込み要因 - 受信バッファフル割り込み - 送信バッファエンプティ割り込み - RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) - RSPI アイドル割り込み (RSPI アイドル)	- 割り込み要因 - 受信バッファフル割り込み - 送信バッファエンプティ割り込み - エラー割り込み (モードフォルト、オーバラン、アンダラン、パリティエラー) - アイドル割り込み
その他の機能	CMOS/オープンドレイン出力切り替え機能 - RSPI 初期化機能 - ループバックモード機能	- RSPI 初期化機能 - ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.56 シリアルペリフェラルインタフェースのレジスタ比較

レジスタ	ビット	RX113(RSPIa)	RX140(RSPIC)
SPSR	MODF	モードフォルトエラーフラグ 0 : モードフォルトエラーなし 1 : モードフォルトエラー発生	モードフォルトエラーフラグ 0 : モードフォルトエラーなし、 アンダランエラーなし 1 : モードフォルトエラー またはアンダランエラー発生
	UDRF	—	アンダランエラーフラグ
SPDR	—	RSPI データレジスタ 可能アクセスサイズ ● ロングワード (SPDCR.SPLW=1) ● ワードアクセス (SPDCR.SPLW=0)	RSPI データレジスタ 可能アクセスサイズ ● ロングワード (SPDCR.SPLW=1, SPBYTE=0) ● ワードアクセス (SPDCR.SPLW=0, SPBYTE=0) ● バイトアクセス(SPDCR.SPBYT=1)
SPDCR	SPBYT	—	RSPI バイトアクセス設定ビット(注 1)
SPCR2	SPPE	パリティ許可ビット 0 : 送信データパリティビットを付加しない、受信データのパリティチェックを行わない 1 : 送信データにパリティビットを付加し、受信データのパリティチェックを行う(SPCR.TXMD=0 のとき) 送信データにパリティビットを付加するが、受信データのパリティチェックは行わない(SPCR.TXMD=1 のとき)	パリティ許可ビット 0 : 送信データにパリティビットを付加しない、受信データのパリティチェックを行わない 1 : 送信データにパリティビットを付加する、受信データのパリティチェックを行う
	SCKASE	—	RSPCK 自動停止機能許可ビット
SPDCR2	—	—	RSPI データコントロールレジスタ 2

注 1. SPDR レジスタにワードまたはロングワードでアクセスする場合は、SPBYT ビットを“0”にしてください。

2.23 静電容量式タッチセンサ

表 2.57 に静電容量式タッチセンサの概要比較を、表 2.58 に静電容量式タッチセンサのレジスタ比較を示します。

表 2.57 静電容量式タッチセンサの概要比較

項目		RX113(CTSU)	RX140(CTSU2SL,CTSU2L)
動作クロック		PCLK、PCLK/2 または PCLK/4	PCLKB(1MHz～)、PCLKB/2、PCLKB/4、または PCLKB/8 から選択
入出力端子	静電容量計測端子	静電容量計測端子(12 チャンネル)	静電容量計測端子(36 ^(注1) /12 チャンネル)
	計測電源用コンデンサ接続端子	TSCAP 端子	TSCAP 端子(0.01μF)
計測方式	自己容量方式	1 つのタッチキーに 1 つのタッチ端子を割り当て、それぞれの人体の接近による静電容量を計測	端子の静電容量をスイッチドキャパシタに流れる電流から計測
	相互容量方式	対向する 2 つの電極(送信端子、受信端子)間の容量を計測 ● 送信電源を内部ロジック電源、VCC(専用)に切り替え可能	2 端子間の相互静電容量をスイッチドキャパシタに流れる電流から計測 ● 送信電源を内部ロジック電源、I/O 電源、VCC(専用)に切り替え可能
	電流計測モード	—	端子に流れる電流を直接計測
スキャンモード	シングルスキャンモード	任意の 1 チャンネルの静電容量を計測	1 チャンネルの静電容量を計測
	マルチスキャンモード	任意の複数チャンネルの静電容量を連続して計測	複数チャンネルの静電容量を連続して計測
ノイズ対策		同期系ノイズ対策、高域ノイズ対策	- センサドライブパルスのスペクトラム拡散機能 - センサドライブパルスのランダム位相シフト機能 - 複数周波数センサドライブパルスを用いたノイズホッピング機能
端子ごとの調整		- オフセット電流調整機能 - センサドライブパルス周波数指定 - 計測時間指定	- オフセット電流調整機能 - センサドライブパルス周波数指定 - 計測時間指定
計測開始条件		- ソフトウェアトリガ - 外部トリガ(イベントリンクコントローラ(ELC)からのイベント入力)	- ソフトウェアトリガ - 外部トリガ(イベントリンクコントローラ(ELC)からのイベント入力)
自動処理機能		—	- 自動補正機能^(注1) - 自動判定機能^(注1)
低電力機能		—	- スヌーズモード時に計測可能 - ELC 経由で入力される外部トリガによって計測開始 - 自動判定機能を使用した非タッチ判定によってスヌーズ終了可能 (注1) - 測定終了割り込みによってスヌーズモードを解除可能
割り込み要因		- チャンネル毎の設定レジスタ書き込み要求割り込み(CTSUWR) - 測定データ転送要求割り込み(CTSUD) - 測定終了割り込み(CTSUFN)	- レジスタ設定要求割り込み(CTSUWR) - 計測結果読み出し要求割り込み(CTSUD) - 測定終了割り込み(CTSUFN)
イベントリンク機能		—	計測開始トリガ入力

注 1.この機能は、ROM 容量が 128K バイト以上の製品にのみあります。

表 2.58 静電容量式タッチセンサのレジスタ比較

レジスタ	ビット	RX113(CTSUa)	RX140(CTSU2SL,CTSU2L)
CTSUCR0, CTSUCR1 (RX113) CTSU2SL (RX140)	—	CTSU 制御レジスタ 0 CTSU 制御レジスタ 1 CTSUCR0,CTSUCR1 は、 8 ビットレジスタです。	CTSU 制御レジスタ A CTSU2SL は、 32 ビットレジスタです。
CTSUCR0.CTSUSTRT (RX113) STRT(RX140)		CTSU 計測動作開始ビット	計測動作開始ビット
CTSUCR0.CTSUCAP (RX113) CAP(RX140)		CTSU 計測動作開始トリガ選 択ビット	計測開始トリガ選択ビット
CTSUCR0.CTSUSNZ (RX113) SNZ(RX140)		CTSU 待機時省電力有効 ビット	スヌーズ機能有効ビット
CTSUCR0.CTSUIOC		CTSU 送信端子制御ビット	— (CTSU2SL.IOC ビットに同機 能があります)
CTSUCR0.CTSUINIT (RX113) INIT(RX140)		CTSU 制御部初期化ビット	制御部初期化ビット
TXVSEL		—	送信電源選択ビット
CTSUCR1.CTSUPON (RX113) PON(RX140)		CTSU 電源供給許可ビット (b0)	計測電源供給許可ビット(b8)
CTSUCR1.CTSUCSW (RX113) CSW(RX140)		CTSULPF 容量充電制御 ビット(b1)	LPF 容量充電制御ビット(b9)
CTSUCR1.CTSUATUNE0 (RX113) ATUNE0(RX140)		CTSU 電源動作モード設定 ビット(b2)	電源動作モード設定ビット (b10) VCC の電圧が 2.4V 未満の場合、 “1”にしてください。
CTSUCR1.CTSUATUNE1 (RX113) ATUNE1,2(RX140)		CTSU 電源能力調整ビット (b3) 0 : 通常出力 1 : 高出力	電流レンジ切り替えビット 1 (b11) 電流レンジ切り替えビット 2 (b17) ATUNE2 ATUNE1 0 0 : 80μA 0 1 : 40μA 0 0 : 20μA 1 1 : 160μA

レジスタ	ビット	RX113(CTSUa)	RX140(CTSU2SL,CTSU2L)
CTSUCR0, CTSUCR1 (RX113) CTSUCRA (RX140)	CTSUCR1.CTSUCLK[1:0] (RX113) CLK[1:0](RX140)	CTSU 動作クロック選択 ビット(b5-b4) b5 b4 0 0 : PCLK 0 1 : PCLK/2 (PCLK を 2 分周した クロック) 1 0 : PCLK/4 (PCLK を 4 分周した クロック) 1 1 : 設定しないでくださ い	動作クロック選択ビット (b13-b12) b13 b12 0 0 : PCLKB 0 1 : PCLKB/2 (PCLKBを2分周した クロック) 1 0 : PCLKB/4 (PCLKBを4分周した クロック) 1 1 : PCLKB/8 (PCLKBを4分周した クロック)
	CTSUCR1.CTSUMD[1:0] (RX113) MD0,MD1(RX140)	CTSU 計測モード選択ビット (b7-b6) b7 b6 0 0 : 自己容量シングル スキャンモード 0 1 : 自己容量 マルチスキャンモード 1 0 : 設定しないでくださ い 1 1 : 相互容量フル スキャンモード	計測モード選択ビット 0,1 (b15, b14) b15 b14 0 0 : 自己容量方式シングル スキャンモード 0 1 : 自己容量方式マルチ スキャンモード 1 0 : 相互容量方式シングル スキャンモード 1 1 : 相互容量方式マルチ スキャンモード
	PUMPON	—	昇圧回路起動ビット VCC の電圧が 4.5V 未満の場合、 “1”にしてください。
	LOAD[1:0]	—	計測用負荷制御ビット
	POSEL[1:0]	—	非計測チャネル出力選択ビット
	SDPSEL	—	センサドライバパルス選択ビット
	PCSEL	—	昇圧回路クロック選択ビット
	STCLK[5:0]	—	ステートクロック選択ビット
	DCMODE	—	電流計測モード選択ビット
	DCBACK	—	電流計測帰還選択ビット
CTSUSDPRS, CTSUSST (RX113) CTSUCRB (RX140)	—	CTSU 同期ノイズ低減設定 レジスタ, CTSU センサ安定待ち時間 レジスタ CTSUSDPRS,CTSUSST は、 8 ビットレジスタです。	CTSU 制御レジスタ B CTSUCRB は、 32 ビットレジスタです。
	CTSUSDPRS.CTUPRRATIO[3:0] (RX113) PRRATIO(RX140)	CTSU 計測時間、 計測パルス数調整ビット 推奨設定値 : 3(0011b)	疑似乱数更新周期設定ビット (注 1) 疑似乱数生成用の線形帰還シフト レジスタ(LFSR)のシフト周期を 設定します。

レジスタ	ビット	RX113(CTSUa)	RX140(CTSU2SL,CTSU2L)
CTSUSDPRS, CTSUSST (RX113) CTSUCRB (RX140)	CTSUSDPRS.CTSUPRMODE[1:0] (RX113) PRMODE(RX140)	CTSU 基本周期、 基本パルス数設定ビット b5 b4 0 0 : 510 パルス 0 1 : 126 パルス 1 0 : 62 パルス(推奨設定 値) 1 1 : 設定禁止	疑似乱数生成周期設定ビット(注1) b5 b4 0 0 : 255 周期 0 1 : 63 周期 1 0 : 31 周期 1 1 : 3 周期
	CTSUSDPRS.CTSUSOFF (RX113) SOFF(RX140)	CTSU 高域ノイズ低減機 能 OFF 設定ビット	周波数拡散機能 OFF ビット
	PROFF	—	疑似乱数 OFF ビット
	CTSUSST.CTSUSST[7:0] (RX113) SST[7:0](RX140)	CTSU センサ安定待ち時 間制御ビット(b7-b0) 固定値“0001 0000b”を設 定してください	センサ安定待ち時間設定 ビット(b15-b8) - ランダムパルスモード (CTSUCRA.SDPSEL=0)設定 値を n とすると、安定待ち時 間は PCLKB 同期のセンサド ライブパルスの 2(n+1)サイク ル - 高分解パルスモード (CTSUCRA.SDPSEL=1)設定 値を n とすると、安定待ち時 間は STCLK の n+1 サイクル
	SSMOD[2:0]	—	SUCLK 拡散モード選択ビット
	SSCNT[1:0]	—	SUCLK 拡散制御ビット
CTSUMCH0, CTSUMCH1 (RX113) CTSUMCH (RX140)	—	CTSU 計測チャネルレジ スタ 0 CTSU 計測チャネルレジ スタ 1 CTSUMCH0,CTSUMCH1 は、8 ビットレジスタで す。	CTSU 計測チャネルレジスタ CTSUMCHCTSU2L は、 32 ビットレジスタです。
	CTSUMCH0.CTSUMCH0[3:0] (RX113) MCH0[5:0](RX140)	CTSU 計測チャネル 0 ビット (b3-b0) 自己容量シングルス キャンモード b3 b0 0 0 0 0 : TS0 0 0 0 1 : TS1 0 0 1 0 : TS2 0 0 1 1 : TS3 0 1 0 0 : TS4 0 1 0 1 : TS5 0 1 1 0 : TS6 0 1 1 1 : TS7 1 0 0 0 : TS8 1 0 0 1 : TS9 1 0 1 0 : TS10 1 0 1 1 : TS11	計測チャネルビット 0 (b5-b0) シングルスキャンモード 計測したい受信チャネルの番号を 指定します。

レジスタ	ビット	RX113(CTSUa)	RX140(CTSU2SL,CTSU2L)
CTSUMCH0, CTSUMCH1 (RX113) CTSUMCH (RX140)	CTSUMCH0.CTSUMCH0[3:0] (RX113) MCH0[5:0](RX140)	上記以外：設定後の計測動作 開始 (CTSUCR0.CTSUSTRT ビット = 1)は禁止 自己容量シングルス キャン以外の計測モー ド b3 b0 0 0 0 0 : TS0 0 0 0 1 : TS1 0 0 1 0 : TS2 0 0 1 1 : TS3 0 1 0 0 : TS4 0 1 0 1 : TS5 0 1 1 0 : TS6 0 1 1 1 : TS7 1 0 0 0 : TS8 1 0 0 1 : TS9 1 0 1 0 : TS10 1 0 1 1 : TS11 1 1 1 1 : 計測停止中	マルチスキャンモード 計測中の受信チャネルの番号 が表示されます。
	CTSUMCH1.CTSUMCH1[3:0] (RX113) MCH1[5:0](RX140)	CTSU 計測チャネル 1 ビット(b5-b0) b3 b0 0 0 0 0 : TS0 0 0 0 1 : TS1 0 0 1 0 : TS2 0 0 1 1 : TS3 0 1 0 0 : TS4 0 1 0 1 : TS5 0 1 1 0 : TS6 0 1 1 1 : TS7 1 0 0 0 : TS8 1 0 0 1 : TS9 1 0 1 0 : TS10 1 0 1 1 : TS11 1 1 1 1 : 計測停止中	計測チャネルビット 1(b13-b8) - シングルスキャンモード 計測したい送信チャネルの番 号を指定します。 - マルチスキャンモード 計測中の送信チャネルの番号 が表示されます。
	MCA _n	—	マルチクロック n 許可ビット (n=0~3)
CTSUCHAC0, CTSUCHAC1 (RX113) CTSUCHAC _x (RX140)	—	CTSU チャネル有効制御 レジスタ 0、 CTSU チャネル有効制御 レジスタ 1 CTSUCHAC _n は、 8 ビットレジスタです。	CTSU チャネル有効制御 レジスタ x(x=A,B) CTSUCHAC _x は、 32 ビットレジスタです。
	CTSUCHAC _{nj} (RX113) CHAC _m (RX140)	CTSU チャネル有効制御 nj ビット(n=0,1)(j=0~7)	チャネル m 有効制御ビット (m=0~35)
CTSUCHTRC0, CTSUCHTRC1 (RX113) CTSUCHTRC _x (RX140)	—	CTSU チャネル送受信制 御レジスタ 0、 CTSU チャネル送受信制 御レジスタ 1 CTSUCHTRC _n は、 8 ビットレジスタです。	CTSU チャネル送受信制御 レジスタ x(x=A,B) CTSUCHTRCA は、 32 ビットレジスタです。
	CTSUCHTRC _{nj} (RX113) CHTRC _m (RX140)	CTSU チャネル送受信制 御 nj ビット(n=0,1)(j=0~ 7)	チャネル m 送受信制御ビット (m=0~35)

レジスタ	ビット	RX113(CTSUa)	RX140(CTSU2SL,CTSU2L)
CTSUDCLKC	CTSUSSMOD[1:0]	CTSU 拡散クロックモード選択ビット	— (CTSUCRB.SSMOD[2:0]ビットに同機能があります)
CTSUDCLKC	CTSUSSCNT[1:0]	CTSU 拡散クロック制御ビット	— (CTSUCRB.CTSUSSCNT[1:0]ビットに同機能があります)
CTSUST (RX113) CTSUR (RX140)	—	CTSU ステータスレジスタ CTSUST は、 8 ビットレジスタです。	CTSU ステータスレジスタ CTSUR は、 32 ビットレジスタです。
	CTSUSTC[2:0](RX113) STC[2:0](RX140)	CTSU 計測ステータスカウンタ (b2-b0)	計測ステータスカウンタ (b10-b8)
	CTSUDTSR(RX113) DTSR(RX140)	CTSU データ転送ステータスフラグ (b4)	データ転送ステータスフラグ (b12)
	CTSUSOVF(RX113) SOVF(RX140)	CTSU センサカウンタオーバーフローフラグ (b5)	センサカウンタオーバーフローフラグ (b13)
	CTSUROVF(RX113) UCOVF(RX140)	CTSU リファレンスカウンタオーバーフローフラグ (b6)	センサユニットクロックカウンタオーバーフローフラグ (b14)
	CTSUPS(RX113) PS(RX140)	CTSU 相互容量計測状態フラグ (b7)	相互容量計測状態フラグ (b15)
	MFC[1:0]	—	マルチクロックカウンタ
	ICOMPRST	—	ICOMP0、ICOMP1 フラグリセットビット
	ICOMP1	—	過電流検出フラグ
	ICOMP0	—	過電圧検出フラグ
CTSUSSC	—	CTSU 高域ノイズ低減スペクトラム拡散制御レジスタ	—
CTSUSO0, CTSUSO1 (RX113) CTSUSO (RX140)	—	CTSU センサオフセットレジスタ 0,1 CTSUSO0,CTSUSO1 は、16 ビットレジスタです。	CTSU センサオフセットレジスタ CTSUSO は、 32 ビットレジスタです。
	CTSUSO0.CTSUSO[9:0] (RX113) SO[9:0](RX140)	CTSU センサオフセット調整ビット	センサオフセット調整ビット

レジスタ	ビット	RX113(CTSUa)	RX140(CTSU2SL,CTSU2L)
CTSUSO0, CTSUSO1 (RX113) CTSU2SL (RX140)	CTSUSO0.CTSUSNUM[5:0] (RX113) SNUM[7:0](RX140)	CTSU 計測回数設定 ビット(b15-b10) CTSU の計測回数を設定 します	計測期間設定ビット (b17-b10) - ランダムパルスモード (CTSUCRA.SDPSEL=0) CTSU の計測期間を基本計測 単位の繰り返し数で設定しま す。設定できる値の範囲は "00h"~"3Fh"です。設定値を n とすると、基本計測単位を n+1 回繰り返します - 高分解パルスモード (CTSUCRA.SDPSEL=1) CTSU の計測期間を STCLK の 周期を基準に設定します。設 定値を n とすると、STCLK の 8(n+1)周期の間、計測を実施 します
CTSUSO0, CTSUSO1 (RX113) CTSU2SL (RX140)	CTSUSO1.CTSURICOA[7:0]	CTSU リファレンス ICO 電流調整ビット	—
	CTSUSO1.CTSUSDPA[4:0] (RX113) SDPA[7:0](RX140)	CTSU ベースクロック設 定ビット(b12-b8) b12 b8 0 0 0 0 : 動作クロック の 2 分周 0 0 0 1 : 動作クロック の 4 分周 : : 1 1 1 0 : 動作クロック の 62 分周 1 1 1 1 : 動作クロック の 64 分周	ベースクロック設定ビット (b31-b24) - ランダムパルスモード (CTSUCRA.SDPSEL=0) 設定値を n とすると、ベース クロック周波数は動作クロッ クの 2(n+1)分周 - 高分解パルスモード (CTSUCRA.SDPSEL=1)設定 値を n とすると、ベースク ロック周波数は SUCLK の n+1 分周
	CTSUSO1.CTSUICOG[1:0]	CTSUICO ゲイン調整 ビット	—
	SSDIV[3:0]	—	スペクトラム拡散 サンプリング周期制御ビット
CTSUSC	CTSUSC[15:0]	CTSU センサカウンタ ビット	—
CTSURC	—	CTSU リファレンスカウ ンタ	—
CTSUERRS (RX113) CTSU2CALIB (RX140)	—	CTSU エラーステータス レジスタ CTSUERRS は、 16 ビットレジスタです。	CTSU キャリブレーション レジスタ CTSU2CALIB は、 32 ビットレジスタです。
	CTSUSPMD[1:0]	キャリブレーションモー ドビット	—
	CTSUTSOD(RX113) TSOD(RX140)	TS 端子固定出力ビット	TS 全端子出力制御ビット
	CTSUDRV(RX113) DRV(RX140)	キャリブレーション設定 ビット 1	キャリブレーション設定 ビット 1
	CTSUTSOC(RX113) TSOC(RX140)	キャリブレーション設定 ビット 2	キャリブレーション設定 ビット 2

レジスタ	ビット	RX113(CTSUa)	RX140(CTSU2SL,CTSU2L)
CTSUERRS (RX113) CTSUICALIB (RX140)	CTSUICOMP	TSCAP 電圧異常監視 ビット	—
	CLKSEL[1:0]	—	観測クロック選択ビット
	SUCLKEN	—	SUCLK 許可ビット
	IOC	—	送信端子制御ビット
	DCOFF	—	ダウンコンバート OFF ビット
	IOCSSEL ^(注2)	—	TS 端子 IOC 固定選択ビット
	DACCARRY	—	DAC 上位電流源繰り上がり 入力
	SUCARRY	—	CCO 繰り上がり入力
	DACCLK	—	DAC 変調回路用クロック選択 ビット
	CCOCLK	—	CCO 変調回路用クロック選択 ビット
	CCOCALIB	—	CCO キャリブレーション モード選択ビット
	TXREV	—	送信端子反転出力ビット
CTSUTRMR	—	CTSU 基準電流調整レジ スタ	—
CTSUSUCLKA	—	—	CTSU センサユニット クロック制御レジスタ A
CTSUSUCLKB	—	—	CTSU センサユニット クロック制御レジスタ B
CTSUTRIMA	—	—	CTSU トリミングレジスタ A
CTSUTRIMB	—	—	CTSU トリミングレジスタ B
CTSUOPT ^(注2)	—	—	CTSU オプション設定レジスタ
CTSUSCNTACT ^(注2)	—	—	CTSU センサカウンタ自動補正 テーブルアクセスレジスタ
CTSUAJCR ^(注2)	—	—	CTSU 自動判定制御レジスタ
CTSUAJTHR ^(注2)	—	—	CTSU しきい値レジスタ
CTSUAJMMAR ^(注2)	—	—	CTSU 移動平均結果レジスタ
CTSUAJBLACT ^(注2)	—	—	CTSU ベースライン平均中間結 果レジスタ
CTSUAJBLAR ^(注2)	—	—	CTSU ベースライン平均結果レ ジスタ
CTSUAJRR ^(注2)	—	—	CTSU 自動判定結果レジスタ
CTSUADDC	—	—	CTSU/A/D コンバータ接続制御レ ジスタ

注 1.CTSUCRA.SDPSEL ビットが“0”(ランダムパルスモード)のときのみ有効です。

注 2.このレジスタは、ROM 容量が 128K バイト以上の製品にのみあります。

2.24 12 ビット A/D コンバータ

表 2.59 に 12 ビット A/D コンバータの概要比較を、表 2.60 に 12 ビット A/D コンバータのレジスタ比較を示します。

表 2.59 12 ビット A/D コンバータの概要比較

項目	RX113(S12ADb)	RX140(S12AD ^E)
ユニット数	1 ユニット	1 ユニット
入力チャンネル	17 チャンネル	18 チャンネル
拡張アナログ機能	温度センサ出力、内部基準電圧	温度センサ出力、内部基準電圧
A/D 変換方式	逐次比較方式	逐次比較方式
分解能	12 ビット	12 ビット
変換時間	1 チャンネル当たり 1.0μs (A/D 変換クロック ADCLK=32MHz 動作時)	1 チャンネル当たり 変換サイクルビットが“0” : 0.88μs、 変換サイクルビットが“1” : 0.67μs (A/D 変換クロック ADCLK = 48 MHz 動作時)
A/D 変換クロック	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を以下の周波数比で設定可能 - PCLK : ADCLK 周波数比= 1 : 1、1 : 2、1 : 4、1 : 8、2 : 1、 4 : 1 ADCLK の設定はクロック発生回路で行います	周辺モジュールクロック PCLKB と A/D 変換クロック ADCLK を以下の周波数比で設定可能 - PCLKB : ADCLK 周波数比= 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1 ADCLK の設定はクロック発生回路で行います
データレジスタ	- アナログ入力用 17 本、ダブルトリガモードでの A/D 変換データ二重化用 1 本 - 温度センサ用 1 本 - 内部基準電圧用 1 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - 加算モード時は A/D 変換結果の加算値を 14 ビットで A/D データレジスタに保持 - A/D 変換データの二重化 - 選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は A/D データレジスタ y に保持、2 回目の A/D データは二重化レジスタに保持 - シングルスキャンモードとグループスキャンモードでダブルトリガモード選択時のみ二重化が可能	- アナログ入力用 18 本、ダブルトリガモードでの A/D 変換データ二重化用 1 本 - 温度センサ用 1 本 - 内部基準電圧用 1 本 - 自己診断用 1 本 - A/D 変換結果を 12 ビット A/D データレジスタに保持 - A/D 変換結果の 12 ビット精度出力に対応 - 加算モード時は A/D 変換結果の加算値を変換精度ビット数+2 ビット/4 ビットで A/D データレジスタに保持 - ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能)選択した 1 つのチャンネルのアナログ入力の A/D 変換データを 1 回目は対象チャンネルのデータレジスタに保持、2 回目の A/D 変換データは二重化レジスタに保持

項目	RX113(S12ADb)	RX140(S12AD ^E)
動作モード	- シングルスキャンモード： - 任意に選択した最大 17 チャンネルのアナログ入力を 1 回のみ A/D 変換 - 温度センサ出力を 1 回のみ A/D 変換 - 内部基準電圧を 1 回のみ A/D 変換 - 連続スキャンモード： - 任意に選択した最大 17 チャンネルのアナログ入力を繰り返し A/D 変換 - グループスキャンモード： - 最大 17 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能	- シングルスキャンモード： - 任意に選択した最大 18 チャンネルのアナログ入力を 1 回のみ A/D 変換 - 温度センサ出力を 1 回のみ A/D 変換 - 内部基準電圧を 1 回のみ A/D 変換 - 連続スキャンモード： - 任意に選択した最大 18 チャンネルのアナログ入力を繰り返し A/D 変換 - グループスキャンモード： - 任意に選択した最大 18 チャンネルのアナログ入力をグループ A とグループ B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 - グループ A とグループ B は、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 - グループスキャンモード (グループ A 優先制御選択時) - グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を実施 - グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を再実行(再スキャン)の設定が可能
A/D 変換開始条件	- ソフトウェアトリガ - 同期トリガ - MTU、ELC からのトリガ - 非同期トリガ - ADTRG0#端子による A/D 変換動作の開始が可能	- ソフトウェアトリガ - 同期トリガ - マルチファンクションタイマパルスユニット(MTU)、イベントリンクコントローラ(ELC)からのトリガ - 非同期トリガ - 外部トリガ ADTRG0#端子による A/D 変換動作の開始が可能
機能	- サンプリングステート数可変機能 - A/D 変換値加算モード - ダブルトリガモード (A/D 変換データ二重化機能)	- サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 - A/D 変換値加算モードと平均モードが選択可能 アナログ入力断線検出機能 (ディスチャージ機能/プリチャージ機能) - ダブルトリガモード (A/D 変換データ二重化機能) A/D データレジスタオートクリア機能 コンペア機能 (ウィンドウ A、ウィンドウ B) コンペア機能使用時のリングバッファ (16 本)

項目	RX113(S12ADb)	RX140(S12AD ^E)
割り込み要因	- ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生 - S12ADI0、GBADI 割り込みでデータトランスファコントローラ(DTC)を起動可能	- ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生 - グループスキャンモードの設定では、グループ A のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生 - グループスキャンモードでダブルトリガモード選択時は、グループ A の 2 回のスキャン終了でスキャン終了割り込み要求(S12ADI0)を発生。グループ B のスキャン終了でグループ B 専用のスキャン終了割り込み要求(GBADI)を発生 - S12ADI0、GBADI 割り込みでデータトランスファコントローラ(DTC)を起動可能
イベントリンク機能	- グループスキャンモードでのグループ B のスキャン終了を除くスキャン終了時に ELC イベント発生 - ELC からのトリガによりスキャン開始可能	- グループスキャンモードでのグループ B のスキャン終了を除くスキャン終了時に ELC イベント発生 - グループスキャンモードでのグループ B のスキャン終了時に ELC イベント発生 - すべてのスキャン終了時に ELC イベント発生 - ELC からのトリガによりスキャン開始可能 - シングルスキャンモードでのウィンドウコンペア機能のイベント条件に応じて、ELC イベント発生
基準電圧	- 高電位側基準電圧は VREFH0、AVCC0、内部基準電圧から選択可能 - 低電位側基準電圧は VREFL0 か AVSS0 を選択可能	- 高電位側基準電圧は VREFH0、AVCC0 から選択可能 - 低電位側基準電圧は VREFL0 か AVSS0 を選択可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

表 2.60 12 ビット A/D コンバータのレジスタ比較

レジスタ	ビット	RX113(S12ADb)	RX140(S12AD ^E)
ADDRy	—	A/D データレジスタ y (y = 0 ~ 4,6,8 ~ 15)	A/D データレジスタ y (y = 0 ~ 8, 16 ~ 21, 24 ~ 26)
ADRD	—	—	A/D 自己診断データレジスタ
ADANSA	—	AD チャンネル選択レジスタ A	—
ADANSA0	—	—	AD チャンネル選択レジスタ A0
ADANSA1	—	—	AD チャンネル選択レジスタ A1
ADANSB	—	AD チャンネル選択レジスタ B	—
ADANSB0	—	—	AD チャンネル選択レジスタ B0
ADANSB1	—	—	AD チャンネル選択レジスタ B1
ADADS	—	A/D 変換値加算モード選択レジスタ	—
ADADS0	—	—	A/D 変換値加算 / 平均機能チャンネル選択レジスタ 0
ADADS1	—	—	A/D 変換値加算 / 平均機能チャンネル選択レジスタ 1

レジスタ	ビット	RX113(S12ADb)	RX140(S12ADE)
ADADC	ADC[1:0](RX113) ADC[2:0](RX140)	加算回数選択ビット(b1-b0) b1 b0 0 0 : 1 回変換 (加算なし。通常変換と同じ) 0 1 : 2 回変換 (1 回加算を行う) 1 0 : 3 回変換 (2 回加算を行う) 1 1 : 4 回変換 (3 回加算を行う)	加算回数選択ビット(b2-b0) b2 b0 0 0 0 : 1 回変換(加算なし。通常変換と同じ) 0 0 1 : 2 回変換(1 回加算を行う) 0 1 0 : 3 回変換(2 回加算を行う) 0 1 1 : 4 回変換(3 回加算を行う) 1 0 1 : 16 回変換(15 回加算を行う) 上記以外は設定しないでください
	AVEE	—	平均モードイネーブルビット
ADCER	DIAGVAL[1:0]	—	自己診断変換電圧選択ビット
	DIAGLD	—	自己診断モード選択ビット
ADCER	DIAGM	—	自己診断イネーブルビット
ADEXICR	TSS(RX113) TSSA(RX140)	温度センサ出力 A/D 変換選択ビット	温度センサ出力 A/D 変換選択ビット
	OCS(RX113) OCSA(RX140)	内部基準電圧 A/D 変換選択ビット	内部基準電圧 A/D 変換選択ビット
ADSTRGR	TRSB[3:0](RX113) TRSB[5:0](RX140)	グループ B 専用 A/D 変換開始トリガ選択ビット(b0-b3)	グループ B 専用 A/D 変換開始トリガ選択ビット(b0-b5)
	TRSA[3:0](RX113) TRSA[5:0](RX140)	A/D 変換開始トリガ選択ビット(b8-b11)	A/D 変換開始トリガ選択ビット(b8-b13)
ADSSTRn	—	A/D サンプリングステートレジスタ n (n=0~4,6,L,T,O)	A/D サンプリングステートレジスタ n (n=0~8,L,T,O)
ADDISCR	—	—	A/D 断線検出コントロールレジスタ
ADELCCR	—	—	A/D イベントリンクコントロールレジスタ
ADGSPCR	—	—	A/D グループスキャン優先コントロールレジスタ
ADCMPCR	—	—	A/D コンペア機能コントロールレジスタ
ADCMPANSR0	—	—	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0
ADCMPANSR1	—	—	A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1
ADCMPANSER	—	—	A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ
ADCMLR0	—	—	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0
ADCMLR1	—	—	A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1
ADCMLER	—	—	A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ
ADCMPCR0	—	—	A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ
ADCMPCR1	—	—	A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ
ADCMPSR0	—	—	A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0

レジスタ	ビット	RX113(S12ADb)	RX140(S12ADE)
ADCMPSR1	—	—	A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1
ADCMPSEr	—	—	A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ
ADHVREFCNT	—	—	A/D 高電位 / 低電位基準電圧コントロールレジスタ
ADWINMON	—	—	A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ
ADCMPBNSR	—	—	A/D コンペア機能ウィンドウ B チャンネル選択レジスタ
ADWINLLB	—	—	A/D コンペア機能ウィンドウ B 下 位側レベル設定レジスタ
ADWINULB	—	—	A/D コンペア機能ウィンドウ B 上 位側レベル設定レジスタ
ADCMPBSR	—	—	A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ
ADBUFn	—	—	A/D データ格納バッファレジスタ n (n = 0 ~ 15)
ADBUFEN	—	—	A/D データ格納バッファイネーブル レジスタ
ADBUFPTR	—	—	A/D データ格納バッファポインタレ ジスタ
ADCCR	—	—	A/D 変換サイクル制御レジスタ

表 2.61 ADSTRGR レジスタに設定する A/D 起動要因比較

ビット	RX113	RX140
TRSB[3:0] (RX113) TRSB[5:0] (RX140)	グループ B 専用 A/D 変換開始トリガ選択ビット b3 b0 0 0 0 1 : TRG0AN 0 0 1 0 : TRG0BN 0 0 1 1 : TRGAN 0 1 0 0 : TRG0EN 0 1 0 1 : TRG0FN	グループ B 専用 A/D 変換開始トリガ選択ビット b5 b0 1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 1 : TRG0AN 0 0 0 0 1 0 : TRG0BN 0 0 0 0 1 1 : TRGAN 0 0 0 1 0 0 : TRG0EN 0 0 0 1 0 1 : TRG0FN 0 0 0 1 1 0 : TRG4AN 0 0 1 1 1 1 : TRG4BN 0 0 1 0 0 0 : TRG4ABN 0 0 1 0 0 1 : ELCTRG0
TRSA[3:0] (RX113) TRSA[5:0] (RX140)	A/D 変換開始トリガ選択ビット b11 b8 0 0 0 0 : ADTRG0# 0 0 0 1 : TRG0AN 0 0 1 0 : TRG0BN 0 0 1 1 : TRGAN 0 1 0 0 : TRG0EN 0 1 0 1 : TRG0FN	A/D 変換開始トリガ選択ビット b13 b8 1 1 1 1 1 1 : トリガ要因非選択状態 0 0 0 0 0 0 : ADTRG0# 0 0 0 0 0 1 : TRG0AN 0 0 0 0 1 0 : TRG0BN 0 0 0 0 1 1 : TRGAN 0 0 0 1 0 0 : TRG0EN 0 0 0 1 0 1 : TRG0FN 0 0 0 1 1 0 : TRG4AN 0 0 0 1 1 1 : TRG4BN 0 0 1 0 0 0 : TRG4ABN 0 0 1 0 0 1 : ELCTRG0

2.25 D/A コンバータ

表 2.62 に D/A コンバータの概要比較を、表 2.63 に D/A コンバータレジスタ比較を示します。

表 2.62 D/A コンバータの概要比較

項目	RX113(R12DAA)	RX140(DAa)
分解能	12 ビット	8 ビット
出力チャンネル	2 チャンネル	2 チャンネル
アナログモジュールの 干渉対策	D/A 変換と A/D 変換の干渉対策 12 ビット A/D コンバータが出力する 12 ビット A/D コンバータ同期 D/A 変換許可 信号により、D/A 変換データの更新タイミ ングを制御する。 これにより、12 ビット D/A コンバータの ラッシュカレント発生タイミングを許可 信号で制御し、干渉による A/D 変換精度 劣化を低減する。	D/A 変換と A/D 変換の干渉対策 12 ビット A/D コンバータが出力する 12 ビット A/D コンバータ同期 D/A 変換許可 信号により、D/A 変換データの更新タイミ ングを制御する。 これにより、8 ビット D/A コンバータの ラッシュカレント発生タイミングを許可 信号で制御し、干渉による A/D 変換精度 劣化を低減する。
消費電力低減機能	モジュールストップ状態への遷移が可能	モジュールストップ状態への遷移が可能
イベントリンク機能(入力)	イベント信号の入力により、チャンネル 0 の D/A 変換を開始可能	イベント信号の入力により、チャンネル 0 の D/A 変換を開始可能

表 2.63 D/A コンバータレジスタ比較

レジスタ	ビット	RX113(R12DAA)	RX140(DAa)
DAVREFCR	—	D/A VREF 制御レジスタ	—

2.26 温度センサ

表 2.64 に温度センサのレジスタ比較を示します。

表 2.64 温度センサのレジスタ比較

レジスタ	ビット	RX113(TEMPSA)	RX140(TEMPSA)
TSCDRH, TSCDRL(RX113) TSCDR(RX140)	—	温度センサ校正データレジスタ	温度センサ校正データレジスタ

2.27 RAM

表 2.65 に RAM の概要比較を示します。

表 2.65 RAM の概要比較

項目	RX113	RX140
RAM 容量	最大 64K バイト	最大 64K バイト
RAM アドレス	- RAM 容量 64K バイト RAM0 : 0000 0000h~0000 FFFFh - RAM 容量 32K バイト RAM0 : 0000 0000h~0000 7FFFh	- RAM 容量 64K バイト RAM0 : 0000 0000h~0000 FFFFh - RAM 容量 32K バイト RAM0 : 0000 0000h~0000 7FFFh - RAM 容量 16K バイト RAM0 : 0000 0000h~0000 3FFFh
アクセス	- 読み出し、書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能	- 読み出し、書き込みともに 1 サイクルで動作 - RAM 有効/無効選択可能
消費電力低減機能	モジュールストップ状態への設定が可能	モジュールストップ状態への設定が可能

2.28 フラッシュメモリ

表 2.66 にフラッシュメモリの概要比較を、表 2.67 にフラッシュメモリのレジスタ比較を示します。

表 2.66 フラッシュメモリの概要比較

項目	RX113(FLASH)	RX140(FLASH)
メモリ容量	- ユーザ領域：最大 512K バイト - データ領域：最大 8K バイト - エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニーク ID を格納	- ユーザ領域：最大 256K バイト - データ領域：最大 8K バイト - エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニーク ID を格納
アドレス	- 容量が 512K バイトの場合 - FFF8 0000h~FFFF FFFFh - 容量が 384K バイトの場合 - FFFA 0000h~FFFF FFFFh - 容量が 256K バイトの場合 - FFFC 0000h~FFFF FFFFh - 容量が 128K バイトの場合 - FFFE 0000h~FFFF FFFFh	- 容量が 256K バイトの場合 - FFFC 0000h~FFFF FFFFh - 容量が 128K バイトの場合 - FFFE 0000h~FFFF FFFFh - 容量が 64K バイトの場合 - FFFF 0000h~FFFF FFFFh
ソフトウェアコマンド	- 以下のソフトウェアコマンドを実装 - プログラム、ブランクチェック、ブロックイレース、ユニーク ID リード - エクストラ領域のプログラム用に以下のコマンドを実装 - スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム	- 以下のソフトウェアコマンドを実装 - プログラム、ブランクチェック、ブロックイレース、全ブロックイレース - エクストラ領域のプログラム用に以下のコマンドを実装 - スタートアップ領域情報プログラム、アクセスウィンドウプロテクト、アクセスウィンドウ情報プログラム
イレース後の値	- ROM : FFh - E2 データフラッシュ : FFh	- ROM : FFh - E2 データフラッシュ : FFh
割り込み	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み(FRDYI)が発生	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み(FRDYI)が発生

項目	RX113(FLASH)	RX140(FLASH)
オンボード プログラミング	- ブートモード(SCI インタフェース) - シリアルコミュニケーション インタフェースのチャンネル 1(SCI1)を 調歩同期式モードで使用 - ユーザ領域とデータ領域を書き換え可能 - ブートモード(FINE インタフェース) - FINE を使用 - ユーザ領域とデータ領域を書き換え可能 - ブートモード(USB インタフェース) - USB2.0 ファンクションモジュールの チャンネル 0 (USB0)を使用 - ユーザ領域とデータ領域を書き換え可能 - セルフパワー、バスパワーいずれの モードでもフラッシュ書き換えが可能 - USB ケーブルだけを用いてパソコンと 接続が可能 - セルフプログラミング (シングルチップモード) - ユーザプログラム内のフラッシュ書き換え ルーチンによるユーザ領域の 書き換えが可能	- ブートモード(SCI インタフェース) - シリアルコミュニケーション インタフェースのチャンネル 1(SCI1)を 調歩同期式モードで使用 - ユーザ領域とデータ領域を書き換え可能 - ブートモード(FINE インタフェース) - FINE を使用 - ユーザ領域とデータ領域を書き換え可能 - セルフプログラミング (シングルチップモード) - ユーザプログラム内のフラッシュ書き換え ルーチンによるユーザ領域とデータ領域の 書き換えが可能
オフボード プログラミング	本 MCU に対応したフラッシュプログラマを使用 して、ユーザ領域とデータ領域の書き換えが 可能	本 MCU に対応したフラッシュプログラマを使用 して、ユーザ領域とデータ領域の書き換えが 可能
ID コード プロテクト	- ブートモード時、シリアルプログラマとの接 続の許可または禁止を、ID コードにより制 御可能 - オンチップデバッグエミュレータ接続 時、ID コードにより制御可能	- ブートモード時、シリアルプログラマとの接 続の許可または禁止を、ID コードにより制 御可能 - オンチップデバッグエミュレータ接続 時、ID コードにより制御可能
スタートアップ プログラム保護 機能	ブロック 0~15 の書き換えを安全に行うための 機能	ブロック 0~7 の書き換えを安全に行うための 機能
エリアプロテク ション	セルフプログラミング時、ユーザ領域内の指定 された範囲のみ書き換えを許可し、それ以外へ の書き換えを禁止することが可能	セルフプログラミング時、ユーザ領域内の指定 された範囲のみ書き換えを許可し、それ以外へ の書き換えを禁止することが可能
バックグラウンドオペレー ション(BGO)機能	E2 データフラッシュの書き換え中に、ROM 上 に配置されたプログラムを実行可能	E2 データフラッシュの書き換え中に、ROM 上 に配置されたプログラムを実行可能

表 2.67 フラッシュメモリのレジスタ比較

レジスタ	ビット	RX113(FLASH)	RX140(FLASH)
MEMWAITR	—	—	メモリウェイトサイクル設定レジスタ
DFLWAITR	—	—	データフラッシュウェイトサイクル設 定レジスタ

レジスタ	ビット	RX113(FLASH)	RX140(FLASH)
FPMCR	FMS0,FMS1, FSM2(RX113) FMS0,FMS1 (RX140)	フラッシュ動作モード選択ビット 0,1,2 FMS2 FMS1 FMS0 0 0 0 : ROM/E2 データフラッシュ リードモード 0 1 0 : E2 データフラッシュ P/E モード 0 1 1 : ディスチャージモード 1 1 0 1 : ROMP/E モード 1 1 1 : ディスチャージモード 2 上記以外は設定しないでください	フラッシュ動作モード選択ビット 0,1 FMS1 FMS0 0 0 : ROM/E2 データフラッシュ リードモード 0 1 : ROMP/E モード 1 0 : E2 データフラッシュ P/E モード 1 1 : 設定禁止
	LVPE	低電圧 P/E モード有効ビット	—
FCR	CMD[3:0]	ソフトウェアコマンド設定ビット b3 b0 0 0 0 1 : プログラム 0 0 1 1 : ブランクチェック 0 1 0 0 : ブロックイレーズ 0 1 0 1 : ユニーク ID リード 上記以外は設定しないでください	ソフトウェアコマンド設定ビット b3 b0 0 0 0 1 : プログラム 0 0 1 1 : ブランクチェック 0 1 0 0 : ブロックイレーズ 0 1 1 0 : 全ブロックイレーズ 上記以外は設定しないでください
	DRC	データリード完了ビット	—

レジスタ	ビット	RX113(FLASH)	RX140(FLASH)
FEXCR	CMD[2:0]	ソフトウェアコマンド設定ビット b2 b0 0 0 1: スタートアップ領域情報 プログラム 0 1 0: アクセスウィンドウ情報 プログラム 上記以外は設定しないでください	ソフトウェアコマンド設定ビット b2 b0 0 0 1: スタートアップ領域情報 プログラム/ アクセス ウィンドウプロテクト 0 1 0: アクセスウィンドウ情報 プログラム 上記以外は設定しないでください
FSARH	—	フラッシュ処理開始アドレスレジスタ H FSARH は、8 ビットレジスタです。	フラッシュ処理開始アドレスレジスタ H FSARH は、 16 ビットレジスタです。
FEARH	—	フラッシュ処理終了アドレスレジスタ H FEARH は、8 ビットレジスタです。	フラッシュ処理終了アドレスレジスタ H FEARH は、 16 ビットレジスタです。
FRBH	—	フラッシュリードバッファレジスタ H	—
FRBL	—	フラッシュリードバッファレジスタ L	—
FWBH,FWBL (RX113) FWBn (RX140)	—	フラッシュライトバッファレジスタ H/フラッシュライトバッファレジスタ L	フラッシュライトバッファレジスタ n (n=0~3)
FSTATR1	DRRDY	データリードレディフラグ	—
FEAMH	—	フラッシュエラーアドレスモニタレジスタ H FEAMH は、8 ビットレジスタです。	フラッシュエラーアドレスモニタレジスタ H FEAMH は、 16 ビットレジスタです。
FSCMR	AWPR	—	アクセスウィンドウプロテクトフラグ
FAWSMR	—	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ リセット後の初期値が異なります	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ
FAWEMR	—	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ リセット後の初期値が異なります	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ
UIDRn	—	ユニーク ID レジスタ n(n=0~31) UIDRn は、8 ビットレジスタです。	ユニーク ID レジスタ n(n=0~3) UIDRn は、 32 ビットレジスタです。

注 1. 一度プロテクトすると、解除できません。

2.29 パッケージ

表 2.68 に示す通り、一部パッケージの外形図やパッケージ展開に差分がありますので、基板設計時には留意ください。詳細は、「RX ファミリ間の移行設計ガイドパッケージ外形の相違点 (R01AN4591JJ)」を参照してください。

表 2.68 パッケージ

パッケージタイプ	RENESAS Code	
	RX113	RX140
100 ピン LFQFP	○	×
100 ピン TFLGA	○	×
80 ピン LFQFP	×	○
64 ピン LFQFP	PLQP0064KB-A	PLQP0064KB- C
48 ピン LFQFP	×	○
32 ピン LQFP	×	○
32 ピン HWQFN	×	○

○ : パッケージあり(RENESAS Code は省略)、× : パッケージなし

3. 端子機能の比較

以下に端子機能の比較、および電源、クロック、システム制御端子の比較を示します。いずれかのグループにしか存在しない項目は青字に、両方のグループに存在するが相違点がある項目は赤字にしています。仕様に相違点がない項目は黒字にしています。

3.1 64 ピンパッケージ

表 3.1 に 64 ピンパッケージ端子機能の比較を示します。

表 3.1 64 ピンパッケージ端子機能の比較

64 ピン LFQFP/ LQFP	RX113	RX140
1	PJ0/DA0	P03 ^(注 1) /DA0
2	P27/MTIOC2B/TMCI3/SCK1/SCK12/RXD6/ SMISO6/SSCL6/IRQ3/CMPA2/CACREF/ ADTRG0#	VCL
3	P26/MTIOC2A/TMO1/TXD1/SMOSI1/ SSDA1/USB0_VBUSEN/TXD6/SMOSI6/ SSDA6	MD/PG7/FINED
4	P30/MTIOC4B/POE8#/TMRI3/RXD1/ SMISO1/SSCL1/CAPH/IRQ0	XCIN/PH7 ^(注 3)
5	P31/MTIOC4D/TMCI2/CTS1#/RTS1#/SS1#/ CAPL/IRQ1	XCOUT/PH6 ^(注 3)
6	MD/FINED	RES#
7	RES#	XTAL/P37/IRQ4
8	XCOUT	VSS
9	XCIN	EXTAL/P36/IRQ2
10	UPSEL/P35/NMI	VCC
11	XTAL	P35/NMI
12	EXTAL	P32/MTIOC0C/TMO3/TXD6 ^(注 3) / SMOSI6 ^(注 3) /SSDA6 ^(注 3) /TS0 ^(注 3) / IRQ2/RTCOUT
13	VCL	P31/MTIOC4D/TMCI2/CTS1#/RTS1#/SS1#/ TS1/ ^(注 3) /IRQ1
14	VSS	P30/MTIOC4B/TMRI3/POE8#/ RXD1/SMISO1/SSCL1/TS2 ^(注 3) /IRQ0
15	VCC	P27/MTIOC2B/TMCI3/SCK1/TS3
16	P32/MTIOC0C/RTCOUT/TMO3/TXD6/ SMOSI6/SSDA6/CTS6#/RTS6# SS6#/IRQ2	P26/MTIOC2A/TMO1/LPTO/ TXD1/SMOSI1/SSDA1/TS4
17	P17/MTIOC0C/MTIOC3A/SCK1/MISOA/ SDA0/RXD12/RDX12/SMISO12/SSCL12/ IRQ7/MTIOC3B/POE8#/TMO1	P17/MTIOC3A/MTIOC3B/TMO1/ POE8#/SCK1/MISOA/SDA0/IRQ7
18	P16/MTIOC3C/MTIOC3D/ RTCOUT/TMO2/TXD1/SMOSI1/SSDA1/ MOSIA/SCL0/IRQ6/ADTRG0# USB0_VBUS/USB0_VBUSEN/ USB0_OVRCURB	P16/MTIOC3C/MTIOC3D/TMO2/ TXD1/SMOSI1/SSDA1/MOSIA/SCL0/IRQ6/ RTCOUT/ADTRG0#
19	P15/MTIOC0B/MTCLKB/TMCI2/RXD1/ SMISO1/SSCL1/RSPCKA/IRQ5/CLKOUT/ CACREF	P15/MTIOC0B/MTCLKB/TMCI2/ RXD1/SMISO1/SSCL1/CRXD0/TS5 ^(注 3) / IRQ5

64 ピン LFQFP/ LQFP	RX113	RX140
20	UB#/P14/MTIOC0A/MTIOC3A/ MTCLKA/TMRI2/CTS1#/RTS1#/SS1#/ SSLA0/TXD12/IRQ4/TXDX12/SIOX12/ SMOSI12/SSDA12/USB0_OVRCURA	P14/MTIOC3A/MTCLKA/TMRI2/ CTS1#/RTS1#/SS1#/CTXD0/TS6 ^(注3) /IRQ4
21	VCC_USB	PH3/MTIOC4D/TMCIO/TS7 ^(注3)
22	USB0_DM	PH2/MTIOC4C/TMRI0/TS8 ^(注3) /IRQ1
23	USB0_DP	PH1/MTIOC3D/TMO0/TS9 ^(注3) /IRQ0
24	VSS_USB	PH0/MTIOC3B/TS10 ^(注3) /CACREF
25	P55/MTIOC4D/TMO3/VL1	P55/MTIOC4A/MTIOC4D/TMO3/CRXD0/ TS11 ^(注3)
26	P54/MTIOC4B/TMC1/VL2	P54/MTIOC4B/TMC1/CTXD0/TS12 ^(注3)
27	PC7/MTIOC3A/MTCLKB/TMO2/TXD1/ SMOSI1/SSDA1/MISOA/TXD8/ SMOSI8/SSDA8/USB0_OVRCURB/VL3/ CACREF	PC7/MTIOC3A/MTCLKB/TMO2/LPTO/ TXD8 ^(注3) /SMOSI8 ^(注3) /SSDA8 ^(注3) / MISOA/TS13/CACREF
28	PC6/MTIOC3C/MTCLKA/TMC12/RXD1/ SMISO1/SSCL1/MOSIA/RXD8/ SMISO8/SSCL8/USB0_EXICEN/VL4	PC6/MTIOC3C/MTCLKA/TMC12/ RXD8 ^(注3) /SMISO8 ^(注3) /SSCL8 ^(注3) / MOSIA/TS14
29	PC5/MTIOC3B/MTCLKD/TMRI2/SCK1/ RSPCKA/SCK8/USB0_ID/COM0	PC5/MTIOC0C/MTIOC3B/MTCLKD/TMRI2/ SCK8 ^(注3) /RSPCKA/TS15
30	PC4/MTIOC3D/MTCLKC/POE0#/ TMC11/SSLA0/CTS8#/RTS8#/SS8#/ SCK5/COM1/IRQ2/CLKOUT/ USB0_VBUSEN/USB0_VBUS ^(注4)	PC4/MTIOC0A/MTIOC3D/MTCLKC/TMC11/ POE0#/SCK5/CTS8# ^(注3) /RTS8# ^(注3) / SS8# ^(注3) /SSLA0/TSCAP
31	PC3/MTIOC4D/TXD5/SMOSI5/SSDA5/ IRTXD5/COM2	PC3/MTIOC4D/TXD5/SMOSI5/SSDA5/ TS16 ^(注3)
32	PC2/MTIOC4B/RXD5/SMISO5/SSCL5/ SSLA3/IRRXD5/COM3	PC2/MTIOC4B/RXD5/SMISO5/SSCL5/ SSLA3/TS17 ^(注3)
33	PB7/PC1/MTIOC3B/TXD9/SMOSI9/SSDA9/ SSITXD0/SEG11/ COM4	PB7/PC1 ^(注2) /MTIOC3B/TXD9 ^(注3) / SMOSI9 ^(注3) /SSDA9 ^(注3) /TS18 ^(注3)
34	PB6/PC0/MTIOC3D/RXD9/SMISO9/SSCL9/ SSIRXD0/SEG12/ COM5	PB6/PC0 ^(注2) /MTIOC3D/RXD9 ^(注3) / SMISO9 ^(注3) /SSCL9 ^(注3) /TS19 ^(注3)
35	PB5/MTIOC2A/MTIOC1B/ POE1#/TMRI1/ SCK9/SSISCK0/SEG13/ COM6	PB5/MTIOC2A/MTIOC1B/TMRI1/POE1#/ SCK9 ^(注3) /TS20 ^(注3)
36	PB3/MTIOC0A/MTIOC3B/SCK6/ AUDIO_MCLK/USB0_OVRCURA/SEG15/ COM7/MTIOC4A/POE3#/TMO0	PB3/MTIOC0A/MTIOC4A/TMO0/ POE3#/LPTO/SCK6 ^(注3) /TS22 ^(注3)
37	PB1/MTIOC0C/MTIOC4C/TMCIO/ TXD6/SMOSI6/SSDA6/SSIWS0/SEG17/ IRQ4	PB1/MTIOC0C/MTIOC4C/TMCIO/ TXD6 ^(注3) /SMOSI6 ^(注3) /SSDA6 ^(注3) / TS24 ^(注3) /IRQ4/CMPOB1
38	VCC	VCC
39	PB0/MTIC5W/MTIOC0C/ RTCOUT/SCL0/RSPCKA/RXD6/SMISO6/ SSCL6/IRQ2/ADTRG0#	PB0/MTIOC3D/MTIC5W/RXD6 ^(注3) / SMISO6 ^(注3) /SSCL6 ^(注3) /RSPCKA/TS25
40	VSS	VSS
41	PA6/MTIC5V/MTCLKB/CTS5#/RTS5#/ SS5#/SDA0/MOSIA/IRQ3/MTIOC2A/ POE2#/TMC13	PA6/MTIOC3D/MTIC5V/MTCLKB/TMC13/ POE2#/CTS5#/RTS5#/SS5#/MOSIA/ TS26 ^(注3)
42	PA4/MTIC5U/MTCLKA/ MTIOC2B/TMRI0/TXD5/SMOSI5/SSDA5/ IRTXD5/SSLA0/SEG20/IRQ5/CVREFB1	PA4/MTIOC4C/MTIC5U/MTCLKA/TMRI0/ TXD5/SMOSI5/SSDA5/SSLA0/TS28/ IRQ5/CVREFB1

64 ピン LFQFP/ LQFP	RX113	RX140
43	PA3/MTIOC0D/MTCLKD/ MTIOC1B/POE0#/RXD5/SMISO5/SSCL5/ IRRXD5/MISOA/SEG21/IRQ6/CMPB1	PA3/MTIOC0D/MTIOC4D/ MTIC5V/MTCLKD/ RXD5/SMISO5/SSCL5/TS29/IRQ6/CMPB1
44	PA1/MTIOC0B/MTCLKC/ RTCOUT/SCK5/SSLA2/SEG23	PA1/MTIOC0B/MTIOC3B/MTCLKC/ SCK5/SSLA2/TS31
45	PA0/MTIOC4A/SSLA1/SEG24/CACREF	PA0/MTIOC4A/SSLA1/TS32 ^(注3) /CACREF
46	PE5/MTIOC4C/MTIOC2B/MISOA/TXD9/ SMOSI9/SSDA9/SEG27/IRQ5/AN013/ CMPOB1	PE5/MTIOC4C/MTIOC2B/IRQ5/AN021/ CMPOB0
47	PE4/MTIOC4D/MTIOC1A/ MTIOC3A/MOSIA/RXD9/SMISO9/SSCL9/ SSIWS0/SEG28/IRQ4/AN012	PE4/MTIOC4D/MTIOC1A/MTIOC4A/ TS33/AN020/CMAPA2/CLKOUT
48	PE3/MTIOC0A/MTIOC1B/ MTIOC4B/POE8#/CTS12#/RTS12#/SS12#/ RSPCKA/SCK9/AUDIO_MCLK/SEG29/IRQ3/ AN011	PE3/MTIOC1B/MTIOC4B/POE8#/ CTS12#/RTS12#/SS12#/TS34/ AN019/CLKOUT
49	PE2/MTIOC4A/RXD12/RXDX12/SMISO12/ SSCL12/SSIRXD0/SEG30/IRQ7/AN010/ CVREFB0	PE2/MTIOC4A/RXD12/RXDX12/SMISO12/ SSCL12/TS35/IRQ7/AN018/CVREFB0
50	PE1/MTIOC4C/TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12/SSITXD0/SEG31/IRQ1/ AN009/CMPB0	PE1/MTIOC4C/TXD12/TXDX12/SIOX12/ SMOSI12/SSDA12/AN017/CMPB0
51	PE0/MTIOC2A/POE3#/SCK12/CTS9#/ RTS9#/SS9#/SSISCK0/SEG32/IRQ0/AN008	PE0/SCK12/AN016
52	PE7/SEG33/IRQ7/AN015/CMPOB0	P47 ^(注1) /AN007
53	PE6/SEG34/IRQ6/AN014	P46 ^(注1) /AN006
54	PD2/MTIOC4D/SEG37/IRQ2	P45 ^(注1) /AN005
55	PD1/MTIOC4B/SEG38/IRQ1	P44 ^(注1) /AN004
56	PD0/SEG39/IRQ0	P43 ^(注1) /AN003
57	VREFL/P42 ^(注1) /AN002	P42 ^(注1) /AN002
58	VREFH/P41 ^(注1) /AN001	P41 ^(注1) /AN001
59	VREFL0/PJ7 ^(注1)	VREFL0/PJ7 ^(注1)
60	P40 ^(注1) /AN000	P40 ^(注1) /AN000
61	VREFH0/PJ6 ^(注1)	VREFH0/PJ6 ^(注1)
62	AVSS0	AVCC0
63	AVCC0	P05 ^(注1) /DA1
64	PJ2/DA1	AVSS0

注 1. これら端子の入出力バッファの電源は AVCC0 です。

注 2. PC0、PC1 は、ポート切り替え機能選択時のみ有効です。

注 3. ROM 容量が 64K バイトの製品にはありません。

注 4. 5V トレラントではありません。

4. 移行の際の留意点

RX140 グループと RX113 グループの相違について、いくつかの留意点があります。

ソフトウェアに関する留意点を「4.1 機能設計の留意点」で説明します。

4.1 機能設計の留意点

RX113 グループで動作するソフトウェアは RX140 グループの一部のソフトウェアに対し、互換性があります。しかし、動作タイミングや電気的特性などが異なる場合があるため、十分に評価してください。

以下に RX140 グループと RX113 グループで異なる機能の設定に関し、ソフトウェアでの留意点について説明します。

モジュールおよび機能の相違点については「2.仕様の概要比較」を参照してください。詳細は「5.参考ドキュメント」のユーザーズマニュアルハードウェア編を参照してください。

4.1.1 モード設定端子

リセット解除時のモード設定端子は、RX140 グループでは MD 端子のみですが、RX113 グループでは MD 端子と UB 端子(P00 と兼用)となっています。

4.1.2 PLL 回路

PLL 回路の通倍率は、RX140 グループで 4~12 通倍(0.5 刻み)、RX113 グループで 6 または 8 通倍です。PLL 回路を使用するには、PLLCR.STC ビットに設定値を適切な値に変更してください。

4.1.3 12 ビット AD コンバータ

RX140 グループでは、RX113 グループから 12 ビット A/D コンバータのレジスタが大幅に変更されています。ソフトウェアの互換性が低くなっていますので注意してください。

4.1.4 例外ベクタテーブル

RX113 グループのベクタテーブルの配置アドレスは固定ですが、RX140 グループでは例外テーブルレジスタ(EXTB)に設定した値を先頭アドレスとして、ベクタテーブルを可変に配置できます。

4.1.5 コンペア機能制約

RX140 グループの 12 ビット A/D コンバータのコンペア機能には、以下の制約があります。

1. 自己診断機能、ダブルトリガモードは併用禁止です
(ADRD、ADDBLDR レジスタはコンペア機能対象外です。)
2. マッチ/アンマッチイベント出力を使用する場合は、シングルスキャンモードを設定してください。
3. ウィンドウ A で温度センサか内部基準電圧選択時は、ウィンドウ B の動作は禁止です。
4. ウィンドウ B で温度センサか内部基準電圧選択時は、ウィンドウ A の動作は禁止です。
5. ウィンドウ A とウィンドウ B で同一 CH は設定禁止です。
6. バッファ機能を使用する場合は、シングルスキャンモードを設定してください。
(ダブルトリガモードも併用禁止です)
7. High 側基準値 $\geq$ Low 側基準値となるように設定してください。

4.1.6 ポート方向レジスタ(PDR)の初期化

同一ピン数でも、PDR レジスタの初期化が異なります。

4.1.7 12 ビット A/D コンバータのスキャン変換時間

RX113 グループと RX140 グループでは、スキャン変換時間が異なります。各グループの選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、以下のように表されます。

詳細は「5. 参考ドキュメント」の RX113 グループ、RX140 グループ ユーザーズマニュアルハードウェア編で、12 ビット A/D コンバータのアナログ入力のサンプリング時間とスキャン変換時間を参照してください。

$$\text{RX113:} \quad t_{\text{SCAN}} = t_{\text{D}} + (t_{\text{SPL}} + t_{\text{CONV}}) \times n + t_{\text{ED}}$$

$$\text{RX140:} \quad t_{\text{SCAN}} = t_{\text{D}} + (t_{\text{DIS}} \times n) + t_{\text{DIAG}} + (t_{\text{CONV}} \times n) + t_{\text{ED}}$$

t_{D}	…スキャン変換開始遅延時間
t_{SPL}	…サンプリング時間
t_{DIS}	…断線検出アシスト処理時間
t_{DIAG}	…自己診断変換時間
t_{CONV}	…A/D 変換処理時間
t_{ED}	…スキャン変換終了遅延時間

5. 参考ドキュメント

ユーザーズマニュアル:ハードウェア

RX113 グループ ユーザーズマニュアル ハードウェア編 Rev1.20(R01UH0448JJ0120)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

RX140 グループ ユーザーズマニュアル ハードウェア編 Rev.1.10(R01UH0905JJ0110)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

アプリケーションノート

RX ファミリの間の移行設計ガイド パッケージ外形の相違点 (R01AN4591JJ)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデートの対応について

本アプリケーションノートは以下のテクニカルアップデートの内容を反映しています。

- TN-RX*-A0241B/J
- TN-RX*-A0238A/J
- TN-RX*-A0234A/J
- TN-RX*-A0230A/J
- TN-RX*-A0224B/J
- TN-RX*-A0147B/J
- TN-RX*-A193A/J
- TN-RX*-A180A/J
- TN-RX*-A168B/J
- TN-RX*-A168A/J
- TN-RX*-A0258A/J

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Jun.07.21	—	初版発行
1.10	Feb.21.22	17	表 2.10 クロック発生回路のレジスタ比較 変更
		34	表 2.28 I/O ポートの概要比較 (64 ピン) 変更
		79	表 2.58 静電容量式タッチセンサのレジスタ比較 変更
		94	表 3.1 64 ピンパッケージ端子機能の比較 変更

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}(\text{Max.})$ から $V_{IH}(\text{Min.})$ までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/