

RX, RA ファミリ共通

メインクロック回路、サブクロック回路のデザインガイド

要旨

本アプリケーションノートではメインクロック発振回路、サブクロック発振回路の設計情報として、推奨する発振子、マッチング評価結果、発振評価方法、基板設計上の要点について示します。

対象デバイス

RX, RA ファミリ:

目次

1. アプリケーションノートの使い方	2
2. 外部コンポーネントの接続.....	2
3. ルネサスがマッチング評価を依頼したことがある発振子メーカーの紹介.....	3
4. マッチング評価結果	4
5. 発振評価と発振回路定数の算出方法.....	18
5.1 負性抵抗の測定方法	18
5.2 励振電力の測定方法	18
5.3 発振振幅電圧の測定方法	19
5.4 負荷容量の決定方法	19
5.5 相互コンダクタンスの算出方法	20
6. 基板設計の要点	20
6.1 発振を安定させるための要点.....	20
6.1.1 EXTAL/XCIN、XTAL/XCOUT 配線の要点	20
6.1.2 グランドシールドの要点	23
6.1.3 ボトムグランドの要点	25
6.1.3.1 厚さ 1.2 mm 以上の多層基板の場合	25
6.1.3.2 厚さが 1.2 mm 未満の多層基板の場合.....	28
6.1.4 その他の要点.....	29
6.2 ノイズによる誤動作のリスクが大きいパターン例	30
7. 外部発振子の周波数精度測定	32
7.1 推奨テスト環境	32
7.1.1 測定手順	32
7.2 周波数精度の計算.....	33
8. ホームページとサポート窓口	34
改定履歴	35

1. アプリケーションノートの使い方

本アプリケーションノートはRX, RA ファミリに接続する外部発振子の選択または評価方法を検討している方に向けた情報を記載していますが、適切な発振子をユーザ自身で選定することは困難であるため、発振子メーカーにマッチング評価を依頼することを推奨します。

内容の詳細は各章を確認ください。

- 2章：RX, RA ファミリに接続する外部コンポーネントに関する情報を記載しています。
- 3章：RX, RA ファミリでマッチング評価をした発振子メーカーの紹介、RX, RA ファミリに適した発振子をWEB (Tool) で検索する方法を記載しています。評価済みの発振子を選定したい方は本章を確認ください。
- 4章：マッチング評価結果として、マッチング評価における発振子の発振特性や基板に実装したコンポーネント情報を記載しています。発振子の選定条件を絞り込みたい方は、本章を確認ください。
- 5章：マッチング評価をユーザご自身で実施する場合における外部コンポーネントの選定方法や評価方法を記載しています。
- 6章：基板設計の要点を記載しています。基板設計の前にこの章を確認ください。
- 7章：評価ボードに実装されたMCUのクロック周波数精度の測定方法について記載しています。

2. 外部コンポーネントの接続

ほとんどのRX, RA ファミリでは図1の様にメインクロックソースとしてセラミック発振子/水晶振動子を使用でき、それはMCUのEXTAL端子とXTAL端子間に接続されます。(なお、MCUグループによってはEXTAL端子、XTAL端子をX2端子、X1端子に名前が置き換えられる場合があります。ユーザーズマニュアルを確認してください。) またサブクロックソースには水晶振動子を使用でき、それはMCUのXCIN端子とXCOUT端子間に接続されます。

メインクロックソースに使用する外部発振子の周波数はMCUのメインクロック発振器の発振子周波数として規定されている範囲内の値にしてください。サブクロックソースに使用する外部発振子の周波数は正確に32.768 kHzでなければいけません。詳細はMCUユーザーズマニュアル ハードウェア編の「電気的特性」および「クロック発生回路」を参照してください。

使用する発振子のスペックに適したダンピングレジスタ (R_d)、外部負荷容量 (C_{L1} , C_{L2}) を外部コンポーネントとして実装する必要があります。外部コンポーネントを選定する際は、発振子メーカーに問い合わせマッチング評価を実施してもらうことを推奨します。発振子メーカーに問い合わせせずにご自身で適切な外部負荷容量を算出する場合は5章「発振評価と発振回路定数の算出方法」を参考にしてください。

RX, RA ファミリはフィードバックレジスタを内蔵しているため図1に示すフィードバックレジスタ^(*)を実装する必要はありません。しかし発振子メーカーがフィードバックレジスタの実装を推奨している場合は発振子メーカーの指示に従ってください。

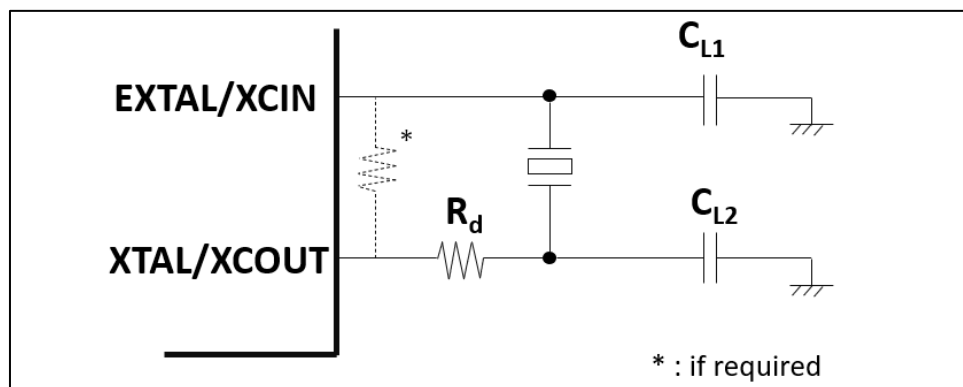


図1 外部発振子の接続例

3. ルネサスがマッチング評価を依頼したことがある発振子メーカーの紹介

複数の発振子メーカーが RX, RA ファミリを用いたマッチング評価を実施しており、評価に使用した発振子のリストを公開しています。表 1 はマッチング評価を実施した発振子を紹介します。最新の情報は発振子メーカーのホームページをご確認ください。

発振器メーカーのホームページで目的の MCU が見つからない場合：

表 2 から目的の MCU を検索し、それと同じグループの MCU を発振器メーカーのホームページで検索してください。

表 1 マッチング評価済み発振子の例

発振子メーカー	発振子/部品番号	発振周波数	回路負荷容量 (pF)	C _{L1} (pF)	C _{L2} (pF)	R _d (Ohm)	MCU グループ名
京セラ株式会社	CX3225CA12000D0PRTC2	12 MHz	6.49	10	10	4700	RX72T/RX66T
村田製作所	XRCGB24M000F3M26R0	24 MHz	6	8	8	0	RX72M/RX72N/RX66N/RX671
日本電波工業株式会社	STD-MUA-9	32.768 kHz	9	12	12	0	RX660
セイコーインスツル株式会社	SSP-T7-F	32.768 kHz	12.5	22	22	0	RA2L1

下記に発振子メーカーの WEB ページから RX, RA ファミリでマッチング評価済みの発振子を検索する方法を紹介します。

■ 京セラ株式会社：

検索ページ：[水晶振動子 回路マッチング検索](#)

- 1) IC メーカーの項目で「Renesas Electronics」を選択してください。
- 2) IC ファミリの項目で検索したいグループ名を選択してください。
例) IC ファミリ：RX72N
- 3) 検索実行ボタンを押してください。該当する情報が表示されます。

■ 株式会社村田製作所

検索ページ：[IC-タイミングデバイス検索ツール](#)

- 1) IC メーカー項目で「Renesas Electronics」を選択してください。
- 2) IC 品名の項目で検索したいグループ名を選択してください。
例) IC 品名：RX72N
- 3) 検索ボタンを押してください。該当する情報が表示されます。

■ 日本電波工業株式会社：

検索ページ：[IC マッチング情報](#)

- 1) Supplier Name の項目で「Renesas Electronics」を選択してください。
- 2) Families/Series の項目で調べたいグループ名を選択してください。
例) RX660 を選択。
該当する情報が表示されます。

■ セイコーインスツル株式会社：

検索ページ：[IC マッチング情報](#)

- 1) 調べたいグループ名をクリックしてください。該当する情報が表示されます。

発振子メーカーの WEB サイトに掲載されている発振回路定数は特定の条件における一部のサンプルの実験結果であり、ルネサスが保証するものではありません。実際に使用するシステムにおいて適切な値は異なる場合があります。実際に使用するシステムを用いたマッチング評価を発振子メーカーに依頼して発振回路定数を決定することを推奨します。

また各社の WEB サイトに記載されている MCU の動作条件は評価に使用した発振子を安定発振させるための条件であり、ルネサスが推奨する条件ではありません。MCU の推奨動作条件は MCU ユーザーズマニュアル ハードウェア編の「電気的特性」を参照してください。

4. マッチング評価結果

この章ではルネサスが複数の発振子メーカーに依頼して実施したマッチング評価結果を示します。MCU の駆動能力設定、発振子の特性 (Frequency, C_L)、評価基板の実装情報 (R_d , C_{L1} , C_{L2})、評価結果 (Negative R, 推奨 ESR, V_{oh} ^{注1}, V_{ol} ^{注1}) をグループ分けして表 3~表 15、図 2~図 14 に記載しています。

なおこれらは有限個のサンプルに基づく評価結果であり、保証値ではありません。

表 2 マッチング評価グループ

Group	RX	RA
1	RX65N, RX651, RX671, RX66N, RX72N and RX72M	RA4M2, RA4M3, RA4E1, RA4E2 ^{注2} , RA4T1 ^{注2} , RA6M1, RA6M2, RA6M3, RA6M4, RA6M5, RA6T1, RA6T2 ^{注3} , RA6T3 ^{注3} , RA6E1 and RA6E2 ^{注2}
2	RX26T ^{注3} , RX660, RX66T ^{注3} and RX72T ^{注3}	N/A
3	RX64M and RX71M	N/A
4	RX130, RX13T ^{注3} , RX230, RX231, RX23E-A ^{注3} , RX23E-B, RX23T ^{注3} , RX23W, RX24T ^{注3} and RX24U ^{注3}	RA2A1, RA4M1 and RA4W1
5	RX111, RX110 and RX113	N/A
6	RX140	N/A
7	N/A	RA2E1 and RA2L1

注 1 : サブクロックの V_{oh} , V_{ol} はクロック端子にプローブを接触させると測定できなくなるため評価結果がありません。

注 2 : 32 ピン LQFP, QFN パッケージはサブクロック発振機能に非対応

注 3 : サブクロック発振器が非搭載

表 3 Group 1 メインクロックのマッチング評価結果

Main Clock Oscillator Driving Setting ^{注 4}	Resonator specification		Evaluation board implementation			Evaluation results			
	Frequency (MHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (Ohm)	Recommend ESR_max (Ohm)	V _{oh}	V _{ol}
Setting = 8 MHz	8.0	8.0	0	8.0	8.0	-3760	750	2.60	-0.04
8 MHz < Setting ≤ 16 MHz	12	8.0	0	6.0	6.0	-2150	430	2.48	0.00
8 MHz < Setting ≤ 16 MHz	16	8.0	0	5.0	5.0	-1120	220	2.44	0.00
16 MHz < Setting ≤ 20 MHz	20	8.0	0	6.0	6.0	-1020	200	2.52	0.00
20 MHz < Setting ≤ 24 MHz	24	8.0	0	6.0	6.0	-1320	260	2.42	-0.04

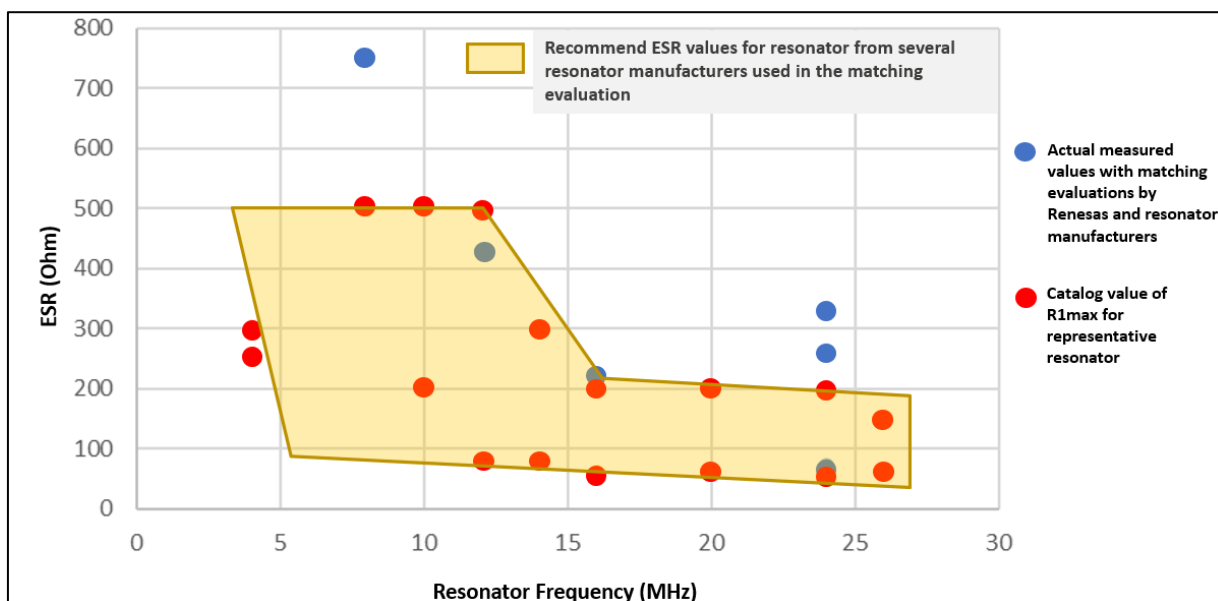


図 2 Group 1 メインクロック : Resonator Frequency vs ESR max

表 4 Group 1 サブクロックのマッチング評価結果

Sub Clock Oscillator Driving Setting 注5	Resonator specification		Evaluation board implementation			Evaluation results	
	Frequency (kHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (kOhm)	Recommend ESR_max (kOhm)
Low C _L 注6	32	4.0	0	4.3	4.3	-510	100
	32	4.4	0	6.0	5.0	-340	60
	32	5.0	0	6.0	6.0	-370	70
	32	6.0	0	8.0	8.0	-240	40
Standard C _L 注6	32	7.0	0	12	12	-1250	250
	32	9.0	0	15	15	-840	160
	32	12.5	0	24	24	-430	80

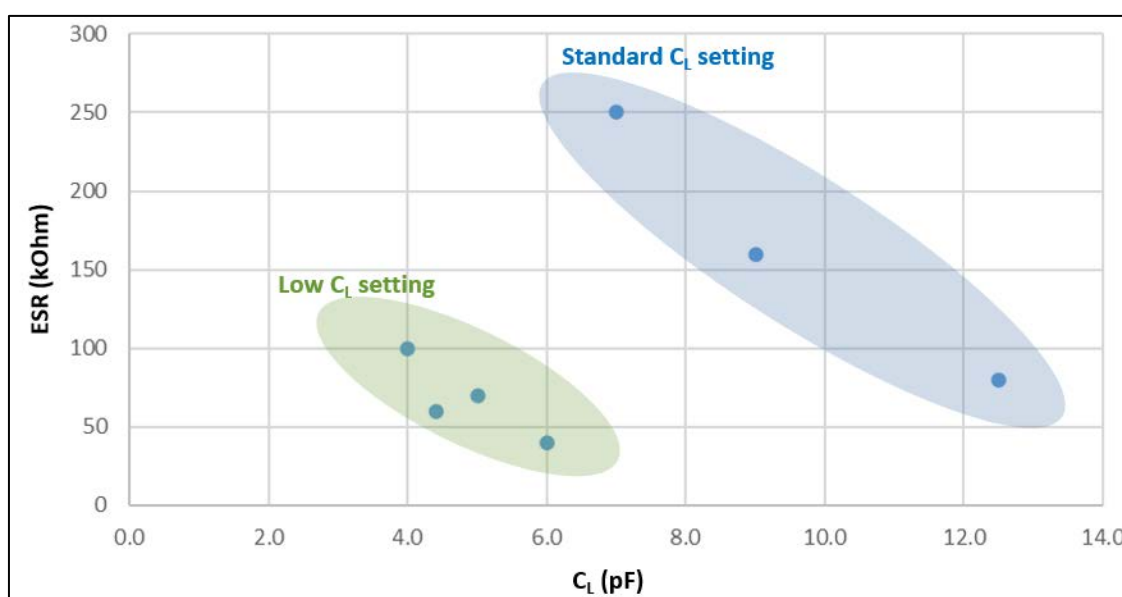
図 3 Group 1 サブクロック : C_L vs ESR max

表 5 Group 2 メインクロックのマッチング評価結果

Main Clock Oscillator Driving Setting 注 4	Resonator specification		Evaluation board implementation			Evaluation results			
	Frequency (MHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (Ohm)	Recommend ESR_max (Ohm)	V _{oh}	V _{ol}
Setting = 8 MHz	8.0	8.0	4700	12	12	-1300	260	2.20	0.28
8 MHz < Setting ≤ 16 MHz	10	8.0	4700	12	12	-1150	230	2.24	0.24
	12	8.0	4700	10	10	-830	160	2.14	0.32
	16	8.0	3900	9.0	9.0	-440	80	2.00	0.48
16 MHz < Setting ≤ 20 MHz	20	8.0	3300	10	10	-240	40	1.92	0.52
20 MHz < Setting ≤ 24 MHz	24	8.0	2200	10	10	-200	40	1.88	0.52

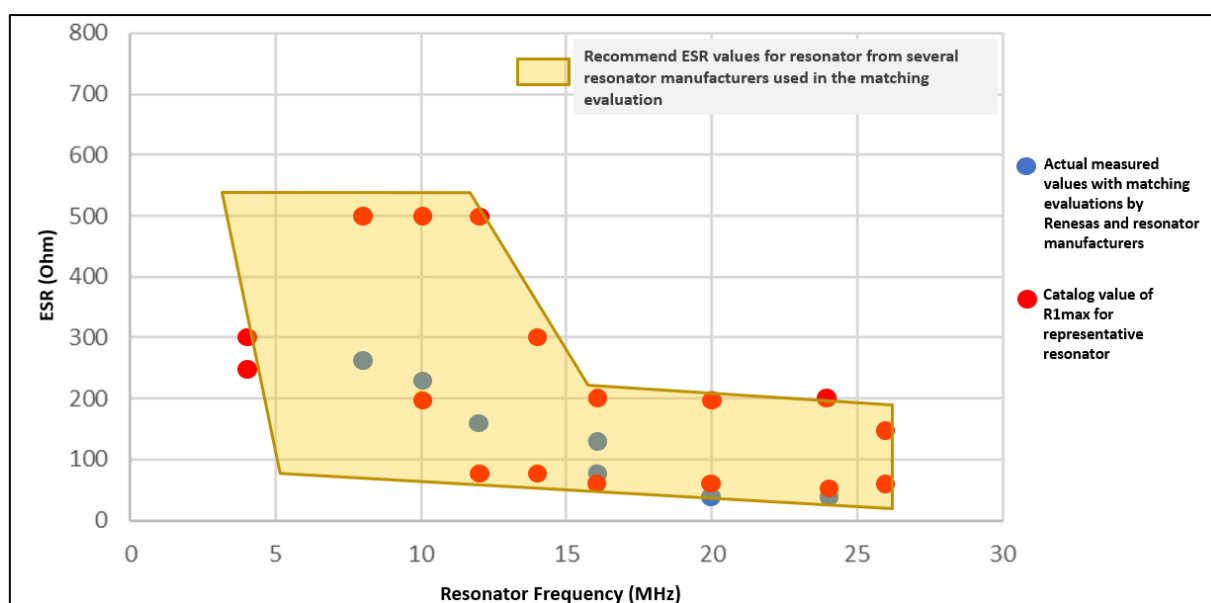


図 4 Group 2 メインクロック : Resonator Frequency vs ESR max

表 6 Group 2 サブクロックのマッチング評価結果

Sub Clock Oscillator Driving Setting ^{注5}	Resonator specification		Evaluation board implementation			Evaluation results	
	Frequency (kHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (kOhm)	Recommend ESR_max (kOhm)
Standard C _L ^{注6}	32	7.0	0	10	10	-930	180
	32	9.0	0	15	15	-540	100
	32	12.5	0	28	12	-310	60

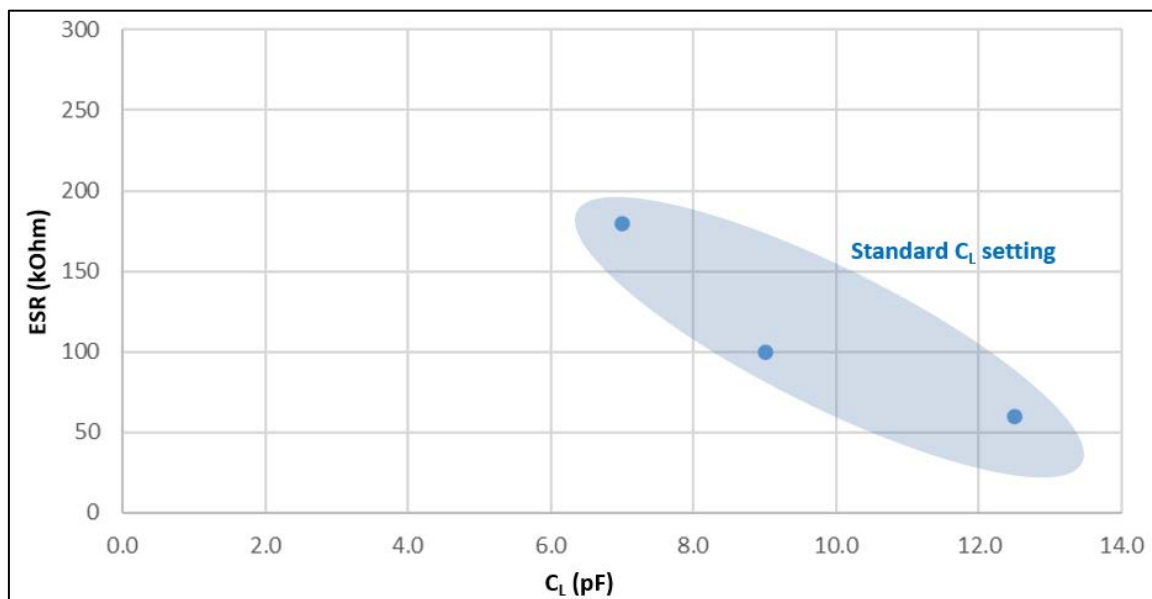
図 5 Group 2 サブクロック : C_L vs ESR max

表 7 Group 3, Group 5 メインクロックのマッチング評価結果

Main Clock Oscillator Driving Setting <small>注 4</small>	Resonator specification		Evaluation board implementation			Evaluation results			
	Frequency (MHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (Ohm)	Recommend ESR_max (Ohm)	V _{oh}	V _{ol}
Setting = 8 MHz	8.0	8.0	0	8.0	8.0	-5760	1150	N/A	N/A
8 MHz < Setting ≤ 16 MHz	16	8.0	1000	7.0	7.0	-1520	300	N/A	N/A
16 MHz < Setting ≤ 20 MHz	20	8.0	1000	7.0	7.0	-1020	200	N/A	N/A
20 MHz < Setting ≤ 24 MHz	24	8.0	1000	7.0	7.0	-860	170	N/A	N/A

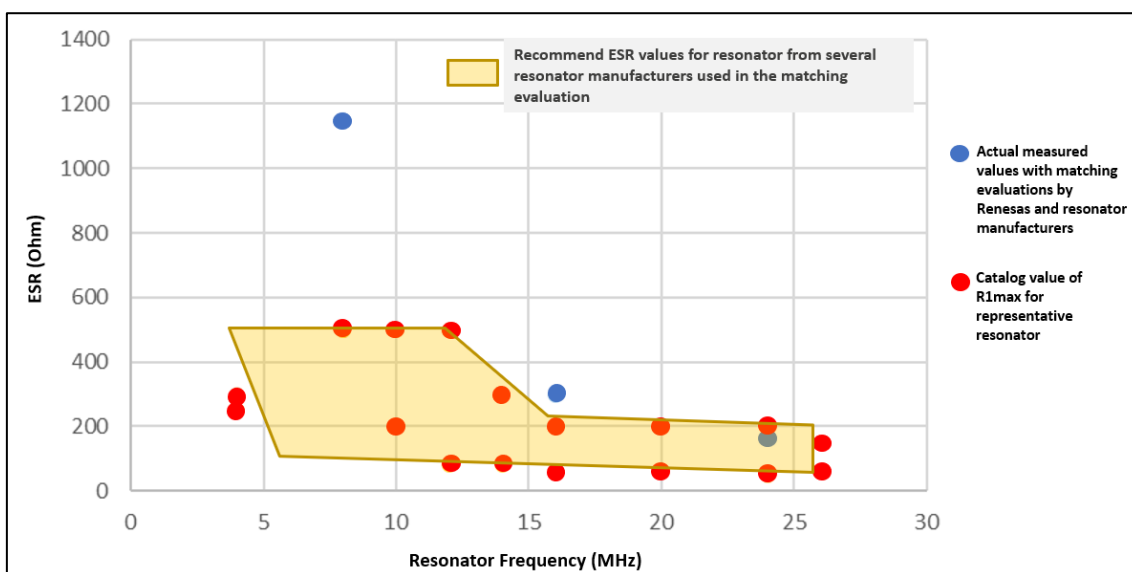


図 6 Group 3, Group 5 メインクロック : Resonator Frequency vs ESR max

表 8 Group 3 サブクロックのマッチング評価結果

Sub Clock Oscillator Driving Setting ^{注5}	Resonator specification		Evaluation board implementation			Evaluation results	
	Frequency (kHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (kOhm)	Recommend ESR_max (kOhm)
Low C _L ^{注6}	32	3.7	0	3.0	3.0	-430	80
	32	4.0	0	2.0	3.0	-570	110
Standard C _L ^{注6}	32	7.0	0	9.0	9.0	-1000	200
	32	12.5	0	22	22	-350	70

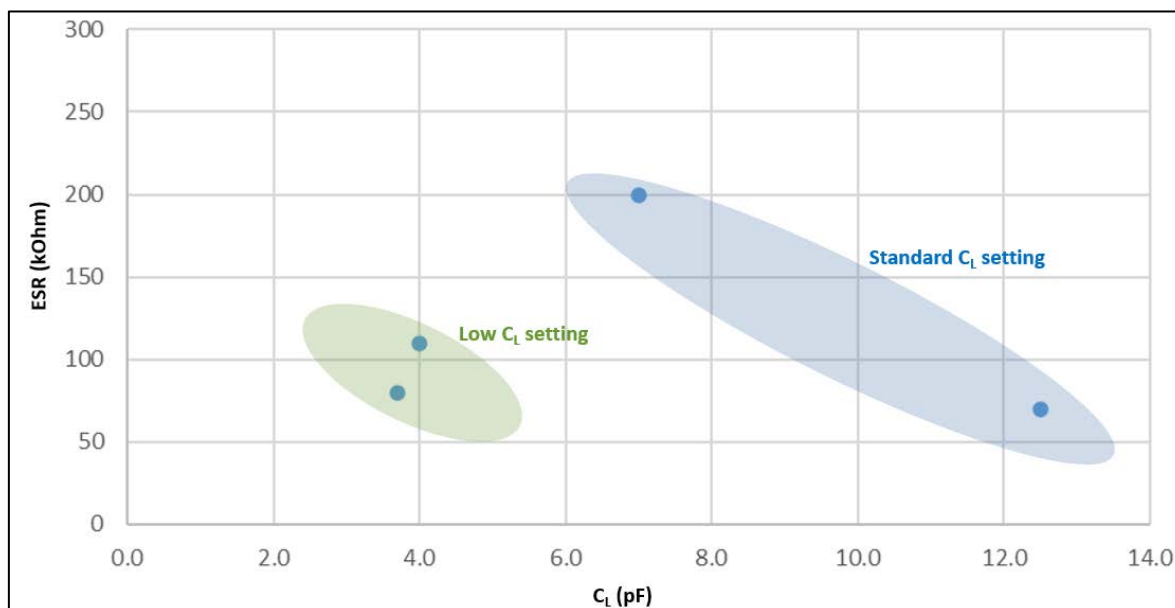
図 7 Group 3 サブクロック : C_L vs ESR max

表 9 Group 4 メインクロックのマッチング評価結果

Main Clock Oscillator Driving Setting 注4	Resonator specification		Evaluation board implementation			Evaluation results			
	Frequency (MHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (Ohm)	Recommend ESR_max (Ohm)	V _{oh}	V _{ol}
1 MHz ≤ Setting < 10 MHz	4.0	8.0	0	8.0	8.0	-2500	500	N/A	N/A
	4.0	8.0	0	8.0	8.0	-2900	580	N/A	N/A
	8.0	8.0	0	10	10	-634	120	N/A	N/A
	8.0	8.0	0	6.0	6.0	-1171	230	N/A	N/A
10 MHz ≤ Setting ≤ 20 MHz	10	8.0	0	7.0	7.0	-810	160	N/A	N/A
	10	8.0	0	6.0	6.0	-1010	200	N/A	N/A
	12	8.0	0	9.0	9.0	-670	130	N/A	N/A
	16	8.0	0	9.0	9.0	-360	70	N/A	N/A
	20	8.0	0	9.0	9.0	-230	40	N/A	N/A

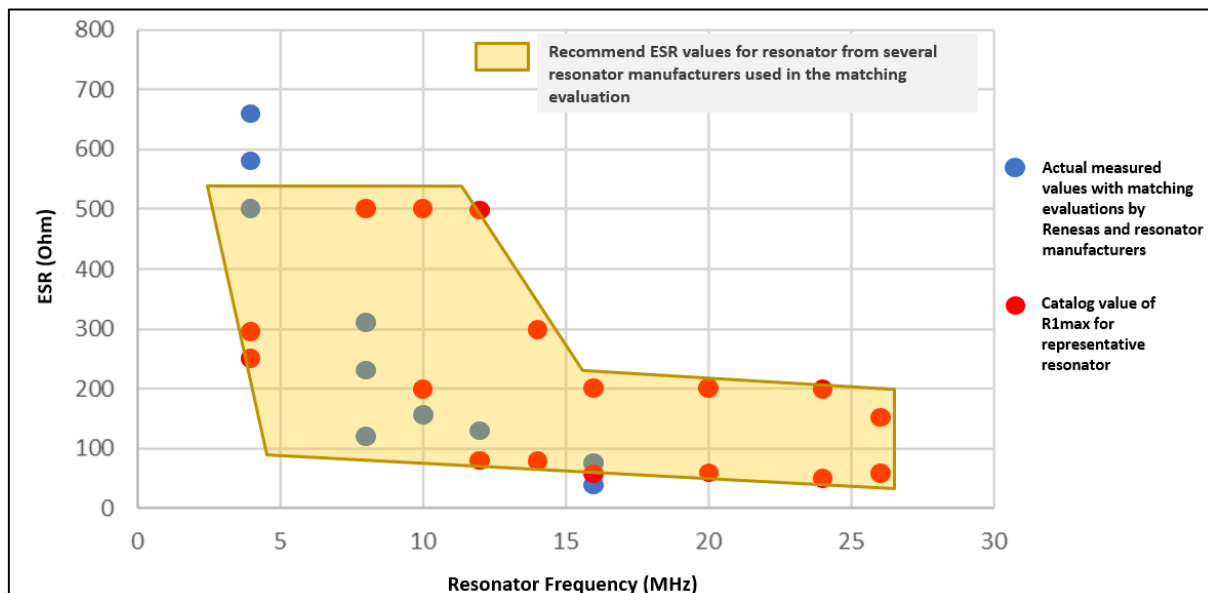


図 8 Group 4 メインクロック : Resonator Frequency vs ESR max

表 10 Group 4 サブクロックのマッチング評価結果

Sub Clock Oscillator Driving Setting 注5	Resonator specification		Evaluation board implementation			Evaluation results	
	Frequency (kHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (kOhm)	Recommend ESR_max (kOhm)
Low C _L 注6	32	4.0	0	5.0	5.0	-2320	460
	32	6.0	0	9.0	9.0	-1060	210

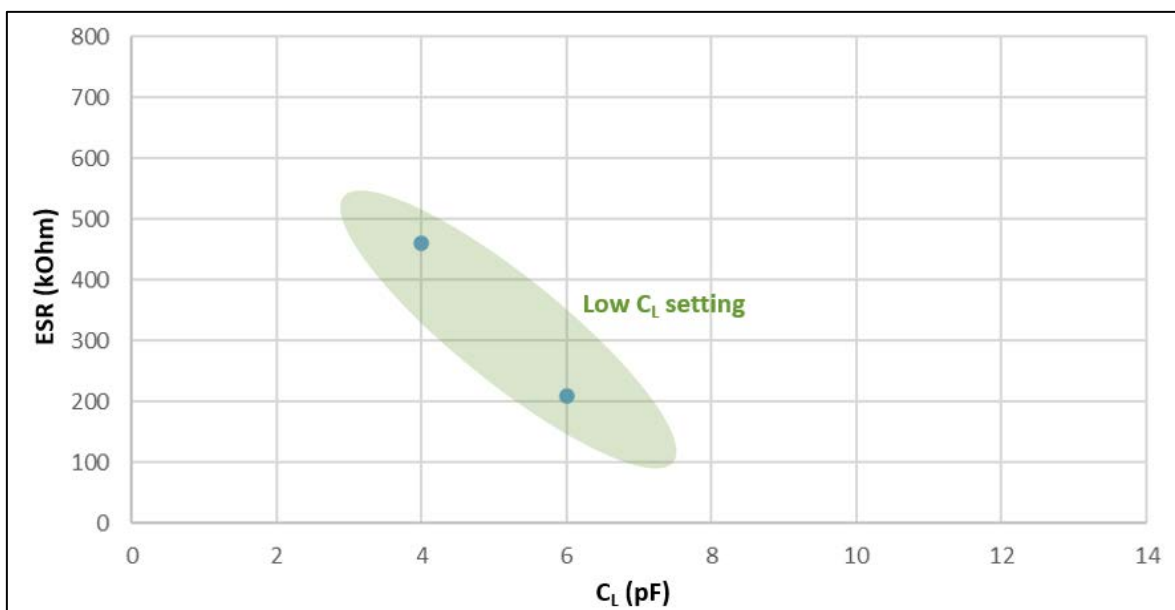


図 9 Group 4 サブクロック : C_L vs ESR max

表 11 Group 5 サブクロックのマッチング評価結果

Sub Clock Oscillator Driving Setting ^{注5}	Resonator specification		Evaluation board implementation			Evaluation results	
	Frequency (kHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (kOhm)	Recommend ESR_max (kOhm)
Low C _L (Low drive) ^{注6}	32	3.7	0	4.0	4.0	-860	170
	32	4.4	0	5.0	6.0	-600	120
	32	6.0	0	9.0	9.0	-340	60
Low C _L (Medium drive) ^{注6}	32	4.4	0	5.0	6.0	-1050	210
	32	6.0	0	9.0	9.0	-550	110
	32	7.0	0	10	12	-320	60
Low C _L (High drive) ^{注6}	32	6.0	0	8.0	8.0	-740	140
	32	7.0	0	10	12	-450	90

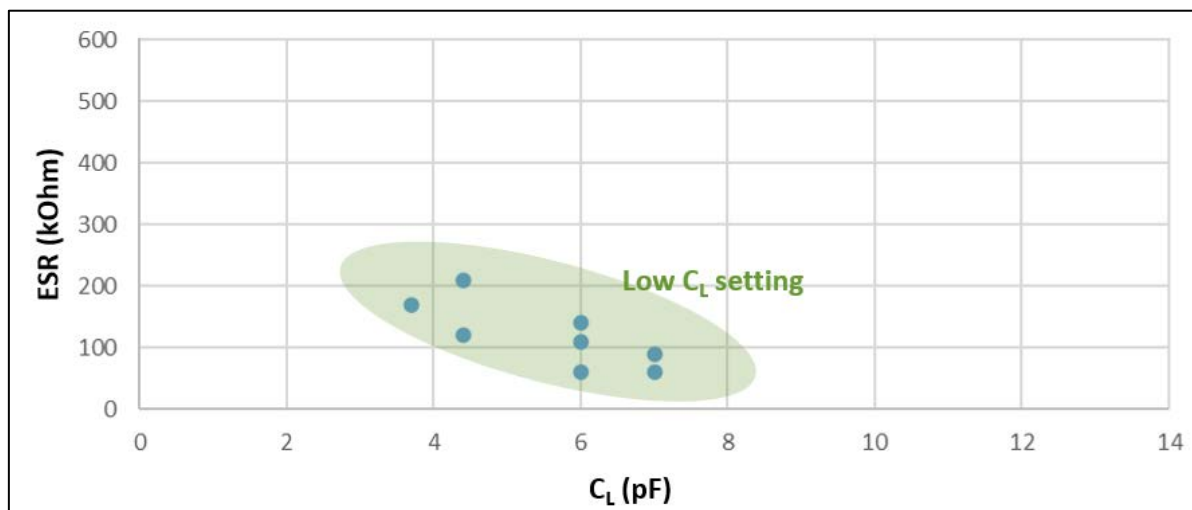
図 10 Group 5 サブクロック : C_L vs ESR max

表 12 Group 6 メインクロックのマッチング評価結果

Main Clock Oscillator Driving Setting 注4	Resonator specification		Evaluation board implementation			Evaluation results			
	Frequency (MHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (Ohm)	Recommend ESR_max (Ohm)	V _{oh}	V _{ol}
1 MHz ≤ Setting < 10 MHz	8.0	6.0	330	5.0	5.0	-3440	680	1.58	0.02
10 MHz ≤ Setting ≤ 20 MHz	20	5.0	330	5.0	5.0	-1150	230	1.48	-0.04

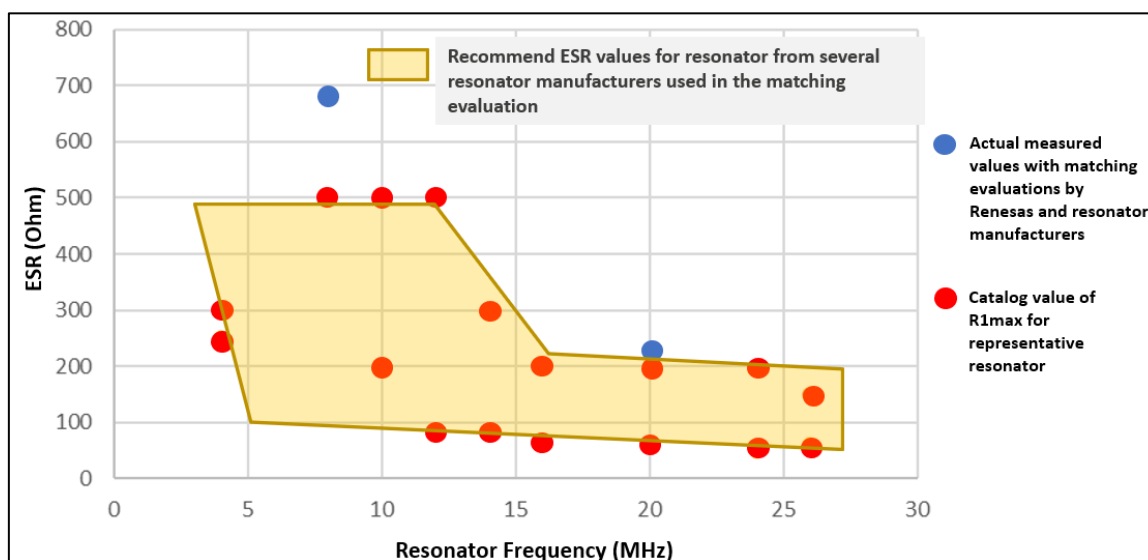


図 11 Group 6 メインクロック : Resonator Frequency vs ESR max

表 13 Group 6 サブクロックのマッチング評価結果

Sub Clock Oscillator Driving Setting ^{注5}	Resonator specification		Evaluation board implementation			Evaluation results	
	Frequency (kHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (kOhm)	Recommend ESR_max (kOhm)
Low C _L (Low drive) ^{注6}	32	3.7	0	2.0	3.0	-340	60
	32	4.0	0	3.0	3.0	-300	60
	32	6.0	0	2.0	2.0	-290	50
Low C _L (Medium drive) ^{注6}	32	6.0	0	7.0	7.0	-300	60
Low C _L (High drive) ^{注6}	32	6.0	0	7.0	7.0	-610	120
	32	7.0	0	10	10	-590	110
	32	9.0	0	15	15	-350	70
Standard C _L ^{注6}	32	6.0	0	7.0	7.0	-1340	260
	32	9.0	0	16	15	-760	150
	32	12.5	0	22	22	-420	80

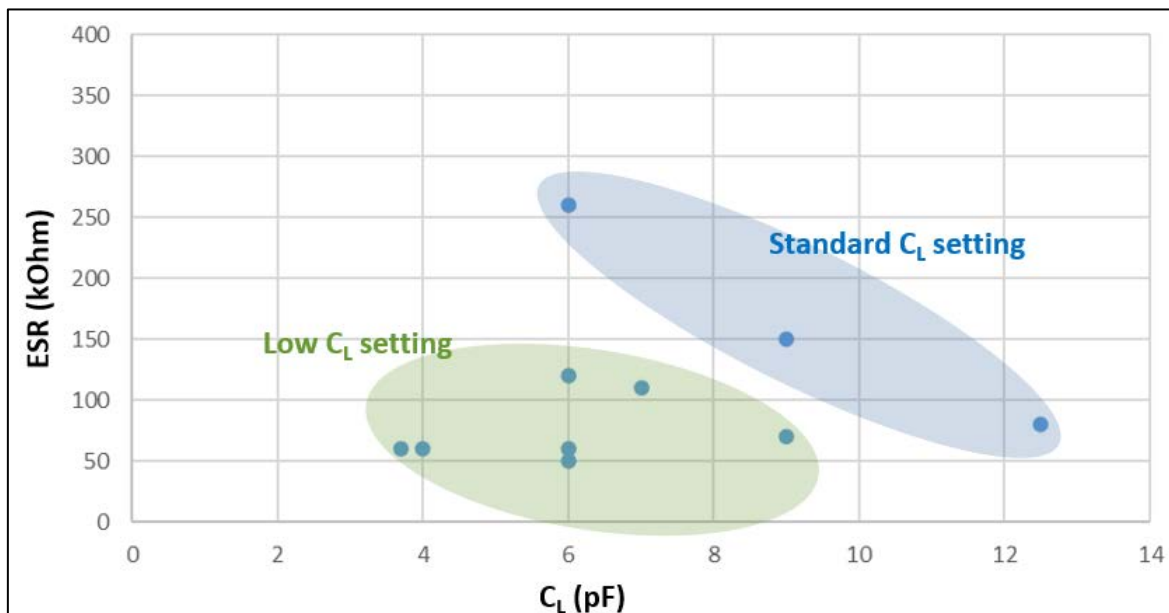


図 12 Group 6 サブクロック : C_L vs ESR max

表 14 Group 7 メインクロックのマッチング評価結果

Main Clock Oscillator Driving Setting 注4	Resonator specification		Evaluation board implementation			Evaluation results			
	Frequency (MHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (Ohm)	Recommend ESR_max (Ohm)	V _{oh}	V _{ol}
1 MHz ≤ Setting < 10 MHz	8.0	8.0	0	8.0	8.0	-2860	480	1.50	0.06
10 MHz ≤ Setting ≤ 20 MHz	12	8.0	0	8.0	8.0	-2060	410	1.54	-0.11
	16	8.0	0	8.0	8.0	-1246	240	1.56	-0.09
	20	5.0	470	4.0	4.0	-1360	270	1.53	-0.02

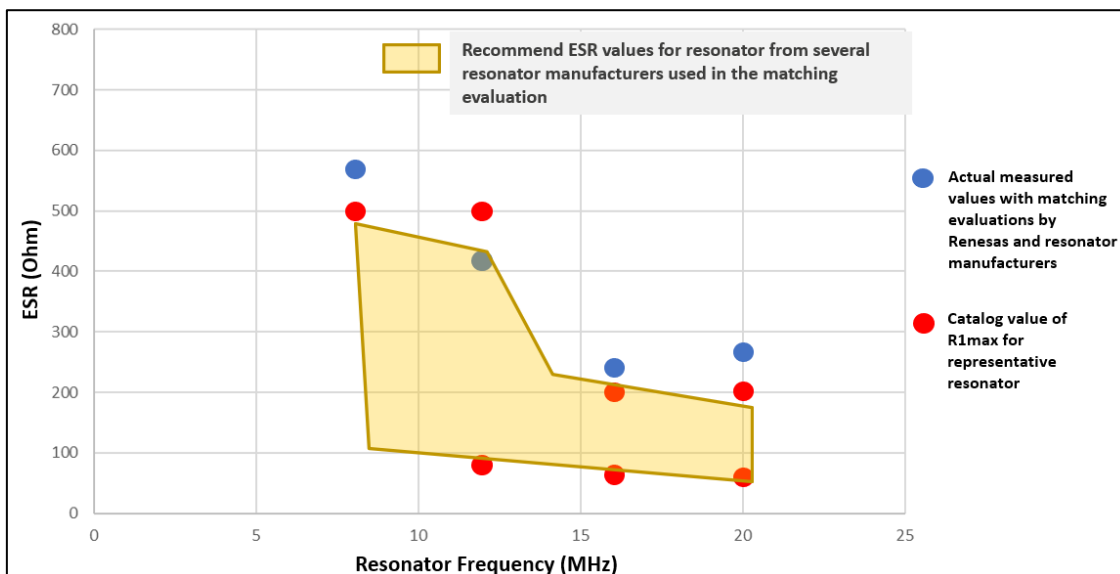
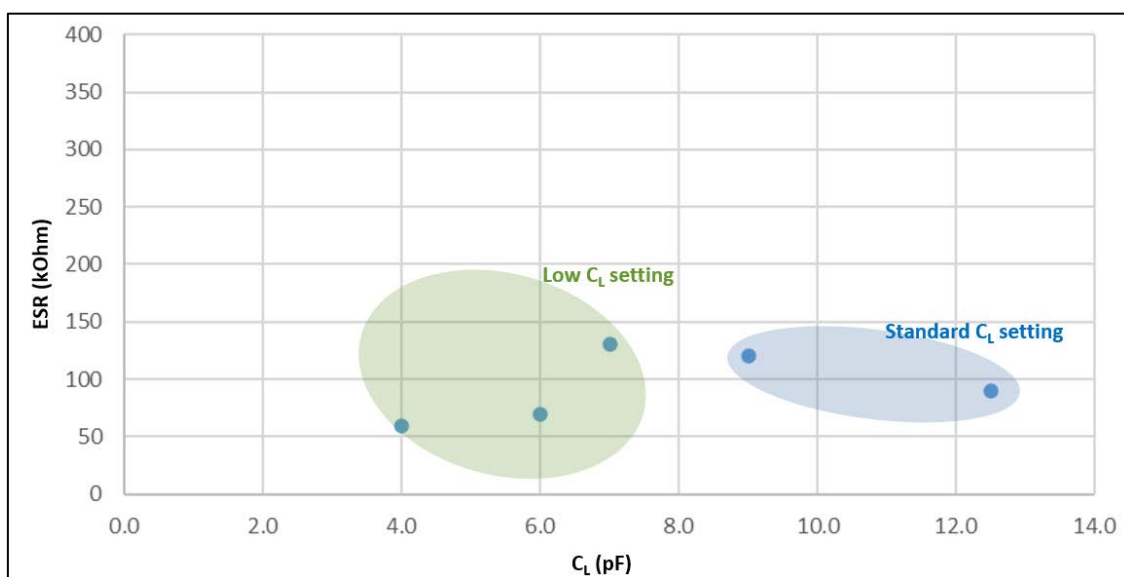


図 13 Group 7 メインクロック : Resonator Frequency vs ESR max

表 15 Group 7 サブクロックのマッチング評価結果

Sub Clock Oscillator Driving Setting ^{注5}	Resonator specification		Evaluation board implementation			Evaluation results	
	Frequency (kHz)	C _L (pF)	R _d (Ohm)	C _{L1} (pF)	C _{L2} (pF)	Negative R (kOhm)	Recommend ESR_max (kOhm)
Low C _L (Low drive) ^{注6}	32	4.0	0	4.0	4.0	-305	60
Low C _L (Medium drive) ^{注6}	32	6.0	0	9.0	9.0	-384	70
Low C _L (High drive) ^{注6}	32	7.0	0	10	12	-669	130
Standard C _L ^{注6}	32	9.0	0	15	18	-672	120
	32	12.5	0	22	22	-452	80

図 14 Group 7 サブクロック : C_L vs ESR max

注 4 : メインクロックの駆動能力レジスタの設定は、RX, RA 共にユーザーズマニュアル ハードウェア編の「クロック発生回路」の章を参照してください。

設定例) RX66N の場合、MODRV2[1:0] = b11 (駆動能力 8 MHz)

RA4E2 の場合、MODRV[1:0] = b11 (駆動能力 8 MHz)

注 5 : サブクロックの駆動能力レジスタの設定は、下記を参照してください。

RX : ユーザーズマニュアル ハードウェア編の「リアルタイムクロック」の章

RA : ユーザーズマニュアル ハードウェア編の「クロック発生回路」の章

設定例) RX66N の場合、RTCDV[2:0] = b110 (Standard C_L)

RA4E2 の場合、SODRV[1] = b0 (Normal C_L)

注 6：駆動能力の大小関係は下記の通りです。

本アプリケーションノート における表記	RX ファミリのユーザーズ マニュアルにおける表記	RA ファミリのユーザーズ マニュアルにおける表記	駆動能力
Standard C_L	Standard C_L	Normal mode	4 (最高)
Low C_L (High drive)	Low C_L (High drive)	Low power mode 1	3
Low C_L (Medium drive)	Low C_L (Medium drive)	Low power mode 2	2
Low C_L (Low drive)	Low C_L (Low drive)	Low power mode 3	1 (最低)

5. 発振評価と発振回路定数の算出方法

この章ではマッチング評価をご自身で行う場合の外部コンポーネントを選定する方法や選定した後の発振評価方法を記載しています。発振子の発振安定性は、発振子の ESR に対して負性抵抗やトランスコンダクタンスが十分に大きいかどうかで決まります。

5.1 負性抵抗の測定方法

発振回路の負性抵抗を測定するには、図 15 のように発振子と直列に抵抗を挿入して、MCU のクロック出力の発振が維持できる抵抗の最大値を確認します。MCU のクロック出力の波形をオシロスコープで観測する際は FET プローブ（低容量/高入力インピーダンス）を使用してください。直列に挿入する抵抗の抵抗値は発振子の ESR(等価直列抵抗)の 5 倍程度を推奨します。

ESR の 5 倍程度の抵抗値の抵抗を挿入した状態で MCU のクロック出力が発振していない場合は、MCU の発振駆動能力を上げる対策を推奨します。さらにもしダンピング抵抗を実装している場合は、ダンピング抵抗値を下げるか削除してください。

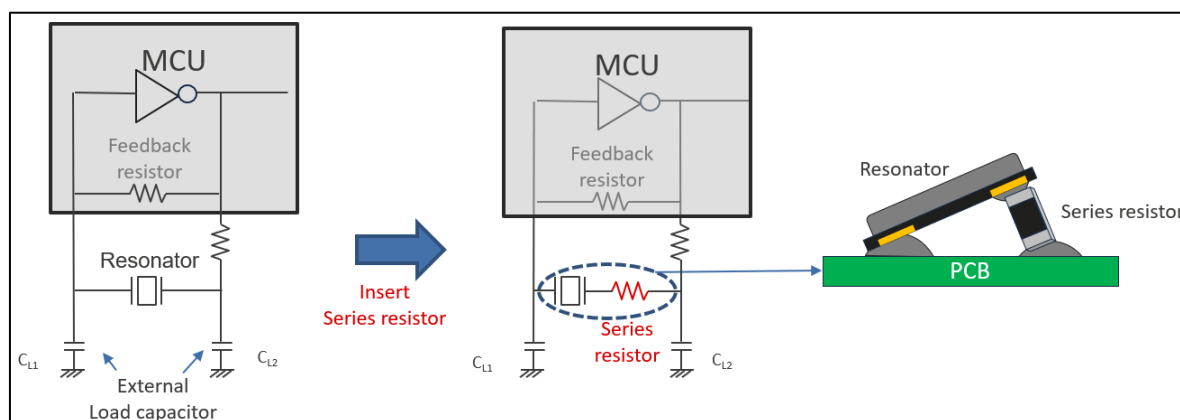


図 15 負性抵抗の測定方法

5.2 励振電力の測定方法

励振電力 (μW) は図 16 の様に発振子と基板間に挿入した配線に電流プローブをクランプして測定した励振電流 (I_{RMS}) と発振子の等価直列抵抗 (R_{load}) を用いて下記の式で算出します。

■ 励振電力 = $R_{\text{load}} * I_{\text{RMS}}^2$ (μW)

励振電力が発振子の規格を超えていた場合は以下の対策を検討してください。

- ・基板にダンピング抵抗を実装する。
 - ・MCU の発振器駆動能力を下げる。
- 各 MCU の発振器駆動能力の設定の大小関係は 4 章の注 6 を参照してください。

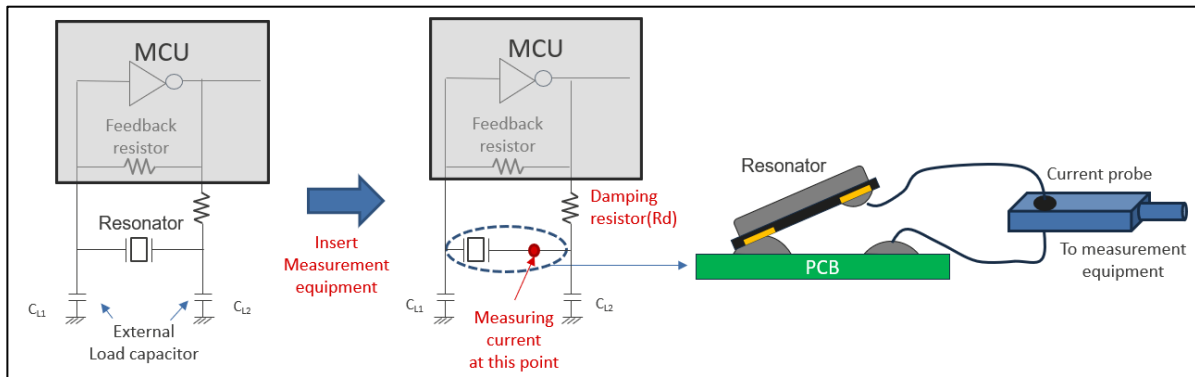


図 16 励振電力の測定方法

5.3 発振振幅電圧の測定方法

5.1 章と 5.2 章を参考にして選定した外部コンポーネントを実装した基板を準備してください。図 17 に示すように MCU の XTAL/XCOUT と VSS に FET プロブを当てて発振振幅電圧を測定してください。もし測定結果が MCU の入力電圧の絶対最大定格を超えていた場合は以下の対策を検討してください。

- ・基板にダンピング抵抗を実装する。
- ・MCU の発振器駆動能力を下げる。

各 MCU の発振器駆動能力の大小関係は 4 章の注 6 を参照してください。

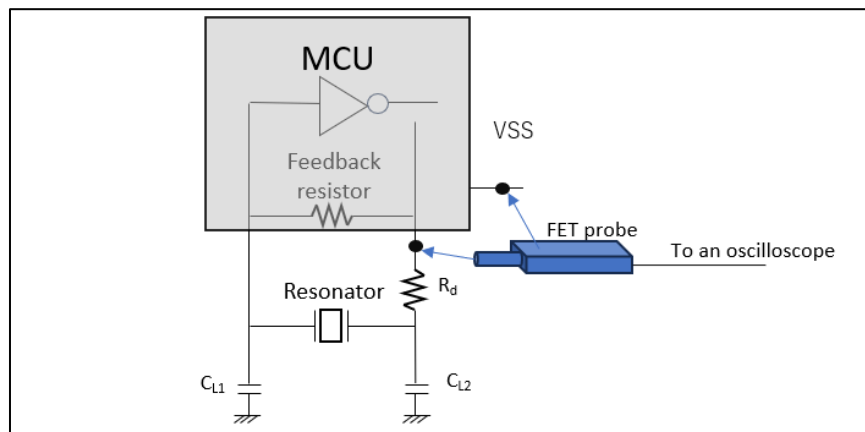


図 17 発振振幅電圧の測定方法

5.4 負荷容量の決定方法

外部負荷容量を決定するには発振周波数が最適値になるように実測しながら容量値を調整する方法が一般的です。もし実測せずに外部負荷容量の容量値を決定したい場合は下記を例に算出してください。

負荷容量の容量値 (C_L) を正確に求めるには 図 18 (Exact Version) のように基板の寄生容量を含めて計算する必要がありますが、このアプリケーションノートでは計算を簡単にするために基板の寄生容量値を“ゼロ”とする図 18 (Simplified Version) の式を使います。その他の条件は下記の条件を用います。

- ・ C_L : 外部負荷容量の容量値は発振子メーカーが推奨する値を使用します。ここでは代表的な値として $C_L = 8 \text{ pF}$ を用います。
- ・ C_{L1}, C_{L2} : 同じ容量値とします。 ($C_{L1} = C_{L2}$)
- ・ C_{ps} : MCU の端子間容量の代表的な値は 1 pF です。正確に計算したい場合は実際に測定した値を用います

これらの値を図 18(Simplified Version)の式に当てはめると、実装する外部負荷容量の容量値 (C_{L1} , C_{L2}) は 14 pF となります。

■ $C_{L1} = C_{L2} = (C_L - C_{PS}) * 2 = (8 - 1) * 2 = 14 \text{ pF}$

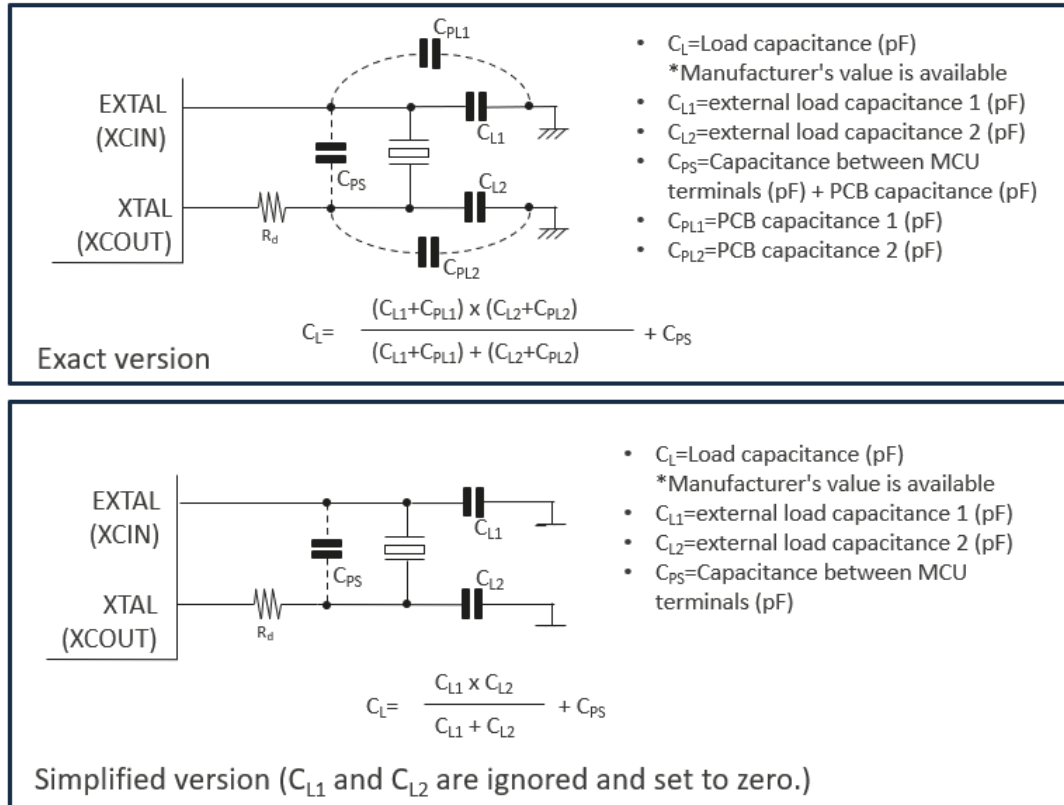


図 18 外部負荷容量 (C_{L1} , C_{L2}) の算出式

5.5 相互コンダクタンスの算出方法

MCUの発振回路の相互コンダクタンス (G_m) は下記の式で算出できます。式中の R , C_{L1} , C_{L2} は4章に記載したマッチング評価結果の値を参考にしてください。なお計算結果は参考値であり保証値ではありません。

- $G_m = |R| * (\omega^2 \times C_{L1} \times C_{L2})$ *ダンピングレジスタ (R_d) の抵抗値が 0 Ohm の場合
- R : Negative Resistance (Ohm)
 - ω : Angular frequency ($2\pi \times \text{frequency (Hz)}$) (rad/sec)
 - C_{L1} , C_{L2} : Load capacitance (pF)

6. 基板設計の要点

6.1 発振を安定させるための要点

6.1.1 EXTAL/XCIN、XTAL/XCOUT 配線の要点

(1)~(6)にEXTAL/XCIN、XTAL/XCOUT配線の要点を示します。また、図19~図22にパターン例を示します。

- (1) EXTAL/XCIN、XTAL/XCOUT配線は他の信号線と交差させないでください。
- (2) EXTAL/XCIN、XTAL/XCOUT配線にテスト端子を設けないでください。
- (3) EXTAL/XCIN、XTAL/XCOUT配線の幅は0.1 mm~0.3 mmとし、MCUの端子から発振子の端子までの配線長はできるだけ10 mm 以内にしてください。
- (4) EXTAL/XCIN端子に接続した配線とXTAL/XCOUT端子に接続した配線は、できるだけ(少なくとも0.3 mm 以上の)間隔をあけてください。
- (5) 2つの外部負荷容量を最短距離の配線で接続し、その配線を部品面にあるグランドパターン（以下、グランドシールドとする。詳細については6.1.2章を参照してください。）に接続してください。基板のMCU付近に余地が無くて外部負荷容量を図19~図21のようにMCUの近くに配置できない場合は、図22のように配置してください。
- (6) EXTAL/XCIN、XTAL/XCOUT間の寄生容量を減らすために発振子とMCUの間にグランドパターンを設けてください。

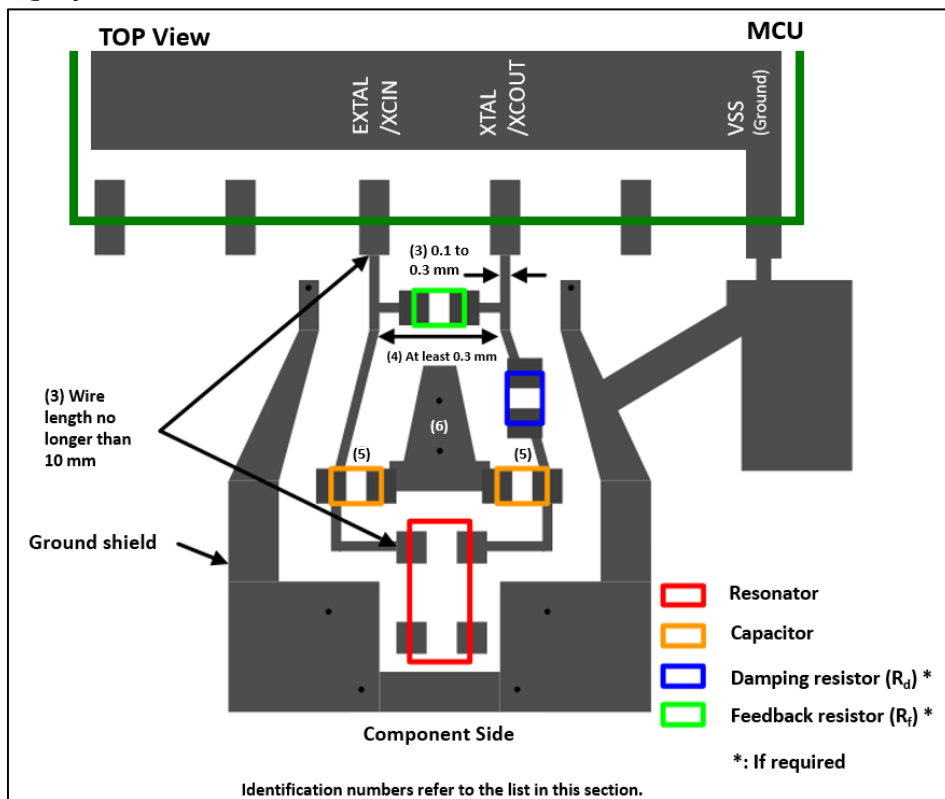


図 19 EXTAL/XCIN、XTAL/XCOUT 配線のパターン例：LQFP パッケージ

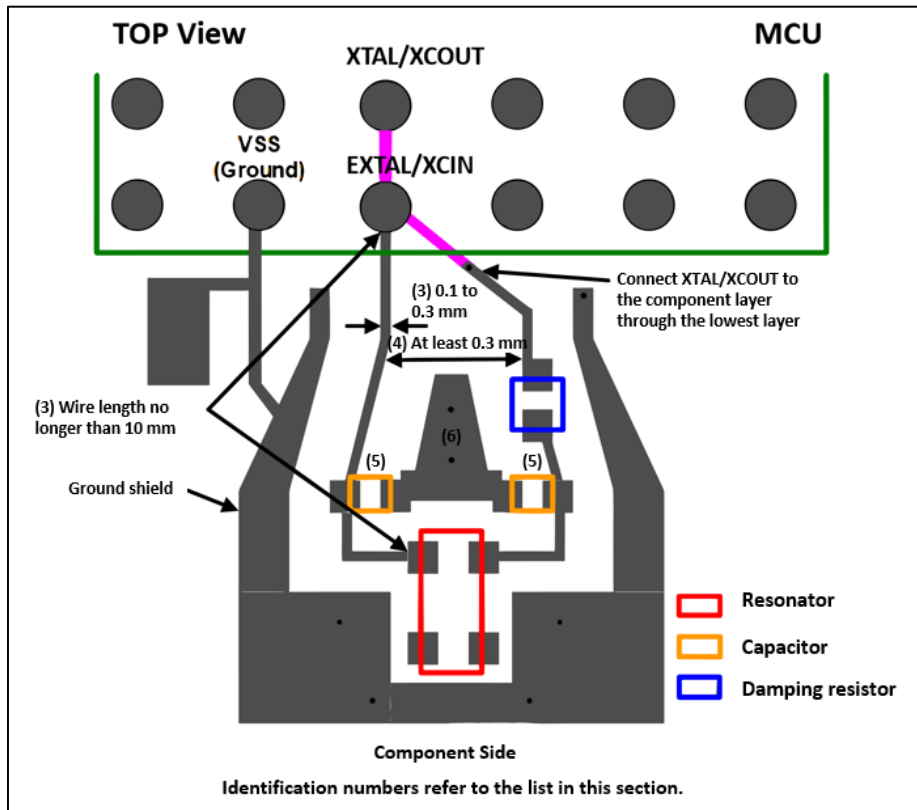


図 20 EXTAL/XCIN、XTAL/XCOUT 配線のパターン例：LGA パッケージ

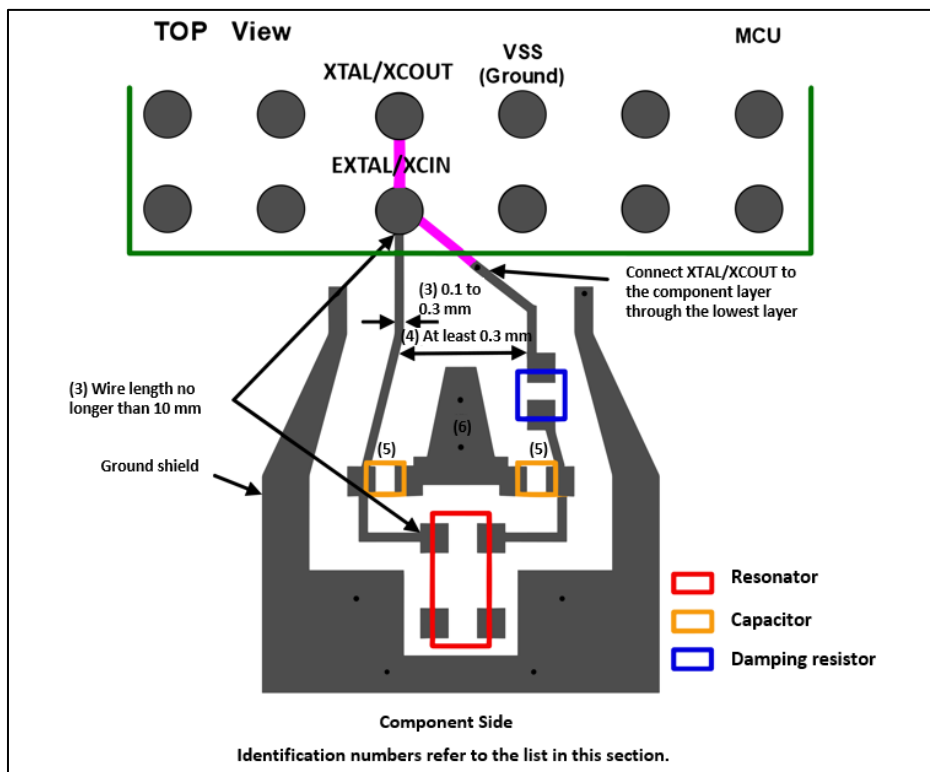


図 21 EXTAL/XCIN、XTAL/XCOUT 配線のパターン例：BGA パッケージ

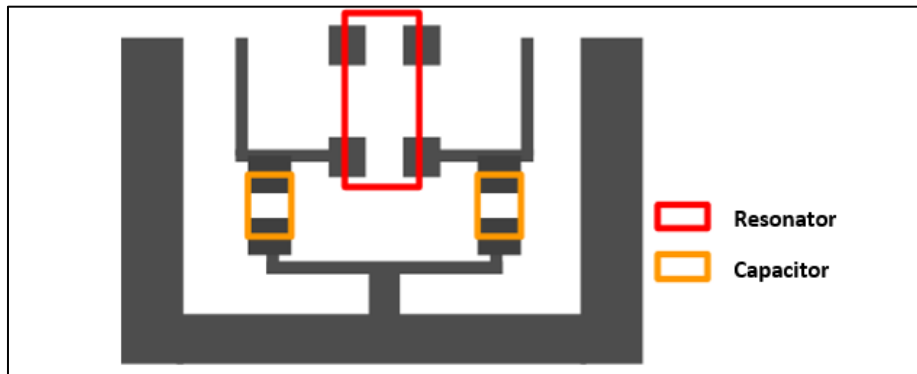


図 22 2つの外部容量を MCU 付近に配置することが難しい場合のパターン例

6.1.2 グランドシールドの要点

発振子の周りをグランドパターンでシールドしてください。(1)~(4)にグランドシールドの要点を示します。図 23~図 25 にパターン例を示します。

また、図 26 に示すようにメインクロック発振回路とサブクロック発振回路のグランドシールドは連続したパターンにしないでください。メインクロック発振回路のグランドシールドとサブクロック発振回路のグランドシールドが直接接続されていると、メインクロック発振子の出力がノイズとしてサブクロックのグランドシールドに伝搬し、サブクロックの発振に影響を与える恐れがあります。

- (1) グランドシールドは発振子の配線と同一層に配置してください。
- (2) グランドシールドのトレース幅は少なくとも 0.3 mm 以上とし、グランドシールドと他のトレースとの間に 0.3~2.0 mm の間隔をあけてください。
- (3) グランドシールドを MCU の VSS ピンのできるだけ近くに配線し、トレース幅を少なくとも 0.3 mm 以上にしてください。
- (4) グランドシールドに電流が流れることを防ぐため、グランドシールドと基板上のグランドは基板上の VSS ピン付近で分岐させてください。

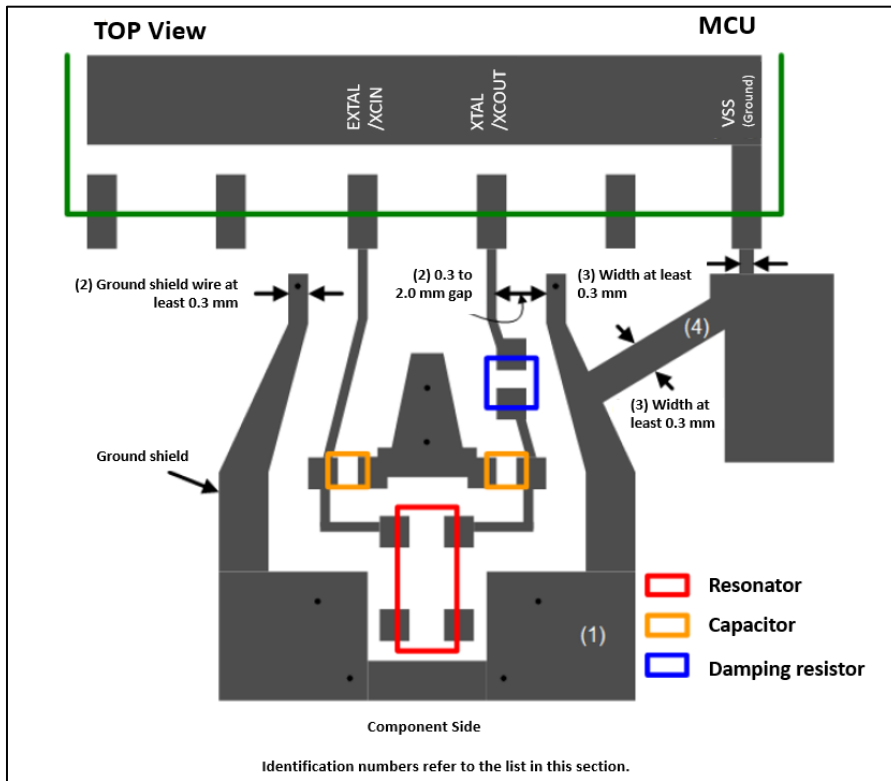


図 23 グランドシールドのトレース例：LQFP パッケージ

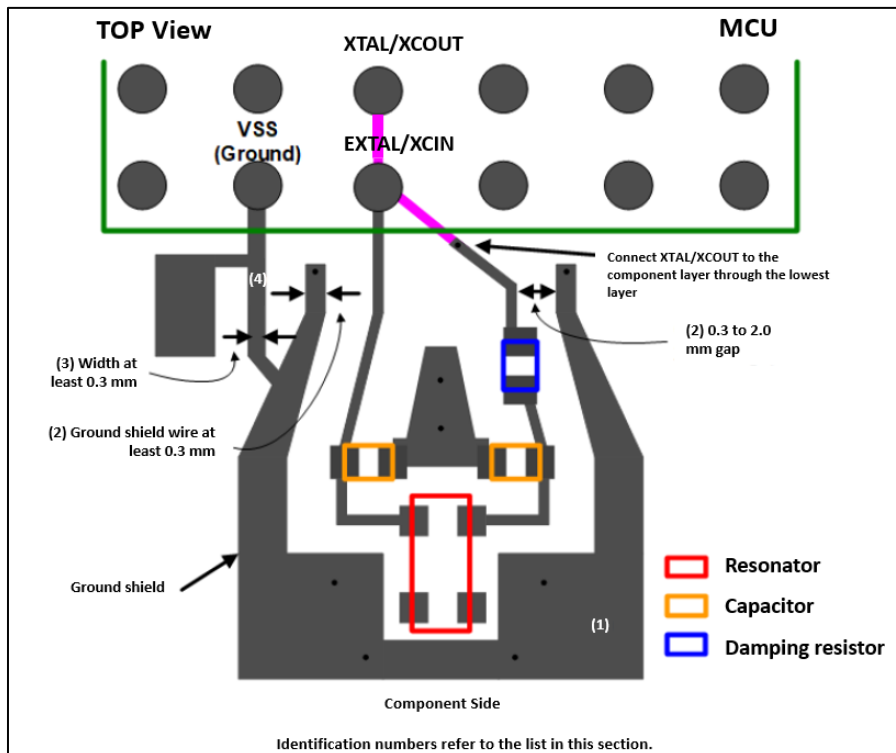


図 24 グランドシールドのトレース例：LGA パッケージ

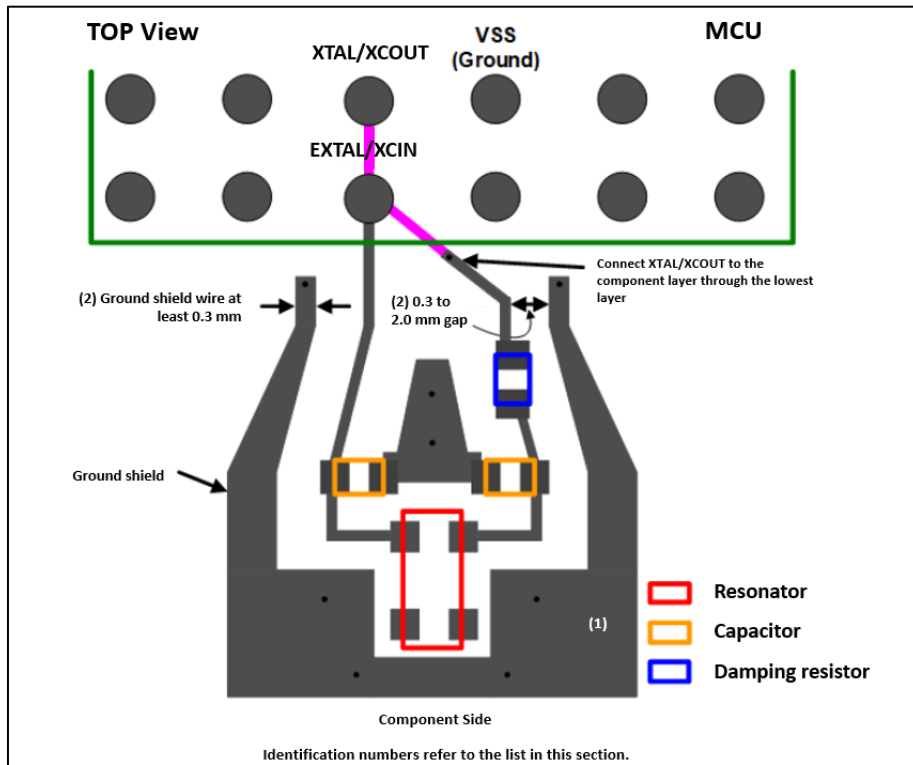


図 25 グランドシールドのトレース例：BGA パッケージ

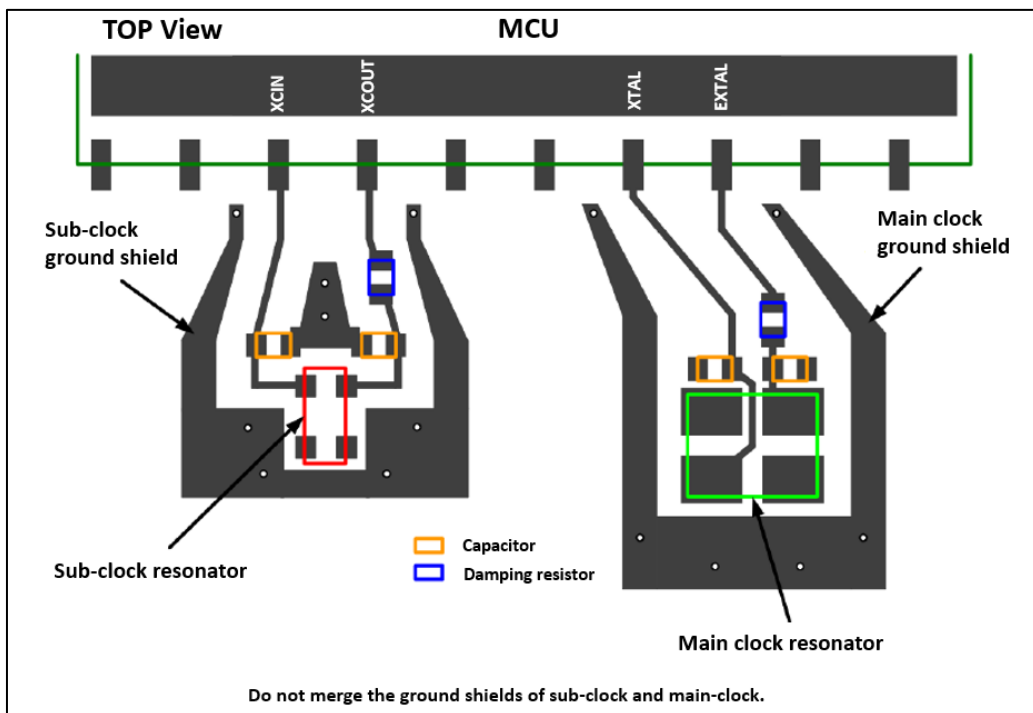


図 26 メインクロックとサブクロックのグランドシールドの配置例

6.1.3 ボトムグラウンドの要点

6.1.3.1 厚さ 1.2 mm 以上の多層基板の場合

厚さ 1.2 mm 以上の多層基板では、発振子エリア（図 27～図 29 参照）のハンダ面にグランドパターン（以下、ボトムグラウンドとする）を配置してください。

下記にボトムグラウンドの要点を示します。また、図 27～図 29 にパッケージごとのパターン例を示します。

- (1) 発振子エリアの中層には電源、グラウンド、信号線のパターンを配置しないでください。層間の寄生容量、クロストークが安定した発振を阻害する恐れがあります。
- (2) 部品面のグラウンドシールドの終端はボトムグラウンドと接続してください。終端がボトムグラウンドに接続されずに開放端になっている場合は、グラウンドシールドがアンテナとして働いてノイズの発生源になるリスクがあります。
- (3) ボトムグラウンドはグラウンドシールドより 0.1 mm 以上大きくしてください。
 - LQFP、LGA/BGA（VSS が外側の列に配置）の場合：
ボトムグラウンドは部品面のグラウンドシールドだけに接続してください。
ボトムグラウンドと VSS 端子は直接接続せず、グラウンドシールドを経由して接続してください。
ボトムグラウンドとグラウンドシールドには VSS 端子以外のグラウンドを接続しないでください。
 - LGA/BGA（VSS が内側の列に配置）の場合：
ボトムグラウンドは VSS 端子と直接接続してください。
ボトムグラウンドとグラウンドシールドには VSS 端子以外のグラウンドを接続しないでください。

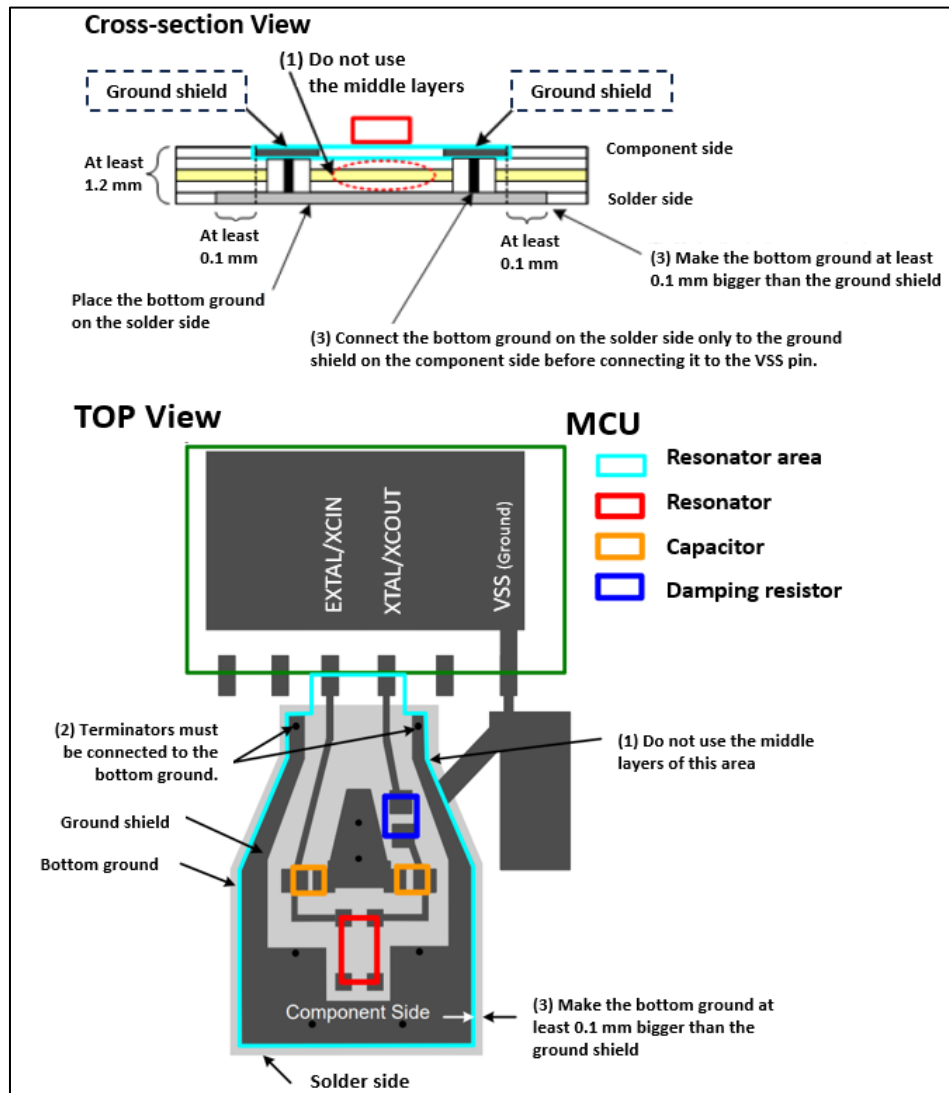


図 27 厚さが 1.2 mm 以上の多層基板のパターン例： LQFP パッケージ

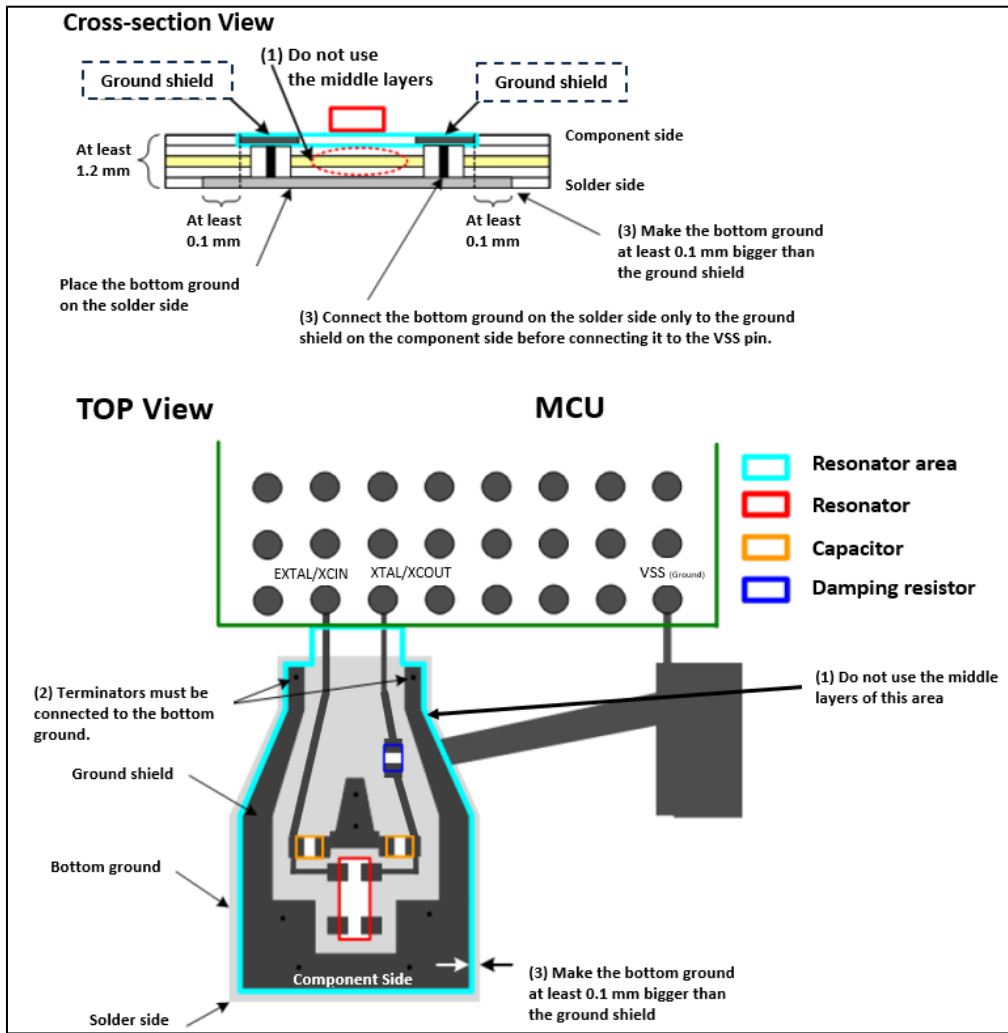


図 28 厚さが 1.2 mm 以上の多層基板のパターン例 : LGA/BGA パッケージ (VSS が外側の列に配置)

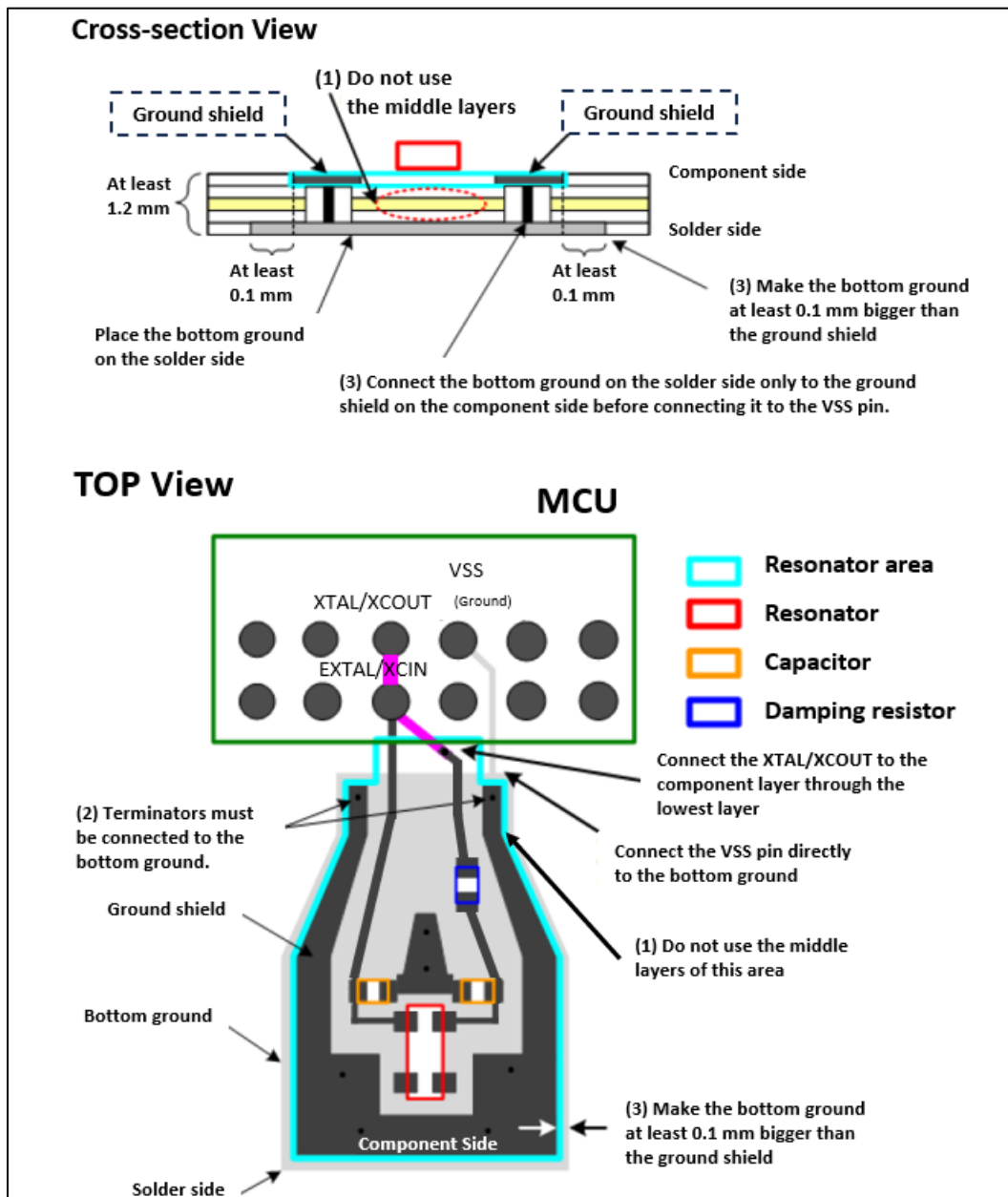


図 29 厚さが 1.2 mm 以上の多層基板のパターン例 : LGA/BGA パッケージ (VSS が内側の列に配置)

6.1.3.2 厚さが 1.2 mm 未満の多層基板の場合

下記にボトムグラウンドの要点を示します。また、図 30 にパターン例を示します。

- (1) 発振子エリアの中層には電源、グラウンド、信号線のパターンを配置しないでください。
半田面にも電源、グラウンド、信号線のパターンを配置しないでください。
層間の寄生容量、クロストークが安定した発振を阻害する恐れがあります。

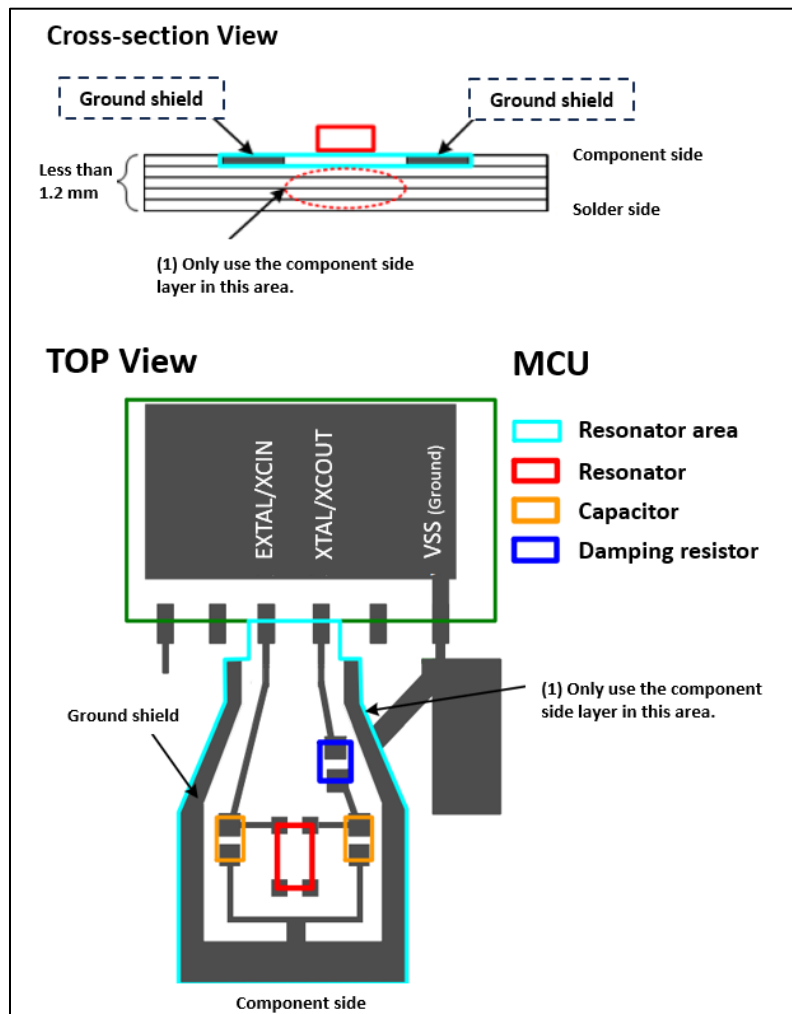


図 30 厚さが 1.2 mm 未満の多層基板のパターン例：LQFP パッケージ

6.1.4 その他の要点

下記に LQFP を含むその他のパッケージにも共通な要点を示します。また、図 31 に例として LQFP のパターンを示します。

- (1) EXTAL/XCIN、XTAL/XCOOUT の配線に大きな電流変化がある配線を接近させないでください。
- (2) EXTAL/XCIN、XTAL/XCOOUT の配線は隣接する端子の配線など他の信号線と並走させないでください。
- (3) EXTAL/XCIN、XTAL/XCOOUT に隣接する端子の配線は EXTAL/XCIN、XTAL/XCOOUT の配線と並走させないでください。それらはそのまま MCU の外側に引き出さず、いったん MCU 下部を経由させてから EXTAL/XCIN、XTAL/XCOOUT 端子から離れた所から引き出してください。
- (4) MCU の下部には可能な限りグランドパターンを配置してください。

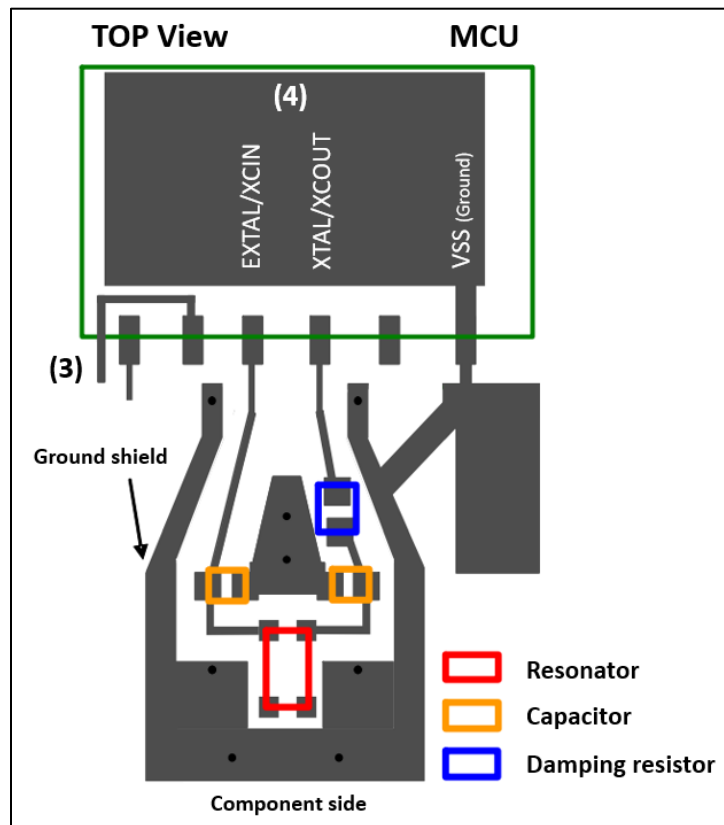


図 31 その他の要点のパターン例：LQFP

6.2 ノイズによる誤動作のリスクが大きいパターン例

発振子が正常に発振しなかったり EMI が増加したりする原因となるので、どのパッケージでも下記に示すようなパターンは避けてください。図 32 に誤動作のリスクが大きいパターン例を示します。

- (1) EXTAL/XCIN、XTAL/XCOU の配線が他の信号線と交差している。
クロストークの影響により MCU が誤動作するリスクがあります。
- (2) EXTAL/XCIN、XTAL/XCOU の配線にテスト端子が付いている。
配線のインピーダンス不整合や発振波形の反射によって、発振が不安定になるリスクがあります。
- (3) EXTAL/XCIN、XTAL/XCOU の配線が長い。
寄生容量、インダクタンスによって、発振が不安定になるリスクや精度が劣化するリスクがあります。また、EMI の発生源となります。
- (4) グランドシールドが発振エリア全体を覆っていない、基板グランドからの配線が長いまたは配線が細い。
発振回路がノイズの影響を受けやすくなります。
MCU と外部負荷容量の間にグランド電位差が発生して発振周波数の精度が劣化するリスクがあります。
- (5) グランドシールドが VSS 端子のすぐ側で基板グランドと分離されていない。
MCU の動作電流がグランドシールドに流れてノイズになり、自家中毒によって MCU が誤動作するリスクがあります。
- (6) EXTAL/XCIN、XTAL/XCOU の配線の下に電源、グランドパターンがある。
寄生容量やインピーダンス、ノイズによるクロック抜けにより、発振回路の発振が停止するリスクがあります。
- (7) EXTAL/XCIN、XTAL/XCOU の配線の近くに大電流が流れる配線が通っている。
クロストークの影響により、発振回路の発振が停止するリスクがあります。

- (8) EXTAL/XCIN、XTAL/XCOUT の配線と隣の端子の配線との距離が近く並走長が長い。クロストークの影響により、発振回路の発振が停止するリスクがあります。
- (9) 発振子エリア内の中間層を使用している。グランド・電源層がある場合は寄生容量によって発振特性が低下するリスクがあります。信号線がある場合はクロストークによって発振回路または信号線が誤動作するリスクがあります。
- (10) 発振エリアが基板の端に極端に近い。発振回路から基板の外に放射される EMI が増加する原因になります。

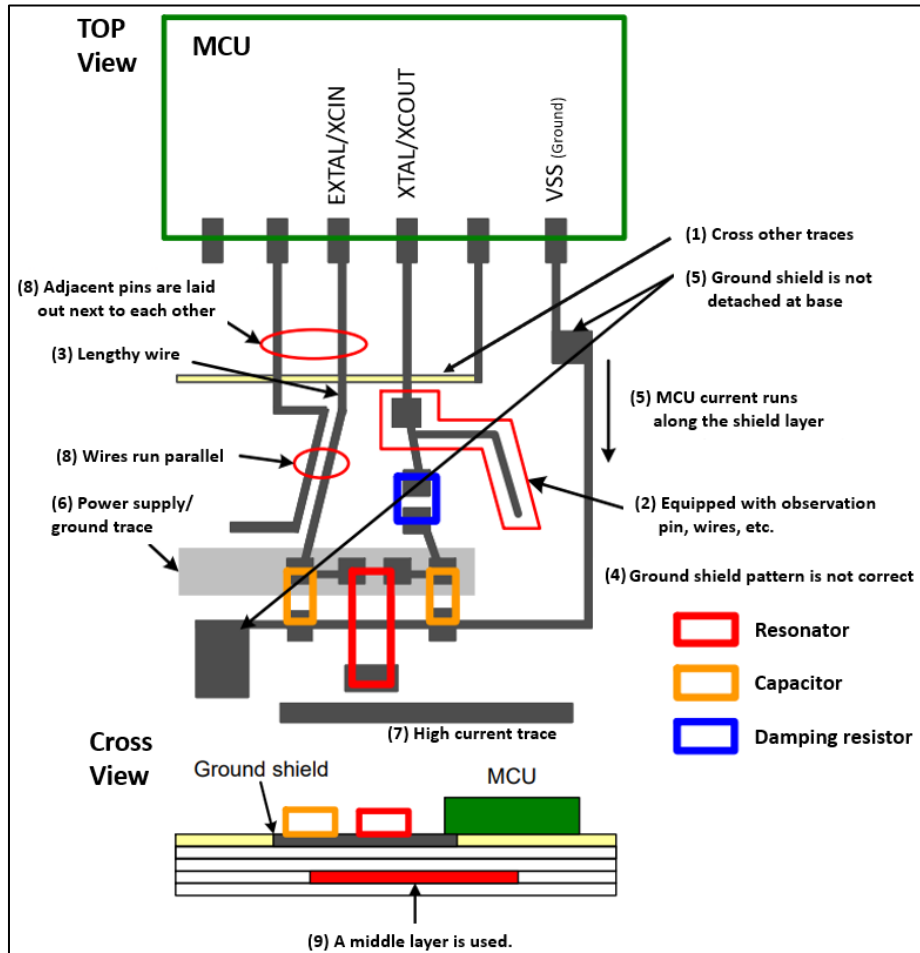


図 32 ノイズによる誤作動のリスクが大きいパターン例

7. 外部発振子の周波数精度測定

発振子メーカーとルネサスの双方が推奨しているように発振回路を正しく実装するには2つの外部負荷容量（図中の C_{L1} と C_{L2} ）が必要です。前章ではこれらの外部負荷容量の選定方法について説明しました。外部負荷容量の値が高すぎたり低すぎたりすると、クロックの長期的な精度に大きな影響を与え、信頼性が低下する可能性があります。外部負荷容量値は発振子と基板レイアウトの組み合わせによって決まるため、PCBの浮遊容量やクロック経路内の部品についても考慮する必要があります。

発振回路の精度を正しく判断するには、実際のハードウェアでクロック周波数を測定する必要がありますが、発振回路を直接測定すると不正確な測定結果になる可能性が高いです。外部負荷容量の一般的な値は5pFから30pFの範囲であり、一般的なオシロスコープのプロブの静電容量値は5pFから15pFの範囲です。プロブの追加静電容量は外部負荷容量の値に比べて大きいことから、測定結果を歪ませます。非常に高精度のオシロスコープ用プロブでさえ静電容量の最低値は1.5pF程度あり、これによって測定結果が歪む可能性があります。

以下にMCUを実装した評価ボードでクロック周波数精度を測定するための推奨方法を示します。この手順に従えば測定プロブの負荷容量が追加されることによる潜在的な測定誤差を排除することができます。

7.1 推奨テスト環境

- 測定対象デバイスのMCUが実装された評価ボードを1枚以上準備する。
- 測定対象デバイスのプログラミング・ツールとエミュレーション・ツールを準備する。
- 少なくとも6桁の精度を持ち、適切な校正が行われた周波数カウンタを準備する。

7.1.1 測定手順

- サブクロック回路のクロック水晶振動子入力をMCUのCLKOUT端子に接続する設定でMCUをプログラムする。
- 周波数カウンタをMCUのCLKOUT端子と適切なグランドに接続する。周波数カウンタは発振回路に直接接続しないでください。
- 周波数カウンタを設定し、CLKOUT端子の周波数を測定する。
- 数分間に渡って周波数カウンタで周波数を測定し、測定された周波数を記録する。

この手順はサブクロック発振子とメインクロック発振子の両方に使用することができます。発振子の精度に与える影響を確認するために、異なる負性容量値の値でテストを繰り返し、それぞれのクロックが最も正確なクロック周波数になる容量値を選択してください。

また測定精度を高めるために同じタイプの複数の基板でこの手順を繰り返すことを推奨します。

7.2 周波数精度の計算

周波数精度は、以下の式で計算することができます。

- f_m = 測定周波数
- f_s = 理想的な信号周波数
- f_e = 周波数誤差
- f_a = 周波数精度。通常、100 万分の 1 (ppm) または 10 億分の 1 (ppb) で表されます。

周波数誤差は次のように表すことができます。

$$f_e = |f_s - f_m|$$

周波数精度は次のように表すことができます。

$$f_a = \frac{f_e}{f_s} = \frac{|f_s - f_m|}{f_s}$$

周波数精度を百万分の一で表します。

$$f_{a(ppm)} = \frac{f_e}{f_s} \times 10^6$$

周波数精度を実際の時間からの偏差として表すこともできます。偏差を年間の秒数で表すには、以下の式を使用します。

$$\text{deviation} = 31,536,000 \text{ seconds per year} \times f_a$$

8. ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com>

お問合せ先

<http://japan.renesas.com/contact/>

改定履歴

Rev.	日付	説明	
		ページ	まとめ
1.00	2024 年 2 月	-	初回リリース
1.01	2024 年 6 月	-	第 7 章追加、マイナーアップデート

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装した基板についても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違っていると、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/