

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8SX ファミリ

## 0.18 $\mu$ m プロセス ユーザプログラムモードフラッシュメモリ書き換え

### 要旨

H8SX/1582F のユーザプログラムモードで、クロック同期式通信を利用したフラッシュメモリ（ユーザマップ）の書き換えを行いません。本アプリケーションノートは、主にスレーブ側について、説明するものです。特に断りのない限り、説明文はスレーブ側を示します。

### 動作確認デバイス

H8SX/1582F

### 目次

1. 仕様 .....	2
2. 適用条件 .....	6
3. 使用機能説明 .....	7
4. 動作説明 .....	9
5. スレーブ側通常プログラムソフトウェア説明 .....	21
6. スレーブ側書き込み/消去手続きプログラムソフトウェア説明 .....	28
7. スレーブ側クロック同期式シリアル通信プログラムソフトウェア説明 .....	49
8. 参照ドキュメント (注意事項) .....	61

## 1. 仕様

### 1.1 仕様概要

H8SX/1582F の内蔵フラッシュメモリは、ユーザが簡単に書き換えられる、信頼性の高い仕様を提供しています。ユーザは、デバイスに内蔵された消去モジュールまたは、書き込みモジュールを RAM 上へダウンロード後にサブルーチンコールして利用することでフラッシュメモリの消去/書き込みが行なえます。

本タスク例ではマスタ側フラッシュメモリに書き換えデータをおき、それをクロック同期式通信でスレーブ側へ送信し、以下の手順に従いスレーブ側フラッシュメモリに書き込みます。オンボード書き換えの構成例を図 1 に示します。マスタ、スレーブ間のクロック同期式通信接続図を図 2 に示します。

- スレーブ側はユーザブートモード、マスタ側はユーザモードでパワーオンリセットします。
- マスタ側のスイッチ 0 (SW0) が ON になると、マスタ側からスレーブ側にフラッシュメモリ書き換え開始コマンドを送信し、スレーブ側フラッシュメモリの書き換えを開始します。
- ユーザプログラムモードによるフラッシュメモリ書き換えを行ないます。
- マスタ側フラッシュメモリ上にある書き換えデータを、スレーブ側のフラッシュメモリに書き込みます。
- 書き換えデータの転送はクロック同期式通信で行ない、チャンネル 3 を使用します。マスタを転送元とし、スレーブを受信側とします。
- マスタ側、スレーブ側共に、フラッシュメモリ書き換え動作中は PD7 が Low, PD6 が High となり、フラッシュメモリ書き換え動作終了後は PD7 が High, PD6 が Low になります。

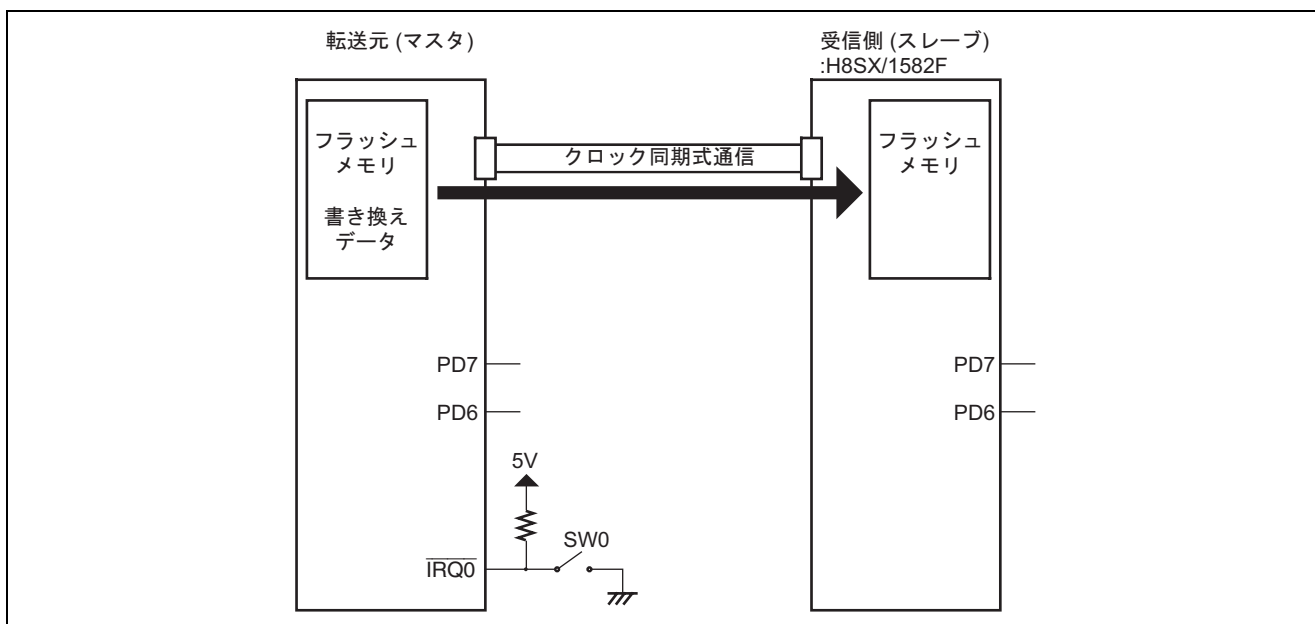


図 1 オンボード書き換え構成例

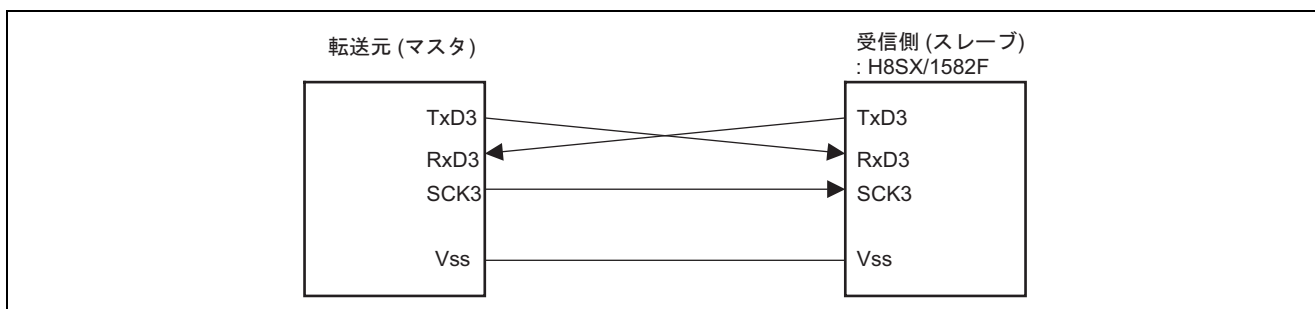


図 2 クロック同期式通信接続図

## 1.2 ユーザプログラムモード

RAM 転送プログラム、クロック同期式通信プログラム、書き込み/消去手続きプログラムは、あらかじめユーザマット上に書き込んでおくことを前提条件とします。

## 1.3 通信仕様

本タスク例のマスタ-スレーブ間の通信仕様を以下に示します。

### 1.3.1 通信仕様

表 1 通信仕様

項目	設定
転送速度	2.5Mbps
通信方式	クロック同期式通信
データビット	8 ビット (1 バイト)

### 1.3.2 通信コマンド

表 2 通信コマンド

コマンド名	定数名	コマンドデータ
書き換え開始	FSTART	H'10
消去	ERASE	H'11
書き込み	WRITE	H'12
ステータス読み込み	STATUSREAD	H'13
128 バイト送信要求	TRS128	H'14

### 1.3.3 ステータス

表 3 ステータス

ステータス名	定数名	ステータスデータ
正常	OK	H'00
消去コマンドエラー	ER_ECMD	H'C1
消去ダウンロードエラー	ER_EDWNLD	H'C2
消去初期化エラー	ER_EINIT	H'C3
消去エラー	ER_ERASE	H'C4
書き込みコマンドエラー	ER_WCMD	H'A1
書き込みダウンロードエラー	ER_WDWNLD	H'A2
書き込み初期化エラー	ER_WINIT	H'A3
書き込みエラー	ER_WRITE	H'A4

### 1.3.4 消去ブロックの指定

マスタ側からスレーブ側へ消去コマンド"ERASE", 消去ブロックの順に送信します。消去ブロックの通信フォーマットを表 4 に示します。消去ブロック設定値は, 4 バイト (32 ビット) で指定し, ビット 11~0 をブロック 11~0 に対応させます。ビット 31~12 は未使用のため, 常に 0 を設定してください。消去するブロックは, 対応するビットを 1 に設定し, 消去しないビットは, 0 に設定します。ブロック 11 消去時の送信データ例を表 5 に示します。

表 4 消去ブロックの対応

ビット	消去ブロック	設定値	機能
31~12	未使用	0 固定	未使用ビット 0 を設定してください。
11~0	EB11~EB0	0/1	0: 対応するブロックを消去しない。 1: 対応するブロックを消去する。

表 5 ブロック 11 消去時の送信データ例

	1 バイト目	2 バイト目	3 バイト目	4 バイト目	5 バイト目
項目	消去コマンド (ERASE)	消去ブロック			
バイト	H'11	H'00	H'00	H'08	H'00
ビット	00010001	00000000	00000000	00001000	00000000
	MSB LSB	MSB LSB	MSB LSB	MSB LSB	MSB LSB

【注】 送信データは, バイト単位で LSB ファーストで送信します。

### 1.4 メモリマップ

本タスク例のメモリマップを図3に示します。

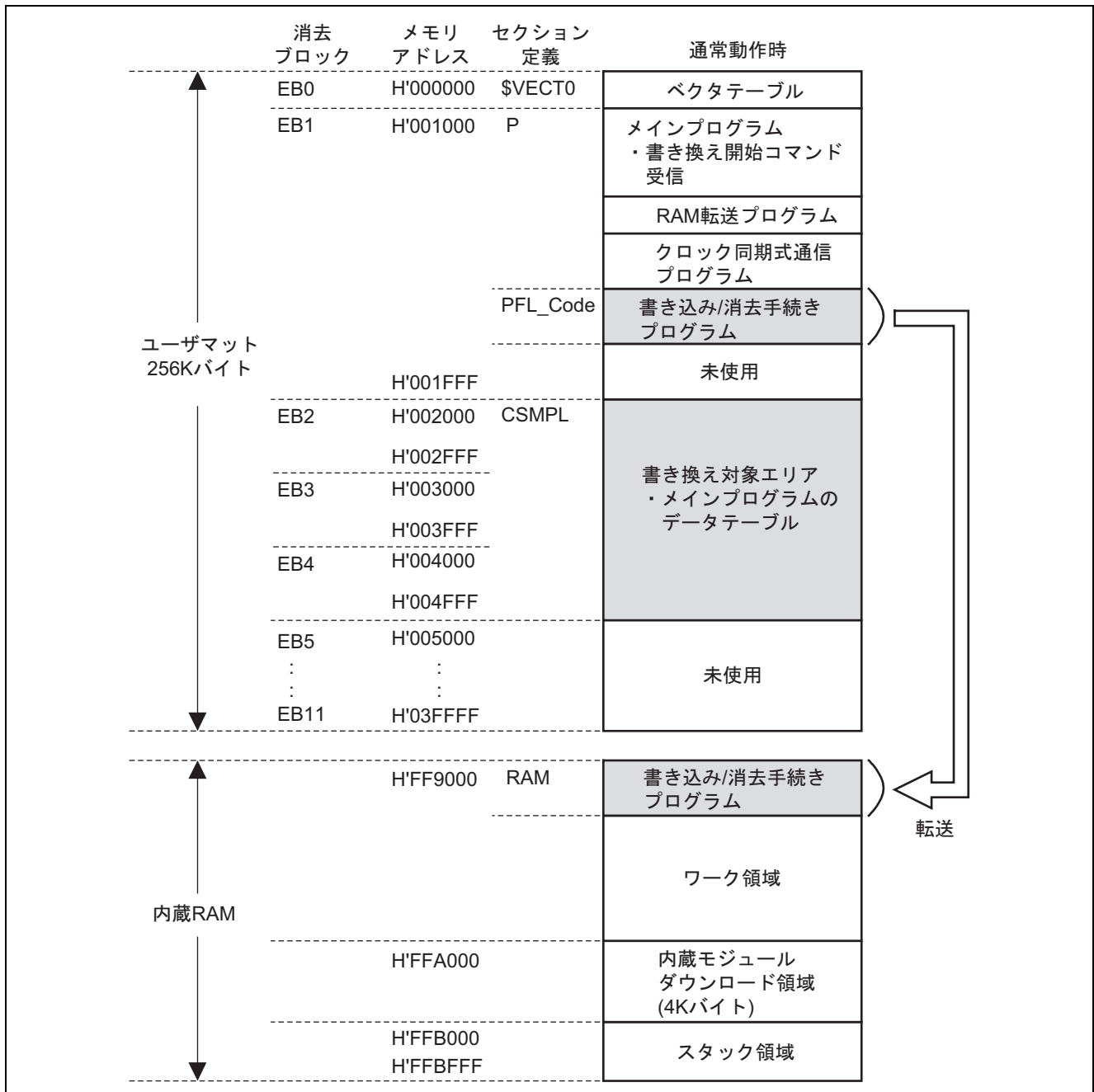


図3 メモリマップ

## 2. 適用条件

表 6 適用条件

項目	内容
動作周波数	入力クロック: 5MHz システムクロック (I $\phi$ ): 40MHz 周辺モジュールクロック (P $\phi$ ): 20MHz 外部バスクロック (B $\phi$ ): 20MHz
動作モード	モード 3 (MD1 = 1, MD0 = 1)
オンボードプログラミングモード	ユーザプログラムモード
開発ツール	High-performance Embedded Workshop Ver4.00.02
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 SERIES C/C++ Compiler Ver6.01.00
コンパイルオプション	-cpu = h8sxa:24:md, -code = machinecode, -optimize = 1, -regparam = 3 -speed = (register, shift, struct, expression)
最適化リンカオプション	-rom = PFL_Code = RAM

表 7 セクション設定

アドレス	セクション名	説明
H'001000	P	プログラム領域
	PFL_Code	書き込み消去手続きプログラム格納領域
	CSMPL	書き換え対象エリア
H'FF9000	RAM	書き込み消去手続きプログラム転送領域

3. 使用機能説明

3.1 ユーザプログラムモード

3.1.1 ユーザマットとユーザブートマット

本 LSI のフラッシュメモリは、同一のアドレスに割り当てられた 2 種類のメモリ空間 (メモリマット) があります。メモリマットを表 8 に示します。ユーザプログラムモードは、ユーザマットで起動し、内蔵プログラムによりユーザマットの消去/書き込みを行ないます。

表 8 メモリマット

メモリマット	起動方法	メモリ容量
ユーザマット	ユーザモードでパワーオンリセット時に起動する。	256K バイト
ユーザブートマット	ユーザブートモードでパワーオンリセット時に起動する。	10K バイト

3.1.2 内蔵プログラムのダウンロード

本 LSI の消去/書き込み処理は、消去/書き込み用の内蔵モジュールを内蔵 RAM 上にダウンロードし、そのモジュールを呼び出すことで実行されます。

ダウンロード先アドレスは、ダウンロード先アドレス指定レジスタ (FTDAR) の設定により決定されます。ダウンロード後の RAM アドレスマップは、図 4 を参照してください。図 4 に示す通り、消去用プログラムと書き込み用プログラムのダウンロード先は内蔵 RAM 領域を使用するため、それぞれの動作を行なう前に必ず対応するプログラムを FTDAR で示す RAM 領域にダウンロードする必要があります。

消去/書き込み処理中、ダウンロードする領域とユーザが使用する領域が重複しないように注意してください。

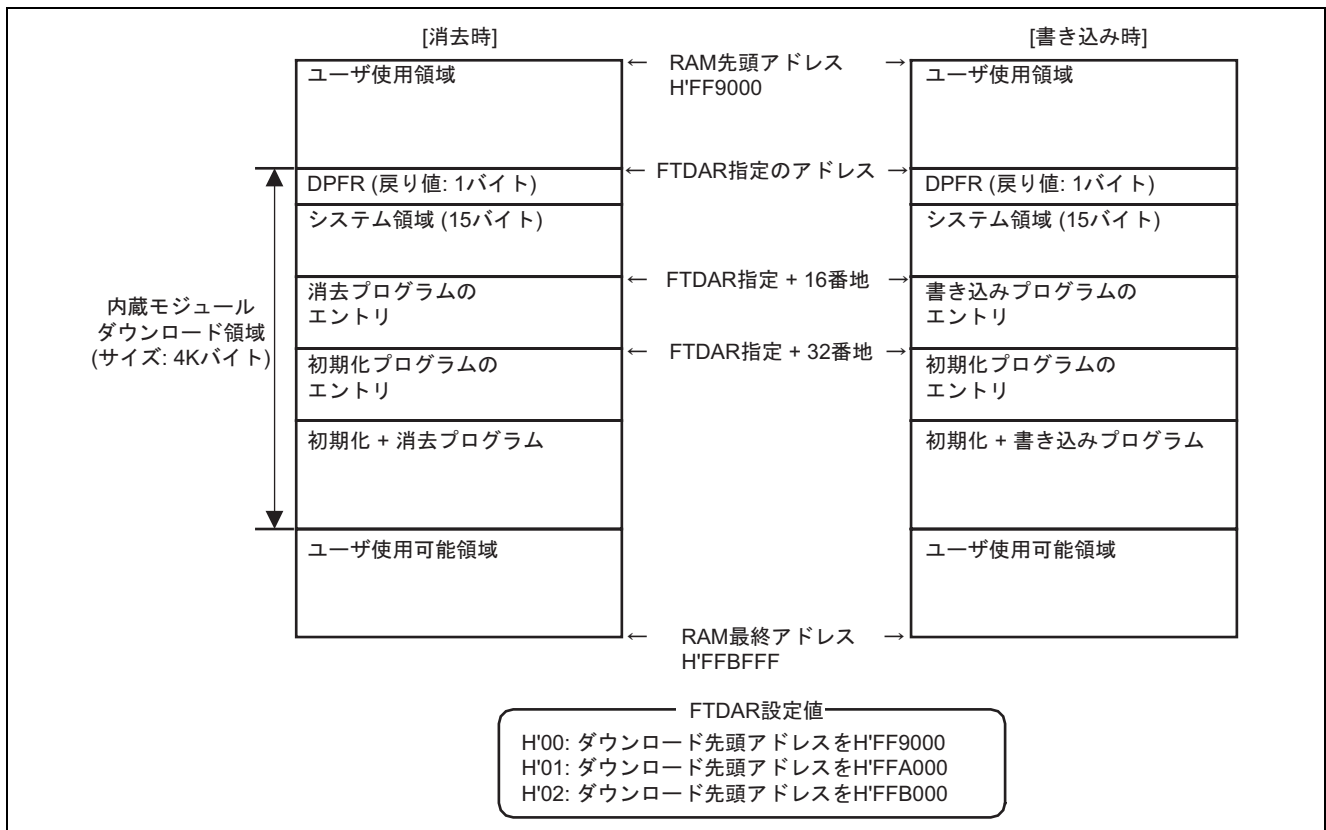


図 4 通常動作

### 3.2 ブロック構成

ユーザマツト消去ブロックを表9に示します。

表9 ユーザマツト消去ブロック

ブロック	消去単位	アドレス
EB0	4K バイト	H'000000 ~ H'000FFF
EB1	4K バイト	H'001000 ~ H'001FFF
EB2	4K バイト	H'002000 ~ H'002FFF
EB3	4K バイト	H'003000 ~ H'003FFF
EB4	4K バイト	H'004000 ~ H'004FFF
EB5	4K バイト	H'005000 ~ H'005FFF
EB6	4K バイト	H'006000 ~ H'006FFF
EB7	4K バイト	H'007000 ~ H'007FFF
EB8	32K バイト	H'008000 ~ H'00FFFF
EB9	64K バイト	H'010000 ~ H'01FFFF
EB10	64K バイト	H'020000 ~ H'02FFFF
EB11	64K バイト	H'030000 ~ H'03FFFF

### 3.3 SCI 機能

SCI 機能はクロック同期式モードで動作し、マスタ、スレーブ間のコマンド通信、書き換えデータの通信に使用します。

4. 動作説明

4.1 ユーザマット書き換え手順

ユーザプログラムモードによるユーザマット書き換え手順を図5に示します。

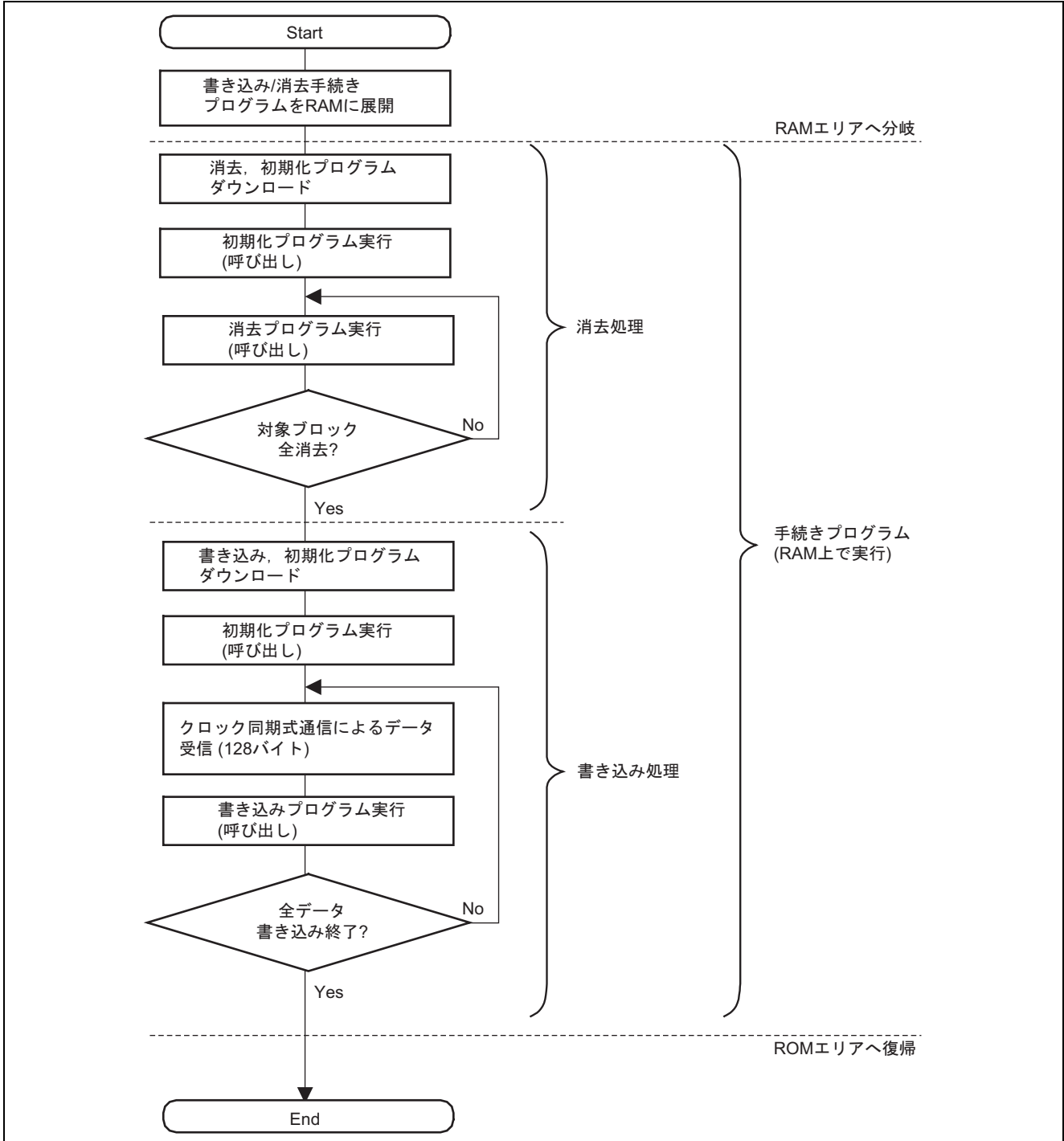


図5 ユーザマット書き換え手順

4.2 動作概要

4.2.1 通常動作

- (1) 通常アプリケーションは、ユーザマット上のデータテーブルをアクセスするものとし、データテーブルは、マスタ側から受信し、書き換えます。
- (2) スレーブ側のユーザマット上に、RAM 転送プログラム、クロック同期式通信プログラム、書き込み/消去手続きプログラムをあらかじめ書き込んでおきます。
- (3) マスタ、スレーブ間のデータ通信は、クロック同期式通信で行ないます。

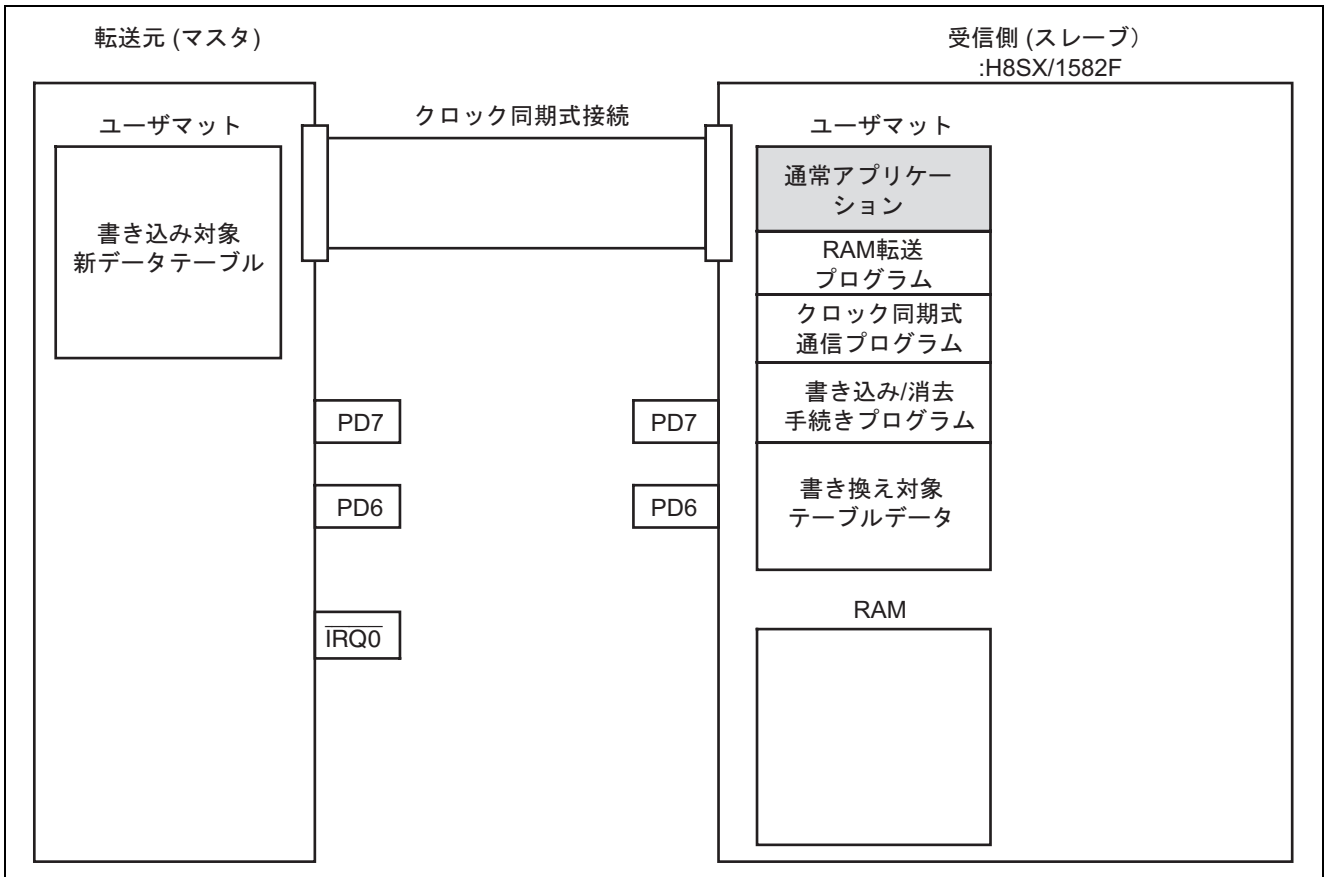


図 6 通常動作

4.2.2 オンボード書き換え準備

- (1) マスタ側の  $\overline{\text{IRQ0}}$  端子に Low トリガが入力されると、マスタ側から書き換え開始コマンド "FSTART" を送信します。
- (2) このとき、マスタ側の PD7 は Low, PD6 は High になります。

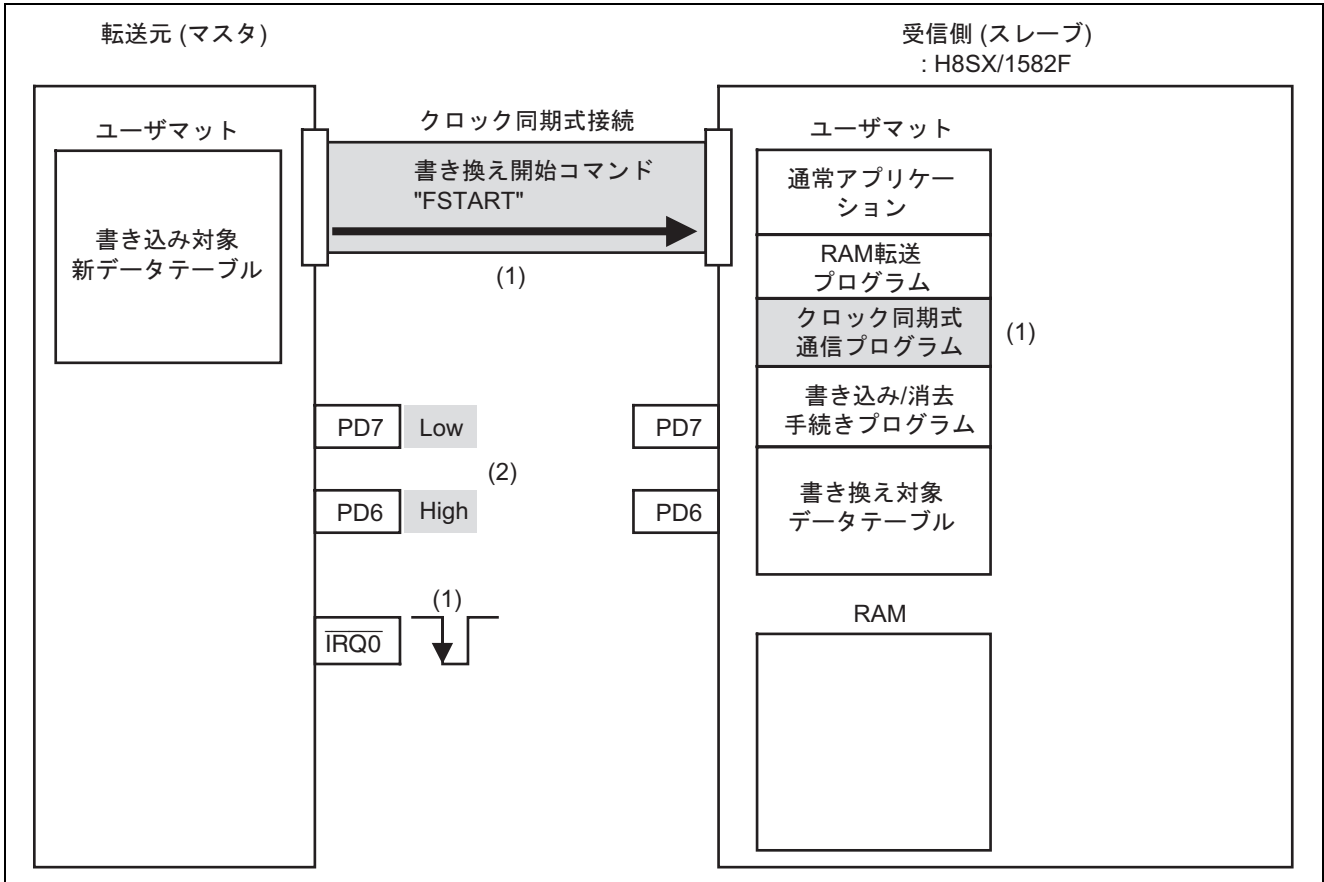


図7 オンボード書き換え準備

4.2.3 オンボード書き換え開始

- (1) スレーブ側は書き換え開始コマンドを受信すると、RAM 転送プログラムを起動し、書き込み/消去手続きプログラムを内蔵 RAM に転送します。
- (2) このとき、スレーブ側の PD7 は Low, PD6 は High になります。

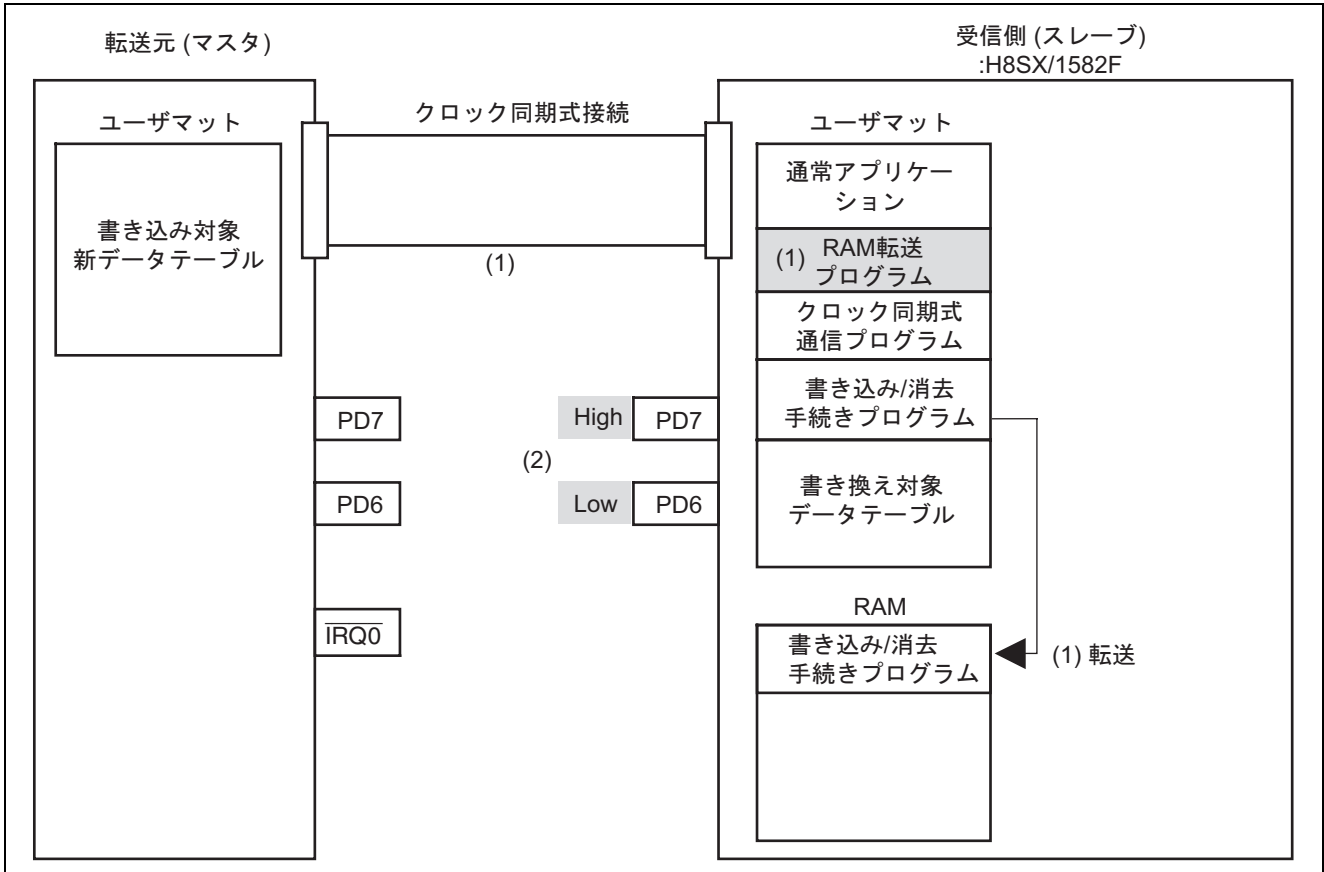


図8 オンボード書き換え開始

4.2.4 書き込み/消去手続きプログラム起動

(1) RAM 転送プログラムによる転送終了後，RAM 上の書き込み/消去手続きプログラムへ分岐します。

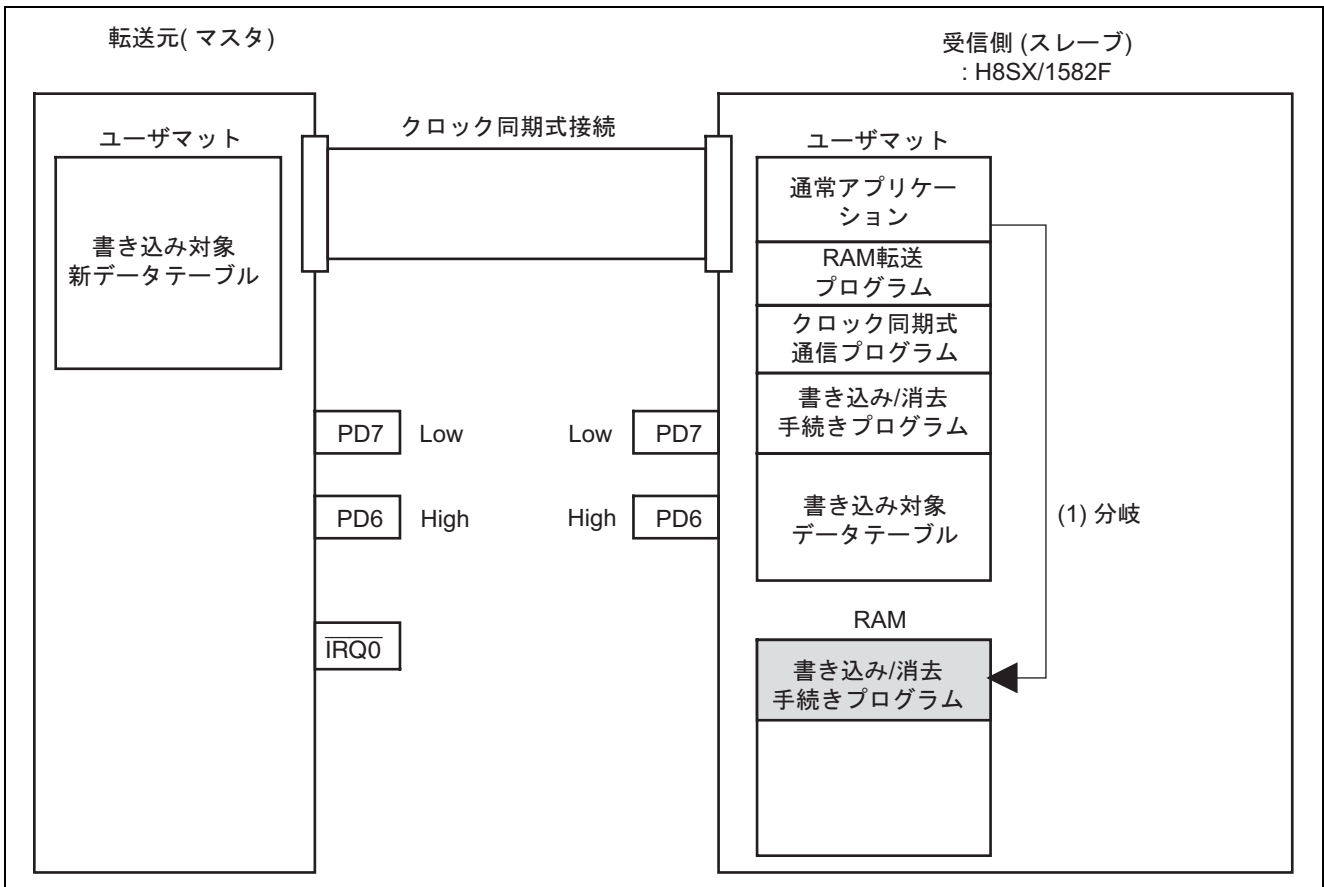


図9 書き込み/消去手続きプログラム起動

4.2.5 ユーザマツト消去

- (1) マスタ側から消去コマンド"ERASE"を送信します。
- (2) フラッシュメモリ制御レジスタを設定 (FECS の EPVB = 1, FCCS の SCO = 1) し、初期化プログラム、消去プログラムをダウンロードします。
- (3) 初期化プログラムを実行します。
- (4) 消去プログラムを実行し、ユーザマツトの消去対象ブロックを消去します。

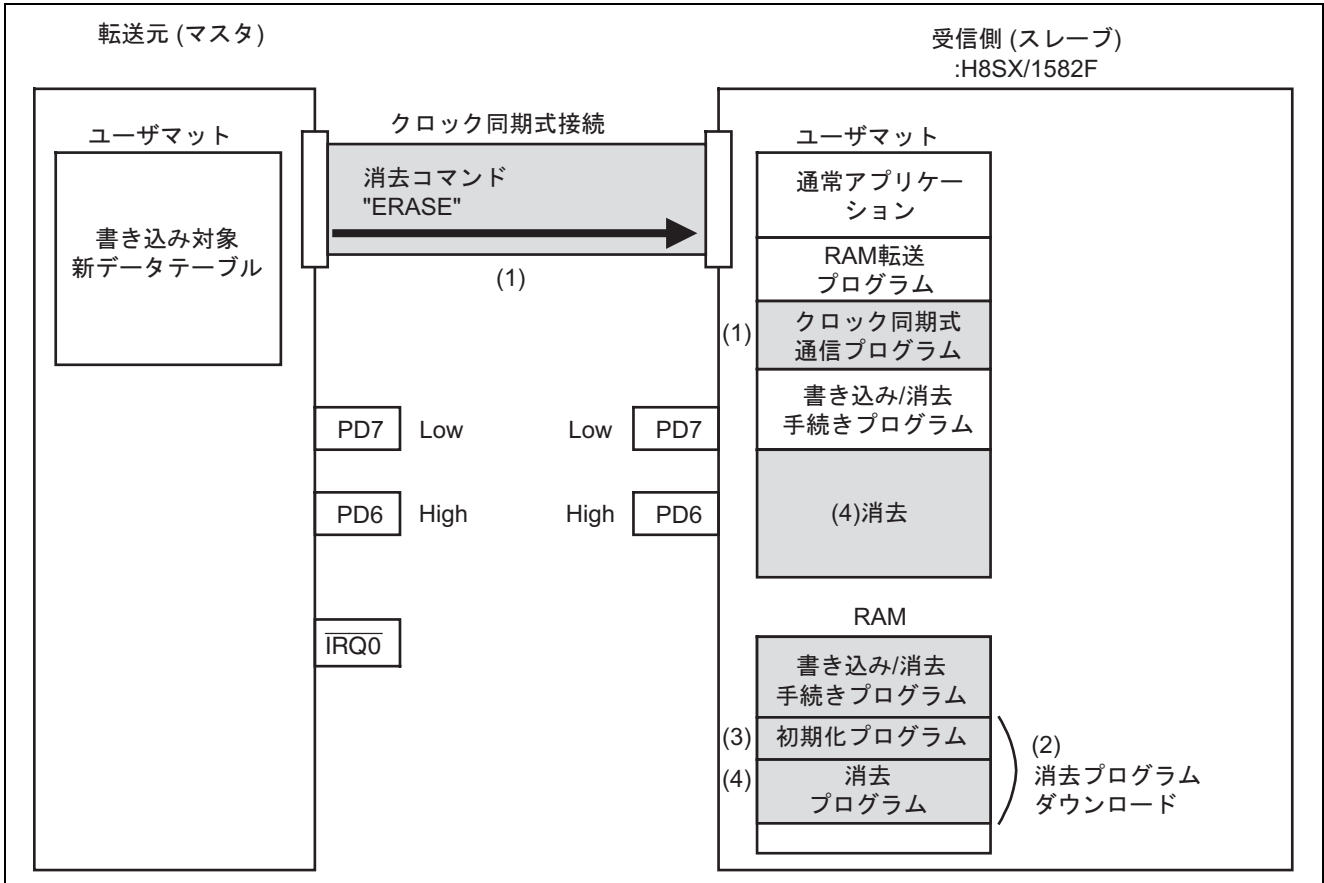


図 10 ユーザマツト消去

4.2.6 ユーザマット書き込み

- (1) マスタ側から書き込みコマンド"WRITE"を送信します。
- (2) フラッシュメモリ制御レジスタを設定 (FPCS の PPVS = 1, FCCS の SCO = 1) し, 初期化プログラム, 書き込みプログラムをダウンロードします。
- (3) 初期化プログラムを実行します。
- (4) マスタ側新データをスレーブ側にすべて書き込むまで, 以下(a) (b)を繰り返します。
  - (a) 転送元から新データ 128 バイト分を受信します。
  - (b) 書き込みプログラムを実行し, ユーザマットに 128 バイト書き込みます。
- (5) 書き込み終了後, マスタ, スレーブ共に PD7 は High, PD6 は Low になります。

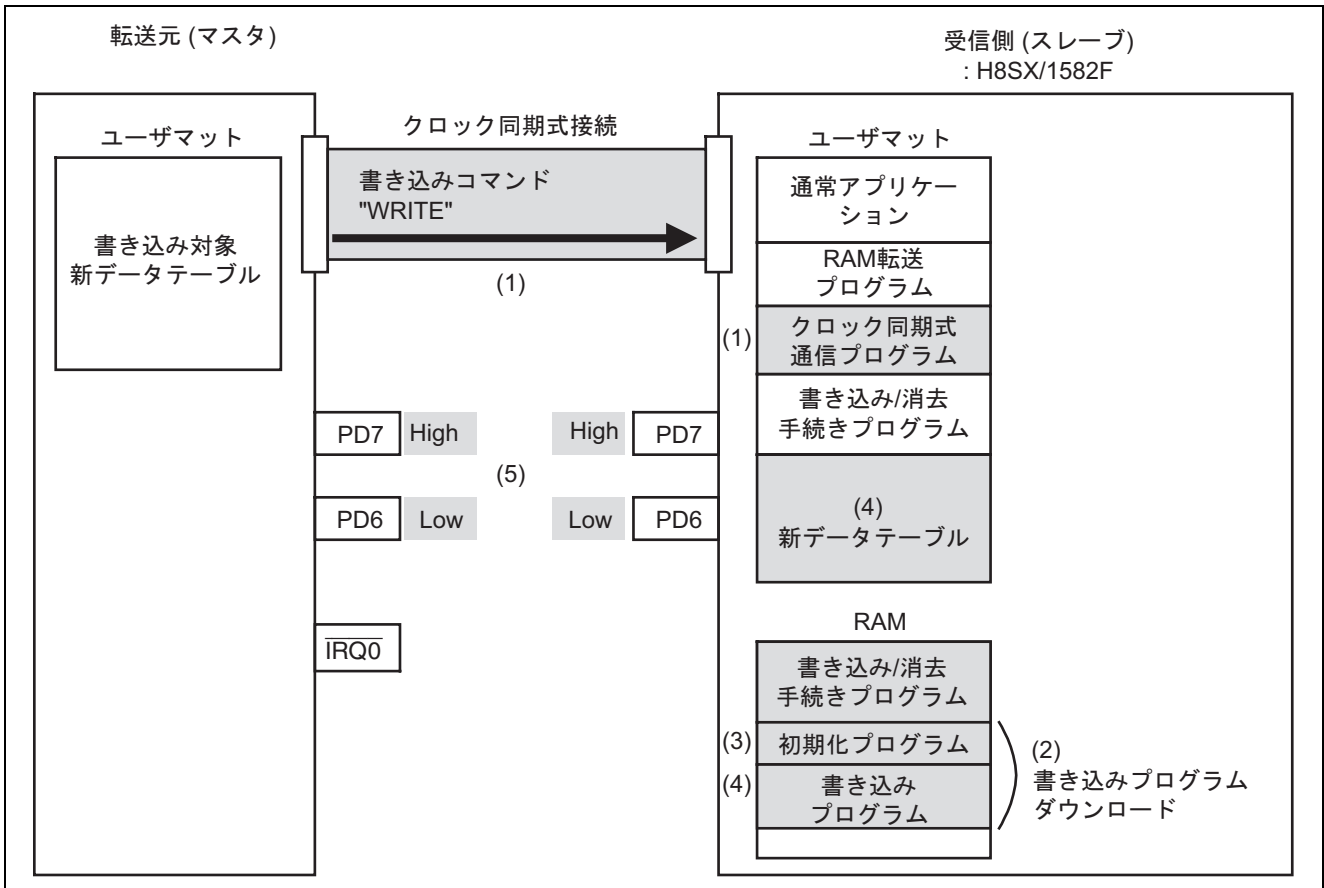


図 11 ユーザマット書き込み

4.2.7 プログラム起動

(1) リセットし、新データテーブルをアクセスする通常アプリケーションを起動します。

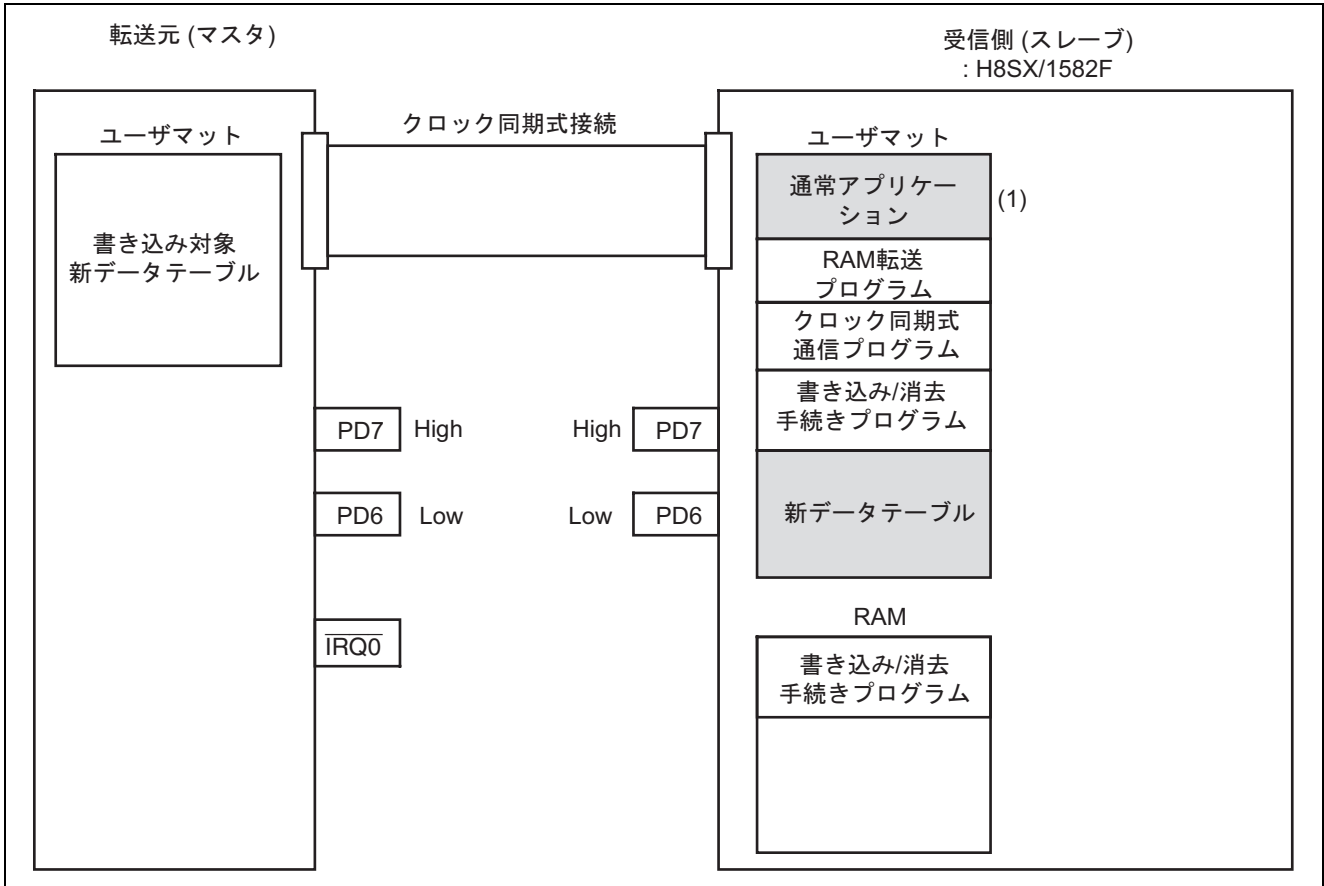


図 12 プログラム起動

4.3 シーケンス図

4.3.1 通常時

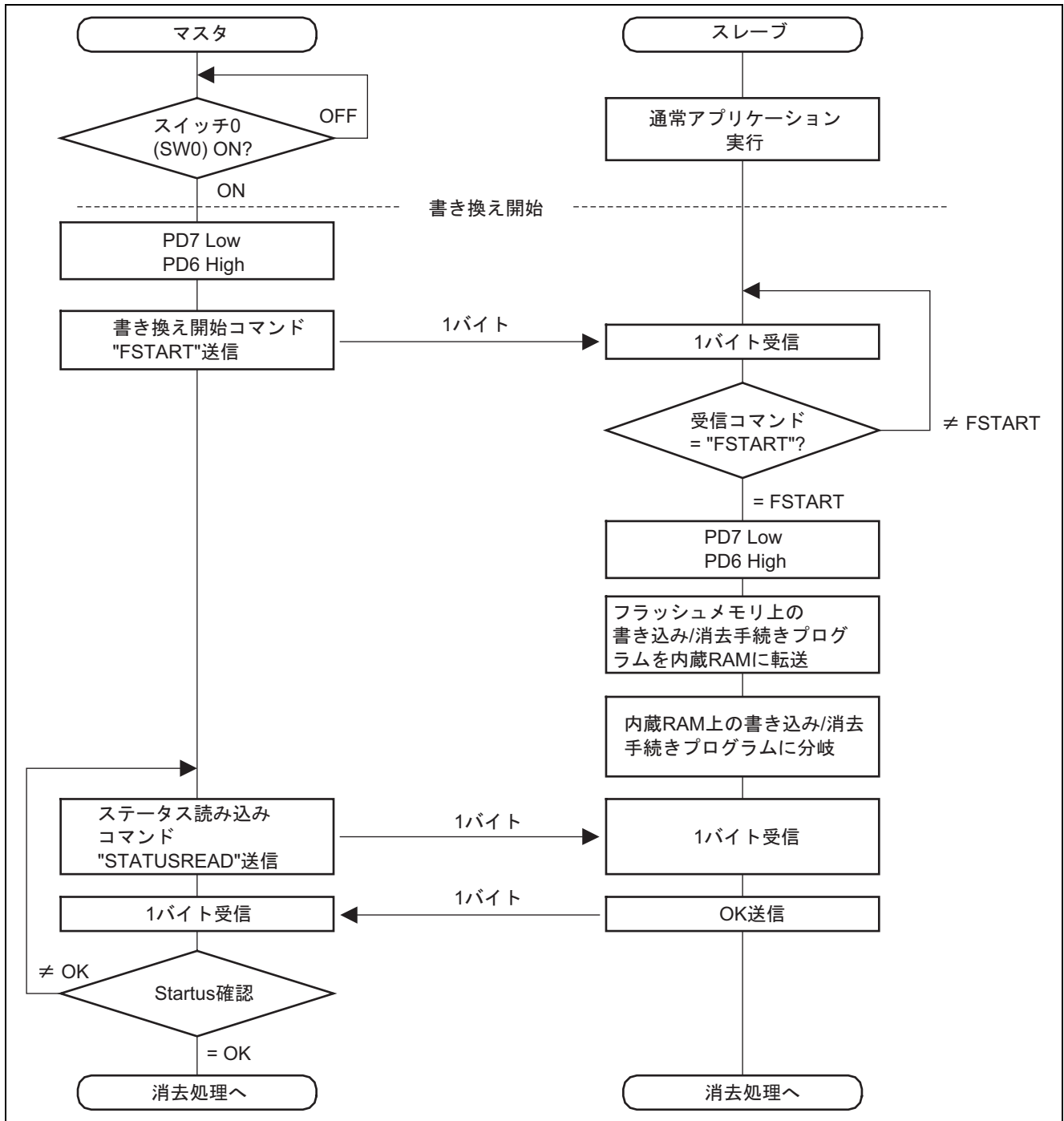


図 13 通常動作

4.3.2 消去処理

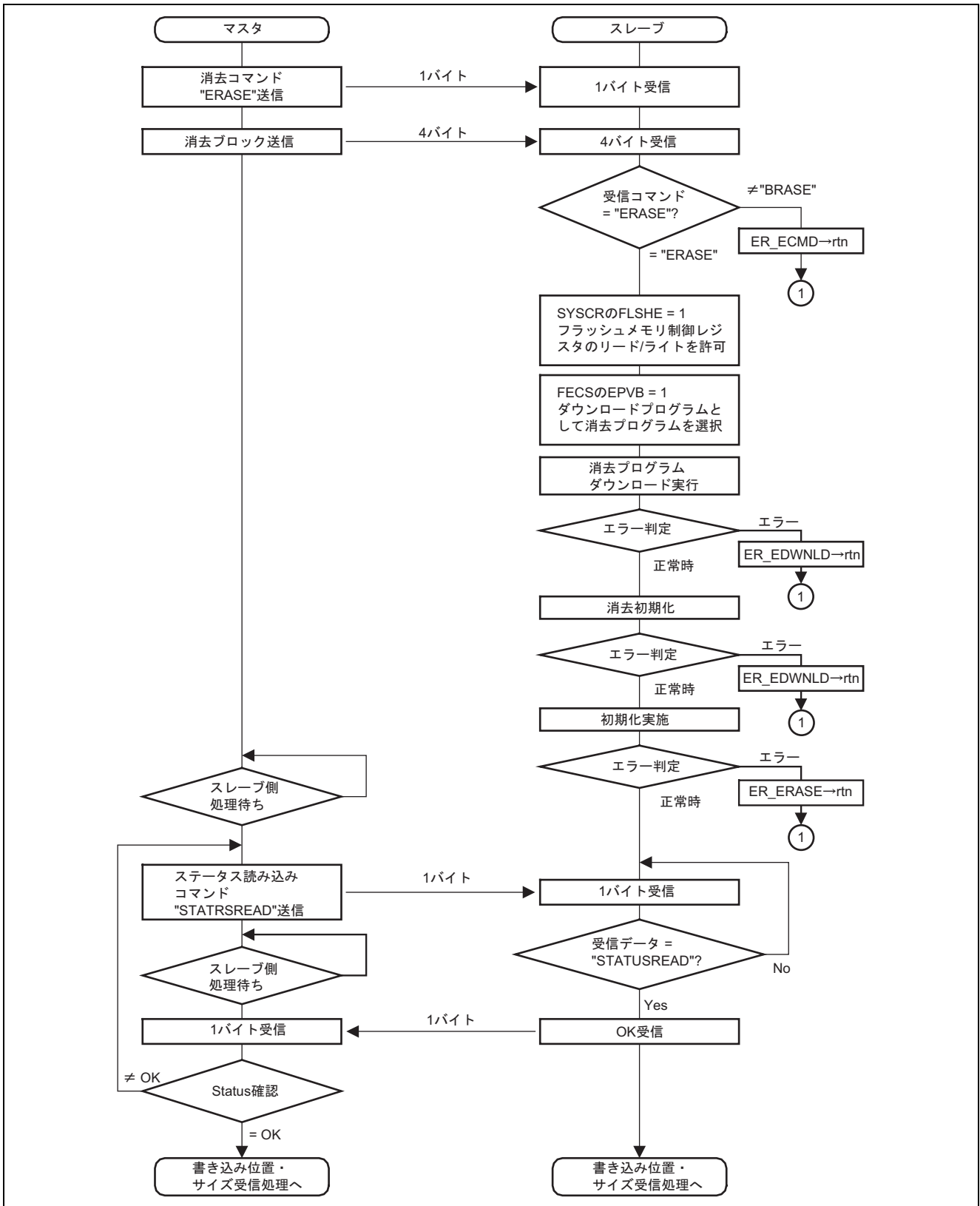


図 14 消去処理

4.3.3 書き込み位置・サイズ受信処理

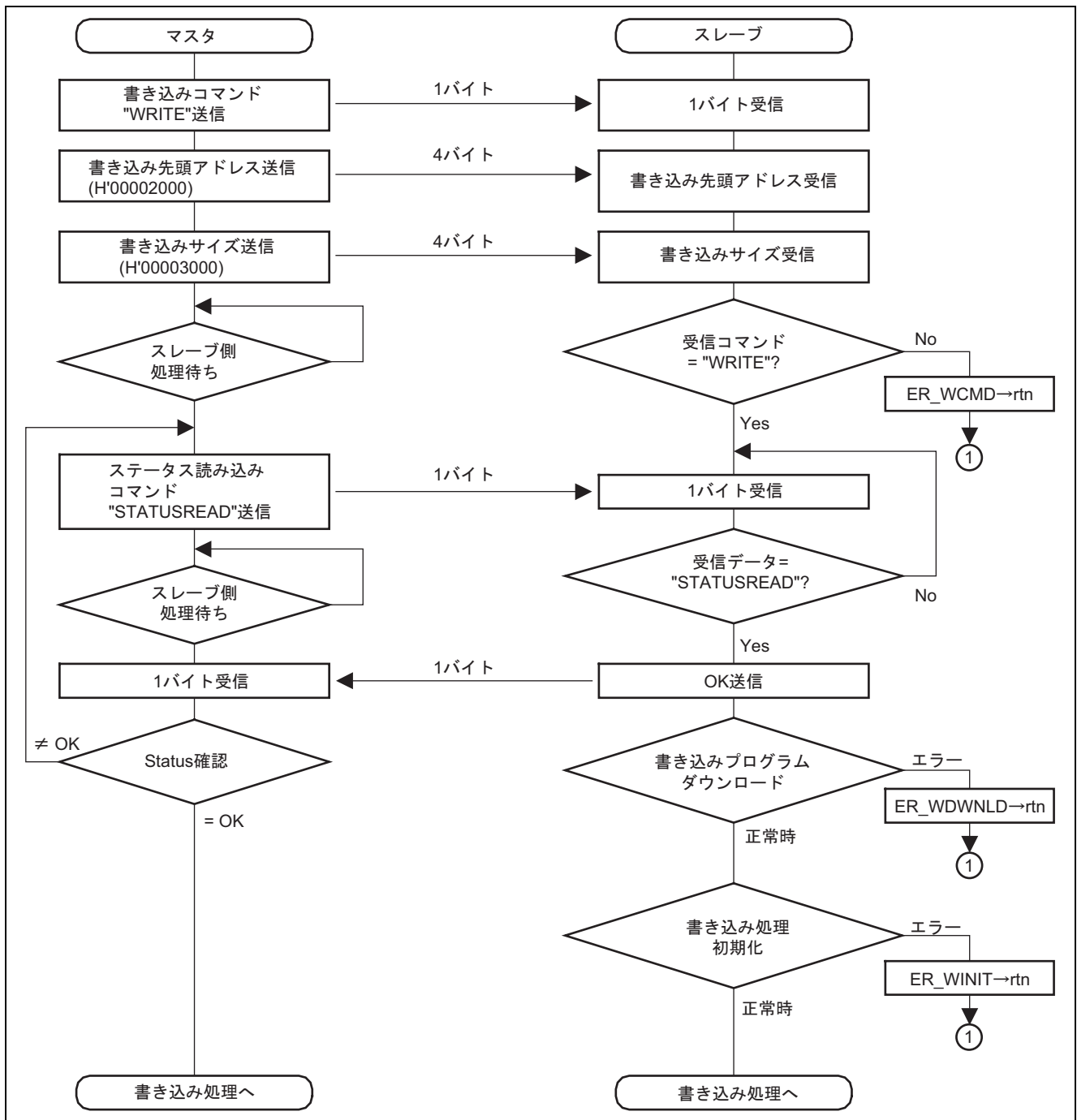


図 15 書き込み位置・サイズ受信処理

4.3.4 書き込み処理

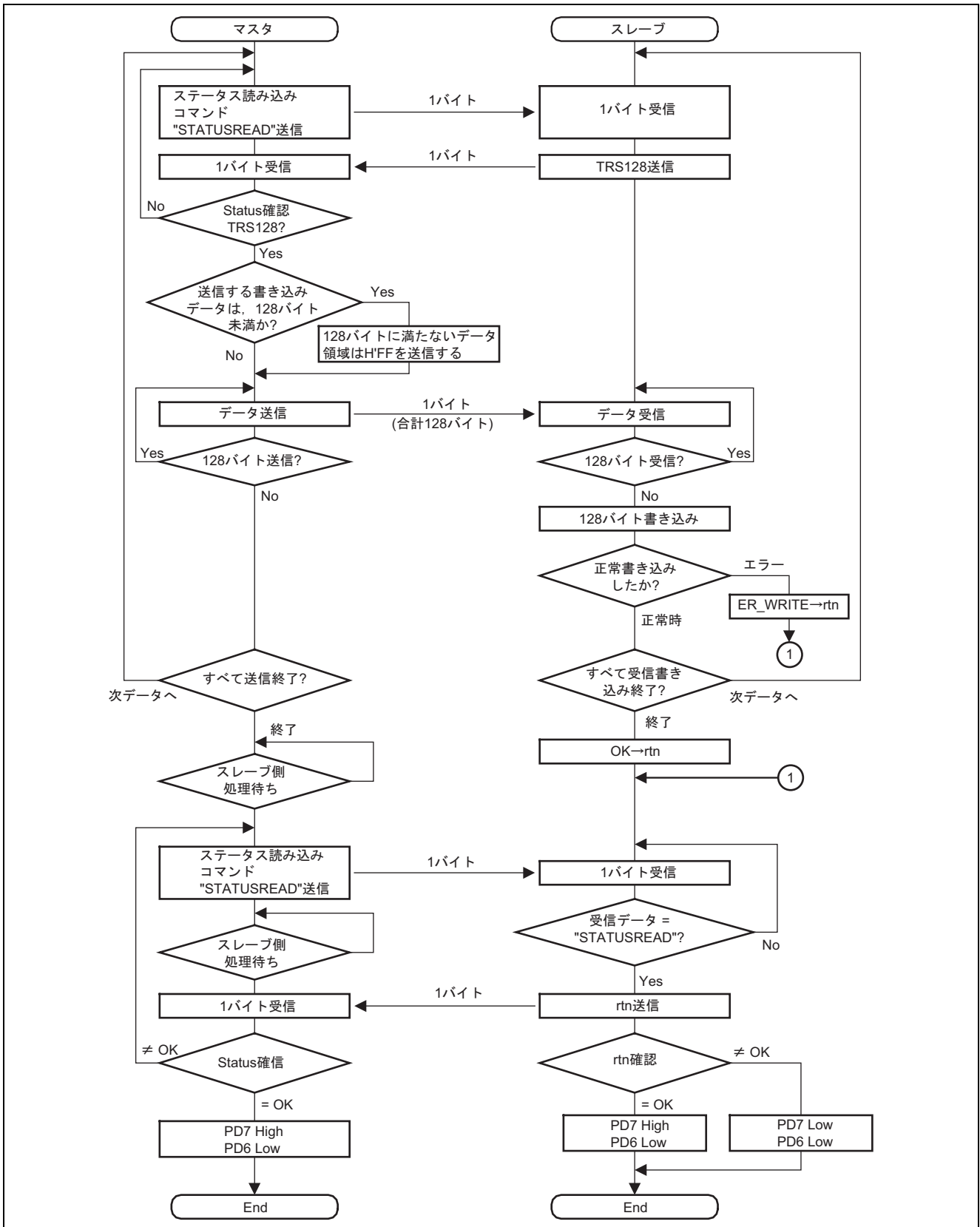


図 16 書き込み処理

## 5. スレーブ側通常プログラムソフトウェア説明

### 5.1 関数一覧

ユーザマット上で実行するスレーブ側通常プログラム (main.c) は、ユーザアプリケーションプログラム (通常アプリケーション) の実施、書き換え開始コマンド受信、ユーザマット上の書き込み/消去手続きプログラムを内蔵 RAM に転送する処理を行ないます。スレーブ側通常プログラムで使用するルーチンの関数一覧を表 10 に、階層構造を図 17 に示します。

表 10 スレーブ側通常プログラム関数一覧

関数名	機能
init	初期化ルーチン モジュールストップ解除, クロック設定, main 関数のコール
main	メインルーチン 通常アプリケーションの実施, 書き換え開始コマンド受信, ユーザマット上の書き込み/消去手続きプログラムを内蔵 RAM に転送する
copyfzram	ユーザマットの書き込み/消去手続きプログラムを RAM に転送する
flew_main	ユーザマットの書き込み/消去手続きプログラム

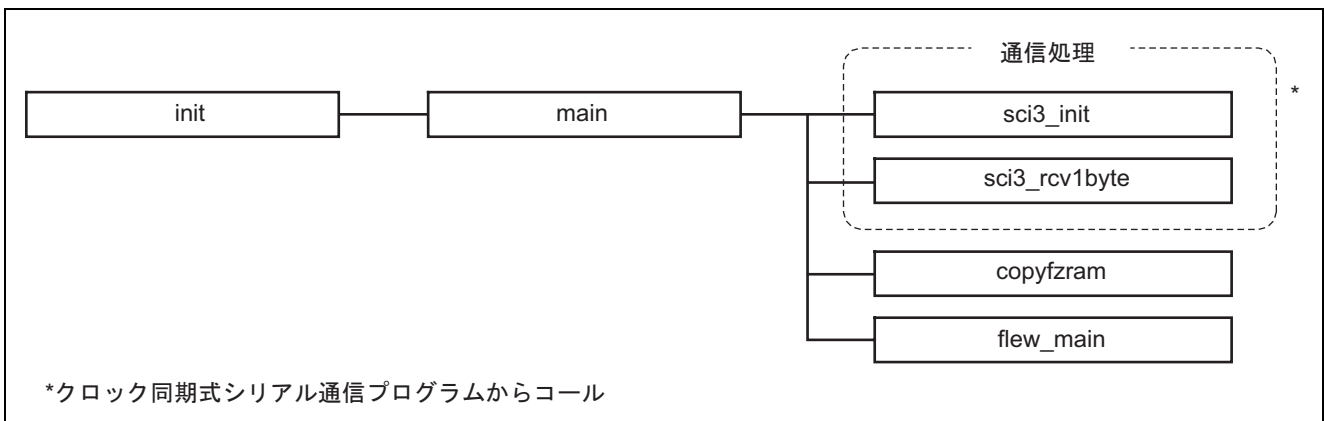


図 17 スレーブ側通常プログラム

## 5.2 関数説明

### 5.2.1 init 関数

#### (1) 機能概要

初期化ルーチン。モジュールストップ解除，クロック設定，main 関数のコール。

#### (2) 引数

なし

#### (3) 戻り値

なし

#### (4) 使用内部レジスタ説明

本タスク例で使用する内部レジスタを以下に示します。なお，設定値は本タスク例において使用している値であり，初期値とは異なります。

• システムクロックコントロールレジスタ (SCKCR)                      アドレス: H'FFFDC4

ビット	ビット名	設定値	R/W	機能
10	ICK2	0	R/W	システムクロック (I $\phi$ ) セレクト CPU, DMAC, DTC モジュールとシステムクロックの周波数を選択 します。 000: 入力クロック $\times$ 8
9	ICK1	0		
8	ICK0	0		
6	PCK2	0	R/W	周辺モジュールクロック (P $\phi$ ) セレクト 周辺モジュールクロックの周波数を選択します。 001: 入力クロック $\times$ 4
5	PCK1	0		
4	PCK0	1		
2	BCK2	0	R/W	外部バスクロック (B $\phi$ ) セレクト 外部バスクロックの周波数を選択します。 001: 入力クロック $\times$ 4
1	BCK1	0		
0	BCK0	1		

- MSTPCRA, MSTPCRB, MSTPCRC はモジュールストップモードの制御を行いません。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。
- モジュールストップコントロールレジスタ A (MSTPCRA)    アドレス: H'FFFDC8

ビット	ビット名	設定値	R/W	機能
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべてのモジュールがモジュールストップモードに設定された上で、CPU が SLEEP 命令を実行した場合にバスコントローラと I/O ポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0: 全モジュールクロックストップモード禁止 1: 全モジュールクロックストップモード許可
13	MSTPA13	1	R/W	DMA コントローラ (DMAC)
12	MSTPA12	1	R/W	データトランスファコントローラ (DTC)
4	MSTPA4	1	R/W	A/D コンバータ (ユニット 1)
3	MSTPA3	1	R/W	A/D コンバータ (ユニット 0)
1	MSTPA1	1	R/W	16 ビットタイマパルスユニット (TPU チャネル 11~6)
0	MSTPA0	1	R/W	16 ビットタイマパルスユニット (TPU チャネル 5~0)

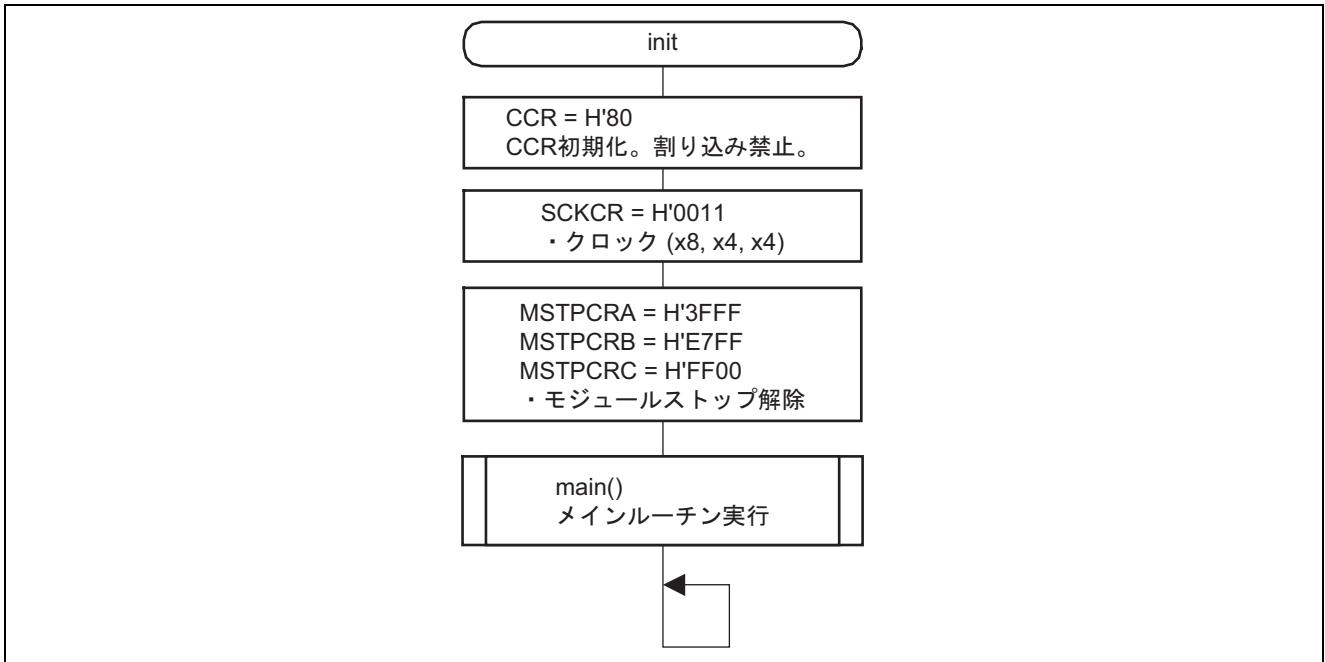
- モジュールストップコントロールレジスタ B (MSTPCRB)    アドレス: H'FFFDCA

ビット	ビット名	設定値	R/W	機能
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG)
12	MSTPB12	0	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
11	MSTPB11	0	R/W	シリアルコミュニケーションインタフェース_3 (SCI_3)

- モジュールストップコントロールレジスタ C (MSTPCRC)    アドレス: H'FFFDCC

ビット	ビット名	設定値	R/W	機能
10	MSTPC10	1	R/W	シンクロナスシリアルコミュニケーションユニット 2 (SSU_2)
9	MSTPC9	1	R/W	シンクロナスシリアルコミュニケーションユニット 1 (SSU_1)
8	MSTPC8	1	R/W	シンクロナスシリアルコミュニケーションユニット 0 (SSU_0)
1	MSTPC1	0	R/W	内蔵 RAM_1 (H'FF9000 ~ H'FFBFFF) MSTPC1 と MSTPC0 は常に同じ値となるようにライトしてください。
0	MSTPC0	0	R/W	

(5) フローチャート



## 5.2.2 main 関数

## (1) 機能概要

- ユーザアプリケーションプログラム (通常アプリケーション) の実施
- 書き換え開始コマンド受信処理
- 書き込み/消去手続きプログラムへの分岐

## (2) 引数

なし

## (3) 戻り値

なし

## (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- ポート D データディレクションレジスタ (PDDDR)                      アドレス: H'FFFB8C

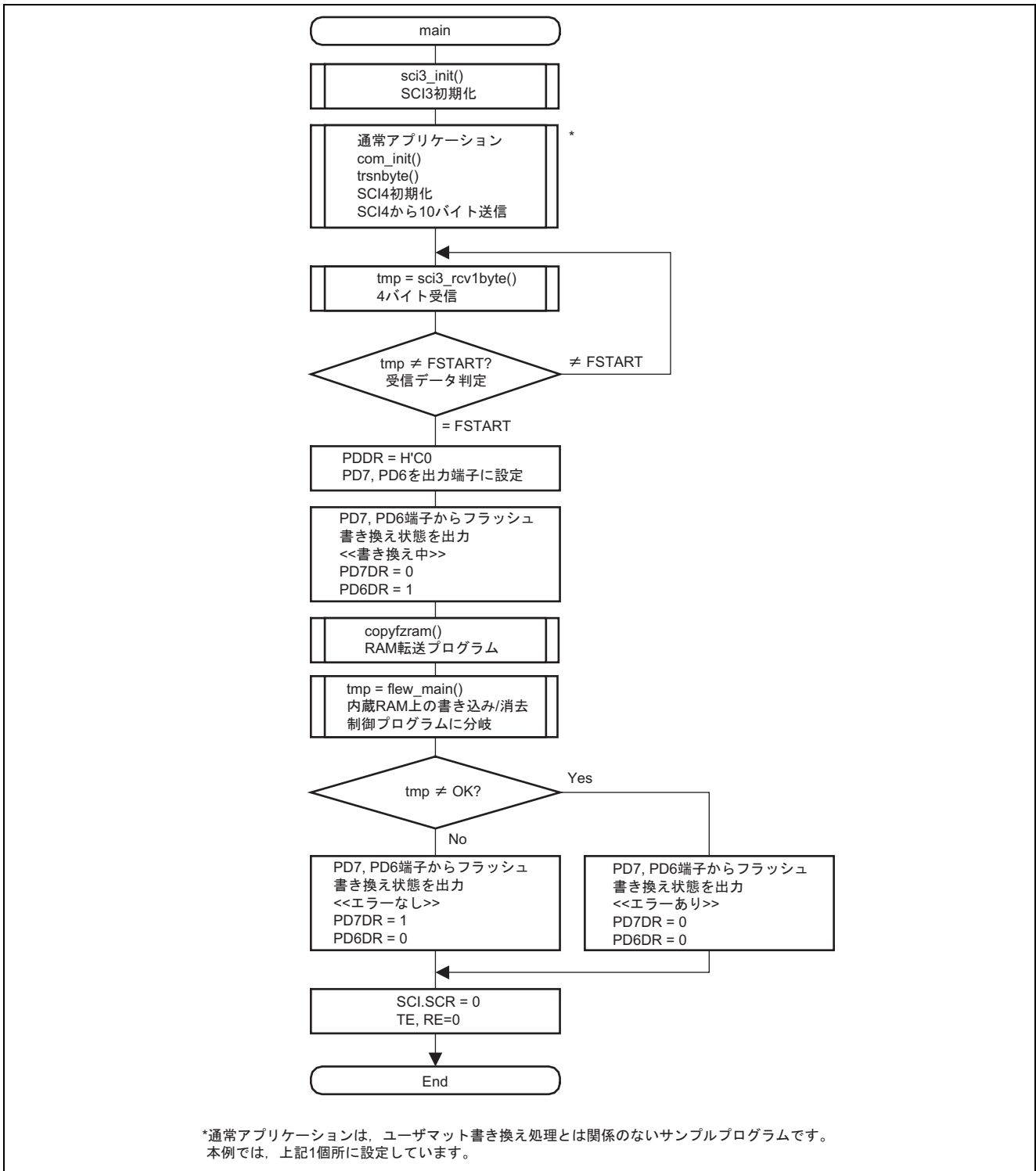
ビット	ビット名	設定値	R/W	機能
7	PD7DDR	1	R/W	0: PD7 端子を入力端子に設定 1: PD7 端子を出力端子に設定
6	PD6DDR	1	R/W	0: PD6 端子を入力端子に設定 1: PD6 端子を出力端子に設定

- ポート D データレジスタ (PDDR)    アドレス: H'FFFF5C

本タスク例では、PD7, PD6 端子をフラッシュ書き換え状態の出力端子として使用します。

ビット	ビット名	設定値	R/W	機能
7	PD7DR	不定	R/W	0: PD7 端子は Low レベル 1: PD7 端子は High レベル
6	PD6DR	不定	R/W	0: PD6 端子は Low レベル 1: PD6 端子は High レベル

(5) フローチャート



### 5.2.3 copyfzram 関数

(1) 機能概要

書き込み/消去手続きプログラムを RAM に転送する

(2) 引数

なし

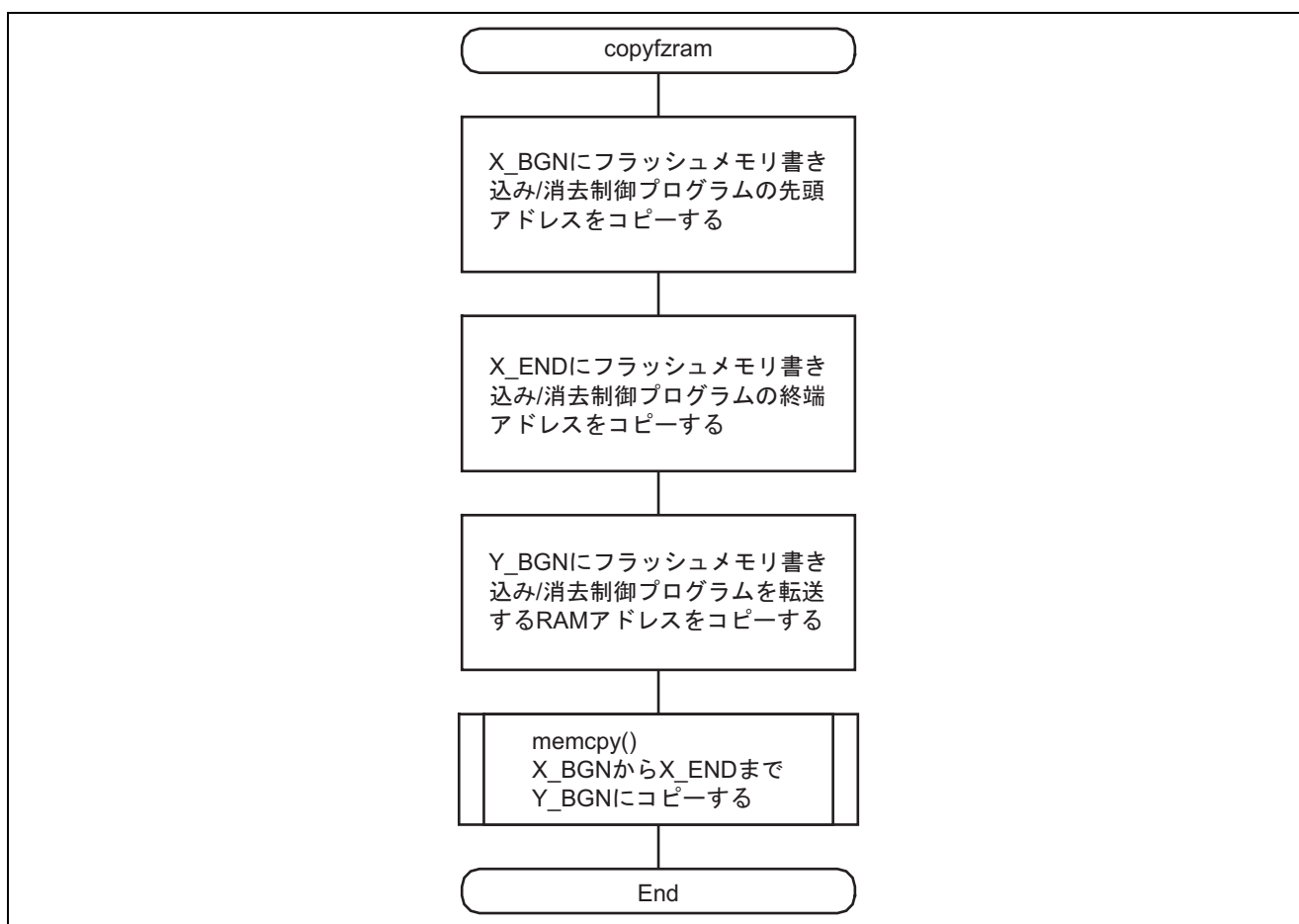
(3) 戻り値

なし

(4) 使用内部レジスタ説明

なし

(5) フローチャート



### 5.2.4 flew\_main 関数

(1) 機能概要

書き込み/消去手続きプログラムのメインルーチンを呼び出す

6. スレーブ側書き込み/消去手続きプログラムソフトウェア説明

6.1 関数一覧

書き込み/消去手続きプログラム (fwrite.c) は、消去ブロック単位の消去、フラッシュメモリ書き込みデータの受信、フラッシュメモリへの書き込みを行ないます。書き込み/消去手続きプログラムで使用するルーチンの関数一覧を表 11 に、階層構造を図 18 に示します。

表 11 書き込み/消去手続きプログラム関数一覧

関数名	機能
flew_main	フラッシュメモリの消去/書き込みメイン処理
erase_process	フラッシュ消去
write_process	フラッシュ書き込み
download	内蔵モジュールのダウンロード
fw_init	フラッシュ消去書き込み前の初期化

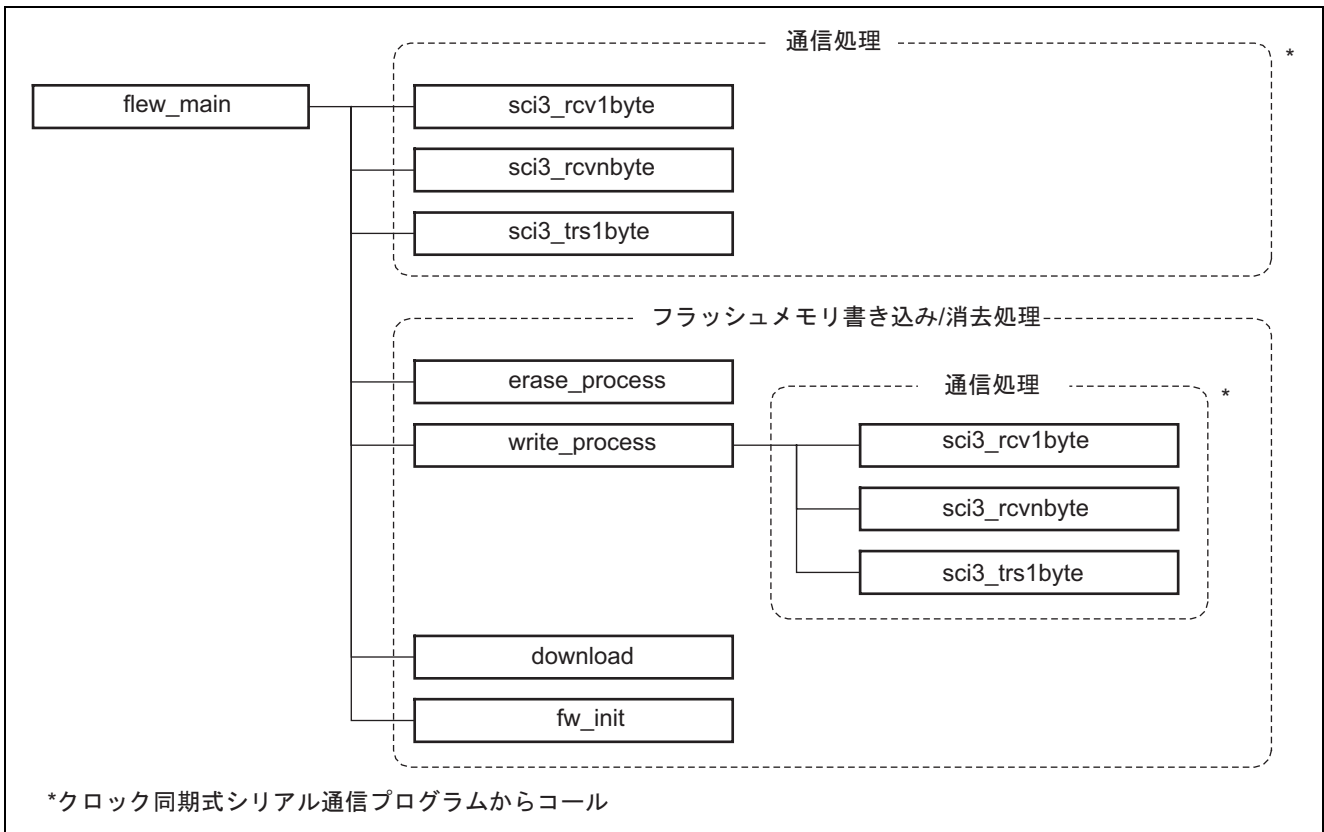


図 18 書き込み/消去手続きプログラム

## 6.2 関数説明

### 6.2.1 flew\_main 関数

#### (1) 機能概要

フラッシュメモリの消去/書き込みメイン処理

#### (2) 引数

なし

#### (3) 戻り値

型	内容
unsigned char	エラーステータス

#### (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

#### ● システムコントロールレジスタ (SYSCR) アドレス: H'FFFDC2

ビット	ビット名	設定値	R/W	機能
7	FLSHE	1	R/W	フラッシュメモリ制御レジスタイネーブル フラッシュメモリの制御レジスタの CPU アクセスを制御します。 このビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリの制御レジスタの内容は保持されています。 0: フラッシュメモリのレジスタを非選択 1: フラッシュメモリのレジスタを選択

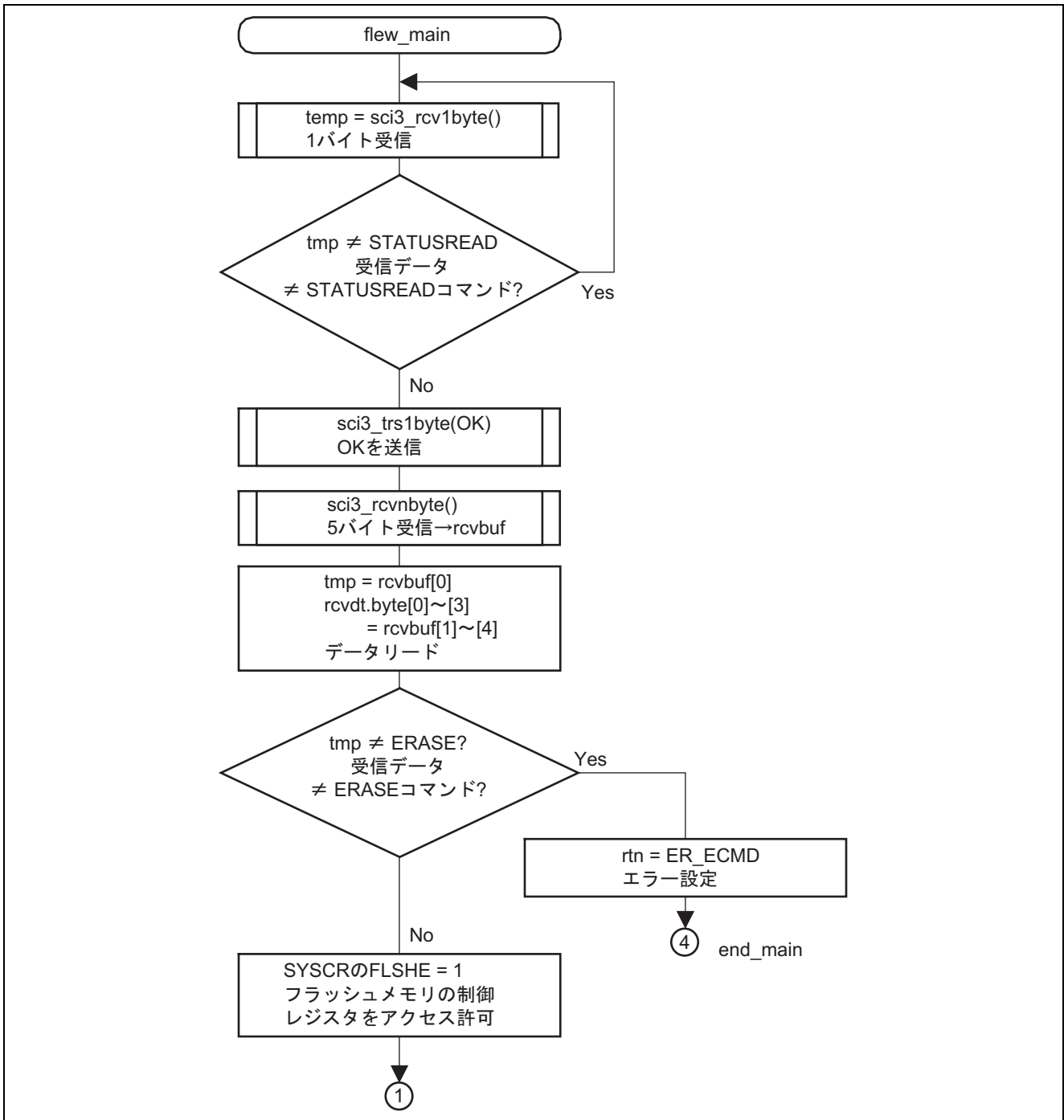
#### ● フラッシュプログラムコードセレクトレジスタ (FPCS) アドレス: H'FFFDE9

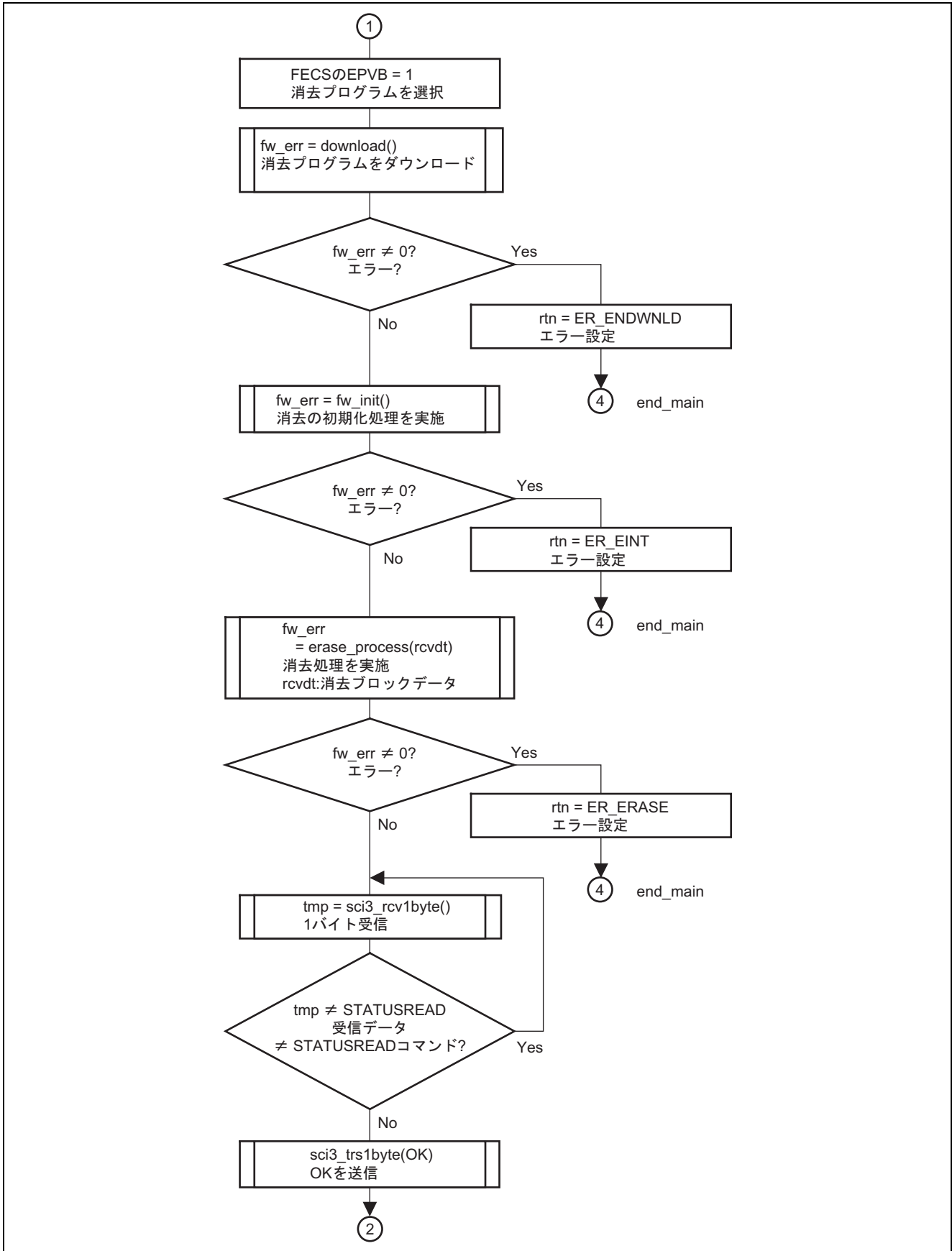
ビット	ビット名	設定値	R/W	機能
0	PPVS	1	R/W	プログラムパルスベリファイ ダウンロードする書き込みプログラムを選択します。 0: 書き込みプログラムを選択しない。 [クリア条件] ● 転送が終了したとき 1: 書き込みプログラムを選択する。

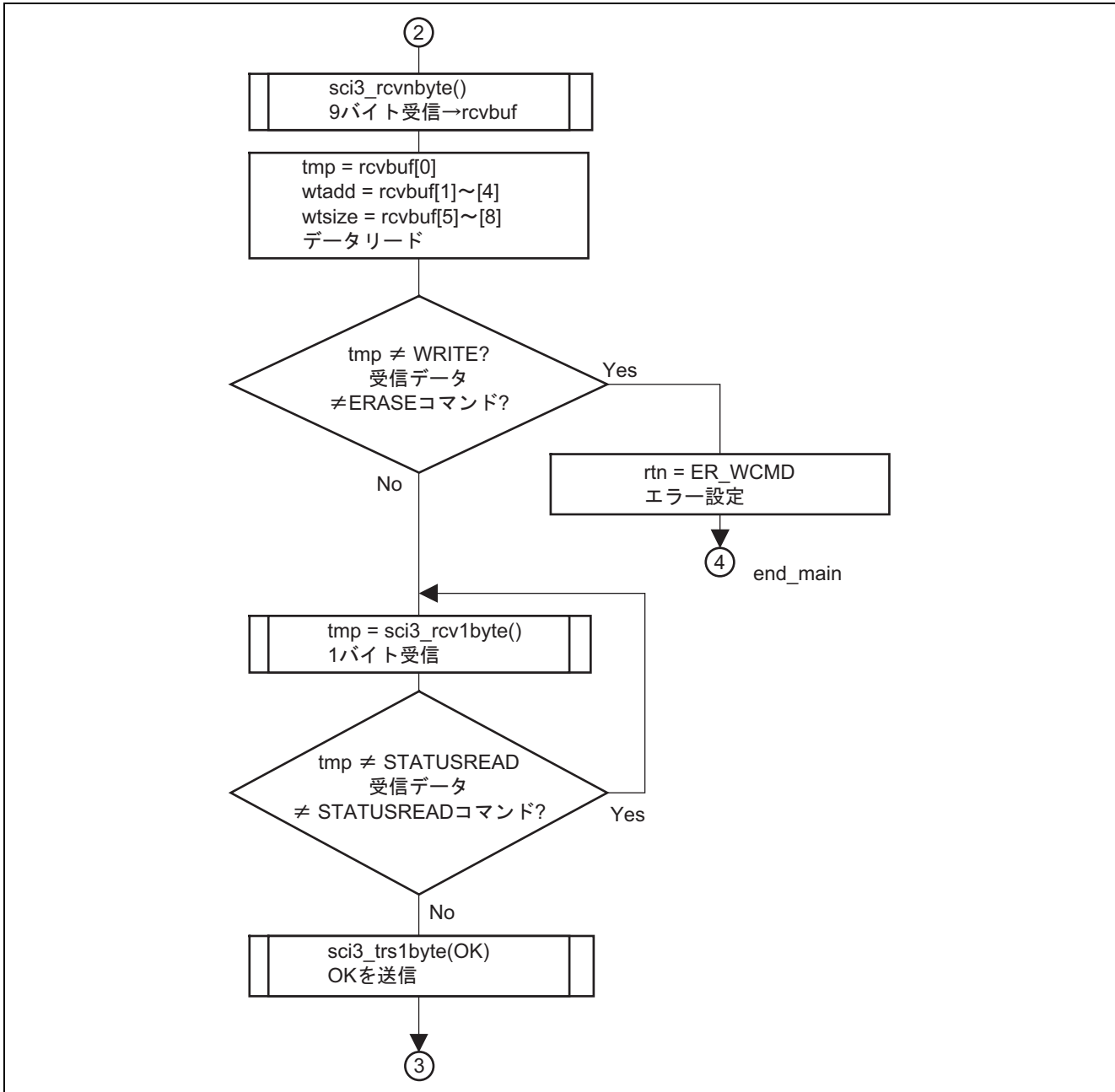
#### ● フラッシュイレースコードセレクトレジスタ (FECS) アドレス: H'FFFDEA

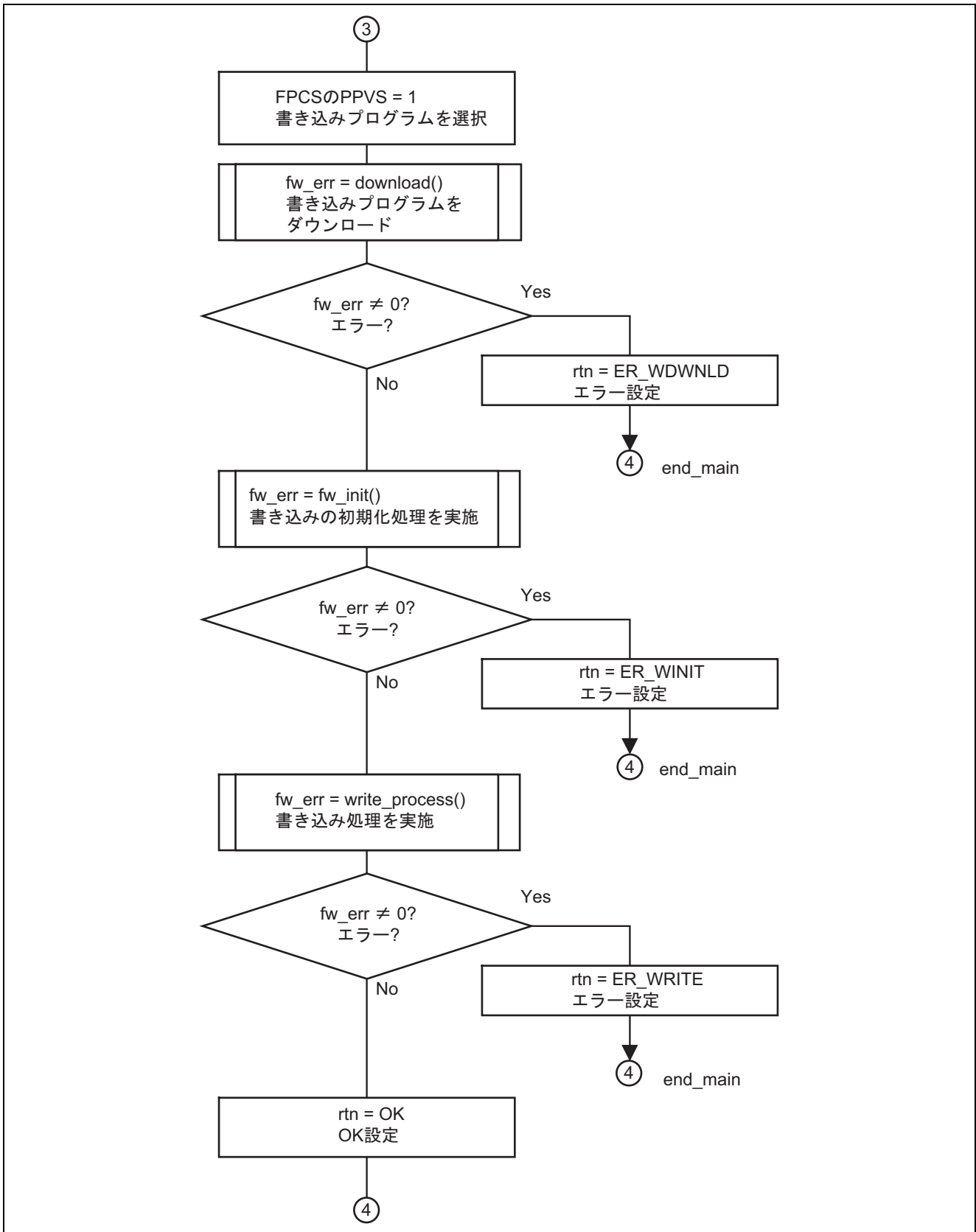
ビット	ビット名	設定値	R/W	機能
0	EPVB	1	R/W	イレースパルスベリファイブロック ダウンロードする消去プログラムを選択します。 0: 消去プログラムを選択しない。 [クリア条件] ● 転送が終了したとき 1: 消去プログラムを選択する。

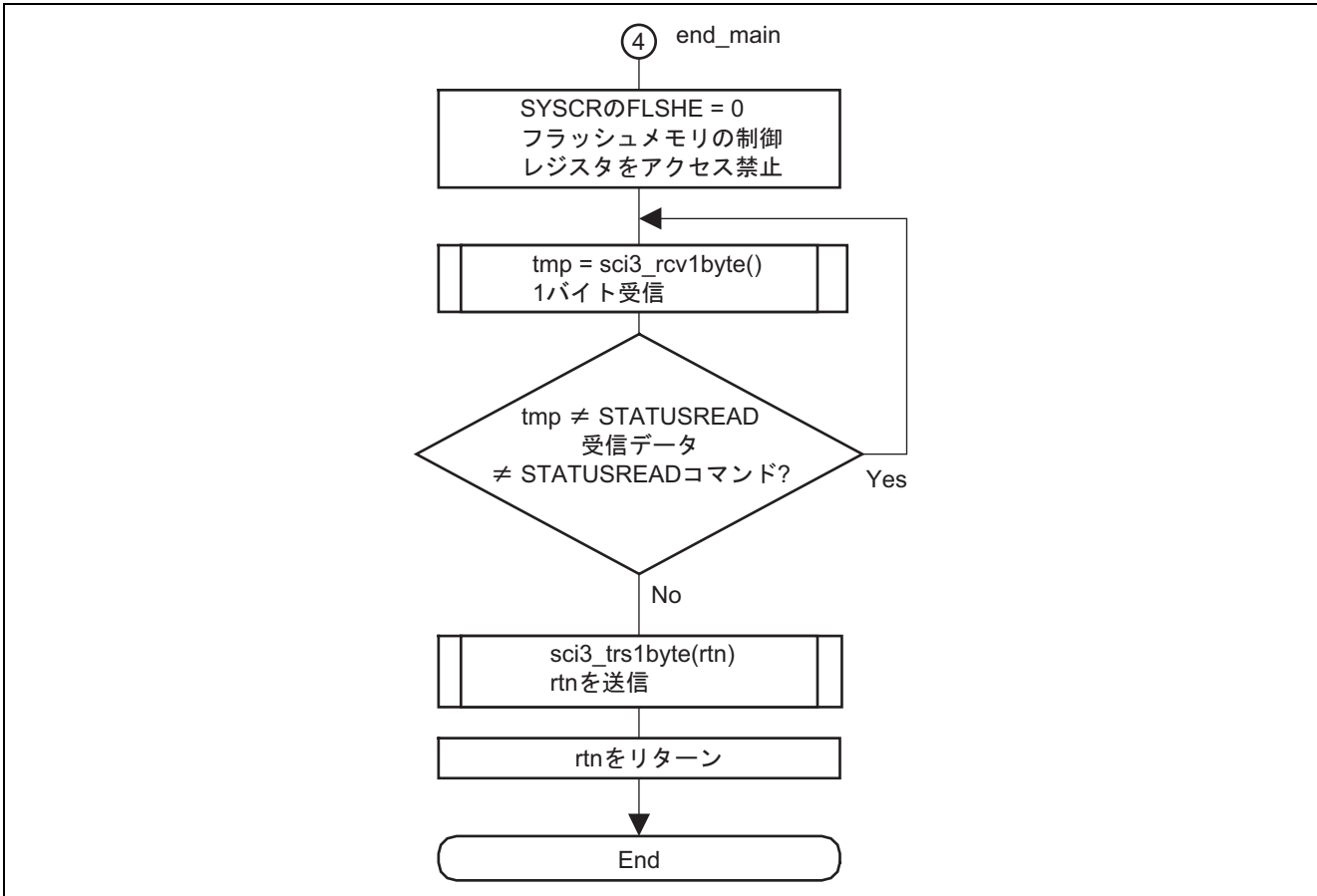
(5) フローチャート











## 6.2.2 erase\_process 関数

## (1) 機能概要

フラッシュ消去

## (2) 引数

型	変数名	内容
unsigned char	ERASEBLK	消去ブロック

## (3) 戻り値

型	内容
unsigned char	フラッシュパス/フェイルパラメータ (FPFR) 消去結果の戻り値

## (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

## • フラッシュキーコードレジスタ (FKEY)

アドレス: H'FFFDEC

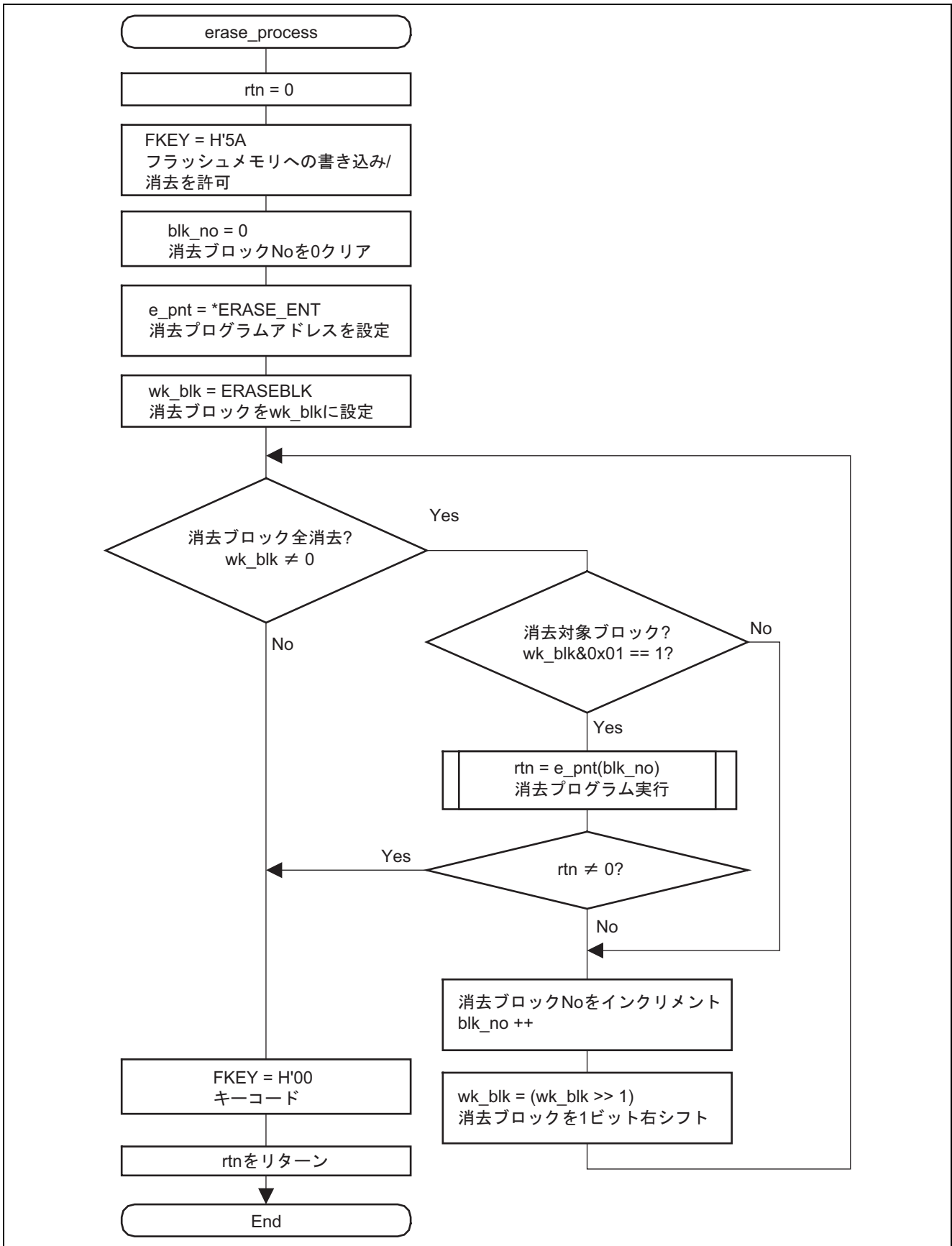
ビット	ビット名	設定値	R/W	機能
7	K7	0	R/W	キーコード FKEY に H'A5 を書き込むと、FCCS の SCO ビットの書き込みが有効になります。H'A5 以外の値が書き込まれている場合は、SCO ビットを 1 にセットできないため、内蔵 RAM に内蔵プログラムをダウンロードできません。 また、H'5A を書き込んだ場合のみフラッシュメモリへの書き込み/消去が可能になります。H'5A 以外の値が書き込まれている場合は、書き込み/消去プログラムを実行しても書き込み/消去できません。 H'A5: SCO ビットへの書き込みを許可 (H'A5 以外では SCO ビットを 1 にセットできません) H'5A: フラッシュメモリへの書き込み/消去を許可 (H'5A 以外ではソフトウェアプロテクト状態) H'00: 初期値
6	K6	1	R/W	
5	K5	0	R/W	
4	K4	1	R/W	
3	K3	1	R/W	
2	K2	0	R/W	
1	K1	1	R/W	
0	K0	0	R/W	

- フラッシュパス/フェイルパラメータ (FPFR)  
 (CPU 汎用レジスタ R0L)  
 消去結果の戻り値

ビット	ビット名	設定値	R/W	機能
6	MD	不定	R/W	消去モード関連設定エラー検出ビット エラープロテクト状態を検出し、その結果を戻します。エラープロテクト状態のとき、このビットに1が書き込まれます。エラープロテクト状態であるか、ないかは、FCCS の FLER ビットで確認できます。 0: 正常に動作 (FLER = 0) 1: エラープロテクト状態で、書き込みできない (FLER = 1)
5	EE	不定	R/W	消去実行時エラー検出ビット ユーザマットの消去ができない、またはフラッシュメモリの関連レジスタの一部が書き換えられていると、このビットに1が戻されます。このとき、ユーザマットは途中まで消去されている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。 0: 消去は正常終了 1: 消去が異常終了
4	FK	不定	R/W	フラッシュキーレジスタエラー検出ビット 消去開始前の FKEY の値 (H'A5) を検出し、その結果を戻します。 0: FKEY の設定値は正常 (H'5A) 1: FKEY の設定値エラー (H'5A 以外の値)
3	EB	不定	R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかを検出し、その結果を戻します。 0: 消去ブロック番号の設定は正常値 1: 消去ブロック番号の設定が異常値
0	SF	不定	R/W	サクセス/フェイルビット 消去結果を戻します。 0: 消去は正常終了 (エラーなし) 1: 消去が異常終了 (エラー発生)

- フラッシュイレースブロックセレクトパラメータ (FEBS)  
 (CPU の汎用レジスタ ER0)  
 消去ブロック番号を指定します。0~11 (H'0000 ~ H'000B) の範囲で消去ブロック番号を数値で設定します。0 は EB0 ブロック, 11 は EB11 ブロックに対応します。0~11 以外の設定ではエラーになります。  
 設定値: blk\_no

(5) フローチャート



## 6.2.3 write\_process 関数

## (1) 機能概要

フラッシュ書き込み

## (2) 引数

型	変数名	内容
unsigned long	fladr	書き換え先頭アドレス
unsigned long	flsize	書き換えサイズ

## (3) 戻り値

型	内容
unsigned char	フラッシュパス/フェイルパラメータ (FPFR) 書き込み結果の戻り値

## (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

## ● フラッシュキーコードレジスタ (FKEY)

アドレス: H'FFFDEC

ビット	ビット名	設定値	R/W	機能
7	K7	0	R/W	キーコード FKEY に H'A5 を書き込むと、FCCS の SCO ビットの書き込みが有効になります。H'A5 以外の値が書き込まれている場合は、SCO ビットを 1 にセットできないため、内蔵 RAM に内蔵プログラムをダウンロードできません。 また、H'5A を書き込んだ場合のみフラッシュメモリへの書き込み/消去が可能になります。H'5A 以外の値が書き込まれている場合は、書き込み/消去プログラムを実行しても書き込み/消去できません。 H'A5: SCO ビットへの書き込みを許可 (H'A5 以外では SCO ビットを 1 にセットできません) H'5A: フラッシュメモリへの書き込み/消去を許可 (H'5A 以外ではソフトウェアプロテクト状態) H'00: 初期値
6	K6	1	R/W	
5	K5	0	R/W	
4	K4	1	R/W	
3	K3	1	R/W	
2	K2	0	R/W	
1	K1	1	R/W	
0	K0	0	R/W	

- フラッシュパス/フェイルパラメータ (FPFR)  
 (CPU 汎用レジスタ R0L)  
 書き込み結果の戻り値

ビット	ビット名	設定値	R/W	機能
6	MD	不定	R/W	書き込みモード関連設定エラー検出ビット エラープロテクト状態を検出し、その結果を戻します。エラープロテクト状態のとき、このビットに1が書き込まれます。エラープロテクト状態であるか、ないかは、FCCS の FLER ビットで確認できます。 0: 正常に動作 (FLER = 0) 1: エラープロテクト状態で、書き込みできない (FLER = 1)
5	EE	不定	R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために指定データを書き込めなかった場合、このビットには1が書き込まれます。このとき、ユーザマットは途中まで書き換えられている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。 0: 書き込みは正常終了 1: 書き込みが異常終了 (書き込み内容は保証できない)
4	FK	不定	R/W	フラッシュキーレジスタエラー検出ビット 書き込み開始前の FKEY の値 (H'A5) を検出し、その結果を戻します。 0: FKEY の設定値は正常 (H'5A) 1: FKEY の設定値エラー (H'5A 以外の値)
2	WD	不定	R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスに、フラッシュメモリ以外の領域が指定された場合はエラーになります。 0: 書き込みデータの格納先の先頭アドレス設定は正常値 1: 書き込みデータの格納先の先頭アドレス設定は異常値
1	WA	不定	R/W	ライトアドレスエラー検出ビット 書き込み先の先頭アドレスに、次の領域が指定された場合はエラーになります。 <ul style="list-style-type: none"> <li>フラッシュメモリ以外の領域のとき</li> <li>指定されたアドレスが 128 バイト境界でないとき (アドレスの下位 8 ビットが H'00 か H'80 以外)</li> </ul> 0: 書き込み先の先頭アドレス設定は正常値 1: 書き込み先の先頭アドレス設定が異常値
0	SF	不定	R/W	サクセス/フェイルビット 書き込み結果を戻します。 0: 書き込みは正常終了 (エラーなし) 1: 書き込みが異常終了 (エラー発生)

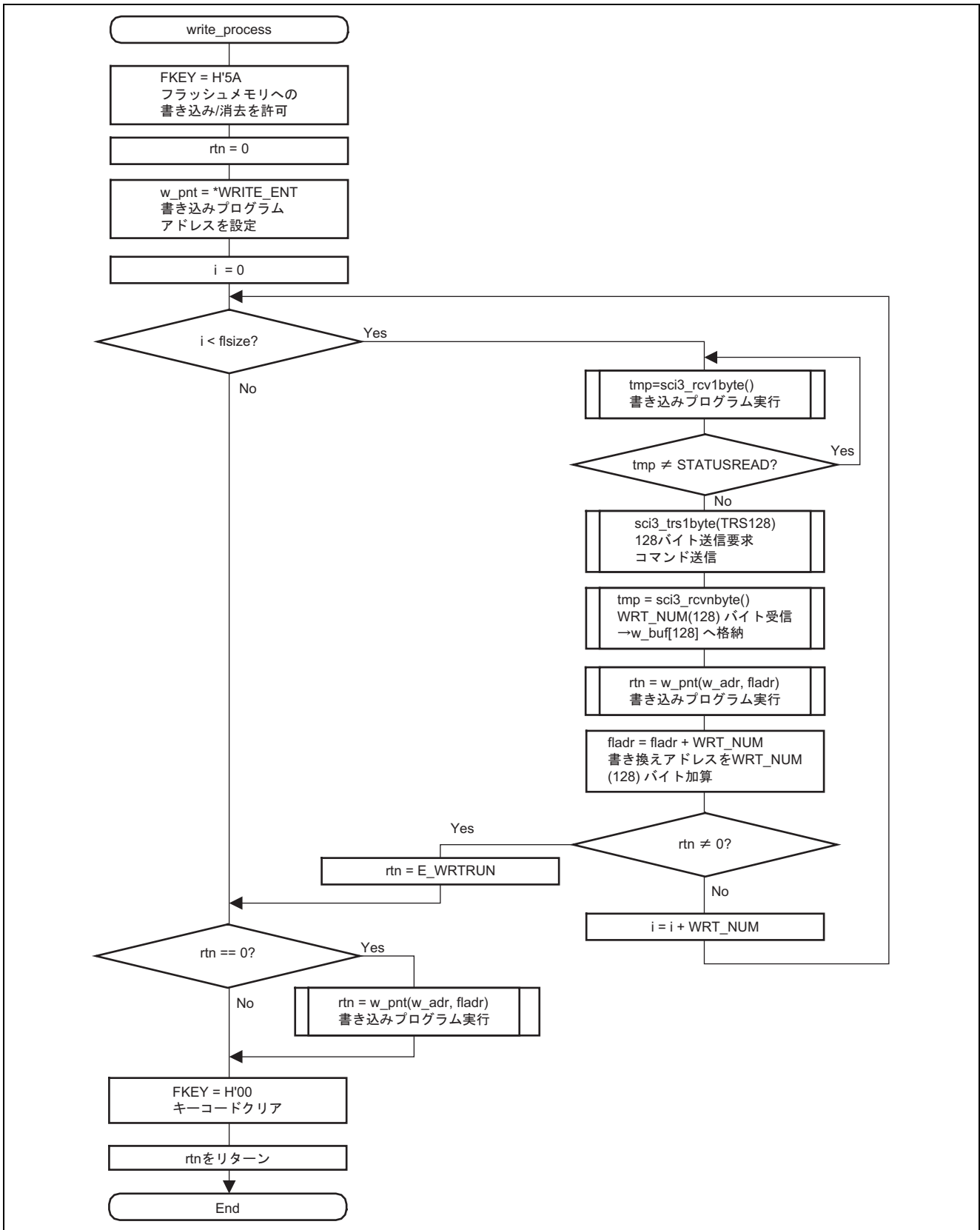
- フラッシュマルチパースアドレスエリアパラメータ (FMPAR)  
 (CPU の汎用レジスタ ER1)  
 ユーザマツト上の書き込み先の先頭アドレスを設定します。  
 フラッシュメモリ領域外にアドレスが指定されている場合、または書き込み先の先頭アドレスが 128 バイト境界でない場合は、エラーとなります。これらのエラーは、FPFR の WA ビットに反映されます。

ビット	ビット名	設定値	R/W	機能
31~0	MOA31 ~ MOA0	fladr (ローカル変数)	R/W	ユーザマツト上の書き込み先の先頭アドレスを設定します。ここで指定されたユーザマツトの先頭アドレスから連続 128 バイトの書き込みが行なわれます。指定した書き込み先の先頭アドレスは 128 バイト境界となり、MOA6~MOA0 は常に 0 になります。

- フラッシュマルチパースデータデスティネーションパラメータ (FMPDR)  
 (CPU の汎用レジスタ ER0)  
 ユーザマツトに書き込むデータが格納されている領域の先頭アドレスを設定します。  
 書き込みデータの格納先がフラッシュメモリ領域内の場合は、エラーとなります。このエラーは FPFR の WD ビットに反映されます。

ビット	ビット名	設定値	R/W	機能
31~0	MOD31 ~ MOD0	fladr (ローカル変数)	R/W	ユーザマツトに書き込むデータが格納されている領域の先頭アドレスを設定します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマツトに書き込まれます。

(5) フローチャート



## 6.2.4 download 関数

## (1) 機能概要

内蔵モジュールのダウンロード

## (2) 引数

なし

## (3) 戻り値

型	内容
unsigned char	ダウンロードパスファイルリザルトパラメータ (DPFR) ダウンロード結果の戻り値

## (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

## ● フラッシュキーコードレジスタ (FKEY)

アドレス: H'FFFDEC

ビット	ビット名	設定値	R/W	機能
7	K7	1	R/W	キーコード
6	K6	0	R/W	FKEY に H'A5 を書き込むと、FCCS の SCO ビットの書き込みが有効になります。H'A5 以外の値が書き込まれている場合は、SCO ビットを 1 にセットできないため、内蔵 RAM に内蔵プログラムをダウンロードできません。 また、H'5A を書き込んだ場合のみフラッシュメモリへの書き込み/消去が可能になります。H'5A 以外の値が書き込まれている場合は、書き込み/消去プログラムを実行しても書き込み/消去できません。 H'A5: SCO ビットへの書き込みを許可 (H'A5 以外では SCO ビットを 1 にセットできません) H'5A: フラッシュメモリへの書き込み/消去を許可 (H'5A 以外ではソフトウェアプロテクト状態) H'00: 初期値
5	K5	1	R/W	
4	K4	0	R/W	
3	K3	0	R/W	
2	K2	1	R/W	
1	K1	0	R/W	
0	K0	1	R/W	

## • フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR) アドレス: H'FFFDEE

ビット	ビット名	設定値	R/W	機能
7	TDER	0	R/W	トランスファデスティネーションアドレス設定エラー TDA6 ~ TDA0 ビットで設定された先頭アドレス指定にエラーがあると、このビットが1にセットされます。 先頭アドレス指定のエラー判定は、FCCS の SCO ビットを1にセットしてダウンロードが実行されたときに、TDA6 ~ TDA0 ビットの値が H'00 ~ H'02 の範囲にあるかを判定します。SCO ビットを1にセットする前に、このビットを0にクリアして、FTDAR の値を H'00 ~ H'02 の範囲に設定してください。 0: TDA6 ~ TDA0 の設定値は正常 1: TDER, TDA6 ~ TDA0 の設定値が H'03 ~ H'FF で、ダウンロードが中断
6	TDA6	0	R/W	トランスファデスティネーションアドレス ダウンロード先の内蔵 RAM の先頭アドレスを指定します。設定可能な値は H'00 ~ H'02 で、4K バイト以内で内蔵 RAM 上の先頭アドレスを指定できます。 H'00: 先頭アドレスを H'FF9000 に設定 H'01: 先頭アドレスを H'FFA000 に設定 H'02: 先頭アドレスを H'FFB000 に設定 H'03 ~ H'7F: 設定禁止 (H'03 ~ H'7F の値が設定されると、TDER ビットが1にセットされ、内蔵プログラムのダウンロードが中断されます。)
5	TDA5	0	R/W	
4	TDA4	0	R/W	
3	TDA3	0	R/W	
2	TDA2	0	R/W	
1	TDA1	1	R/W	
0	TDA0	0	R/W	

## • フラッシュコードコントロールステータスレジスタ (FCCS) アドレス: H'FFFDE8

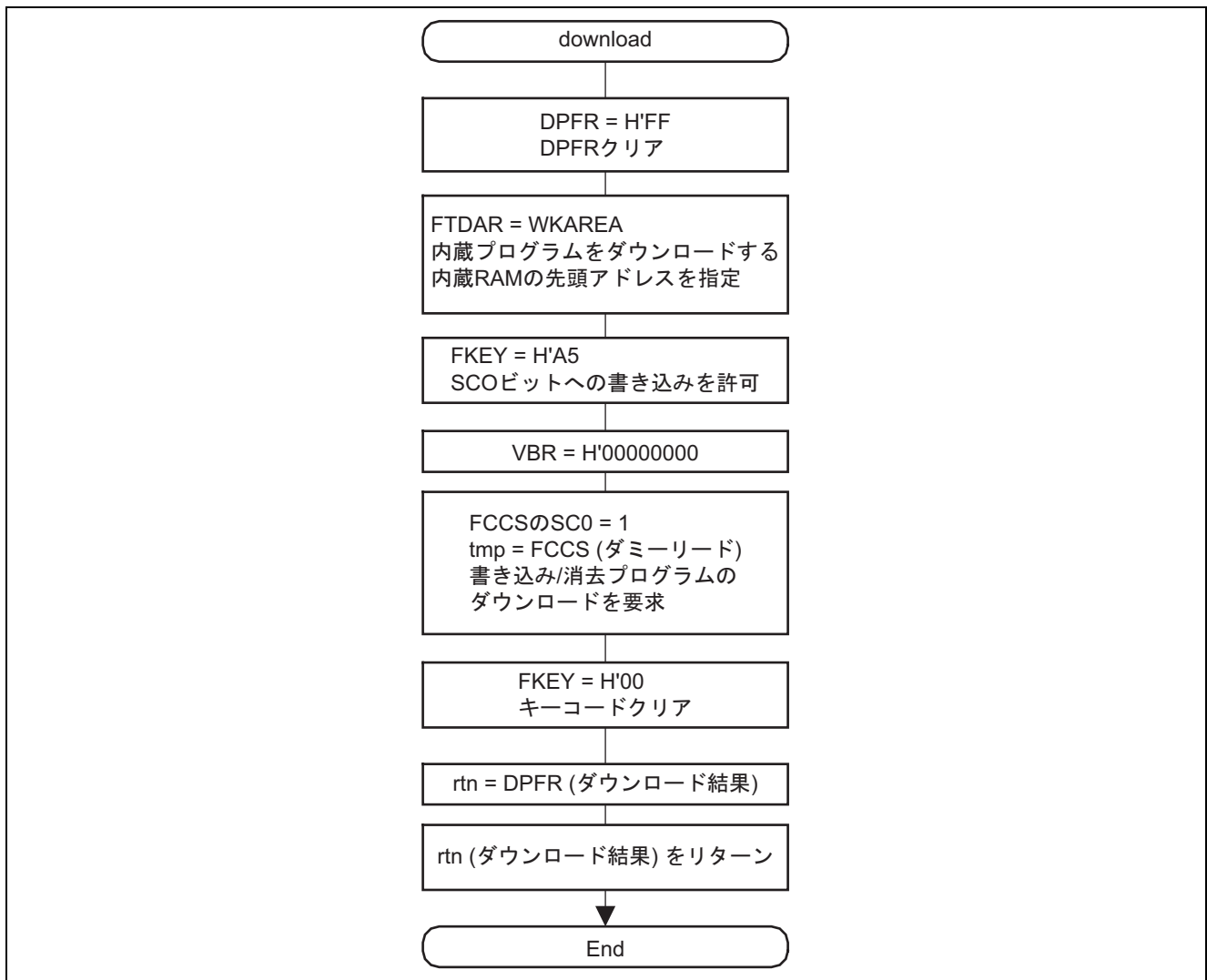
ビット	ビット名	設定値	R/W	機能
4	FLER	0	R	<p>フラッシュメモリエラー</p> <p>フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。このビットが1にセットされると、フラッシュメモリはエラープロテクト状態に遷移します。なお、このビットが1にセットされるとフラッシュメモリ内部に高電圧が印加されるので、フラッシュメモリへのダメージを低減するために100μs以上のリセット入力期間 (<math>\overline{RES} = 0</math> の期間) の後にリセットリリースしてください。</p> <p>0: フラッシュメモリは正常に動作 (エラープロテクトは無効)</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセットのとき</li> </ul> <p>1: フラッシュメモリへの書き込み/消去中にエラーが発生 (エラープロテクトは有効)</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 書き込み/消去中に NMI などの割り込み要求が発生したとき</li> <li>• 書き込み/消去中にフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む)</li> <li>• 書き込み/消去中に SLEEP 命令を実行したとき (ソフトウェアスタンバイを含む)</li> <li>• 書き込み/消去中に CPU 以外のバスマスタ (DMAC, DTC) が、バス権を確保したとき</li> </ul>
0	SCO*	0	(R)/W	<p>ソースプログラムコピーオペレーション</p> <p>内蔵 RAM に書き込み/消去プログラムのダウンロードを要求するビットです。このビットを1にセットすると、FPCS, FECS で選択したプログラムを FTDAR で指定した内蔵 RAM 領域にダウンロードします。</p> <p>このビットを1にセットするには、RAM エミュレーション機能の解除、FKEY = H'A5、および SCO ビットの設定が内蔵 RAM 上で実行されていることが必要です。このビットを1にセットした直後は、FCCS のダミーリードを必ず2回実行してください。また、ダウンロード中は、すべての割り込み要求が発生しないようにしてください。ダウンロードが終了すると、このビットは0にクリアされます。</p> <p>このビットによるプログラムのダウンロードは、プログラム格納領域のバンク切り換えを伴う特殊な処理を行ないますので、ダウンロードを要求する前に、VBR の値を H'00000000 に初期化してください。ダウンロード終了後は、VBR を変更できます。</p> <p>0: 書き込み/消去プログラムのダウンロードを要求しない</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• ダウンロードが終了したとき</li> </ul> <p>1: 書き込み/消去プログラムのダウンロードを要求する</p> <p>[セット条件] (以下の条件をすべて満足しているとき)</p> <ul style="list-style-type: none"> <li>• RAM エミュレーション機能が解除されているとき (RAMER の RAMS = 0)</li> <li>• FKEY に H'A5 が書き込まれているとき</li> <li>• FCCS の SCO ビットの設定を内蔵 RAM 上で実行</li> </ul>

【注】 \* ライトのみ可能です。リードすると常に0が読み出されます。

- ダウンロードパスフェイルリザルトパラメータ (DPFR)  
 (FTDAR で指定した内蔵 RAM 上の先頭アドレスの 1 バイト)  
 ダウンロード結果の戻り値です。ダウンロード結果を DPFR の値で判断します。

ビット	ビット名	設定値	R/W	機能
2	SS	1	R/W	ソースセレクトエラー検出ビット ダウンロード可能なプログラムは 1 種類のみです。ダウンロードするプログラムが選択されていない場合、2 種類以上のプログラムが選択されている場合、またはマッピングされていないプログラムを選択した場合には、エラーとなります。 0: ダウンロードするプログラムの選択は正常 1: ダウンロードするプログラムの選択エラー
1	FK	1	R/W	フラッシュキーレジスタエラー検出ビット FKEY の値 (H'A5) を検出し、その結果を戻します。 0: FKEY の設定値は正常 (H'A5) 1: FKEY の設定値エラー (H'A5 以外の値)
0	SF	1	R/W	サクセス/フェイルビット ダウンロード結果を戻します。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できたかを判定します。 0: プログラムのダウンロードは正常終了 1: プログラムのダウンロードが異常終了 (エラーの発生)

(5) フローチャート



### 6.2.5 fw\_init 関数

#### (1) 機能概要

フラッシュ消去書き込み前の初期化

#### (2) 引数

なし

#### (3) 戻り値

型	内容
unsigned char	フラッシュパス/フェイルパラメータ (FPFR) 初期化結果の戻り値

#### (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- フラッシュプログラム/イレース周波数パラメータ (FPEFEQ)

(CPU の汎用レジスタ ER0)

CPU の動作周波数を設定するパラメータです。本 LSI がサポートしている動作周波数範囲は 8 ~ 48MHz です。

ビット	ビット名	設定値	R/W	機能
15~0	F15~F0	CLOCK	R/W	周波数設定ビット CPU の動作周波数を設定します。PLL 逡倍を使用する場合は逡倍後の周波数を設定してください。設定値の算出は次のようにしてください。 <ul style="list-style-type: none"> <li>MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。</li> <li>100 倍した値を 2 進数に変換し、FPEFEQ (汎用レジスタ ER0) に書き込む。具体例として CPU の動作周波数が 35.000MHz の場合には次のようになります。                             <ol style="list-style-type: none"> <li>35.000 の小数点第 3 位を四捨五入</li> <li><math>35.00 \times 100 = 3500</math> を 2 進数変換し、B'0000 1101 1010 1100 (H'0CE4) を ER0 に設定する。</li> </ol> </li> </ul>

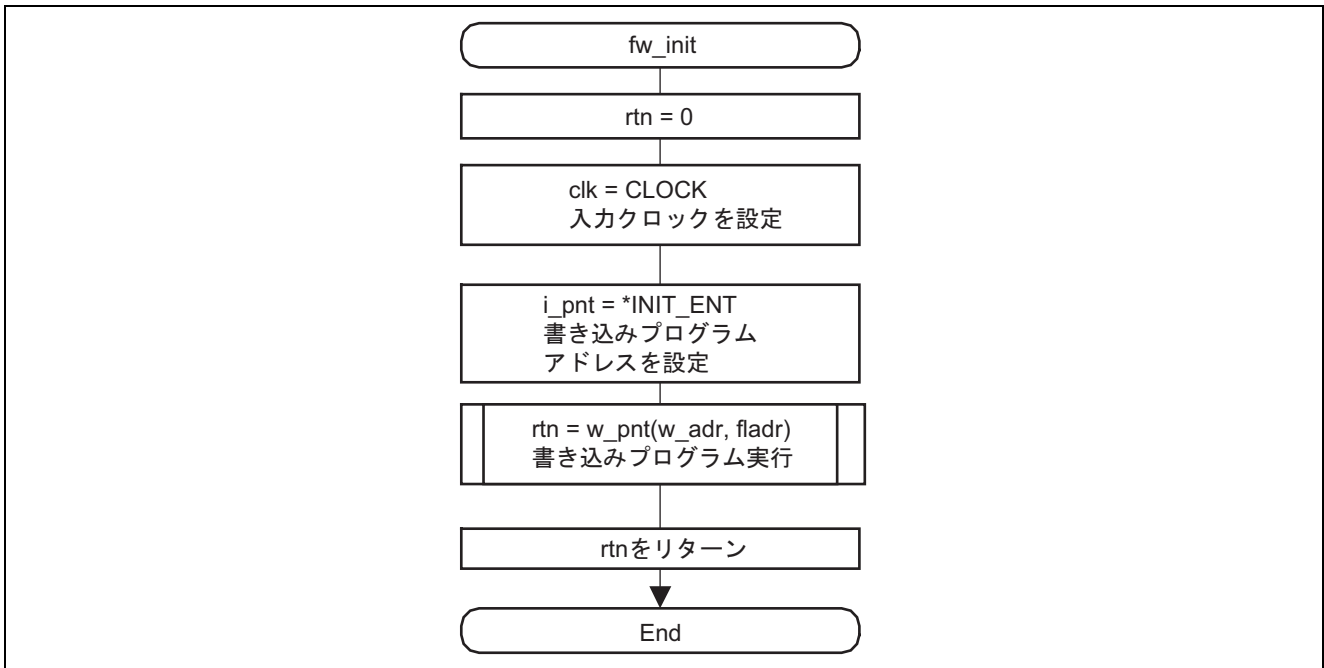
- フラッシュパス/フェイルパラメータ (FPFR)

(CPU 汎用レジスタ R0L)

初期化結果の戻り値

ビット	ビット名	設定値	R/W	機能
1	FQ	不定	R/W	周波数エラー検出ビット 設定された周波数の動作周波数と本 LSI がサポートしている動作周波数を比較し、その結果を戻します。 0: 消去ブロック番号の設定は正常値 1: 消去ブロック番号の設定が異常値
0	SF	不定	R/W	サクセス/フェイルビット 初期化結果を戻します。 0: 初期化は正常終了 (エラーなし) 1: 初期化が異常終了 (エラー発生)

(5) フローチャート



## 7. スレーブ側クロック同期式シリアル通信プログラムソフトウェア説明

### 7.1 関数一覧

クロック同期式シリアル通信プログラム (sci3.c) は、マスタ側との通信処理を行いません。クロック同期式シリアル通信プログラムの関数一覧を表 12 に、階層構造を図 19 に示します。

表 12 クロック同期式シリアル通信プログラム関数一覧

関数名	機能
sci3_init	クロック同期式シリアル通信の初期化
sci3_rcv1byte	データを 1 バイト受信する
sci3_rcvnbyte	データを n バイト受信する
sci3_trs1byte	データを 1 バイト送信する
sci3_trsnbyte	データを n バイト送信する

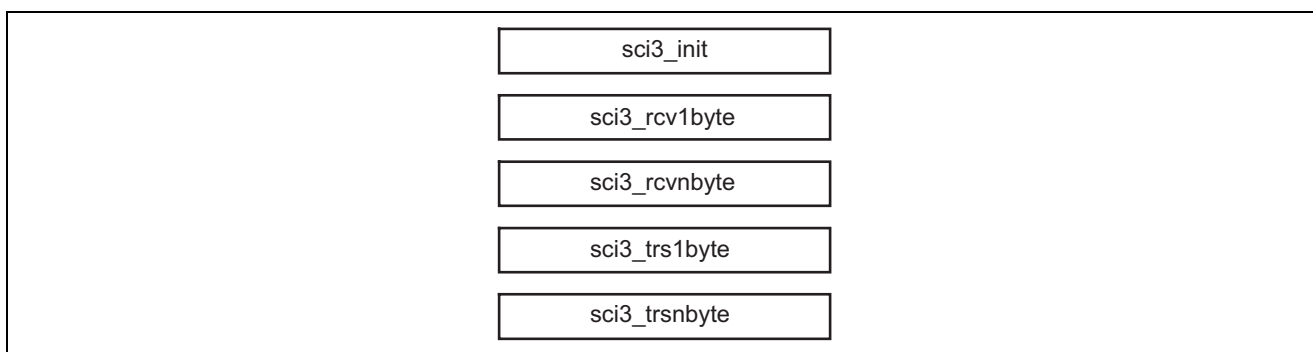


図 19 クロック同期式シリアル通信プログラム

## 7.2 関数説明

### 7.2.1 sci3\_init 関数

#### (1) 機能概要

クロック同期式シリアル通信の初期化

#### (2) 引数

なし

#### (3) 戻り値

なし

#### (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

#### ● シリアルモードレジスタ\_3 (SMR\_3)

アドレス: H'FFFE88

ビット	ビット名	設定値	R/W	機能
7	C/A	0	R/W	コミュニケーションモード 0: コミュニケーションモードを調歩同期式モードに設定 1: コミュニケーションモードをクロック同期式モードに設定
6	CHR	0	R/W	キャラクタレングス 0: データ長を 8 ビットに設定 1: データ長を 7 ビットに設定
1	CKS1	0	R/W	クロックセレクト 1, 0 B'00: 内蔵ポーレートジェネレータのクロックソースを P $\phi$ クロックに設定
0	CKS0	0	R/W	

#### ● シリアルコントロールレジスタ\_3 (SCR\_3)

アドレス: H'FFFE8A

ビット	ビット名	設定値	R/W	機能
5	TE	0	R/W	トランスミットイネーブル 0: 送信動作を禁止 1: 送信動作を許可
4	RE	0	R/W	レシーブイネーブル 0: 受信動作を禁止 1: 受信動作を許可
1	CKE1	0	R/W	クロックイネーブル 1, 0 クロック同期式の場合 B'00: クロックソースを内部クロック, SCK3 端子をクロック出力端子に設定 B'1X: クロックソースを外部クロック, SCK3 端子をクロック入力端子に設定
0	CKE0	0	R/W	

【注】 X: Don't care

## ● シリアルステータスレジスタ\_3 (SSR\_3)

アドレス: H'FFFE8C

ビット	ビット名	設定値	R/W	機能
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>SCR の TE が 0 のとき</li> <li>TDR から TSR にデータが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき</li> <li>TXI 割り込みにより DMAC で TDR へ送信データを転送したとき</li> </ul>
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>受信が正常終了し, RSR から RDR へ受信データが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき</li> <li>RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。</li> </ul>
5	ORER	0	R/(W)*	オーバーランエラー [セット条件] <ul style="list-style-type: none"> <li>受信時にオーバーランエラーが発生したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき</li> </ul>
2	TEND	不定	R	トランスミットエンド [セット条件] <ul style="list-style-type: none"> <li>SCR の TE が 0 のとき</li> <li>送信キャラクタの最後尾ビットの送信時, TDRE が 1 のとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>TDRE = 1 の状態をリードした後, TDRE フラグに 0 をライトしたとき</li> <li>TXI 割り込み要求により DMAC で TDR へ送信データをライトしたとき</li> </ul>

【注】 \* TDRE, RDRF, ORER フラグはクリアするための 0 ライトのみ可能です。

## ● ポート 1 入力バッファコントロールレジスタ (PIICR)

アドレス: H'FFFB90

ビット	ビット名	設定値	R/W	機能
6	P16ICR	1	R/W	0: P16 (SCK3) 端子の入力バッファは無効 1: P16 (SCK3) 端子の入力バッファは有効
5	P15ICR	1	R/W	0: P15 (RxD3) 端子の入力バッファは無効 1: P15 (RxD3) 端子の入力バッファは有効

• スマートカードモードレジスタ\_3 (SCMR\_3)

アドレス: H'FFFE8E

ビット	ビット名	設定値	R/W	機能
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト 0: 通常の調歩同期式またはクロック同期式モードで動作 1: スマートカードインタフェースモードで動作

(5) フローチャート



## 7.2.2 sci3\_rcv1byte 関数

### (1) 機能概要

クロック同期式シリアルデータを 1 バイト受信

### (2) 引数

なし

### (3) 戻り値

型	内容
unsigned char	1 バイト受信データ

### (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- シリアルコントロールレジスタ<sub>3</sub> (SCR<sub>3</sub>) アドレス: H'FFFE8A

ビット	ビット名	設定値	R/W	機能
4	RE	0	R/W	レシーブイネーブル 0: 受信動作を禁止 1: 受信動作を許可

- シリアルステータスレジスタ<sub>3</sub> (SSR<sub>3</sub>) アドレス: H'FFFE8C

ビット	ビット名	設定値	R/W	機能
6	RDRF	不定	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>受信が正常終了し, RSR から RDR へ受信データが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき</li> <li>RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。</li> </ul>
5	ORER	不定	R/(W)*	オーバーランエラー [セット条件] <ul style="list-style-type: none"> <li>受信時にオーバーランエラーが発生したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後, 0 をライトしたとき</li> </ul>

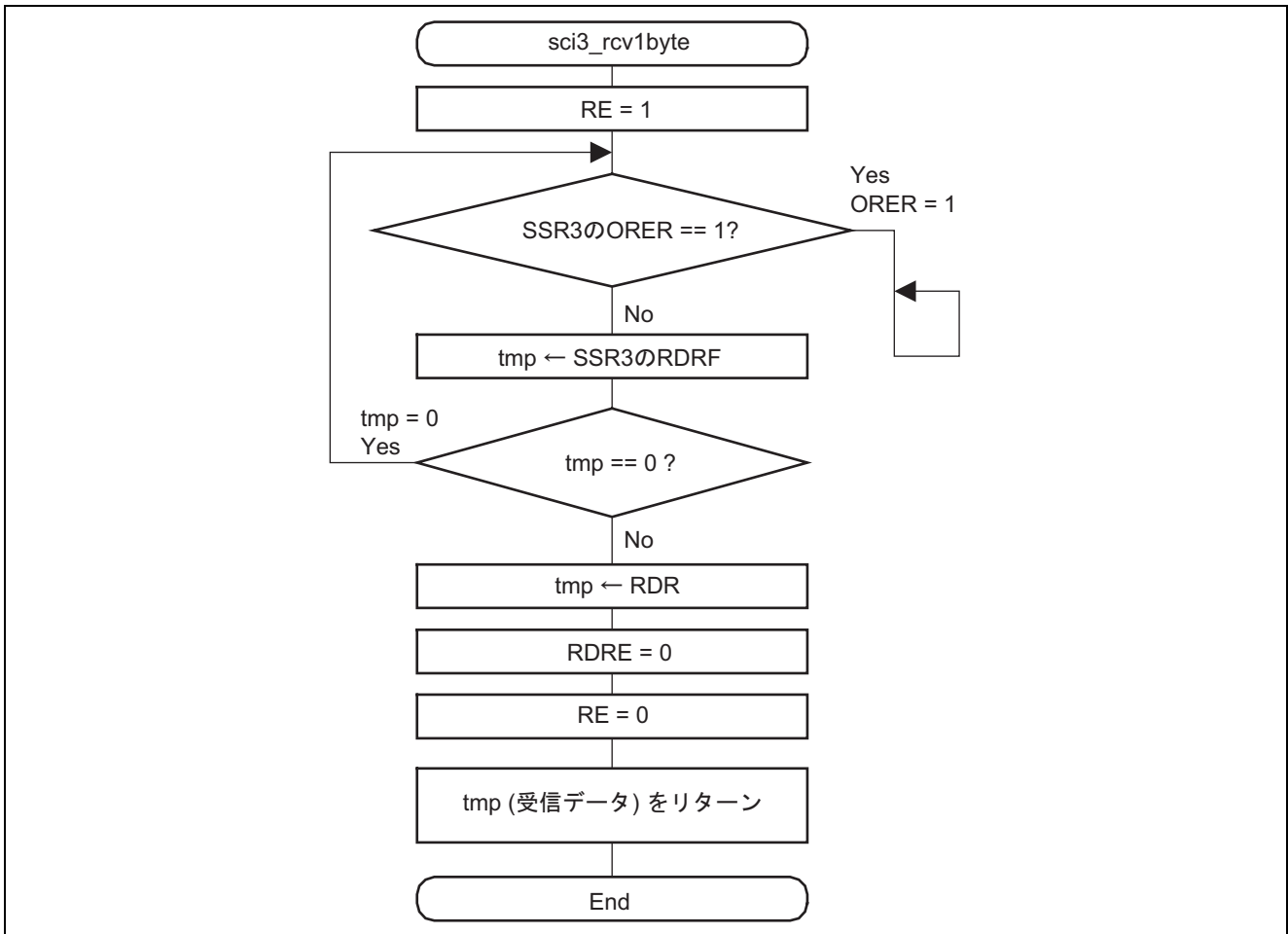
【注】 \* RDRF, ORER フラグはクリアするための 0 ライトのみ可能です。

- レシーブデータレジスタ<sub>3</sub> (RDR<sub>3</sub>) アドレス: H'FFFE8D

機能: 受信データを格納する 8 ビットのレジスタ

設定値: 不定

(5) フローチャート



## 7.2.3 sci3\_rcvnbyte 関数

## (1) 機能概要

クロック同期式シリアルデータを n バイト受信

## (2) 引数

型	変数名	内容
unsigned char	dtno	受信バイト数
unsigned char	*ram	受信データを格納する RAM 先頭アドレス

## (3) 戻り値

なし

## (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- シリアルコントロールレジスタ\_3 (SCR\_3) アドレス: H'FFFE8A

ビット	ビット名	設定値	R/W	機能
4	RE	0	R/W	レシーブイネーブル 0: 受信動作を禁止 1: 受信動作を許可

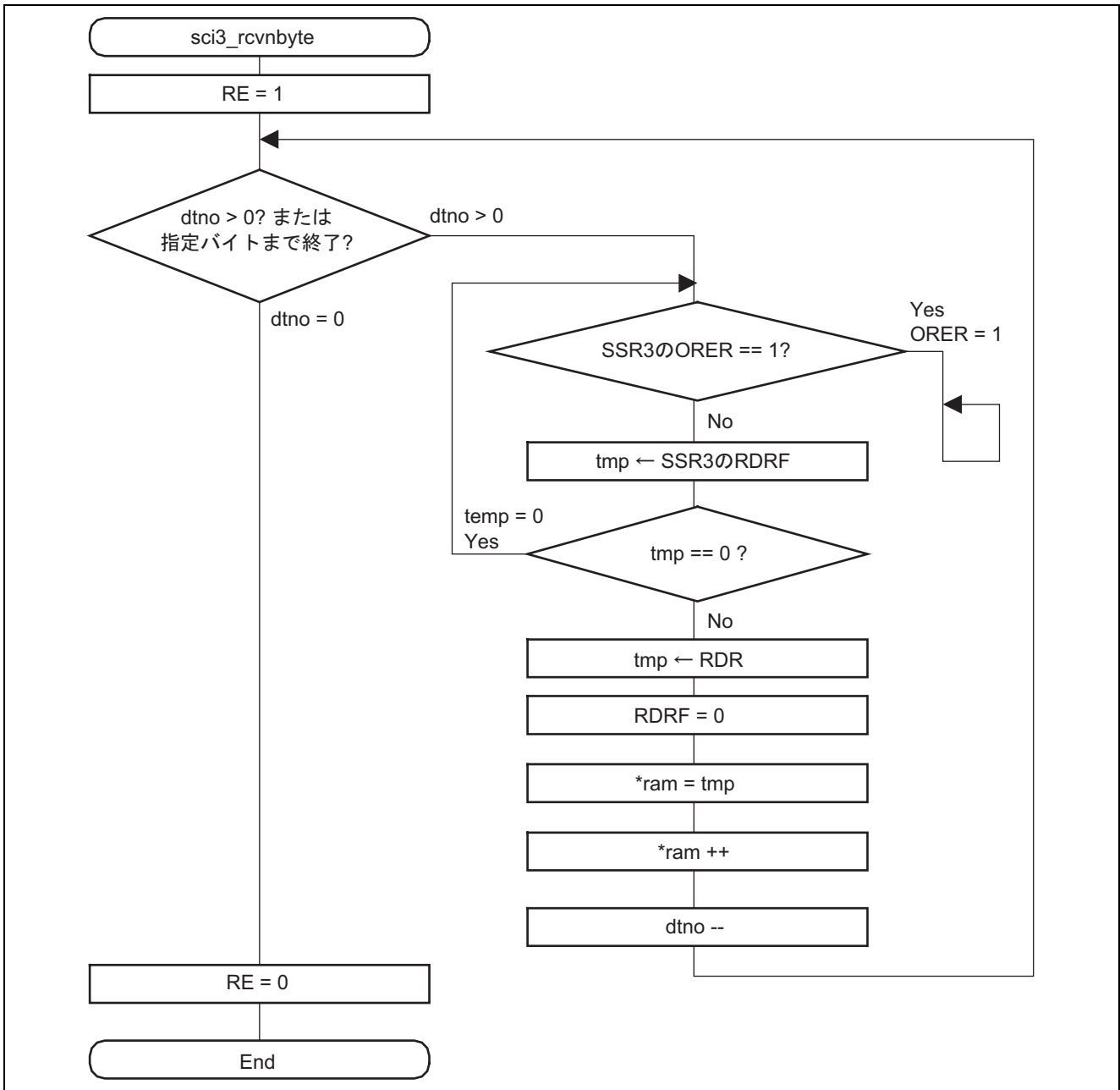
- シリアルステータスレジスタ\_3 (SSR\_3) アドレス: H'FFFE8C

ビット	ビット名	設定値	R/W	機能
6	RDRF	不定	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>受信が正常終了し、RSR から RDR へ受信データが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> <li>RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。</li> </ul>
5	ORER	不定	R/(W)*	オーバーランエラー [セット条件] <ul style="list-style-type: none"> <li>受信時にオーバーランエラーが発生したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> </ul>

【注】 \* RDRF, ORER フラグはクリアするための 0 ライトのみ可能です。

- レシーブデータレジスタ\_3 (RDR\_3) アドレス: H'FFFE8D  
 機能: 受信データを格納する 8 ビットのレジスタ  
 設定値: 不定

(5) フローチャート



## 7.2.4 sci3\_trsr1byte 関数

## (1) 機能概要

クロック同期式シリアルデータを 1 バイト送信

## (2) 引数

型	変数名	内容
unsigned char	tdt	1 バイト送信データ

## (3) 戻り値

なし

## (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- シリアルコントロールレジスタ<sub>3</sub> (SCR<sub>3</sub>) アドレス: H'FFFE8A

ビット	ビット名	設定値	R/W	機能
5	TE	0	R/W	トランスミットイネーブル 0: 送信動作を禁止 1: 送信動作を許可

- トランスミットデータレジスタ<sub>3</sub> (TDR<sub>3</sub>) アドレス: H'FFFE8B

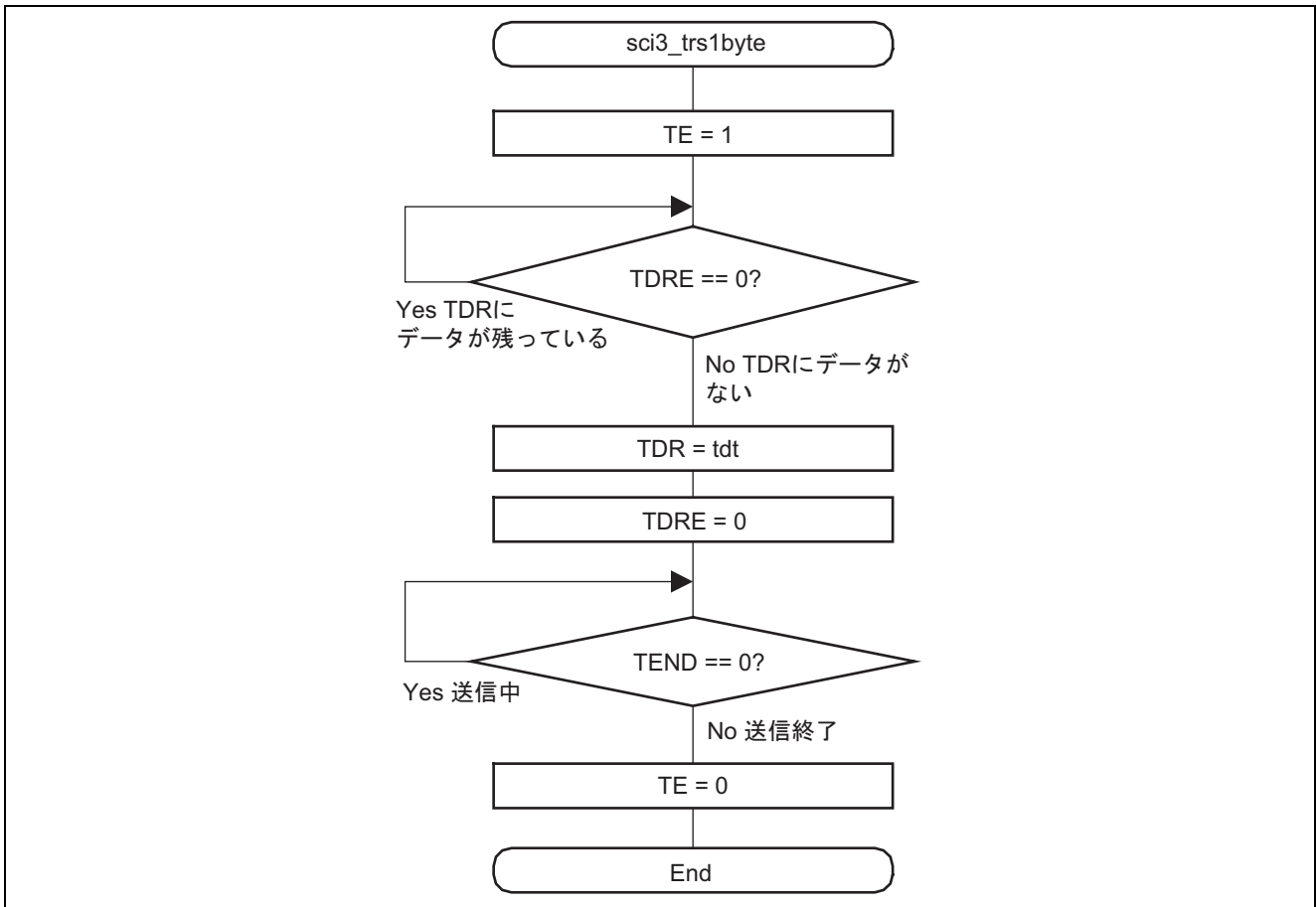
機能: 送信データを格納する 8 ビットのレジスタ  
設定値: 不定

- シリアルステータスレジスタ<sub>3</sub> (SSR<sub>3</sub>) アドレス: H'FFFE8C

ビット	ビット名	設定値	R/W	機能
7	TDRE	不定	R/(W)*	トランスミットデータレジスタエンpty TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>SCR の TE が 0 のとき</li> <li>TDR から TSR にデータが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> <li>TXI 割り込みにより DMAC で TDR へ送信データを転送したとき</li> </ul>
2	TEND	不定	R	トランスミットエンド [セット条件] <ul style="list-style-type: none"> <li>SCR の TE が 0 のとき</li> <li>送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき</li> <li>TXI 割り込み要求により DMAC で TDR へ送信データをライトしたとき</li> </ul>

【注】 \* TDRE フラグはクリアするための 0 ライトのみ可能です。

(5) フローチャート



## 7.2.5 sci3\_trsnbyte 関数

## (1) 機能概要

クロック同期式シリアルデータを n バイト送信

## (2) 引数

型	変数名	内容
unsigned short	dtno	送信サイズ
unsigned char	*tdt	送信データの先頭アドレス

## (3) 戻り値

なし

## (4) 使用内部レジスタ説明

本タスク例の使用内部レジスタを以下に示します。なお、設定値は本タスク例において使用している値であり、初期値とは異なります。

- シリアルコントロールレジスタ\_3 (SCR\_3) アドレス: H'FFFE8A

ビット	ビット名	設定値	R/W	機能
5	TE	0	R/W	トランスミットイネーブル 0: 送信動作を禁止 1: 送信動作を許可

- トランスミットデータレジスタ\_3 (TDR\_3) アドレス: H'FFFE8B

機能: 送信データを格納する 8 ビットのレジスタ

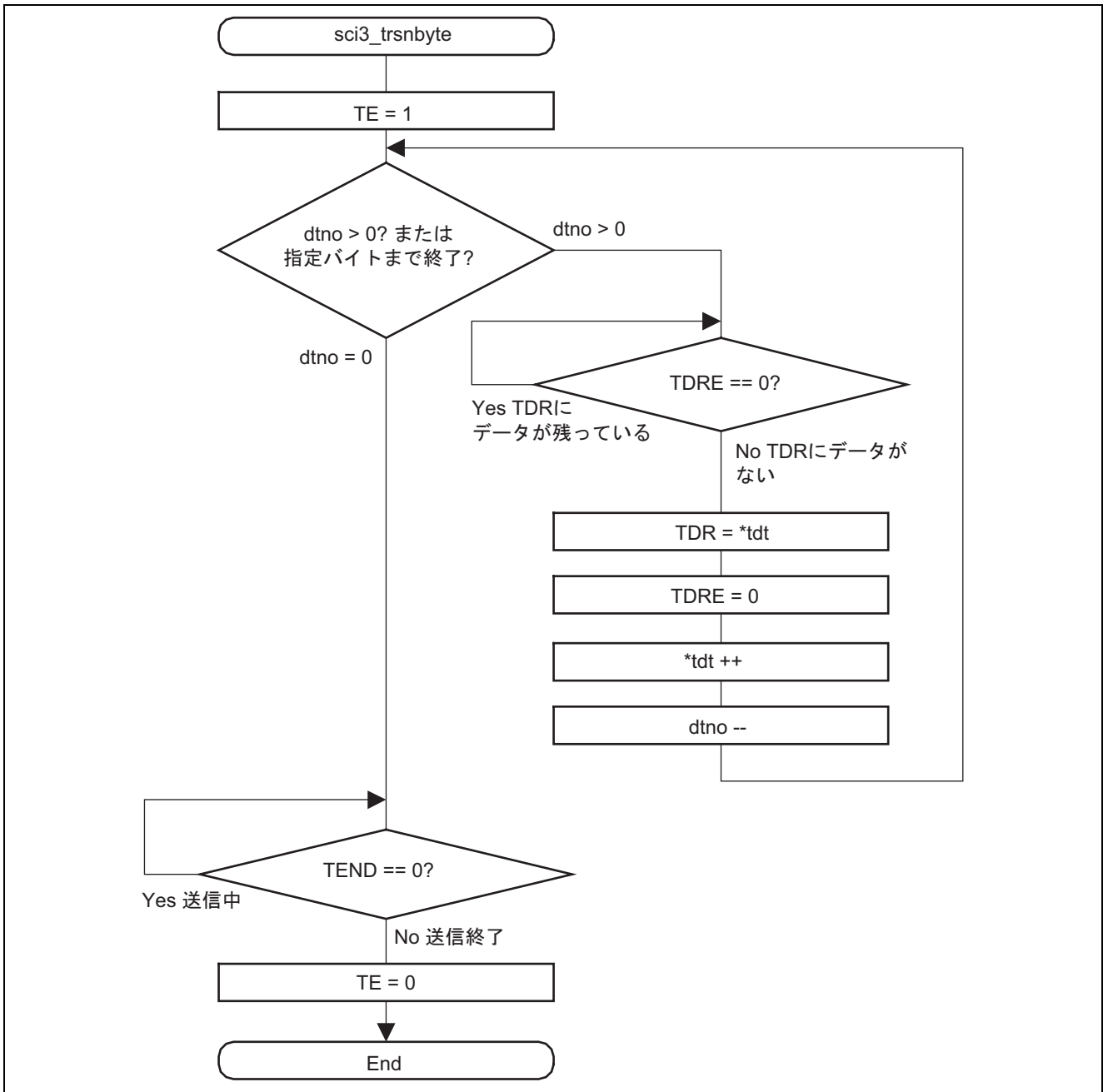
設定値: 不定

- シリアルステータスレジスタ\_3 (SSR\_3) アドレス: H'FFFE8C

ビット	ビット名	設定値	R/W	機能
7	TDRE	不定	R/(W)*	トランスミットデータレジスタEMPTY TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> <li>SCR の TE が 0 のとき</li> <li>TDR から TSR にデータが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>1 の状態をリードした後、0 をライトしたとき</li> <li>TXI 割り込みにより DMAC で TDR へ送信データを転送したとき</li> </ul>
2	TEND	不定	R	トランスミットエンド [セット条件] <ul style="list-style-type: none"> <li>SCR の TE が 0 のとき</li> <li>送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき</li> <li>TXI 割り込み要求により DMAC で TDR へ送信データをライトしたとき</li> </ul>

【注】 \* TDRE フラグはクリアするための 0 ライトのみ可能です。

(5) フローチャート



## 8. 参照ドキュメント (注意事項)

- ハードウェアマニュアル  
H8SX/1582 グループハードウェアマニュアル  
(最新版をルネサス テクノロジホームページから入手してください。)
- テクニカルニュース/テクニカルアップデート  
(最新の情報をルネサス テクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.03.10	—	初版発行
1.01	2007.09.25	6	2. 適用条件 最適化リンカオプション項目追加

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。