

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8SX ファミリ

## $\Delta\Sigma$ A/D コンバータユーザーズガイド

### 要旨

本アプリケーションノートは、 $\Delta\Sigma$ A/D コンバータの基礎および H8SX ファミリに搭載されている $\Delta\Sigma$ A/D コンバータの特長についてまとめたものです。

### 目次

1. $\Delta\Sigma$ A/D コンバータの原理 .....	2
2. $\Delta\Sigma$ A/D コンバータ .....	6
3. フィルタ .....	9
4. 誤差と補正方法 .....	15
5. H8SX ファミリ $\Delta\Sigma$ A/D 機能説明 .....	19
6. 推奨外部回路と注意事項 .....	30
7. 参考資料 .....	33

1.  $\Delta\Sigma$ /D コンバータの原理

1.1 従来の逐次比較型との違い

1.1.1 逐次比較型

被測定電圧と可変の基準電圧 (D/A で発生させる電圧) を比較しながら測定する方式で、動作は次のとおりです。

1. D/A コンバータの出力を中央値にして、アナログ測定電圧と比較する。
2. 比較した結果、アナログ電圧が大きければ、D/A 変換の出力を前記中央値より上側の範囲の中央に新たに設定し、また、小さければ、下側の範囲の中央に設定し、比較を繰り返す。
3. これを  $n+1$  回 ( $n$  ビット分解能の場合) 繰り返して測定を完了します。

定規で物を測るのに例えるなら、色々な長さの定規を当ててみて、どれが一番近いかを逐次絞り込んで測定する方法です。

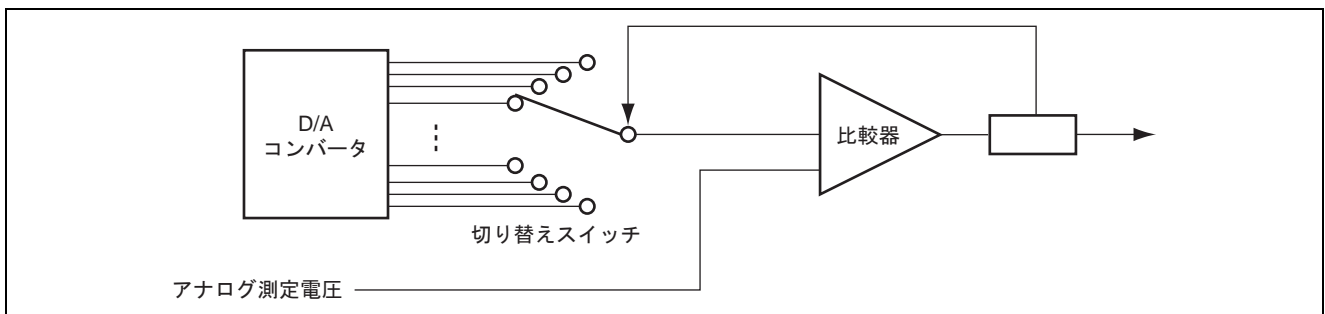


図 1.1 逐次比較型

1.1.2  $\Delta\Sigma$ 型

被測定電圧をサンプリングして積分し、一定電圧の基準電圧と比較 (微分) しながらデジタルに変換する方式です。

定規で物を測るのに例えるならば、1cm がいくつ入っているかを数えて、1cm にその数を掛ける方法です。その過程で微分と積分を行うことから $\Delta\Sigma$ 型と呼ばれます。

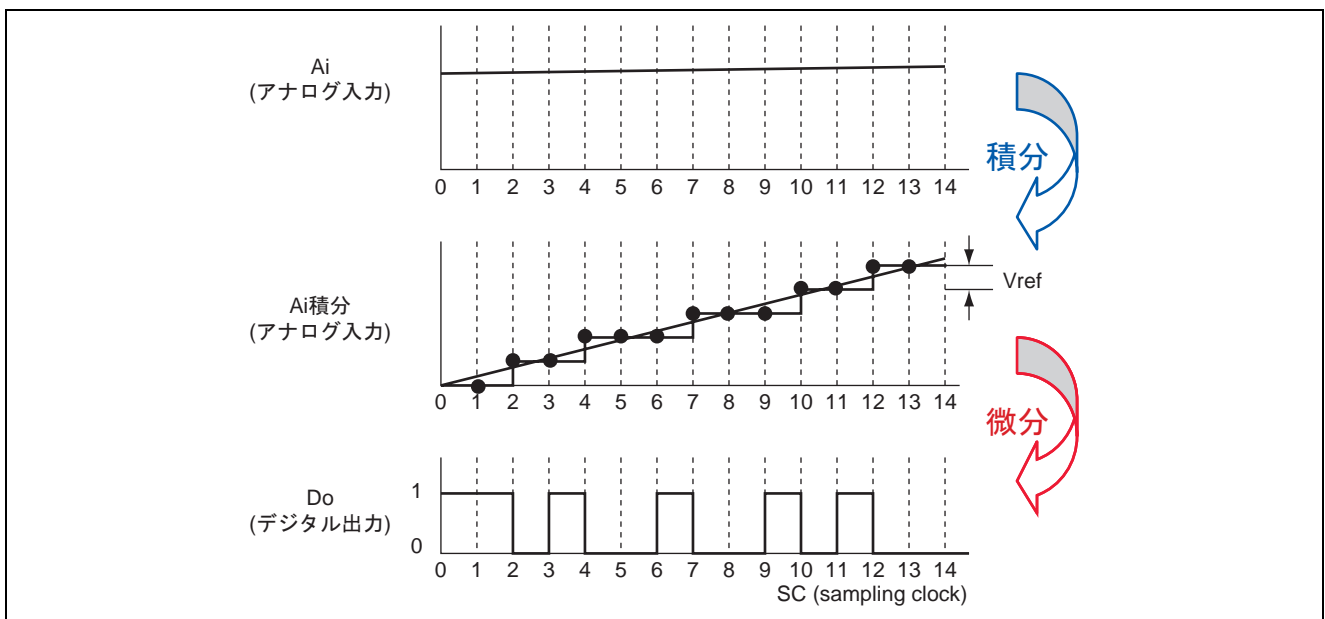


図 1.2  $\Delta\Sigma$ 型

1.2  $\Delta\Sigma$ A/D 変換の概要

話を簡単にするためにここでは直流 (DC) 電圧を測定することを例にして説明します。

もし、アナログ入力値 (Ai) を積分せずに比較した場合、

- SC\*=1 では、SC=0 で比較電圧はまだ 0V なので、 $0 < A_i$  となり、デジタル出力は 1 になります。そして、比較する電圧を +Vref します。
- SC=2 では Vref と Ai を比較します。Vref > Ai でデジタル出力は 0 になり、次に比較する電圧はそのままです。(Vref)
- SC=3 でも Vref と Ai を比較します。Vref > Ai でデジタル出力は 0 になり、次に比較する電圧はそのままです。(Vref)

【注】 \* 図 1.3 に示す Ai 入力の横軸を  $\Delta\Sigma$ A/D コンバータのサンプリングクロック

これを何回繰り返してもデジタル出力は 1 が最初に 1 回でただで残りはずっと 0 です。いつまで経っても Ai の値はわかりません。

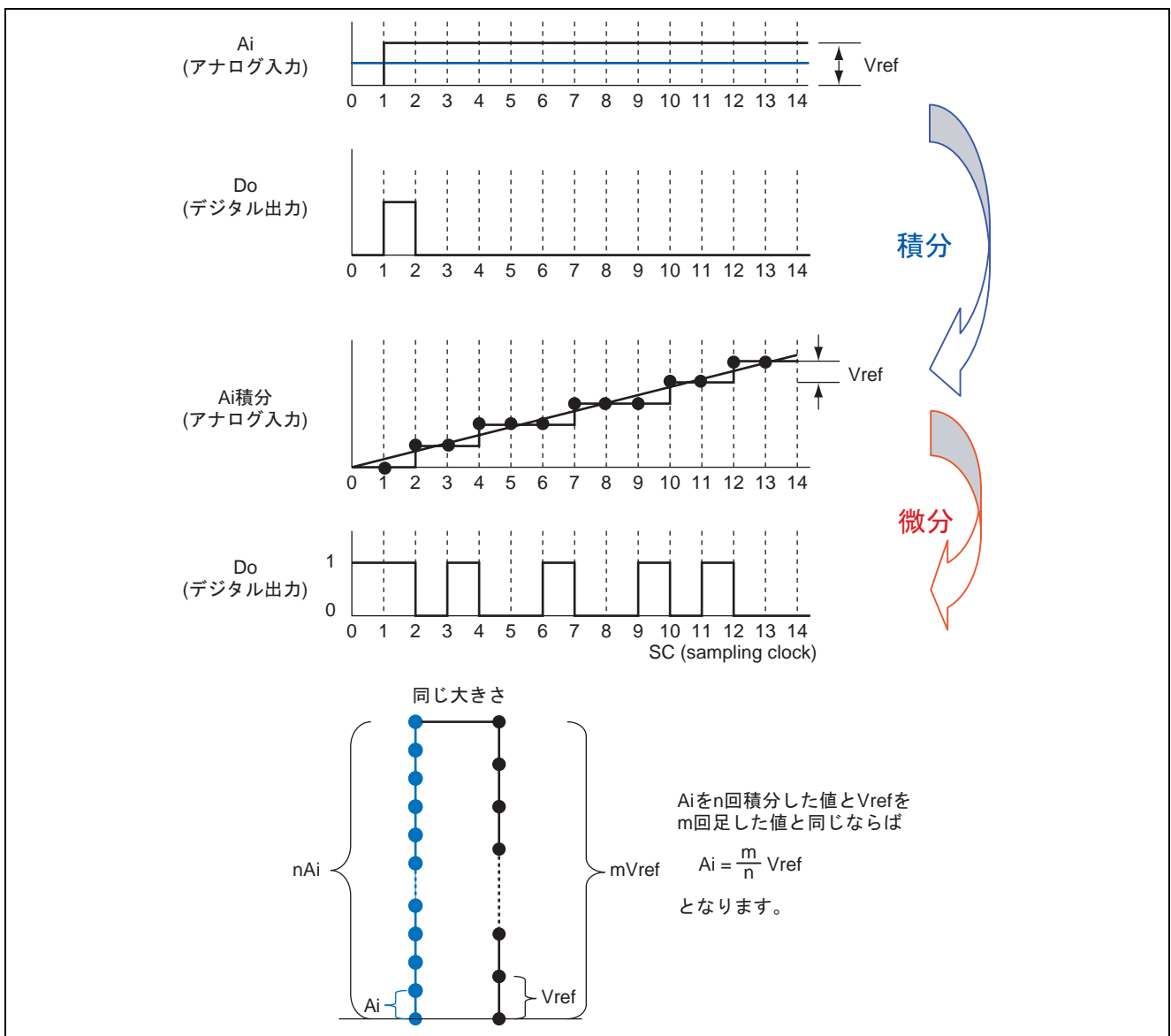


図 1.3 サンプリング精度

次に図 1.3 のように積分した値と  $V_{ref}$  を比較しましょう。

- $SC=1$  では  $A_i$  を 1 回積分ですから、 $V_{ref}$  は 0 のままです。  
 $V_{ref} \leq A_i$  でデジタル出力は 1 になります。次に比較する電圧を  $+V_{ref}$  します。
- $SC=2$  では  $A_i$  が 2 回積分されますので  $V_{ref}$  と  $2A_i$  を比較することになります。  
 $V_{ref} > 2A_i$  なのでデジタル出力は 0 になり、比較する電圧はそのままです ( $V_{ref}$ )。
- $SC=3$  では  $A_i$  が 3 回積分されますので  $V_{ref}$  と  $3A_i$  を比較することになります。  
 $V_{ref} < 3A_i$  なのでデジタル出力は 1 になり、次に比較する電圧を  $+V_{ref}$  します ( $2V_{ref}$  になります)。
- $SC=4$  では  $A_i$  が 4 回積分されますので  $2V_{ref}$  と  $4A_i$  を比較することになります。図 1.3 では  $2V_{ref} > 4A_i$  なのでデジタル出力は 0 になり、比較する電圧はそのままです ( $V_{ref}$ )。

これを何回か繰り返します。

$A_i$  は周期的に積分されています (傾きが  $A_i$ )。

これと  $V_{ref}$  と比較して、大小関係をチェックしながら  $V_{ref}$  を足して比較を繰り返します。

これは、傾きの  $A_i$  と  $V_{ref}$  を比較していることになります。

1 回の増加分の  $A_i$  が  $V_{ref}$  より小さいので何回か加算して  $V_{ref}$  と比較します。加算を繰り返して  $V_{ref}$  よりも大きくなったら今度は  $V_{ref}$  を加算して、また比較します。

サンプリングが 1 回よりは 2 回、2 回よりは 3 回のほうが、精度が上がるのがわかると思います。

### 1.3 ΔΣA/D コンバータの必要性

#### 1.3.1 逐次比較型

- メリットは変換速度が速く、低い分解能であれば比較的安価に実現できます。
- $n$  ビット分解能であれば、 $2^n$  個の抵抗内蔵が必要、シリコン上に形成する場合、加工バラツキにより実現精度に限界があり、高分解能実現には不向きです。  
 → 相対加工精度バラツキにより実現精度に限界 → 高分解能実現には新方式が必要

#### 1.3.2 ΔΣ型

変換速度は逐次比較型に比べると遅く、二重積分型よりは高速です。

高分解能実現に適した方式です。

表 1.1 逐次比較型とΔΣ型の比較

項目	逐次比較方式	ΔΣ方式
方式	サンプル&ホールド	サンプリング
モジュールサイズ	大	適
変換時間	速 (5.33μs) (H8SX/1622)	遅 (91.5μs) (H8X/1622)
高分解能	不適	適
周波数帯域	制限なし	デジタルフィルタに依存
耐ノイズ性	弱	強 (ノイズシェイピング)

## 2. ΔΣA/D コンバータ

### 2.1 構成

ΔΣA/D は積分器とデルタ変調器とデジタルフィルタで構成されます。

アナログ入力をΔ変調器でデジタル信号に変調し、次のデジタルフィルタでノイズを除去して測定データとします。

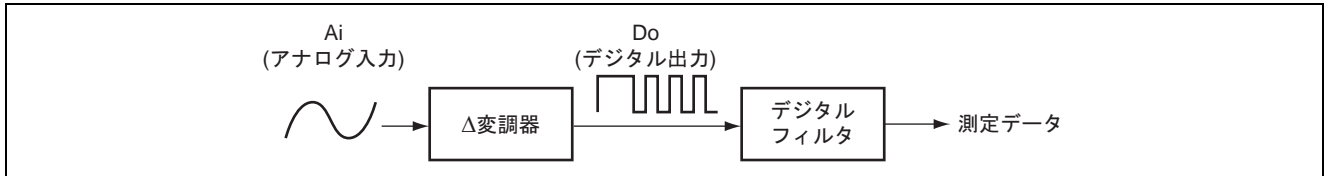


図 2.1 ΔΣA/D コンバータの構成

### 2.2 Δ変調器

アナログ入力 ( $A_i$ ) と積分器出力 ( $V_f$ ) を比較してデジタル値を出力します。

動作順に説明すると

1. 1 CLK 前のデジタル出力に従って D/A 変換し、積分した  $V_f$  と、アナログ信号入力  $A_i$  の差分を加算器で検出します。
2. 加算器の出力を比較器で 0V と比較し、その結果により 1 または 0 のデジタル値を出力します。  $A_i > V_f$  なら比較器出力は 1 になり、  $A_i < V_f$  なら 0 になります。

これらの一連の動作を繰り返してアナログ入力をデジタル値に変換します。

このΔ変調器の動作をまとめると次のような欠点があるため対策が必要となります。

#### <変換>

デジタル出力はアナログ入力を微分したものの。

#### <欠点>

1. 直流電圧が変換できない。
2. 傾斜過負荷\*に対応できず高速信号が正確に変換できない。

#### <対策>

アナログ入力をいったん積分してΔ変調器に入力する。

【注】\*傾斜過負荷: 急な変化の信号 (高電圧および高速変化信号)。積分速度よりも高速な信号変化。

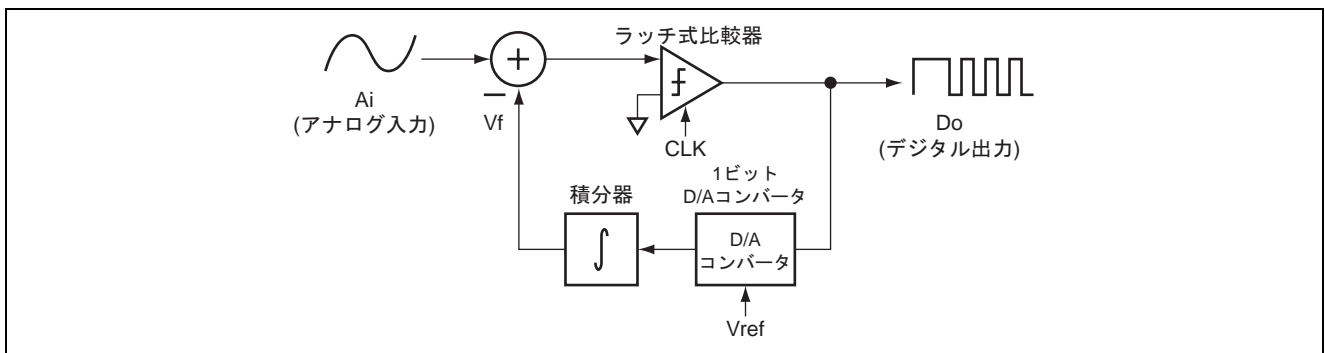


図 2.2 Δ変調器



### 2.3 $\Delta\Sigma$ 変調器 (積分器 + $\Delta$ 変調器)

直流電圧の変換に対応するために変調器入力に積分器を追加します。

$\Delta$ 変調器の入力に積分器を追加したものを $\Delta\Sigma$ 変調器と言います。

積分 ( $\Sigma$ ) と微分 ( $\Delta$ ) による変調 =  $\Delta\Sigma$ 変調

次の式から分かるように、2つの積分器は一つにまとめられるので加算器の後に置き換えます。

$$\begin{aligned} & \int f_1(x)dx + \int f_2(x)dx \\ &= \int (f_1(x) + f_2(x)) dx \\ &= \int f(x)dx \end{aligned}$$

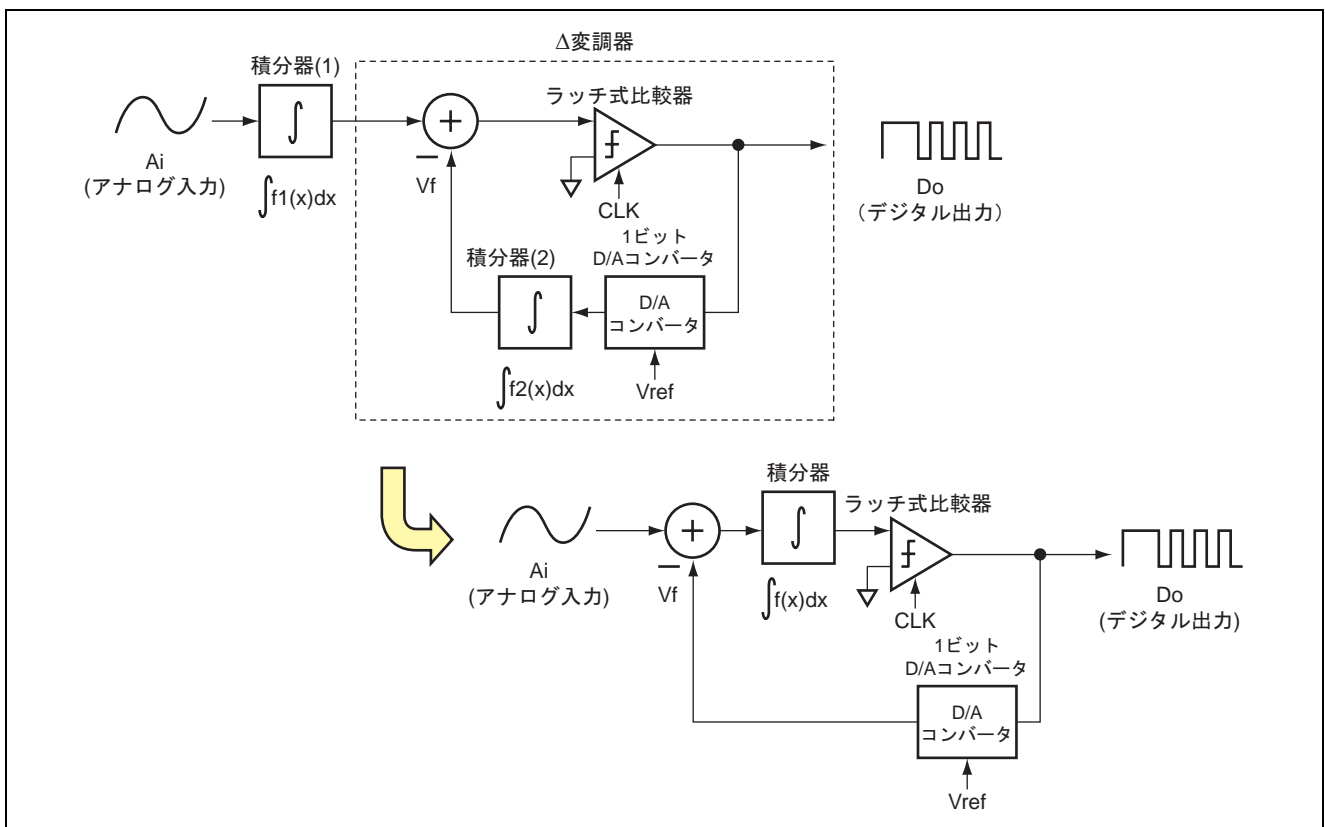


図 2.3 入力段積分器 +  $\Delta$ 変調器

## 2.4 1次/2次 $\Delta\Sigma$ 変調器

1次 $\Delta\Sigma$ 変調器は、積分器が1つ、2次 $\Delta\Sigma$ 変調器は、積分器が2つあります。

ノイズシェイピング効果は、1次 $\Delta\Sigma$ 変調器よりも2次 $\Delta\Sigma$ 変調器のほうが優れています。

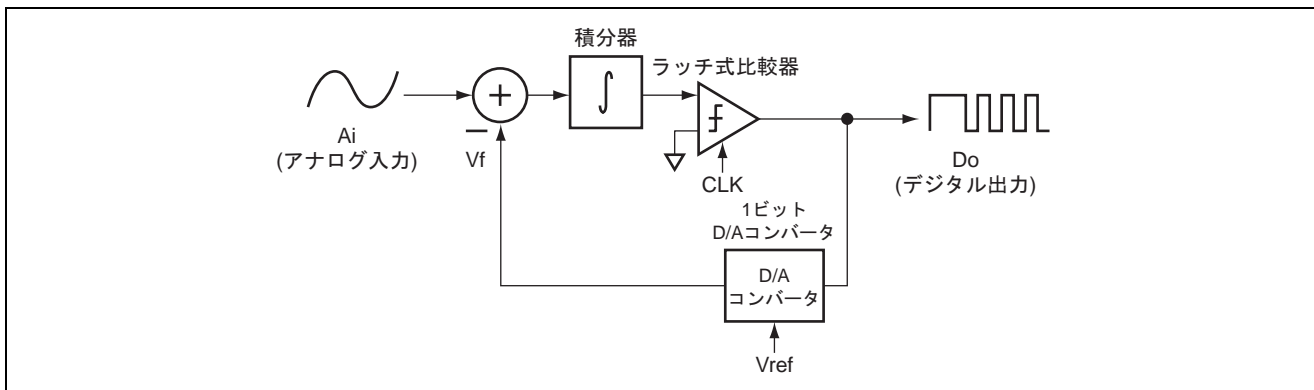


図 2.4 1次 $\Delta\Sigma$ 変調器

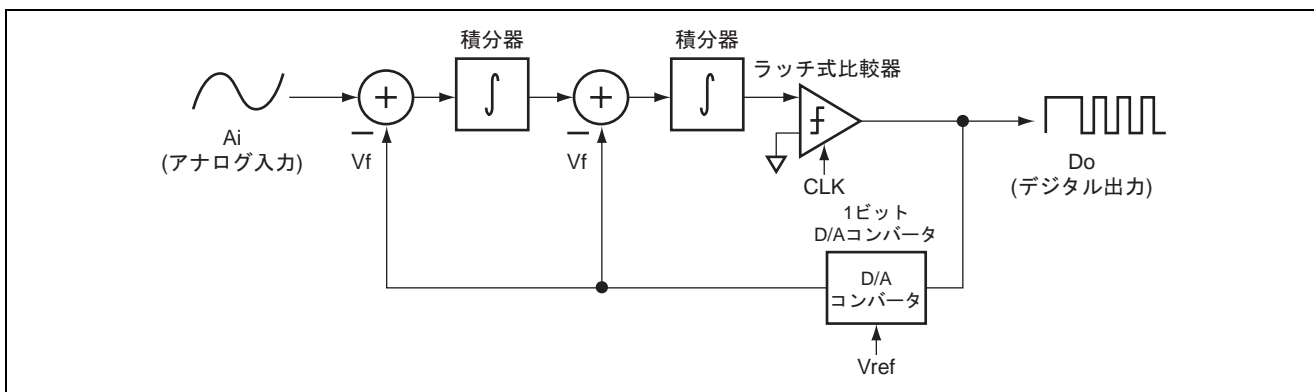


図 2.5 2次 $\Delta\Sigma$ 変調器

## 2.5 2次 $\Delta\Sigma$ A/D コンバータ

2次 $\Delta\Sigma$ A/D コンバータの動作を整理すると次のとおりになります。

1. アナログ入力は2回積分されます。
2. 2つの微分ループによって2回微分されます (動作原理は2回微分ですが、式を展開した結果、回路の比較器は一つにまとめられています)。
3. 積分と微分は逆の変換関数なので、積分と微分で結局信号は元に戻りますが、デジタル信号が得られます。
4. デジタルフィルタでサンプリングによって生じたノイズを取り除きます。

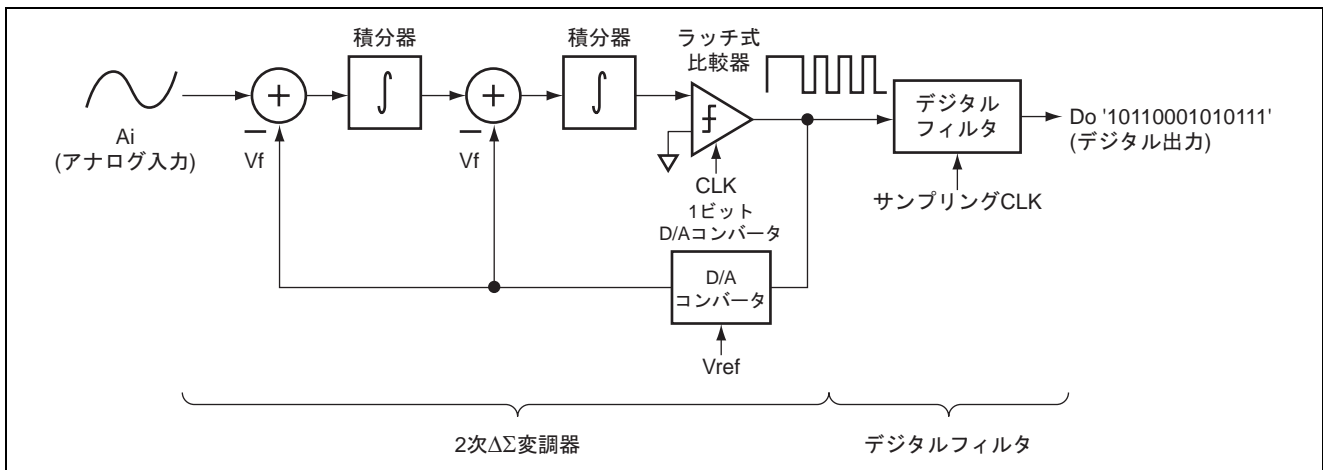


図 2.6 2次 $\Delta\Sigma$ A/D コンバータ

## 3. フィルタ

### 3.1 デジタルフィルタ

$\Delta\Sigma$ 変調器のデジタル出力はサンプリングによって発生する2種類のノイズが含まれます。

一つは量子化誤差 (図 3.2), もうひとつは折り返し雑音 (図 3.3) です。

デジタルフィルタはインパルス応答でフィルタ特性を取り扱っています。すなわちリアルタイムのデジタル数値演算で、波形の補間を行ない、そしてデシメンション (間引き) を行なって、これらのノイズを除去します。

デシメンション (間引き) とは高いサンプリング周波数から低い周波数に変換する操作です。

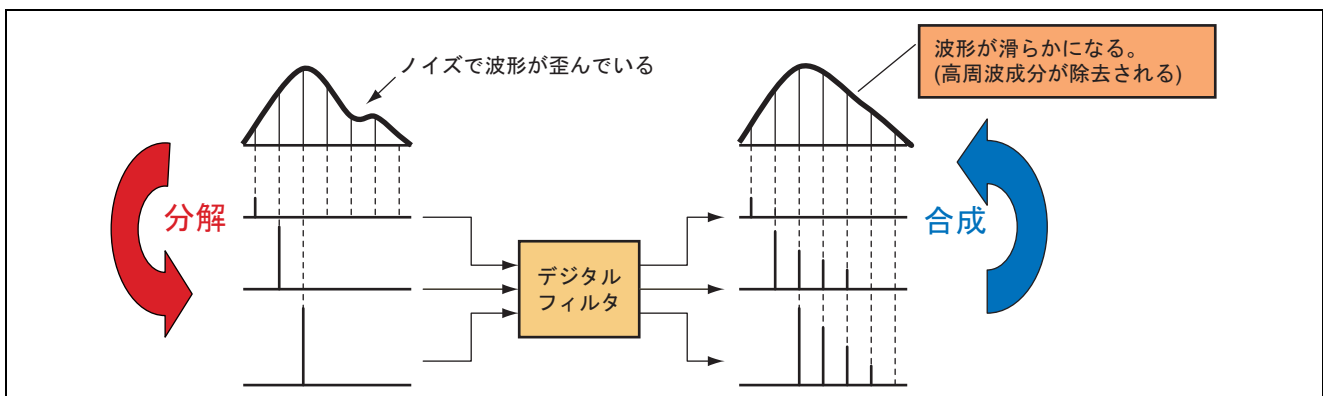


図 3.1 デジタルフィルタ

3.2 量子化誤差

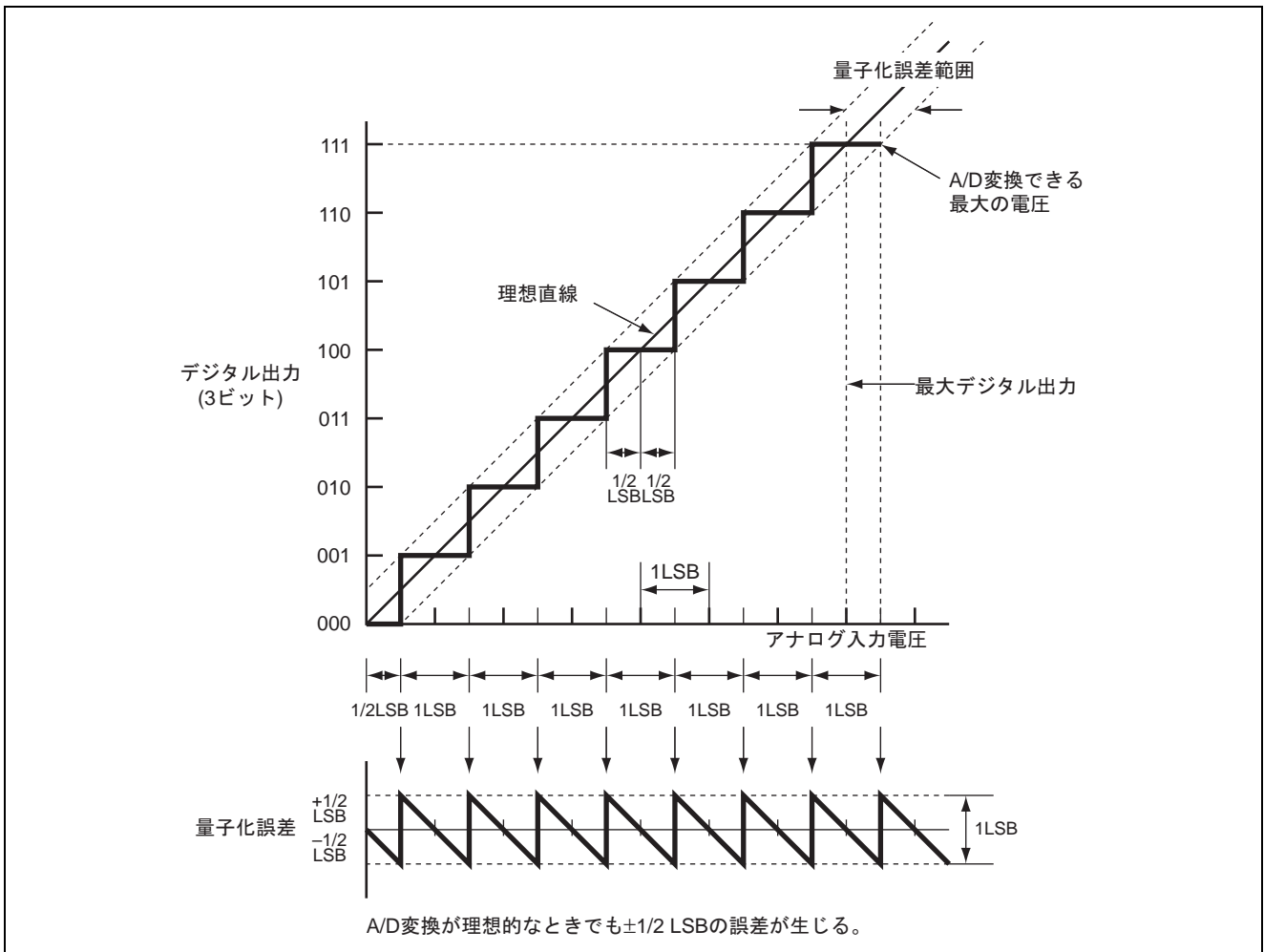


図 3.2 量子化誤差

### 3.3 折り返し雑音

$f_1$  と  $f_2$  ( $f_1 \times 7$  倍) を,  $f_1 \times 8$  倍のサンプリング周波数で測定する場合,  $f_1$  と  $f_2$  のサンプリング点は同一となります。

このサンプリング点は  $f_2$  の周波数要因を持っていることになり,  $f_2$  を  $f_1$  の折り返し雑音と呼びます。

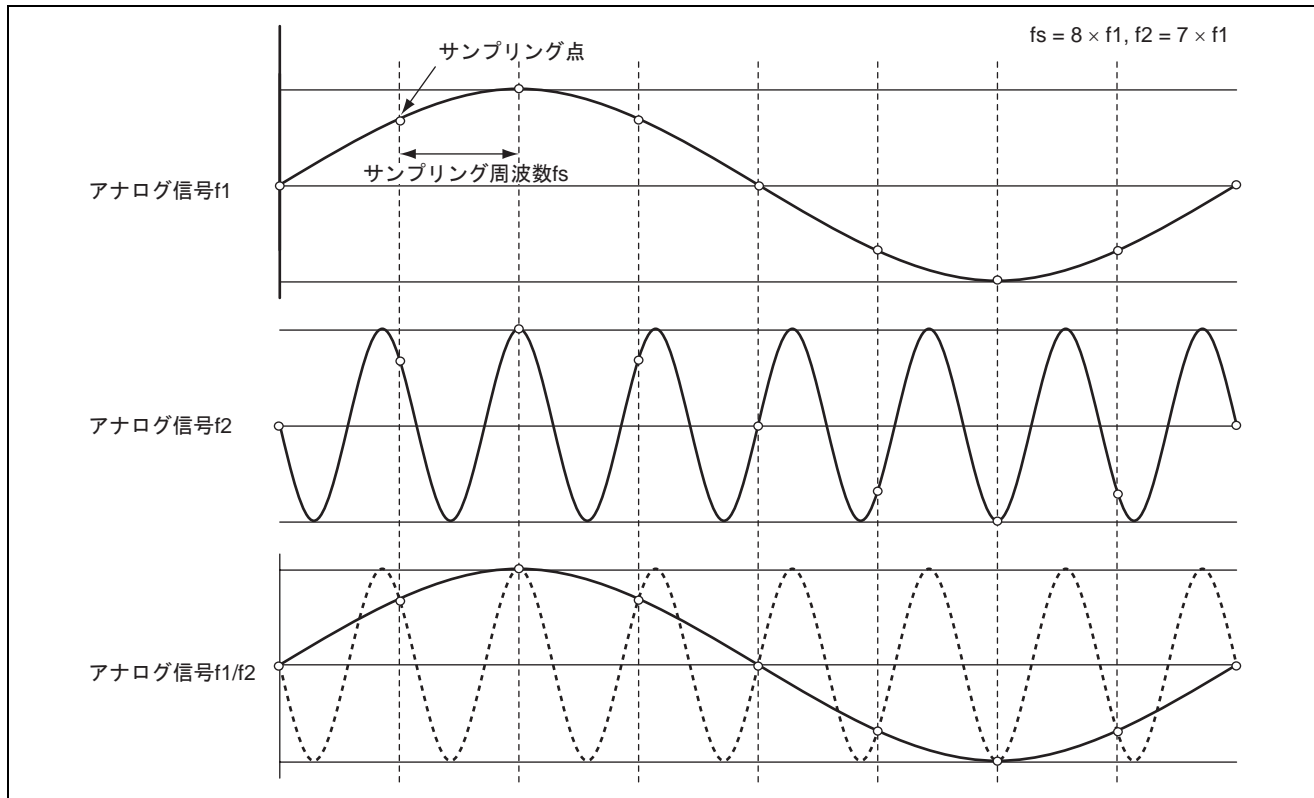


図 3.3 折り返し雑音

### 3.4 インパルス応答

連続アナログ系の信号を解析する手法として、インパルス応答というものがあります。

インパルス応答とは、システムに単位インパルスを加えたときの応答です。

1. 連続したアナログ信号をそのまま解析すると難しいので短冊 (インパルス) に分解します。
2. 一つの短冊 (インパルス) の応答波形は伝達関数が  $h(t)$  の場合、  

$$y(t) = h(t) * x(t)$$
 で求められます。
3. 線形システムの定義から、この系には重ね合わせの原理が成立し、一つ一つのパルスに対するそれぞれの応答波形を加えたものが、結局、入力信号の全体に対する応答波形になります。

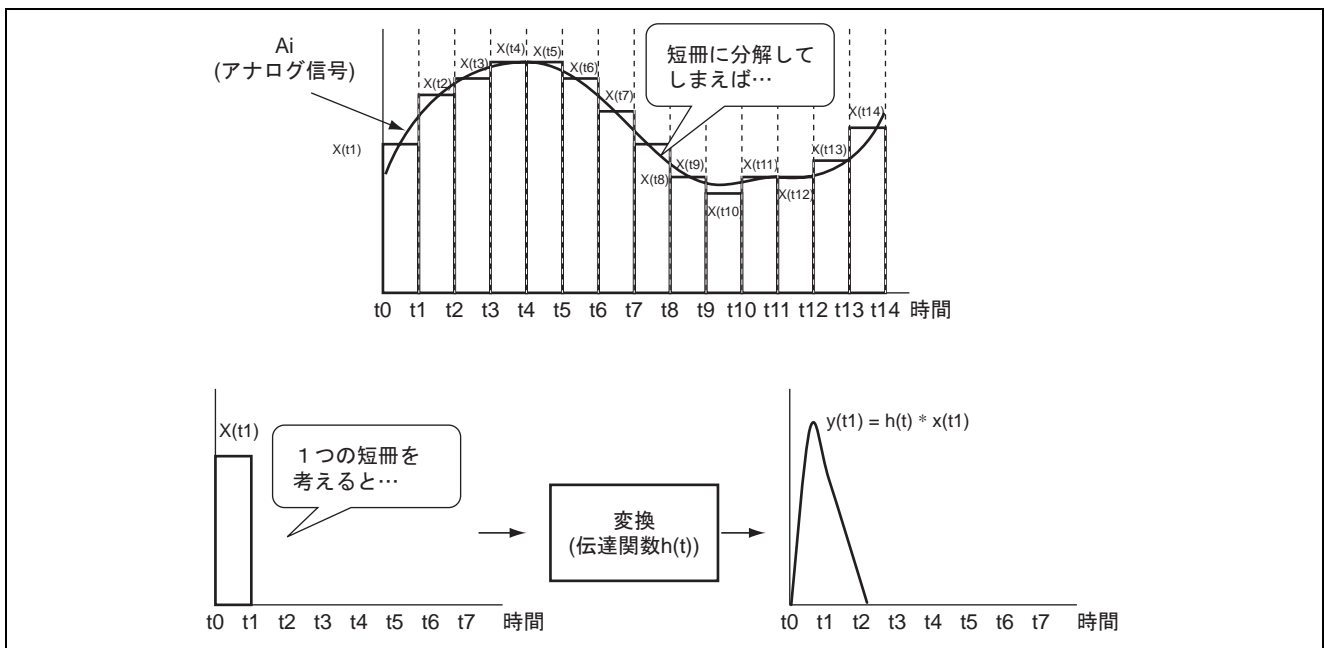


図 3.4 インパルス応答

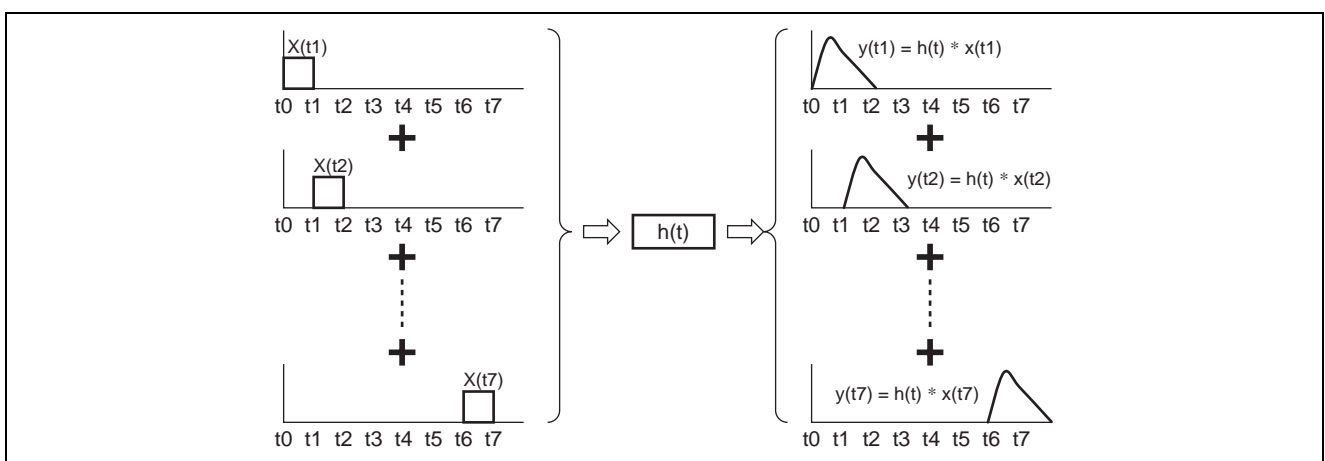


図 3.5 重ね合わせの定義

3.5 デジタルフィルタのノイズ除去

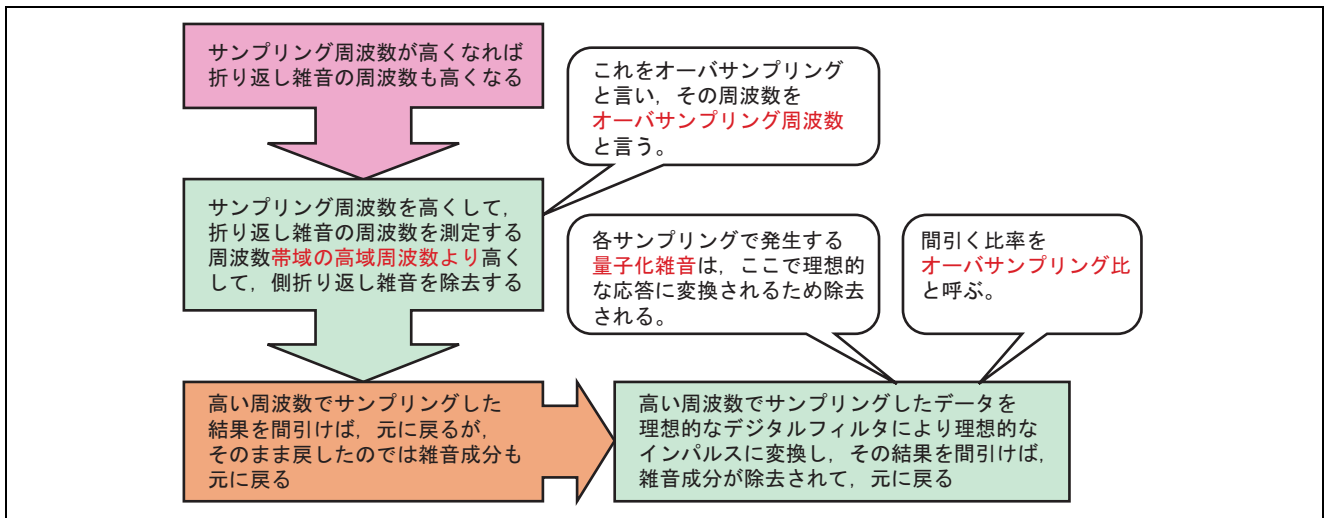


図 3.6 デジタルフィルタのノイズ除去手順

### 3.6 デジタルフィルタの回路方式

デジタルフィルタはサンプリングされたデータを理想的なインパルス応答に変換する役目を持っています。

具体的には、入力されたインパルスに伝達関数を掛けて、合成します。この伝達関数の掛け方の方法によって2種類の方式があります。

#### 1. IIR (infinite impulse response) フィルタ

加算器と遅延器をフィードバックによって結合している方式。一度入力信号が加わると出力波形は減衰しながら無限に続くので、無限インパルス応答型と呼ばれます。

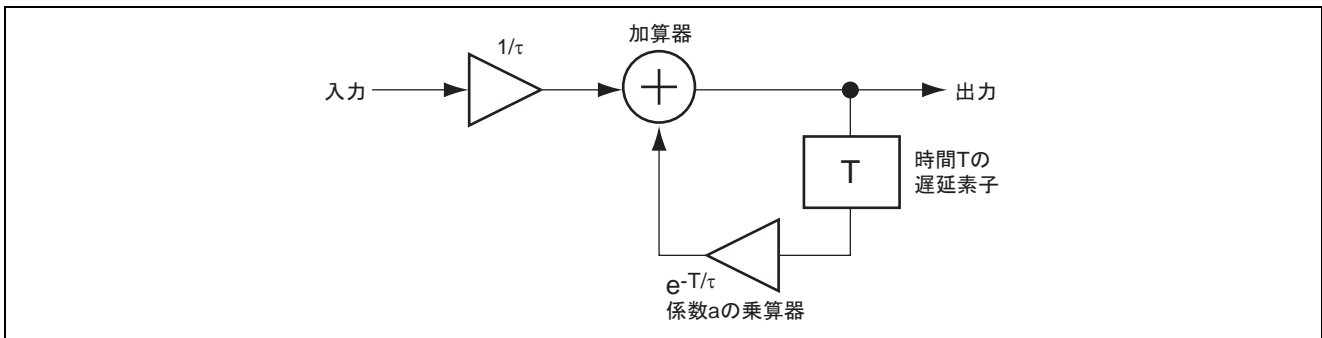


図 3.7 IIR 型フィルタ (無限インパルス) 応答型

#### 2. FIR (finite impulse response) フィルタ

シフトレジスタの各出力にデータを掛ける乗算器、それらを合成する加算器で構成されます。ここで言うデータとは理想フィルタのインパルス応答から算出した値の係数です。

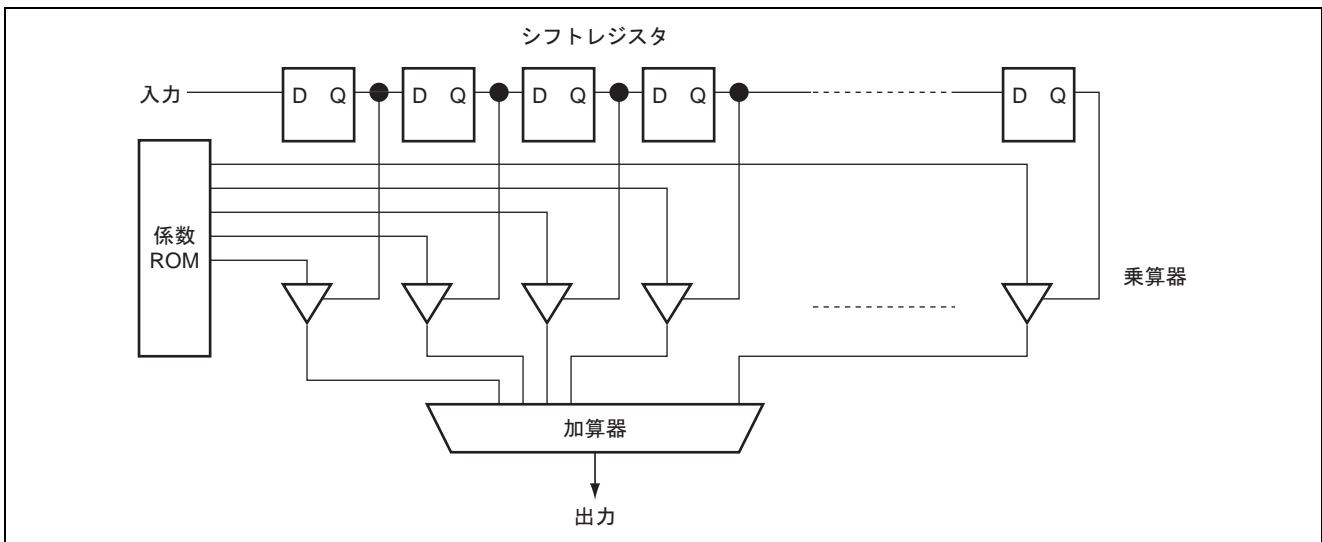


図 3.8 FIR 型フィルタ (有限インパルス) 応答型



4. 誤差と補正方法

4.1 A/D コンバータの誤差

4.1.1 逐次比較型 A/D コンバータ

出力特性は  $1/2FSR$ ,  $1/4FSR$  等の変化点で大きな誤差が生じやすいのが特長です。

誤差は微分非直線性誤差の割合が大きく、すべてのビットが変化する  $1/2FSR$  で最大となります。

4.1.2 二重積分型 A/D コンバータ

出力特性は急峻な変化はなく、誤差は積分非直線性誤差が大きく、滑らかな曲線となります。

4.1.3  $\Delta\Sigma$ 型 A/D コンバータ

オフセット誤差 (OS 誤差) とフルスケール誤差 (FS 誤差) が発生するため、測定範囲は OS~FS の間となります。オフセットとフルスケールの補正を行なうと、直線性に優れた出力特性となります。

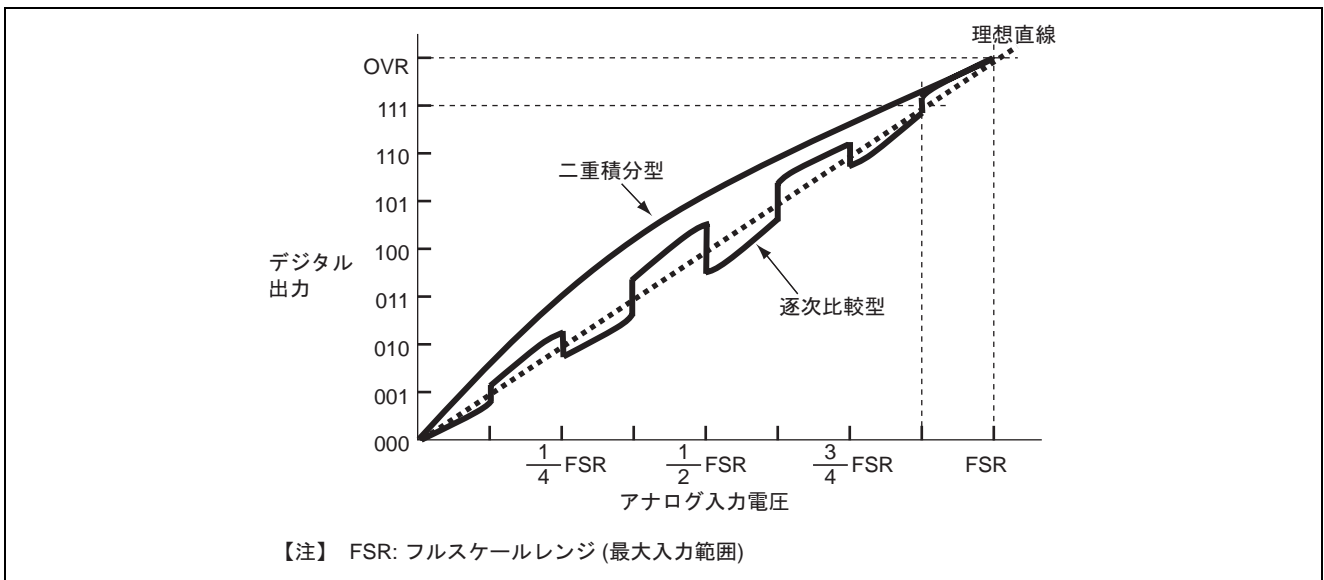


図 4.1 逐次比較型と二重積分型の誤差

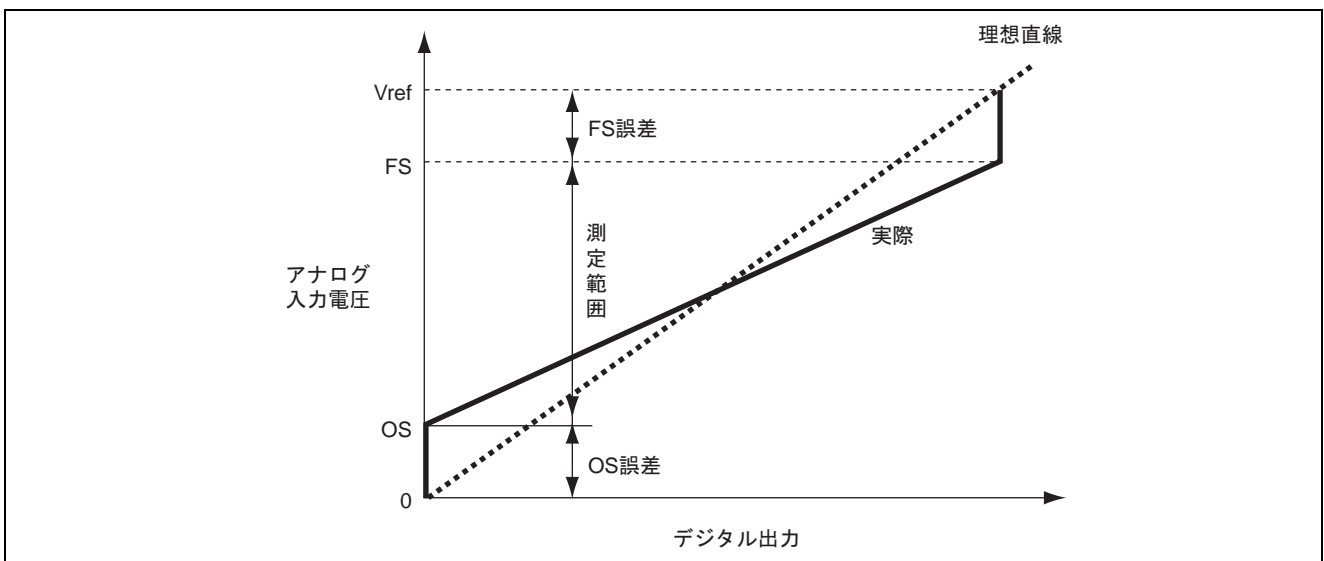


図 4.2  $\Delta\Sigma$ 型 A/D コンバータの誤差

## 4.1.4 微分非直線性 (Differential Non-Linearity) 誤差

図 4.3 に示すように、微分非直線性誤差とは、1LSB 当たりの理想値と、実際のステップ幅の相違です。ステップ幅がちょうど 1LSB のとき、微分非直線性誤差は 0 です。微分非直線性誤差が 1LSB を超えるとき、入力に対する出力の割合はより小さくなります。また、コード損失が起こる可能性もあります。つまり、 $2^n$  の中の 1 個以上のコードが出力されない可能性があります。

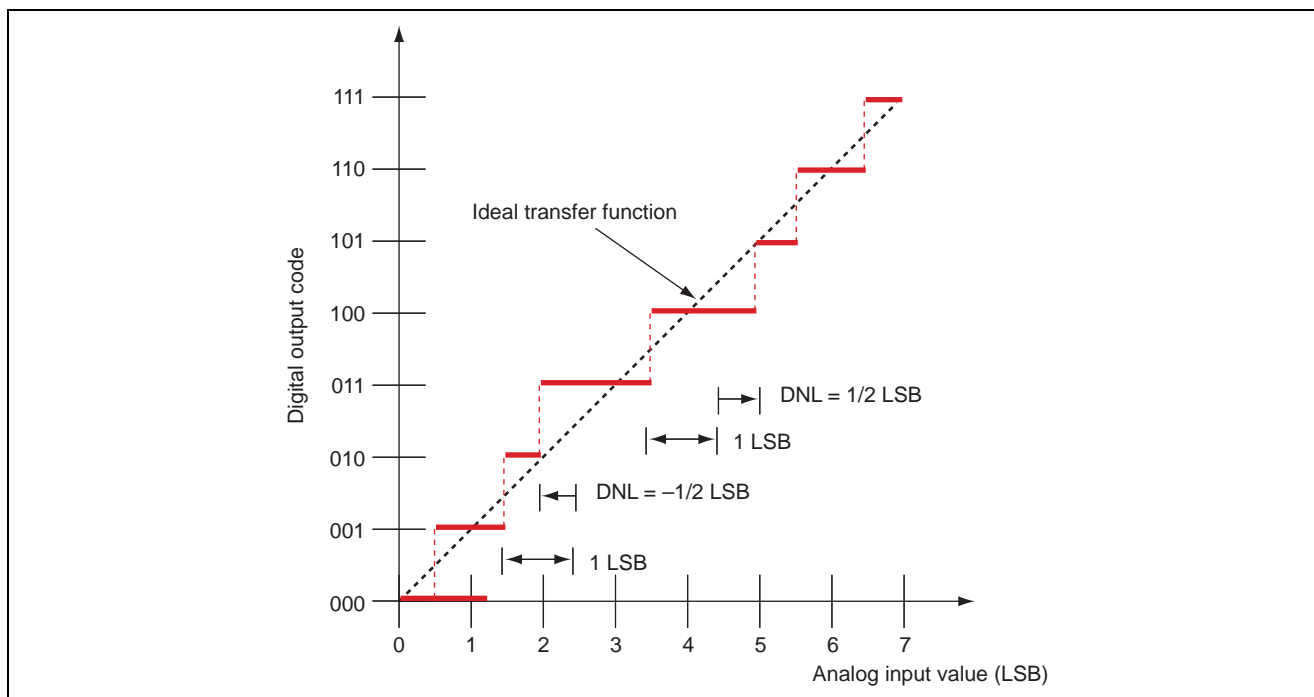


図 4.3 微分非直線性誤差

4.1.5 積分非直線性 (Integral Nonlinearity Error) 誤差

実際の変換値の理想値 (直線) からの偏差を積分非直線性誤差と呼びます (図 4.4)。この偏差は、1 ステップの変化幅で測定されます。

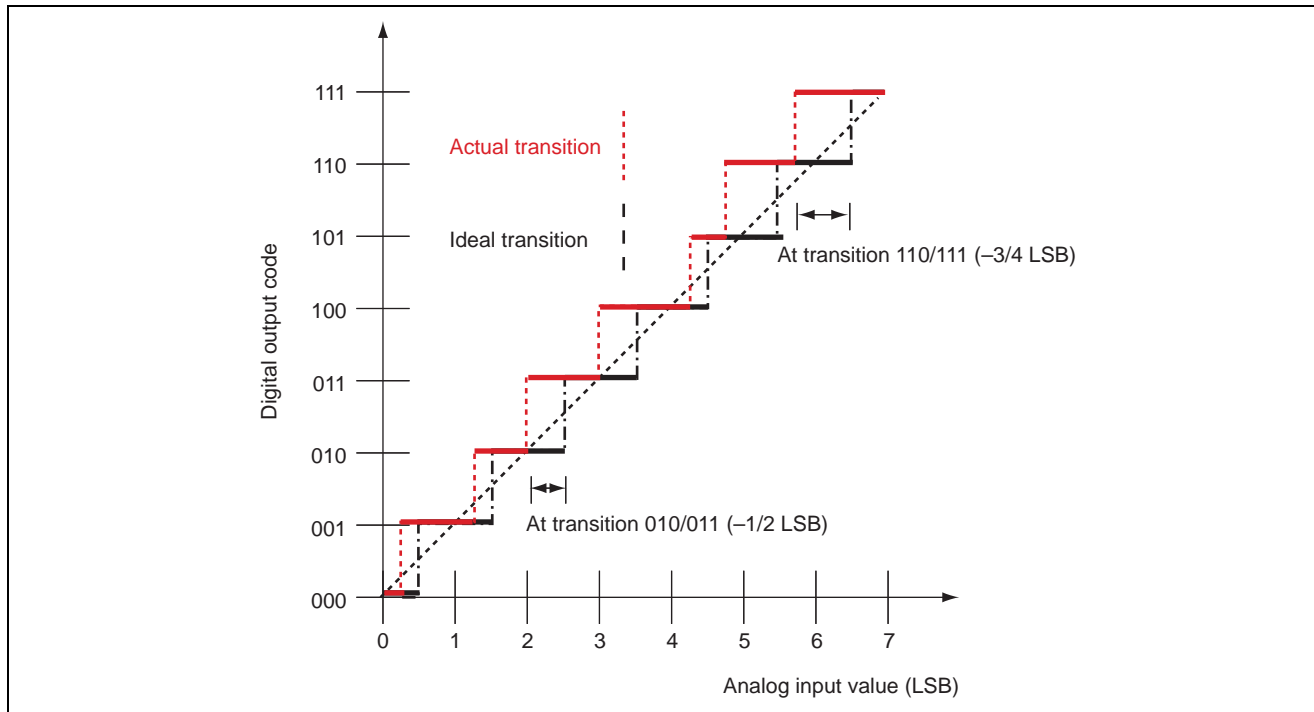


図 4.4 積分非直線性誤差

## 4.2 オフセット/フルスケール誤差の補正

### 4.2.1 補正の考え方

図 4.5 に $\Delta\Sigma$ A/D コンバータのデジタル値 (ADDR の値) とアナログ値 (被測定対象) の関係を示します。理想的な A/D コンバータの場合、図 4.5 の点線のように原点とフルスケールを結ぶ直線の関係にあります。しかし、実際にはオフセット誤差 (OS 誤差)、フルスケール誤差 (FS 誤差) が発生するため、実線のような関係となります。したがって、測定したデジタル値から被測定対象の値を精度良く求めるためには、オフセット/フルスケール誤差の補正を行なう必要があります。

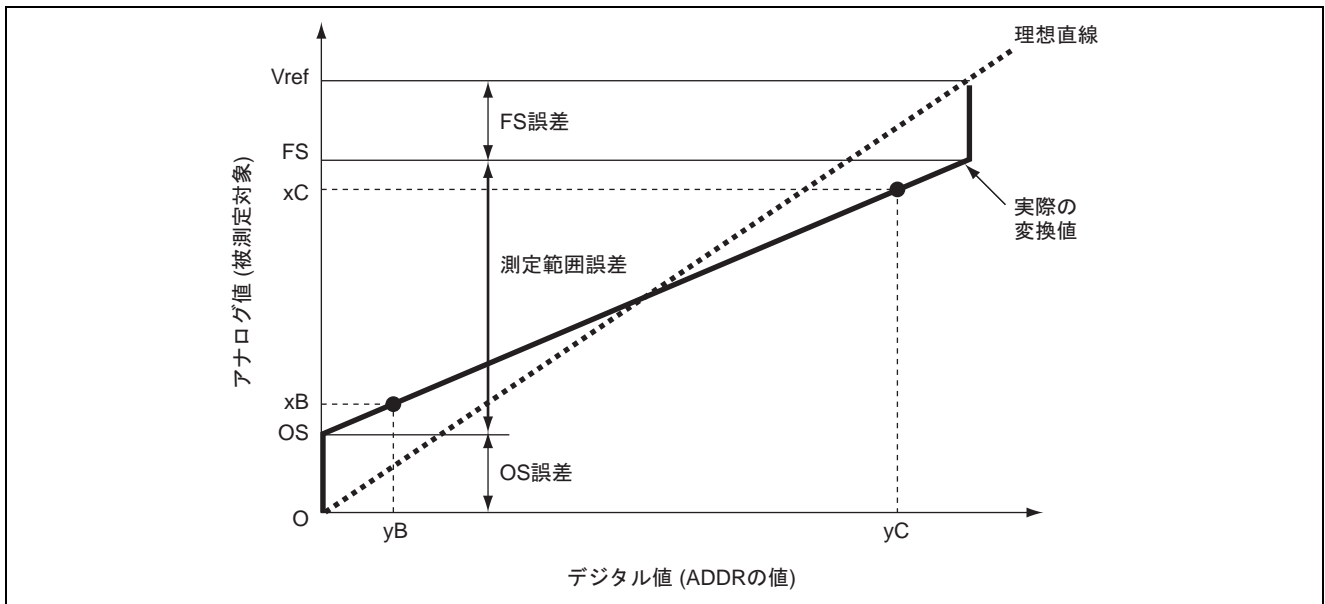


図 4.5 アナログ値 (ADDR の値) とデジタル値 (被測定対象) の関係

図 4.5 の実線の x と y の関係を求めると、

$$lsb = (xC - xB) / (yC - yB) \quad \dots (1)$$

$$x = (xC - xB) / (yC - yB) * y + OS \quad \dots (2)$$

$$OS = xB - (xC - xB) / (yC - yB) * yB \quad \dots (3)$$

(1) (2) (3)式より、

$$x = lsb * y + xB - lsb * yB = lsb * (y - yB) + xB$$

### 4.2.2 オフセット/フルスケール誤差補正方法

実際にオフセット/フルスケール誤差の補正をする場合には、下記のような手順にて補正を行ないます。

1. 図 4.5 における 4 点 (xA, yA), (xB, yB), (xC, yC), (xD, yD) を測定
2. 測定した 2 点 (xB, yB), (xC, yC) から、傾き (lsb) を計算
3. デジタル値 (ADDR の値) から、被測定対象の値を計算

$$\text{被測定対象の値} = \text{傾き (lsb)} * (\text{ADDR の値} - yB) + xB$$

## 5. H8SX ファミリ $\Delta\Sigma$ A/D 機能説明

### 5.1 基本動作説明

H8SX ファミリ  $\Delta\Sigma$ A/D コンバータは、 $\Delta\Sigma$ 変調器を用いた A/D コンバータで、AVrefT 端子と AVrefB 端子で決定されるアナログ入力電圧範囲を 16 ビットの分解能でデジタル値に変換します。 $\Delta\Sigma$ A/D コンバータは、 $\Delta\Sigma$ 変調器を主体とするアナログ部と、デジタルフィルタおよびコントロール部で構成されています。

アナログ部では、 $\Delta\Sigma$ 変調器で入力信号を増幅して ( $\Delta\Sigma$ A/D コントロールレジスタ (DSADCR) の GAIN セレクト (GAIN1, 0=B'11 の場合は 8 倍に増幅) 変換します。このときシングルエンド入力信号端子 ANDS0, ANDS1, ANDS2, ANDS3 では内部レジスタの  $\Delta\Sigma$ A/D オフセットキャンセル D/A コンバータ入力 (DSADOF0 ~DSADOF3) にオフセット値を設定することで、入力信号のオフセット値をキャンセルすることができます。また差動入力端子 ANDS4P-ANDS4N, ANDS5P-ANDS5N を利用することにより、差動入力変換が可能です。選択されたアナログ入力信号の電圧は  $A\phi/8$  の周波数 (オーバサンプリング周波数) でサンプリングし、2 次の  $\Delta\Sigma$ 変調器でデジタル値列に変換します。変換結果は、デシメーションフィルタ (デジタルフィルタ) を経て、16 ビットのデータとして  $\Delta\Sigma$ A/D データレジスタへ符号付き (2 の補数) で格納されます。

動作モードには、シングルモードとスキャンモードがあります。A/D 変換チャンネル選択で複数チャンネルを選択することで、多チャンネルモードを選択することができます。

図 5.1 に  $\Delta\Sigma$ A/D コンバータのブロック図を、表 5.1 に端子構成を示します。

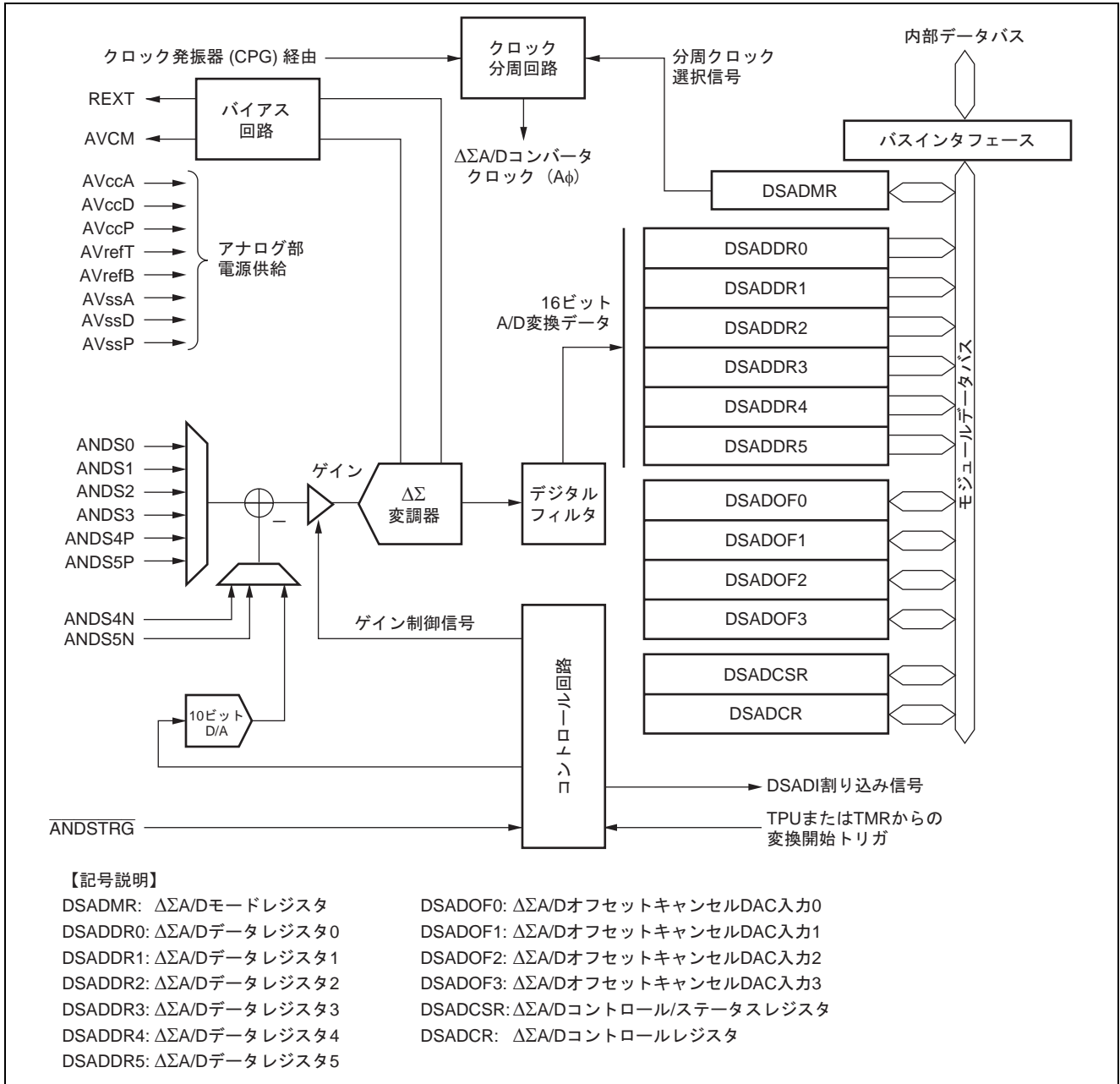


図 5.1  $\Delta\Sigma$ A/D コンバータブロック図

表 5.1 端子構成

端子名	記号	入出力	機能
アナログ入力端子 0	ANDS0	入力	アナログ入力端子 シングルエンド入力
アナログ入力端子 1	ANDS1	入力	
アナログ入力端子 2	ANDS2	入力	
アナログ入力端子 3	ANDS3	入力	
アナログ入力端子 4-P	ANDS4P	入力	アナログ入力端子 差動入力
アナログ入力端子 4-N	ANDS4N	入力	
アナログ入力端子 5-P	ANDS5P	入力	アナログ入力端子 差動入力
アナログ入力端子 5-N	ANDS5N	入力	
ΔΣA/D 外部トリガ入力端子	ANDSTRG	入力	ΔΣA/D 変換開始のための外部トリガ入力端子
アナログ電源端子	AVccA <sup>*1</sup>	入力	ΔΣA/D コンバータのアナログ部の電源端子
アナログ電源端子	AVccD <sup>*1</sup>	入力	ΔΣA/D コンバータの制御回路の電源端子
アナログ電源端子	AVccP <sup>*1</sup>	入力	ΔΣA/D コンバータの入力端子制御の電源端子
アナロググランド端子	AVssA	入力	ΔΣA/D コンバータのアナログ部のグランド端子
アナロググランド端子	AVssD	入力	ΔΣA/D コンバータの制御回路のグランド端子
アナロググランド端子	AVssP	入力	ΔΣA/D コンバータの入力端子制御のグランド端子
ΔΣ基準電圧 H 側	AVrefT <sup>*2</sup>	入力	AVrefB–AVrefT 間に安定化容量接続 (10μF+0.1μF のコンデンサ接続)
ΔΣ基準電圧 L 側	AVrefB <sup>*2</sup>	入力	
基準電圧端子	AVCM	出力	AVCM–AVssA 間に安定化容量接続 (0.1μF のコンデンサ接続)
基準電流端子	REXT	出力	REXT–AVssA 間に外部抵抗接続 (51kΩ (±1%精度) の外部抵抗接続)

【注】 \*1 常に AvccA = AvccD = AVccP になるようにしてください。

\*2 必ず AvccA = AvrefT, AvrefT > AVrefB, AvrefB = AVssA になるようにしてください。

## 5.2 オフセットキャンセル機能

シングルエンド入力の場合、内部レジスタ DSADOF0~DSADOF3 にオフセットキャンセル値を設定することで、アナログ信号に対する DC 成分をキャンセル (減算) することが可能です。なお本機能は A/D 変換のオフセット誤差やマイコン内蔵 AMP のオフセットをキャンセルするものではありません。

レジスタ設定値に対応するオフセットキャンセルアナログレベルは下記のように表すことができます。また設定可能なオフセットキャンセルアナログレベルが GAIN の設定により異なります。表 5.2 に、GAIN の設定と DSADOFn の設定対応表を示します。

$$DOF = DSADOF/210 \times (AVrefT - AVrefB)$$

DOF: オフセットキャンセルアナログレベル (V)

DSADOF: 当該チャンネルの DSADOFn[9:0] に設定したレジスタ値 (DSADOF = 0~1023)

AvrefT:  $\Delta\Sigma$ 基準電圧 H 側 (V) (AvrefT = AVccA)

AvrefB:  $\Delta\Sigma$ 基準電圧 L 側 (V) (AvrefB = AvssA = 0V)

表 5.2 GAIN の設定と DSADOFn の設定対応表

GAIN1, GAIN0	DSADOFn 設定 (n = 0~3)	
	設定可能範囲	特記事項
B'00	H'0200	H'0200 に設定してください
B'01	H'0200	H'0200 に設定してください
B'10	H'0000~H'03FE	ビット 0 を 0 に設定してください
B'11	H'0000~H'03FF	—

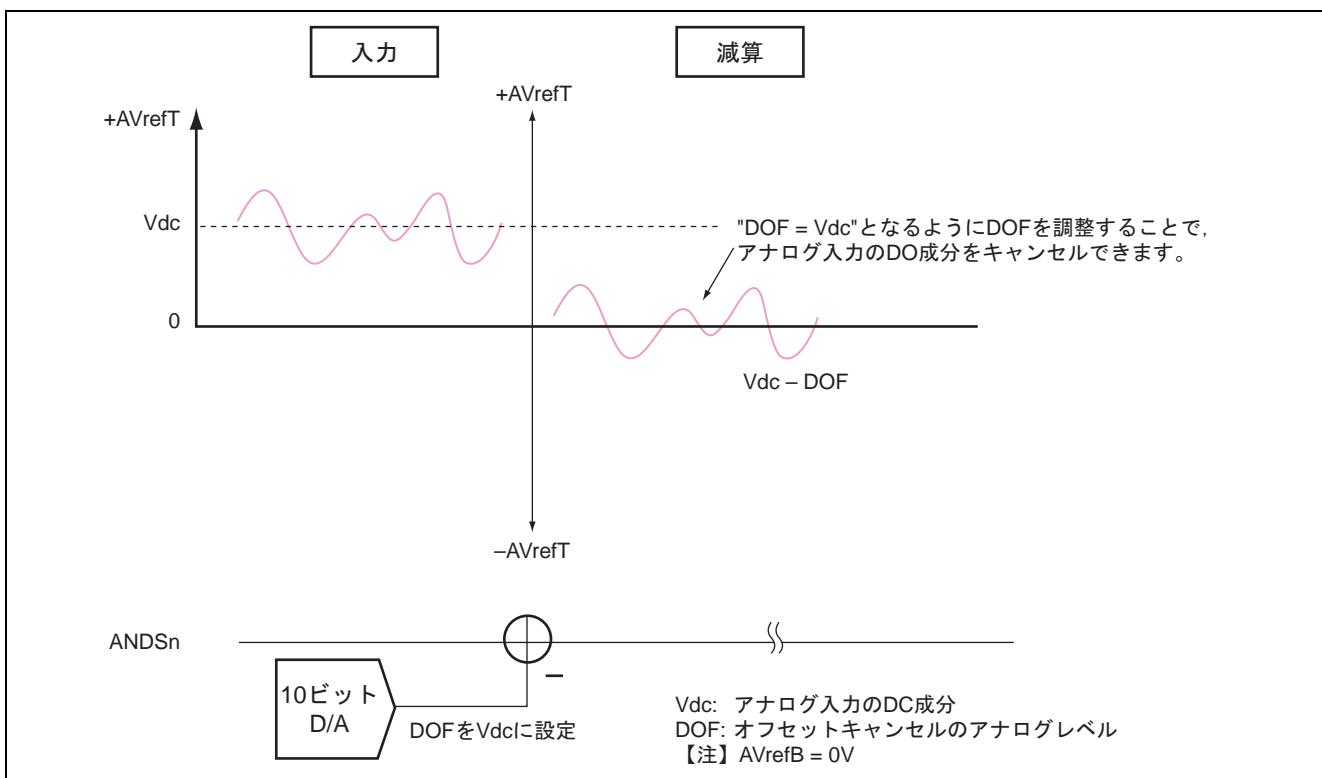


図 5.2 オフセットキャンセル機能



### 5.3 ゲイン機能

内部レジスタ DSADCR の GAIN1, 0 ビットに  $\times 8, \times 4, \times 2, \times 1$  倍設定することで, アナログ信号を増幅し,  $\Delta\Sigma$ A/D コンバータへ入力します。

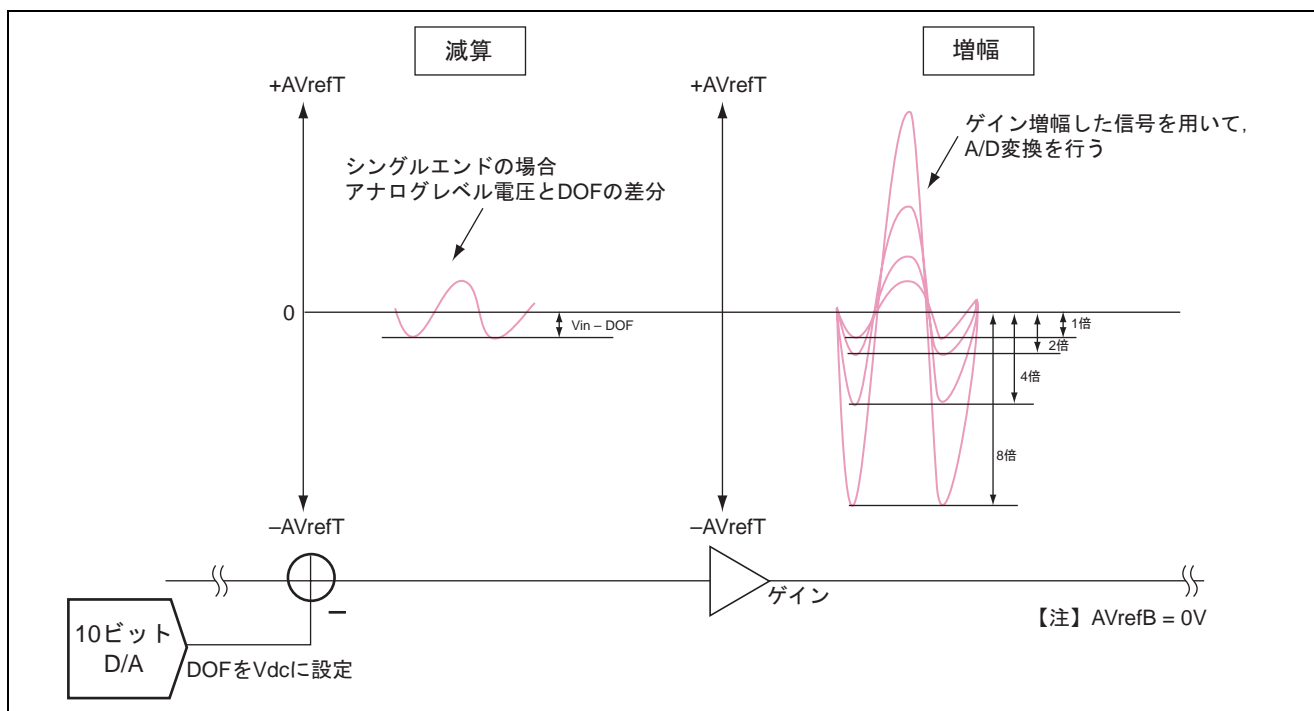


図 5.3 ゲイン機能 (シングルエンドの場合)

### 5.4 シングルエンド入力

シングルエンド入力の場合、1つのアナログレベル  $V_{in}$  (端子名は, ANDS0, ANDS1, ANDS2 または ANDS3) と、アナログ入力チャンネルに対応する DSADOFn に設定したオフセットキャンセルアナログレベル DOF を使用します。 $\Delta\Sigma$ ADC は、 $V_{in} - DOF$  の減算を行ない、アナログレベルと DOF の電圧の差分を入力信号とします。

つぎに、入力信号をゲイン設定の増幅 ( $\times 8 \sim \times 1$  倍) を行なった後に  $\Delta\Sigma$ 変調器へ入力します。

$\Delta\Sigma$ 変調器では、AVrefT 端子と AVrefB 端子で決定されるアナログ入力電圧範囲を 16 ビットの分解能でデジタル値に変換します。A/D 変換結果は、 $V_{in} - DOF \geq 0$  (V) の場合、正の値 (H'0000~H'7FFF) になります。また、 $V_{in} - DOF < 0$  (V) の場合、負の値 (H'FFFF~H'8000) になります。

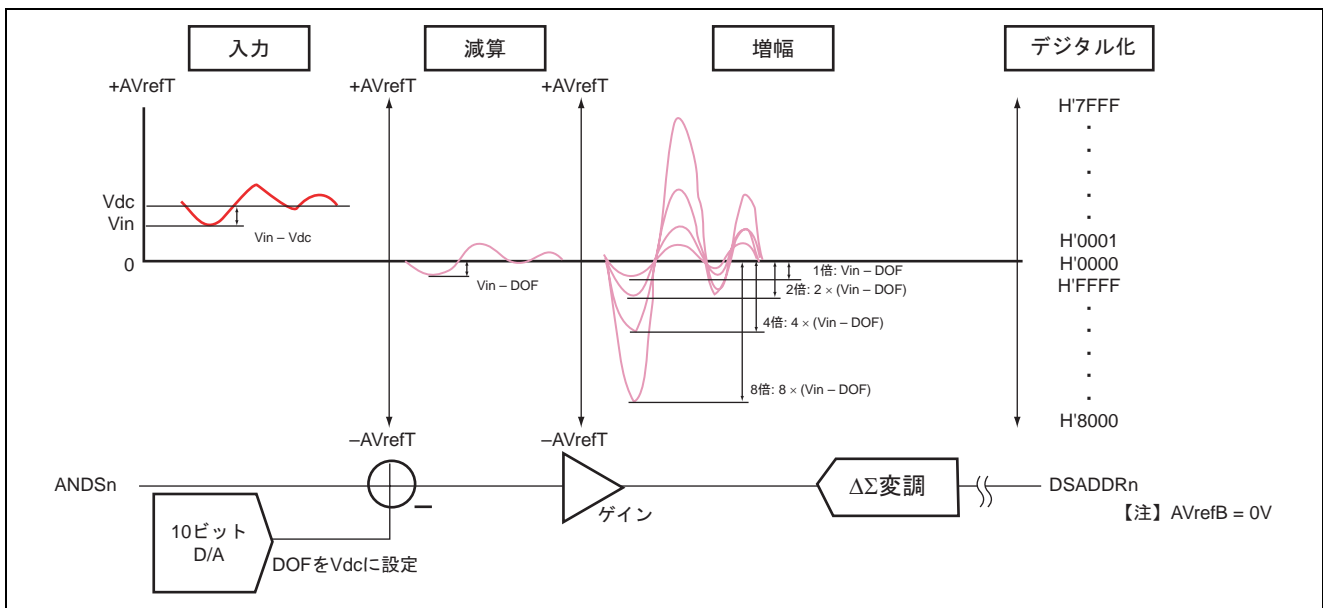


図 5.4 シングルエンド入力

### 5.5 差動入力

差動入力の場合、2つのアナログレベル  $V_{inP} - V_{inN}$  (端子名は、ANDS4P-ANDS4N, ANDS5P-ANDS5N) を使用します。

$\Delta\Sigma$ ADC は、 $V_{inP} - V_{inN}$  の減算を行ない、ANDSnP アナログレベルと ANDSnN アナログレベルの電圧の差分を入力信号とします。

つぎに、入力信号をゲイン設定の増幅 ( $\times 8 \sim \times 1$  倍) を行なった後に  $\Delta\Sigma$ 変調器へ入力します。

$\Delta\Sigma$ 変調器では、AVrefT 端子と AVrefB 端子で決定されるアナログ入力電圧範囲を 16 ビット分解能でデジタル値に変換します。A/D 変換結果は、 $V_{inP} - V_{inN} \geq 0$  (V) の場合、正の値 (H'0000~H'7FFF) になります。また、 $V_{inP} - V_{inN} < 0$  (V) の場合、負の値 (H'FFFF~H'8000) になります。

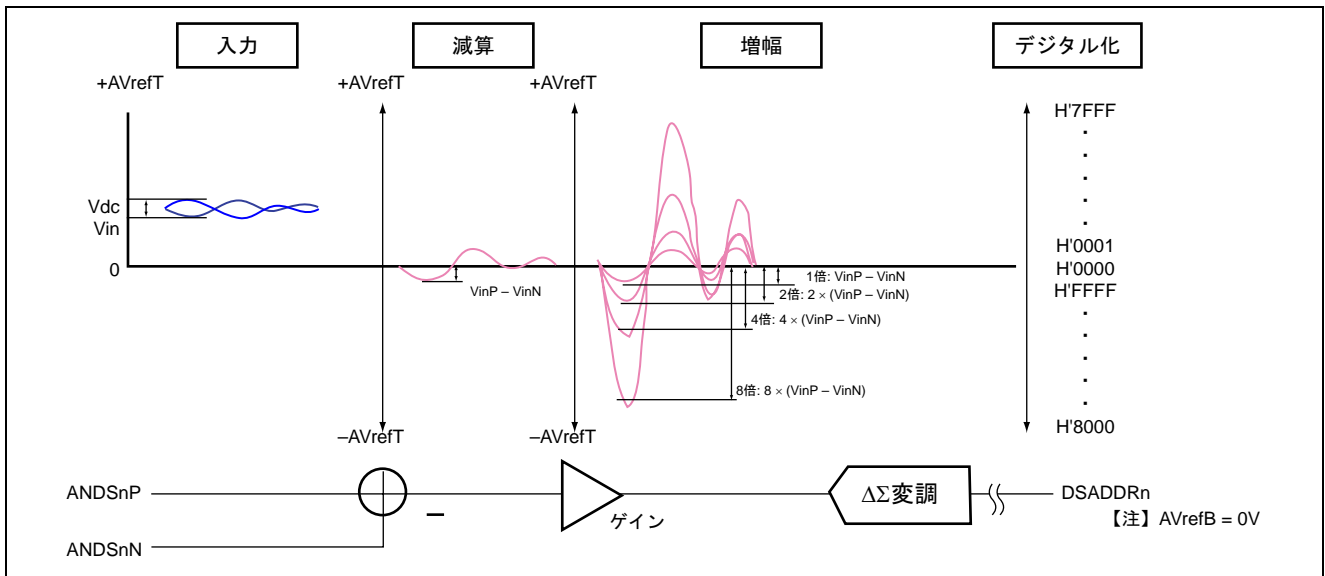


図 5.5 差動入力

5.6 動作モード

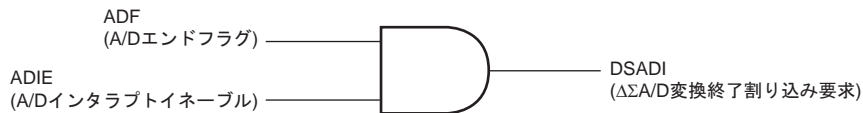
5.6.1 シングルモード (単一チャンネル)

シングルモードの動作説明を以下に示します。図 5.6 に $\Delta\Sigma$ A/D コンバータの動作例 (シングルモード【単一値チャンネル】: チャンネル 1 選択) を示します。

【動作条件】

- 使用するチャンネルはチャンネル 1
- $\Delta\Sigma$ A/D インタラプトイネーブル有効
- $\Delta\Sigma$ A/D 変換終了割り込み要求 (DSADI) \*を発生 (DSADI による DMA 起動禁止)

【注】 \*DSADI の発生要因は以下のとおり。



【動作説明】

1. ソフトウェアまたは $\Delta\Sigma$ A/D コントロール/ステータスレジスタ (DSADCSR) のタイマトリガセレクト (TRGS1, TRGS0) ビットで選択したトリガ入力によって DSADCSR の A/D スタート (ADST) ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果データは、チャンネル 1 に対応する $\Delta\Sigma$ A/D データレジスタ (DSADDR1) に転送されます。
3. A/D 変換結果がレジスタに転送され、 $\Delta\Sigma$ A/D コンバータの動作が停止すると、DSADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットに 1 がセットされているので、DSADI 割り込み要求が発生します (割り込み内で ADF フラグをクリア)。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされます。その後、ADST ビットを 1 セットすると再び選択されたチャンネルの A/D 変換を開始します。
5. A/D 変換中に ADST ビットを 0 にクリアすると A/D 変換を中止し、 $\Delta\Sigma$ A/D コンバータは待機状態になります。

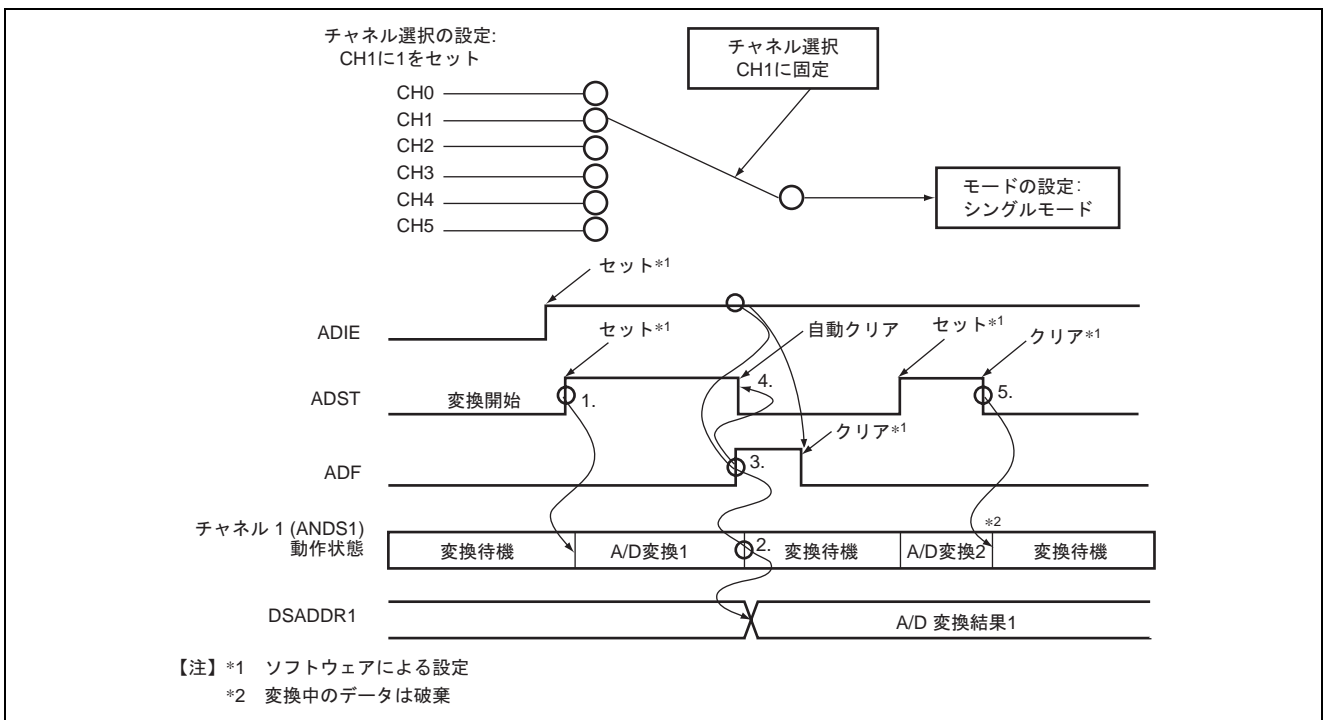


図 5.6  $\Delta\Sigma$ A/D コンバータの動作例 (シングルモード【単一チャンネル】: チャンネル 1 選択時)

5.6.2 シングルモード (多チャンネル)

シングルモードの動作説明を以下に示します。図 5.7 にΔΣA/D コンバータの動作例 (シングルモード【多チャンネル】：チャンネル 1, 2, 4 選択時) を示します。

【動作条件】

- 使用するチャンネルは 1, 2, 4
- ΔΣA/D インタラプトイネーブル有効
- ΔΣA/D 変換終了割り込み要求 (DSADI) \*を発生 (DSADI による DMA 起動禁止)

【注】 \*DSADI の発生要因は 5.6.1【動作条件】を参照してください。

【動作説明】

1. ソフトウェアまたは DSADCSR の TRGS1, TRGS0 ビットで選択したトリガ入力によって DSADCSR の ADST ビットが 1 にセットされると、チャンネル 1, 2, 4 の A/D 変換を開始します。A/D 変換を開始するチャンネルはチャンネルの実行順位に従って、チャンネル 1 側から優先して選ばれます。
2. それぞれ A/D 変換が終了すると、A/D 変換結果データは、チャンネル 1, 2, 4 に対応するΔΣA/D データレジスタ (DSADDRn) に転送されます (n = 1, 2, 4)。
3. 選択されたすべてのチャンネルの A/D 変換終了後、ADF ビットが 1 にセットされます。このとき ADIE ビットに 1 がセットされているので、DSADI 割り込み要求が発生します (割り込み内で ADF フラグをクリア)。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされます。その後、ADST ビットを 1 セットすると再びチャンネル 1 側からチャンネル実行順位に従って、選択したチャンネルの A/D 変換を開始します。
5. A/D 変換中に ADST ビットを 0 にクリアすると A/D 変換を中止し、ΔΣA/D コンバータは待機状態になります。

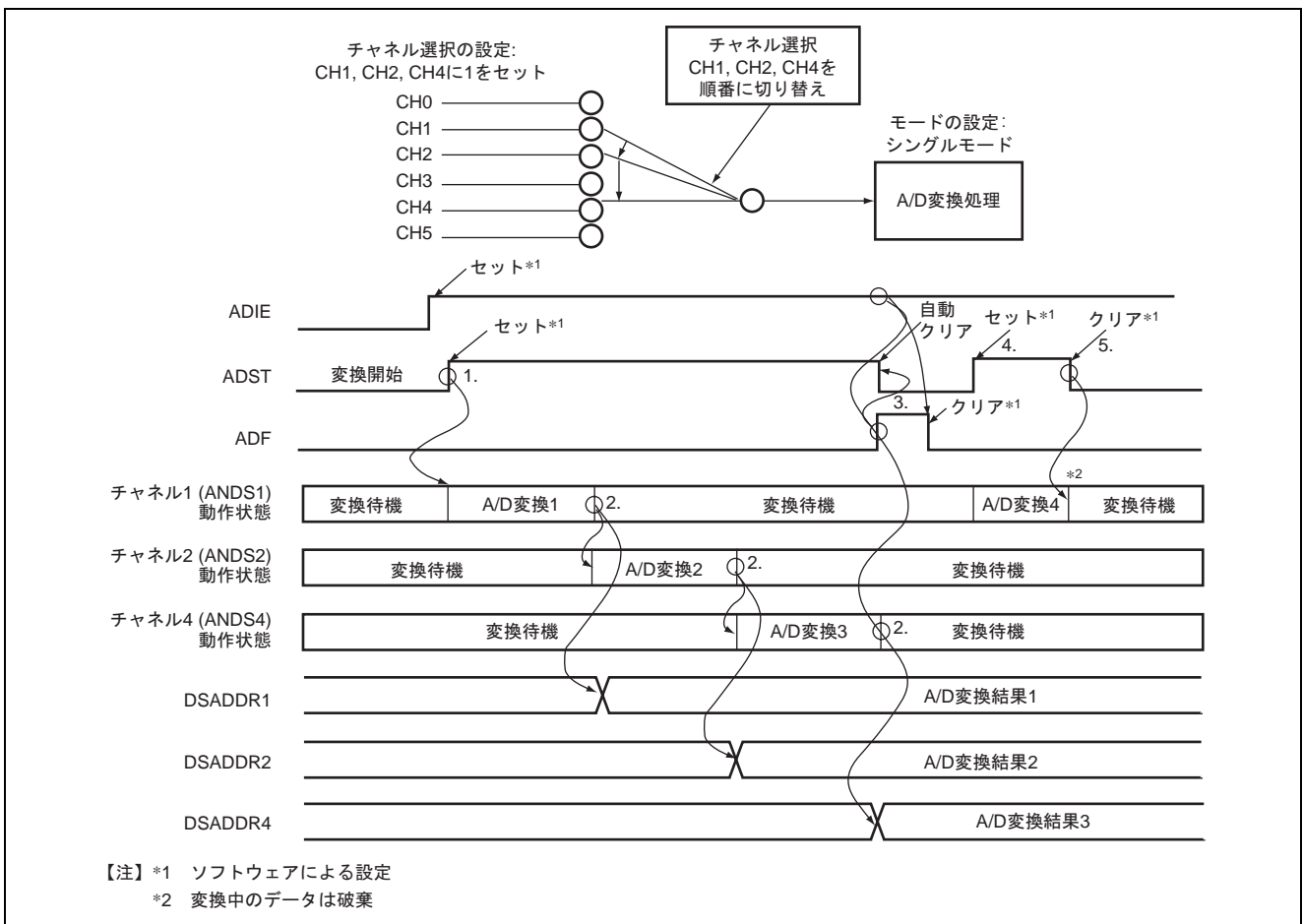


図 5.7 ΔΣA/D コンバータの動作例 (シングルモード【多チャンネル】：チャンネル 1, 2, 4 選択時)

5.6.3 スキャンモード (単一チャネル)

スキャンモードの動作説明を以下に示します。図 5.8 にΔΣA/D コンバータの動作例 (スキャンモード: チャネル0 選択時) を示します。

本条件はスキャンモードの説明をわかり易くするために下記条件としています。通常は A/D 変換データを RAM に展開する場合は、DSADI による DMA 起動を有効にして使用することを推奨いたします。

【動作条件】

- 使用するチャネルは 0
- ΔΣA/D インタラプトイネーブル有効
- ΔΣA/D 変換終了割り込み要求 (DSADI)\*を発生 (DSADI による DMA 起動禁止)

【注】\*DSADI の発生要因は 5.6.1 【動作条件】を参照してください。

【動作説明】

1. ソフトウェアまたは DSADCSR の TRGS1, TRGS0 ビットで選択したトリガ入力によって DSADCSR の ADST ビットが 1 にセットされると、A/D 変換を開始します。
2. チャネル 0 の A/D 変換が終了すると、A/D 変換結果データは、チャネル 0 に対応する ΔΣA/D データレジスタ (DSADDR0) に転送されます。
3. チャネル 0 の A/D 変換が終了すると、ADF ビットが 1 にセットされます。このとき ADIE ビットに 1 がセットされているので、DSADI 割り込み要求が発生します (割り込み内で ADF フラグをクリア)。
4. ΔΣA/D コンバータは、再びチャネル 0 を A/D 変換します。ADST ビットは自動的にクリアされず、1 にセットされている間は 2~4 を繰り返します。
5. ADST ビットを 0 にクリアすると A/D 変換を中止し、ΔΣA/D コンバータは待機状態になります。その後、ADST ビットを 1 にセットすると、再びチャネル 0 を A/D 変換します。

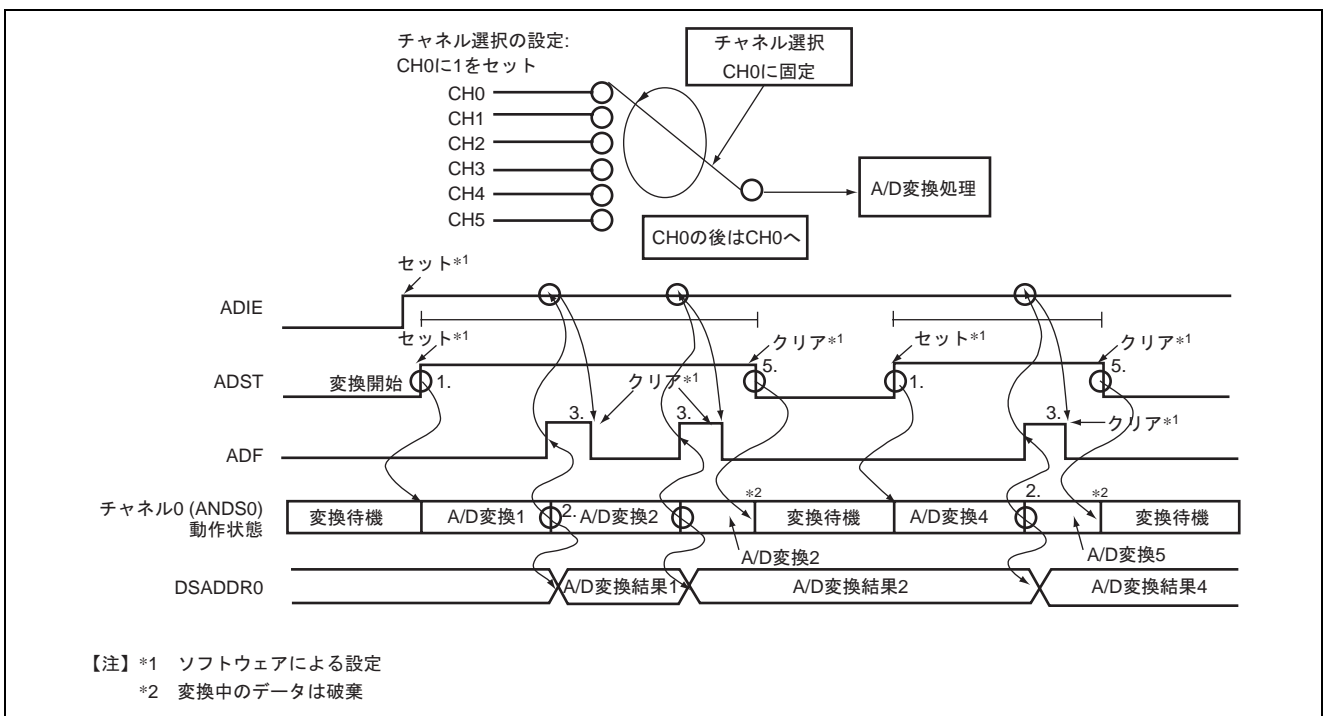


図 5.8 ΔΣA/D コンバータの動作例 (スキャンモード【単一チャネル】: チャネル 0 選択時)

5.6.4 スキャンモード (多チャンネル)

スキャンモードの動作説明を以下に示します。図 5.9 に $\Delta\Sigma$ A/D コンバータの動作例 (スキャンモード: チャンネル 0~2 選択時) を示します。

本条件はスキャンモードの説明をわかり易くするために下記条件としています。通常は A/D 変換データを RAM に展開する場合は、DSADI による DMA 起動を有効にして使用することを推奨いたします。

【動作条件】

- 使用するチャンネルは 0~2
- $\Delta\Sigma$ A/D インタラプトイネーブル有効
- $\Delta\Sigma$ A/D 変換終了割り込み要求 (DSADI)\*を発生 (DSADI による DMA 起動禁止)

【注】\*DSADI の発生要因は 5.6.1 【動作条件】を参照してください。

【動作説明】

1. ソフトウェアまたは DSADCSR の TRGS1, TRGS0 ビットで選択したトリガ入力によって DSADCSR の ADST ビットが 1 にセットされると、A/D 変換を開始します。A/D 変換を開始するチャンネルはチャンネルの実行順位に従って、チャンネル 0 側から優先して選ばれます。
2. それぞれ A/D 変換が終了すると、A/D 変換結果データは、チャンネル 0~2 に対応する $\Delta\Sigma$ A/D データレジスタ (DSADDRn) に転送されます (n = 0~2)。
3. 選択されたすべてのチャンネルの A/D 変換が終了後、ADF ビットが 1 にセットされます。このとき ADIE ビットに 1 がセットされているので、DSADI 割り込み要求が発生します (割り込み内で ADF フラグをクリア)。
4.  $\Delta\Sigma$ A/D コンバータは、再びチャンネル 0 側からチャンネルの実行順位に従って、選択したチャンネルの A/D 変換を開始します。ADST ビットは自動的にクリアされず、1 にセットされている間は 2.~4. を繰り返します。
5. ADST ビットを 0 にクリアすると A/D 変換を中止し、 $\Delta\Sigma$ A/D コンバータは待機状態になります。その後、ADST ビットを 1 にセットすると、再びチャンネル 0 側からチャンネルの実行順位に従って、選択したチャンネルの A/D 変換を開始します。

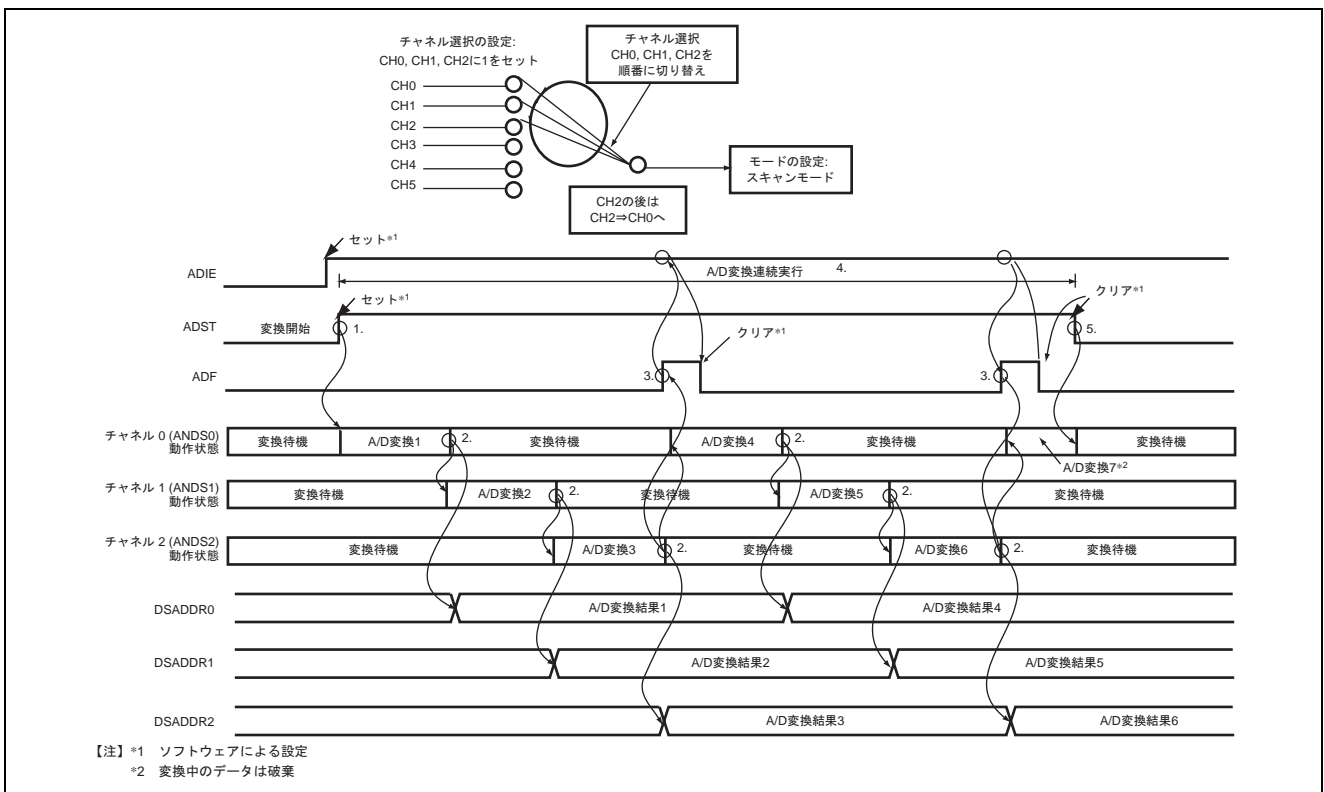


図 5.9  $\Delta\Sigma$ A/D コンバータの動作例 (スキャンモード: チャンネル 0~2 選択時)

6. 推奨外部回路と注意事項

6.1 推奨外部回路 (シングルエンド入力, 差動入力)

図 6.1 に H8SX ファミリ  $\Delta\Sigma$ A/D コンバータの外部回路例 (シングルエンド入力, 差動入力) を示します。またローパスフィルタの抵抗値とマイコンの入力インピーダンスの関係により, 入力アナログ信号に電圧降下が生じる可能性があります。基板設計の際には十分注意願います。

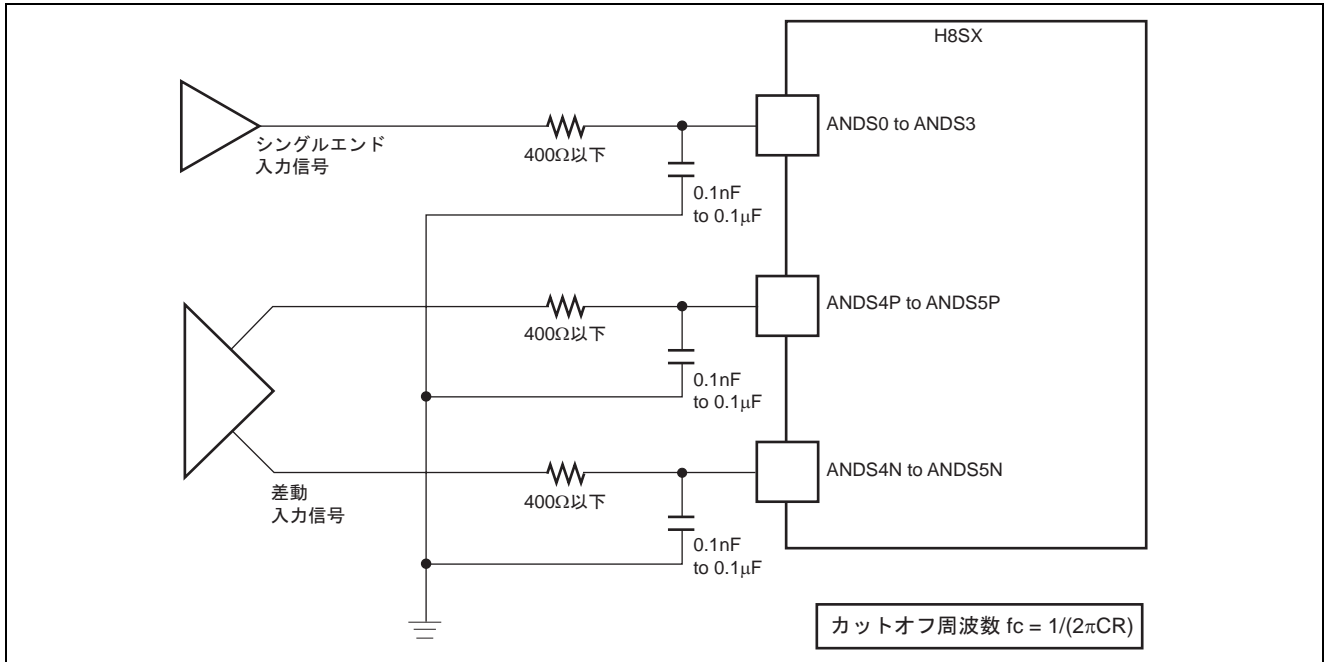


図 6.1  $\Delta\Sigma$ A/D コンバータ外部回路例 (シングルエンド入力, 差動入力)



6.2 推奨外部回路 (電源)

図 6.2 に H8SX ファミリ  $\Delta\Sigma$ A/D コンバータの外部回路例 (電源) を示します。各電源、グランド端子には安定した電圧レベルを供給してください。特に AVrefT-AVrefB は  $\Delta\Sigma$  基準電圧となりますので、基板設計の際には十分注意願います。

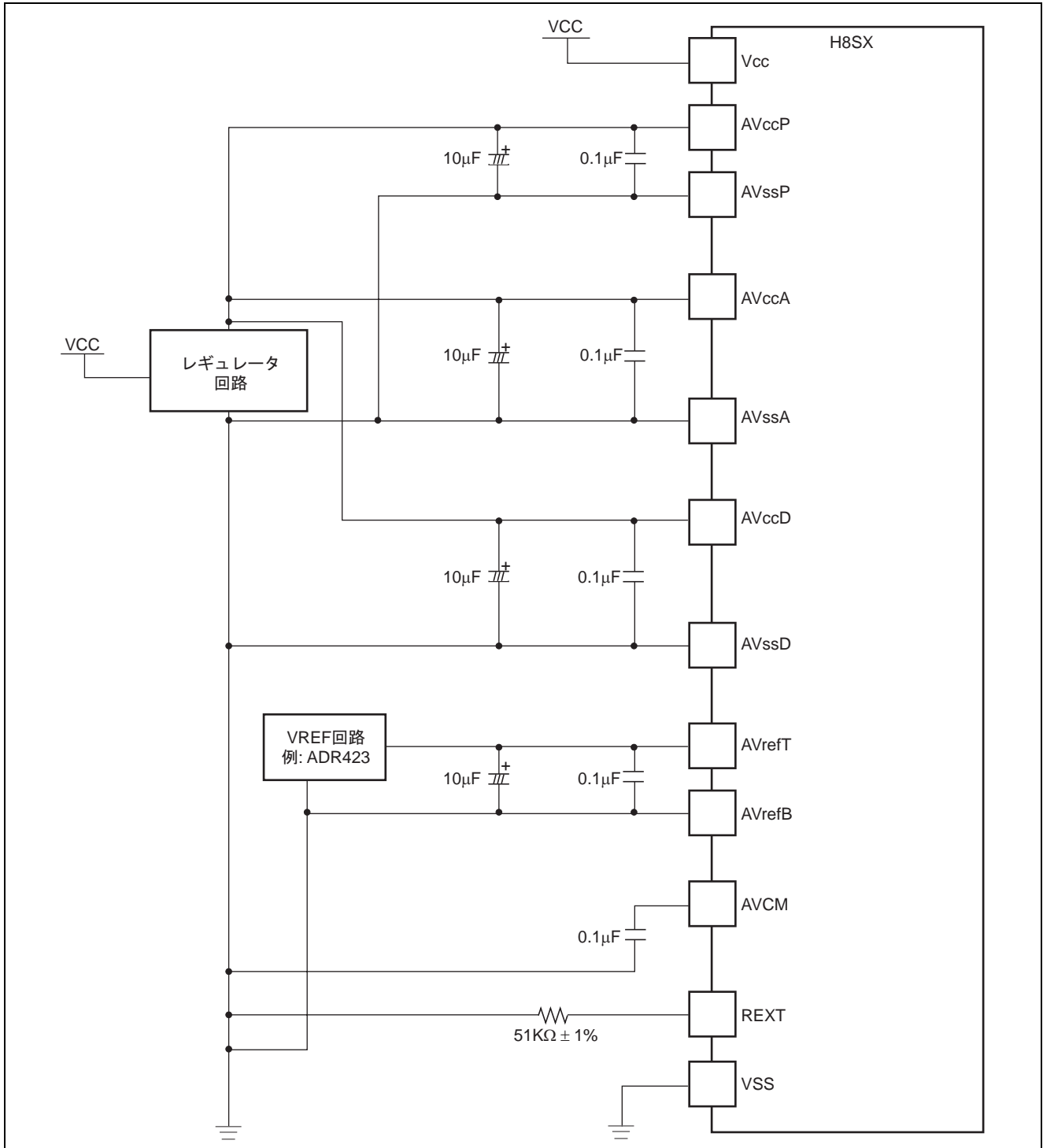


図 6.2  $\Delta\Sigma$ A/D コンバータ外部回路例 (電源)

## 6.3 注意事項

$\Delta\Sigma$ A/D コンバータをより良い精度で使用するには、次の点にご注意ください。

### 基板設計時の注意事項

1. ノイズ対策のため、多層基板で VCC 層と GND 層を別層とし、入力ラインのノイズ等に注意してください。
2. コストおよび部品実装面積に余裕があれば、アナログ (AvccD, AvccA, AvccP, AVrefT) とデジタルの電源を別にしてください。
3. アナログ回路の下層にデジタル回路のパターンが走り回ると相互干渉を起こす場合がありますので、設計の際には十分注意してください。

### アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼす場合があります。

- 常に AvccA = AvccD = AvccP, AvssA = AvssD = AVssP になるようにしてください。
- 必ず AvccA = AVrefT, AVrefT > AvrefB, AvrefB = 0V になるようにしてください。

## 7. 参考資料

### 7.1 A/D 変換結果の算出式

ΔΣA/D コンバータでは、A/D 変換結果を 16 ビットのデータレジスタに格納します。A/D 変換結果の値を算出式で示す場合、シングルエンド入力ではオフセットキャンセル D/A コンバータの設定とゲイン選択が関係します。差動入力では、計算によって A/D 変換結果を求めますので、実際の A/D 変換結果とは変換精度誤差による誤差が生じます。

算出式では以下の変数を用います。

表 7.1 算出式変数一覧

変数名	単位	変数値の範囲	内容	設定方法
gain	倍率	1~8	ゲイン設定で設定した増幅率	DSADCR の GAIN1, GAIN0 ビット
DSADOFn	Hex	H'000~H'3FF	オフセットキャンセル D/A コンバータ入力	当該チャンネルの DSADOFn
DOF	V	0~AVrefT (V)	DSADOFn で設定したアナログレベル	DSADOFn と AVrefT により設定
ANDSn	V	0~AVrefT (V)	シングルエンドのアナログ入力レベル	当該チャンネルの ANDSn 端子
ANDSnP	V	0~AVrefT (V)	差動入力のアナログ入力レベル P 側	当該チャンネルの ANDSnP 端子
ANDSnN	V	0~AVrefT (V)	差動入力のアナログ入力レベル N 側	当該チャンネルの ANDSnN 端子
result	数値	最大±262144	当該チャンネルの A/D 変換結果 (整数)	式の値

#### 7.1.1 シングルエンド入力の場合

シングルエンド入力の場合は、DSADOFn/1024 に AVrefT の電圧レベルを積分して DOF を求めます。ANDSn 端子のアナログ入力レベルから DOF を減算した後に gain 倍したアナログレベルを A/D 変換します。

$$\text{DOF} = \frac{\text{DSADOFn}}{1024} \times (\text{AVrefT} - \text{AVrefB})$$

$$\text{result} = \frac{(\text{ANDSn} - \text{DOF}) \times \text{gain}}{\text{AVrefT} - \text{AVrefB}} \times 2^{15}$$

【注】 AVrefB = 0V

## 7.1.2 差動入力の場合

差動入力の場合は、ANDSnP 端子のアナログ入力レベルから ANDSnN 端子のアナログ入力レベルを減算します。減算して得られた電圧レベルの差分に gain 倍したアナログレベルを A/D 変換します。

$$\text{result} = \frac{(\text{ANDSnP} - \text{ANDSnN}) \times \text{gain}}{\text{AVrefT} - \text{AVrefB}} \times 2^{15}$$

【注】 AVrefB = 0V

## 7.1.3 算出値をレジスタに格納する処理

Result は正負の値をとるようになります。DSADDRn には 16 ビットデータを符号付き (2 の補数) で格納します。結果が 16 ビットデータの正の最大値を超える場合は、DSADDRn に+32767 (H'7FFF) が格納されます。負の値についても、16 ビットデータの範囲を超える場合は、DSADDRn に-32768 (H'8000) が格納されます。

- result > +32768 の場合: DSADDRn = H'7FFF
- +32768 > result > 0 の場合: DSADDRn = result
- 0 > result > -32768 の場合: DSADDRn = result + 65536
- 32768 > result の場合: DSADDRn = H'8000

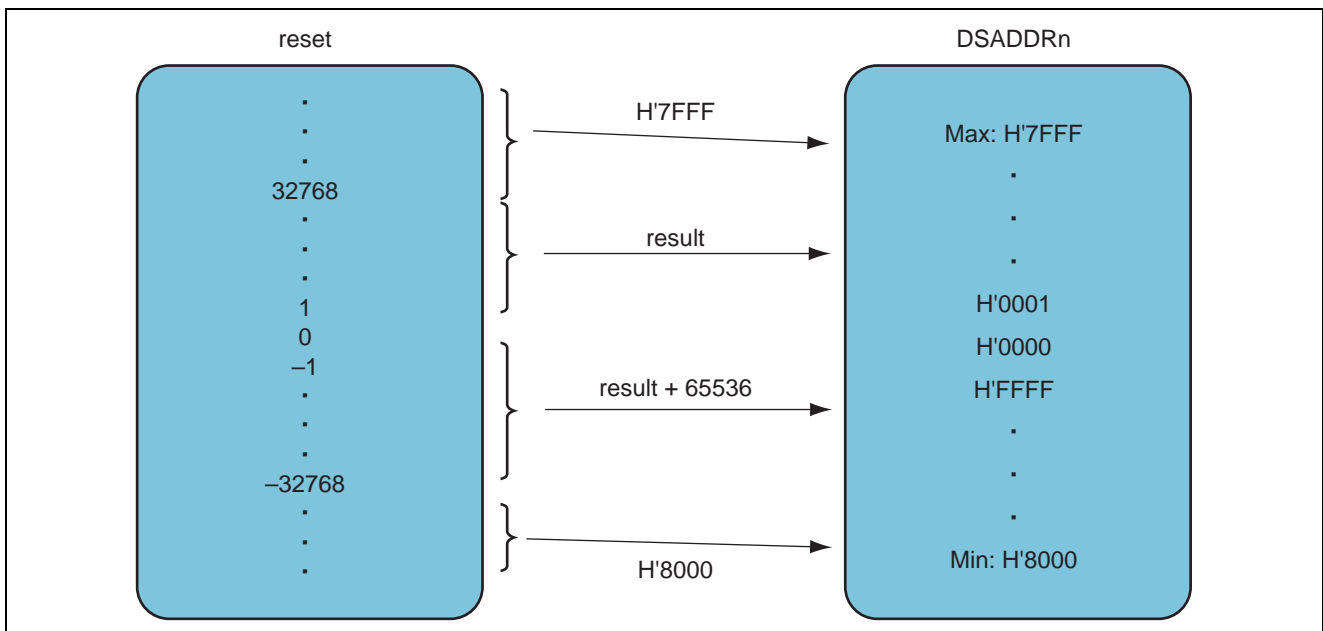


図 7.1 算出値をレジスタに格納する処理

## 7.2 $\Delta\Sigma$ A/D コンバータ分周クロック設定

$\Delta\Sigma$ A/D コンバータは、オーバーサンプリング周波数 (fos) に対し以下の規定があります。

Min: 2.5MHz~Max: 3.3MHz

従って、A $\phi$ は、EXTAL の入力クロックに合わせて下記の表の設定でご使用ください。

表 7.2 EXTAL 周波数に対する $\Delta\Sigma$ A/D コンバータクロック (A $\phi$ ) 周波数対応表

EXTAL 入力クロック 周波数 (MHz)	A $\phi$ 設定			fos (MHz)
	ACK2-0 設定	倍率	A $\phi$ 周波数 (MHz)	
8.0~9.9	B'011	EXTAL $\times$ 8 $\times$ (1/3)	21.3~26.4	2.7~3.3
10.0~13.2	B'010	EXTAL $\times$ 8 $\times$ (1/4)	20.0~26.4	2.5~3.3
13.2~16.5	B'001	EXTAL $\times$ 8 $\times$ (1/5)	21.1~26.4	2.6~3.3
16.5~18.0	B'000	EXTAL $\times$ 8 $\times$ (1/6)	22.0~26.4	2.8~3.3

7.3 推奨入力範囲とデジタル値

$\Delta\Sigma$ A/D コンバータで高精度な変換精度が得られる推奨入力範囲を以下に示します。

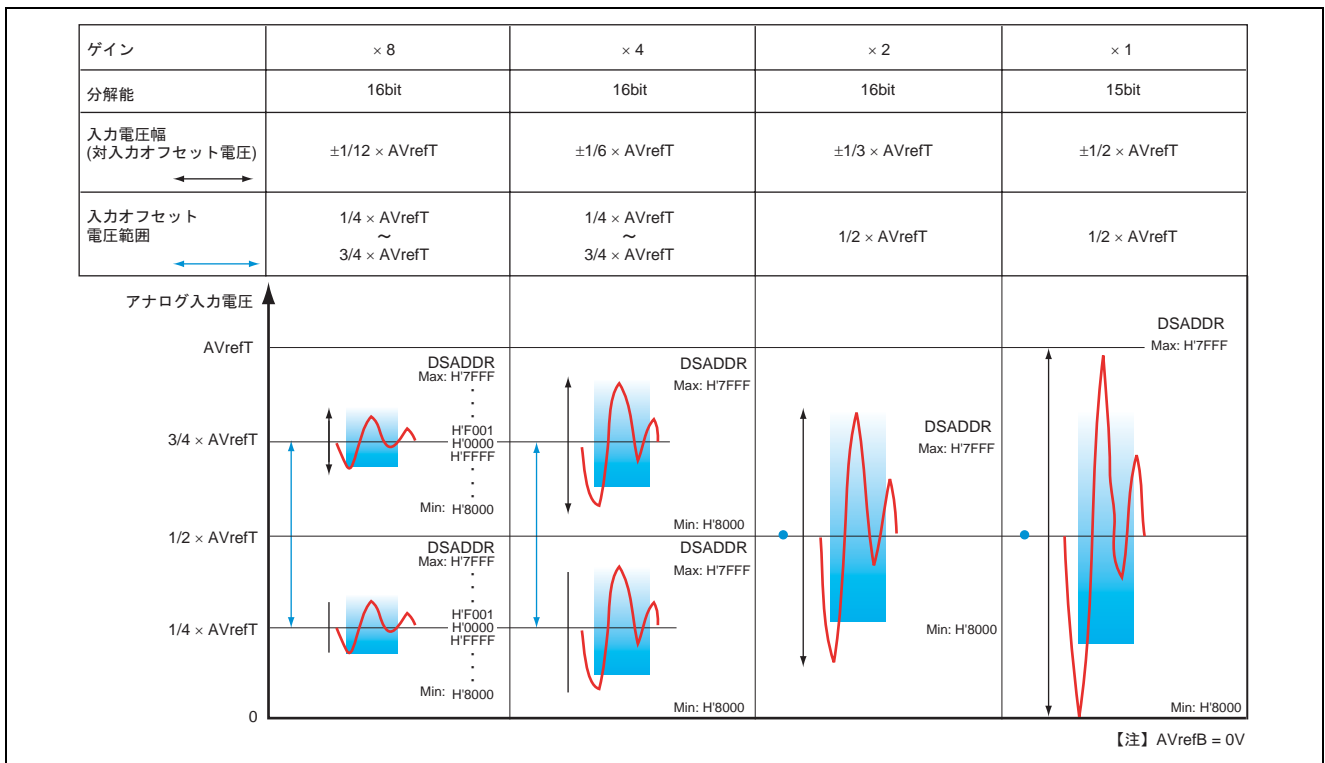


図 7.2 推奨入力範囲とデジタル値 (シングルエンド入力)

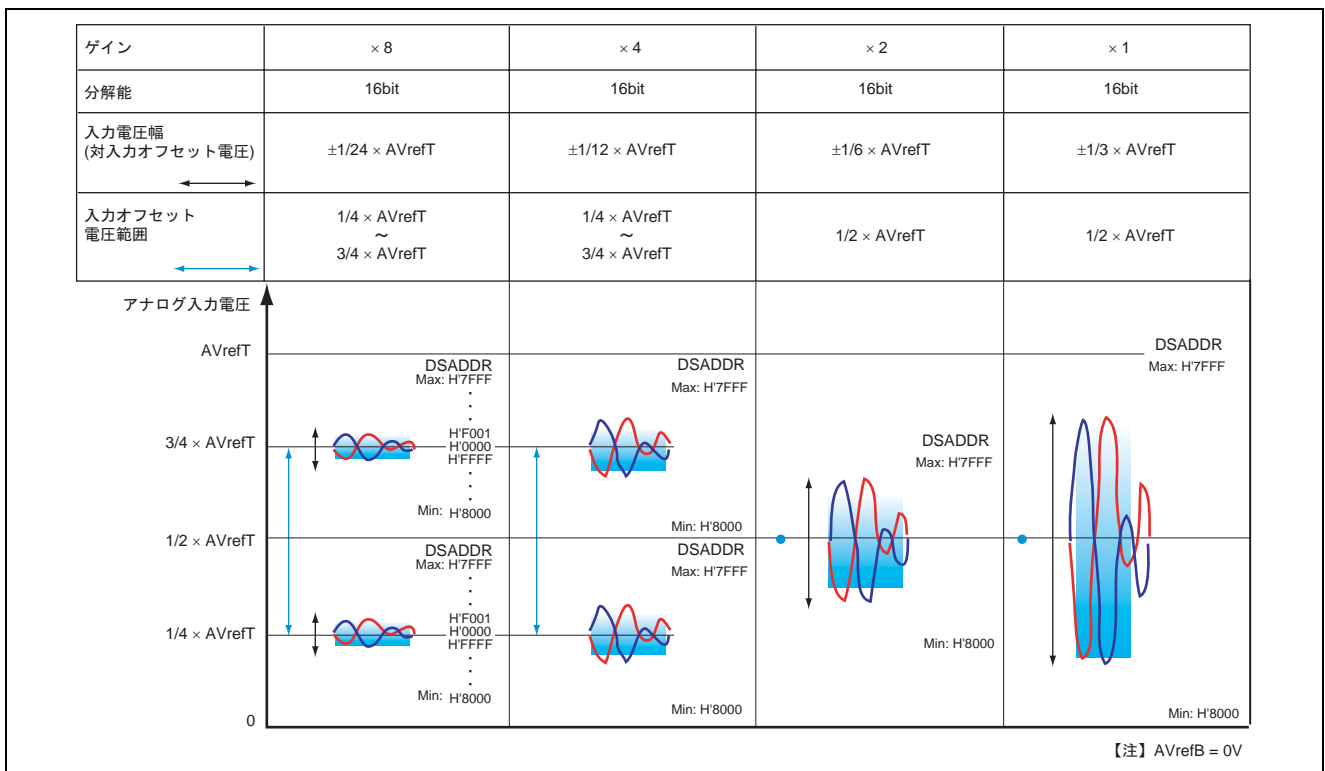


図 7.3 推奨入力範囲とデジタル値 (差動入力)

## ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2008.05.20	—	初版発行
1.10	2008.11.17	31	図 6.2 の抵抗値を修正。 誤) 511k $\Omega$ ⇒ 正) 51K $\Omega$

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444