

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/300H Super Low Power シリーズ

内部基準電圧を使用した Σ A/D コンバータによる電圧測定

要旨

Σ A/D コンバータを使用して Ain1 端子に入力した電圧を測定します。

A/D 変換の基準電圧には内部基準電圧を使用します。結果は 14 ビットデータとして内蔵 RAM に格納します。

動作確認デバイス

H8/38086R

目次

1. 仕様	2
2. Σ A/D コンバータ測定条件	3
3. 使用機能説明	4
4. Σ A/D コンバータ動作説明	8
5. ソフトウェア説明	9
6. フローチャート	18

1. 仕様

- 図1に示すように、H8/38086Rの Σ A/Dコンバータを使用して、Ain1端子に入力した電圧測定を行います。
- Σ A/Dコンバータの基準となる電圧は、内部基準電圧を使用します。
- Ain1端子に入力した被測定電圧のA/D変換を行い、A/D変換結果を内蔵RAMに格納します。なお、A/D変換は2回行い、1回目のA/D変換結果は破棄し、2回目のA/D変換結果を採用します。また、A/Dデータレジスタ(ADDR)から読み出したA/D変換結果は、右に2ビットシフトさせ14ビットデータとして内蔵RAMに格納します。
- 動作モードはウェイトモードを使用し、オーバサンプリング周波数は ϕ 、PGAバイパスにてA/D変換を行います。
- A/D変換中はCPUなどから発生するノイズを抑えるため、スリープ(高速)モードに遷移します。A/D変換終了割り込みによりスリープ(高速)モードを解除し、アクティブ(高速)モードに遷移してから、A/D変換結果を内蔵RAMに格納します。また、モジュールスタンバイ機能により、 Σ A/Dコンバータ以外のSCI3、A/Dコンバータ、タイマF、RTC、TPU、IIC2、PWM、AEC、ウォッチドッグタイマ、LCDの内蔵周辺モジュールはモジュールスタンバイモードに設定します。
- 内部基準電圧(REF)が安定するまで、約0.8ms期間待機してからA/D変換を開始します。

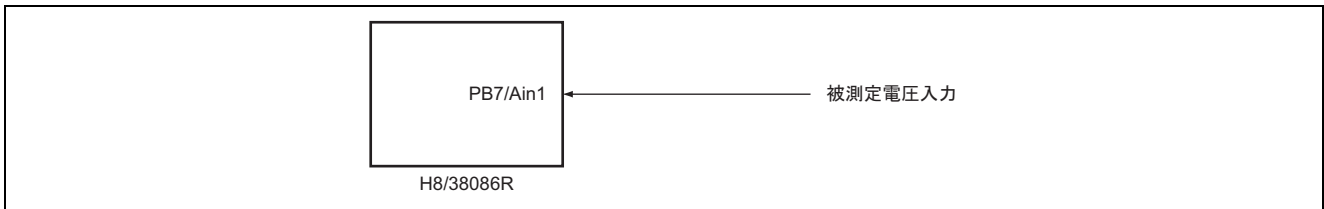


図1 Σ A/Dコンバータによる電圧測定(内部基準電圧使用)

2. Σ A/D コンバータ測定条件

図 2 に本タスク例における測定回路を示します。

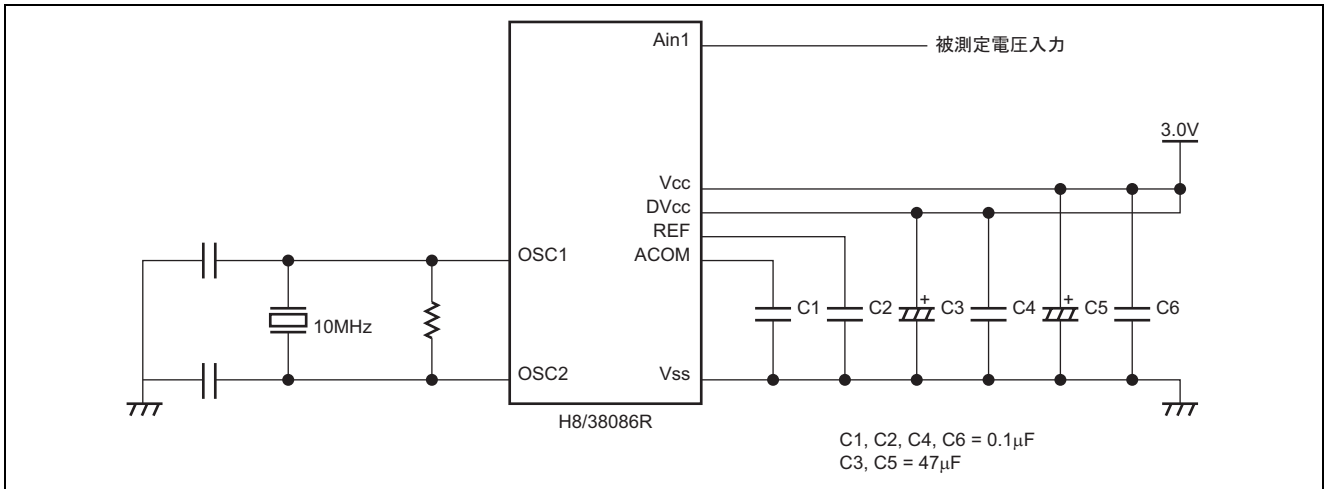


図 2 Σ A/D コンバータ測定回路 (内部基準電圧使用)

以下に、内部基準電圧を使用した Σ A/D コンバータによる電圧測定における測定条件を示します。

- Vcc = 3.0V
- DVcc = 3.0V
- REF = 内部基準電圧 (約 1.2V)
- システムクロック周波数 (ϕ) = 10MHz
- オーバサンプリング周波数 (f_{ovs}) = ϕ
- PGA = Bypass
- 変換モード = ウェイトモード
- 入力電圧範囲 = 0.2V ~ REF (約 1.2V)

3. 使用機能説明

図3に Σ /D コンバータのブロック図を示します。

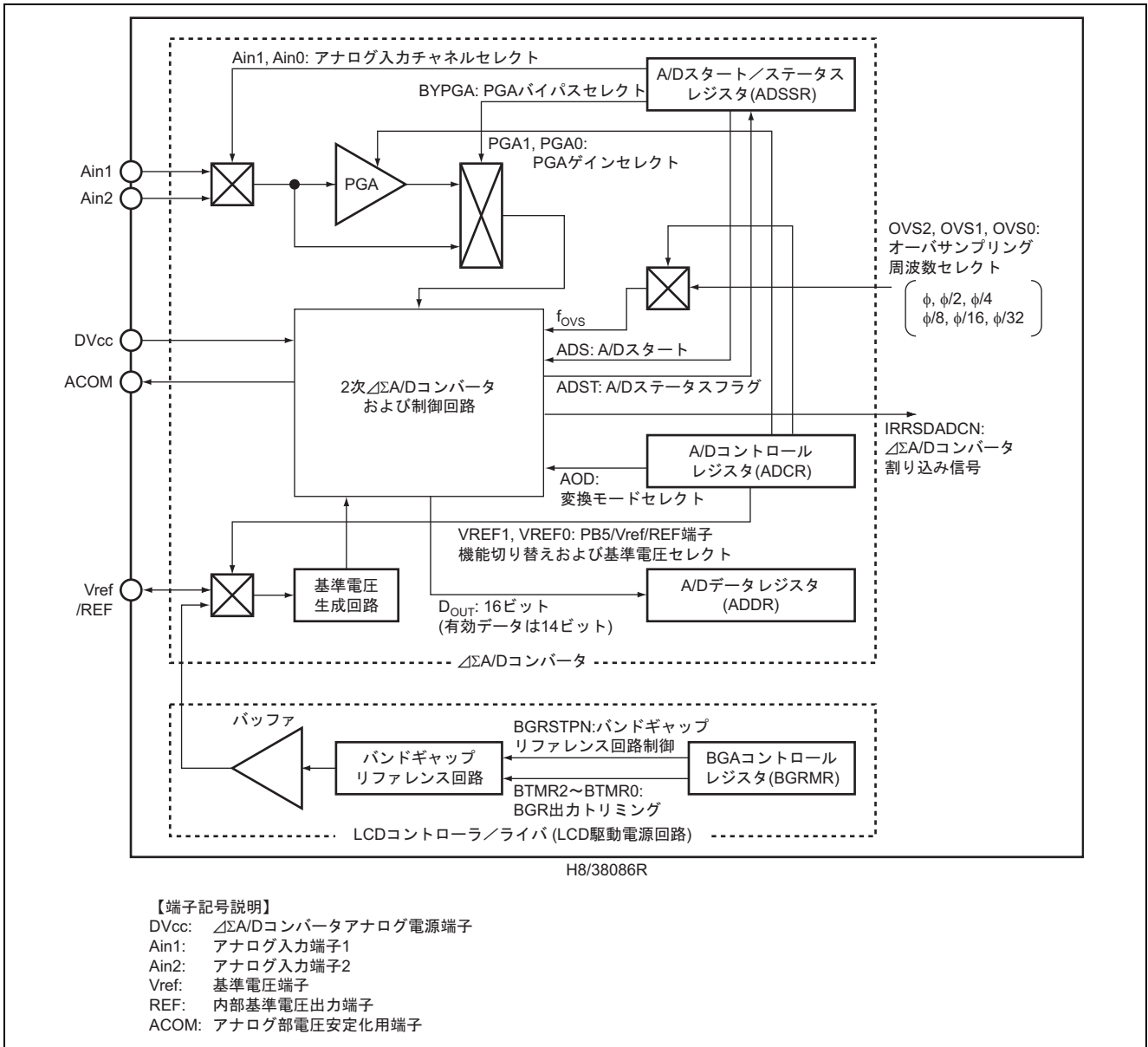


図3 Σ /D コンバータブロック図

以下に、 Σ A/D コンバータの機能説明を示します。

3.1 特長

- 分解能: 14 ビット
- 入力チャンネル: 2 チャンネル
- 変換方式: 2 次 $\Delta\Sigma$, 320 倍オーバーサンプリング型
- 変換時間: 1 チャンネルあたり 32 μ s (10MHz 動作時)
- 割り込み要因: 1 種類 (A/D 変換終了割り込み要求)
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

3.2 入出力端子

Σ A/D コンバータで使用する端子構成を表 1 に示します。

表 1 Σ A/D コンバータ端子構成

端子名	記号	入出力	機能
基準電圧端子	Vref	入力	外部基準電圧入力
内部基準電圧出力端子	REF	出力	内部基準電圧出力
アナログ部電圧安定化用端子	ACOM	出力	安定化容量 (0.1 μ F) 接続
アナログ入力端子 1	Ain1	入力	アナログ入力端子
アナログ入力端子 2	Ain2	入力	
Σ A/D コンバータアナログ電源端子	DVcc	入力	電源端子

3.3 レジスタ説明

Σ A/D コンバータには以下のレジスタがあります。

- A/D データレジスタ (ADDR)
ADDR は A/D 変換結果を格納するための 16 ビットのリード専用レジスタです。ADDR は常に CPU からリード可能です。A/D 変換中は ADDR の値は不定で、A/D 変換終了時に変換結果の 14 ビットデータが ADDR の上位 14 ビットに格納され、次の変換開始までこのデータが保持されます。ADDR の初期値は不定です。
- BGR コントロールレジスタ (BGRMR)
BGRMR はバンドギャップリファレンス回路 (BGR) の動作制御および REF 端子から出力される内部基準電圧 (BGR 出力電圧) の調整を行います。
- A/D コントロールレジスタ (ADCR)
ADCR は変換モードの設定、PGA (プログラマブルゲインアンプ) 倍率の設定、PB5/Vref/REF 端子機能の選択、基準電圧の設定、およびオーバーサンプリング周波数の設定を行います。
- A/D スタート/ステータスレジスタ (ADSSR)
ADSSR は A/D 変換のステータスフラグ、アナログ入力のチャンネルの選択、および PGA バイパスの選択を行います。

3.4 Σ A/D コンバータ

Σ A/D コンバータは、 Σ モジュレータを用いた A/D コンバータで、 V_{ref} 端子で決定されるアナログ入力電圧範囲を 14 ビットの分解能でデジタルに変換します。 Σ A/D コンバータは、 Σ モジュレータを主体とするアナログ部と、デジタルフィルタ制御回路からなるデジタル部で構成されています。

アナログ部では、アナログ入力端子 1, 2 (A_{in1} , A_{in2}) の電圧を変換周期の 320 倍の周波数 (オーバーサンプリング周波数) でサンプリングし、2 次の Σ A/D モジュレータで 1 ビットのデジタル値列に変換します。変換結果は、デジタル部でデシメーションフィルタを経て、14 ビットのデータとして A/D データレジスタ (ADDR) へ符号なし 2 進数で出力されます。

このとき、ADDR のビット 13 が MSB、ビット 0 が LSB となります。

3.5 Σ A/D コンバータ変換モード

Σ A/D コンバータの変換モードには、ウェイトモード、連続モードの 2 種類あります。

3.5.1 ウェイトモード

ウェイトモードは指定された 1 チャンネルのアナログ入力を 1 回 A/D 変換します。

1. ソフトウェアによって A/D スタート / ステータスレジスタ (ADSSR) の ADS ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると A/D 変換結果が A/D データレジスタ (ADDR) に転送されます。
3. A/D 変換終了時、割り込み要求レジスタ 2 (IRR2) の A/D コンバータ割り込み要求イネーブル (IRRSAD) が 1 にセットされます。このとき、割り込み許可レジスタ 2 (IENR2) の A/D コンバータ割り込み要求イネーブル (IENSAD) が 1 にセットされていると、A/D 変換終了割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的に 0 にクリアされて A/D コンバータは待機状態になります。

3.5.2 連続モード

連続モードは指定された 1 チャンネルのアナログ入力を以下のように連続して A/D 変換します。

1. ソフトウェアによって A/D コントロールレジスタ (ADCR) の MOD ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると A/D 変換結果が A/D データレジスタに転送されます。
3. A/D 変換終了時、割り込み要求レジスタ 2 (IRR2) の A/D コンバータ割り込み要求フラグ (IRRSAD) が 1 にセットされます。このとき、割り込み許可レジスタ 2 (IENR2) の A/D コンバータ割り込み要求イネーブル (IENSAD) が 1 にセットされていると、A/D 変換終了割り込み要求が発生します。
4. その後、2. ~3. を繰り返します。連続モードを停止するには、リセットするか、あるいはウォッチモード、サブアクティブモード、サブスリープモード、スタンバイモードへ遷移させるか、ADCR の MOD ビットを 0 に設定してください。

3.5.3 Σ A/D コンバータ動作モード

Σ A/D コンバータの動作モードを表 2 に示します。

表 2 Σ A/D コンバータの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュールスタンバイ
ADCR	リセット	動作	保持	保持	保持	保持	保持	保持
ADSSR	リセット	動作	動作	保持	保持	保持	保持	保持
ADDR	保持*	動作	動作	保持	保持	保持	保持	保持
BGRMR	リセット	動作	保持	保持	動作	保持	保持	保持

【注】 * パワーオンリセット時は不定

3.5.4 端子機能割り付け

本タスク例における端子機能割り付けを表 3 に示します。

表 3 端子機能割り付け

端子	機能割り付け
Vref/REF	REF 出力端子として、内部基準電圧 (約 1.2V) を出力
DVcc	Σ A/D コンバータの電源端子として DC3.0V を入力
Ain1	アナログ入力端子として、被測定電圧を入力
Ain2	未使用
ACOM	アナログ部電圧安定化用端子として 0.1 μ F のコンデンサを接続

4. Σ A/D コンバータ動作説明

図4に本タスク例におけるウェイトモード時の Σ A/D 変換の動作説明を示します。なお、本タスク例では、1回目のA/D変換の終了判定はソフトウェアポーリングを使用し、2回目のA/D変換はスリープ(高速)モードを解除するために、割り込みを使用します。

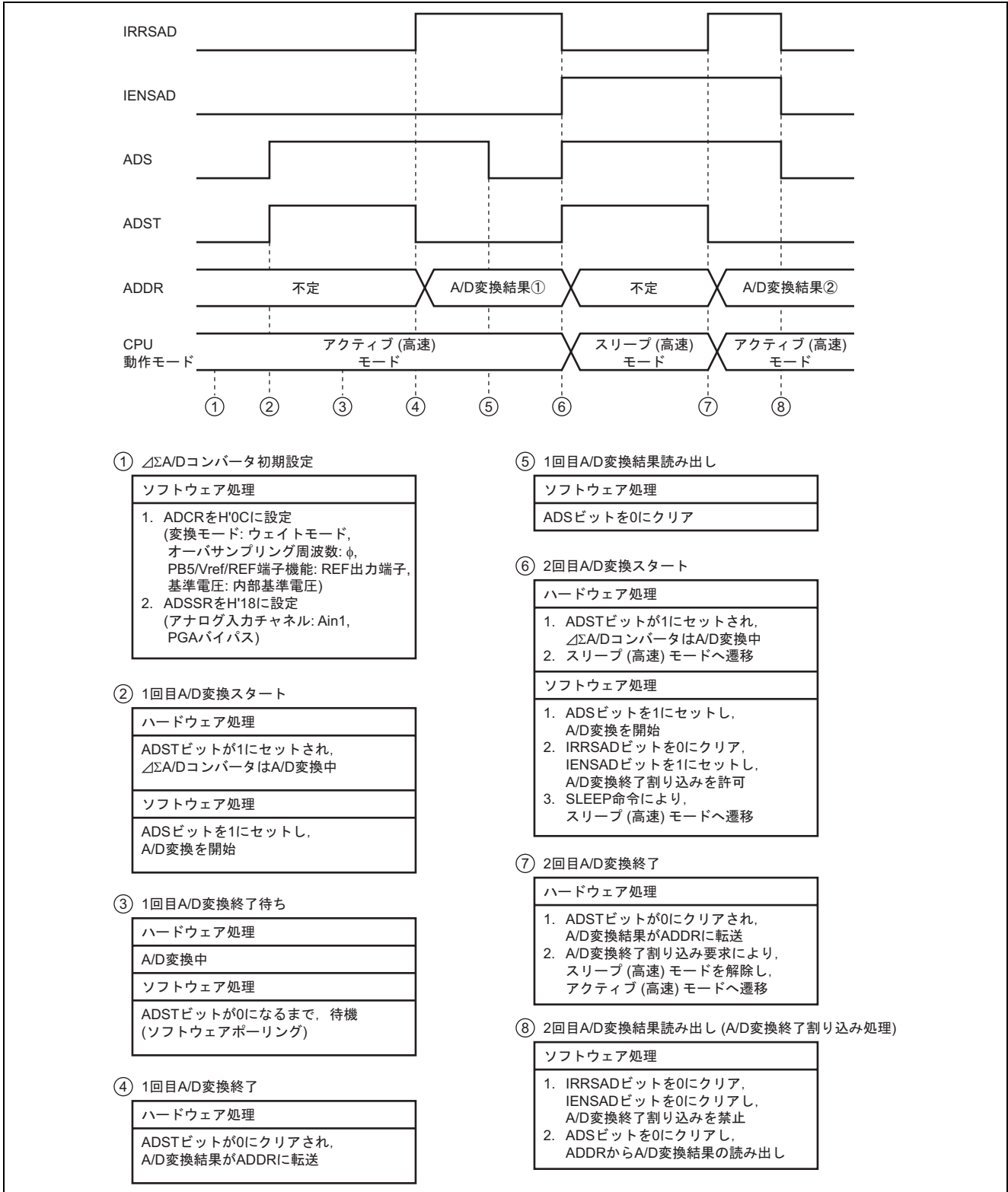


図4 Σ A/D コンバータによる電圧測定 (内部基準電圧使用) 動作説明

5. ソフトウェア説明

5.1 使用内蔵 I/O レジスタ説明

以下に本タスク例における使用内蔵 I/O レジスタ説明を示します。

- A/D データレジスタ (ADDR): アドレス H'F062

ビット	ビット名	設定値	R/W	機能
15	ADD13	—	R	A/D 変換結果を格納するための 16 ビットのリード専用レジスタで、14 ビットの A/D 変換データが上位 14 ビットに格納。 A/D 変換中は ADDR の値は不定
14	ADD12	—	R	
13	ADD11	—	R	
12	ADD10	—	R	
11	ADD9	—	R	
10	ADD8	—	R	
9	ADD7	—	R	
8	ADD6	—	R	
7	ADD5	—	R	
6	ADD4	—	R	
5	ADD3	—	R	
4	ADD2	—	R	
3	ADD1	—	R	
2	ADD0	—	R	
1	—	—	—	—
0	—	—	—	—

● A/D コントロールレジスタ (ADCR): アドレス HF060

ビット	ビット名	設定値	R/W	機能
7	MOD	0	R/W	変換モードセレクト 変換モードを設定します。MOD = 1 のときは、ADSSR の ADS に無関係に A/D 変換を行います。 0: ウェイトモード 1: 連続モード
6 5 4	OVS2 OSV1 OVS0	0 0 0	R/W R/W R/W	オーバサンプリング周波数セレクト オーバサンプリング周波数を選択します。 000: ϕ 001: $\phi/2$ 010: $\phi/4$ 011: $\phi/8$ 100: $\phi/16$ 101: $\phi/32$ 11x: 設定禁止
3 2	VREF1 VREF0	1 1	R/W R/W	PB5/Vref/REF 端子機能切り替えおよび基準電圧セレクト PB5/Vref/REF 端子を PB5 端子として使用するか、Vref 端子として使用するか REF 端子として使用するかを設定します。また、 Σ A/D コンバータの基準電圧を外部基準電圧 (Vref) とするか内部基準電圧 (REF) とするか選択します。ただし、REF を使用する場合は、BGRMR の BGRSTPN ビットを 1 にセットし、BGR を動作させてから、これらのビットを設定してください。 00: PB5 入力端子として機能 01: Vref 入力端子として機能し、外部基準電圧 (Vref) を基準電圧生成回路に入力 10: REF 出力端子として機能 11: REF 出力端子として機能し、内部基準電圧 (REF) を基準電圧生成回路に入力 B'11 設定時は、REF 端子から内部基準電圧 (REF) が出力されると同時に、 Σ A/D コンバータ内の基準電圧生成回路にも REF 出力が入力されます。内部基準電圧 (REF) を用いて Σ A/D コンバータを動作させるときは、B'11 を設定してください。
1 0	PGA1 PGA0	0 0	R/W R/W	PGA ゲインセレクト アナログ入力電圧を 1/3 倍 ~ 4 倍に設定します。 00: 1 倍 01: 2 倍 10: 4 倍 11: 1/3 倍

【注】 x: Don't care

● A/D スタート/ステータスレジスタ (ADSSR): アドレス H'F061

ビット	ビット名	設定値	R/W	機能
7	ADS	1	R/W	A/D スタート ウェイトモード時 (ADCR の MOD ビットが 0 のとき), このビットを 1 にセットすると, A/D 変換を開始します。
6	ADST	—	R	A/D ステータスフラグ ウェイトモード時 (ADCR の MOD ビットが 0 のとき), このビットをリードすることで A/D 変換のステータスを識別できます。 0: 待機中 1: A/D 変換中
5 4	AIN1 AIN0	0 1	R/W R/W	アナログ入力チャンネルセレクト アナログ入力チャンネルを選択します。 00: 非選択 01: Ain1 10: Ain2 11: 非選択
3	BYPGA	1	R/W	PGA バイパスセレクト アナログ入力を PGA へ入力するか 2 次 Σ A/D コンバータへ入力するかを選択します。 0: アナログ入力を PGA へ入力 1: アナログ入力を 2 次 Σ A/D コンバータへ入力
2 1 0	— — —	— — —	— — —	リザーブビット ライトは無効です。

● 割り込み許可レジスタ 2 (IENR2): アドレス H'FFF4

ビット	ビット名	設定値	R/W	機能
5	IENSAD	1	R/W	Σ A/D コンバータ割り込み要求イネーブル このビットを 1 にセットすると Σ A/D コンバータ割り込み要求がイネーブルになります。 0: Σ A/D コンバータ割り込み要求は禁止 1: Σ A/D コンバータ割り込み要求は許可

● 割り込み要求レジスタ 2 (IRR2): アドレス H'FFF7

ビット	ビット名	設定値	R/W	機能
5	IRRSAD	0	R/(W)*	Σ A/D コンバータ割り込み要求フラグ [セット条件] Σ A/D 変換が終了したとき [クリア条件] 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

● システムコントロールレジスタ 1 (SYSCR1): アドレス H'FFF0

ビット	ビット名	設定値	R/W	機能
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を選択します。 0: スリープモードあるいはサブスリープモードに遷移 1: スタンバイモードあるいはウォッチモードに遷移
3	LSON	0	R/W	ロースピードオンフラグ ウォッチモードを解除したときに CPU の動作クロックをシステムクロック (ϕ) にするか、サブクロック (ϕ_{SUB}) にするか選択します。 0: CPU の動作クロックはシステムクロック (ϕ) 1: CPU の動作クロックはサブクロック (ϕ_{SUB})

● システムコントロールレジスタ 2 (SYSCR2): アドレス H'FFF1

ビット	ビット名	設定値	R/W	機能
3	DTON	0	R/W	ダイレクトトランスファオンフラグ SYSCR1 の SSBY, TMA3, LSON, SYSCR2 の MSON とともに SLEEP 命令実行後の遷移先を選択します。
2	MSON	0	R/W	ミドルスピードオンフラグ スタンバイモード, ウォッチモード, スリープモード解除後, アクティブ (高速) モードで動作させるか, アクティブ (中速) モードで動作させるか選択します。

● クロック停止レジスタ 1 (CKSTPR1): アドレス H'FFFA

ビット	ビット名	設定値	R/W	機能
7	S4CKSTP	1	R/W* ¹	SCI4 モジュールスタンバイ このビットが0のとき SCI4 はスタンバイ状態になります。 0: SCI4 はモジュールスタンバイモードに設定 1: SCI4 のモジュールスタンバイモードは解除
6	S31CKSTP	0	R/W	SCI3_1 モジュールスタンバイ* ² このビットが0のとき SCI3_1 はスタンバイ状態になります。 0: SCI3_1 はモジュールスタンバイモードに設定 1: SCI3_1 のモジュールスタンバイモードは解除
5	S32CKSTP	0	R/W	SCI3_2 モジュールスタンバイ* ² このビットが0のとき SCI3_2 はスタンバイ状態になります。 0: SCI3_2 はモジュールスタンバイモードに設定 1: SCI3_2 のモジュールスタンバイモードは解除
4	ADCKSTP	0	R/W	A/D コンバータモジュールスタンバイ このビットが0のとき A/D コンバータはスタンバイ状態になります。 0: A/D コンバータはモジュールスタンバイモードに設定 1: A/D コンバータのモジュールスタンバイモードは解除
3	DADCKSTP	1	R/W	Σ A/D コンバータモジュールスタンバイ このビットが0のとき Σ A/D コンバータはスタンバイ状態になります。 0: Σ A/D コンバータはモジュールスタンバイモードに設定 1: Σ A/D コンバータのモジュールスタンバイモードは解除
2	TFCKSTP	0	R/W	タイマF モジュールスタンバイ このビットが0のときタイマF はスタンバイ状態になります。 0: タイマF はモジュールスタンバイモードに設定 1: タイマF のモジュールスタンバイモードは解除
1	FROMCKSTP	1	R/W	フラッシュメモリモジュールスタンバイ このビットが0のときフラッシュメモリはスタンバイ状態になります。 0: フラッシュメモリはモジュールスタンバイモードに設定 1: フラッシュメモリのモジュールスタンバイモードは解除
0	RTCCKTTP	0	R/W	RTC モジュールスタンバイ このビットが0のとき RTC はスタンバイ状態になります。 0: RTC はモジュールスタンバイモードに設定 1: RTC のモジュールスタンバイモードは解除

【注】 *1. マスク ROM 版では R/W 不可のリザーブビットとなります。

*2. SCI3 をモジュールスタンバイに設定した場合、SCI3 の全レジスタはリセット状態となります。

● クロック停止レジスタ 2 (CKSTPR2): アドレス H'FFFB

ビット	ビット名	設定値	R/W	機能
7	ADBACKSTP	1	R/W	アドレスブレイクモジュールスタンバイ このビットが0のときアドレスブレイクはスタンバイ状態になります。 0: アドレスブレイクはモジュールスタンバイモードに設定 1: アドレスブレイクのモジュールスタンバイモードは解除
6	TPUCKSTP	0	R/W	TPU モジュールスタンバイ このビットが0のとき TPU はスタンバイ状態になります。 0: TPU はモジュールスタンバイモードに設定 1: TPU のモジュールスタンバイモードは解除
5	IICCKSTP	0	R/W	IIC2 モジュールスタンバイ このビットが0のとき IIC2 はスタンバイ状態になります。 0: IIC2 はモジュールスタンバイモードに設定 1: IIC2 のモジュールスタンバイモードは解除
4	PW2CKSTP	0	R/W	PWM2 モジュールスタンバイ このビットが0のとき PWM2 はスタンバイ状態になります。 0: PWM2 はモジュールスタンバイモードに設定 1: PWM2 のモジュールスタンバイモードは解除
3	AECCKSTP	0	R/W	非同期イベントカウンタモジュールスタンバイ このビットが0のとき非同期イベントカウンタはスタンバイ状態になります。 0: 非同期イベントカウンタはモジュールスタンバイモードに設定 1: 非同期イベントカウンタのモジュールスタンバイモードは解除
2	WDCKSTP	0	R/W*	ウォッチドッグタイマモジュールスタンバイ このビットが0のときウォッチドッグタイマはスタンバイ状態になります。 0: ウォッチドッグタイマはモジュールスタンバイモードに設定 1: ウォッチドッグタイマのモジュールスタンバイモードを解除
1	PW1CKSTP	0	R/W	PWM1 モジュールスタンバイ このビットが0のとき PWM1 はスタンバイ状態になります。 0: PWM1 はモジュールスタンバイモードに設定 1: PWM1 のモジュールスタンバイモードを解除
0	LDCKSTP	0	R/W	LCD コントローラ / ドライバモジュールスタンバイ このビットが0のとき LCD コントローラ / ドライバはスタンバイ状態になります。 0: LCD コントローラ / ドライバはモジュールスタンバイモードに設定 1: LCD コントローラ / ドライバのモジュールスタンバイモードは解除

【注】 * WDCKSTP は TCSRWD1 の WDON が0のとき有効になります。WDON が1 (ウォッチドッグタイマ動作中) のとき, WDCKSTP を0に設定すると WDCKSTP は0に設定されますが, ウォッチドッグタイマはモジュールスタンバイモードには入らずウォッチドッグ機能を継続します。ウォッチドッグ機能が終了し, ソフトウェアで WDON を0に設定すると同時に WDCKSTP が有効になり, ウォッチドッグタイマはモジュールスタンバイモードになります。

● BGR コントロールレジスタ (BGRMR): アドレス H'FFA4

ビット	ビット名	設定値	R/W	機能
7	BGRSTPN*	1	R/W	バンドギャップリファレンス回路制御 バンドギャップリファレンス回路の動作 / 停止を設定します。 0: バンドギャップリファレンス回路が停止 1: バンドギャップリファレンス回路が動作
6~3	—	—	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2 1 0	BTRM2 BTRM1 BTRM0	0 0 0	R/W R/W R/W	BGR 出力電圧トリミング 約 1.2V の BGR 出力電圧に対して電圧調整を行います。 000: $\pm 0V$ 001: +0.14V 010: +0.09V 011: +0.04V 100: -0.04V 101: -0.09V 110: -0.14V 111: -0.18V

【注】 * BGRSTPN が 0 (バンドギャップリファレンス回路が停止) のとき, LCD の 3V 定電圧電源回路は停止となります。BGRSTPN を 1 に設定してから BGR 出力電圧が約 1.2V に安定するまでの時間は約 70 μ s となります。

● タイマカウンタ FH (TCFH): アドレス H'FFB8

ビット	ビット名	設定値	R/W	機能
7	TCFH7	0	R/W	タイマコントロールレジスタ F (TCRF) の CKSH2 を 1 に設定すると, TCRF は独立した 8 ビットカウンタとして動作します。TCFH の入力クロックは, TCRF の CKSH2 ~ CKSH0 により選択します。タイマコントロールステータスレジスタ (TCSR) の CCLR の CCLRH による, コンペマツチ時に TCFH をクリアすることができます。TCFH がオーバフロー (H'FF \rightarrow H'00) すると, TCSR の OVFH が 1 にセットされます。このとき TCSR の OVIEH が 1 の場合, IRR2 の IRRTFH が 1 にセットされ, さらに IENR2 の IENTFH が 1 ならば CPU に割り込みを要求します。
6	TCFH6	0	R/W	
5	TCFH5	0	R/W	
4	TCFH4	0	R/W	
3	TCFH3	0	R/W	
2	TCFH2	0	R/W	
1	TCFH1	0	R/W	
0	TCFH0	0	R/W	

● タイマコントロールレジスタ F (TCRF): アドレス H'FFB6

ビット	ビット名	設定値	R/W	機能
6	CKSH2	1	W	クロックセレクト H TCFH に入力するクロックを内部クロックまたは TCFL の オーバフローから選択します。 000: TCFL のオーバフロー信号でカウント (16 ビットモード) 001: TCFL のオーバフロー信号でカウント (16 ビットモード) 010: TCFL のオーバフロー信号でカウント (16 ビットモード) 011: 使用禁止 100: 内部クロック ϕ /32 でカウント (8 ビットモード) 101: 内部クロック ϕ /16 でカウント (8 ビットモード) 110: 内部クロック ϕ /8 でカウント (8 ビットモード) 111: 内部クロック ϕ_w /4 でカウント (8 ビットモード)
5	CKSH1	0	W	
4	CKSH0	0	W	

● タイマコントロールステータスレジスタ F (TCSRf): アドレス H'FFB7

ビット	ビット名	設定値	R/W	機能
7	OVFH	0	R/W*	タイマオーバフローフラグ H [セット条件] TCFH の値が H'FF から H'00 にオーバフローしたとき [クリア条件] 1 の状態をリードした後, 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

5.2 モジュール説明

以下に本タスク例におけるモジュール説明を表 4 に示します。

表 4 モジュール説明

モジュール名	機能
main ()	メインルーチン Σ A/D コンバータの初期設定, 1 回目の Σ A/D 変換終了待ち, Σ A/D 変換終了割り 込み要求の許可, スリープ (高速) モードへの遷移を行う。
int_dsadc ()	Σ A/D コンバータ割り込み処理ルーチン Σ A/D コンバータ割り込み要求フラグのクリア, Σ A/D コンバータ割り込み要求の禁 止, A/D 変換結果の RAM への格納を行う。

5.3 使用 RAM 領域説明

以下に本タスク例における使用 RAM 説明を表 5 に示します。

表 5 使用 RAM 説明

ラベル名	機能	データサイズ	アドレス	モジュール名
ad_result	Σ A/D 変換結果を右に 2 ビットシフトさせた 14 ビットデータ	unsigned short (2 バイト)	H'F780	main () int_dsadc ()

5.4 リンクアドレス指定

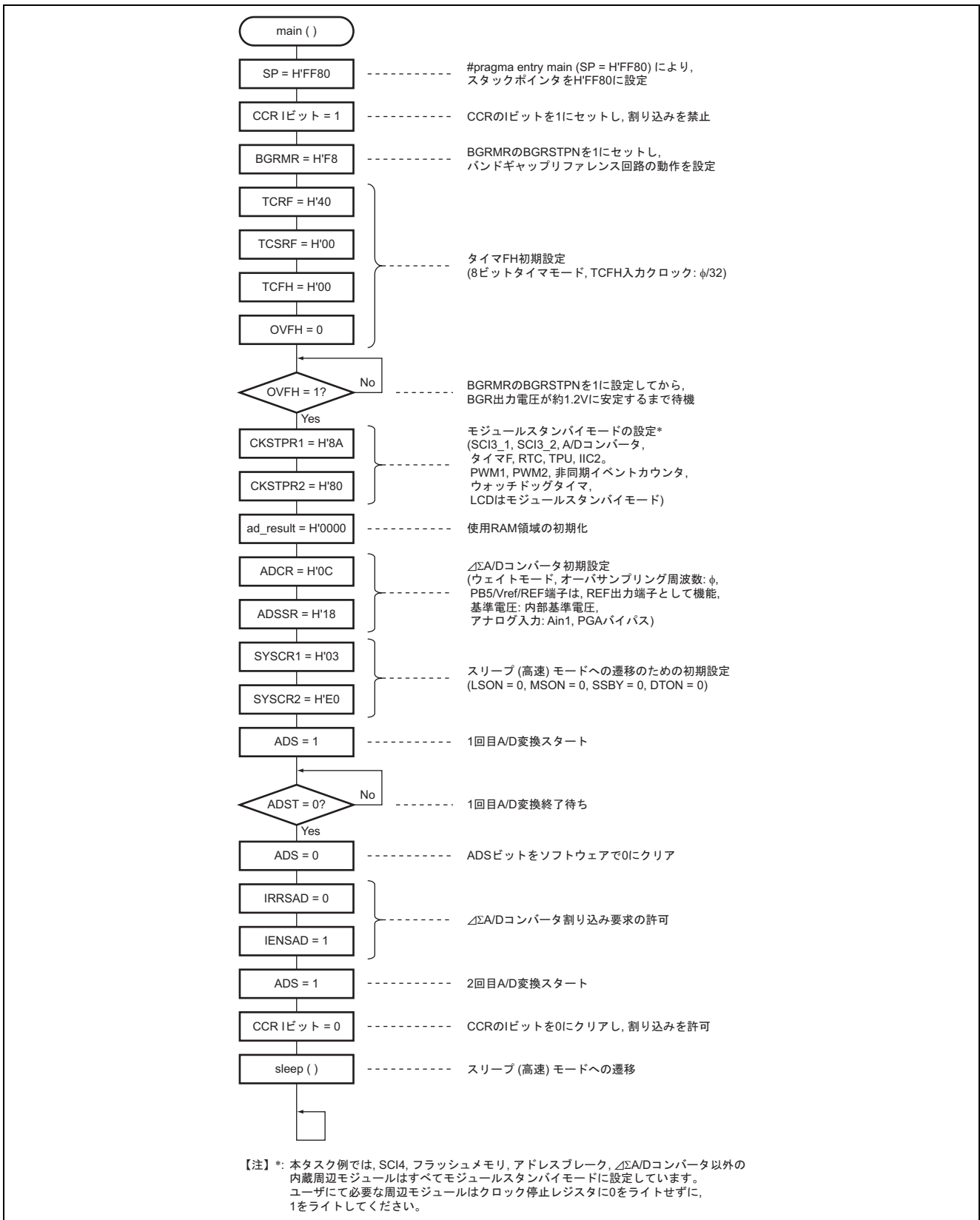
以下に本タスク例におけるリンクアドレス指定を表 6 に示します。

表 6 リンクアドレス指定

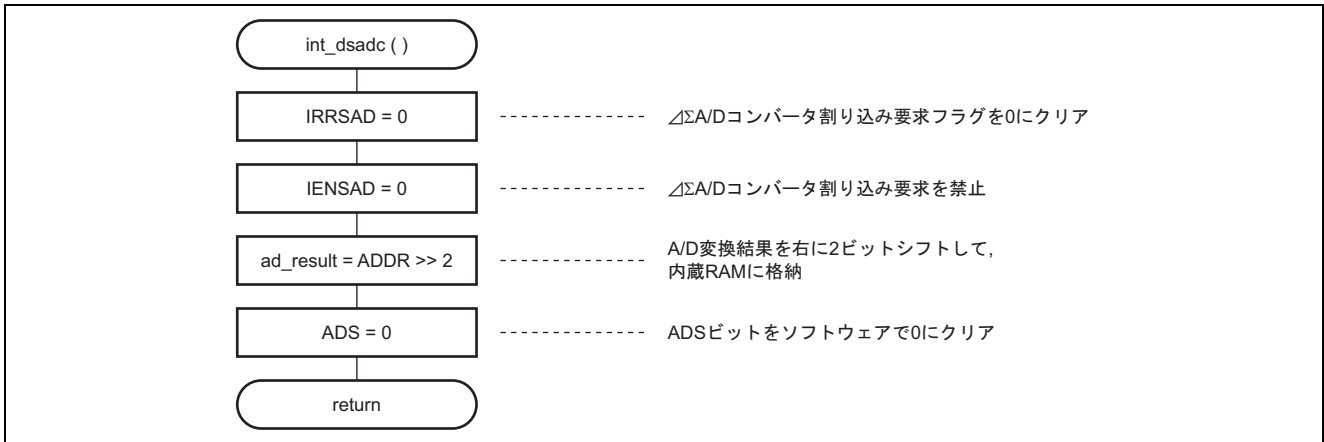
セクション名	アドレス
CVECT	H'0000
P	H'0100
B	H'F780

6. フローチャート

6.1 メインルーチン



6.2 Σ A/D コンバータ割り込み処理ルーチン



ホームページとサポート窓口

ルネサステクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2006.09.05	—	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。