

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8SX ファミリ

## ディープソフトウェアスタンバイモード解除後のシンクロナス DRAM 動作

### 要旨

本アプリケーションノートでは、ディープソフトウェアスタンバイモード解除後のシンクロナス DRAM(以下、SDRAM とする) アクセス方法を示します。

これにより、ディープソフトウェアスタンバイモード解除直後発生する Bφ、SDRAMφ出力不定期間(最大 1 サイクル) が回避できます。

### 動作確認デバイス

H8SX/1668R グループ

### はじめに

動作確認デバイスと同様の内部 I/O レジスタを持つ他の H8SX ファミリでも本プログラムを使用することができます。

ただし、一部の機能を機能追加、変更等で変更している場合がありますので、マニュアルで確認してください。このアプリケーションノートをご使用に際しては十分な評価を行ってください。

### 目次

1. 仕様 .....	2
2. 適用条件 .....	3
3. 使用機能説明 .....	4
4. 動作説明 .....	5
5. ソフトウェア説明 .....	6
6. 注意事項 .....	25
7. 参考ドキュメント .....	25

## 1. 仕様

はじめに、ディープソフトウェアスタンバイモードに遷移させ、次に IRQ0 割り込みにより、ディープソフトウェアスタンバイモードを解除します。そして、ディープソフトウェアスタンバイモード遷移前と解除後の SDRAM データが一致するかを比較します。さらに、比較結果を I/O ポートで表示します。

図 1 に、本アプリケーションノートの動作概要を示します。

また、以下に、本アプリケーションノート動作の詳細仕様を示します。

- プログラム実行後、SDRAM 全領域に、データを格納します。
- SDRAM 領域は、エリア 2 を使用します。(H'400000 番地～H'BFFFFFF 番地)
- SDRAM 領域に格納するデータは、H'00、H'01、・・・、H'0F、H'10、・・・、H'FF、H'00、・・・です。
- SDRAM 全領域にデータ格納後、ディープソフトウェアスタンバイモードに遷移します。
- 手動で IRQ0 割り込み要求を発生させ、ディープソフトウェアスタンバイモードを解除します。
- ディープソフトウェアスタンバイモード解除後、SDRAM のデータが、ディープソフトウェアスタンバイモード遷移前に格納したデータと一致するか比較します。
- ディープソフトウェアスタンバイモード遷移前と解除後の SDRAM 比較結果をポートに出力します。  
(一致する場合：P20 を"L"出力 不一致する場合：P21 を"L"出力)

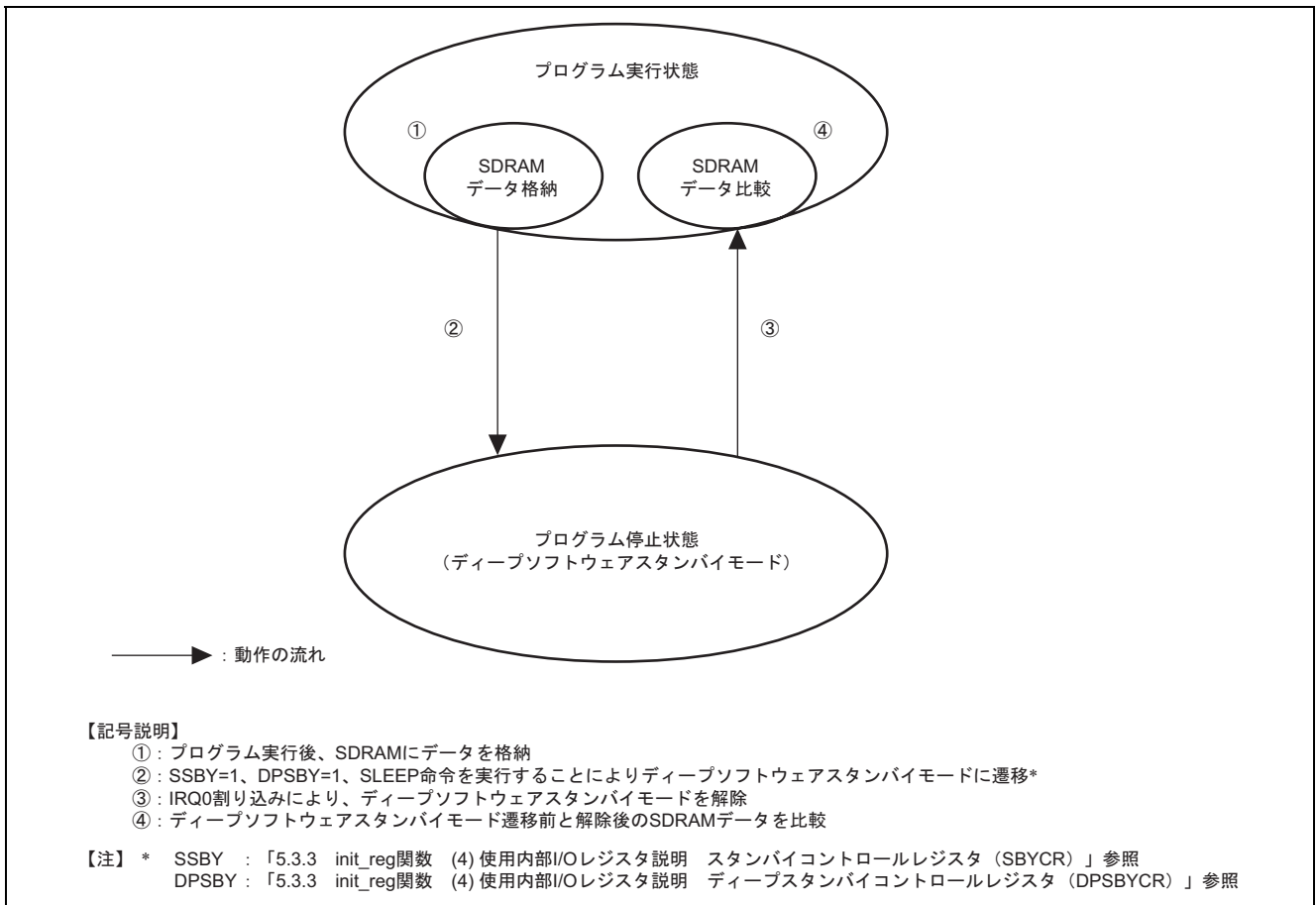


図 1 動作概要図

## 2. 適用条件

表 1 適用条件

項目	内容
動作周波数	入力クロック : 12.5MHz システムクロック (Iφ) : 50MHz (12.5MHz の 4 逓倍) 周辺モジュールクロック (Pφ) : 25MHz (12.5MHz の 2 逓倍) 外部バスクロック (Bφ) : 50MHz (12.5MHz の 4 逓倍)
動作電圧	3.3V
動作モード	モード 6 (MD2 = 1, MD1 = 1, MD0 = 0, MD_CLK = 0)
統合開発環境	High-performance Embedded Workshop (HEW) Ver.4.04.01
C/C++コンパイラ	ルネサステクノロジ製 H8S,H8/300 C/C++ Compiler (V6.02.00)
コンパイルオプション	-cpu = H8SXA:24MD, -optimize = 1
最適化リンケージエディタ	ルネサステクノロジ製 Optimizing Linkage Editor (V9.03.00)
リンカオプション	start = PResetPRG,PlntPRG/0400, P,C\$DSEC,C\$BSEC,D/0800, B,R/OFF2000, S/OFFBE00

表 2 SDRAM 仕様

項目	内容
製品名	K4S641632K-UC75 (Samsung Electronics 社)
構成	1M ワード×16 ビット×4 バンク
容量	64M ビット
CAS レイテンシ	2/3 (プログラマブル)
リフレッシュ間隔	64ms ごとの 4096 リフレッシュサイクル
ロウアドレス	A11 - A0
カラムアドレス	A7 - A0
バンク数	BA0、BA1 で制御する 4 バンク動作

表 3 SDRAM モード設定

項目	内容
オペレーションコード (OPCODE)	バーストリード/シングルライト
CAS レイテンシ (LMODE)	2
バーストタイプ (BT)	シーケンシャル
バースト長 (BL)	1
SDRAM アクセスアドレス	H'400440

### 3. 使用機能説明

#### 3.1 ディープソフトウェアスタンバイモードへの遷移

スタンバイコントロールレジスタ (SBYCR) の SSBY ビットが 1 に設定されている状態で、SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。このとき、ディープスタンバイコントロールレジスタ (DPSBYCR) の DPSBY ビットが 1 に設定されていると、ディープソフトウェアスタンバイモードに遷移します。

#### 3.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードの解除は、外部割り込み端子(NMI 端子、 $\overline{IRQ0-A} \sim \overline{IRQ3-A}$  端子)、内部割り込み信号 (32K タイマ、USB サスペンド/レジューム)、RES 端子、または STBY 端子によって行われます。

#### 3.3 ディープソフトウェアスタンバイモード解除後の Bφおよび SDRAMφ動作

DPSBYCR の IOKEEP ビットが 0 に設定されている場合、ディープソフトウェアスタンバイモード解除直後の Bφ、SDRAMφ出力は最大 1 サイクル期間不定であり、その状態は保証されません。IOKEEP ビットが 1 に設定されている場合も、ディープソフトウェアスタンバイモードを解除後、IOKEEP ビットを 0 クリアした直後の Bφ、SDRAMφ出力は、最大 1 サイクル期間不定であり、その状態は保証されません。

なお、IOKEEP ビットを 1 に設定した状態でディープソフトウェアスタンバイモードを解除し、その後 IOKEEP ビットと PSTOP1 ビット、PSTOP0 ビットで Bφ、SDRAMφ出力を制御することで、正常なクロックを出力することができます。図 2 に、Bφを例にとり説明します。以下の手順に従ってください。

1. PSTOP1 ビットを 0 から 1 にセットし、Bφ出力を High レベルに設定してください。  
(ただし、Bφ出力は既に High レベルにあります。)
2. IOKEEP ビットを 1 から 0 にクリアして、保持状態をリリースしてください。
3. PSTOP1 ビットを 1 から 0 にクリアして、Bφ出力を許可してください。

SDRAMφの場合は、PSTOP1 ビットの代わりに PSTOP0 ビットを上記手順と同様に制御することで、正常なクロックを出力することができます。

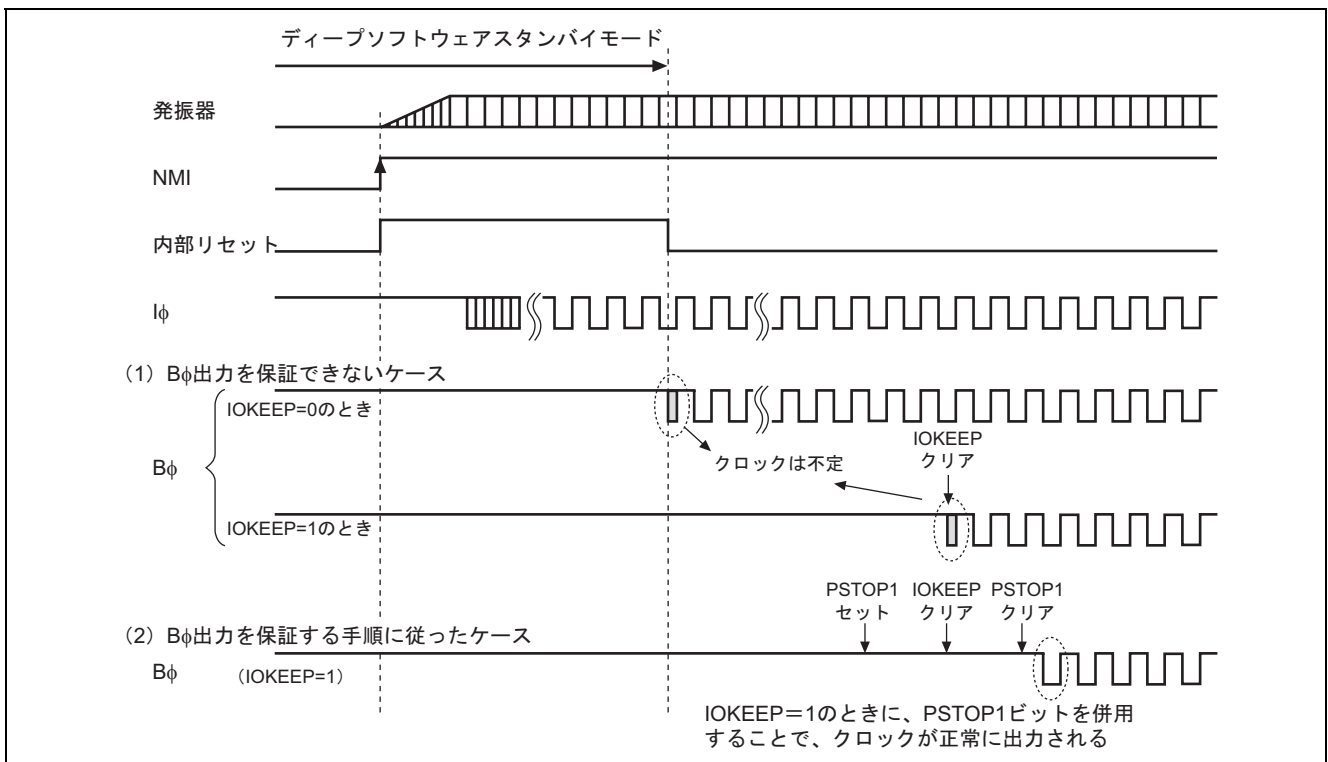


図 2 ディープソフトウェアスタンバイモード解除時の Bφ

4. 動作説明

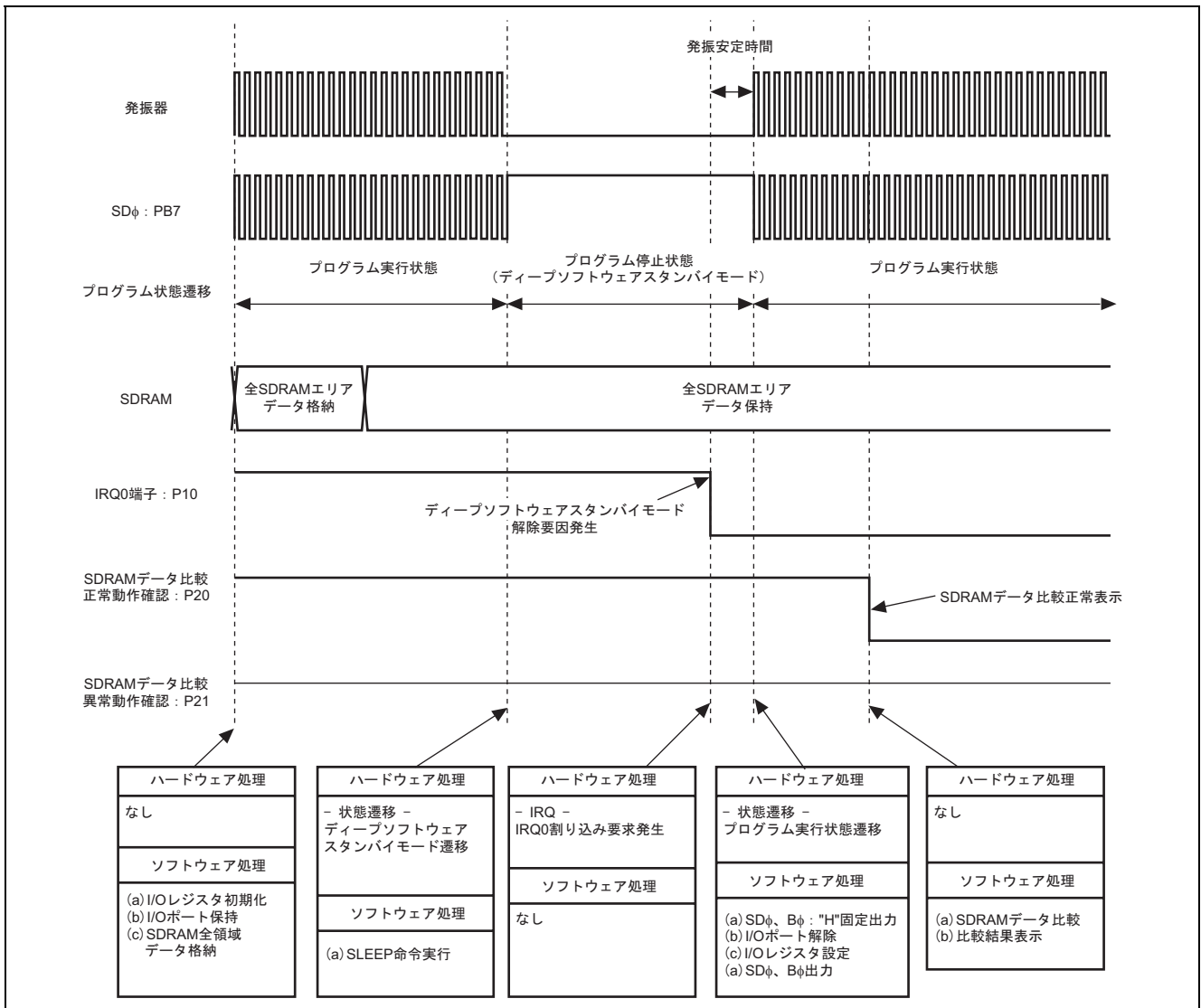


図 3 動作説明

## 5. ソフトウェア説明

### 5.1 記号定数

表 4 記号定数一覧

定数名	設定値	内容	使用関数
SDRAM_MODE_ADDRESS	H'400440	SDRAM モード設定アドレス	init_reg
SDRAM_AREA_START_ADDRESS	H'400000	SDRAM エリア先頭アドレス	init_ram、cmp_data
SDRAM_AREA_END_ADDRESS	H'C00000	SDRAM エリア終了アドレス+1	init_ram、cmp_data

### 5.2 関数一覧

表 5 関数一覧

関数名	機能
PowerON_Reset	<ul style="list-style-type: none"> <li>初期設定関数 スタックポインタ (SP) の初期化、割り込みマスクビットの設定、未初期化／初期化データの設定、main 関数の呼び出し。</li> </ul>
main	<ul style="list-style-type: none"> <li>メイン関数 フラグ比較、init_reg 関数、init_ram 関数、init_exit_dps 関数、cmp_data 関数の呼び出し、sleep 命令実行。</li> </ul>
init_reg	<ul style="list-style-type: none"> <li>I/O レジスタ初期化関数 各レジスタの初期化。</li> </ul>
init_ram	<ul style="list-style-type: none"> <li>RAM 初期化関数 SDRAM 領域データ格納。</li> </ul>
init_exit_dps	<ul style="list-style-type: none"> <li>ディープソフトウェアスタンバイモード解除後の I/O レジスタ初期化関数 ディープソフトウェアスタンバイモード解除後の各レジスタ初期化。</li> </ul>
cmp_data	<ul style="list-style-type: none"> <li>データ比較関数 ディープソフトウェアスタンバイモード遷移前と解除後の SDRAM データ比較。</li> </ul>



## 5.3 関数説明

### 5.3.1 PowerON\_Reset 関数

(1) 機能概要

PowerON\_Reset 関数では、スタックポインタ (SP) を初期化し、組み込み関数や標準ライブラリ関数を用いて、割り込みマスクビットの設定や未初期化/初期化データを設定します。そして、main 関数を呼び出します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部 I/O レジスタ説明

なし

(5) フローチャート

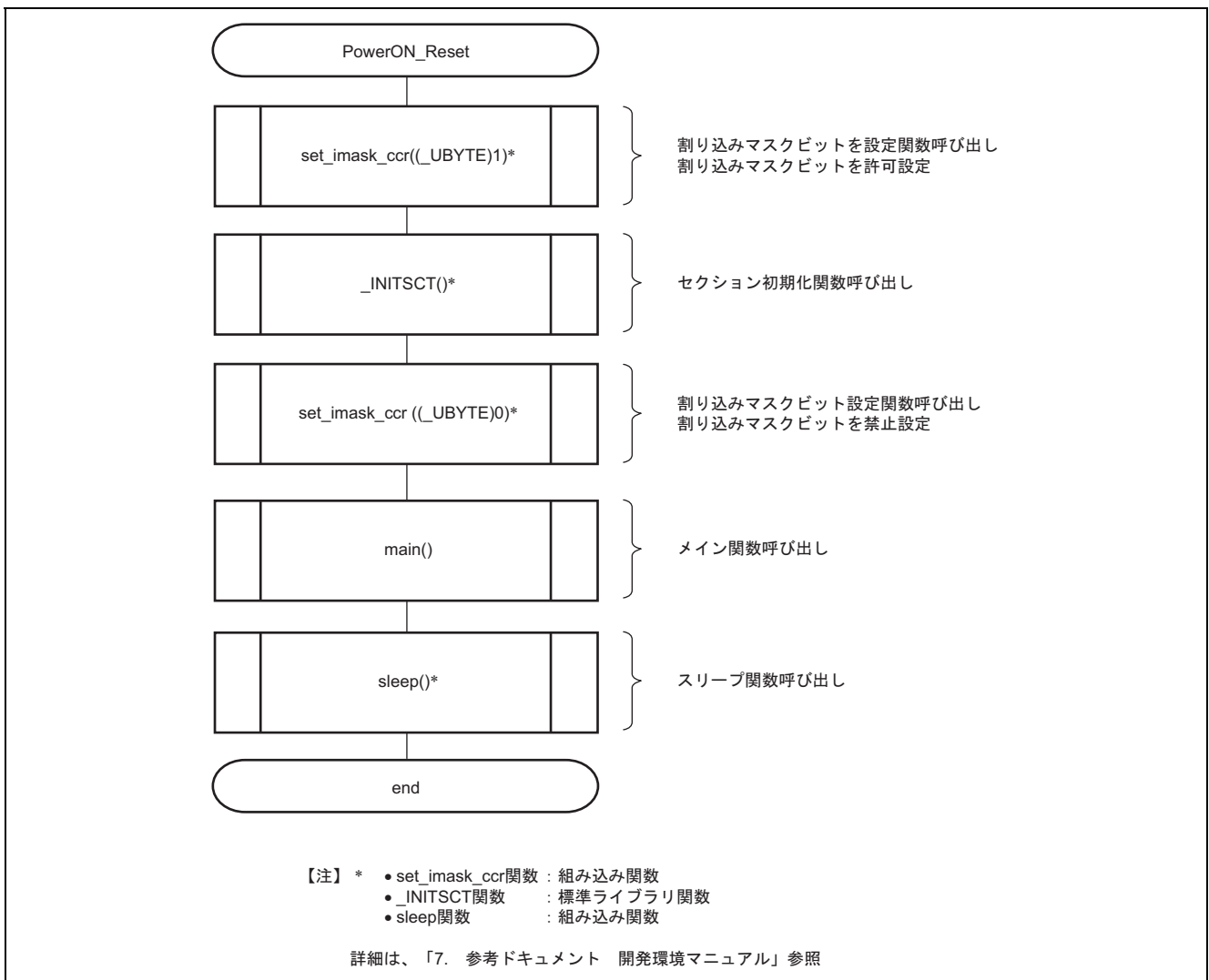


図 4 フローチャート (PowerON\_Reset)

## 5.3.2 main 関数

### (1) 機能概要

main 関数では、レジスタ、RAM を初期化し、ディープソフトウェアスタンバイモードに遷移します。そして、ディープソフトウェアスタンバイモード解除後、ディープソフトウェアスタンバイモード遷移前と解除後の SDRAM データを比較します。

### (2) 引数

なし

### (3) 戻り値

なし

### (4) 使用内部 I/O レジスタ説明

本関数で使用する内部レジスタを以下に示します。

なお、設定値は、本タスク例において使用している値であり、初期値とは異なります。

- リセットステータスレジスタ (RSTSR) ビット数 : 8 アドレス : H'FFFE75

ビット	ビット名	設定値	R/W	機能
7	DPSRSTF	0	R/(W)	ディープソフトウェアスタンバイリセットフラグ ディープソフトウェアスタンバイモードが DPSIER、DPSIEGR で設定した割り込み要因で解除され、内部リセットが発生したことを示します。 [クリア条件] 1 の状態をリードした後、0 をライトしたとき

### (5) フローチャート

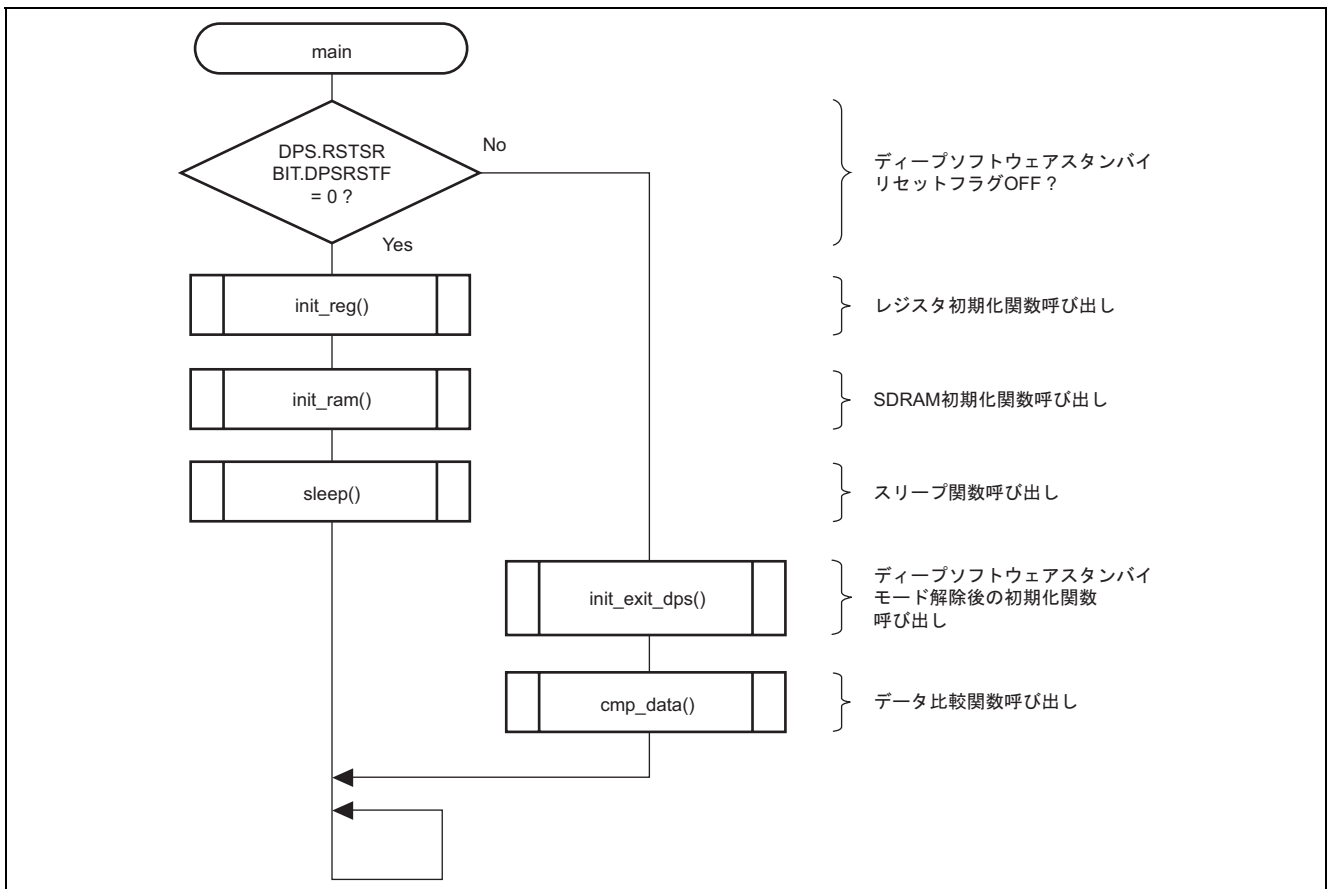


図 5 フローチャート (main)

### 5.3.3 init\_reg 関数

(1) 機能概要

init\_reg 関数では、各レジスタを初期化します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部 I/O レジスタ説明

本関数で使用する内部レジスタを以下に示します。

なお、設定値は、本タスク例において使用している値であり、初期値とは異なります。

● システムクロックコントロールレジスタ (SCKCR) ビット数：16 アドレス：H'FFFDC4

ビット	ビット名	設定値	R/W	機能
10	ICK2	0	R/W	システムクロック(I $\phi$ )セレクト CPU、DMAC、DTC モジュールとシステムクロックの周波数を選択します。 000：入力クロック×4
9	ICK1	0	R/W	
8	ICK0	0	R/W	
6	PCK2	0	R/W	周辺モジュールクロック(P $\phi$ )セレクト 周辺モジュールクロックの周波数を選択します。 001：入力クロック×2
5	PCK1	0	R/W	
4	PCK0	1	R/W	
2	BCK2	0	R/W	外部バスクロック(B $\phi$ )セレクト 外部バスクロックの周波数を選択します。 000：入力クロック×4
1	BCK1	0	R/W	
0	BCK0	0	R/W	

● バス幅コントロールレジスタ (ABWCR) ビット数：16 アドレス：H'FFF84

ビット	ビット名	設定値	R/W	機能
10	ABWH2	0	R/W	エリア 7~0 バス幅コントロール 対応するエリアを 8 ビットアクセス空間にするか、16 ビットアクセス空間にするかを選択します。 ABWH2 ABWL2 0 1 : エリア 2 を 16 ビットアクセス空間に設定
2	ABWL2	1	R/W	

● アクセスステートコントロールレジスタ (ASTCR) ビット数：16 アドレス：H'FFF86

ビット	ビット名	設定値	R/W	機能
10	AST2	1	R/W	エリア 7~0 アクセスステートコントロール 対応するエリアを 2 ステート空間にするか、3 ステートアクセス空間にするかを選択します。同時にウェイトステートの挿入を許可または禁止します。 1：エリア 2 を 3 ステートアクセス空間に設定 エリア 2 のアクセスにウェイトステートの挿入を許可

• ウェイトコントロールレジスタ B (WTCRB) ビット数：16 アドレス：H'FFFD8A

ビット	ビット名	設定値	R/W	機能
10	W22	0	R/W	エリア 2 ウェイトコントロール 2~0
9	W21	0	R/W	CAS レイテンシの設定を行います。そのとき W22 は無視されます。
8	W20	1	R/W	01：CAS レイテンシ 2 のシンクロナス DRAM を接続

• アイドルコントロールレジスタ (IDLCR) ビット数：16 アドレス：H'FFFD90

ビット	ビット名	設定値	R/W	機能
14	IDLS2	0	R/W	アイドルサイクル挿入 2 外部ライトサイクル後に外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0：アイドルサイクルを挿入しない
12	IDLS0	0	R/W	アイドルサイクル挿入 0 外部リードサイクル後に外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0：アイドルサイクルを挿入しない

• エンディアンコントロールレジスタ (ENDIANCR) ビット数：16 アドレス：H'FFFD95

ビット	ビット名	設定値	R/W	機能
2	LE2	0	R/W	リトルエンディアン選択 対応するエリアのエンディアン形式を選択します。 0：エリア 2 のエンディアン形式はビッグエンディアン

• SRAM モードコントロールレジスタ (SRAMCR) ビット数：16 アドレス：H'FFFD98

ビット	ビット名	設定値	R/W	機能
10	BCSEL2	0	R/W	バイト制御 SRAM インタフェース選択 対応するエリアのバスインタフェースを選択します。 0：エリア 2 は基本バスインタフェース

● DRAM コントロールレジスタ (DRAMCR) ビット数 : 16 アドレス : H'FFFD A0

ビット	ビット名	設定値	R/W	機能
15	DRAME	1	R/W	エリア 2DRAM インタフェース選択 エリア 2 を DRAM/シンクロナス DRAM インタフェースとするか否かを選択します。 1 : DRAM/シンクロナス DRAM インタフェース
14	DTYPE	1	R/W	DRAM 選択 エリア 2 に接続する DRAM を選択します。 1 : シンクロナス DRAM をエリア 2 に接続する
11	OEE	1	R/W	OE 出カインーブル EDO ページモードを備えた DRAM に接続するときに OE 信号を出力することができます。 1 : OE/CKE 信号出力許可
7	BE	1	R/W	バーストアクセスインーブル DRAM 空間/シンクロナス DRAM 空間へのバーストアクセスの許可または禁止を選択します。DRAM 空間/シンクロナス DRAM 空間のアクセスは、高速ページモードとなります。 1 : DRAM 空間/シンクロナス DRAM 空間アクセス時、高速ページモードアクセス
6	RCDM	1	R/W	RAS ダウンモード 通常バス空間へのアクセス、内部 I/O レジスタへのアクセスにより、DRAM 空間へのアクセスが途切れたときに、RAS 信号を Low レベルにしたまま次の DRAM へのアクセスを待つか (RAS ダウンモード)、RAS 信号を High レベルに戻すか (RAS アップモード) を選択します。 1 : DRAM 空間/シンクロナス DRAM 空間アクセス時、RAS ダウンモード選択
1 0	MXC1 MXC0	0 0	R/W R/W	アドレスマルチプレクス選択 ロウアドレス/カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に DRAM/シンクロナス DRAM インタフェースのバースト動作時に比較するロウアドレスを選択します。 00 : 16 ビットアクセス空間設定時 比較対象ロウアドレスは A23~A9

● DRAM アクセスコントロールレジスタ (DRACCR) ビット数 : 16 アドレス : H'FFFD A2

ビット	ビット名	設定値	R/W	機能
13 12	TPC1 TPC0	0 0	R/W R/W	プリチャージステート制御 通常時アクセス時、およびリフレッシュ時の RAS プリチャージサイクルのステート数を選択します。 00 : RAS プリチャージサイクルは 1 ステート
9 8	RCD1 RCD0	0 0	R/W R/W	RAS・CAS 間ウェイト制御 RAS アサートサイクルと CAS アサートサイクルの間にウェイトサイクルを挿入するか否かを選択します。 00 : RAS アサートサイクルと CAS アサートサイクルの間にウェイトサイクルを挿入しない

● リフレッシュコントロールレジスタ (REFCR) ビット数：16 アドレス：H'FFFDA6

ビット	ビット名	設定値	R/W	機能
10	RTCK2	0	R/W	リフレッシュカウンタクロックセレクト 周辺モジュールクロック (Pφ) を分周した 7 種類の内部クロックから、リフレッシュカウンタのカウントアップに使用するクロックを選択します。入カクロックを選択すると、リフレッシュカウンタがカウントアップを開始します。 010 : Pφ/8 でカウント
9	RTCK1	1	R/W	
8	RTCK0	0	R/W	
7	RFSHE	1	R/W	リフレッシュ制御 リフレッシュ制御を行うか否かを選択します。 1 : リフレッシュ制御を行う
6	RLW2	0	R/W	リフレッシュサイクルウェイト制御 シンクロナス DRAM インタフェースのオートリフレッシュに対して、挿入するウェイトステート数を選択します。 000 : オートリフレッシュにウェイトステートを挿入しない
5	RLW1	0	R/W	
4	RLW0	0	R/W	
3	SLFRF	1	R/W	セルフリフレッシュイネーブル ソフトウェアスタンバイモードに遷移するとき、このビットが 1 にセットされていると DRAM/シンクロナス DRAM に対してセルフリフレッシュを設定します。 シンクロナス DRAM インタフェース設定時にセルフリフレッシュを行う場合は、DRAMCR の OEE ビットを 1 にセットし、CKE の出力を有効にしてください。 1 : ソフトウェアスタンバイ時セルフリフレッシュを許可
2	TPCS2	0	R/W	セルフリフレッシュ時プリチャージサイクル制御 セルフリフレッシュ直後のプリチャージサイクルのステート数を設定します。 000 : セルフリフレッシュ直後にウェイトステートを挿入しない。
1	TPCS1	0	R/W	
0	TPCS0	0	R/W	

● リフレッシュタイマカウンタ (RTCNT) ビット数：8 アドレス：H'FFFDA8

機能：RTCNT は、REFCR の RTCK2~RTCK0 ビットで選択された内部クロックにより、カウントアップします。

設定値：H'00

● リフレッシュタイムコンスタントレジスタ (RTCOR) ビット数：8 アドレス：H'FFFDA9

機能：RTCOR は、RTCNT とのコンペアマッチ周期を設定します。

設定値：H'30 (リフレッシュ周期：15.68μs)

● ディープスタンバイウェイトコントロールレジスタ (DPSWCR) ビット数：8 アドレス：H'FFFE71

ビット	ビット名	設定値	R/W	機能
5	WTSTS5	0	R/W	ディープソフトウェアスタンバイウェイト時間設定ビット 割り込みによってディープソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。 001101 : 待機時間=131072 ステート
4	WTSTS4	0	R/W	
3	WTSTS3	1	R/W	
2	WTSTS2	1	R/W	
1	WTSTS1	0	R/W	
0	WTSTS0	1	R/W	

● スタンバイコントロールレジスタ (SBYCR) ビット数：16 アドレス：H'FFFDC6

ビット	ビット名	設定値	R/W	機能
15	SSBY	1	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を設定します。 1：SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移
14	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ( ) の出力を保持するか、ハイインピーダンスにするかを設定します。 1：ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持

● ディープスタンバイコントロールレジスタ (DPSBYCR) ビット数：8 アドレス：H'FFFE70

ビット	ビット名	設定値	R/W	機能
7	DPSBY	1	R/W	ディープソフトウェアスタンバイ SBYCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行するとソフトウェアスタンバイモードへ遷移します。このとき、本ビットが 1 で、かつソフトウェアスタンバイモード解除要因がない場合ディープソフトウェアスタンバイモードに遷移します。 SSBY DPSBY 1 1 : SLEEP 命令実行後、ディープソフトウェアスタンバイモードに遷移
6	IOKEEP	1	R/W	I/O ポート保持 ディープソフトウェアスタンバイモード時、ポートは、ソフトウェアスタンバイモードと同じ状態を保持します。本ビットは、ディープソフトウェアスタンバイモード時に保持したポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを設定します。 1：ディープソフトウェアスタンバイモード解除後の本ビットへの 0 ライト時にポートの保持を解除

● ディープスタンバイインタラプトエッジレジスタ (DPSIEGR) ビット数：8 アドレス：H'FFFE74

ビット	ビット名	設定値	R/W	機能
0	DIRQ0EG	0	R/W	IRQ0 インタラプトエッジ選択 IRQ0 端子の入力エッジ選択を行います。 0：立ち下がリエッジで割り込み要求を発生

● ディープスタンバイインタラプトイネーブルレジスタ (DPSIER) ビット数：8 アドレス：H'FFFE72

ビット	ビット名	設定値	R/W	機能
0	DIRQ0E	1	R/W	IRQ0 インタラプトイネーブル IRQ0 によるディープソフトウェアスタンバイモード解除の許可、または禁止を設定します。 1：IRQ0 によるディープソフトウェアスタンバイモードの解除を許可

● ディープスタンバイインタラプトフラグレジスタ (DPSIFR) ビット数：8 アドレス：H'FFFE73

ビット	ビット名	設定値	R/W	機能
0	DIRQ0F	0	R/W	IRQ0 インタラプトフラグ [クリア条件] 1 の状態をリードした後、0 ライトしたとき

- ポートファンクションコントロールレジスタ 0 (PFCR0) ビット数：8 アドレス：H'FFFBC0

ビット	ビット名	設定値	R/W	機能
2	CS2E	1	R/W	CS2 イネーブル 対応する $\overline{CS2}$ 出力の許可/禁止を選択します。 1： $\overline{CS2}$ 出力端子として設定

- ポートファンクションコントロールレジスタ 2 (PFCR2) ビット数：8 アドレス：H'FFFBC2

ビット	ビット名	設定値	R/W	機能
6	CS2S	1	R/W	$\overline{CS2}$ 出力端子セレクト $\overline{CS2}$ 出力許可時 (CS2E=1)、 $\overline{CS2}$ の出力端子を選択します。 1：PB1 を $\overline{CS2}$ -B 出力端子として設定

- ポートファンクションコントロールレジスタ 4 (PFCR4) ビット数：8 アドレス：H'FFFBC4

ビット	ビット名	設定値	R/W	機能
7~0	A23E~ A16E	1	R/W	アドレス A23~A16 イネーブル アドレス出力 (A23~A16) の出力許可/禁止を選択 1：A23~A16 出力有効

- ポートファンクションコントロールレジスタ C (PFCRC) ビット数：8 アドレス：H'FFFBC4

ビット	ビット名	設定値	R/W	機能
0	ITS0	0	R/W	$\overline{IRQ0}$ 端子セレクト $\overline{IRQ0}$ の入力端子を選択します。 0：P10 を $\overline{IRQ0}$ -A 入力端子として設定

- データディレクションレジスタ (PDDDR) ビット数：8 アドレス：H'FFFB8C
  - データディレクションレジスタ (PEDDR) ビット数：8 アドレス：H'FFFB8D
  - データディレクションレジスタ (PFDDR) ビット数：8 アドレス：H'FFFB8E
- 機能：DDR は、ポートの入出力をビットごとに指定する 8 ビットのライト専用レジスタです。  
 設定値：H'FF

- 入力バッファコントロールレジスタ (PIICR) ビット数：8 アドレス：H'FFFB90
- 機能：ICR は、ポートの入力バッファを制御する 8 ビットのリード/ライト可能なレジスタです。  
 設定値：H'01

- シンクロナス DRAM コントロールレジスタ (SDCR) ビット数：16 アドレス：H'FFFDA4

ビット	ビット名	設定値	R/W	機能
15	MRSE	1/0	R/W	モードレジスタセットイネーブル シンクロナス DRAM のモードレジスタ設定を有効にします。 0：シンクロナス DRAM のモードレジスタの設定禁止 1：シンクロナス DRAM のモードレジスタの設定許可



(5) フローチャート

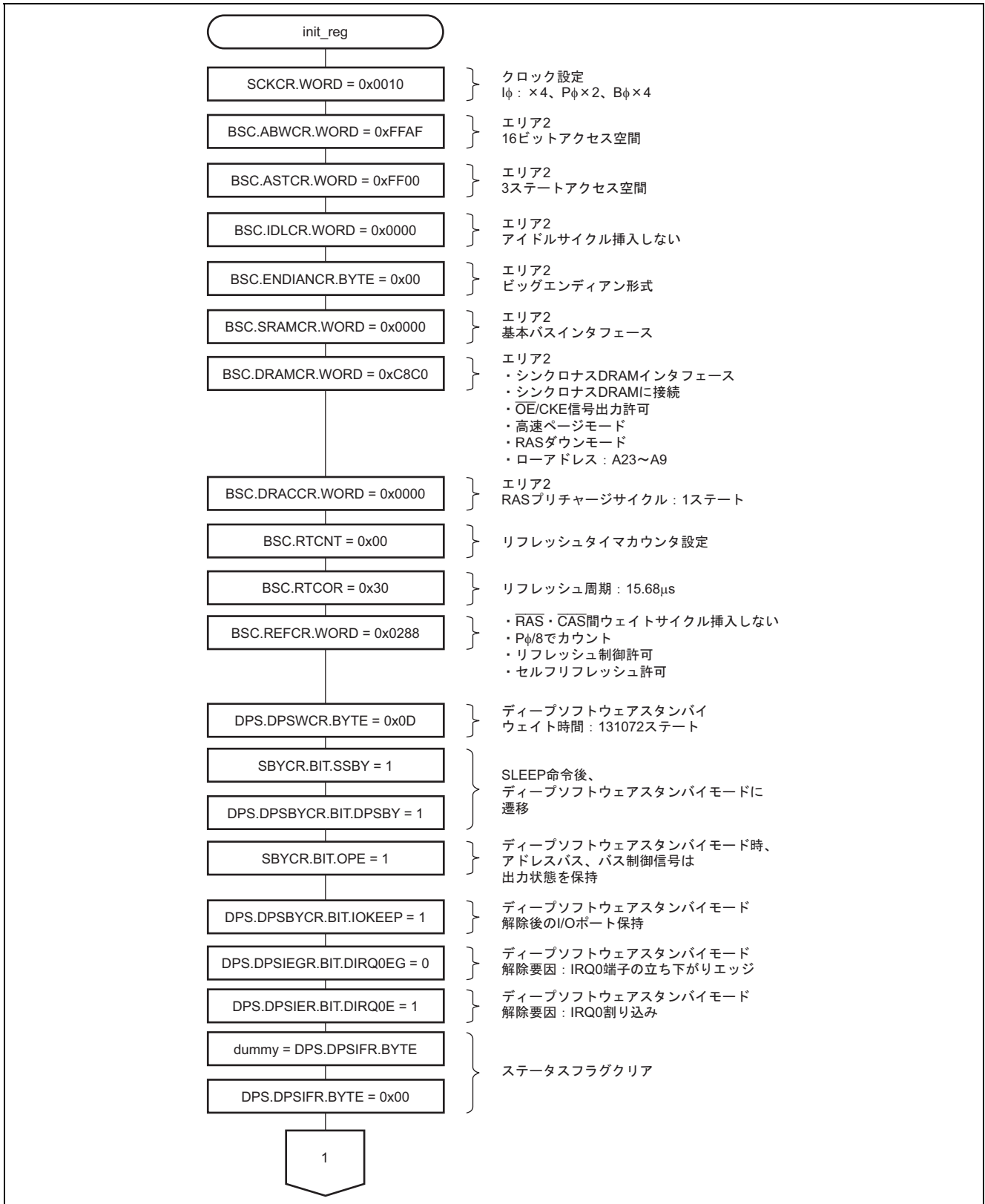


図 6 フローチャート (init\_reg)

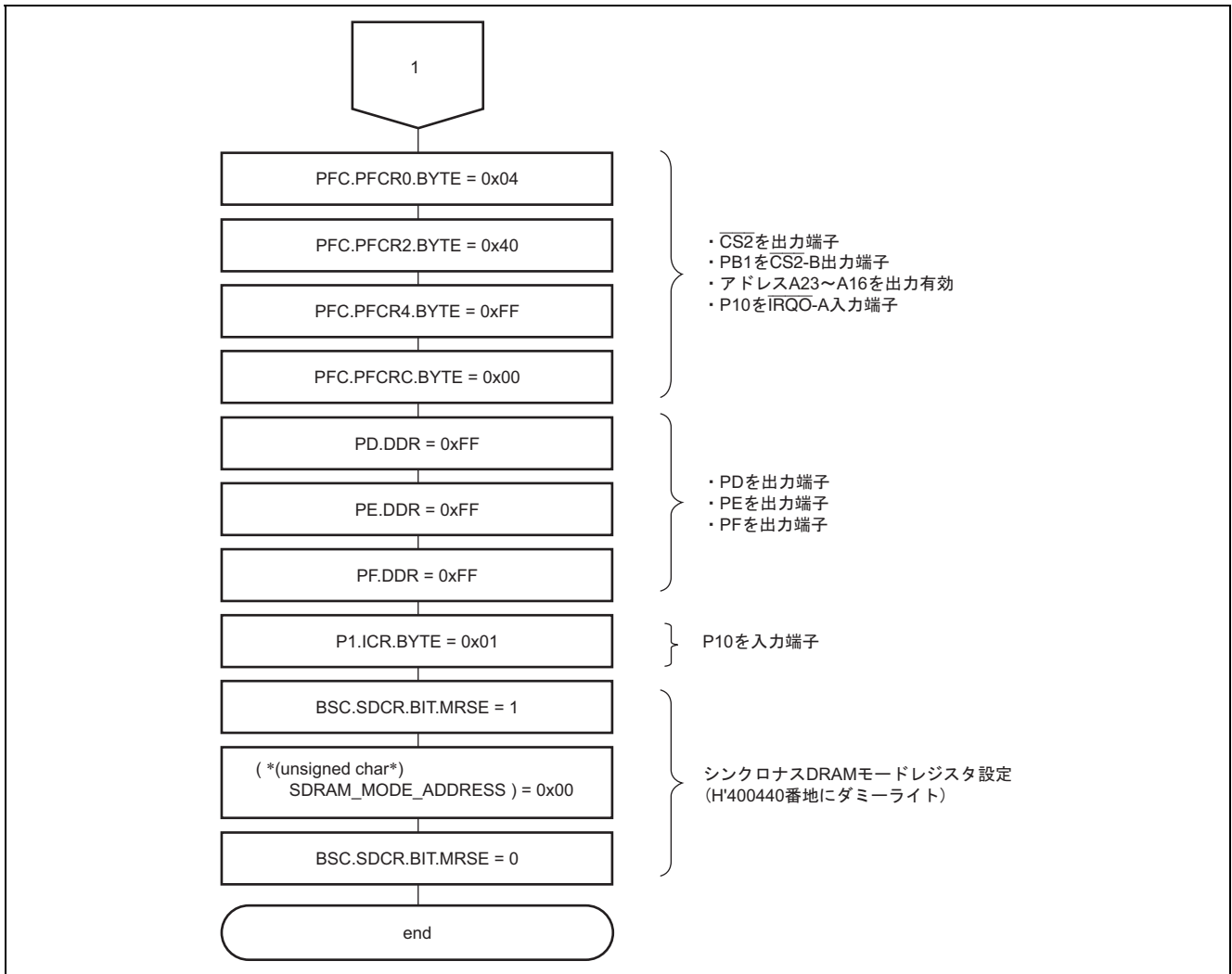


図 7 フローチャート (init\_reg)

## 5.3.4 init\_ram 関数

(1) 機能概要

init\_ram 関数では、SDRAM の全エリアに値を格納します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部 I/O レジスタ説明

なし

(5) フローチャート

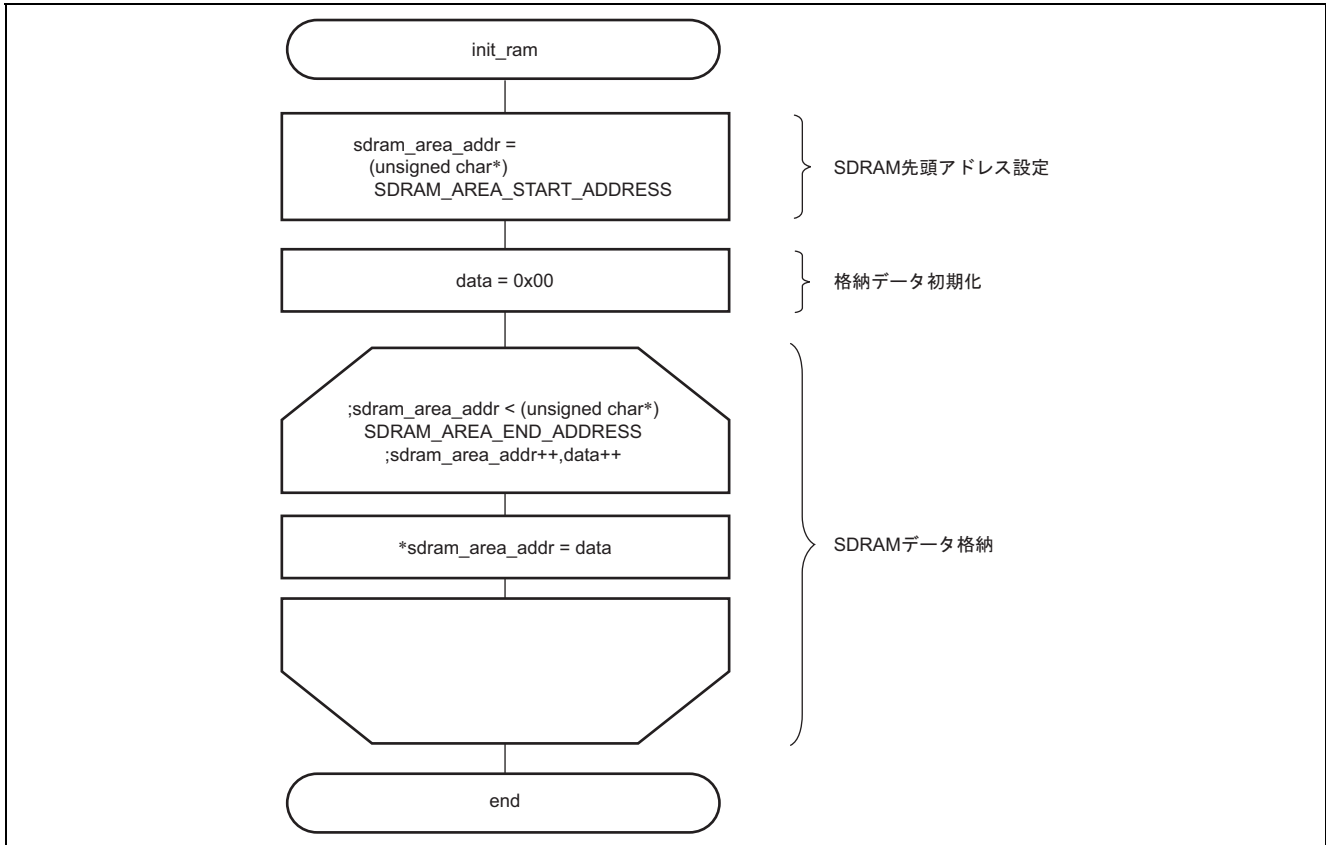


図 8 フローチャート(init\_ram)

### 5.3.5 init\_exit\_dps 関数

(1) 機能概要

init\_exit\_dps 関数では、ディープソフトウェアスタンバイモード解除後の各レジスタを初期化します。

(2) 引数

なし

(3) 戻り値

なし

(4) 使用内部 I/O レジスタ説明

本関数で使用する内部レジスタを以下に示します。

なお、設定値は、本タスク例において使用している値であり、初期値とは異なります。

● システムクロックコントロールレジスタ (SCKCR) ビット数 : 16 アドレス : H'FFFDC4

ビット	ビット名	設定値	R/W	機能
15	PSTOP1	0/1	R/W	B $\phi$ 出力セレクトイネーブル PA7 からの $\phi$ 出力を制御します。 通常動作状態 0 : $\phi$ 出力 1 : High レベル固定
14	PSTOP0	0/1	R/W	$\phi$ 出力セレクトイネーブル PB7 からの $\phi$ 出力 (SDRAM $\phi$ ) を制御します。 通常動作状態 0 : $\phi$ 出力 1 : High レベル固定
10	ICK2	0	R/W	システムクロック (I $\phi$ ) セレクト CPU、DMAC、DTC モジュールとシステムクロックの周波数を選択 します。 000 : 入力クロック $\times$ 4
9	ICK1	0	R/W	
8	ICK0	0	R/W	
6	PCK2	0	R/W	周辺モジュールクロック (P $\phi$ ) セレクト 周辺モジュールクロックの周波数を選択します。 001 : 入力クロック $\times$ 2
5	PCK1	0	R/W	
4	PCK0	1	R/W	
2	BCK2	0	R/W	外部バスクロック (B $\phi$ ) セレクト 外部バスクロックの周波数を選択します。 000 : 入力クロック $\times$ 4
1	BCK1	0	R/W	
0	BCK0	0	R/W	

● リセットステータスレジスタ (RSTSR) ビット数 : 8 アドレス : H'FFFE75

ビット	ビット名	設定値	R/W	機能
7	DPSRSTF	0	R/(W)	ディープソフトウェアスタンバイリセットフラグ ディープソフトウェアスタンバイモードが DPSIER、DPSIEGR で 設定した割り込み要因で解除され、内部リセットが発生したことを 示します。 [クリア条件] 1 の状態をリードした後、0 をライトしたとき

- ディープスタンバイインタラプトフラグレジスタ (DPSIFR) ビット数：8 アドレス：H'FFFE73

ビット	ビット名	設定値	R/W	機能
0	DIRQ0F	0	R/W	IRQ0 インタラプトフラグ [クリア条件] 1の状態をリードした後、0ライトしたとき

- ポートファンクションコントロールレジスタ 0 (PFCR0) ビット数：8 アドレス：H'FFFBC0

ビット	ビット名	設定値	R/W	機能
2	CS2E	1	R/W	CS2 イネーブル 対応する CS2 出力の許可/禁止を選択します。 1：CS2 出力端子として設定

- ポートファンクションコントロールレジスタ 2 (PFCR2) ビット数：8 アドレス：H'FFFBC2

ビット	ビット名	設定値	R/W	機能
6	CS2S	1	R/W	CS2 出力端子セレクト CS2 出力許可時 (CS2E=1)、CS2 の出力端子を選択します。 1：PB1 を CS2-B 出力端子として設定

- ポートファンクションコントロールレジスタ 4 (PFCR4) ビット数：8 アドレス：H'FFFBC4

ビット	ビット名	設定値	R/W	機能
7~0	A23E~ A16E	1	R/W	アドレス A23~A16 イネーブル アドレス出力 (A23~A16) の出力許可/禁止を選択 1：A23~A16 出力有効

- ポートファンクションコントロールレジスタ C (PFCRC) ビット数：8 アドレス：H'FFFBC C

ビット	ビット名	設定値	R/W	機能
0	ITS0	0	R/W	IRQ0 端子セレクト IRQ0 の入力端子を選択します。 0：P10 を IRQ0-A 入力端子として設定

- データディレクションレジスタ (P2DDR) ビット数：8 アドレス：H'FFFB81
  - データディレクションレジスタ (PBDDR) ビット数：8 アドレス：H'FFFB8A
  - データディレクションレジスタ (PDDDR) ビット数：8 アドレス：H'FFFB8C
  - データディレクションレジスタ (PEDDR) ビット数：8 アドレス：H'FFFB8D
  - データディレクションレジスタ (PFDDR) ビット数：8 アドレス：H'FFFB8E
- 機能：DDR は、ポートの入出力をビットごとに指定する 8 ビットのライト専用レジスタです。  
 設定値：H'FF

- データレジスタ (P2DR) ビット数：8 アドレス：H'FFFF51
  - データレジスタ (PBDR) ビット数：8 アドレス：H'FFFF5A
- 機能：DR は、汎用出力ポートとして使用する端子の出力データを格納する 8 ビットのリード/ライト可能なレジスタです。  
 設定値：H'FF(P2DR)、H'02(PBDR)

● ディープスタンバイコントロールレジスタ (DPSBYCR) ビット数 : 8 アドレス : H'FFFE70

ビット	ビット名	設定値	R/W	機能
6	IOKEEP	0	R/W	I/O ポート保持 ディープソフトウェアスタンバイモード時、ポートは、ソフトウェアスタンバイモードと同じ状態を保持します。本ビットは、ディープソフトウェアスタンバイモード時に保持したポートの状態をディープソフトウェアスタンバイモード解除後も保持し続けるか、解除するかを設定します。 0 : ディープソフトウェアスタンバイモードの解除と同時にポートの保持を解除

● バス幅コントロールレジスタ (ABWCR) ビット数 : 16 アドレス : H'FFFD84

ビット	ビット名	設定値	R/W	機能
10	ABWH2	0	R/W	エリア 7~0 バス幅コントロール 対応するエリアを 8 ビットアクセス空間にするか、16 ビットアクセス空間にするかを選択します。
2	ABWL2	1	R/W	ABWH2 ABWL2 0 1 : エリア 2 を 16 ビットアクセス空間に設定

● アクセスステートコントロールレジスタ (ASTCR) ビット数 : 16 アドレス : H'FFFD86

ビット	ビット名	設定値	R/W	機能
10	AST2	1	R/W	エリア 7~0 アクセスステートコントロール 対応するエリアを 2 ステート空間にするか、3 ステートアクセス空間にするかを選択します。同時にウェイトステートの挿入を許可または禁止します。 1 : エリア 2 を 3 ステートアクセス空間に設定 エリア 2 のアクセスにウェイトステートの挿入を許可

● ウェイトコントロールレジスタ B (WTCRB) ビット数 : 16 アドレス : H'FFFD8A

ビット	ビット名	設定値	R/W	機能
10	W22	0	R/W	エリア 2 ウェイトコントロール 2~0
9	W21	0	R/W	CAS レイテンシの設定を行います。そのとき W22 は無視されます。
8	W20	1	R/W	01 : CAS レイテンシ 2 のシンクロナス DRAM を接続

● アイドルコントロールレジスタ (IDLCR) ビット数 : 16 アドレス : H'FFFD90

ビット	ビット名	設定値	R/W	機能
14	IDLS2	0	R/W	アイドルサイクル挿入 2 外部ライトサイクル後に外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0 : アイドルサイクルを挿入しない
12	IDLS0	0	R/W	アイドルサイクル挿入 0 外部リードサイクル後に外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0 : アイドルサイクルを挿入しない

● エンディアンコントロールレジスタ (ENDIANCR) ビット数：16 アドレス：H'FFFD95

ビット	ビット名	設定値	R/W	機能
2	LE2	0	R/W	リトルエンディアン選択 対応するエリアのエンディアン形式を選択します。 0：エリア2のエンディアン形式はビッグエンディアン

● SRAM モードコントロールレジスタ (SRAMCR) ビット数：16 アドレス：H'FFFD98

ビット	ビット名	設定値	R/W	機能
10	BCSEL2	0	R/W	バイト制御 SRAM インタフェース選択 対応するエリアのバスインタフェースを選択します。 0：エリア2は基本バスインタフェース

● DRAM コントロールレジスタ (DRAMCR) ビット数：16 アドレス：H'FFFDA0

ビット	ビット名	設定値	R/W	機能
15	DRAME	1	R/W	エリア2DRAM インタフェース選択 エリア2をDRAM/シンクロナス DRAM インタフェースとするか否かを選択します。 1：DRAM/シンクロナス DRAM インタフェース
14	DTYPE	1	R/W	DRAM 選択 エリア2に接続する DRAM を選択します。 1：シンクロナス DRAM をエリア2に接続する
11	OEE	1	R/W	$\overline{OE}$ 出力イネーブル EDO ページモードを備えた DRAM に接続するとき $\overline{OE}$ 信号を出力することができます。 1： $\overline{OE}/\overline{CKE}$ 信号出力許可
7	BE	1	R/W	バーストアクセスイネーブル DRAM 空間/シンクロナス DRAM 空間へのバーストアクセスの許可または禁止を選択します。DRAM 空間/シンクロナス DRAM 空間のアクセスは、高速ページモードとなります。 1：DRAM 空間/シンクロナス DRAM 空間アクセス時、高速ページモードアクセス
6	RCDM	1	R/W	RAS ダウンモード 通常バス空間へのアクセス、内部 I/O レジスタへのアクセスにより、DRAM 空間へのアクセスが途切れたときに、 $\overline{RAS}$ 信号を Low レベルにしたまま次の DRAM へのアクセスを待つか (RAS ダウンモード)、 $\overline{RAS}$ 信号を High レベルに戻すか (RAS アップモード) を選択します。 1：DRAM 空間/シンクロナス DRAM 空間アクセス時、RAS ダウンモード選択
1 0	MXC1 MXC0	0 0	R/W R/W	アドレスマルチプレクス選択 ロウアドレス/カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に DRAM/シンクロナス DRAM インタフェースのバースト動作時に比較するロウアドレスを選択します。 00：16 ビットアクセス空間設定時 比較対象ロウアドレスは A23～A9

● DRAM アクセスコントロールレジスタ (DRACCR) ビット数：16 アドレス：H'FFFDA2

ビット	ビット名	設定値	R/W	機能
13	TPC1	0	R/W	プリチャージステート制御 通常時アクセス時、およびリフレッシュ時の RAS プリチャージサイクルのステート数を選択します。 00：RAS プリチャージサイクルは 1 ステート
12	TPC0	0	R/W	
9	RCD1	0	R/W	RAS・CAS 間ウェイト制御 RAS アサートサイクルと CAS アサートサイクルの間にウェイトサイクルを挿入するか否かを選択します。 00：RAS アサートサイクルと CAS アサートサイクルの間にウェイトサイクルを挿入しない
8	RCD0	0	R/W	

● リフレッシュコントロールレジスタ (REFCR) ビット数：16 アドレス：H'FFFDA6

ビット	ビット名	設定値	R/W	機能
10	RTCK2	0	R/W	リフレッシュカウンタクロックセレクト 周辺モジュールクロック (Pφ) を分周した 7 種類の内部クロックから、リフレッシュカウンタのカウントアップに使用するクロックを選択します。入力クロックを選択すると、リフレッシュカウンタがカウントアップを開始します。 010：Pφ/8 でカウント
9	RTCK1	1	R/W	
8	RTCK0	0	R/W	
7	RFSHE	1	R/W	リフレッシュ制御 リフレッシュ制御を行うか否かを選択します。 1：リフレッシュ制御を行う
6	RLW2	0	R/W	リフレッシュサイクルウェイト制御 シンクロナス DRAM インタフェースのオートリフレッシュに対して、挿入するウェイトステート数を選択します。 000：オートリフレッシュにウェイトステートを挿入しない
5	RLW1	0	R/W	
4	RLW0	0	R/W	
3	SLFRF	1	R/W	セルフリフレッシュイネーブル ソフトウェアスタンバイモードに遷移するとき、このビットが 1 にセットされていると DRAM/シンクロナス DRAM に対してセルフリフレッシュを設定します。 シンクロナス DRAM インタフェース設定時にセルフリフレッシュを行う場合は、DRAMCR の OEE ビットを 1 にセットし、CKE の出力を有効にしてください。 1：ソフトウェアスタンバイ時セルフリフレッシュを許可
2	TPCS2	0	R/W	セルフリフレッシュ時プリチャージサイクル制御 セルフリフレッシュ直後のプリチャージサイクルのステート数を設定します。 000：セルフリフレッシュ直後にウェイトステートを挿入しない。
1	TPCS1	0	R/W	
0	TPCS0	0	R/W	

● リフレッシュタイマカウンタ (RTCNT) ビット数：8 アドレス：H'FFFDA8

機能：RTCNT は、REFCR の RTCK2～RTCK0 ビットで選択された内部クロックにより、カウントアップします。

設定値：H'00

● リフレッシュタイムコンスタントレジスタ (RTCOR) ビット数：8 アドレス：H'FFFDA9

機能：RTCOR は、RTCNT とのコンペアマッチ周期を設定します。

設定値：H'30 (リフレッシュ周期：15.68μs)



(5) フローチャート

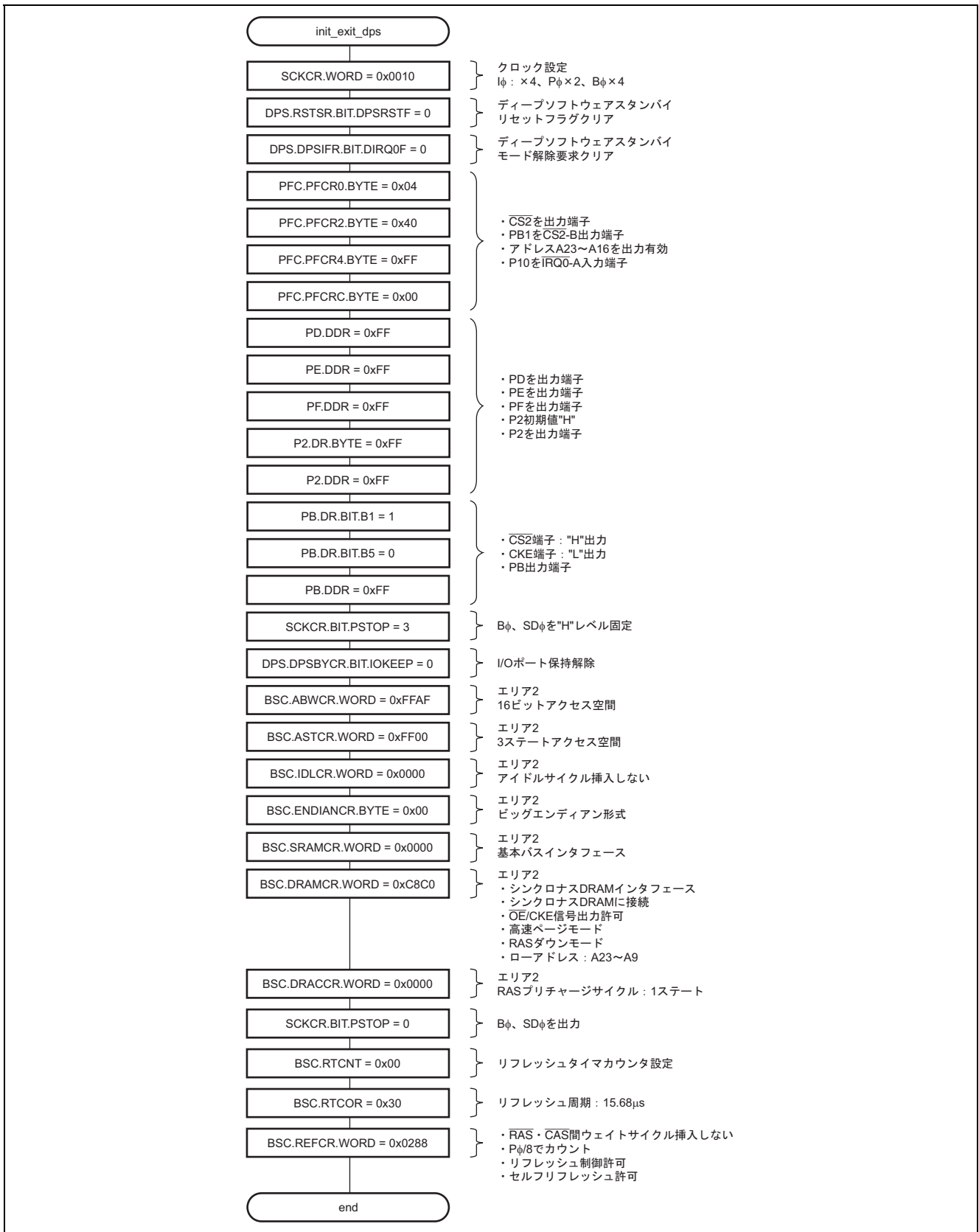


図 9 フローチャート(init\_exit\_dps)

## 5.3.6 cmp\_data 関数

### (1) 機能概要

cmp\_data 関数では、ディープソフトウェアスタンバイモードの遷移前と解除後の SDRAM データを比較します。そして、比較結果を表示します。

### (2) 引数

なし

### (3) 戻り値

なし

### (4) 使用内部 I/O レジスタ説明

本関数で使用する内部レジスタを以下に示します。

なお、設定値は、本タスク例において使用している値であり、初期値とは異なります。

- データレジスタ (P2DR) ビット数 : 8 アドレス : H'FFFF51

機能 : DR は、汎用出力ポートとして使用する端子の出力データを格納する 8 ビットのリード/ライト可能なレジスタです。

設定値 : H'FE (OK 表示)、H'FD(NG 表示)

### (5) フローチャート

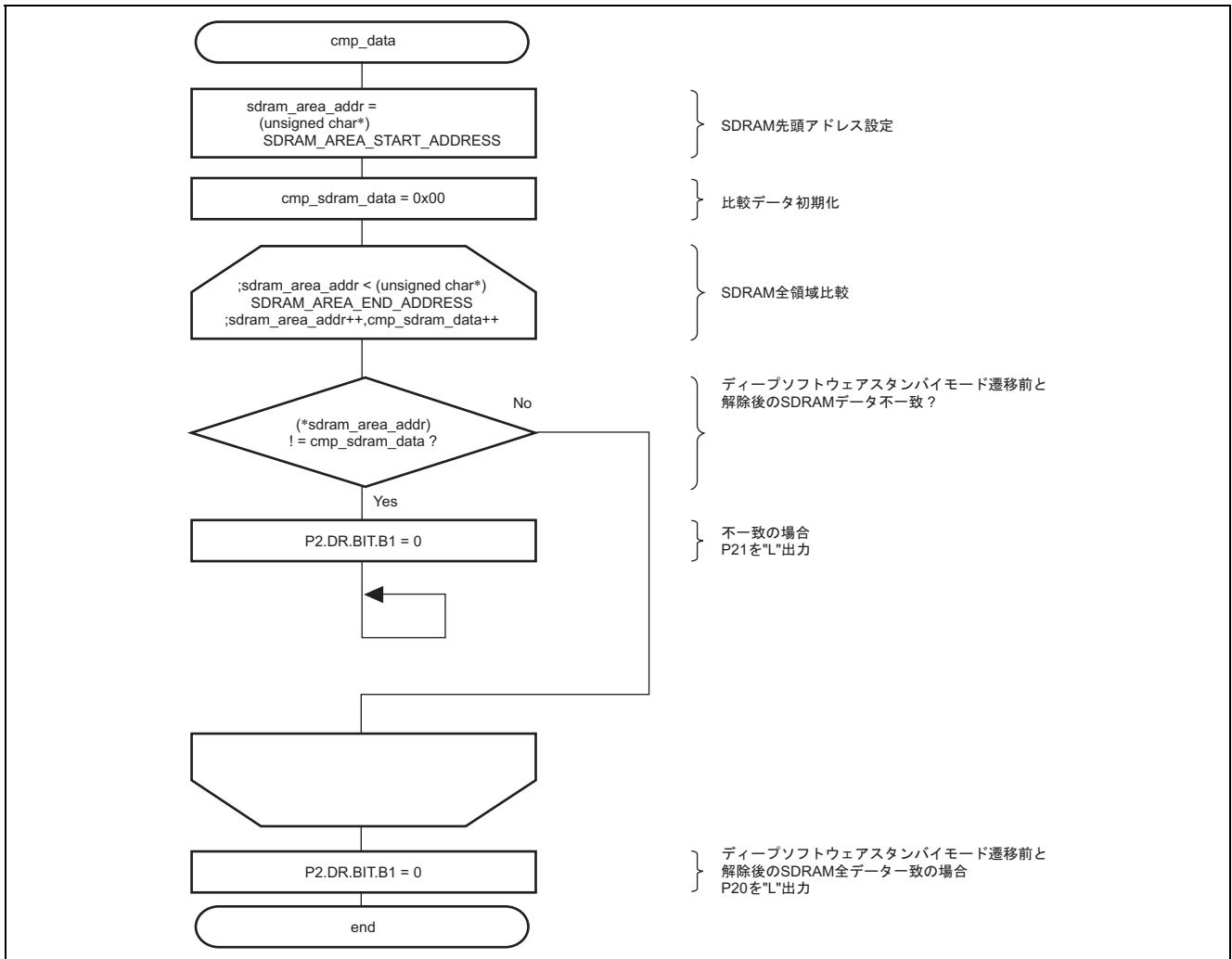


図 10 フローチャート(cmp\_data)

## 6. 注意事項

- (1) SDCR は、シンクロナス DRAM 空間をアクセスしていない状態で書き換えを行ってください。また、シンクロナス DRAM インタフェースを使用しない場合は、必ず初期値状態としてください。詳細につきましては、ハードウェアマニュアルを参照してください。
- (2) ディープソフトウェアスタンバイモード解除後に REFCR、RTCNT、RTCOR を設定し、リフレッシュを有効にする場合、CKE 信号の変化からオートリフレッシュ実施までの期間は、シンクロナス DRAM のリフレッシュ間隔の規定に収まるようにしてください。詳細につきましては、ハードウェアマニュアルを参照してください。

## 7. 参考ドキュメント

- ハードウェアマニュアル  
H8SX/1668R グループハードウェアマニュアル  
(最新版をルネサステクノロジホームページから入手してください。)
- 開発環境マニュアル  
H8S、H8/300 シリーズ C/C++コンパイラパッケージ ユーザーズマニュアル  
(最新版をルネサステクノロジホームページから入手してください。)
- H8SX ファミリ アプリケーションノート  
『シンクロナス DRAM インタフェース』ドキュメント No : RJJ06B0791  
(最新版をルネサステクノロジホームページから入手してください。)
- テクニカルニュース／テクニカルアップデート  
(最新の情報をルネサステクノロジホームページから入手してください。)

## ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/inquiry>

[csc@renesas.com](mailto:csc@renesas.com)

## 改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.01.19	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。