

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7730 グループ

BSC SDRAM 設定例 (32 ビットデータバス)

要旨

この資料はバスステートコントローラ (BSC) の SDRAM インタフェース機能を紹介し、応用例を掲載しています。

動作確認デバイス

SH7730

目次

1. はじめに.....	2
2. 応用例の説明.....	3
3. 参考ドキュメント.....	20

1. はじめに

1.1 仕様

128 M ビット (2 M × 16 ビット × 4 バンク) の SDRAM を 2 個使用し、SH7730 と 32 ビットバス幅で接続します。SH7730 の SDRAM インタフェース機能を使用し、SDRAM の初期化を行います。

1.2 使用機能

バスステートコントローラ (BSC)

1.3 適用条件

評価ボード:	アルファプロジェクト製 SH-4A ボード 型番 AP-SH4A-1A
外付けメモリ (エリア 0):	NOR 型フラッシュメモリ 4 M バイト Spansion 製 S29AL032D70TFI04
(エリア 3):	SDR-SDRAM 32 M バイト (16 M バイト × 2 個) Samsung 製 K4S281632F-UC75
マイコン:	SH7730 (R8A77301)
動作周波数	CPU クロック: 266.66 MHz SuperHyway バスクロック: 133.33 MHz バスクロック: 66.66 MHz 周辺クロック: 33.33 MHz
エリア 0 バス幅:	16 ビット固定 (MD3 端子 = Low レベル)
クロック動作モード:	モード 2 (MD0 端子 = Low レベル, MD1 端子 = High レベル)
エンディアン:	ビッグエンディアン (MD5 端子 = Low レベル)
ツールチェーン:	ルネサス テクノロジ製 SuperH RISC engine Standard Toolchain Ver.9.1.1.0
コンパイルオプション:	High-performance Embedded Workshop でのデフォルト設定 (-cpu=sh4a -debug -optimize=0 -noinline -gbr=auto -macsave=0 -save_cont_reg=0 -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0 -struct_alloc=1 -nologo)

1.4 関連アプリケーション

本資料の参考プログラムは、「SH7730 グループ アプリケーションノート SH7730 初期設定例 (RJJ06B0864)」の設定条件で動作確認しています。そちらもあわせて参照ください。

2. 応用例の説明

2.1 使用機能の概要

SH7730 のバスステートコントローラ (BSC) は、SDRAM と接続可能な SDRAM インタフェース機能を内蔵しています。SH7730 は、ロウアドレスが 11/12/13 ビット、コラムアドレスが 8/9/10 ビット、バンク数が 4 以下、リード-ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する SDRAM が接続可能です。SDRAM の動作モードは、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。表 1 に本応用例で使用する SDRAM 仕様を示します。

表 1 本応用例で使用する SDRAM 仕様

項目	SDRAM 仕様
型名	Samsung 製 K4S281632F-UC75
容量 (構成)	128 M ビット (2 M × 16 ビット × 4 バンク構成)
使用個数	2 個
CAS レイテンシ	2 or 3 (プログラマブル)
リフレッシュサイクル	64 ms ごとの 4096 リフレッシュサイクル
バースト長	1/2/4/8/フルページ (プログラマブル)
ロウアドレス	A11 ~ A0
コラムアドレス	A8 ~ A0
プリチャージ	A10 で制御するオートプリチャージ/全バンクプリチャージ

図 1 にメモリマップを示します。接続するメモリの種類およびデータバス幅は、各 CS 空間ごとに指定します。SH7730 の CS2 および CS3 空間が、SDRAM に接続可能な空間です。本応用例では、CS3 空間に SDRAM を接続しています。

SDRAM を 1 エリアのみ接続する場合は、エリア 3 を SDRAM 設定とし、エリア 2 は通常空間設定またはバイト選択付き SRAM 設定としてください。

SDRAM に対する各種コマンドサイクル数の設定ビットが、エリア 2, 3 共通で「CS3WCR」に用意されているため、エリア 2 のみを SDRAM に設定することはできません。

本応用例の SDRAM は、物理アドレス空間の H'0C00 0000 ~ H'0DFF FFFF に配置されます。

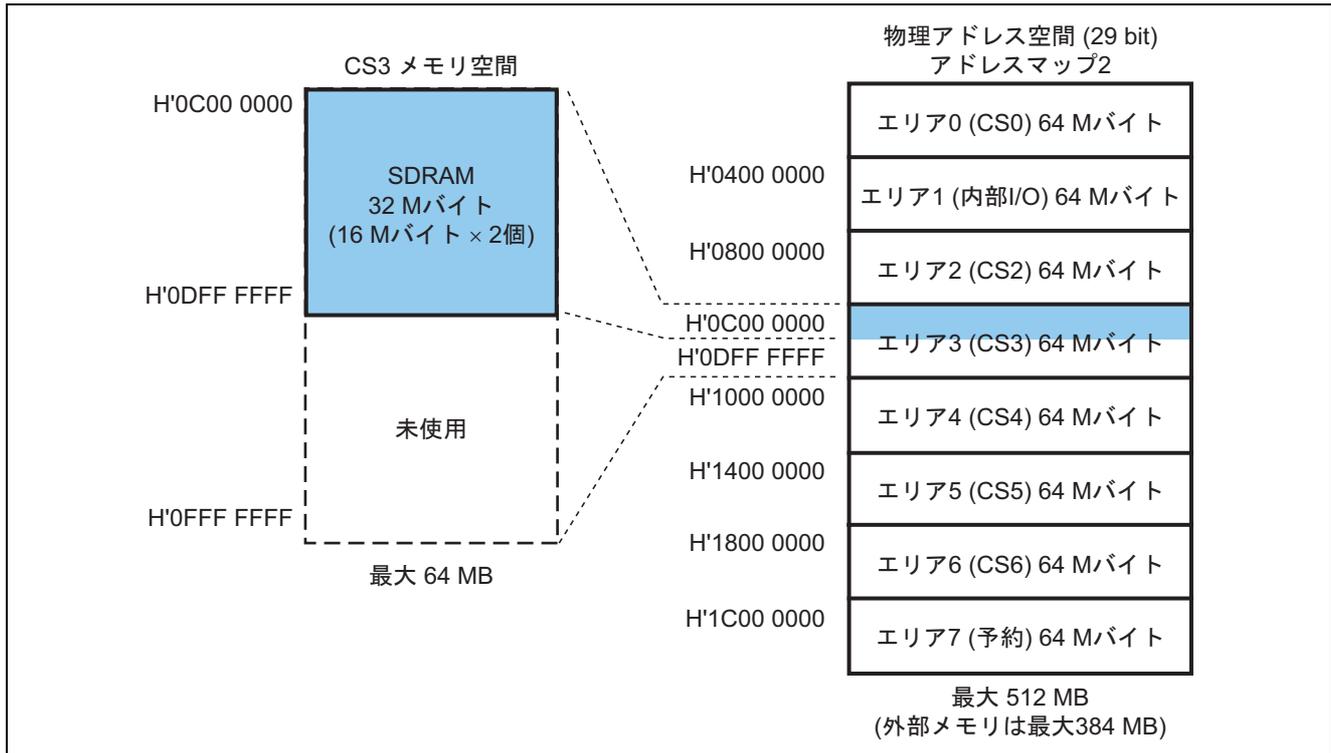


図 1 メモリマップ

物理アドレス空間はさらに、ソフトウェアから見た仮想アドレス空間上にマッピングされます。仮想アドレス空間から物理アドレス空間へのアドレス変換は、メモリマネジメントユニット (MMU) の使用の有無により異なります。

詳細については、「SH7730 グループ ハードウェアマニュアル (RJJ09B0339)」の「バスステートコントローラ (BSC)」および「SH7730 グループ ハードウェアマニュアル (RJJ09B0339)」の「メモリマネジメントユニット (MMU)」の項を参照ください。

図 2 に SDRAM 接続回路例を示します。

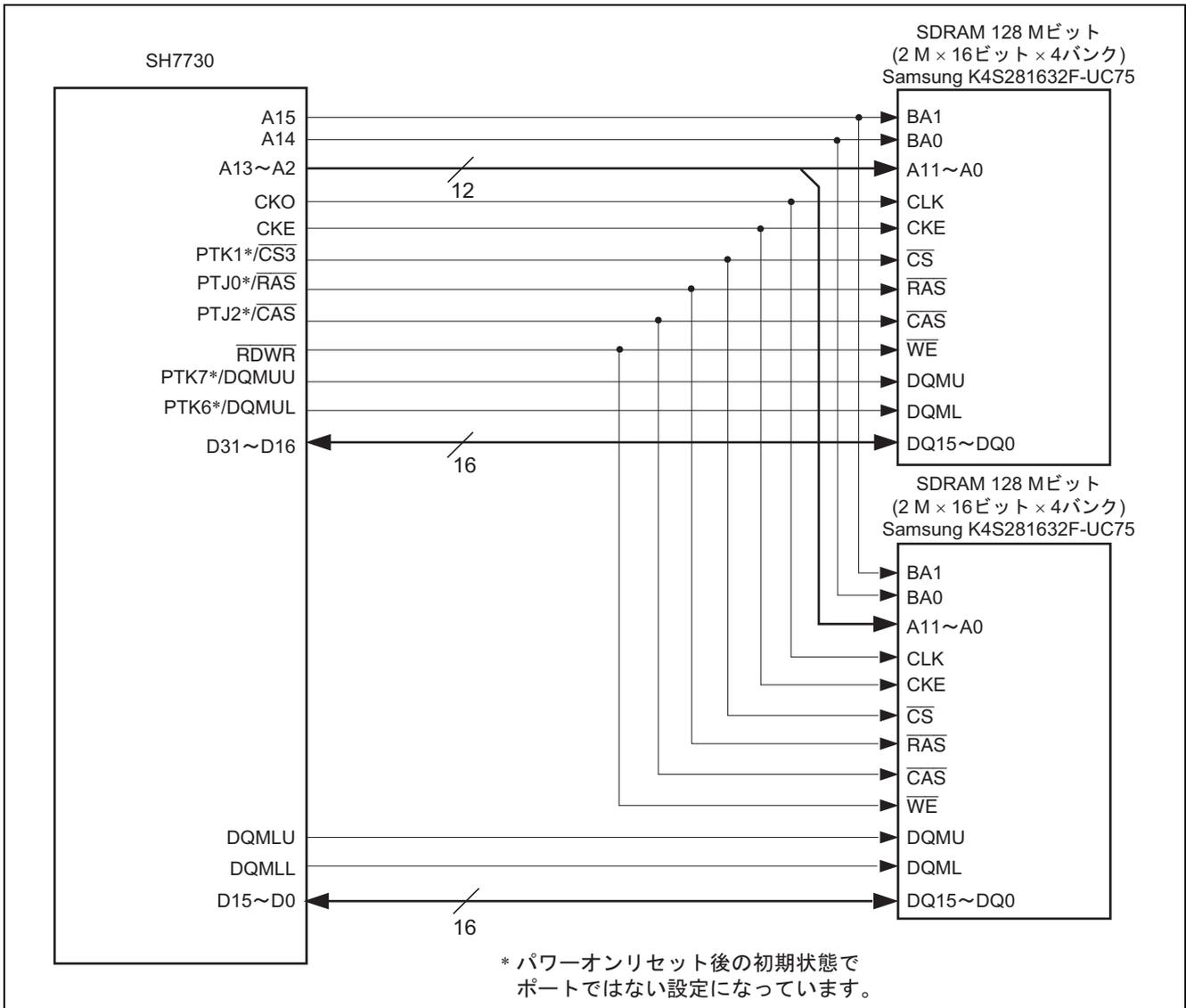


図 2 SDRAM 接続回路例 (128 M ビット × 2 個, 32 ビットバス)

表 2 にアドレスマルチプレクス出力端子を示します。

表 2 SH7730 アドレスマルチプレクス出力端子

SH7730 端子	ロウアドレス	カラムアドレス	SDRAM 端子	機能
A15	A24* ²	A24* ²	A13 (BA1)	バンク指定
A14	A23* ²	A23* ²	A12 (BA0)	バンク指定
A13	A22	A13	A11	アドレス
A12	A21	L/H* ¹	A10/AP	アドレス/プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	アドレス
A9	A18	A9	A7	アドレス
A8	A17	A8	A6	アドレス
A7	A16	A7	A5	アドレス
A6	A15	A6	A4	アドレス
A5	A14	A5	A3	アドレス
A4	A13	A4	A2	アドレス
A3	A12	A3	A1	アドレス
A2	A11	A2	A0	アドレス

【注】 1. L/H はコマンド指定に使われるビットであり、アクセスモードによって Low レベルまたは High レベルに固定されます。

2. バンクアドレス指定

2.2 使用機能の設定基準

2.2.1 SDRAM の初期化手順例

図 3 に CS3 空間における SDRAM の初期化設定例を示します。

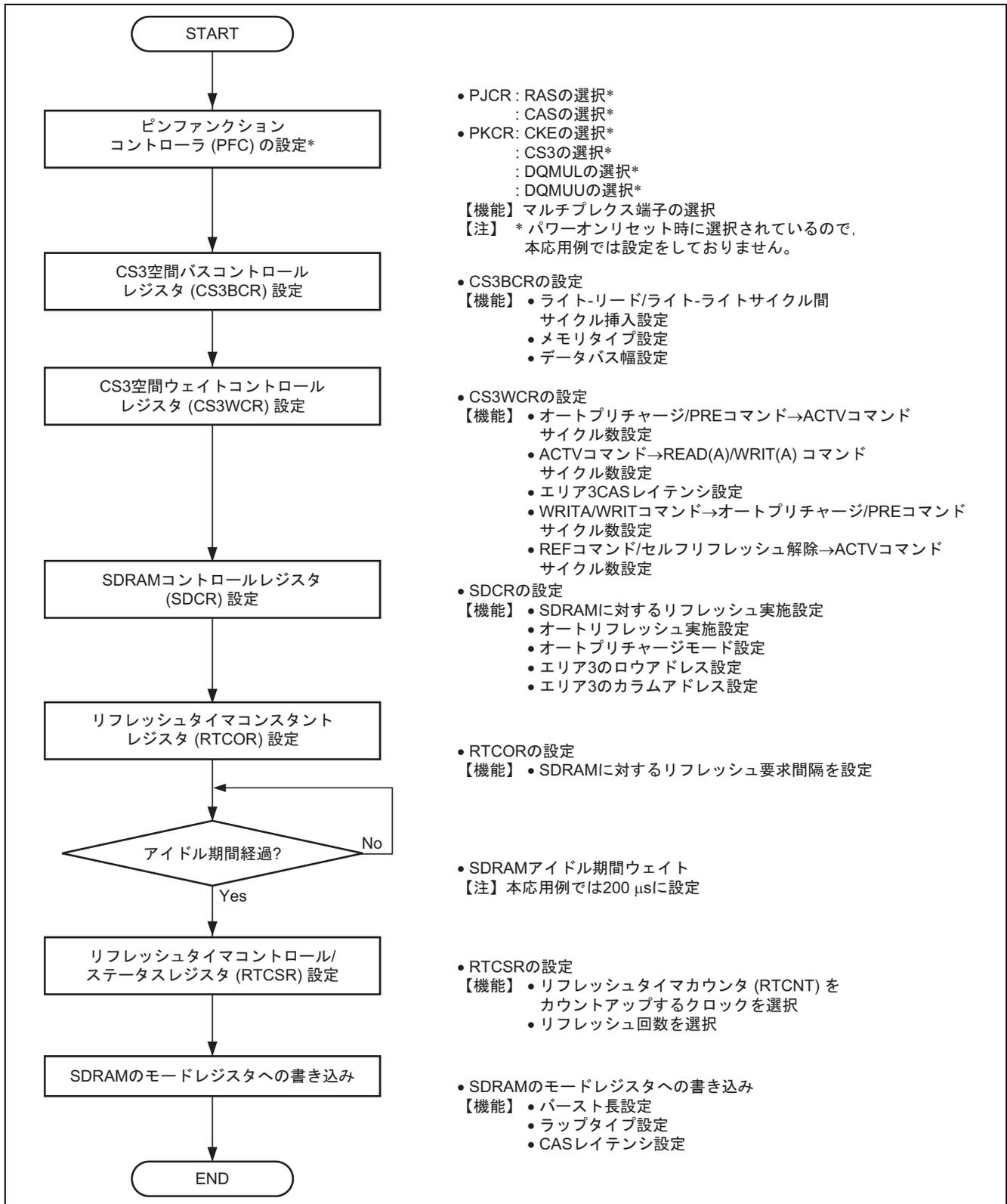


図 3 バスステートコントローラの設定手順例 (CS3 空間)

2.3 パワーオンシーケンス

SDRAM の初期化を行うためには、まずバスステートコントローラのレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行います。

SDRAM は、パワーオン後、一定のアイドル期間が必要です。本応用例では、200 μ s 以上のアイドル期間をソフトウェアで設定しています。必要なアイドル期間は、SDRAM の仕様により異なりますので、SDRAM のマニュアルを参照してください。

SDRAM のモードレジスタへの書き込みは、 $\overline{CS3}$ 、 \overline{RAS} 、 \overline{CAS} および \overline{RDWR} の組み合わせで、モードレジスタセットコマンド (MRS) を発行し、その時点のアドレスを SDRAM に対する入力データとして使用します。表 3 に、CS3 空間における SDRAM モードレジスタのライト時のアクセスアドレスを示します。

表 3 SDRAM モードレジスタ ライト時のアクセスアドレス (CS3 空間)

データ バス幅	CAS レイテンシ	バーストリード/シングルライト (バースト長 1)		バーストリード/バーストライト (バースト長 1)	
		アクセスアドレス	外部アドレス端子	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FEC1 5440	H'0000 0440	H'FEC1 5040	H'0000 0040
	3	H'FEC1 5460	H'0000 0460	H'FEC1 5060	H'0000 0060
32 ビット	2	H'FEC1 5880	H'0000 0880	H'FEC1 5080	H'0000 0080
	3	H'FEC1 58C0	H'0000 08C0	H'FEC1 50C0	H'0000 00C0

本応用例では、SDRAM のモードレジスタに対し下記の設定を行います。

- バースト長: バーストリード/バーストライト (バースト長 1)
- ラップタイプ: シーケンシャル
- CAS レイテンシ: 2 サイクル

SDRAM のモードレジスタに対して書き込みを行うためには、H'FEC1 5080 に対して、任意のデータのワードライトを行います (このときのライトデータは無視されます)。このワードライト動作により、SDRAM に対し下記コマンドが順次発行されます。

(1) 全バンクプリチャージコマンド (PALL) 発行

PALL と 1 回目の REF の間に CS3WCR の TRP[1:0] ビットにより設定されたアイドルサイクル (Tp_w) が挿入されます。

(2) オートリフレッシュコマンド (REF) を 8 回発行

REF コマンド発行後に CS3WCR の TRC[1:0] ビットにより設定されたアイドルサイクル (Trc) が挿入されます。

(3) モードレジスタセットコマンド (MRS) 発行

図 4 に、SDRAM モードレジスタ書き込みタイミング例を示します。

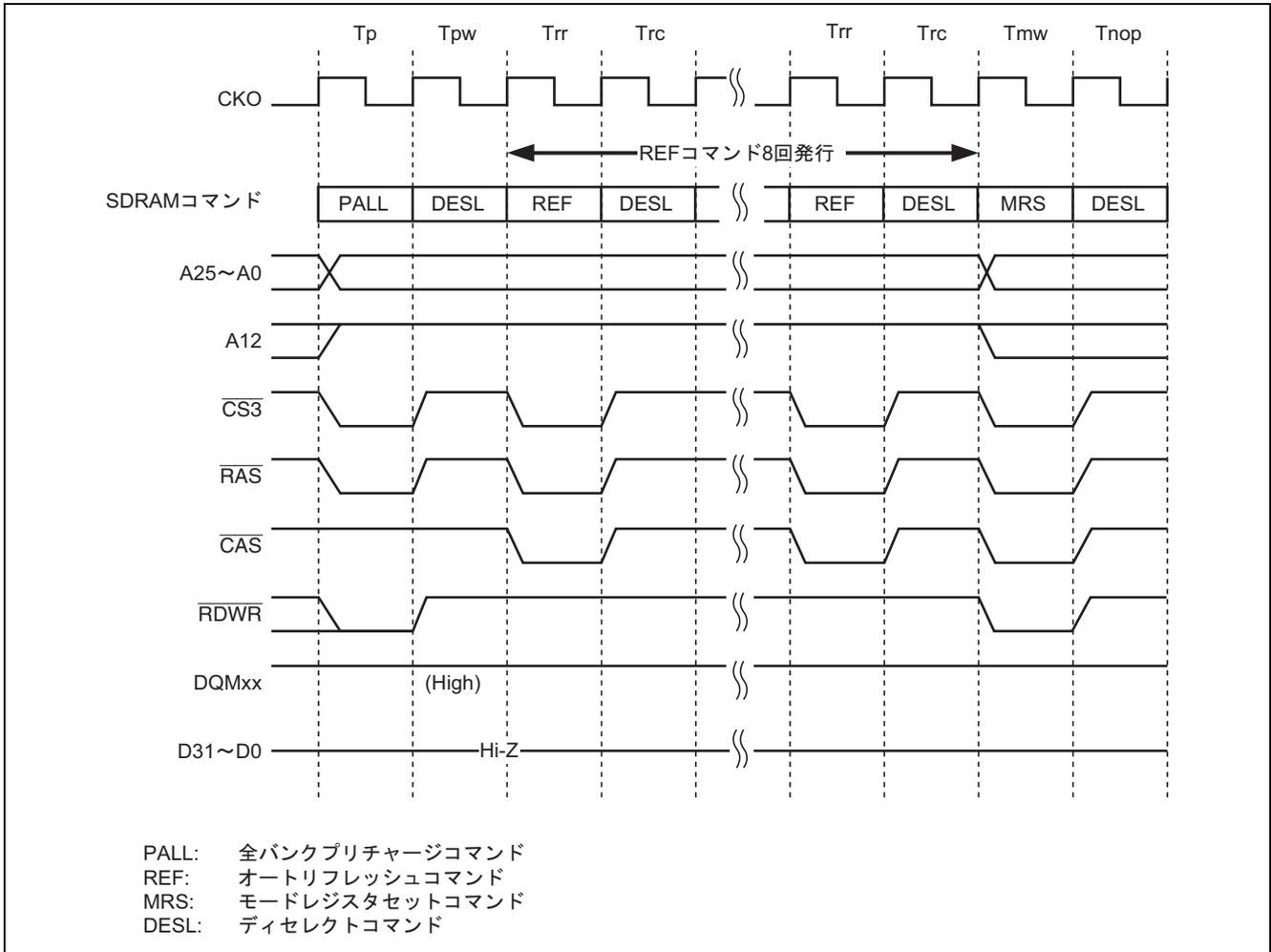


図 4 SDRAM モードレジスタ書き込みタイミング例

2.4 バスステートコントローラの設定例

表 4 に SH7730 のバスクロックが 66.66 MHz 動作時のバスステートコントローラの設定例を示します。各レジスタの詳細については、「SH7730 グループ ハードウェアマニュアル (RJJ09B0339)」の「バスステートコントローラ (BSC)」の章を参照ください。

表 4 バスステートコントローラの設定例

レジスタ名	アドレス	設定値	機能
CS2 空間バスコントロールレジスタ (CS2BCR)	H'FEC1 0008	H'36DB 0600	<ul style="list-style-type: none"> 初期設定のまま
CS2 空間ウェイトコントロールレジスタ (CS2WCR)	H'FEC1 0028	H'0000 0540	<ul style="list-style-type: none"> 初期設定のまま
CS3 空間バスコントロールレジスタ (CS3BCR)	H'FEC1 000C	H'1000 4600	<ul style="list-style-type: none"> ライト-リード/ライト-ライトサイクル間アイドル指定 IWW[2:0] = "B'001": 1 アイドルサイクル挿入 メモリ種類指定 TYPE[3:0] = "B'0100": SDRAM データバス幅指定 BSZ[1:0] = "B'11": 32 ビットデータバス幅
CS3 空間ウェイトコントロールレジスタ (CS3WCR)	H'FEC1 002C	H'0000 248A	<ul style="list-style-type: none"> オートプリチャージ/PRE コマンド→ACTV コマンドサイクル数 TRP[1:0] = "B'01": 2 サイクル ACTV コマンド→READ(A)/WRIT(A) コマンドサイクル数 TRCD[1:0] = "B'01": 2 サイクル エリア 3 の CAS レイテンシ A3CL[1:0] = "B'01": 2 サイクル WRITA/WRIT コマンド→オートプリチャージ/PRE コマンドサイクル数 TRWL[1:0] = "B'10": 2 サイクル REF コマンド/セルフリフレッシュ解除→ACTV コマンドサイクル数 TRC[1:0] = "B'10": 6 サイクル
SDRAM コントロールレジスタ (SDCR)	H'FEC1 0044	H'0000 0809	<ul style="list-style-type: none"> リフレッシュ制御 RFSH = "1": リフレッシュする RMODE = "0": オートリフレッシュを行う パワーダウンモード PDOWN = "0": アクセス終了後, SDRAM をパワーダウンモードにしない バンクアクティブモード BACTV = "0": オートプリチャージモード エリア 3 ロウアドレスビット数 A3ROW[1:0] = "B'01": 12 ビット エリア 3 カラムアドレスビット数 A3COL[1:0] = "B'01": 9 ビット

レジスタ名	アドレス	設定値	機能
リフレッシュタイム コントロール/ステータス レジスタ (RTCSR)	H'FEC1 0048	H'A55A 0010*	<ul style="list-style-type: none"> • コンペアマッチインタラプトイネーブル CMIE = "0": CMF による割り込みを禁止 • クロックセレクト CKS[2:0] = "B'010": Bϕ/16 • リフレッシュ回数 RRC[2:0] = "B'000": 1 回
リフレッシュタイム コンスタントレジスタ (RTCOR)	H'FEC1 0050	H'A55A 003E*	<ul style="list-style-type: none"> • 1 サイクル = $1 / (B\phi (66.66 \text{ MHz}) / 16) \approx 240 \text{ ns}$ SDRAM のリフレッシュ要求間隔: $64 \text{ ms} / 4096 \text{ cyc} = 15.625 \mu\text{s}$ RTCOR の設定値 = $15.625 \mu\text{s} / 240 \text{ ns} \approx 65 = \text{H}'41$ <p>【注】 本設定では、余裕を持ったリフレッシュ要求を行うため H'3E を設定します。(2.5.3 章参照)</p>

【注】 書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除する必要があります。

2.5 SDRAM のタイミング設定参考例

SDRAM を接続する場合には、使用する SDRAM のアクセススピード (CAS レイテンシ) やその他 AC 特性に応じたウェイトサイクルを設定する必要があり、また SDRAM に必要なリフレッシュを設定する必要もあります。ここではウェイトサイクル、リフレッシュサイクルの設定の要点について設定参考例を示します。

なお、参考例の SH7730 の動作条件は、バスクロック 66.66 MHz ($t_{cyc} = 15 \text{ ns}$) です。

また SH7730 および SDRAM の AC 特性に関しては、各デバイスのデータシートを参照ください。SDRAM は CKO の立ち上がりを起点として動作します。

2.5.1 各サイクルの説明

(1) リード動作において、SH7730 は下記の動作を行います。

- Tr: ACTV コマンド発行
- Trw: ACTV コマンドから、READ(A)/WRIT(A) コマンド間のウェイトサイクル
CS3WCR の TRCD[1:0] ビットにより設定されたサイクル数から 1 を引いたウェイトサイクルが挿入されます。
- Tc: READ(A) コマンド発行
- Tew: Tc サイクルから Td サイクル間のウェイトサイクル
SDRAM の CAS レイテンシに相当します。CS3WCR の A3CL[1:0] によって設定されたレイテンシが挿入されます。
- Td: リードデータ取り込み
- Tde: LSI 内部にリードデータを転送するために必要なアイドルサイクル
バーストリードおよびシングルリード時に必ず 1 サイクル発生します。
- Tap: オートプリチャージ完了待ちウェイトサイクル
CS3WCR の TRP[1:0] ビットにより設定されたサイクル数から 1 を引いたウェイトサイクルが挿入されます。

(2) ライト動作において、SH7730 は下記の動作を行います。

- Tr: ACTV コマンド発行
- Trw: ACTV コマンドから、READ(A)/WRIT(A) コマンド間のウェイトサイクル
CS3WCR の TRCD[1:0] ビットにより設定されたサイクル数から 1 を引いたウェイトサイクルが挿入されます。
- Tc: WRIT(A) コマンド発行
- Trwl: オートプリチャージ起動待ちウェイトサイクル
CS3WCR の TRWL[1:0] ビットにより設定されたウェイトサイクルが挿入されます。
- Tap: オートプリチャージ完了待ちウェイトサイクル
CS3WCR の TRP[1:0] ビットにより設定されたサイクル数から 1 を引いたウェイトサイクルが挿入されます。

2.5.2 アクセスウェイトサイクル

- (1) Tr サイクルと Tc サイクル間にウェイトサイクル (Trw) を設定します。
- (2) Tc サイクルと Td サイクル間にウェイトサイクル (Tcw) を設定します。
- (3) Tde サイクルと Tr サイクル間にウェイトサイクル (Tap) を設定します。
- (4) オートプリチャージが起動されるまでのウェイトサイクル (Trwl) を設定します。

本設定において、SH7730 と使用する SDRAM のバスタイミングを満たしていることを確認します。(参考例では Trw = 1, Tcw = 1, Tap = 1, Trwl = 2, tcyc = 15 ns, CL = 2 を設定しています。)

なお、下記計算式に使用している Tr, Tc, Td, Tde は tcyc とします。

- SDRAM の tRC (リードサイクル時)

$$tRC(\min) \leq (tcyc \times Trw) + (Tc) + (tcyc \times (CL - 1)) + (Td) + (Tde) + (tcyc \times Tap) + (Tr) \dots\dots (図 5)$$

* Tr = Tc = Td = Tde = tcyc
- SDRAM の tRAS (ロウアクティブ時間)

$$tRAS(\min) \leq (tcyc \times Trw) + (Tc) + (tcyc \times BC) \dots\dots\dots (図 6)$$

* BC: パーストアクセス回数 (パースト長 1 アクセスを繰り返す回数)
- SDRAM の tRCD (RAS-CAS への遅延時間)

$$RCD(\min) \leq (tcyc \times Trw) + (Tc) \dots\dots\dots (図 5)$$
- SDRAM の tRP (ロウプリチャージ時間/リードサイクル時)

$$tRP(\min) \leq (tcyc \times (CL - 2)) + (Td) + (Tde) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 5)$$
- SDRAM の tRC (ライトサイクル時)

$$tRC(\min) \leq (tcyc \times Trw) + (tcyc \times BC) + (tcyc \times Trwl) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 7)$$

* BC: パーストアクセス回数 (パースト長 1 アクセスを繰り返す回数)
- SDRAM の tRP (ロウプリチャージ時間/ライトサイクル時)

$$tRP(\min) \leq (tcyc \times Tap) + (Tr) \dots\dots\dots (図 7)$$
- SDRAM の tRDL (ライトリカバリー時間)

$$tRDL(\min) \leq (tcyc \times Trwl) \dots\dots\dots (図 7)$$
- SDRAM の tDAL (データ入力後から Act への遅延時間)

$$tDAL(\min) \leq (tcyc \times Trwl) + (tcyc \times Tap) + (Tr) \dots\dots\dots (図 7)$$
- SDRAM の tRRD (Act から Act への遅延時間)

$$tRRD(\min) \leq (tcyc \times Tpw) + (Trr) \dots\dots\dots (図 9)$$

* Tpw = Tap

2.5.3 リフレッシュサイクル

- (1) SDRAM に対してリフレッシュを実施する間隔時間 (tREF) を設定します。
- (2) オートリフレッシュサイクルのウェイトサイクル (Trc) を設定します。

本設定において、SH7730 と使用する SDRAM のバスタイミングを満たしていることを確認します。

- SDRAM の tREF (リフレッシュ間隔時間)

$$tREF(max) \geq tcyc \times CKS \times RTCOR \times Ref_Cyc$$

* SDRAM の仕様で、64 ms (tREF) 期間内に 4096 回 (Ref_Cyc) リフレッシュを行う必要があるため、上記の計算式を満たす必要があります。【参考】の結果より、tREF (64 ms) ≥ 60.9 ms となるため条件は満たしています。

【参考】

Tcyc = 15 ns, CKS = 16, RTCOR = 62, Ref_Cyc = 4096 とすると、

リフレッシュカウンタのクロック周期: tcyc × CKS = 240 (ns)

1 回当たりのリフレッシュ間隔時間: tcyc × CKS × RTCOR = 14.9 (μs)*

4096 回のリフレッシュ間隔時間: tcyc × CKS × RTCOR × Ref_Cyc = 60.9 (ms)

【注】 バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。このようなリフレッシュするタイミングが遅れる場合を考慮して、本設定例では、RTCOR の設定に余裕を持たせています。

- SDRAM の tRC (リフレッシュサイクル時)

$$tRC(min) \leq (tcyc \times Trc) + (Tr) \dots\dots\dots (図 9)$$

* Tr = Trc = tcyc

2.6 タイミングチャート

図 5 にバスクロック 66.66 MHz 時の SDRAM シングルリードタイミング例を示します。

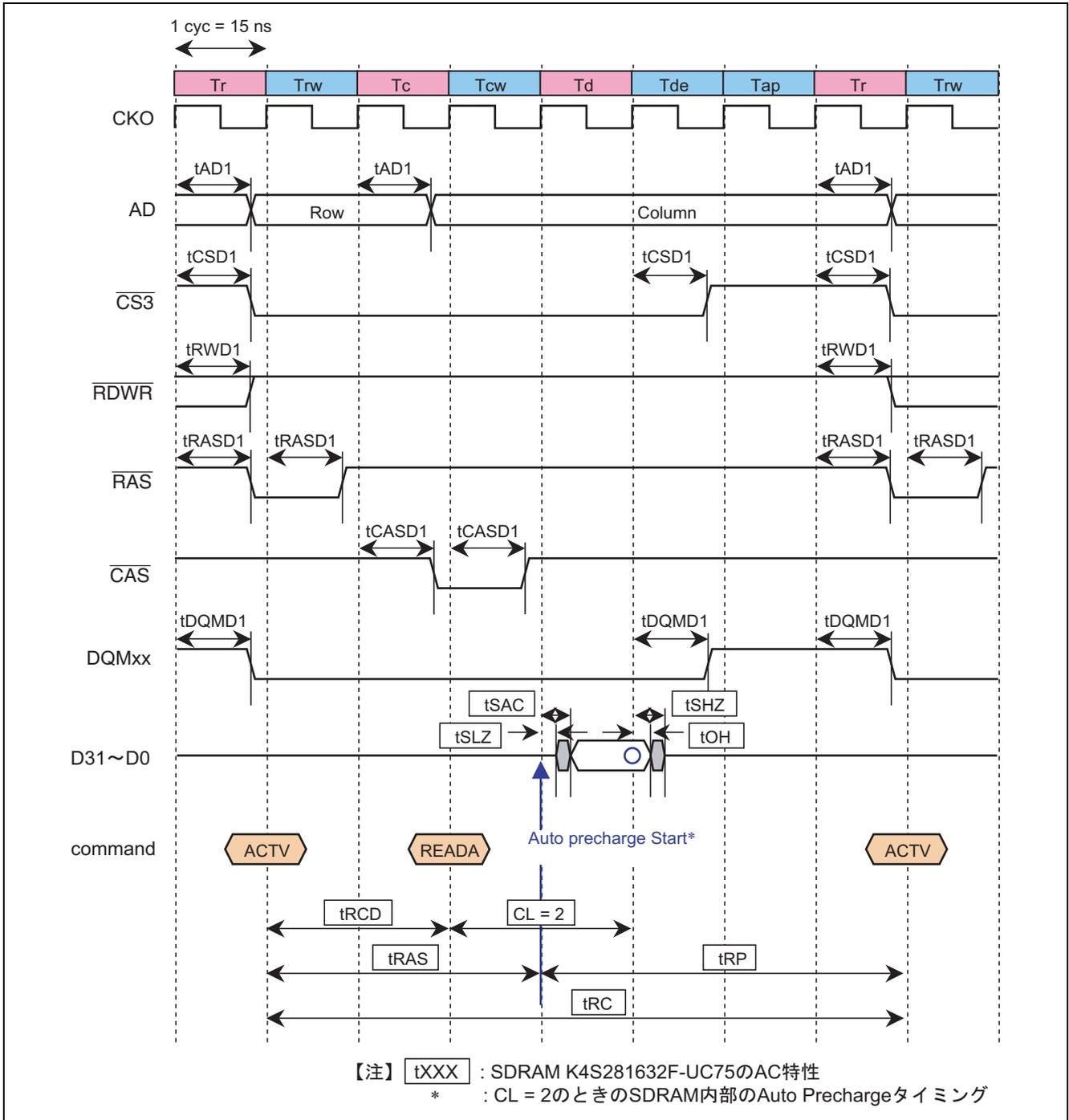


図 5 SDRAM シングルリードタイミング

図 6 に SDRAM パーストリードタイミング (CL = 2) を示します。

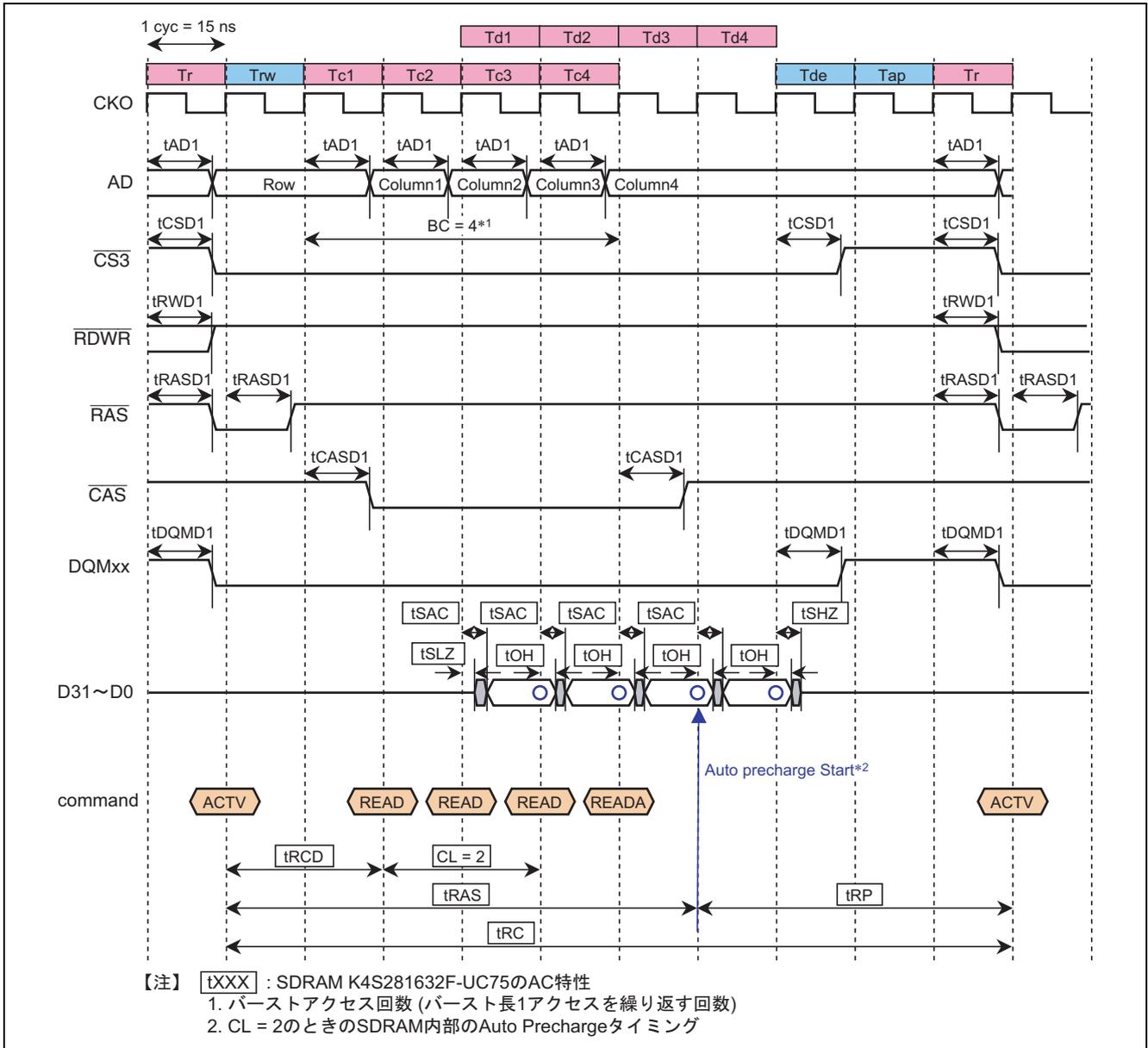


図 6 SDRAM パーストリードタイミング

図 7 に SDRAM シングルライトタイミングを示します。

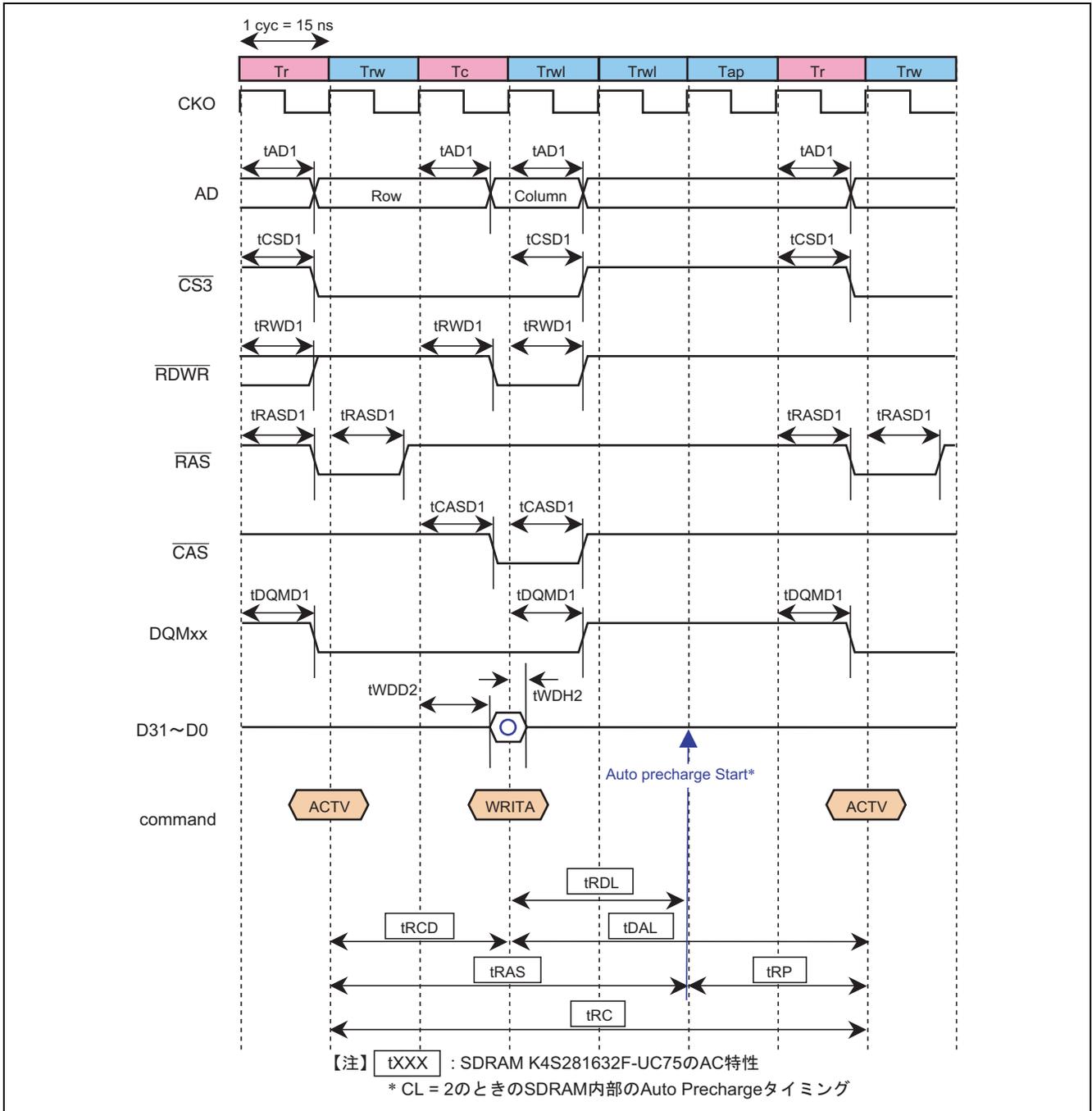


図 7 SDRAM シングルライトタイミング

図 8 に SDRAM パーストライトタイミングを示します。

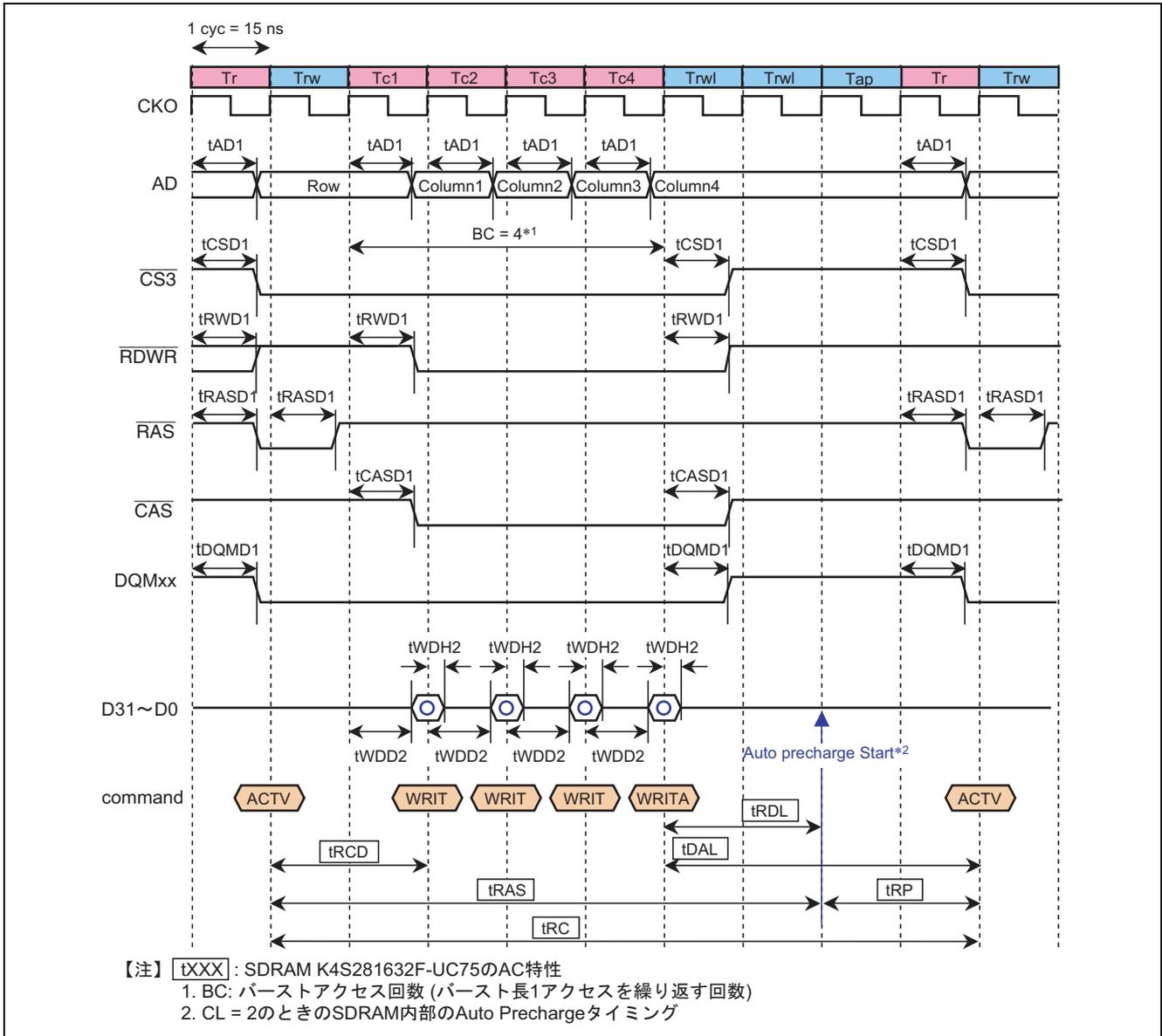


図 8 SDRAM パーストライトタイミング

図9にSDRAMリフレッシュタイミングを示します。

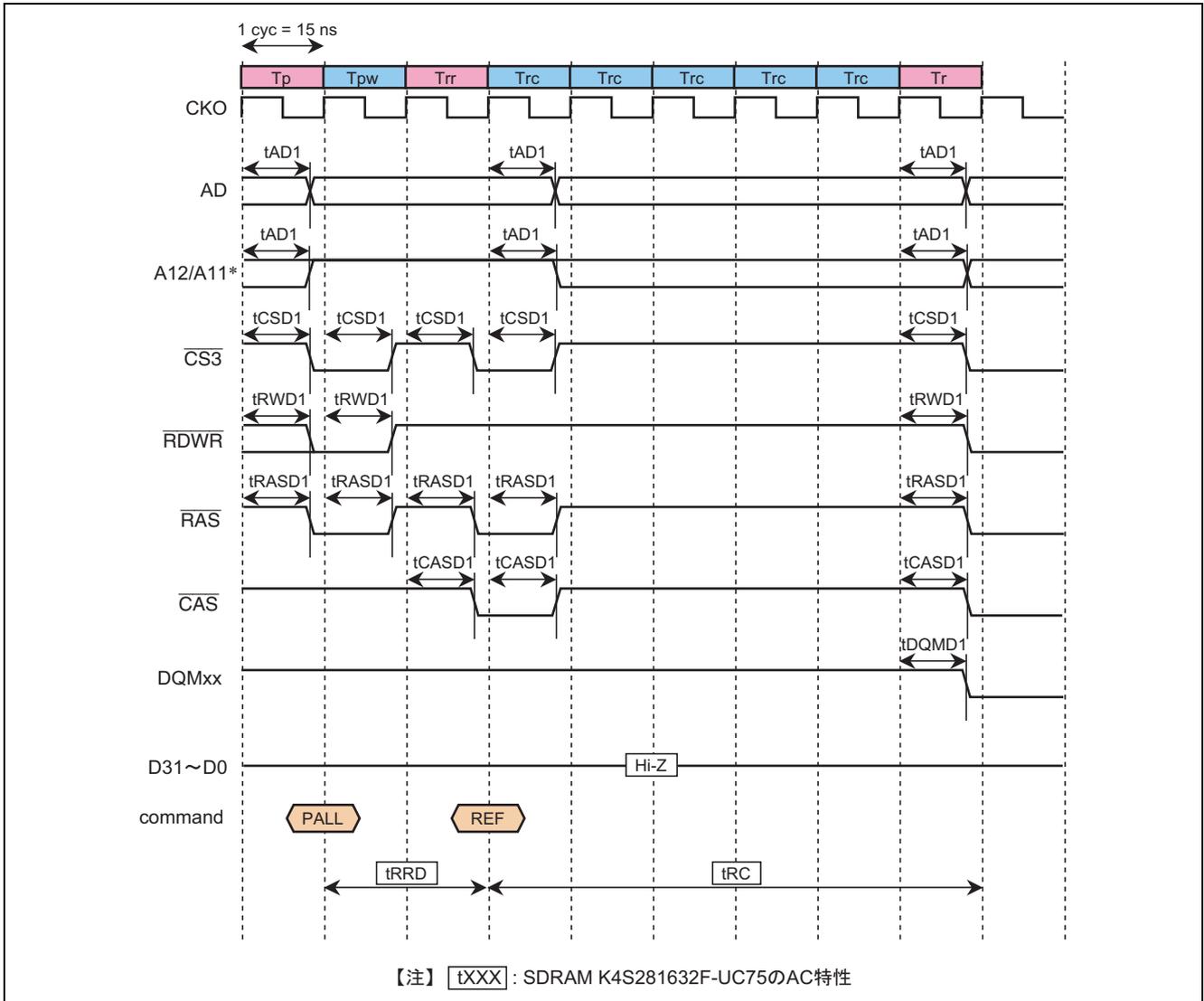


図9 SDRAMリフレッシュタイミング

3. 参考ドキュメント

- ソフトウェアマニュアル
SH-4A ソフトウェアマニュアル (RJJ09B0090)
(最新版をルネサス テクノロジホームページから入手してください。)
- ハードウェアマニュアル
SH7730 グループ ハードウェアマニュアル (RJJ09B0339)
(最新版をルネサス テクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.02.09	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444