

Renesas Synergy™ プラットフォーム

R01AN4594JU0100

S1JA MCU を使用する場合の

Rev.1.00

2019.04.18

アナログ PCB レイアウトのベストプラクティス

本資料は英語版を翻訳した参考資料です。内容に相違がある場合には英語版を優先します。資料によっては英語版のバージョンが更新され、内容が変わっている場合があります。日本語版は、参考用としてご使用のうえ、最新および正式な内容については英語版のドキュメントを参照ください。

要旨 (Introduction)

このアプリケーションノートは、Renesas Synergy™ S1JA MCU グループを使用するアナログ PCB の設計ガイドです。

対象デバイス

Renesas Synergy™ S1JA MCU グループ

目次

1. 概要 (Overview)	3
1.1 S1JA オンボード ADC の搭載機能 (S1JA Onboard ADC Offerings)	3
1.2 ADC 測定精度の基礎 (Basics of ADC Measurement Accuracy)	3
1.3 アナログ信号の指標 (Analog Signal Metrics)	3
2. アナログ回路設計におけるノイズ生成源 (Sources of Noise in Analog Circuit Design)	4
2.1 信号の種類とノイズ (Signal Types and Noise)	4
2.2 複数の電力ドメイン (アナログとデジタルの対比) (Power Domains (Analog versus Digital))	4
2.2.1 電圧源 (Voltage Sources)	4
2.2.2 望ましくないクロストーク (Unwanted Crosstalk)	5
2.2.3 アナロググランドとデジタルグランドの分離 (Analog versus Digital Ground)	5
3. ADC 回路のレイアウトに関する検討事項 (Layout Considerations for ADC Circuits)	5
3.1 電源領域とグランド領域 (Power and Ground Regions)	5
3.2 グランド接続方式 (Grounding Schemes)	5
3.3 コンポーネントの配置 (Component Placement)	7
3.4 配線に関する懸念事項 (Routing Concerns)	8
3.5 PCB の一般的な積層例 (Common PCB Stack-up Examples)	9
3.5.1 2層設計 (2-Layer Design)	9
3.5.2 4層設計 (4-Layer Design)	10
3.5.3 6層設計 (6-Layer Design)	10
4. S1JA 特有の要件 (S1JA Specific Requirements)	11
4.1 Renesas Synergy™ S1JA MCU の概要 (What is the Renesas Synergy™ S1JA MCU?)	11
4.2 必要な外部コンデンサ (Required Support Components)	11
5. 追加情報 (Additional Resources)	11

改訂記録 13

1. 概要 (Overview)

A/D コンバータ (Analog to Digital Converter、ADC) に関するこのドキュメントは、アナログ PCB 設計の最善な方法 (best practices) と S1JA ADC 回路の概要を説明します。

1.1 S1JA オンボード ADC の搭載機能 (S1JA Onboard ADC Offerings)

ADC とは、マイクや温度センサから出力されるアナログ信号 (analog signal) をデジタル信号 (digital signal) に変換するシステムまたは回路のことです。Renesas S1JA マイクロコントローラ (MCU) は、2 種類の ADC コンバータを搭載しています。

- 分解能 (resolution) 24 ビットのシグマデルタ ADC (Sigma-Delta ADC) は、読み込みにシングルエンド入力モード (single ended) と差動入力モード (differential mode) のいずれかを選択できる、プログラマブルゲイン計装アンプ (programmable gain instrumentation amplifier) に接続されています。
- 分解能 16 ビットの逐次比較型 (successive approximation) ADC は、読み込みにシングルエンド入力モードと差動入力モードのいずれかを選択でき、内蔵オペアンプ (operational amplifier) の出力に接続されていて、アナログ入力を内部バッファリングできます。

これらの各ユニットは、拡張されたプログラマブルサンプリング時間 (sample time) や、外部センサ向けのバイアス電流を内部生成するなど、独自の機能を搭載しています。詳細は S1JA ハードウェアマニュアルを参照してください (www.renesas.com の『S1JA MCU グループ』サイト)。

1.2 ADC 測定精度の基礎 (Basics of ADC Measurement Accuracy)

ADC の精度を検討する場合、システム要求に注意することが重要です。システムは、どのくらい小さな変化に対して反応するか、の点に最も大きな影響を及ぼすのは最下位ビットサイズ (LSB) で、このため信号の振幅 (signal range) はとても重要です。以下の複数の例は、LSB サイズが測定範囲に及ぼす影響の概要を示します。

最小ステップサイズ (minimum stepsize) は次のように計算します。

$$\frac{\text{測定範囲全体}}{2^{\text{(分解能ビット数)}}}$$

オンボードコンバータで測定する電圧の範囲	16 ビットコンバータの場合に計算で決まる LSB ステップサイズ	24 ビットコンバータの場合に計算で決まる LSB ステップサイズ
±10V	1 LSB あたり 305 μV	1 LSB あたり 1,192 nV
±2.5V	1 LSB あたり 76.3 μV	1 LSB あたり 298 nV
±0.02V	1 LSB あたり 0.610 μV	1 LSB あたり 2 nV

数式が示しているように、測定対象の電圧範囲が狭くなるほど、1 LSB という単位で測定する電圧幅は縮小し、ノイズと言ってもよい微弱な水準に近づきます。この状況では大きなシステムゲインが必要となり、ノイズがより大きい問題になります。導体の電圧降下によるこのようなシンプルな影響をこの例に追加する場合、この課題はシステムや PCB の設計にどのように影響するのでしょうか？

たとえば、長さ 1 インチ (25.4 mm)、幅 1 インチ (25.4 mm)、厚み 1/2 オンス (17.4 μm) の導体が約 10 μA の測定電流を伝送する状況を想定してみましょう。この抵抗による電圧降下は 1.3 μV です。24 ビットコンバータの分解能で、この降下は検出可能です。この降下が意味するのは、測定システムの分解能が高くなると、読み取り値の LSB に関連する誤差の量は、レイアウトの影響を受けるようになります。

1.3 アナログ信号の指標 (Analog Signal Metrics)

ADC とその能力を定義するいくつかの重要な特性が存在します。これらは、信号対ノイズ比 (Signal-to-Noise ratio、SNR)、信号対ノイズ + 歪み比 (Signal-to-Noise-and-Distortion Ratio、SINAD)、実効ビット数 (Effective Number of Bits、ENOB)、全高調波歪み (Total Harmonic Distortion、THD)、最下位ビット (Least Significant Bit、LSB)、信号電圧範囲 (signal voltage range) です。これらの特性を計算する方法は、広く公開されています。S1JA マイクロコントローラ搭載の ADC に関連する値は、『S1JA MCU グループ ユーザーズマニュアル』に掲載されています。

2. アナログ回路設計におけるノイズ生成源 (Sources of Noise in Analog Circuit Design)

2.1 信号の種類とノイズ (Signal Types and Noise)

プリント回路基板 (Printed Circuit Board、PCB) 上で、すべての信号は電氣的に伝達されます。これらの信号は一般的に、次の 3 つのカテゴリに分類できます。それは電力、デジタル信号、アナログ信号の 3 種類です。これらの各カテゴリで劣化が発生する可能性があり、その場合は計測回路で精度不足という結果を招きます。

- 一般的に、DC 電圧を供給する PCB の設計は、電圧と電流に関してスタティックです。また、MCU は通常、小さい (一般的にミリボルト単位の範囲) リップルに対する耐性があります。ただし、実際には、DC 入力電圧を ADC の外部基準電圧として使用することが多くあるため、電源リップルが懸念事項 (concern) となります。このため、電源の入力電圧の測定を行うこと、または計測対象の信号と比較して電源の電圧リップルを最小限に抑えることが、一般的に推奨されています。
- デジタル信号は通常、適切に定義された複数の電圧レベルを使用するバイナリ (2 進) 信号です。これらの信号は、特定のハイ電圧とロー電圧の間で遷移して、ロジックデータを伝達します。デジタル信号は、広い範囲の電圧レベルであり、速度もほぼ静止状態から数 GHz までさまざまです。デジタル信号には鋭いエッジと高速スイッチングという特性があるので、相対的にノイズが多くなります。デジタル信号は多くの場合、コンバータを使用して測定することはありません (通常は高速コンパレータを使用してすでに変換済み)。最適化されていないトレース引き回しと組み合わせられた場合、立ち上がりエッジが高速化するほど、デジタル信号が付近にある敏感なアナログ部品に対してノイズカップリング問題を引き起こす可能性が高くなります。
- デジタル信号に対するアナログ信号の違いは、主にデータを解釈する際に信号をどのように使用するか、という点にあります。大半のアナログ信号の場合、電圧レベル、電流、信号の周波数のいずれかを取り出してデータを取得します。この種の信号を分離するには専用の回路が必要であり、通常はその後にデータをデジタルデータに変換します。この変換を行うのが A/D コンバータ (ADC) の主な機能であり、詳細は後ほど説明します。

この種の信号の性質はいずれも、基準電圧、クロストーク (crosstalk)、レイアウト設計のいずれかを通じて、コンバータによる測定値の精度に影響を及ぼします。

2.2 複数の電力ドメイン (アナログとデジタルの対比) (Power Domains (Analog versus Digital))

A/D コンバータは、アナログ回路とデジタル回路の両方を必ず搭載しており、これらの各回路を「ドメイン」(domain) と呼びます。各ドメインには、特有の電氣的特性があります。正しく ADC 動作させるには、これら 2 個のドメインを通常は分離した状態にします。ミックスドシグナル (mixed signal) システムでは複数の電力ドメインの設計および実装に注意することが非常に重要です。

2.2.1 電圧源 (Voltage Sources)

電子システム内にある複数の電圧源は、デジタル回路とアナログ回路の両方にとって顕著なノイズ生成源になる可能性があります。ノイズとは、電圧源の DC 信号のうち、予期していないまたは望ましくない変動と定義できます。アナログシステムは電圧源のノイズに対して非常に敏感になる可能性があります。アナログ基準電圧でノイズが発生する場合は、特に敏感です。電圧源のノイズは、容易にアナログ信号内の変動という形に変換される可能性があり、その場合は ADC が正しくない値を出力することになります。

たとえば、1.5 V のアナログ基準電圧で 5 mV のリップルノイズ成分が発生し、50 mV の正弦波信号を取り扱う増幅回路でこのアナログ基準電圧を使用する状況を想定します。グランドを基準にする場合、リップルノイズの大きさが原因で、正弦波信号のどのポイントでも、入力信号の実際のレベル検出が不正確になる可能性があります。入力信号の特定のポイントで実際の電圧レベルが 20 mV の場合、ノイズの多い基準電圧との組み合わせにより、このポイントで検出する電圧は、17.5 mV ~ 22.5 mV の範囲内のいずれかの値になる可能性があります。増幅回路内のゲインが 100 の場合、出力は 1.75V ~ 2.25V の範囲内の信号になります。

電圧源のノイズを低減する手法として、電圧コンバータの適切な選定、コンデンサを使用したフィルタ処理、電源エリアでの電源ライン引き回しを挙げることができます。

アナログ回路と組み合わせて使用する DC/DC コンバータ、低ドロップアウト (low dropout) コンバータ、その他の DC 電源全般を選定する際には、各製品の性能特性 (performance characteristics) に注意する必要があります。デバイスメーカーの設計ガイドラインに従って、設計時に各デバイスが受ける影響を最小化してください。電圧源デバイスを選定する際には、リップル電流値が小さいデバイスを選定してください。DC/DC コンバータの場合、デバイスのスイッチング周波数を評価し、評価 (測定) しようとするアナログ信号に近いスイッチング周波数を使用するデバイスをできるだけ避けてください。

各電圧源の出力付近に、十分なバイパスコンデンサを確実に配置してください。

2.2.2 望ましくないクロストーク (Unwanted Crosstalk)

PCB 上に存在するあらゆる導体は、レイアウト内で隣接する信号に対して影響を及ぼす可能性があります。これを「クロストーク」と呼びます。クロストークは、静電容量の相互結合 (mutually capacitive coupling) と、隣接する導体内を流れる電流に起因する誘導性結合 (inductive coupling) の組み合わせです。クロストークの大きさは、レイアウトのジオメトリ (配列、geometry)、PCB の絶縁材 (dielectric materials)、信号のスウィッチング周波数に大きく依存します。関連する物理学的考察も含め、クロストークに関する多くの有用な説明がこれまでに公開されてきました。一般的に、2つの信号が近接するほど、各信号が互いに及ぼす影響は大きくなります。多くのデジタルインタフェースにとってクロストークの影響は大きく、差動信号ペア (differential signal pair) での配線時にはこの影響を考慮することが鍵になります。

複数の導体の間で望ましくないクロストークを防止するには、信号相互間、または信号グループ相互間で大きなギャップ (隙間) を確保し、性質の異なる複数の信号を分離します。ここで説明しているガードバンド (guard band) の手法を使用し、十分な間隔を確実に確保します。隣接するレイヤ (層) 間で、信号または信号グループを互いに並行する形で配線することを避けます。

2.2.3 アナロググランドとデジタルグランドの分離 (Analog versus Digital Ground)

従来一般的な方法は、物理的、もしくは厳密にコントロールした PCB フロアプランのいずれかを使用して、アナログ回路とデジタル回路を分離していました。ただし、MCU の出現により、アナログとデジタルのリターンパス (return path) の分離は ADC で行われるようになりました。この回路はアナログ信号を測定し、デジタル値に変換します。電流が電圧源からコンバータに向かって流れると、帰還電流 (return current) は反対の方向に流れて帰っていきます。この経路をリターンパスと呼びます。リターンパスは通常、信号パスと厳密に結合しており、インダクタンスに直接関連しています。このインダクタンスは、過渡的なスウィッチングの期間に電圧降下、クロストーク、または望ましくない電磁波の放出を発生する結果になります。この期間は、確実に連続した電流のリターンパスを用意する方法で、電流帰還ループを最小化することが重要です。

この条件を考慮するための複数の方式を次の章で説明します。

3. ADC 回路のレイアウトに関する検討事項 (Layout Considerations for ADC Circuits)

3.1 電源領域とグランド領域 (Power and Ground Regions)

アナログドメインとデジタルドメインを完全に分離するには、これらの各ドメインに関連する電源領域とグランド領域も分離する必要があります。アナログ電源領域とデジタル電源領域のそれぞれに対応する専用グランド領域を確保することを強く推奨します。単一の共有グランド領域を設計で使用する場合、2つの領域間にある境界の各辺に沿って1列の「スティッチング」(連続的) ビアを配置してください。スティッチングビア (stitching via) を正しく配置することで、各ドメインに対応する電流ループの長さを縮め、それらのドメイン間の結合を最小化することができます。

複数のドメインを確実に分離するために使用されている1つの手法は、設計でガードバンドの配線を使用することです。この配線を実施するには、アナログ領域とデジタル領域の間にあるスペースに、(どのネットにも接続していない) 「ダミー」トレースを取り回します。このガードバンドトレースは通常、一般的な信号トレース (20 ~ 50 mil, 1 mil は 1/1,000 インチなので、0.5 mm ~ 1.25 mm) よりかなり広い幅にし、設計の完了前にこれらのガードバンドトレースを除去することもあります。その結果、ギャップ (隙間) が残ります。目的は、アナログドメインとデジタルドメインの境界間に広いギャップを強制的に確保することです。

3.2 グランド接続方式 (Grounding Schemes)

帰還電流とインピーダンスは、測定システムの性能を左右します。ここでは、PCB のリターンパスで活用しているいくつかの一般的な方式を説明します。コンポーネントを配置する前に、技術者は設計の方針を引き出すことができるツールボックス (複数の方式に関する知識と経験) を準備しておくことが重要です。

銅プレーン (solid copper plane) を常に最初の選択肢として検討する必要があります。実際は、このようなプレーンが実際のアプリケーションに必ずしも適しているとは限らず、さまざまな方法で実装されています。一般的に、基準電位システム (reference systems) は以下のようなカテゴリに分類することができます。

- 図 1 に、低コスト設計で見られる単一ポイントのリターンパス (single point return path) を示します。この方式は DC 電源立ち上げから最大数 MHz 周波数までを想定しており、配線長に起因するインピーダンスが原因で、複数の接続点の間で認知できる程度の電圧降下 (電位差) が発生します。

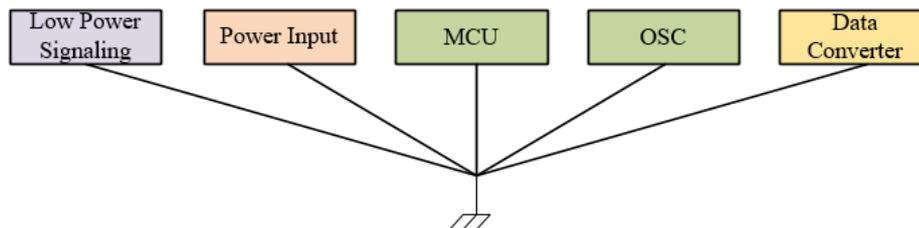


図 1. 単一ポイントのリターンパスの例

- 図 2 に、ハイブリッド単一ポイントリターンパス (hybrid single point return path) を示します。この中で、複数のデジタルエレクトロニクス、すなわち MCU と発振器などは、共通の機能を持つ複数の回路でセクションを構成し、各セクション内でまとめて基準電位を参照します。

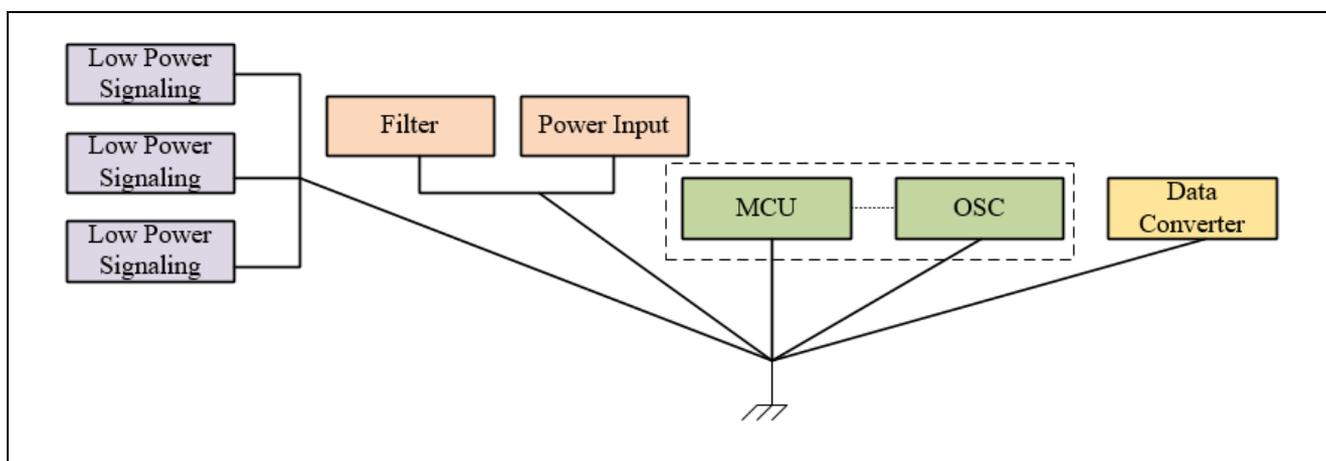


図 2. ハイブリッド単一ポイントのリターンパス

図 3 に、マルチポイント基準電位システム (multipoint reference system) を示します。これは、単一ポイント基準電位方式 (single-point reference scheme) に対する改良です。マルチポイント基準電位は、より高い周波数で高い性能を必要とするレイアウトで一般的です。この種のシステムはハイブリッド単一ポイント (hybrid single-point) 方式を採用し、導体内で伝送される最高周波数の信号の波長に対して 10% 以内の距離で複数の接続を行う方法で改良を加えます。

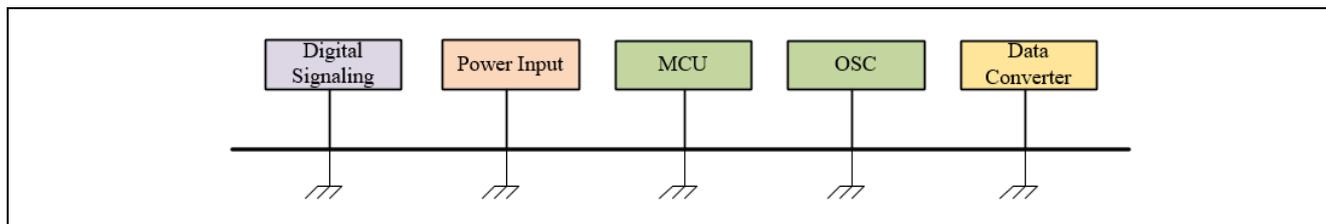


図 3. マルチポイント基準電位方式は、各モジュールが共通の基準電位に対して専用の接続を確保

3.3 コンポーネントの配置 (Component Placement)

アナログ設計でノイズを低減するためにまず初めに行う方法は、可能ならば、常にアナログコンポーネントとデジタルコンポーネントを物理的に分離することです。デザインのどの部分がアナログで、どの部分がデジタルであるかを考慮した後に、それらのドメインによってレイアウトを複数の領域に分割します。スケッチファイルまたは CAD ファイル形式でシステムのパーティション (区分け) を図面化し、最終製品と各部品に取り付け位置を表現します。設計プロセスの初期段階でこの作業を実施すると、以下の利点があります。

- 取り付け穴 (mounting hole) の問題など、危険性のある潜在的なポイントを知ることができます。
- リターンパスを細分化する可能性のある複数の問題を発見し、システムの分割が早期に開始できるようにレイアウト技術者に伝えることができます。

どのコンポーネントグループを当てはめることができるか、というアイデアを確立するために、レイアウトを担当する技術者は回路とシステムの要求に取り組む方法で、ボードの複数セクションをゾーン設定することができます。図 4 に、システムの分割方法に関する一例を示します。

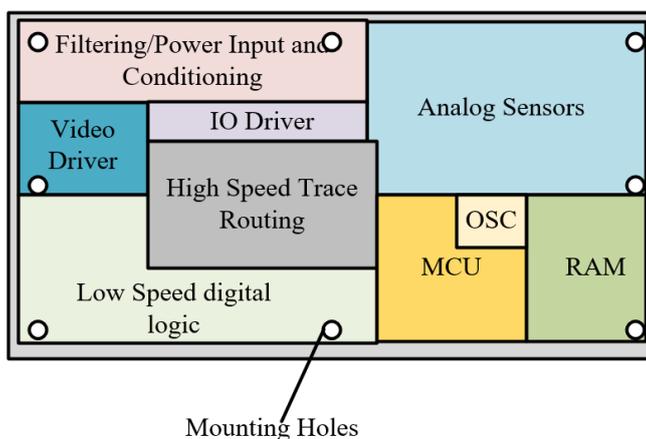


図 4. PCB レイアウト図の例

アナログコンポーネント全般を PCB の 1 つの領域に配置し、デジタルコンポーネント全般を PCB の別の領域に配置します。Renesas S1JA MCU のように、単一のコンポーネントにアナログドメインとデジタルドメインの両方が存在する場合もあります。このような状況は、アナログ領域とデジタル領域の境界に位置する場所にそのようなミックストドメイン (mixed domain) デバイスを配置し、アナログ信号とデジタル信号が交差する領域が最小限になるようにデバイスを配置します。アナログドメインとデジタルドメインの交差を回避できない場合、アナログ領域とデジタル領域の間の境界付近のみにそのような交差を限定するようにします。配置に関するこのようなガイドラインが、アナログドメインとデジタルドメインの両方に利点をもたらすことに注意してください。

3.4 配線に関する懸念事項(Routing Concerns)

図 5 は、設計時のループエリア (loop area) と信号パス内のインダクタンスを最小化するためには、確実なリターンパスの配線がなぜ重要であるかを示す例です。電流は、抵抗が最小となるパスを經由して電源に戻るのが望ましいです。このようなパスを、理想的なリターンパス (idealized path back) と呼びます。しかしながら周波数が高くなるにつれて、帰還電流 (return current) は信号パスに近接した場所を經由するようになります。

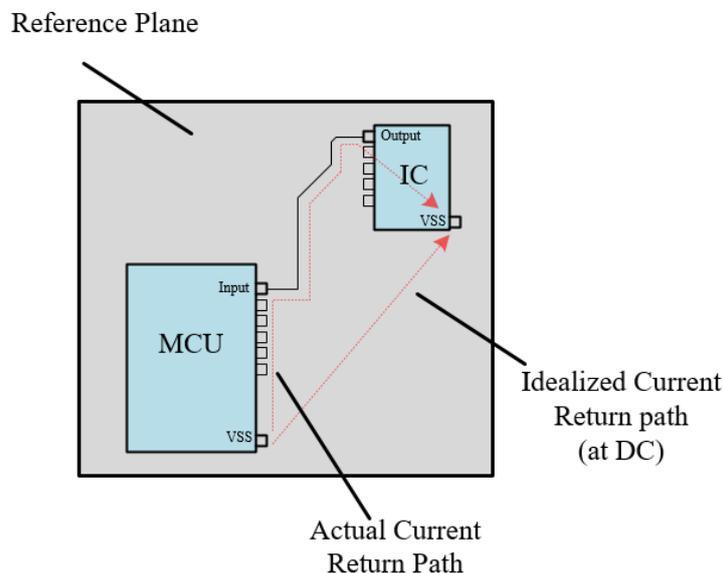


図 5. PCB 配線図の例

これは、異なる信号に対して、異なる対応をすることを意味します。

- デジタル信号の場合: 設計者は通常、これらの信号のインピーダンスを管理します。デジタル信号の PCB 配線は、IC のような部品に起因するインピーダンスに整合するよう通常設計します。インピーダンスを制御するために、配線の特性と、リターンプレーン (グランドプレーン、return plane) に至る配線のジオメトリ (配列) を活用します。パスが長くなるほど、または細分化されたリターンプレーンをまたぐ形でパスを引き回すほど、配線のインピーダンスは変化します。
- アナログ信号の場合: そのスピードにより、デジタル信号と同様のインピーダンスを要求されることはあまりなく、むしろノイズのない信号を実現することがアナログ信号にとって重要になります。多くのアナログ設計は、回路内に存在するデバイスのインピーダンス特性や、(配線に起因する成分も含めた) 付加的な各種インピーダンスによって左右されます。このような傾向は、回路の性能に悪影響を及ぼす可能性があります。通常は、配線のインピーダンスが小さい方が、アナログ信号はよりクリーンな信号を伝送でき、回路を期待どおりに動作させることができます。アナログ信号に関して、より広い配線を使用することを推奨します。また、選定した特定のアナログセンサの固有の要求を考慮することも重要です。

アナログ信号全般は、機能またはインタフェースごとにグループ化することが可能で、各グループは他のグループと分離した形で配線を引き回す必要があります。たとえば、2 個のアナログセンサを搭載しているシステムがあり、1 個のセンサは 500 kHz の周波数で動作し、もう 1 個のセンサは比較的安定した DC 信号の電圧を測定するとします。500 kHz の信号が、もう一方の DC 電圧に対するノイズを引き起こすのを防止するために、これらの信号グループは互いに分離する必要があります。これらのグループの間に広いギャップ (隙間) を確保して、これらの信号を分離します。レイアウト時にガードバンドを使用して、さらに分離ギャップを確保することもできます。その後は、ギャップがそのまま残るように、設計が完了する直前にこれらの配線を除去する必要があります。

可能な限りアナログ領域とデジタル領域の境界をまたぐような信号引き回しは避けてください。電源レイヤ (power layer) またはグランドレイヤ (ground layer) に隣接する信号レイヤ (signal layer) では、特にこのことが当てはまります。この境界をまたぐ形でアナログ信号を引き回す必要がある場合、配線が境界を垂直に横切るように引き回すことを試み、デジタル領域内での配線の長さを最小化してください。

3.5 PCB の一般的な積層例 (Common PCB Stack-up Examples)

この章で、PCB設計の一般例を示します。重要なことは、これらの決定を下すための基礎について理解することです。前の章の説明から、計測システムにおける PCB の目標が以降の制御(control)であることは明らかです。

- 最小インピーダンスのパス、高い周波数の信号配線に最も近いパス。導体の電圧降下によるノイズまたはクロスカップリング(cross coupling)によるノイズ。
- これらの理由により、以下の一般的なルールを基板の積層へ適用します。
 - 常に、プレーンに隣接する場所に信号を引き回します。
 - 信号レイヤは、隣接するプレーンに近接した場所に引き回す必要があります。
 - 電源プレーンとリターンプレーンは、互いに近くに配置する必要があります。
 - 複数のレイヤにまたがる重要なトレースは、同じプレーンに隣接する2つのレイヤに限定する必要があります。
 - 複数のリターンプレーンは、帰還電流(return current)のパスのインピーダンスを低減する役割を果たすので、このような方式は利点になります。
 - 電源プレーンとリターンプレーンのいずれも、プレーン分割しないでください。プレーンの分割が必要な場合、それらを横切るように信号を引き回さないでください。
 - リターンループ面積を小さくするために、できるだけリターンプレーンの連続した場所に配置します。
 - 電源プレーンとリターンプレーンのどちらか一方を選択する場合には、リターンプレーンを選択してください。

これらのルールのいずれかに違反した場合、電磁波が発生するリスク、またはインピーダンスの不連続が原因で信号の精度低下につながるリスクが大きくなります。次の章で、レイアウト技術者がボードを設計するときを使用することのできるいくつかの積層例について検討します。

3.5.1 2層設計(2-Layer Design)

図6に、2層設計の例を示します。2層設計は費用対効果の高い積層方法のため、多くのケースで採用されています。この場合、電流帰還パス(current return paths)に注意を払うことが特に重要です。電源とグラウンドは、銅の独立した領域、すなわち個別プレーンを引き回す必要があります。システムの要求に応じて、電源プレーンを実装することができ、それ以外の場合でも単一の電源ネットを実装することもできますが、それらの場合でも銅のリターンプレーンを使う必要があります。アナログ配線とデジタル配線は、設計上、分離した領域で引き回すようにしてください。これは、複数の信号レイヤ間には電源レイヤやグラウンドレイヤがないためです。

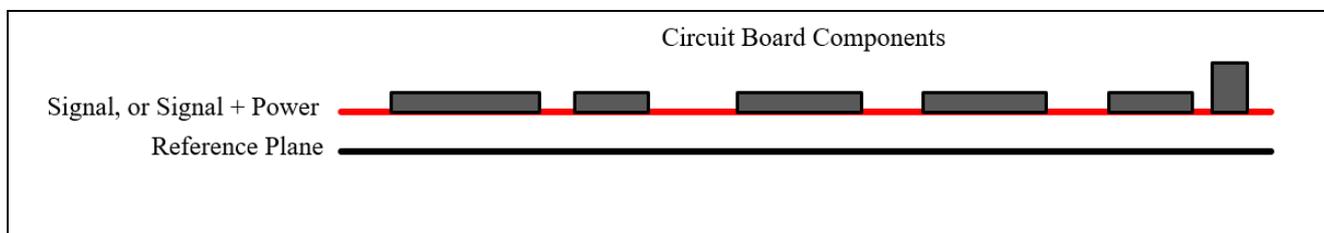


図 6. 2層設計

3.5.2 4層設計(4-Layer Design)

図7は、最小のレイヤ(層)数で、最善の信号品質を実現する方法です。4層設計は良い選択です。次の図に示す二つの設計例は、ここまで説明してきた方針の一部に従っています。1つは、上下の信号レイヤで複数のリターンレイヤ(Reference Plane)を挟み込んでいます。もう1つは、複数の信号レイヤを隣接させ、それらの上下にリターンレイヤを配置しています。

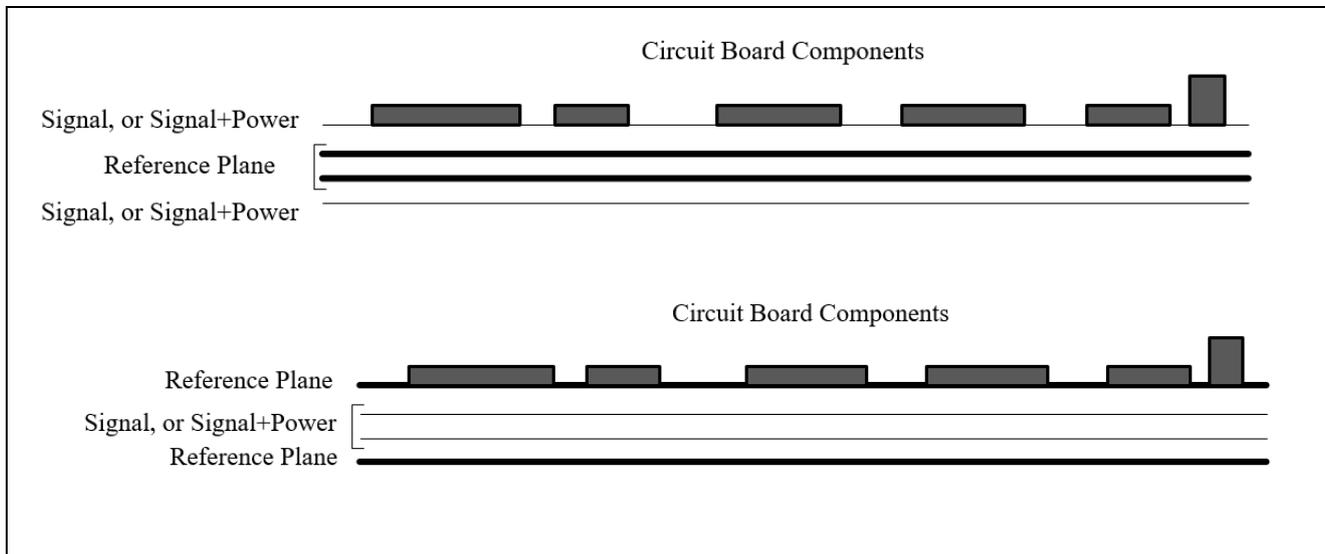


図 7. 4層設計

3.5.3 6層設計(6-Layer Design)

図8に、多層レイヤ(層)において、複雑な設計が必要な例を示しています。6層以上のレイヤの場合、信号プレーンとグランド/電源プレーンを交互に配置するようにレイヤを構成してください。内部の電源プレーンとグランドプレーンは、信号レイヤの基準電位(reference)として使用します。6層積層構造の中間層として、複数の信号レイヤを互いに隣接する形で積層する場合、同じ領域内にアナログ信号とデジタル信号を引き回すことは避けてください。互いに隣接する複数のレイヤの同じ領域でこれらの信号を引き回す場合は、複数のレイヤ間で配線同志が垂直になるように配線引き回しをおこなってください。

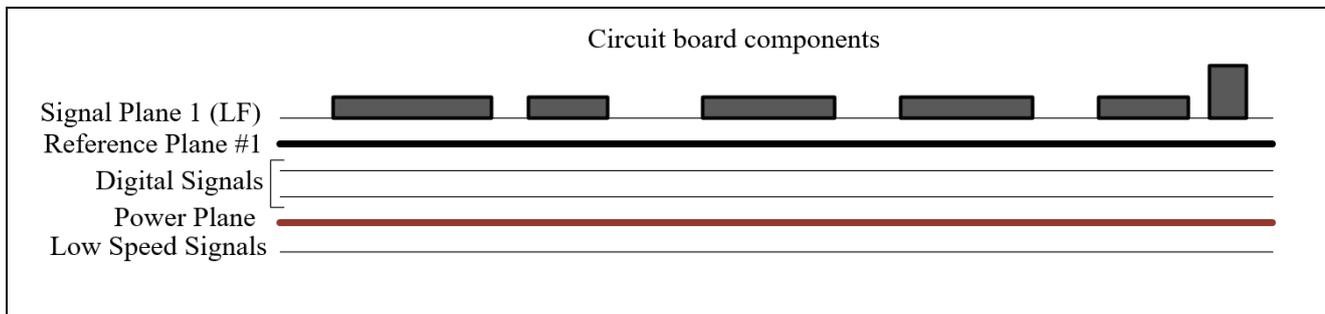


図 8. 6層設計

4. S1JA 特有の要件 (S1JA Specific Requirements)

4.1 Renesas Synergy™ S1JA MCU の概要 (What is the Renesas Synergy™ S1JA MCU?)

S1JA は、小型、高集積のマイクロコントローラユニット (MCU) であり、専用のアナログフロントエンド (dedicated analog front-end) を搭載しています。S1JA は、16 ビット SAR (逐次比較型) ADC、24 ビットシグマデルタ (Sigma-Delta) ADC、構成可能なスイッチ付きのオペアンプを実装しています。

さらに Renesas S1JA には、以下のような特徴もあります。

- Arm® Cortex®-M23 コア、最大 48 MHz で動作
- 最大 256 KB のコードフラッシュメモリ
- 32 KB の SRAM
- 12 ビット D/A コンバータ
- 8 ビット D/A コンバータ

Renesas S1JA MCU の特徴と使用法の詳細は、『S1JA MCU ユーザーズマニュアル』を参照してください。

4.2 必要な外部コンデンサ (Required Support Components)

Renesas S1JA 内部のシグマデルタ ADC が適切に動作するには、2 個の外部コンデンサが必要です。ADREG とグラウンドの間に 1 個の 0.47 μ F 外部コンデンサを接続します。さらに、SBIAS/VREF1 と AVSS1 の間に 1 個の 0.22 μ F 外部コンデンサを接続します。詳細については、『Renesas S1JA MCU ユーザーズマニュアル』の 33.3.2 章と 33.3.3 章を参照してください。

5. 追加情報 (Additional Resources)

追加情報は、以下のページに記載の Synergy プラットフォーム Web サイトとサポートリンクを参照してください。たとえば、Renesas またはお近くの販売代理店に TB-S1JA キットを注文するには、Renesas の Web サイトにあるキットページ (<https://www.renesas.com/jp/ja/products/synergy/hardware/kits.html>) にアクセスしてください。

これらのリンクは、注文情報を掲載しているほか、回路図のダウンロード、関連アプリケーションプロジェクトの検索、テクニカルアップデートの取得などに利用できます。

Web サイトおよびサポート

以下の URL で、Synergy プラットフォームの詳細の確認、関連するドキュメントのダウンロード、サポートの活用ができます。

Synergy ソフトウェア	www.renesas.com/synergy/software
Synergy ソフトウェアパッケージ	www.renesas.com/synergy/ssp
ソフトウェアアドオン	www.renesas.com/synergy/addons
ソフトウェア用語集	www.renesas.com/synergy/softwareglossary
開発ツール	www.renesas.com/synergy/tools
Synergy ハードウェア	www.renesas.com/synergy/hardware
マイクロコントローラ	www.renesas.com/synergy/mcus
MCU 用語集	www.renesas.com/synergy/mcuglossary
パラメトリック検索	www.renesas.com/synergy/parametric
キット	www.renesas.com/synergy/kits
Synergy ソリューション Gallery	www.renesas.com/synergy/solutionsgallery
パートナープロジェクト	www.renesas.com/synergy/partnerprojects
アプリケーションプロジェクト	www.renesas.com/synergy/applicationprojects
セルフサービスサポートリソース:	
ドキュメント	www.renesas.com/synergy/docs
ナレッジベース	www.renesas.com/synergy/knowledgebase
フォーラム	www.renesas.com/synergy/forum
トレーニング	www.renesas.com/synergy/training
ビデオ	www.renesas.com/synergy/videos
チャットと Web チケット	www.renesas.com/synergy/resourcelibrary

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2019.04.18	—	・初版 ・英語版(R01AN4594EU0100、Rev1.00、2019.01.11 発行)を 翻訳

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1 2017.11)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレスト）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。