

SH7734グループ

LBSC-DMAC 設定例

R01AN1427JJ0100
Rev.1.00
2013.02.14

要旨

本アプリケーションノートでは、SH7734のLBSC-DMAC設定例について記載します。

本書の位置づけ

本アプリケーションノートは、「SH7734 グループ SH7734 初期設定例 (R01AN0665JJ)」に記載されている初期設定例とそのサンプルコードを流用して、LBSC-DMAC の設定例を説明しています。SH7734 の初期設定に関する説明は省略していますので、「SH7734 グループ SH7734 初期設定例 (R01AN0665JJ)」のアプリケーションノートも合わせて参照ください。

対象デバイス

SH7734

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

本アプリケーションノートの適用範囲外

本アプリケーションノートでは、以下の機能については取り扱いません。詳細な使用方法については、「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章」を参照ください。

- HPB-DMAC
- DMA 連続転送
- DMA 自動連続転送
- 2 面の DMA 情報ページを交互に使用
- 外部リクエスト
- タイマリクエスト
- DMA 転送の強制停止、一時停止
- UltraATA DMA

目次

1. 仕様.....	3
2. 動作確認条件	5
3. 関連アプリケーションノート	5
4. 周辺機能説明	6
4.1 LBSC の設定.....	6
4.1.1 LBSC-DMAC チャンネル エリア割り付け (EXDMASET0~2)	6
4.1.2 LBSC-DMAC チャンネル RD/WE パルスコントロール (EXDMAWCR0~2)	6
4.2 LBSC-DMAC のバス幅	8
4.3 バースト転送	8
4.3.1 バースト転送時の波形イメージ	8
4.3.2 バースト転送の効率	9
4.4 パッキング機能.....	10
4.5 データアライメント変換	11
4.5.1 データアライメント変換動作.....	11
4.6 DMA 転送終了割り込み	14
4.7 ソフトリセット.....	14
4.8 EX_BUS バス調停	15
5. ソフトウェア説明	16
5.1 動作概要	16
5.2 ソフトウェア階層図	16
5.2.1 LBSC-DMAC デフォルトパターン (No.1) 設定.....	17
5.3 動作シーケンス図.....	18
5.3.1 メモリ構成.....	20
5.4 ファイル構成	21
5.5 定数一覧	22
5.6 構造体/共用体一覧.....	23
5.7 変数一覧	27
5.8 関数一覧	28
5.9 関数仕様	29
5.10 フローチャート	34
5.10.1 メイン処理.....	34
5.10.2 LBSC_DMACH0 オープン処理.....	36
5.10.3 LBSC_DMACH0 スタート処理.....	38
5.10.4 LBSC_DMACH0 クローズ処理.....	38
5.10.5 DMA 転送終了ソフトフラグ参照	39
5.10.6 LBSC_DMACH0 設定変更処理.....	40
5.10.7 LBSC_DMACH0 割り込み処理.....	41
6. サンプルコード	42
7. 参考ドキュメント	42

1. 仕様

LBSC-DMAC は、外部バス (EX_BUS) と DDR2-SDRAM/DDR3-SDRAM 間との DMA 転送を行う役割を持っています。本アプリケーションノートは、NOR-FLASH に格納されたデータを DDR2-SDRAM へ DMA 転送する処理において、数パターンの LBSC-DMAC 設定例を紹介します。

表 1.1 に使用する周辺機能と用途を、図 1.1 にブロック図、表 1.2 に本アプリケーションで紹介する LBSC-DMAC 設定パターンを示します。

表1.1 使用する周辺機能と用途

周辺機能	用途
ローカルバス用ダイレクトメモリアクセスコントローラ (LBSC-DMAC)	NOR-FLASH 上にあるデータを DDR2-SDRAM へ転送します。
ローカルバスステートコントローラ (LBSC)	NOR-FLASH へのアクセスを制御します。
メモリコントローラ (DBSC3)	DDR2-SDRAM へのアクセスを制御します。

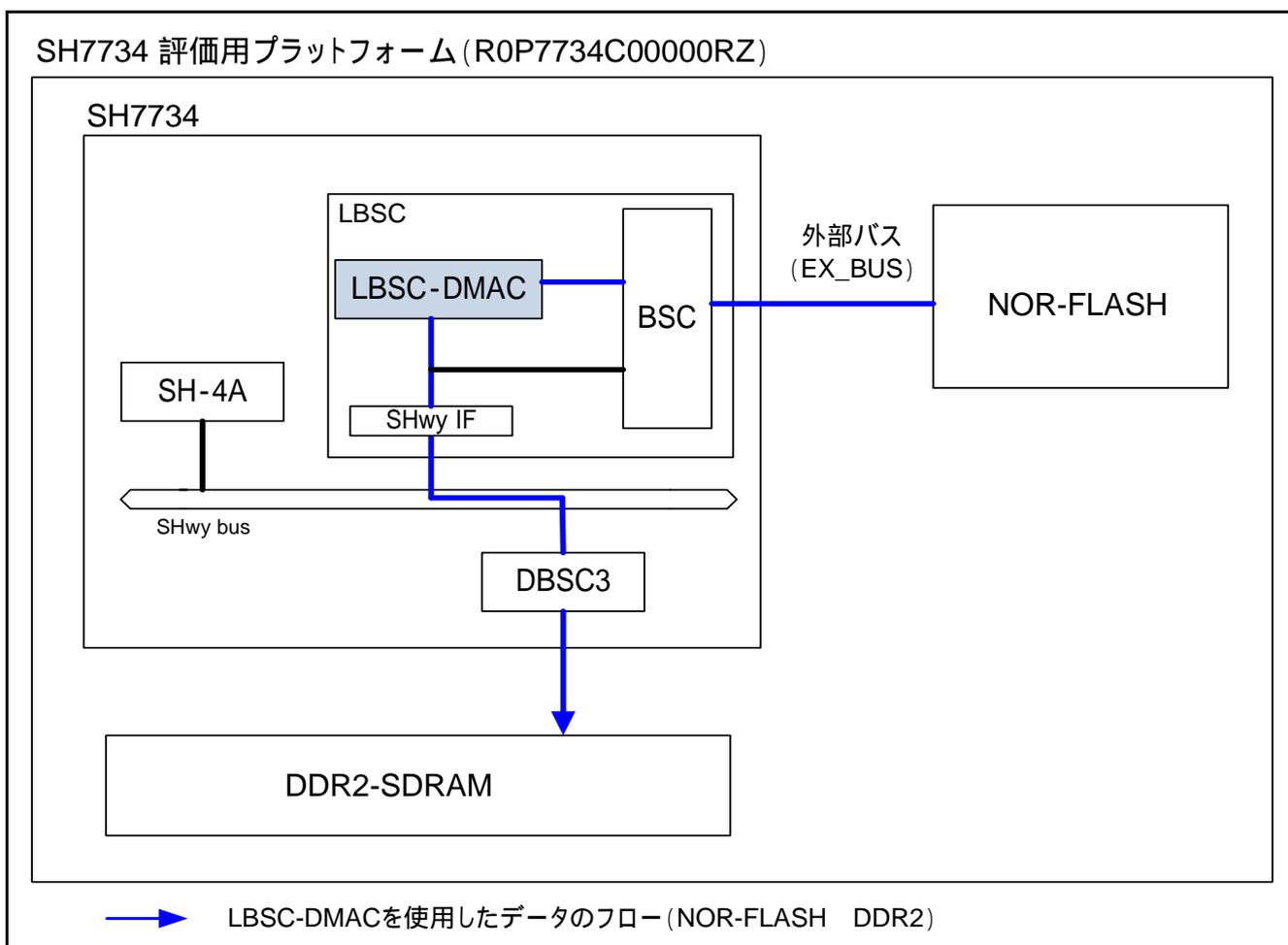


図1.1 ブロック図

表1.2 LBSC-DMAC 設定パターン

No.	設定パターン
1	本アプリケーションノートが定めるデフォルトパターン（バースト転送なし、パッキング機能なし、データアライメントの標準変換、外部バス調停優先順位グループの LEVEL2（低：グループ 2）設定）に設定します。 デフォルトパターンの詳細は、表 5.1を参照ください。
2	デフォルトパターンからバースト転送を行う設定に変更します。
3	デフォルトパターンからパッキング機能有効に変更します。
4	デフォルトパターンからデータアライメント変換設定を「SH7734 ユーザーズマニュアル ハードウェア編（R01UH0233JJ）LBSC-DMAC 章 データアライメント制御信号対応表」の番号 12、CP1 ケースに変更します。
5	デフォルトパターンから各 DMAC チャンネルの外部バス調停優先順位グループを変更します。 優先度を高くしたチャンネルの DMA 転送が一番早く完了することを確認します。

2. 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表2.1 動作確認条件

項目	内容
使用マイコン	SH7734 (R8A77343)
動作周波数	EXTAL 入力周波数: 33.3333MHz CPU クロック (clki) : 400MHz SHwy クロック (clks) : 200MHz SHwy クロック (clks1) : 100MHz DDR クロック (MCK0/MCK0#/MCK1/MCK1#) : 200MHz バスクロック (clkb) : 50MHz 周辺クロック (clkp) : 50MHz
動作電圧	IO supply power (3.3V) Core supply power (1.25V)
統合開発環境	ルネサス エレクトロニクス製 High-performance Embedded Workshop (Version 4.09.01.007)
C コンパイラ	ルネサス エレクトロニクス製 C/C++ Compiler Package for SuperH Family (9.4.1.0) -cpu=sh4a -endian=little -include="\$ (PROJDIR)¥inc" -change_message=warning -object="\$ (CONFIGDIR)¥\$ (FILELEAF).obj" -debug -optimize=0 -gbr=auto -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0 -struct_alloc=1 -nologo
動作モード	CS0 ブート (NOR ブート)
サンプルコードのバージョン	Ver 1.00
使用ボード	ルネサス エレクトロニクス社製 SH7734 評価用プラットフォーム (R0P7734C00000RZ)
アドレス拡張モード	29 ビット
メモリマネジメントユニット (MMU)	ディスエーブル

3. 関連アプリケーションノート

本アプリケーションノートに関連するアプリケーションノートを以下に示します。併せて参照してください。

- SH7734 グループ SH7734 初期設定例 (R01AN0665JJ)

4. 周辺機能説明

本アプリケーションノートで紹介する動作モード、使用するレジスタについて補足します。基本的な内容は「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章」に記載しています。

4.1 LBSC の設定

LBSC-DMAC を動作させる場合に、LBSC のレジスタ設定をしなければならないもの(4.1.1章 LBSC-DMAC チャンネル エリア割り付け (EXDMASET0~2))や、LBSC のレジスタ設定でなく、LBSC-DMAC の設定が優先されるもの(4.1.2章 LBSC-DMAC チャンネル RD/WE パルスコントロール (EXDMAWCR0~2))があります。

4.1.1 LBSC-DMAC チャンネル エリア割り付け (EXDMASET0~2)

各チャンネルの LBSC-DMAC を動作させるにあたり、まず LBSC-DMAC チャンネルのエリア割り付けレジスタ (EXDMASET0~2) にて、各 LBSC-DMAC を適用するエリアに割り付けてください。

初期状態は、LBSC-DMAC チャンネルのエリア割り付けはされていませんので、この設定を行わないと正しく DMA 転送が行われません。エリア割り付けに関しては、「SH7734 ユーザーズマニュアルハードウェア編 (R01UH0233JJ) ローカルバスステートコントローラ (LBSC) 章」を参照ください。

4.1.2 LBSC-DMAC チャンネル RD/WE パルスコントロール (EXDMAWCR0~2)

LBSC-DMAC チャンネル用の RD/WE パルスコントロールレジスタ (EXDMAWCR0~2) にて、DMA バスアクセス時の波形パルス幅を設定します。

LBSC-DMAC0~2ch 使用時は、CSWCR0、CSWCR1、ECSWCR0~5 のパルス幅設定内容には従わず、EXDMAWCR0~2 の設定内容に従います。

図 4.1に、EX_BUS リードアクセス時の RD/WE パルスコントロールレジスタ (EXDMAWCR) の設定値と波形イメージについて記載します。

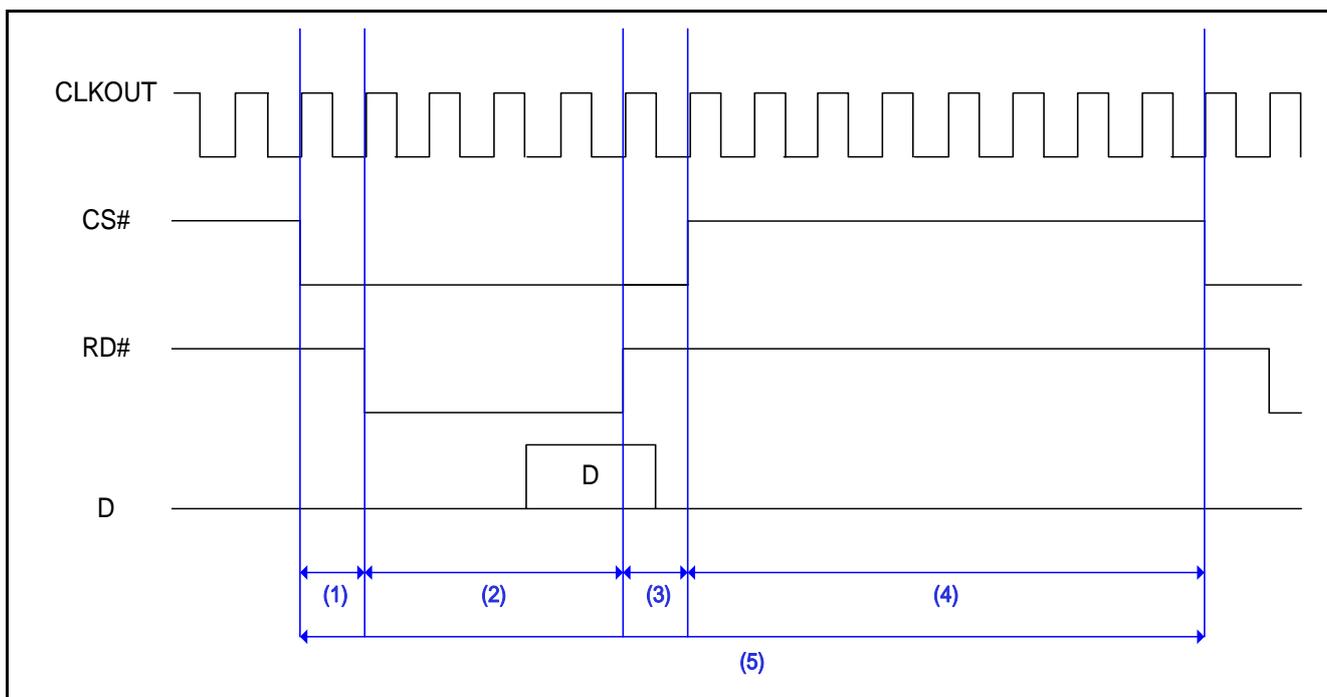


図4.1 LBSC-DMAC EX_BUS リードアクセス時の波形イメージ

- (1) EXDMAWCR の READ_CS_SETUP_CYCLE で**セットアップ数 1 (b'001)** を設定している場合
- (2) EXDMAWCR の READ_CS_PULSE_CYCLE で**パルス幅数 4 (b'0100)** を設定している場合
- (3) EXDMAWCR の READ_CS_HOLD_CYCLE で**ホールド数 1 (b'001)** を設定している場合
- (4) 設定変更できません。エリア 0 に関しては、ガード設定レジスタが存在しませんので、直後のアクセスにはガード期間は設けられません。エリア 0 は ROM、SRAM、Flash-ROM などの一般的な汎用メモリを接続するエリアとしての使用方法を想定しているため、ガード期間は不要と考えています。
- (5) LBSC-DMAC の 1 転送 (バースト転送でないケース)。

4.2 LBSC-DMAC のバス幅

DMA コントロールレジスタ (DCR) の SPDS ビットで、転送元 Peripheral データバス幅、DPDS ビットで、転送先 Peripheral データバス幅を設定します。

EX_BUS のバス幅は 16 ビットのため、LBSC-DMAC では、転送元 Peripheral データバス幅を指定 (SPDS) および転送先 Peripheral データバス幅を指定 (DPDS) の b'10 (32 ビット) は設定禁止となります。

4.3 バースト転送

LBSC-DMAC は、0、1ch のみバースト長 8 (固定) の転送をサポートしています。

DMA コントロールレジスタ (DCR) の BTMD ビットを 1 に設定すると有効になります。

4.3.1 バースト転送時の波形イメージ

図 4.2 に、EX_BUS バーストリードアクセス時の波形イメージについて記載します。

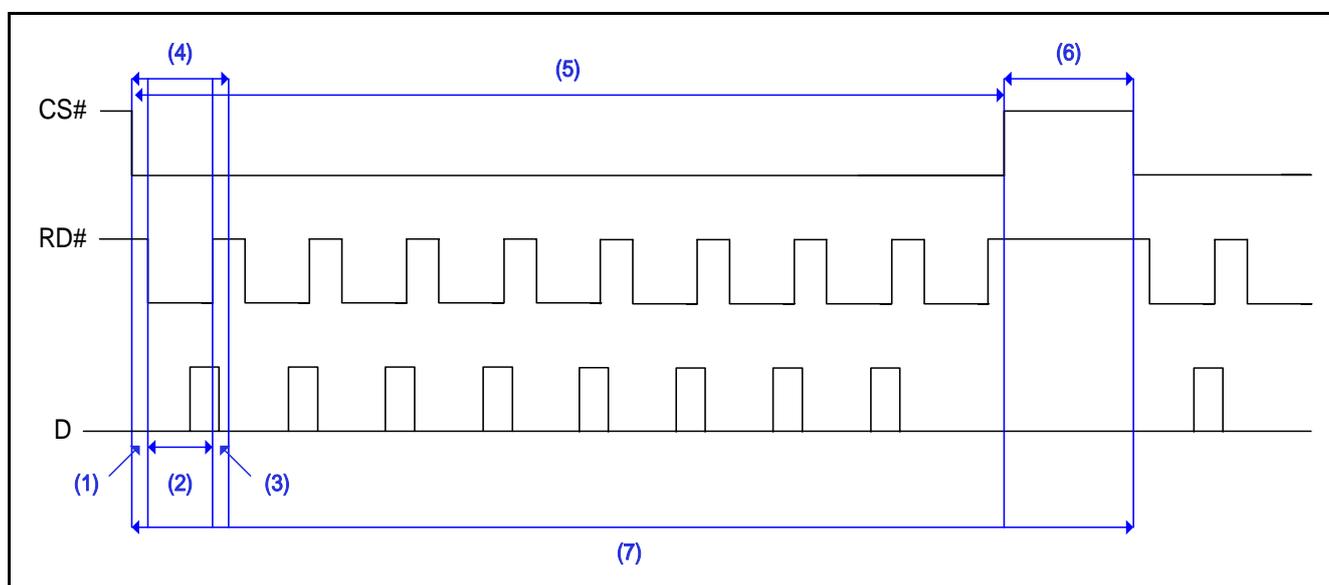


図4.2 LBSC-DMAC EX_BUS バーストリードアクセス時の波形イメージ

(1) EXDMAWCR の READ_CS_SETUP_CYCLE で**セットアップ数 1 (b'001)** を設定している場合

(2) EXDMAWCR の READ_CS_PULSE_CYCLE で**パルス幅数 4 (b'0100)** を設定している場合

(3) EXDMAWCR の READ_CS_HOLD_CYCLE で**ホールド数 1 (b'001)** を設定している場合

(4) 1 リードアクセス = (1) + (2) + (3)

(5) 1 バースト (バースト長 8) のリードアクセス (1 リードアクセス × 8) = (4) × 8

(6) 変更できません。 詳細は、4.1.2 章 (4) を参照ください。

(7) 1 バースト転送

4.3.2 バースト転送の効率

本アプリケーションノートの設定値（表 4.1）での、バースト転送時の効率について説明します。

ここでは、NOR-FLASH から DDR2-SDRAM へ 1024 バイト DMA 転送するケースを想定して比較します。

1024 バイトの LBSC-DMAC リードアクセス時間は **143360ns**（表 4.2）かかりますが、バーストリードアクセスでは、**71680ns**（表 4.3）となり、約 2 倍 NOR-FLASH からのリード転送効率が良くなります。

表4.1 本アプリケーションノートでの LBSC-DMAC リードアクセス関連の設定値

項目	設定値
CLKOUT	50MHz 1cycle = 20ns
READ_CS_SETUP_CYCLE	1cycle
READ_CS_PULSE_CYCLE	4cycle
READ_CS_HOLD_CYCLE	1cycle
LBSC-DMAC の NOR-FLASH アクセス幅	16bit (2 バイト)

表4.2 DMA バースト転送なしケースでの 1024 バイト転送時間

No	項目	時間
<1>	READ_CS_SETUP_CYCLE 図 4.1 (1)	1cycle = 20ns
<2>	READ_CS_PULSE_CYCLE 図 4.1 (2)	4cycle = 80ns
<3>	READ_CS_HOLD_CYCLE 図 4.1 (3)	1cycle = 20ns
<4>	CS0 インターバルガード期間 図 4.1 (4)	8cycle = 160ns
<6>	1 リードアクセス単位	<1> + <2> + <3> + <4> = 14cycle = 280ns
<7>	1024 バイト転送	<6> × (1024 / 2) 転送回数 = 143360ns

表4.3 DMA バースト転送ありケースでの 1024 バイト転送時間

No	項目	時間
<1>	READ_CS_SETUP_CYCLE 図 4.2 (1)	1cycle = 20ns
<2>	READ_CS_PULSE_CYCLE 図 4.2 (2)	4cycle = 80ns
<3>	READ_CS_HOLD_CYCLE 図 4.2 (3)	1cycle = 20ns
<4>	1 リード単位 図 4.2 (4)	<1> + <2> + <3> = 6cycle = 120ns
<5>	1 バースト (バースト長 8) のリード単位 図 4.2 (5)	<4> × 8 (バースト長) = 960ns
<6>	CS0 インターバルガード期間 図 4.2 (6)	8cycle = 160ns
<7>	1 バースト転送単位	<5> + <6> = 1120ns
<8>	1024 バイト転送	<7> × (1024 / (2 × 8)) 転送回数 = 71680ns

4.4 パッキング機能

DMA コントロールレジスタ (DCR) の PKMD ビットに 1 をライトすることで Peripheral 側 (BSC 側) または外部モジュール側からのリードデータをパッキングしてメモリ (SuperHyway) 側へライト転送する機能を有効にすることができます。パッキング指定サイズは、DMA コントロールレジスタ (DCR) の SWMD ビットによって 4 バイト、または、SuperHyway 側の転送の宛先がメモリ (DDR2-SDRAM/DDR3-SDRAM) である場合は、表 4.4 に示すバイト単位でパッキング指定することができます。転送の宛先がメモリ (DDR2-SDRAM/DDR3-SDRAM) である場合は、メモリや SuperHyway バスをより効率良く使用することができるため SWMD ビットには 0 設定が推奨されます。

指定された回数の転送を終わっていないときに、Peripheral 側 (BSC 側) または外部モジュールの DMA 要求が完了した場合、DMAC にパッキング途中のデータが残っている場合、Peripheral 側 (BSC 側) または外部モジュールからのリードデータパッキング機能に関する制限事項等については、「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 Peripheral または外部モジュールからのリードデータパッキング機能と Peripheral または外部モジュールからのリードデータパッキング機能に関する制限事項」を参照ください。

表 4.4 SWMD ビット : 0/1 設定時のメモリ (SuperHyway) 側アクセスサイズ

SWMD ビット	LBSC-DMAC チャンネル No.	
	0,1	2
0	32 バイト	16 バイト
1	4 バイト	

【注】 DMA ソースアドレスレジスタ 0、1 (DSAR0、DSAR1)、DMA デスティネーションアドレスレジスタ 0、1 (DDAR0、DDAR1) のアドレス設定時には、表 4.4 に示すアドレス境界を守って設定してください。

4.5 データアライメント変換

LBSC-DMAC は、SuperHyway バスを介したメモリへのアクセスにおけるリード/ライトデータのデータアライメント変換を行います。

例えば、外部バスに接続されたメモリに格納されているデータ/命令が、SH7734 が求めるアライメントと異なる場合に、通常は、CPU で一度アライメント変換して DDR2-SDRAM に転送する必要がありますが、LBSC-DMAC は、DMA 転送の過程において、アライメント変換できませんので、CPU でのアライメント変換が不要となります。

NOR-FLASH LBSC-DMAC SuperHyway バス DBSC3 DDR2-SDRAM の DMA 転送の過程において、指定した変換パターンのデータアライメント変換を行うことができます。

【注】 変換パターンについては、「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 データアライメント制御信号対応表」を参照ください。

データアライメント変換は、DMA コントロールレジスタ(DCR)の DTAMD=0 のとき、エンディアンモード信号(DMAC 入力信号:little)と Peripheral データバス幅(DMAC コントロールレジスタ(DCR)の SPDS[1:0] または DPDS[1:0])により SuperHyway バスデータアライメント変換を行い、DMA コントロールレジスタ(DCR)の DTAMD=1 のとき、DMA コントロールレジスタ(DCR)の DTAC、DTAU、DTAU1 ビットにて設定された値により SuperHyway バスデータアライメント変換を行います。

【注】 データアライメント変換の詳細は、「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 SuperHyway バスインタフェースにおけるデータアライメント」を参照ください。

4.5.1 データアライメント変換動作

LBSC-DMAC で行うデータアライメント変換動作を以下に示します。

- 想定ケース

- データバス幅 (16bit) で、NOR-FLASH のアドレス H'00010000 ~ H'00010007 に格納されているデータを DDR2-SDRAM のアドレス H'09000000 ~ H'09000007 へ DMA 転送するケースを想定します。
- 変換パターンは、「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 データアライメント制御信号対応表」の番号 2、5、12 のケースを想定します。
- NOR-FLASH のアドレス H'00010000 ~ H'00010007 に格納されているデータは、表 4.5 とします。

表4.5 NOR-FLASH 格納データ (アドレス : H'00010000 ~ H'00010007)

アドレス	+0	+1	+2	+3	+4	+5	+6	+7
格納データ値	00	01	02	03	04	05	06	07

上記、想定ケースでデータアライメント変換を行った場合の変換動作の過程を以下に示します。

● 変換動作の過程

- 表 4.6 に「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 データアライメント制御信号対応表」の番号 2 (ビッグエンディアン MD[8]=0) ケースの変換動作の過程を示します。
- 表 4.7 に「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 データアライメント制御信号対応表」の番号 5 (リトルエンディアン MD[8]=1) ケースの変換動作の過程を示します。(表 1.2 No.1 のパターン)
- 表 4.8 に「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 データアライメント制御信号対応表」の番号 12 (ビッグエンディアン MD[8]=0) ケースの変換動作の過程を示します。
- 表 4.9 に「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 データアライメント制御信号対応表」の番号 12 (リトルエンディアン MD[8]=1) ケースの変換動作の過程を示します。(表 1.2 No.4 のパターン)

表4.6 データアライメント制御信号対応表 番号 2 の動作 (ビッグエンディアン MD[8]=0)

No.	対象データ位置	アドレス/データ値 (H')							
		+0	+1	+2	+3	+4	+5	+6	+7
1	NOR-FLASH アドレス H'00010000	00	01	02	03	04	05	06	07
2	NOR-FLASH LBSC-DMAC	00	01	02	03	04	05	06	07
3	変換パターン CP2 上段	00	01	02	03	04	05	06	07
4	変換パターン CP2 中段	00	01	02	03	04	05	06	07
5	変換パターン CP2 下段	00	01	02	03	04	05	06	07
6	DDR2-SDRAM アドレス H'09000000	00	01	02	03	04	05	06	07

表4.7 データアライメント制御信号対応表 番号 5 の動作 (リトルエンディアン MD[8]=1)

No.	対象位置	アドレス/データ値 (H')							
		+0	+1	+2	+3	+4	+5	+6	+7
1	NOR-FLASH アドレス H'00010000	00	01	02	03	04	05	06	07
2	NOR-FLASH LBSC-DMAC	01	00	03	02	05	04	07	06
3	変換パターン CP2 上段	07	06	05	04	03	02	01	00
4	変換パターン CP2 中段	03	02	01	00	07	06	05	04
5	変換パターン CP2 下段	01	00	03	02	05	04	07	06
6	DDR2-SDRAM アドレス H'09000000	00	01	02	03	04	05	06	07

表4.8 データアライメント制御信号対応表 番号 12 の動作 (ビッグエンディアン MD[8]=0)

No.	対象データ位置	アドレス/データ値 (H')							
		+0	+1	+2	+3	+4	+5	+6	+7
1	NOR-FLASH アドレス H'00010000	00	01	02	03	04	05	06	07
2	NOR-FLASH LBSC-DMAC	00	01	02	03	04	05	06	07
3	変換パターン CP1 上段	07	06	05	04	03	02	01	00
4	変換パターン CP1 中段	04	05	06	07	00	01	02	03
5	変換パターン CP1 下段	07	06	05	04	03	02	01	00
6	DDR2-SDRAM アドレス H'09000000	07	06	05	04	03	02	01	00

表4.9 データアライメント制御信号対応表 番号 12 の動作 (リトルエンディアン MD[8]=1)

No.	対象データ位置	アドレス/データ値 (H')							
		+0	+1	+2	+3	+4	+5	+6	+7
1	NOR-FLASH アドレス H'00010000	00	01	02	03	04	05	06	07
2	NOR-FLASH LBSC-DMAC	01	00	03	02	05	04	07	06
3	変換パターン CP1 上段	07	06	05	04	03	02	01	00
4	変換パターン CP1 中段	03	02	01	00	07	06	05	04
5	変換パターン CP1 下段	00	01	02	03	04	05	06	07
6	DDR2-SDRAM アドレス H'09000000	01	00	03	02	05	04	07	06

【注】 変換パターン CPn 上段、変換パターン CPn 中段、変換パターン CPn 下段は、「SH7734 ユーザーズ マニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 SuperHyway バスインタフェースにおけるデータアライメント章」に記載されている変換図に対応しています。

4.6 DMA 転送終了割り込み

LBSC-DMAC は、単転送モード時、DMA 転送情報の転送回数終了時、INTC2 経由で CPU に対し終了割り込み信号（レベル信号）を出力し、転送終了を通知します。また連続転送モード時、1 つの DMA 転送情報の指定転送回数終了のたびに毎回 CPU に対し終了割り込み信号を出力します。

表4.10 DMA 転送終了割り込み関連レジスタ

レジスタ	内容
DMA 転送終了割り込みイネーブルレジスタ (DINTMR)	DMA 転送終了による割り込みを出力する / 出力しないを選択します。 0 : DMA 転送終了による割り込みを出力しない 1 : DMA 転送終了による割り込みを出力する
DMA 転送終了割り込み表示レジスタ (DINTSR)	DMA 転送終了割り込みのステータスが確認できます。 0 : 初期状態および DTCR レジスタ指定回数転送中 1 : DTCR レジスタ指定回数転送終了
DMA 転送終了割り込み表示クリアレジスタ (DINTCR)	該当ビット 1 ライトにより、DMA 転送終了割り込み表示をクリアします。0 ライトは無効です。

4.7 ソフトリセット

LSRSTR_n (0~2) レジスタの SRST ビットへ 1 を書き込むと該当チャンネルの LBSC-DMAC はリセットされます。リセット範囲は、パワーオンリセット、マニュアルリセットと同様です。

ソフトリセットはシステムデバッグ時などで DMA 動作が行われていないときの実施を想定していません。動作中の停止は、ソフトリセットでは行わず、強制停止や一時停止指定を行ってください。

また、チャンネル共通レジスタ (DMA 転送終了割り込み表示レジスタ (DINTSR)、DMA 転送終了割り込みイネーブルレジスタ (DINTMR)) は、ソフトリセット発行チャンネル該当ビットのみ初期化されます。

4.8 EX_BUS バス調停

LBSC は、CPU (SuperHyway バス) からのアクセス、LBSC-DMAC 0ch ~ 2ch からのアクセスによる競合に対し、どちらのアクセスを優先させるか、LBSC 内の EXBATLV レジスタにより設定可能です。また LBSC-DMAC 0ch ~ 2ch 間のアクセス競合については、DMAC 3ch を LBSC-DMAC 内の DMA メモリアクセス優先レベルコントロールレジスタ (DMLVLR) の設定により 2 つのグループにグルーピングし、それぞれのグループ内においてラウンドロビン方式で優先 DMAC ch を決定します。EX_BUS バス調停の概念図を図 4.3 に示します。

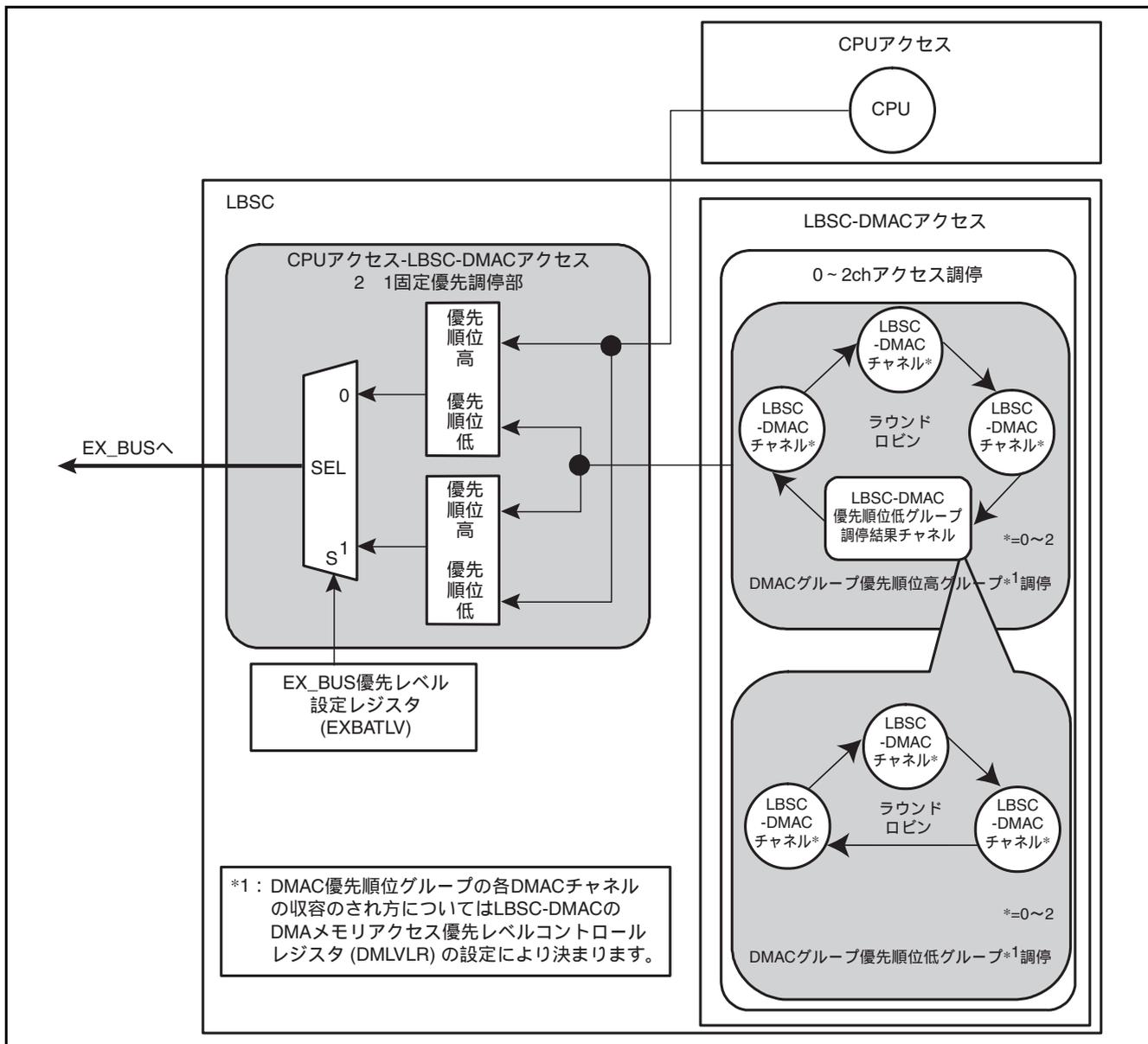


図4.3 EX_BUS バス調停の概念図

5. ソフトウェア説明

5.1 動作概要

本アプリケーションノートでは、表 1.2に示す LBSC-DMAC 設定パターンの DMA 転送を行います。

最初に、本アプリケーションノートが定めるデフォルトパターン（バースト転送なし、パッキング機能なし、データアライメントの標準変換（CP2）、外部バス調停優先順位グループデフォルト設定）を表 1.2 No.1として紹介します。残りのパターンについては、デフォルトパターンのソフトウェアを変更して実現します。

【記載上の注意】

No.5の各 DMAC チャンルの外部バス調停優先順位グループを変更するパターン以外は LBSC-DMAC のチャンネル 0 を使用します。LBSC-DMAC のチャンネル 1,2 用のサンプルコードも用意しておりますが、内容が、ほぼ同じであるため、本アプリケーションノートでは、チャンネル 0（LBSC-DMAC0）のみ記載の対象とします。

5.2 ソフトウェア階層図

図 5.2に本アプリケーションノートのソフトウェア階層を示します。

アプリケーション層

ドライバ層の IF をコールし、DMA 転送を制御します。

本アプリケーションノートでは、LBSC-DMAC のドライバを制御します。

ドライバ層

LBSC-DMAC のモジュールを制御します。

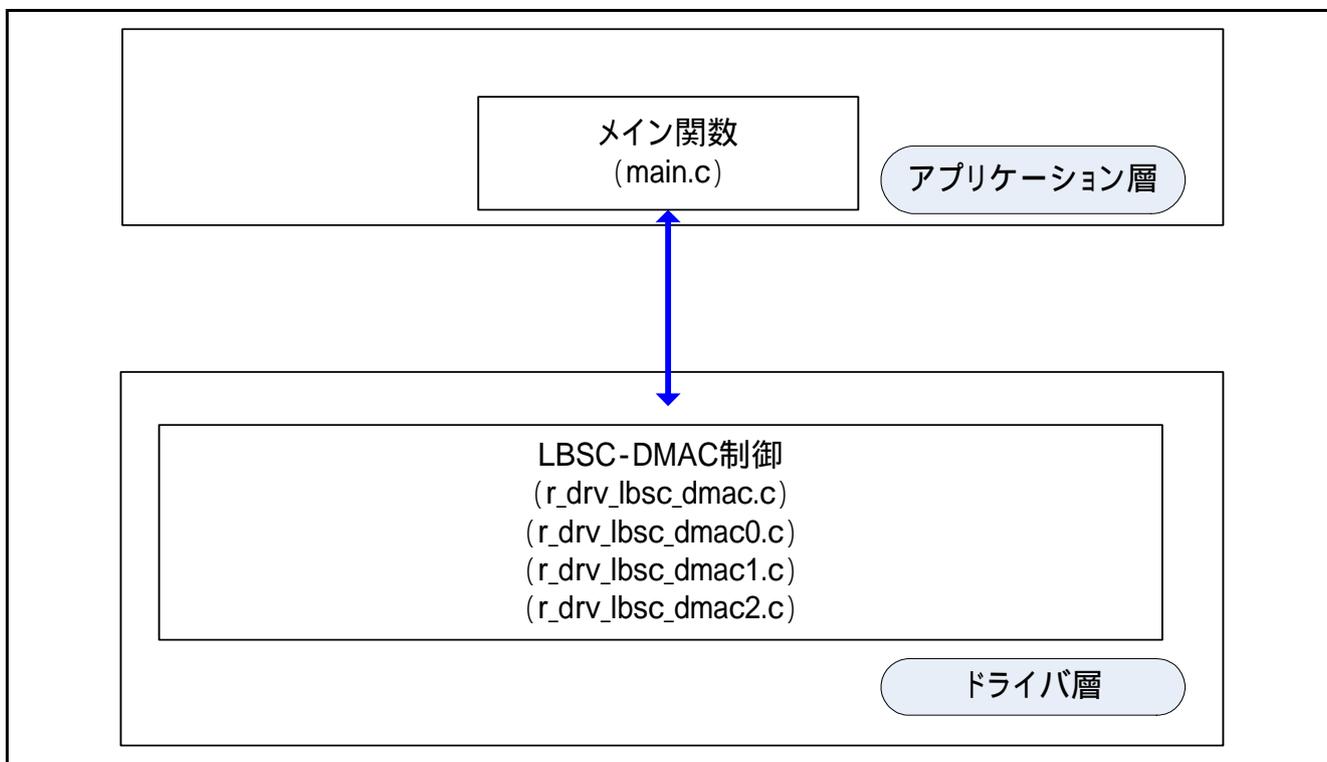


図5.1 ソフトウェア階層図

5.2.1 LBSC-DMAC デフォルトパターン (No.1) 設定

本アプリケーションノートが定める、デフォルトパターン (表 1.2 No.1) の設定パターンを表 5.1に示します。特に記載がないレジスタに関しては、パワーオンリセットの状態とします。

表5.1 デフォルトパターン (No.1) 設定

レジスタ	ビット	設定内容
EXDMASET0	DM0CS0=1	LBSC-DMAC チャンネル0 をエリア0 に割り付けます。
EXDMAWCRO		WRITE CS SETUP CYCLE - 2cycle WRITE CS HOLD CYCLE - 1cycle WRITE PULSE CYCLE - 2cycle READ CS SETUP CYCLE - 1cycle READ CS HOLD CYCLE - 1cycle READ PULSE CYCLE - 4cycle 使用する NOR-FLASH の特性に合わせて設定ください。
DCR0	DTAMD=0	「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 データアライメント制御信号対応表」の番号 5、CP2 ケース。 DTAC、DTAU、DTAU1 は DTAMD=1 の時のみ有効なため、Don't Care
	SWMD=0	推奨値 0 を設定します。 詳細は、4.4章パッキング機能を参照ください。
	BTMD=0	バースト転送を行わないに設定します。
	PKMD=0	パッキング機能無効に設定します。
	CT=0	DMA 連続転送を行わないに設定します。
	ACMD=0	ACMD ビットは、CT=1 の時のみ有効なため、Don't Care
	DIP=0	1 面の DMA 情報ページを連続的に使用に設定します。
	SMDL=1	転送元に NOR-FLASH (外部バス) を指定します。
	SPDAM=1	転送元アドレスを増加に設定します。
	SDRMD=b'01	転送元 DMA 要求モードをオートリクエストに設定します。
	SPDS=b'01	転送元 Peripheral (BSC 側) データバス幅を 16 ビットに設定します。
	DMDL=0	転送先に DDR2 メモリ (SuperHyway バス) を設定します。 DMDL=0 の場合、以下 (DPDAM、DDRMD、DPDS) ビットは以下に示す値に設定ください。
	DPDAM=0	0 または SPDAM と同じ設定値に設定してください。
	DDRMD=b'00	b'00 または SDRMD と同じ設定値に設定してください。
DPDS =0	b'00 または SPDS と同じ設定値に設定してください。	
EXBATLV	EX-BLV=0	EX_BUS のバス調停時の優先レベルを高: PIO (SuperHyway バスからのアクセス)、低: LBSC-DMAC (初期値) に設定します。
DMLVLR	DMLV0=0	DMAC チャンネル0 の外部バス調停優先順位グループを LEVEL2 低: グループ 2) (初期値) に設定します。
DMASPR	SPRR0=H'8	DMAC の SHwy_BUS アクセス優先レベルを H'8 (初期値) に設定します。
INT2PRI5	20 ~ 16 ビット =b'10100	割り込み優先レベルを H'A に設定します。
DINTMR	DTEM0=1	DMA 転送終了による割り込みを有効にします。

5.3 動作シーケンス図

図 5.2にDMA 転送開始シーケンスを示します。

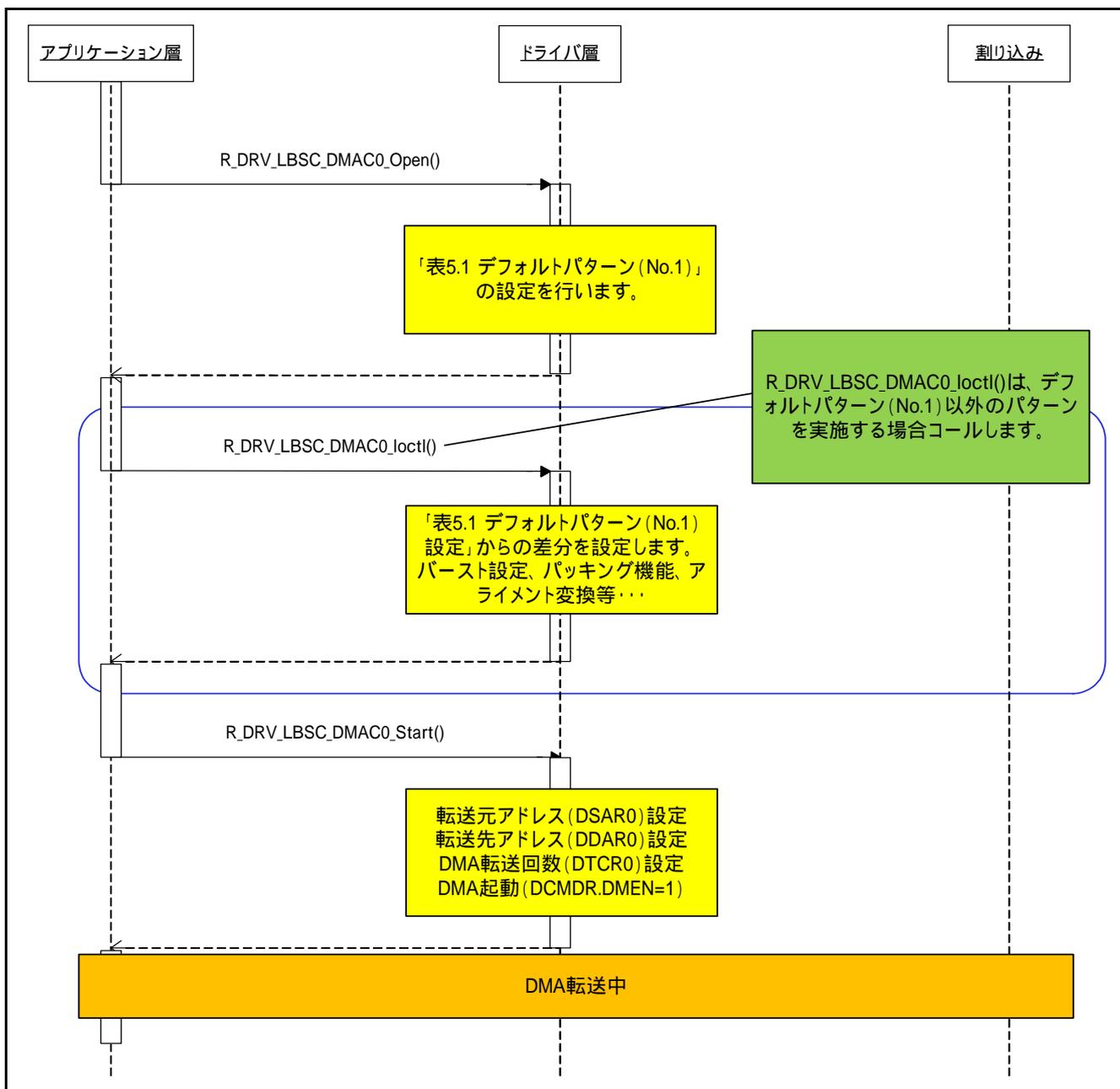


図5.2 DMA 転送開始シーケンス

図 5.3にDMA 転送終了シーケンスを示します。

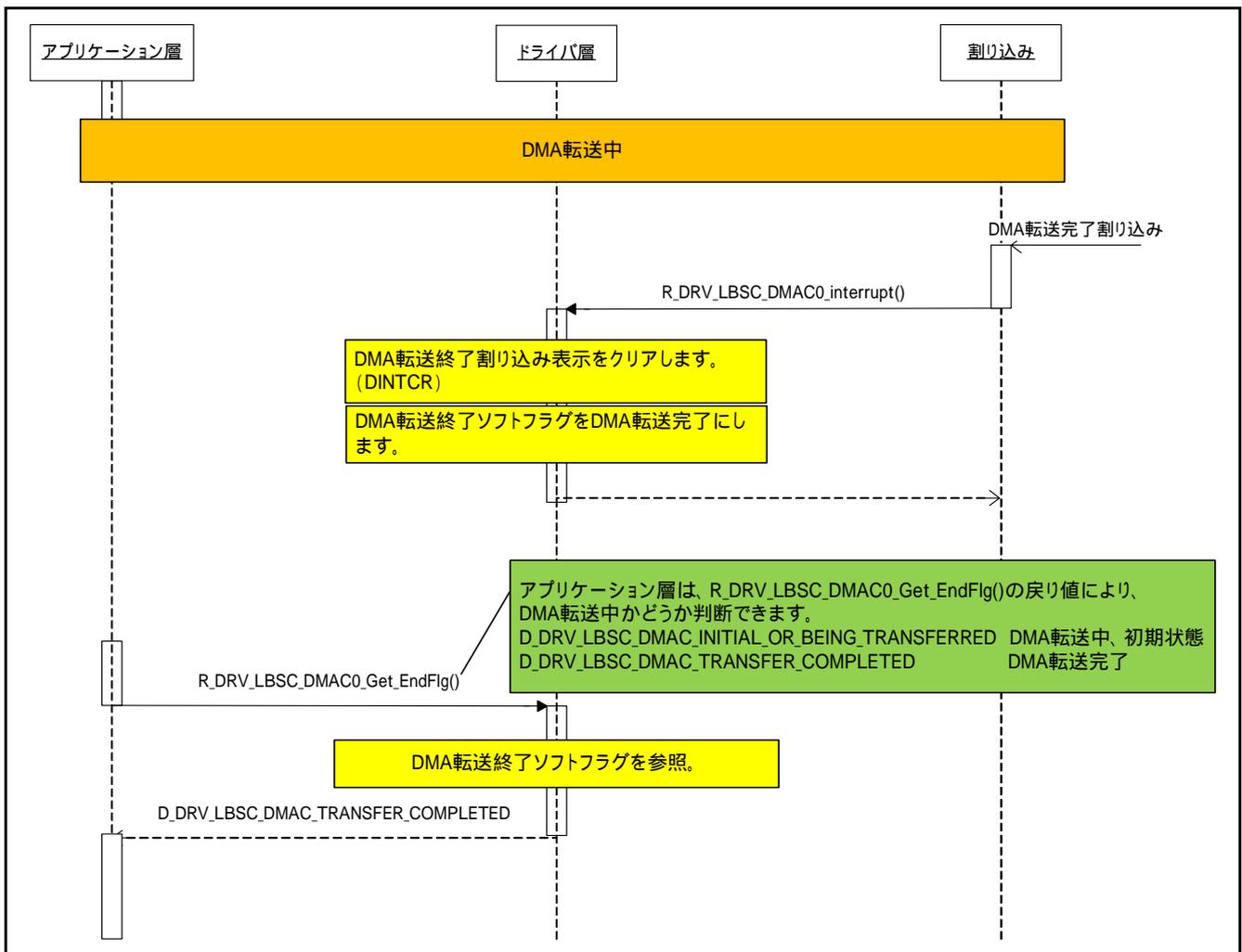


図5.3 DMA 転送終了シーケンス

5.3.1 メモリ構成

本アプリケーションノートのメモリ構成を記載します。「SH7734 グループ SH7734 初期設定例 (R01AN0665JJ)」より変更がない部分は記載を省略します。

表5.2 メモリ構成

メモリ	セクション名	格納アドレス	用途
NOR-FLASH	DMAC_SRC_00_FF	0x00010000 ~ 0x000103FF	DMA 転送元データ (1024 バイト) (H'00 ~ H'FF) セット × 4
	DMAC_SRC_00_00	0x00010400 ~ 0x000107FF	DMA 転送元データ (1024 バイト) ALL (H'00)
	DMAC_SRC_FF_FF	0x00010800 ~ 0x00010BFF	DMA 転送元データ (1024 バイト) ALL (H'FF)
	DMAC_SRC_FF_FF_2	0x00010C00 ~ 0x00010FFF	DMA 転送元データ (1024 バイト) ALL (H'FF)
DDR2-SDRAM	DMAC_DST_1	0x09000000 ~ 0x090003FF	DMA 転送先データ格納領域 (1024 バイト)
	DMAC_DST_2	0x09000400 ~ 0x090007FF	DMA 転送先データ格納領域 (1024 バイト)
	DMAC_DST_3	0x09000800 ~ 0x09000BFF	DMA 転送先データ格納領域 (1024 バイト)

5.4 ファイル構成

表 5.3にサンプルコードで使用するファイルを示します。なお、統合開発環境で自動生成されるファイル、「SH7734 グループ SH7734 初期設定例 (R01AN0665JJ)」より変更がないファイルは記載を除きます。

表5.3 サンプルコードで使用するファイル

ファイル名	概要	備考
sh7734_main.c	LBSC-DMAC 設定例のアプリケーションメイン処理	表 1.2の設定パターンのサンプルプログラムが実装されています。
r_drv_lbsc_dmac.h	LBSC-DMAC 制御用ヘッダファイル	LBSC-DMAC 全チャンネル共通使用
r_drv_lbsc_dmac0.h	LBSC-DMAC0 制御用ヘッダファイル	
r_drv_lbsc_dmac1.h	LBSC-DMAC1 制御用ヘッダファイル	
r_drv_lbsc_dmac2.h	LBSC-DMAC2 制御用ヘッダファイル	
r_drv_lbsc_dmac.c	LBSC-DMAC 制御用サンプルコード	LBSC-DMAC 全チャンネル共通使用
r_drv_lbsc_dmac0.c	LBSC-DMAC0 制御用サンプルコード	
r_drv_lbsc_dmac1.c	LBSC-DMAC1 制御用サンプルコード	
r_drv_lbsc_dmac2.c	LBSC-DMAC2 制御用サンプルコード	
intprg.c	LBSC-DMAC 割り込み処理	LBSC-DMAC 全チャンネル共通

5.5 定数一覧

表 5.4にサンプルコードで使用する定数を示します。

表5.4 サンプルコードで使用する定数

定数名	設定値	内容
D_DRV_LBSC_DMAC_DCM DR_EN	H'00000001	LBSC-DMAC 有効設定用 (全チャンネル共通)
D_DRV_LBSC_DMAC_INT_ MASK	H'00040000	LBSC-DMAC 割り込みマスク設定用 (全チャンネル共通)
D_DRV_LBSC_DMAC0_INT_ _CLR	H'00000001	LBSC-DMAC0 DMA 転送終了割り込み表示クリア用

5.6 構造体/共用体一覧

図 5.4にサンプルコードで使用する構造体/共用体を示します。

```
/** LBSC-DMAC APP Return Value */
typedef enum
{
    D_APP_LBSC_DMAC_NG = -1,          /** Return NG */
    D_APP_LBSC_DMAC_OK = 0           /** Return OK */

}app_lbsc_dmac_ret_t;

/** LBSC-DMAC Test No */
typedef enum
{
    D_APP_LBSC_DMAC_TEST1 = 1,
    D_APP_LBSC_DMAC_TEST2,
    D_APP_LBSC_DMAC_TEST3,
    D_APP_LBSC_DMAC_TEST4,
    D_APP_LBSC_DMAC_TEST5,
    D_APP_LBSC_DMAC_TEST6

}app_lbsc_dmac_test_no_t;

/** LBSC-DMAC Return Value */
typedef enum
{
    D_DRV_LBSC_DMAC_NG = -1,          /** Return NG */
    D_DRV_LBSC_DMAC_OK = 0           /** Return OK */

}drv_lbsc_dmac_ret_t;

/** LBSC-DMAC on/off Value */
typedef enum
{
    D_DRV_LBSC_DMAC_OFF = 0,         /** SET OFF */
    D_DRV_LBSC_DMAC_ON = 1           /** SET ON */

}drv_lbsc_dmac_on_off_t;
```

```
/** LBSC-DMAC DMA Transfer End Software Flg Set Value */
typedef enum
{
    D_DRV_LBSC_DMAC_INITIAL_OR_BEING_TRANSFERRED = 0,
                                                    /** Initial state or data is being transferred */
    D_DRV_LBSC_DMAC_TRANSFER_COMPLETED = 1
                                                    /** Transfer has been completed */
}drv_lbsc_dmac_t_transfer_end_flg;

/** LBSC-DMAC INTC Priority */
typedef enum
{
    D_DRV_LBSC_DMAC_INTC_PRI1 = 1,
    D_DRV_LBSC_DMAC_INTC_PRI2,
    D_DRV_LBSC_DMAC_INTC_PRI3,
    D_DRV_LBSC_DMAC_INTC_PRI4,
    D_DRV_LBSC_DMAC_INTC_PRI5,
    D_DRV_LBSC_DMAC_INTC_PRI6,
    D_DRV_LBSC_DMAC_INTC_PRI7,
    D_DRV_LBSC_DMAC_INTC_PRI8,
    D_DRV_LBSC_DMAC_INTC_PRI9,
    D_DRV_LBSC_DMAC_INTC_PRI10,
    D_DRV_LBSC_DMAC_INTC_PRI11,
    D_DRV_LBSC_DMAC_INTC_PRI12,
    D_DRV_LBSC_DMAC_INTC_PRI13,
    D_DRV_LBSC_DMAC_INTC_PRI14,
    D_DRV_LBSC_DMAC_INTC_PRI15
}drv_lbsc_dmac_intc_pri_t;

/** LBSC-DMAC Alignment Conversion Type
    @see UM Data Alignment in SuperHyway Bus Interface */
typedef enum
{
    D_DRV_LBSC_DMAC_ALIGNMENT_NO1,           /** CP1 (3) */
    D_DRV_LBSC_DMAC_ALIGNMENT_NO2,         /** CP2 (3) */
}
```

```
D_DRV_LBSC_DMAC_ALIGNMENT_NO3,    /** CP3 (2) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO4,    /** CP1 (1) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO5,    /** CP2 (1) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO6,    /** CP3 (1) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO7,    /** CP1 (3) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO8,    /** CP3 (1) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO9,    /** CP2 (3) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO10,   /** CP3 (1) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO11,   /** CP1 (2) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO12,   /** CP1 (1) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO13,   /** CP2 (2) */
D_DRV_LBSC_DMAC_ALIGNMENT_NO14    /** CP2 (1) */
```

```
}drv_lbsc_dmac_alignment_type_t;
```

```
/** LBSC-DMAC EX_BUS Priority Level */
```

```
typedef enum
```

```
{
    D_DRV_LBSC_DMAC_EX_BUS_PRI_LOW    = 0,
    D_DRV_LBSC_DMAC_EX_BUS_PRI_HIGH
```

```
}drv_lbsc_dmac_ex_bus_pri_t;
```

```
/** LBSC-DMAC SHWY Bus Priority */
```

```
typedef enum
```

```
{
    D_DRV_LBSC_DMAC_SHWY_PRI0 = 0,
    D_DRV_LBSC_DMAC_SHWY_PRI1,
    D_DRV_LBSC_DMAC_SHWY_PRI2,
    D_DRV_LBSC_DMAC_SHWY_PRI3,
    D_DRV_LBSC_DMAC_SHWY_PRI4,
    D_DRV_LBSC_DMAC_SHWY_PRI5,
    D_DRV_LBSC_DMAC_SHWY_PRI6,
    D_DRV_LBSC_DMAC_SHWY_PRI7,
    D_DRV_LBSC_DMAC_SHWY_PRI8,
    D_DRV_LBSC_DMAC_SHWY_PRI9,
    D_DRV_LBSC_DMAC_SHWY_PRI10,
    D_DRV_LBSC_DMAC_SHWY_PRI11,
```

```
D_DRV_LBSC_DMAC_SHWY_PRI12,  
D_DRV_LBSC_DMAC_SHWY_PRI13,  
D_DRV_LBSC_DMAC_SHWY_PRI14,  
D_DRV_LBSC_DMAC_SHWY_PRI15  
  
}drv_lbsc_dmac_shwy_bus_pri_t;  
  
/** LBSC-DMAC ioctl Type */  
typedef enum  
{  
    D_DRV_LBSC_DMAC_BURST    = 0,           /** Control Burst mode */  
    D_DRV_LBSC_DMAC_PACKING,               /** Control Packing */  
    D_DRV_LBSC_DMAC_ALIGNMENT_CONVERSION,  /** Control Data Alignment Conversion */  
    D_DRV_LBSC_DMAC_EXT_BUS_ARBI_PRI,      /** Control External Bus Arbitration Priority */  
    D_DRV_LBSC_DMAC_GROUP_PRI,             /** Control LBSC DMAC Ch Group Priority */  
    D_DRV_LBSC_DMAC_SHWY_BUS_ARBI_PRI,     /** Control SHwy Bus Access Priority */  
  
}drv_lbsc_dmac_ioctl_type_t;
```

図5.4 サンプルコードで使用する構造体/共用体

5.7 変数一覧

表 5.5にstatic 型変数を、表 5.6にconst 型変数を示します。

表5.5 static 型変数

型	変数名	内容	使用関数
drv_lbsc_dmac_t_transfer_end_flg	g_lbsc_dmac0_end_flg	DMA 転送終了ソフトフラグ	<ul style="list-style-type: none"> R_DRV_LBSC_DMA_C0_Get_EndFlg R_DRV_LBSC_DMA_C0_interrupt R_DRV_LBSC_DMA_C0_Start

表5.6 const 型変数

型	変数名	内容	使用関数
uint8_t	g_test_data_nor_00_ff[1024]	<ul style="list-style-type: none"> DMAC_SRC_00_FF セクションに対応 DMA 転送元データ (1024 バイト) データ値 (H'00 ~ H'FF) セット × 4 	<ul style="list-style-type: none"> test1_lbsc_dmac_copy_normal_mode test2_lbsc_dmac_burst_mode test3_lbsc_dmac_packing_mode test4_lbsc_dmac_data_alignment_conversion
uint8_t	g_test_data_nor_00_00[1024]	<ul style="list-style-type: none"> DMAC_SRC_00_00 セクションに対応 DMA 転送元データ (1024 バイト) データ値 ALL (H'00) 	<ul style="list-style-type: none"> test5_lbsc_dmac_access_priority_level
uint8_t	g_test_data_nor_ff_ff[1024]	<ul style="list-style-type: none"> DMAC_SRC_FF_FF セクションに対応 DMA 転送元データ (1024 バイト) データ値 ALL (H'FF) 	<ul style="list-style-type: none"> test5_lbsc_dmac_access_priority_level
uint8_t	g_test_data_nor_ff_ff_2[1024]	<ul style="list-style-type: none"> DMAC_SRC_FF_FF_2セクションに対応 DMA 転送元データ (1024 バイト) データ値 ALL (H'FF) 	<ul style="list-style-type: none"> test5_lbsc_dmac_access_priority_level

5.8 関数一覧

表 5.7に関数を示します。

表5.7 関数

関数名	概要
アプリケーション層 関数群	
main	下記、表 1.2 LBSC-DMAC 設定パターンNo.1～5 の処理をコールします。
test1_lbsc_dmac_copy_normal_mode	表 1.2 LBSC-DMAC 設定パターンNo.1 の処理を行います。
test2_lbsc_dmac_burst_mode	表 1.2 LBSC-DMAC 設定パターンNo.2 の処理を行います。
test3_lbsc_dmac_packing_mode	表 1.2 LBSC-DMAC 設定パターンNo.3 の処理を行います。
test4_lbsc_dmac_data_alignment_conversion	表 1.2 LBSC-DMAC 設定パターンNo.4 の処理を行います。
test5_lbsc_dmac_access_priority_level	表 1.2 LBSC-DMAC 設定パターンNo.5 の処理を行います。
ドライバ層 関数群	
R_DRV_LBSC_DMAC0_Open	LBSC_DMAC0 オープン処理
R_DRV_LBSC_DMAC0_Start	LBSC_DMAC0 スタート処理
R_DRV_LBSC_DMAC0_Close	LBSC_DMAC0 クローズ処理
R_DRV_LBSC_DMAC0_Get_EndFlg	DMA 転送終了ソフトフラグ参照
R_DRV_LBSC_DMAC0_interrupt	LBSC_DMAC0 割り込み処理
R_DRV_LBSC_DMAC0_ioctl	LBSC_DMAC0 設定変更処理

5.9 関数仕様

サンプルコードの関数仕様を示します。

main	
概要	表 1.2 LBSC-DMAC 設定パターンNo.1～5 の処理をコールします。
ヘッダ	r_drv_lbsc_dmac0.h r_drv_lbsc_dmac1.h r_drv_lbsc_dmac2.h
宣言	void main(void)
説明	<ul style="list-style-type: none"> 表 1.2 LBSC-DMAC 設定パターンNo.1～5 の処理をコールします。 エラー時には、エラーであった表 1.2 LBSC-DMAC 設定パターンNo.をコンソールへ出力し L_LBSC_DMAC_TEST_ERR:ラベルに定義されている無限ループに遷移します。
引数	なし
リターン値	なし
test1_lbsc_dmac_copy_normal_mode	
概要	表 1.2 LBSC-DMAC 設定パターンNo.1 の処理を行います。
ヘッダ	r_drv_lbsc_dmac0.h
宣言	static app_lbsc_dmac_ret_t test1_lbsc_dmac_copy_normal_mode(void)
説明	<ul style="list-style-type: none"> 表 5.1 デフォルトパターン (No.1) 設定の設定値に LBSC-DMAC を設定し、DMA 転送を開始します。 転送サイズは、1024 バイトです。 DMA 転送完了後、転送元データと転送先データの値を比較し、不一致であれば main() にエラーを返します。
引数	なし
リターン値	D_DRV_LBSC_DMAC_NG : 処理失敗 D_APP_LBSC_DMAC_OK : 処理成功
test2_lbsc_dmac_burst_mode	
概要	表 1.2 LBSC-DMAC 設定パターンNo.2 の処理を行います。
ヘッダ	r_drv_lbsc_dmac0.h
宣言	static app_lbsc_dmac_ret_t test2_lbsc_dmac_burst_mode(void)
説明	<ul style="list-style-type: none"> 表 5.1 デフォルトパターン (No.1) 設定との差分として、R_DRV_LBSC_DMAC0_ioctl(D_DRV_LBSC_DMAC_BURST, D_DRV_LBSC_DMAC_ON))を実行し、バースト転送を行います。 転送サイズは、1024 バイトです。 DMA 転送完了後、転送元データと転送先データの値を比較し、不一致であれば main() にエラーを返します。
引数	なし
リターン値	D_DRV_LBSC_DMAC_NG : 処理失敗 D_APP_LBSC_DMAC_OK : 処理成功

test3_lbsc_dmac_packing_mode	
概要	表 1.2 LBSC-DMAC 設定パターンNo.3 の処理を行います。
ヘッダ	r_drv_lbsc_dmac0.h
宣言	static app_lbsc_dmac_ret_t test3_lbsc_dmac_packing_mode(void)
説明	<ul style="list-style-type: none"> 表 5.1 デフォルトパターン (No.1) 設定との差分として、R_DRV_LBSC_DMAC0_ioctl(D_DRV_LBSC_DMAC_PACKING, D_DRV_LBSC_DMAC_ON))を実行し、パッキング機能を有効にして DMA 転送を行います。 転送サイズは、1024 バイトです。 DMA 転送完了後、転送元データと転送先データの値を比較し、不一致であれば main()にエラーを返します。
引数	なし
リターン値	D_DRV_LBSC_DMAC_NG : 処理失敗 D_APP_LBSC_DMAC_OK : 処理成功
test4_lbsc_dmac_data_alignment_conversion	
概要	表 1.2 LBSC-DMAC 設定パターンNo.4 の処理を行います。
ヘッダ	r_drv_lbsc_dmac0.h
宣言	static app_lbsc_dmac_ret_t test4_lbsc_dmac_data_alignment_conversion(void)
説明	<ul style="list-style-type: none"> 表 5.1 デフォルトパターン (No.1) 設定との差分として、R_DRV_LBSC_DMAC0_ioctl(D_DRV_LBSC_DMAC_ALIGNMENT_CONVERSION, D_DRV_LBSC_DMAC_ALIGNMENT_NO12))を実行し、「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 データアライメント制御信号対応表」の番号 12 のパターン設定にして DMA 転送を行います。 転送サイズは、1024 バイトです。 DMA 転送完了後、転送先データが「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 データアライメント制御信号対応表」の番号 12 の変換後の値になっていることを High-performance Embedded Workshop のメモリウィンドウで確認してください。
引数	なし
リターン値	D_DRV_LBSC_DMAC_NG : 処理失敗 D_APP_LBSC_DMAC_OK : 処理成功
test5_lbsc_dmac_access_priority_level	
概要	表 1.2 LBSC-DMAC 設定パターンNo.5 の処理を行います。
ヘッダ	r_drv_lbsc_dmac0.h r_drv_lbsc_dmac1.h r_drv_lbsc_dmac2.h
宣言	static app_lbsc_dmac_ret_t test5_lbsc_dmac_access_priority_level(void)
説明	<ul style="list-style-type: none"> 表 5.1 デフォルトパターン (No.1) 設定との差分として、R_DRV_LBSC_DMAC0_ioctl(D_DRV_LBSC_DMAC_GROUP_PRI, D_DRV_LBSC_DMAC_EX_BUS_PRI_HIGH))を実行し、LBSC-DMAC0 のアクセス調停優先順位グループを LEVEL1 (高: グループ 1) にします。 LBSC-DMAC1、LBSC-DMAC2 のアクセス調停優先順位グループは、LEVEL2(低: グループ 2) にします。 LBSC-DMAC2、LBSC-DMAC1、LBSC-DMAC0 の順番で DMA 転送を開始します。 転送サイズ (1024 バイト) や転送先メモリ (DDR2-SDRAM)、転送元メモリ (NOR-FLASH) は同じ設定にします。

- 最初に転送完了した LBSC-DMAC のチャンネル No をコンソールに出力します。
- BSC-DMAC0 のアクセス調停優先順位グループを LEVEL1 (高: グループ 1) に設定したため、LBSC-DMAC0 の DMA 転送が最初に完了することを確認します。
- DMA 転送完了後、転送元データと転送先データの値を比較し、不一致であれば main() にエラーを返します。

引 数 なし
 リターン値 D_DRV_LBSC_DMAC_NG : 処理失敗
 D_APP_LBSC_DMAC_OK : 処理成功

R_DRV_LBSC_DMAC0_Open

概 要 LBSC_DMAC0 オープン処理
 ヘッダ r_drv_lbsc_dmac0.h
 宣 言 drv_lbsc_dmac_ret_t R_DRV_LBSC_DMAC0_Open(void);
 説 明

- LBSC-DMAC へのクロック供給を行います。
- LSRSTR0 レジスタを使用した LBSC-DMAC0 リセットを行います。
- 表 5.1 デフォルトパターン (No.1) 設定を行います。
- DMA 転送終了割り込みを有効にします。
- 本アプリケーションノートでは、割り込み優先度は 10 とします。

引 数 なし
 リターン値 D_DRV_LBSC_DMAC_NG : 処理失敗
 D_DRV_LBSC_DMAC_OK : 処理成功

R_DRV_LBSC_DMAC0_Start

概 要 LBSC_DMAC0 スタート処理
 ヘッダ r_drv_lbsc_dmac0.h
 宣 言 drv_lbsc_dmac_ret_t R_DRV_LBSC_DMAC0_Start(const void * const psrc, const void * const pdst, uint32_t count);
 説 明

- DMA 転送終了ソフトフラグを初期状態、DMA 転送中状態 (D_DRV_LBSC_DMAC_INITIAL_OR_BEING_TRANSFERRED) にします。
- パラメータ指定された DMA 転送元アドレス、DMA 転送先アドレス、DMA 転送回数をレジスタに設定し DMA 転送を開始します。

引 数 void *psrc DMA 転送元アドレス
 void *pdst DMA 転送先アドレス
 uint32_t count DMA 転送回数 (2 バイト単位)
 リターン値 D_DRV_LBSC_DMAC_NG : 処理失敗 (予約)
 D_DRV_LBSC_DMAC_OK : 処理成功

R_DRV_LBSC_DMAC0_Close

概 要 LBSC_DMAC0 クローズ処理
 ヘッダ r_drv_lbsc_dmac0.h
 宣 言 drv_lbsc_dmac_ret_t R_DRV_LBSC_DMAC0_Close(void);
 説 明

- LBSC-DMAC0 のリセット (LSRSTR0 を実行します。)

引 数 なし
 リターン値 D_DRV_LBSC_DMAC_NG : 処理失敗 (予約)
 D_DRV_LBSC_DMAC_OK : 処理成功

R_DRV_LBSC_DMAC0_Get_EndFlg

概要	DMA 転送終了ソフトフラグ参照
ヘッダ	r_drv_lbsc_dmac0.h
宣言	drv_lbsc_dmac_t_transfer_end_flg R_DRV_LBSC_DMAC0_Get_EndFlg(void);
説明	アプリケーション層で DMA 転送終了を確認するために使用します。
引数	なし
リターン値	D_DRV_LBSC_DMAC_INITIAL_OR_BEING_TRANSFERRED : 初期状態、DMA 転送中 D_DRV_LBSC_DMAC_TRANSFER_COMPLETED : DMA 転送完了

R_DRV_LBSC_DMAC0_interrupt

概要	LBSC_DMAC0 割り込み処理
ヘッダ	r_drv_lbsc_dmac0.h
宣言	void R_DRV_LBSC_DMAC0_interrupt(void);
説明	<ul style="list-style-type: none"> • DMA 転送終了割り込み表示をクリアします。 • DMA 転送終了ソフトフラグ DMA 転送完了 (D_DRV_LBSC_DMAC_TRANSFER_COMPLETED) にします。
引数	なし
リターン値	なし

R_DRV_LBSC_DMAC0_ioctl

概要	LBSC_DMAC0 設定変更処理
ヘッダ	r_drv_lbsc_dmac0.h
宣言	drv_lbsc_dmac_ret_t R_DRV_LBSC_DMAC0_ioctl (drv_lbsc_dmac_ioctl_type_t type, void *pinfo);
説明	R_DRV_LBSC_DMAC0_Open()で設定した表 5.1 デフォルトパターン (No.1) 設定から差分変更する場合にコールします。

引数の type と変更される LBSC-DMAC 設定について

D_DRV_LBSC_DMAC_BURST :

DCR レジスタの BTMD ビットを変更します。

pinfo に D_DRV_LBSC_DMAC_ON 指定した場合 : バースト転送を行う

pinfo に D_DRV_LBSC_DMAC_OFF 指定した場合 : バースト転送を行なわない

D_DRV_LBSC_DMAC_PACKING :

DCR レジスタの PKMD ビットを変更します。

pinfo に D_DRV_LBSC_DMAC_ON 指定した場合 : パッキング機能有効

pinfo に D_DRV_LBSC_DMAC_OFF 指定した場合 : パッキング機能無効

D_DRV_LBSC_DMAC_ALIGNMENT_CONVERSION :

DCR レジスタの DTAMD、DTAC、DTAU、DTAU1 ビットを変更します。

pinfo に「SH7734 ユーザーズマニュアル ハードウェア編 (R01UH0233JJ) LBSC-DMAC 章 データアライメント制御信号対応表」の番号

(drv_lbsc_dmac_alignment_type_t) を指定することにより対応するデータアライメント変換を行います。

D_DRV_LBSC_DMAC_GROUP_PRI :

DMLVLR レジスタの DMLV0 ビットを変更します。

pinfo に D_DRV_LBSC_DMAC_EX_BUS_PRI_HIGH 指定した場合：
LEVEL1 (高：グループ 1) に設定します。
pinfo に D_DRV_LBSC_DMAC_EX_BUS_PRI_LOW 指定した場合：
LEVEL2 (低：グループ 2) に設定します。

D_DRV_LBSC_DMAC_SHWY_BUS_ARBI_PRI：
LBSC-DMAC0 の SHwy_BUS アクセス優先レベルの設定を変更します。
DMASPR レジスタの SPRR0 ビットに pinfo の値を設定します。

D_DRV_LBSC_DMAC_EXT_BUS_ARBI_PRI：
EXBATLV レジスタの EX-BLV ビットを変更します。
pinfo に D_DRV_LBSC_DMAC_EX_BUS_PRI_HIGH 指定した場合：
高：LBSC-DMAC、低：PIO (SuperHyway バスからのアクセス) に設定します。
pinfo に D_DRV_LBSC_DMAC_EX_BUS_PRI_LOW 指定した場合：
高：PIO (SuperHyway バスからのアクセス)、低：LBSC-DMAC に設定します。

引 数 drv_lbsc_dmac_ioctl_typ LBSC_DMAC0 設定変更種別
 e_t type
 void *pinfo LBSC_DMAC0 設定変更情報

リターン値 D_DRV_LBSC_DMAC_NG : 処理失敗
 D_DRV_LBSC_DMAC_OK : 処理成功

5.10 フローチャート

5.10.1 メイン処理

図 5.5にメイン処理のフローチャートを示します。

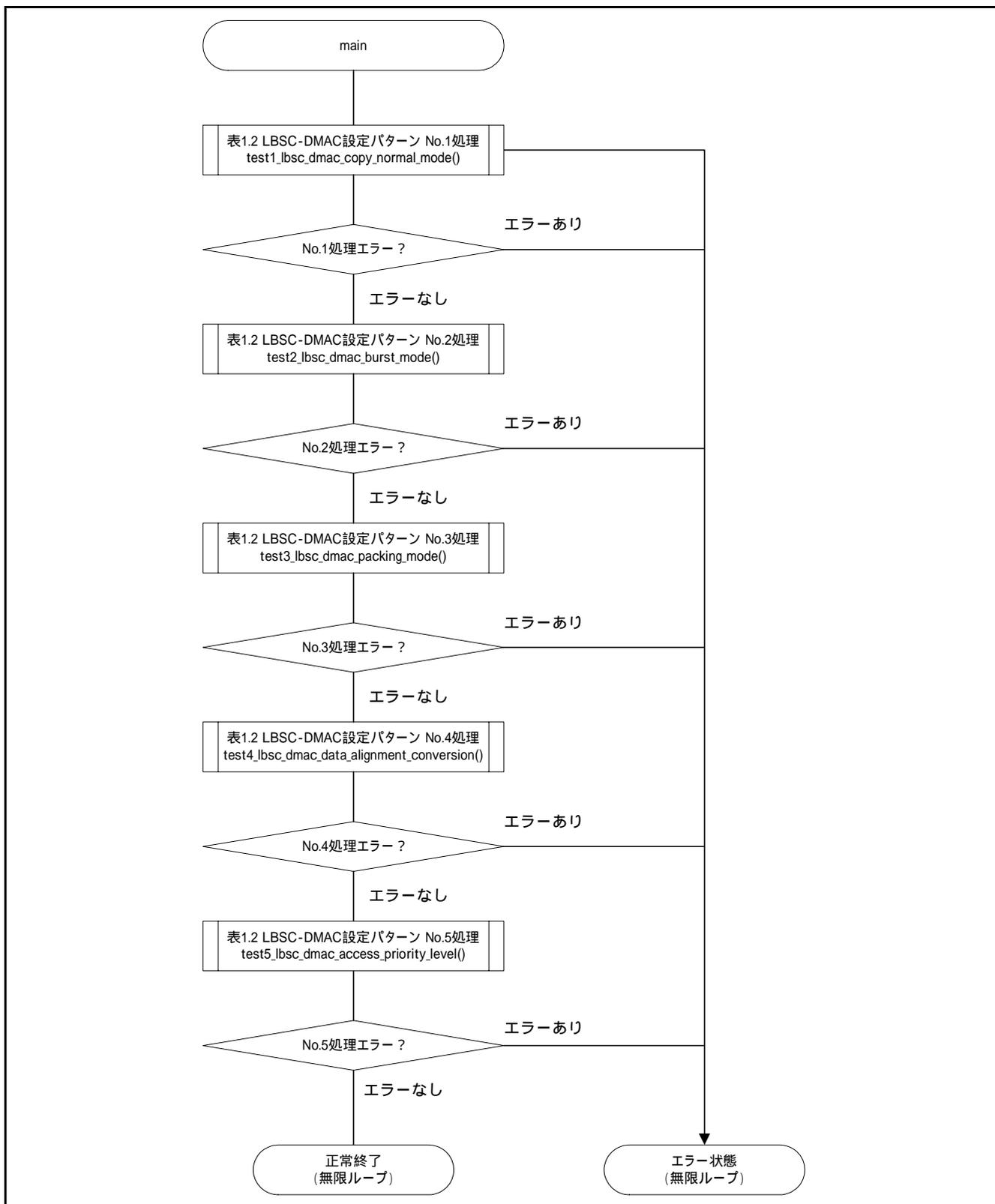


図5.5 メイン処理

【参考】

- test1_lbsc_dmac_copy_normal_mode ()
- test2_lbsc_dmac_burst_mode ()
- test3_lbsc_dmac_packing_mode ()
- test4_lbsc_dmac_data_alignment_conversion()
- test5_lbsc_dmac_access_priority_level ()

これら表 1.2 LBSC-DMAC 設定パターンを行う処理は、R_DRV_LBSC_DMACH0_Ioctl()の使用、パラメータ指定が異なるのみで基本的に同じフローとなりますので個々のフローは省略します。

フローの概要は、図 5.2 DMA 転送開始シーケンス、図 5.3 DMA 転送終了シーケンスを参照ください。

5.10.2 LBSC_DMACH0 オープン処理

図 5.6にLBSC_DMACH0 オープン処理のフローチャートを示します。

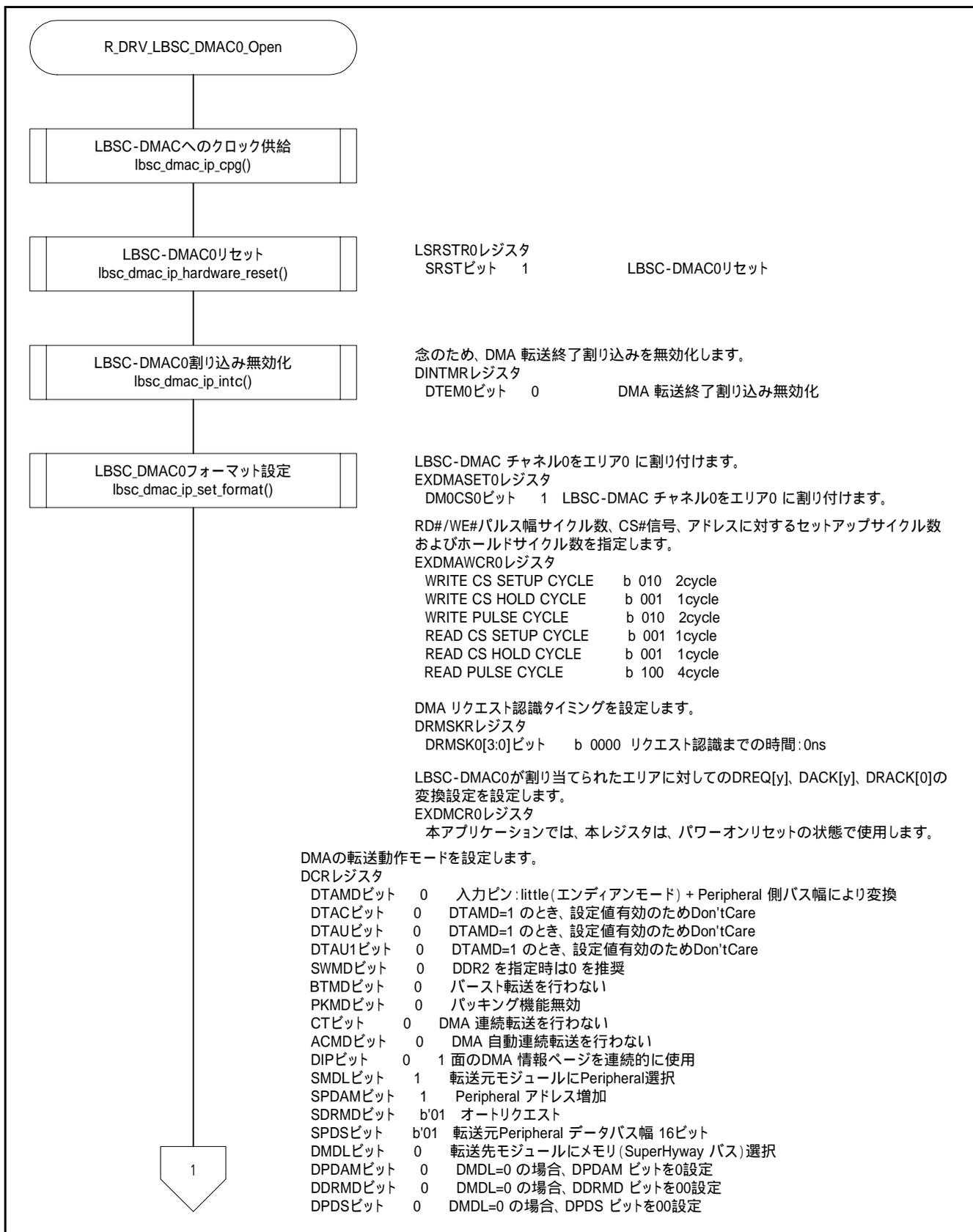


図5.6 LBSC_DMACH0 オープン処理 - 1

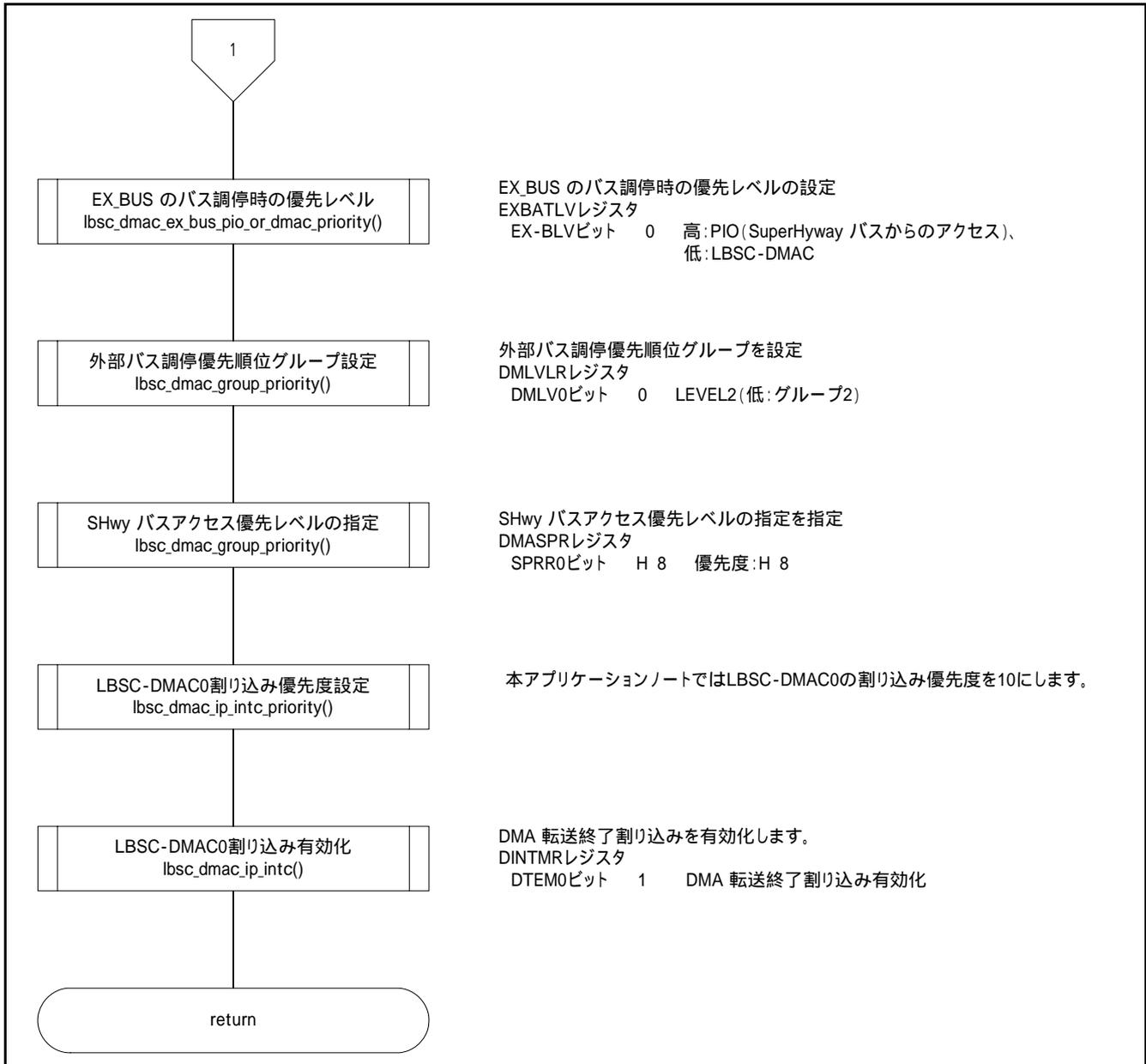


図5.7 LBSC_DMACH0 オープン処理 - 2

5.10.3 LBSC_DMAC0 スタート処理

図 5.8にLBSC_DMAC0 スタート処理のフローチャートを示します。

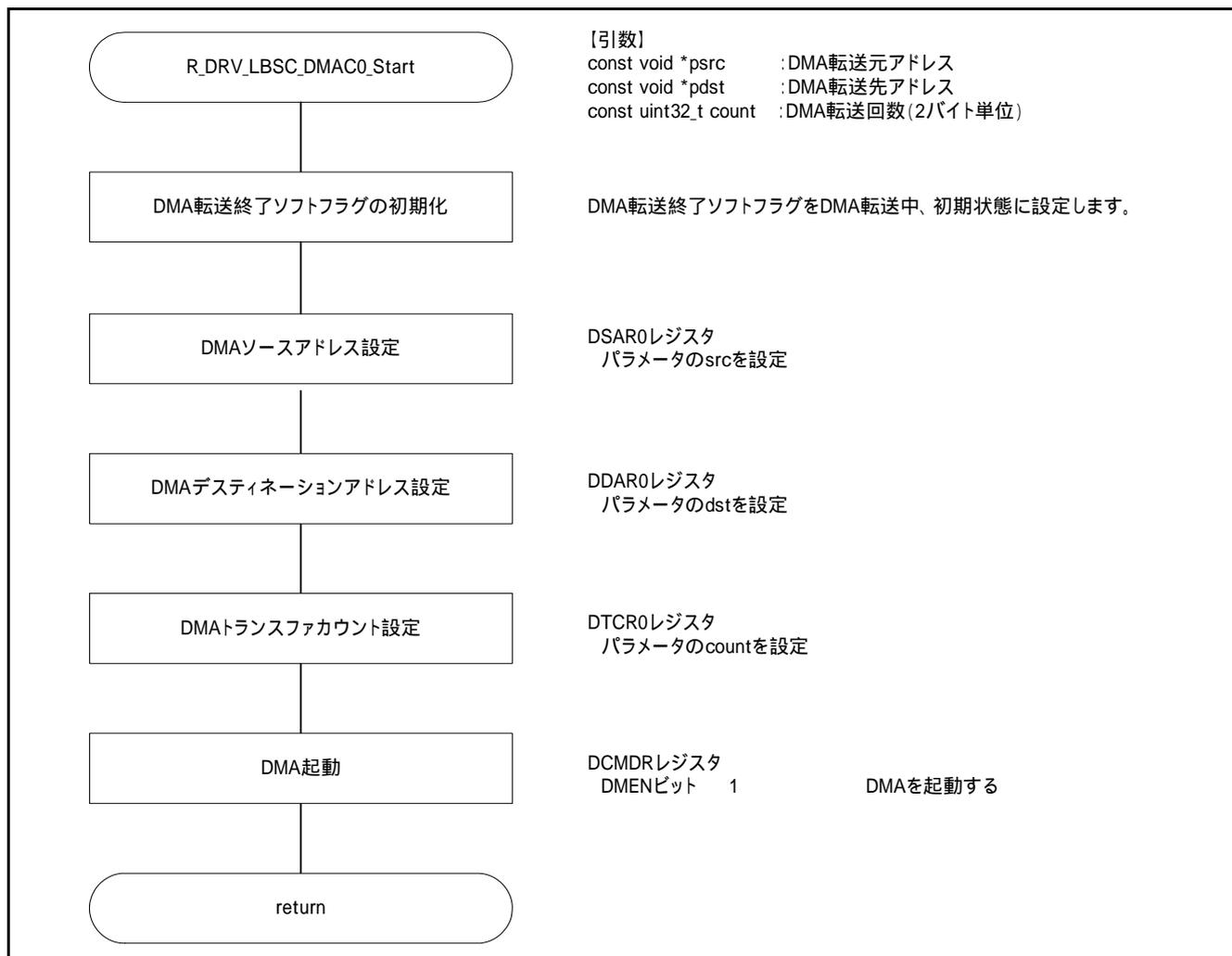


図5.8 LBSC_DMAC0 スタート処理

5.10.4 LBSC_DMAC0 クローズ処理

図 5.9にLBSC_DMAC0 クローズ処理のフローチャートを示します。

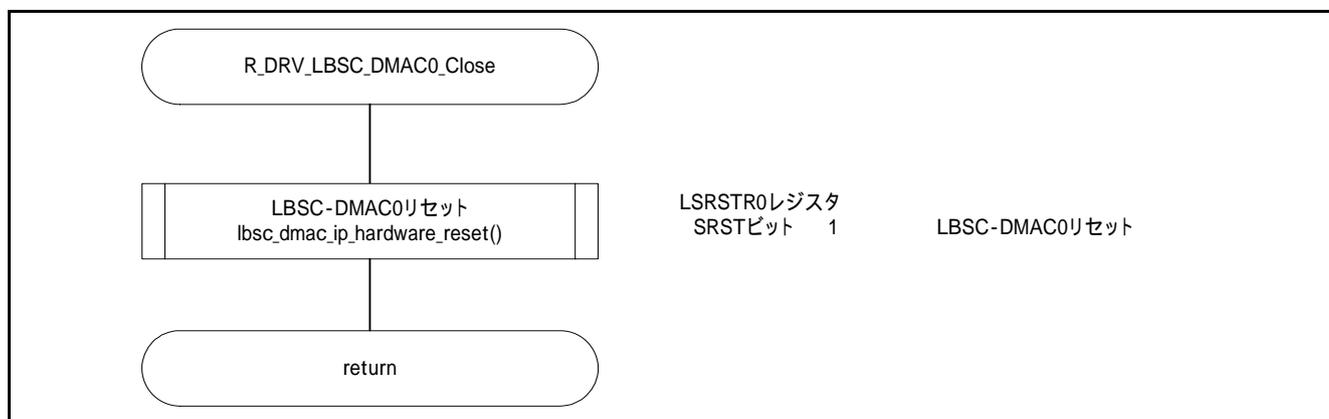


図5.9 LBSC_DMAC0 クローズ処理

5.10.5 DMA 転送終了ソフトフラグ参照

図 5.10にDMA 転送終了ソフトフラグ参照のフローチャートを示します。



図5.10 DMA 転送終了ソフトフラグ参照

5.10.6 LBSC_DMACH0 設定変更処理

図 5.11にLBSC_DMACH0 設定変更処理のフローチャートを示します。

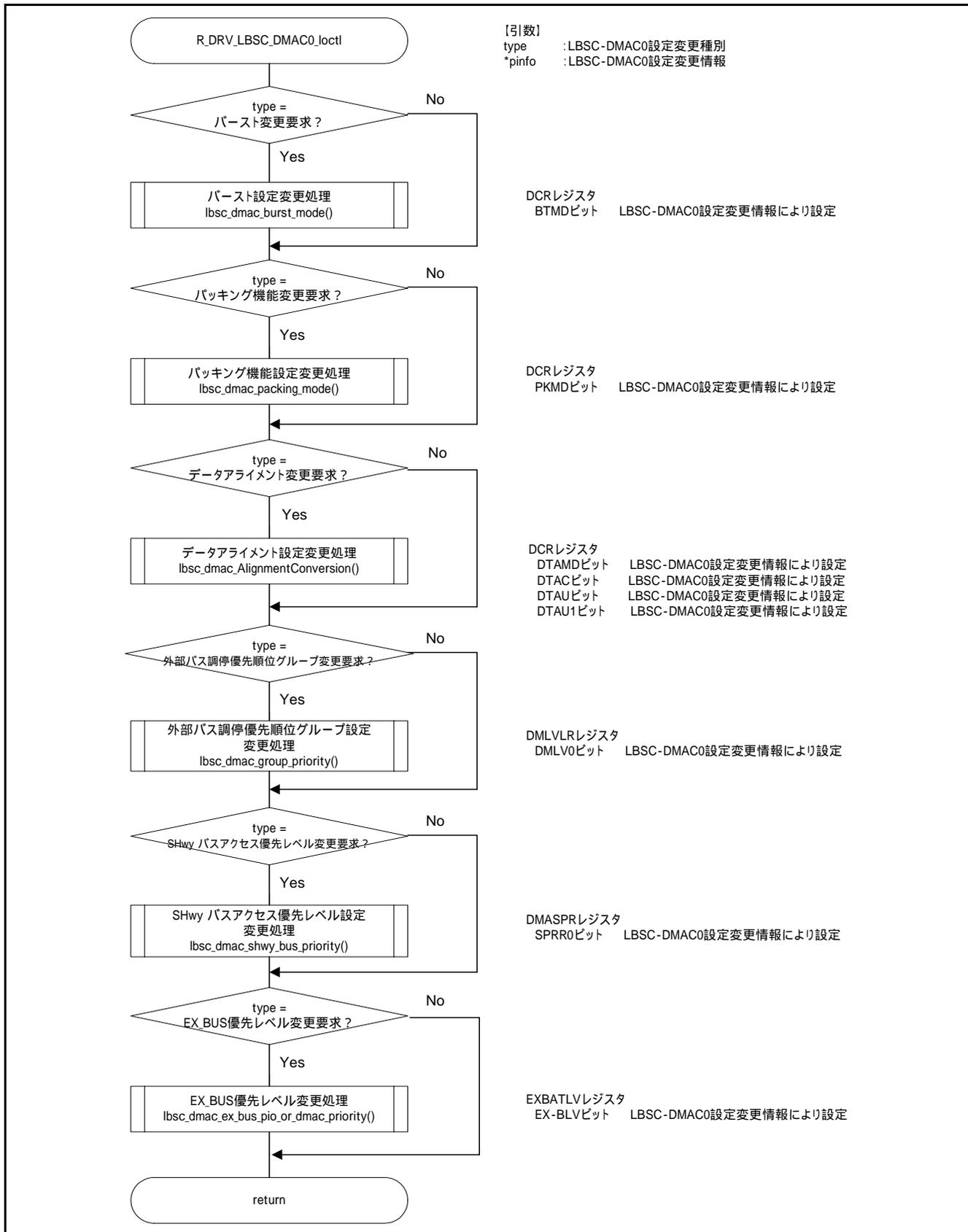


図5.11 LBSC_DMACH0 設定変更処理

5.10.7 LBSC_DMAC0 割り込み処理

図 5.12にLBSC_DMAC0 割り込み処理のフローチャートを示します。

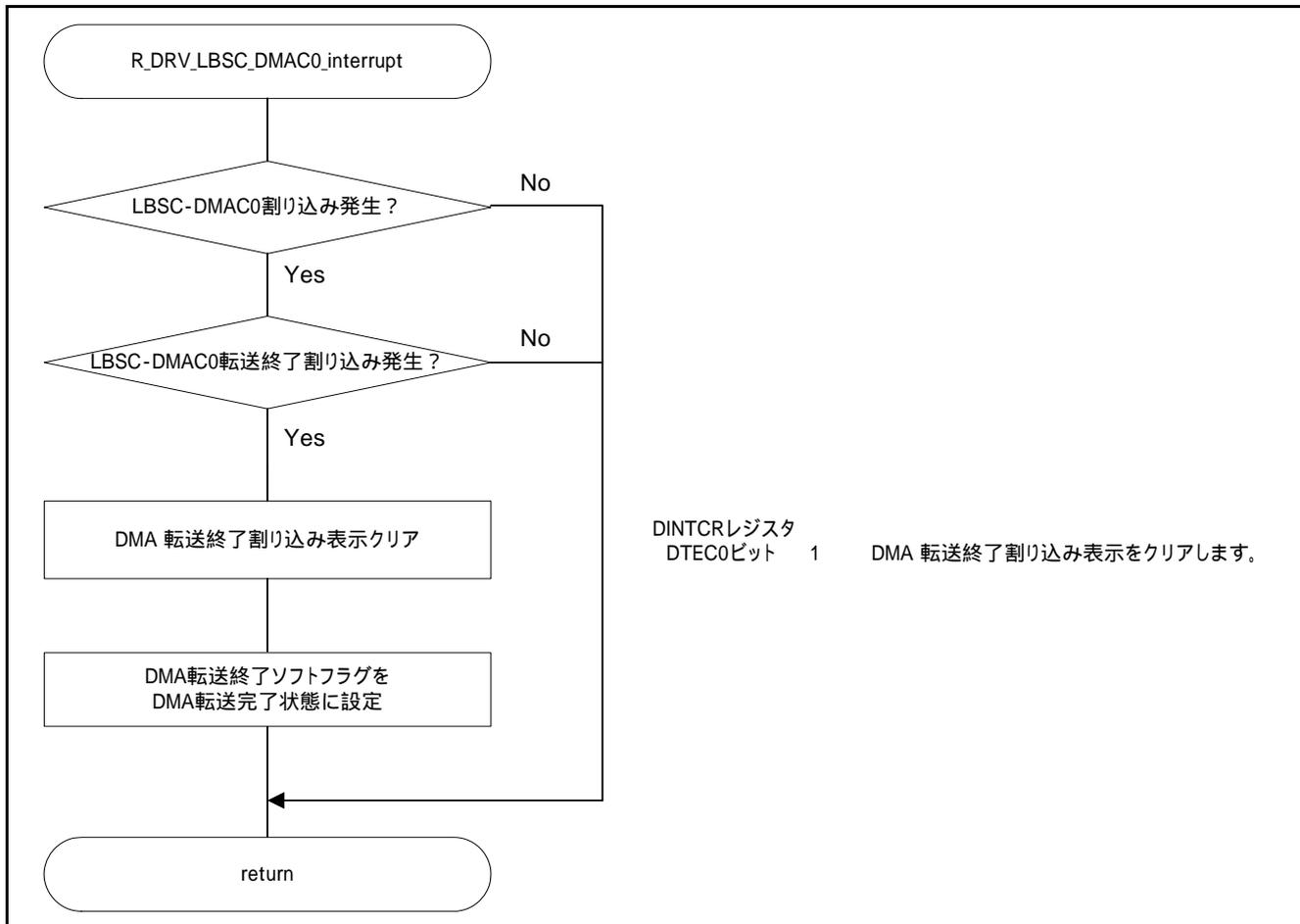


図5.12 LBSC_DMAC0 割り込み処理

6. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

7. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

SH7734グループ ユーザーズマニュアル ハードウェア編

(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート/テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

SH C/C++コンパイラパッケージ ユーザーズマニュアル

(最新版をルネサス エレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com>

お問い合わせ先

<http://japan.renesas.com/contact/>

改訂記録	SH7734 グループ アプリケーションノート LBSC-DMAC 設定例
------	---------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.02.14	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違っていると、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>