

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

455Aグループ

入出力端子

1. 要約

この資料は455Aグループの入出力端子の使用方法を紹介し、応用例を掲載しています。

2. はじめに

この資料で説明する応用例は次のマイコン、条件での利用に適用されます。

- マイコン : 455Aグループ

3. 入出力ポート

3.1 ポートP0

ポートP0は、ポートとして4ビットの入出力機能をもっています。ポートP0₀ ~ P0₃はLCDセグメント出力端子SEG16 ~ SEG19と兼用です。端子の機能をレジスタC1の設定により入出力端子、あるいはLCDセグメント出力端子から選択できます。

キーオンウェイクアップの機能をレジスタK0₀ ~ K0₁、プルアップトランジスタの機能をレジスタPU0₀ ~ PU0₁の設定によりON/OFFできます。

また、ポートの出力形式をレジスタFR0₀ ~ FR0₁の設定によりNチャンネルオープンドレイン出力、あるいはCMOS出力から選択できます。

3.1.1 ポートP0の入出力方法

- 入力方法

使用するポートに対応して、レジスタFR0_i(*i*=0 ~ 1)を”0”に設定し、ポートP0_i(*i*=0 ~ 3)の出力ラッチをOP0A 命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

IAP0 命令を実行すると、ポートP0の端子の状態はレジスタAに転送されます。

- 出力方法

OP0A 命令によりレジスタAの内容がポートP0に出力されます。

出力形式は、レジスタFR0₀ ~ FR0₁により、2ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。

3.2 ポートP1

ポートP1は、ポートとして4ビットの入出力機能をもっています。ポートP1₀ ~ P1₃はLCDセグメント出力端子SEG20 ~ SEG23と兼用です。端子の機能をレジスタC2の設定により入出力端子、あるいはLCDセグメント出力端子から選択できます。

キーオンウェイクアップの機能をレジスタK0₂ ~ K0₃、プルアップトランジスタの機能をレジスタPU0₂ ~ PU0₃の設定によりON/OFFできます。

また、ポートの出力形式をレジスタFR0₂ ~ FR0₃の設定によりNチャンネルオープンドレイン出力、あるいはCMOS出力から選択できます。

3.2.1 ポートP1の入出力方法

- 入力方法

使用するポートに対応して、レジスタFR0_i(*i*=2 ~ 3)を”0”に設定し、ポートP1_i(*i*=0 ~ 3)の出力ラッチをOP1A 命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

IAP1 命令を実行すると、ポートP1の端子の状態はレジスタAに転送されます。

- 出力方法

OP1A 命令によりレジスタAの内容がポートP1に出力されます。

出力形式は、レジスタFR0₂ ~ FR0₃により、2ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。

3.3 ポートP2

ポートP2は、ポートとして4ビットの入出力機能をもっています。ポートP20 ~ P23はLCDセグメント出力端子SEG24 ~ SEG27と兼用です。端子の機能をレジスタL3の設定により入出力端子、あるいはLCDセグメント出力端子から選択できます。

キーオンウェイクアップの機能をレジスタK1、プルアップトランジスタの機能をレジスタPU1の設定によりON/OFFできます。

また、ポートの出力形式をレジスタFR3の設定によりNチャンネルオープンドレイン出力、あるいはCMOS出力から選択できます。

3.3.1 ポートP2の入出力方法

- 入力方法

使用するポートに対応して、レジスタFR3i(i=0 ~ 3)を”0”に設定し、ポートP2i(i=0 ~ 3)の出力ラッチをOP2A命令で”1”に設定してください。出力ラッチが”0”に設定されている場合、”L”レベルが入力されます。

IAP2命令を実行すると、ポートP2の端子の状態はレジスタAに転送されます。

- 出力方法

OP2A命令によりレジスタAの内容がポートP2に出力されます。

出力形式は、レジスタFR30 ~ FR33により、1ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。

3.4 ポートP3

ポートP3は、ポートとして4ビットの入出力機能をもっています。ポートP30 ~ P33はLCDセグメント出力端子SEG28 ~ SEG31と兼用です。端子の機能をレジスタC3の設定により入出力端子、あるいはLCDセグメント出力端子から選択できます。

キーオンウェイクアップの機能をレジスタK2i(i=2 ~ 3)、プルアップトランジスタの機能をレジスタPU2の設定によりON/OFFできます。

また、ポートの出力形式をレジスタFR22 ~ FR23の設定によりNチャンネルオープンドレイン出力、あるいはCMOS出力から選択できます。

3.4.1 ポートP3の入出力方法

- 入力方法

使用するポートに対応して、レジスタFR2i(i=2 ~ 3)を”0”に設定し、ポートP3i(i=0 ~ 3)の出力ラッチをOP3A命令で”1”に設定してください。出力ラッチが”0”に設定されている場合、”L”レベルが入力されます。

IAP3命令を実行すると、ポートP3の端子の状態はレジスタAに転送されます。

- 出力方法

OP3A命令によりレジスタAの内容がポートP3に出力されます。

出力形式は、レジスタFR22 ~ FR23により、2ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。

3.5 ポートD

ポートDは、8本のビット単位の入出力機能をもっています。ポートD5はINT端子、ポートD6はXCIN端子、ポートD7はXCOUT端子とそれぞれ兼用です。

また、ポートD0～D5の出力形式をレジスタFR1、FR20～FR21の設定によりNチャンネルオープンドレイン出力、あるいはCMOS出力から選択できます。

CLD命令を実行すると、ポートDのすべての端子の状態がレジスタFR1i(i=0～3)、FR2i(i=0～1)の設定に基づき、ハイインピーダンス又は“H”レベルになります。

3.5.1 ポートD0～D5の入出力方法

ポートD0～D5は、ビット単位で入出力制御を行います。したがって、ポートD0～D5で入出力を行う場合は、まずポートDの1本をデータポイントのレジスタYによって選択してください。

- 入力方法

使用するポートD0～D5に対応して、レジスタFR1i(i=0～3)、FR2i(i=0～1)を“0”に設定し、ポートDi(i=0～5)の出力ラッチをSD命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

SZD命令を実行すると、レジスタYで指定されたポートの内容が“0”であれば、次の命令をスキップします。“1”であれば次の命令を実行します。

- 出力方法

出力レベルをSD、RD命令で出力ラッチに設定してください。

出力形式は、ポートD0～D3はレジスタFR1、ポートD4～D5はFR20～FR21により1ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。

SD命令を実行すると、端子の状態はレジスタFR1i(i=0～3)、FR2i(i=0～1)の設定に基づき、ハイインピーダンス又は“H”レベルになります。

RD命令を実行すると、端子の状態は“L”レベルになります。

3.5.2 ポートD6～D7の入出力方法

ポートD6～D7は、ビット単位で入出力制御を行います。したがって、ポートD6～D7で入出力を行う場合は、まずポートDの1本をデータポイントのレジスタYによって選択してください。

ポートD6はXCIN端子、ポートD7はXCOUT端子と兼用です。したがって、ポートD6、D7として使用する際は、レジスタRG2を“1”に設定してください。

- 入力方法

使用するポートD6～D7に対応して、出力ラッチをSD命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

SZD命令を実行すると、レジスタYで指定されたポートの内容が“0”であれば、次の命令をスキップします。“1”であれば次の命令を実行します。

- 出力方法

出力レベルをSD、RD命令で出力ラッチに設定してください。

SD命令を実行すると、端子の状態はハイインピーダンスになります。

RD命令を実行すると、端子の状態は“L”レベルになります。

注 SD、RD命令使用時は、レジスタYに“10002”以上を設定しないでください。

3.6 ポートC

ポートCは、ポートとして1ビットの出力機能をもっています。ポートCはCNTR端子と兼用です。但し、CNTR端子を入力として使用する場合は、出力はできません。

3.6.1 ポートCの出力方法

- 出力方法

出力形式はCMOSで、SCP命令を実行すると、端子の状態は“H”レベルになります。RCP命令を実行すると、端子の状態は“L”レベルになります。

注 端子への出力は、CNTR出力とポートC出力の論理和が実際に端子へと出力されます。

4. 関連レジスタ

4.1 タイマ制御レジスタW1

表 4.1にタイマ制御レジスタW1のビット構成を示します。
レジスタW1への書き込みは、レジスタAに値を設定した後、TW1A命令で行います。
また、TAW1命令でレジスタW1の内容をレジスタAに転送できます。

表 4.1 タイマ制御レジスタW1のビット構成

タイマ制御レジスタ W1		リセット時：0000 ₂		パワーダウン時：状態保持	R/W TAW1/TW1A
W13	タイマ1 カウント自動停止回路選択ビット(注2)	0	タイマ1カウント自動停止回路非選択		
		1	タイマ1カウント自動停止回路選択		
W12	タイマ1制御ビット	0	停止(状態保持)		
		1	動作		
W11	タイマ1カウントソース選択ビット(注3)	W11	W10	カウントソース	
		0	0	PWM信号(PWMOUT)	
		0	1	プリスケアラ出力(ORCLK)	
W10		1	0	タイマ3アンダフロー信号(T3UDF)	
		1	1	CNTR入力	

注1. “R”は読み出し可、“W”は書き込み可を表します。

注2. この機能はタイマ1カウント開始同期回路選択(I10=“1”)時にのみ有効です。

注3. タイマ1カウントソースにCNTR入力を選択した場合、ポートC出力は無効になります。

注4. : ポートの設定時使用しないビットです。

4.2 タイマ制御レジスタW2

表 4.2にタイマ制御レジスタW2のビット構成を示します。
レジスタW2への書き込みは、レジスタAに値を設定した後、TW2A命令で行います。
また、TAW2命令でレジスタW2の内容をレジスタAに転送できます。

表 4.2 タイマ制御レジスタW2のビット構成

タイマ制御レジスタ W2		リセット時：0000 ₂		パワーダウン時：0000 ₂	R/W TAW2/TW2A
W23	CNTR端子出力制御ビット	0	CNTR端子出力無効		
		1	CNTR端子出力有効		
W22	PWM信号 “H”期間拡張機能制御ビット	0	PWM信号“H”期間拡張機能無効		
		1	PWM信号“H”期間拡張機能有効		
W21	タイマ2制御ビット	0	停止(状態保持)		
		1	動作		
W20	タイマ2カウントソース選択ビット	0	XIN入力		
		1	プリスケアラ出力(ORCLK)の2分周信号		

注1. “R”は読み出し可、“W”は書き込み可を表します。

注2. : ポートの設定時使用しないビットです。

4.3 ブルアップ制御レジスタPU0

表 4.3 にブルアップ制御レジスタPU0のビット構成を示します。
 レジスタPU0への書き込みは、レジスタAに値を設定した後、TPU0A命令で行います。
 また、TAPU0命令でレジスタPU0の内容をレジスタAに転送できます。

表 4.3 ブルアップ制御レジスタPU0のビット構成

ブルアップ制御レジスタ PU0		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAPU0/TPU0A
PU0 ₃	ポートP1 ₂ 、P1 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU0 ₂	ポートP1 ₀ 、P1 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU0 ₁	ポートP0 ₂ 、P0 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU0 ₀	ポートP0 ₀ 、P0 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	

注1. “R” は読み出し可、“W” は書き込み可を表します。

4.4 ブルアップ制御レジスタPU1

表 4.4 にブルアップ制御レジスタPU1のビット構成を示します。
 レジスタPU1への書き込みは、レジスタAに値を設定した後、TPU1A命令で行います。
 また、TAPU1命令でレジスタPU1の内容をレジスタAに転送できます。

表 4.4 ブルアップ制御レジスタPU1のビット構成

ブルアップ制御レジスタ PU1		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAPU1/TPU1A
PU1 ₃	ポートP2 ₃ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU1 ₂	ポートP2 ₂ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU1 ₁	ポートP2 ₁ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	
PU1 ₀	ポートP2 ₀ ブルアップトランジスタ制御ビット	0	ブルアップトランジスタOFF	
		1	ブルアップトランジスタON	

注1. “R” は読み出し可、“W” は書き込み可を表します。

4.5 プルアップ制御レジスタPU2

表 4.5にプルアップ制御レジスタPU2のビット構成を示します。
レジスタPU2への書き込みは、レジスタAに値を設定した後、TPU2A命令で行います。
また、TAPU2命令でレジスタPU2の内容をレジスタAに転送できます。

表 4.5 プルアップ制御レジスタPU2のビット構成

プルアップ制御レジスタ PU2		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAPU2/TPU2A
PU ₂₃	ポートP3 ₃ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU ₂₂	ポートP3 ₂ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU ₂₁	ポートP3 ₁ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU ₂₀	ポートP3 ₀ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

注1. “R” は読み出し可、“W” は書き込み可を表します。

4.6 プルアップ制御レジスタPU3

表 4.6にプルアップ制御レジスタPU3のビット構成を示します。
レジスタPU3への書き込みは、レジスタAに値を設定した後、TPU3A命令で行います。
また、TAPU3命令でレジスタPU3の内容をレジスタAに転送できます。

表 4.6 プルアップ制御レジスタPU3のビット構成

プルアップ制御レジスタ PU3		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAPU3/TPU3A
PU ₃₃	ポートD ₆ 、D ₇ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU ₃₂	ポートD ₄ 、D ₅ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU ₃₁	ポートD ₂ 、D ₃ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	
PU ₃₀	ポートD ₀ 、D ₁ プルアップトランジスタ制御ビット	0	プルアップトランジスタOFF	
		1	プルアップトランジスタON	

注1. “R” は読み出し可、“W” は書き込み可を表します。

4.7 ポート出力形式制御レジスタFR0

表 4.7 にポート出力形式制御レジスタFR0のビット構成を示します。
レジスタFR0への書き込みは、レジスタAに値を設定した後、TFR0A命令で行います。

表 4.7 ポート出力形式制御レジスタFR0のビット構成

ポート出力形式制御レジスタ FR0		リセット時：0000 ₂	パワーダウン時：状態保持	W TFR0A
FR0 ₃	ポートP1 ₂ 、P1 ₃ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR0 ₂	ポートP1 ₀ 、P1 ₁ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR0 ₁	ポートP0 ₂ 、P0 ₃ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR0 ₀	ポートP0 ₀ 、P0 ₁ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	

注1. “W” は書き込み可を表します。

4.8 ポート出力形式制御レジスタFR1

表 4.8 にポート出力形式制御レジスタFR1のビット構成を示します。
レジスタFR1への書き込みは、レジスタAに値を設定した後、TFR1A命令で行います。

表 4.8 ポート出力形式制御レジスタFR1のビット構成

ポート出力形式制御レジスタ FR1		リセット時：0000 ₂	パワーダウン時：状態保持	W TFR1A
FR1 ₃	ポートD ₃ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR1 ₂	ポートD ₂ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR1 ₁	ポートD ₁ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR1 ₀	ポートD ₀ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	

注1. “W” は書き込み可を表します。

4.9 ポート出力形式制御レジスタFR2

表 4.9 にポート出力形式制御レジスタFR2のビット構成を示します。
レジスタFR2への書き込みは、レジスタAに値を設定した後、TFR2A命令で行います。

表 4.9 ポート出力形式制御レジスタFR2のビット構成

ポート出力形式制御レジスタ FR2		リセット時：0000 ₂	パワーダウン時：状態保持	W TFR2A
FR2 ₃	ポートP3 ₂ 、P3 ₃ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR2 ₂	ポートP3 ₀ 、P3 ₁ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR2 ₁	ポートD ₅ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR2 ₀	ポートD ₄ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	

注1. “W” は書き込み可を表します。

4.10 ポート出力形式制御レジスタFR3

表 4.10 にポート出力形式制御レジスタFR3のビット構成を示します。
レジスタFR3への書き込みは、レジスタAに値を設定した後、TFR3A命令で行います。

表 4.10 ポート出力形式制御レジスタFR3のビット構成

ポート出力形式制御レジスタ FR3		リセット時：0000 ₂	パワーダウン時：状態保持	W TFR3A
FR3 ₃	ポートP2 ₃ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR3 ₂	ポートP2 ₂ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR3 ₁	ポートP2 ₁ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	
FR3 ₀	ポートP2 ₀ 出力形式選択ビット	0	Nチャンネルオープンドレイン出力	
		1	CMOS出力	

注1. “W” は書き込み可を表します。

4.11 キーオンウェイクアップ制御レジスタK0

表 4.11 にキーオンウェイクアップ制御レジスタ K0 のビット構成を示します。
レジスタ K0 への書き込みは、レジスタ A に値を設定した後、TK0A 命令で行います。
また、TAK0 命令でレジスタ K0 の内容をレジスタ A に転送できます。

表 4.11 キーオンウェイクアップ制御レジスタ K0 のビット構成

キーオンウェイクアップ制御レジスタ K0		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAK0/TK0A
K0 ₃	ポート P1 ₂ 、P1 ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K0 ₂	ポート P1 ₀ 、P1 ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K0 ₁	ポート P0 ₂ 、P0 ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K0 ₀	ポート P0 ₀ 、P0 ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1. “R” は読み出し可、“W” は書き込み可を表します。

4.12 キーオンウェイクアップ制御レジスタK1

表 4.12 にキーオンウェイクアップ制御レジスタ K1 のビット構成を示します。
レジスタ K1 への書き込みは、レジスタ A に値を設定した後、TK1A 命令で行います。
また、TAK1 命令でレジスタ K1 の内容をレジスタ A に転送できます。

表 4.12 キーオンウェイクアップ制御レジスタ K1 のビット構成

キーオンウェイクアップ制御レジスタ K1		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAK1/TK1A
K1 ₃	ポート P2 ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K1 ₂	ポート P2 ₂ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K1 ₁	ポート P2 ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K1 ₀	ポート P2 ₀ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1. “R” は読み出し可、“W” は書き込み可を表します。

4.13 キーオンウェイクアップ制御レジスタK2

表 4.13 にキーオンウェイクアップ制御レジスタ K2 のビット構成を示します。
レジスタ K2 への書き込みは、レジスタ A に値を設定した後、TK2A 命令で行います。
また、TAK2 命令でレジスタ K2 の内容をレジスタ A に転送できます。

表 4.13 キーオンウェイクアップ制御レジスタ K2 のビット構成

キーオンウェイクアップ制御レジスタ K2		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAK2/TK2A
K23	ポート P3 ₂ 、P3 ₃ (注3) キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K22	ポート P3 ₀ 、P3 ₁ (注2) キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K21	INT 端子 復帰条件選択ビット	0	レベル復帰	
		1	エッジ復帰	
K20	INT 端子 キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1. “ R ” は読み出し可、“ W ” は書き込み可を表します。

注2. ポート P3₀、P3₁ のキーオンウェイクアップを無効 (K22=“0”) にする場合は、レジスタ K3₀、K3₁ の値を “0” に設定してください。

注3. ポート P3₂、P3₃ のキーオンウェイクアップを無効 (K23=“0”) にする場合は、レジスタ K3₂、K3₃ の値を “0” に設定してください。

注4. : ポートの設定時使用しないビットです。

4.14 キーオンウェイクアップ制御レジスタK3

表 4.14 にキーオンウェイクアップ制御レジスタ K3 のビット構成を示します。
レジスタ K3 への書き込みは、レジスタ A に値を設定した後、TK3A 命令で行います。
また、TAK3 命令でレジスタ K3 の内容をレジスタ A に転送できます。

表 4.14 キーオンウェイクアップ制御レジスタ K3 のビット構成

キーオンウェイクアップ制御レジスタ K3		リセット時：0000 ₂	パワーダウン時：状態保持	R/W TAK3/TK3A
K33	ポート D ₆ 、D ₇ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K32	ポート D ₄ 、D ₅ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K31	ポート D ₂ 、D ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K30	ポート D ₀ 、D ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1. “ R ” は読み出し可、“ W ” は書き込み可を表します。

4.15 クロック制御レジスタRG

表 4.15 にクロック制御レジスタRGのビット構成を示します。
レジスタRGへの書き込みは、レジスタAに値を設定した後、TRGA命令で行います。

表 4.15 クロック制御レジスタRGのビット構成

クロック制御レジスタ RG		リセット時：1000 ₂	パワーダウン時：状態保持	W TRGA
RG ₃	低速オンチップオシレータ (f(LSOCO)) 制御ビット (注3)	0	低速オンチップオシレータ (f(LSOCO)) 発振可能	
		1	低速オンチップオシレータ (f(LSOCO)) 発振停止	
RG ₂	サブクロック (f(XCIN)) 制御ビット (注3)	0	サブクロック (f(XCIN)) 発振可能、ポート D ₆ 、D ₇ 非選択	
		1	サブクロック (f(XCIN)) 発振停止、ポート D ₆ 、D ₇ 選択	
RG ₁	メインクロック (f(XIN)) 制御ビット (注3)	0	メインクロック (f(XIN)) 発振可能	
		1	メインクロック (f(XIN)) 発振停止	
RG ₀	高速オンチップオシレータ (f(HSOCO)) 制御ビット (注3)	0	高速オンチップオシレータ (f(HSOCO)) 発振可能	
		1	高速オンチップオシレータ (f(HSOCO)) 発振停止	

注1. “W” は書き込み可を表します。

注2. : ポートの設定時使用しないビットです。

注3. システムクロックに選択している発振回路を停止することはできません。

4.16 LCD制御レジスタL3

表 4.16 にLCD制御レジスタL3のビット構成を示します。
レジスタL3への書き込みは、レジスタAに値を設定した後、TL3A命令で行います。

表 4.16 LCD制御レジスタL3のビット構成

LCD 制御レジスタ L3		リセット時：1111 ₂	パワーダウン時：状態保持	W TL3A
L3 ₃	P2 ₃ /SEG ₂₇ 端子機能選択ビット	0	SEG ₂₇	
		1	P2 ₃	
L3 ₂	P2 ₂ /SEG ₂₆ 端子機能選択ビット	0	SEG ₂₆	
		1	P2 ₂	
L3 ₁	P2 ₁ /SEG ₂₅ 端子機能選択ビット	0	SEG ₂₅	
		1	P2 ₁	
L3 ₀	P2 ₀ /SEG ₂₄ 端子機能選択ビット	0	SEG ₂₄	
		1	P2 ₀	

注1. “W” は書き込み可を表します。

4.17 LCD制御レジスタC1

表 4.17にLCD制御レジスタC1のビット構成を示します。
レジスタC1への書き込みは、レジスタAに値を設定した後、TC1A命令で行います。

表 4.17 LCD制御レジスタC1のビット構成

LCD 制御レジスタ C1		リセット時：1111 ₂	パワーダウン時：状態保持	W TC1A
C13	P03/SEG19 端子機能選択ビット	0	SEG19	
		1	P03	
C12	P02/SEG18 端子機能選択ビット	0	SEG18	
		1	P02	
C11	P01/SEG17 端子機能選択ビット	0	SEG17	
		1	P01	
C10	P00/SEG16 端子機能選択ビット	0	SEG16	
		1	P00	

注1. “W” は書き込み可を表します。

4.18 LCD制御レジスタC2

表 4.18にLCD制御レジスタC2のビット構成を示します。
レジスタC2への書き込みは、レジスタAに値を設定した後、TC2A命令で行います。

表 4.18 LCD制御レジスタC2のビット構成

LCD 制御レジスタ C2		リセット時：1111 ₂	パワーダウン時：状態保持	W TC2A
C23	P13/SEG23 端子機能選択ビット	0	SEG23	
		1	P13	
C22	P12/SEG22 端子機能選択ビット	0	SEG22	
		1	P12	
C21	P11/SEG21 端子機能選択ビット	0	SEG21	
		1	P11	
C20	P10/SEG20 端子機能選択ビット	0	SEG20	
		1	P10	

注1. “W” は書き込み可を表します。

4.19 LCD制御レジスタC3

表 4.19にLCD 制御レジスタC3のビット構成を示します。

レジスタC3への書き込みは、レジスタAに値を設定した後、TC3A 命令で行います。

表 4.19 LCD制御レジスタC3のビット構成

LCD 制御レジスタ C3		リセット時：1111 ₂	パワーダウン時：状態保持	W TC3A
C33	P33/SEG ₃₁ 端子機能選択ビット	0	SEG ₃₁	
		1	P3 ₃	
C32	P32/SEG ₃₀ 端子機能選択ビット	0	SEG ₃₀	
		1	P3 ₂	
C31	P31/SEG ₂₉ 端子機能選択ビット	0	SEG ₂₉	
		1	P3 ₁	
C30	P30/SEG ₂₈ 端子機能選択ビット	0	SEG ₂₈	
		1	P3 ₀	

注1. “W” は書き込み可を表します。

5. ポートの応用例

5.1 キースキャンによるキー入力

ポートDの出力形式にNチャンネルオープンドレイン出力を設定し、ポートP0内蔵のプルアップレジスタを使用すると、キーのみの外付け回路でキーマトリクスを構成できます。

ポイント：外付け部品はキーのみです。

仕様：ポートDで“L”レベルを出力して、ポートP0で16キーを入力します。

図 5.1にキーマトリクス回路例を、図 5.2にキースキャン入力タイミングを示します。

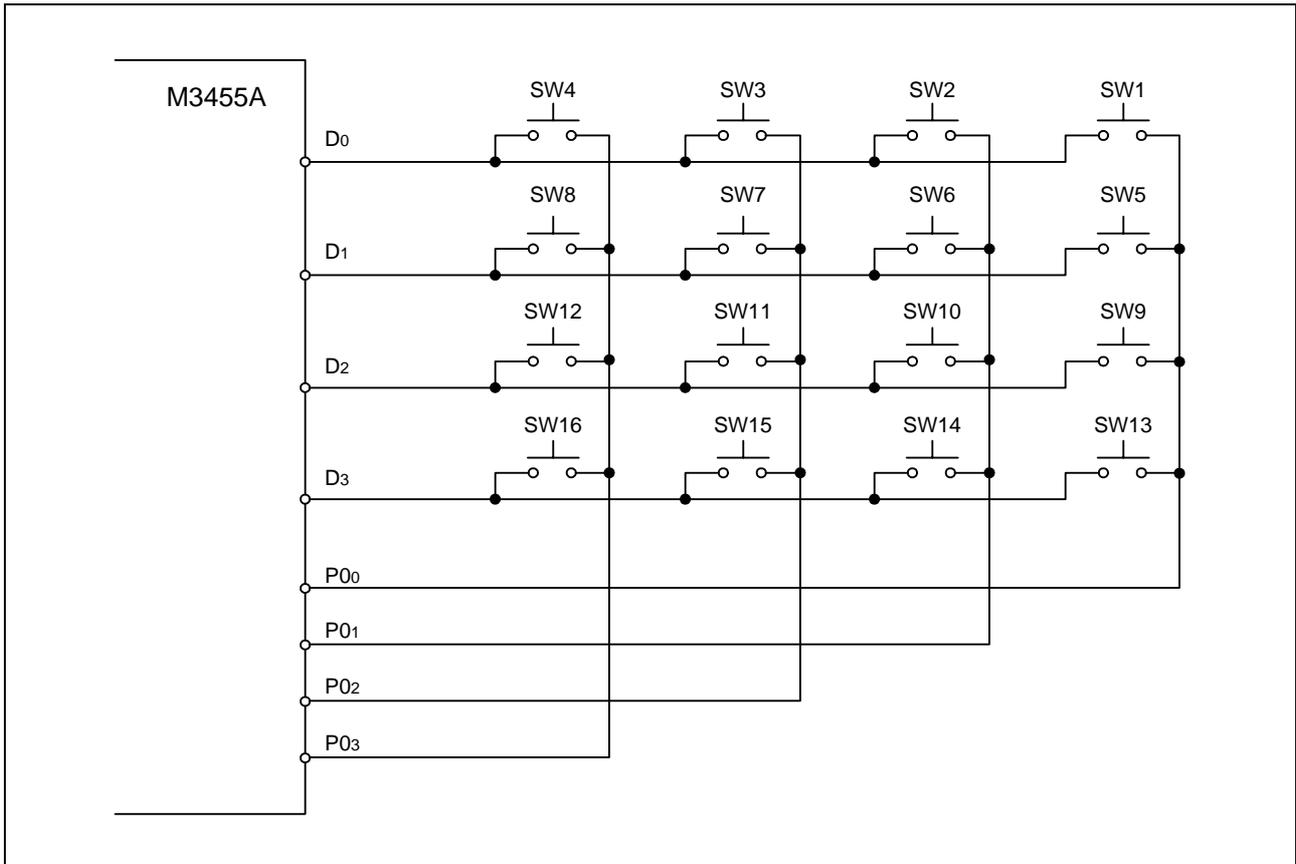


図 5.1 キーマトリクス回路例

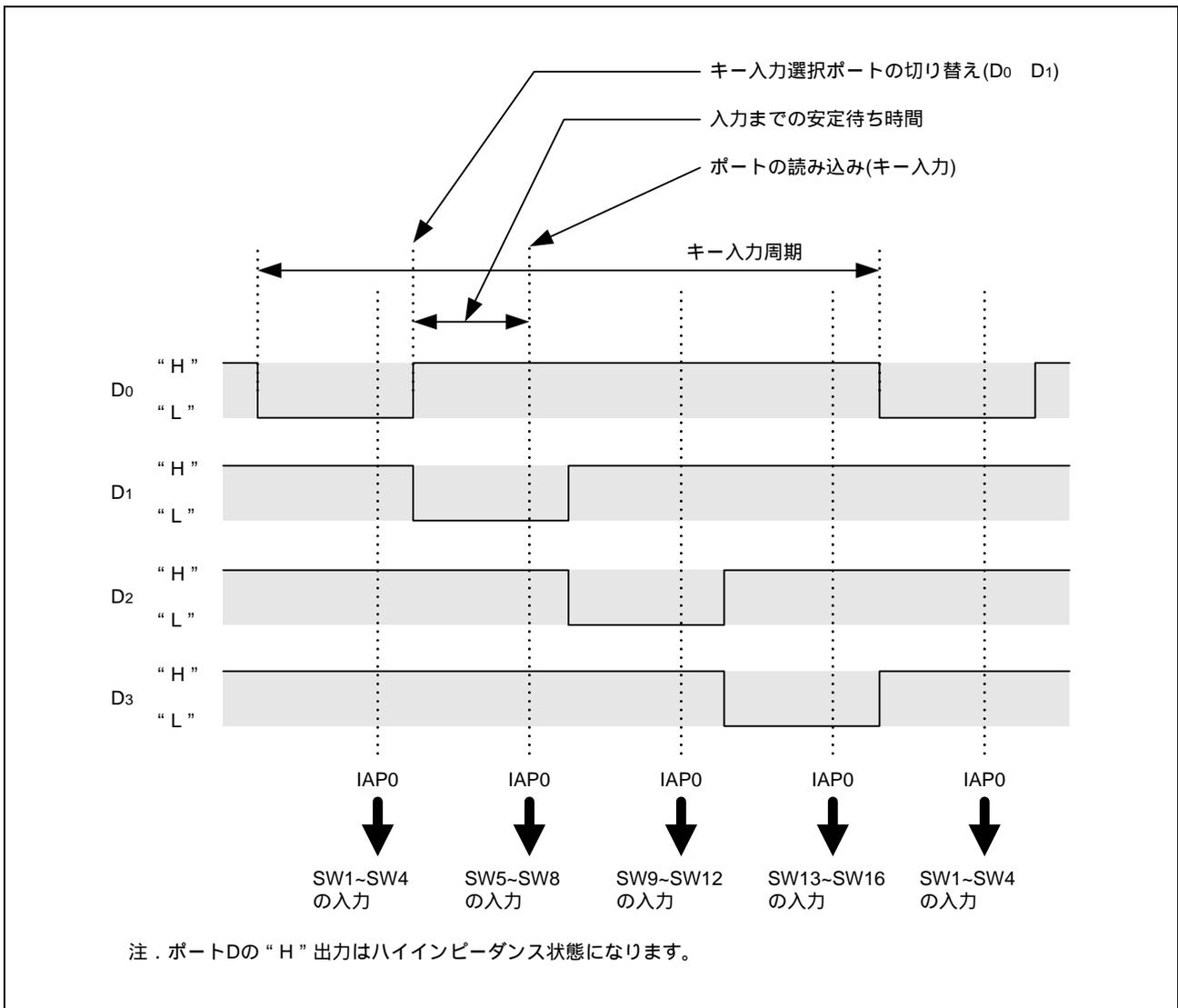


図 5.2 キースキャン入力タイミング

6. 参考ドキュメント

データシート

455A グループデータシート

(最新版をルネサス テクノロジホームページから入手してください。)

テクニカルニュース/テクニカルアップデート

(最新の情報をルネサス テクノロジホームページから入手してください。)

7. 参考プログラム例

参考プログラムは、ルネサステクノロジホームページから入手してください。
455Aグループのページの画面左メニュー「アプリケーションノート」をクリックしてください。

ホームページとサポート窓口

ルネサス テクノロジホームページ
<http://japan.renesas.com/>

お問合せ先
<http://japan.renesas.com/inquiry>
csc@renesas.com

改訂記録	455Aグループ 入出力端子
------	----------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2008.02.29	-	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
 - 1 1. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
 - 1 2. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
 - 1 3. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444