

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

### 7560グループ レジスタ一覧

#### 1. 要約

この資料は7560グループのレジスタについて説明しています。

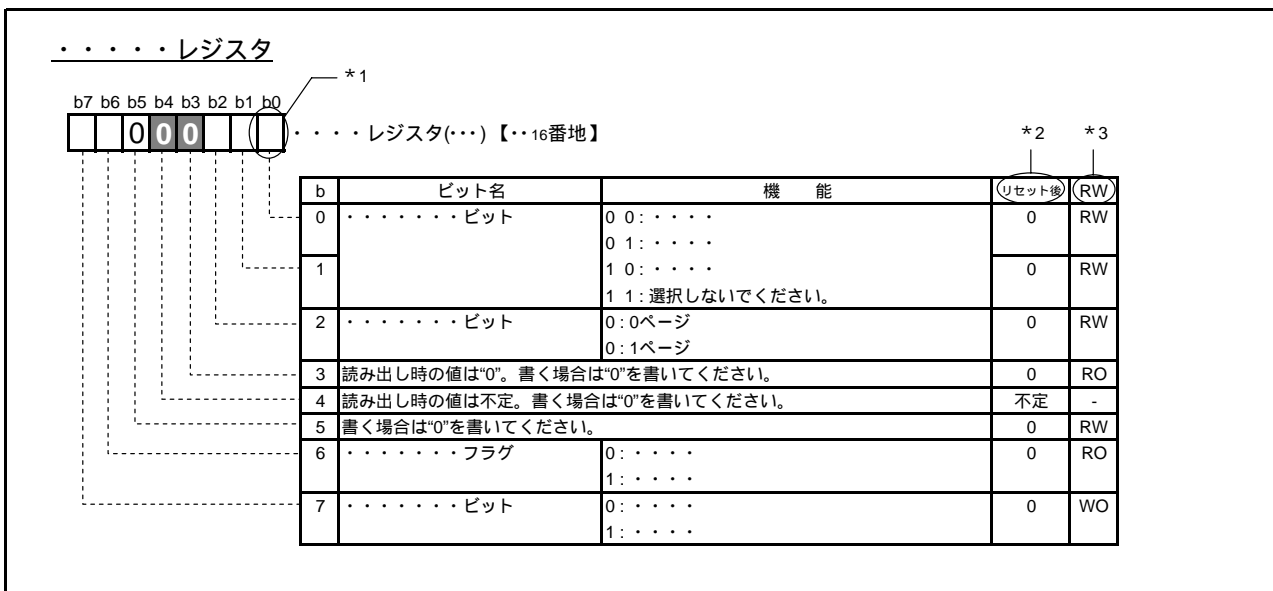
#### 2. はじめに

この資料で説明するレジスタは次の条件での利用に適用されます。

- ・マイコン : 7560グループ

#### 3. レジスタ構成図

このアプリケーションノートに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



- \* 1
- 空白 : 用途に応じて"0"又は"1"を設定してください。
  - 0 : 書く場合は"0"を書いてください。
  - 1 : 書く場合は"1"を書いてください。
  - x : 特定のモード又は状態で使用しないビット。"0"又は"1"いずれでもよい。
  - : 何も配置されていない。
- \* 2
- 0 : リセット後"0"になる。
  - 1 : リセット後"1"になる。
  - 不定 : リセット後、不定になる。
- \* 3
- RW : 読み出し可能。書き込み可能。
  - RO : 読み出し可能。書く場合の値は、それぞれのビットに依存します。
  - WO : 書き込み可能。読み出し時の値は不定。
  - : 読み出し時の値は不定。書く場合の値は、それぞれのビットに依存します。

4. レジスタの説明

### ポートPiレジスタ

ポートPiレジスタ(Pi) (i=0~6)  
【0016,0216,0416,0616,0816,0A16,0C16番地】

b	ビット名	機能	リセット後	RW
0	ポートPi0	出力モード時	0	RW
1	ポートPi1	書き込み: ポートラッチ	0	RW
2	ポートPi2	読み出し: ポートラッチ	0	RW
3	ポートPi3	入力モード時	0	RW
4	ポートPi4	書き込み: ポートラッチ	0	RW
5	ポートPi5	読み出し: 端子の値	0	RW
6	ポートPi6		0	RW
7	ポートPi7		0	RW

注: ポートP3は出力モードの機能のみです。

図4.1 ポートPiレジスタの構成(i=0~6)

### ポートPi方向レジスタ

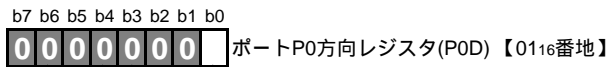
ポートPi方向レジスタ(PDi) (i=2,4~6)  
【0516,0916,0B16,0D16番地】

b	ビット名	機能	リセット後	RW
0	ポートPi0方向レジスタ	0: 入力モード 1: 出力モード	0	WO
1	ポートPi1方向レジスタ	0: 入力モード 1: 出力モード	0	WO
2	ポートPi2方向レジスタ	0: 入力モード 1: 出力モード	0	WO
3	ポートPi3方向レジスタ	0: 入力モード 1: 出力モード	0	WO
4	ポートPi4方向レジスタ	0: 入力モード 1: 出力モード	0	WO
5	ポートPi5方向レジスタ	0: 入力モード 1: 出力モード	0	WO
6	ポートPi6方向レジスタ	0: 入力モード 1: 出力モード	0	WO
7	ポートPi7方向レジスタ	0: 入力モード 1: 出力モード	0	WO

注1. 出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。  
 注2. ポートP4<sub>5</sub>端子は、出力モード時、P4<sub>5</sub>/TXD Pチャネル出力禁止ビット(UART制御レジスタ(1B<sub>16</sub>番地)のビット4)で出力形式を選択できます。  
 注3. ポートP6<sub>1</sub>端子は、出力モード時、P6<sub>1</sub>/SOUT<sub>2</sub> Pチャネル出力禁止ビット(シリアル/O<sub>2</sub>制御レジスタ(1D<sub>16</sub>番地)のビット4)で出力形式を選択できます。

図4.2 ポートPi方向レジスタの構成(i=2, 4~6)

ポートP0方向レジスタ

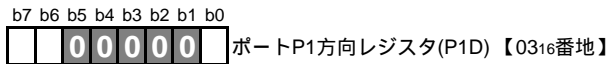


b	ビット名	機能	リセット後	RW
0	ポートP0 <sub>0</sub> ～P0 <sub>7</sub> 方向レジスタ	0:入力モード 1:出力モード	0	WO
1	読み出し時の値は不定。書く場合は“0”を書いてください。		不定	-
2			不定	-
3			不定	-
4			不定	-
5			不定	-
6			不定	-
7			不定	-

注. 出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

図4.3 ポートP0方向レジスタの構成

ポートP1方向レジスタ

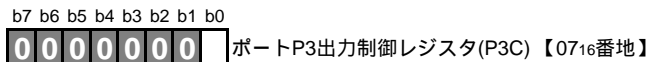


b	ビット名	機能	リセット後	RW
0	ポートP1 <sub>0</sub> ～P1 <sub>5</sub> 方向レジスタ	0:入力モード 1:出力モード	0	WO
1	読み出し時の値は不定。書く場合は“0”を書いてください。		不定	-
2			不定	-
3			不定	-
4			不定	-
5			不定	-
6	ポートP1 <sub>6</sub> 方向レジスタ	0:入力モード 1:出力モード	0	WO
7	ポートP1 <sub>7</sub> 方向レジスタ	0:入力モード 1:出力モード	0	WO

注. 出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

図4.4 ポートP1方向レジスタの構成

ポートP3 出力制御レジスタ



b	ビット名	機能	リセット後	RW
0	ポートP3 <sub>0</sub> ～P3 <sub>7</sub> 出力制御ビット	0:出力機能無効(プルアップあり) 1:出力機能有効(プルアップなし)	0	WO
1	読み出し時の値は不定。書く場合は“0”を書いてください。		不定	-
2			不定	-
3			不定	-
4			不定	-
5			不定	-
6			不定	-
7			不定	-

注. セグメント出力許可ビット0、1(セグメント出力許可レジスタ(38<sub>16</sub>番地)のビット0、1)でセグメント出力を選択している端子はこのビットが無効になり、プルアップ抵抗は接続されません。

図4.5 ポートP3出力制御レジスタの構成

ポートP7レジスタ

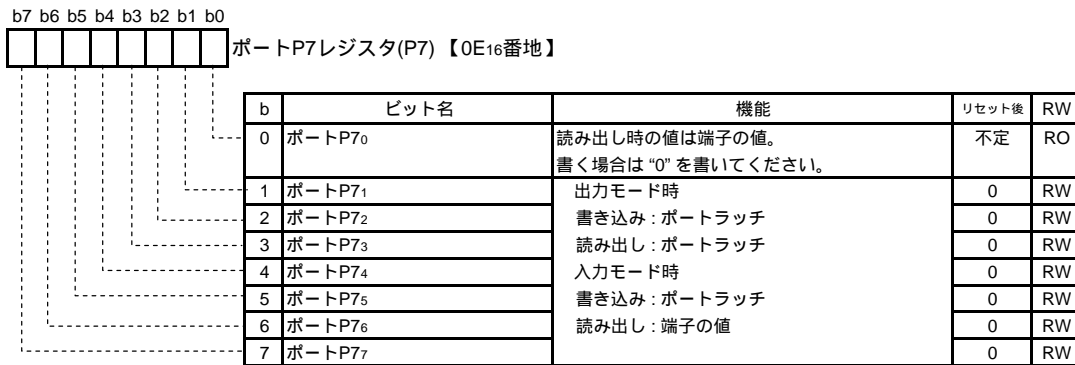


図4.6 ポートP7レジスタの構成

ポートP7方向レジスタ

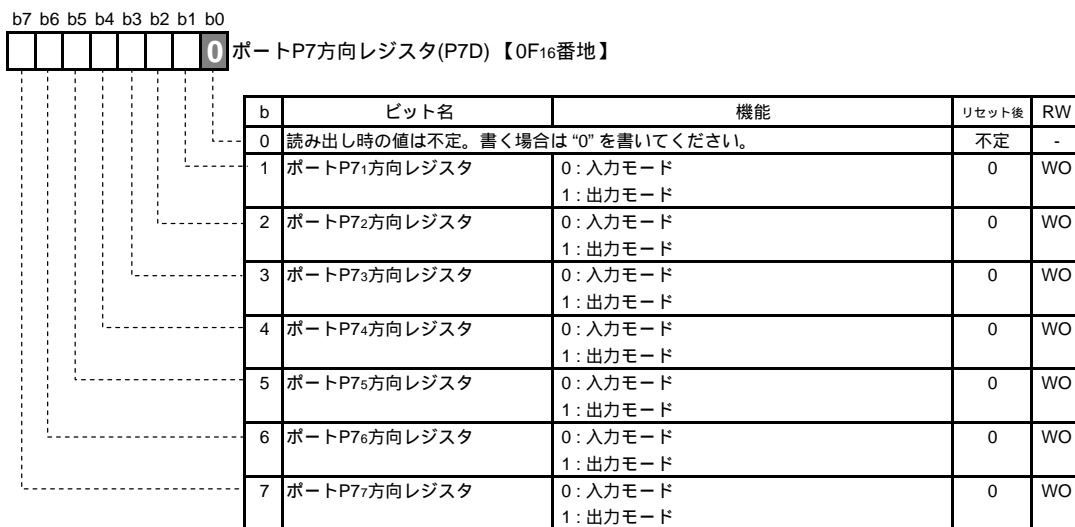
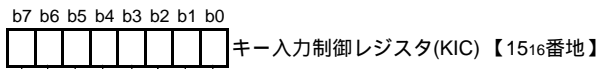


図4.7 ポートP7方向レジスタの構成

キー入力制御レジスタ



b	ビット名	機能	リセット後	RW
0	P2 <sub>0</sub> キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
1	P2 <sub>1</sub> キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
2	P2 <sub>2</sub> キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
3	P2 <sub>3</sub> キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
4	P2 <sub>4</sub> キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
5	P2 <sub>5</sub> キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
6	P2 <sub>6</sub> キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
7	P2 <sub>7</sub> キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW

図4.8 キー入力制御レジスタの構成

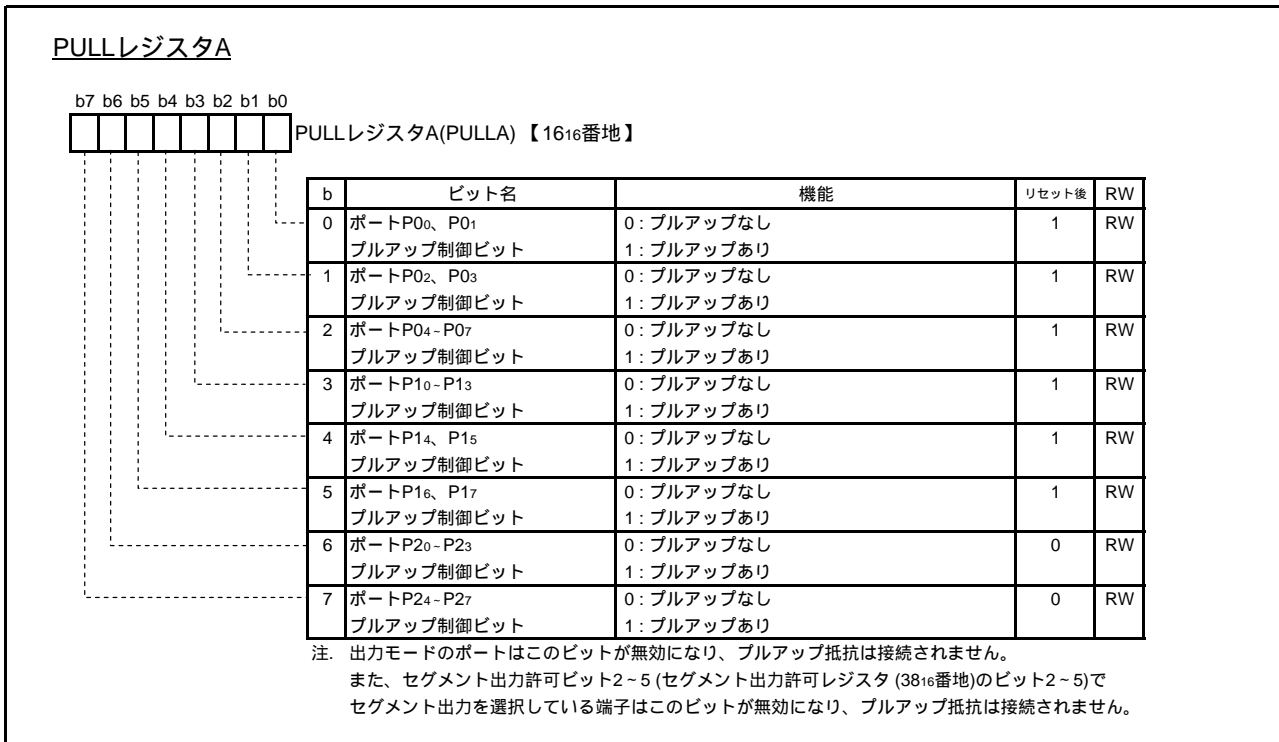


図4.9 PULLレジスタAの構成

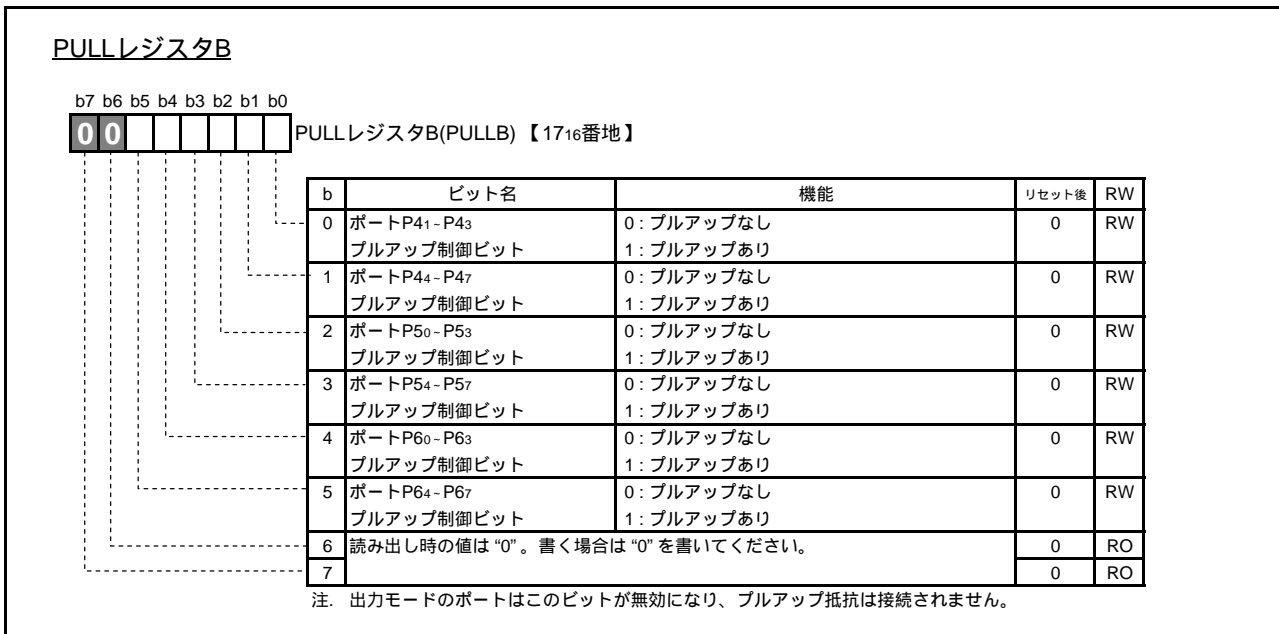
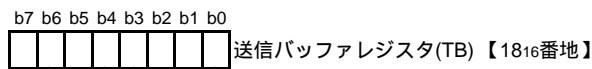


図4.10 PULLレジスタBの構成



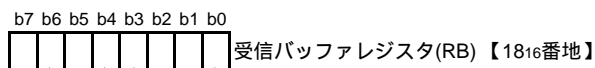
送信バッファレジスタ



b	機 能	リセット後	RW
0	送信データの書き込みを行うバッファレジスタです。	不定	WO
1	送信データを書いてください。	不定	WO
2		不定	WO
3		不定	WO
4		不定	WO
5		不定	WO
6		不定	WO
7		不定	WO

注. 受信バッファレジスタと同じ番地です。読み出しはできません。

受信バッファレジスタ



b	機 能	リセット後	RW
0	受信データの読み出しを行うバッファレジスタです。	不定	RO
1	受信データが読めます。	不定	RO
2		不定	RO
3		不定	RO
4		不定	RO
5		不定	RO
6		不定	RO
7		不定	RO

注. 送信バッファレジスタと同じ番地です。書き込みはできません。

図4.11 送信バッファレジスタ及び受信バッファレジスタの構成

シリアル/O1ステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアル/O1ステータスレジスタ(SIO1STS)【1916番地】

b	ビット名	機能	リセット後	RW
0	送信バッファエンブティ フラグ(TBE) (注1)	0: バッファレジスタフル状態 1: バッファレジスタエンブティ状態	0	RO
1	受信バッファフルフラグ (RBF) (注1、2)	0: バッファレジスタエンブティ状態 1: バッファレジスタフル状態	0	RO
2	送信シフトレジスタシフト 終了フラグ(TSC) (注1)	0: 送信シフト中 1: 送信シフト終了	0	RO
3	オーバランエラーフラグ (OE) (注3)	0: オーバランエラーなし 1: オーバランエラー発生	0	RO
4	パリティエラーフラグ (PE) (注3)	0: パリティエラーなし 1: パリティエラー発生	0	RO
5	フレーミングエラーフラグ (FE) (注3)	0: フレーミングエラーなし 1: フレーミングエラー発生	0	RO
6	ザミングエラーフラグ (SE) (注3)	0: (OE)U(PE)U(FE)=0 1: (OE)U(PE)U(FE)=1	0	RO
7	読み出し時の値は“1”。書く場合は“1”を書いてください。		1	RO

注1. 書く場合は“0”を書いてください。

注2. 受信バッファレジスタを読むと“0”になります。

注3. このレジスタへの書き込みで、このビットは“0”になります。書く場合は“0”を書いてください。

図4.12 シリアル/O1ステータスレジスタの構成

シリアル/O1制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアル/O1制御レジスタ(SIO1CON)【1A16番地】

b	ビット名	機能	リセット後	RW
0	BRGカウントソース選択 ビット(CSS)	0: f(XIN) 1: f(XIN)/4	0	RW
1	シリアル/O1同期クロック 選択ビット(SCS)	クロック同期形シリアル/Oモード時 0: BRG出力の4分周 1: 外部クロック入力 UARTモード時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	RW
2	$\overline{\text{SRDY}}$ 出力許可ビット (SRDY)	0: 出力禁止(P47端子: 入出力ポート) 1: 出力許可(P47端子: $\overline{\text{SRDY}}$ 出力端子)	0	RW
3	送信割り込み要因選択ビット (TIC)	0: 送信バッファレジスタが空になったとき (TBE=1) 1: 送信シフトレジスタのシフト動作終了時 (TSC=1)	0	RW
4	送信許可ビット (TE)	0: 送信禁止 1: 送信許可	0	RW
5	受信許可ビット (RE)	0: 受信禁止 1: 受信許可	0	RW
6	シリアル/O1モード選択ビット (SIOM)	0: UARTモード 1: クロック同期形シリアル/Oモード	0	RW
7	シリアル/O1許可ビット (SIOE)	0: シリアル/O1禁止 (P44 ~ P47端子: 入出力ポート) 1: シリアル/O1許可 (P44 ~ P47端子: シリアル/O1機能端子)	0	RW

図4.13 シリアル/O1制御レジスタの構成

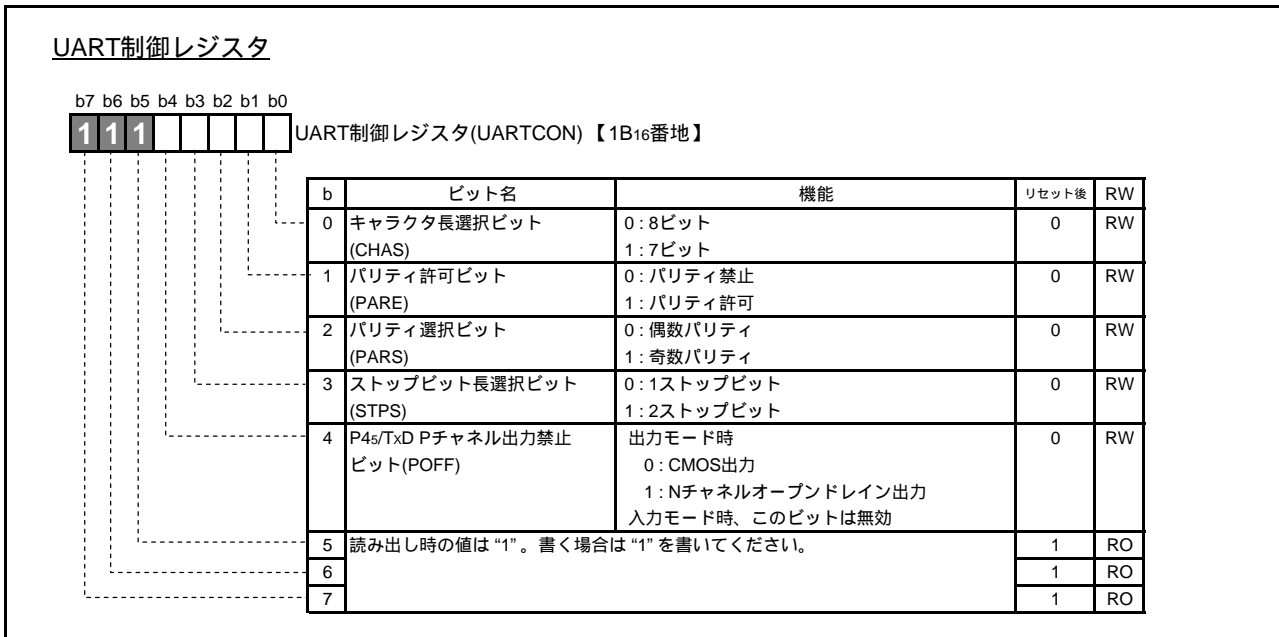


図4.14 UART制御レジスタの構成

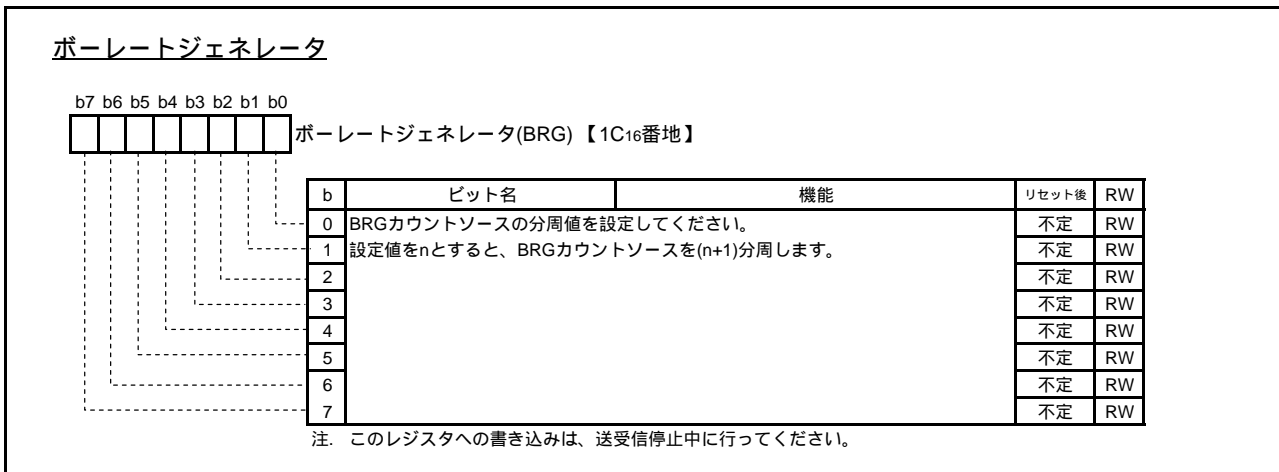


図4.15 ボーレートジェネレータの構成



図4.16 シリアル/O2制御レジスタの構成

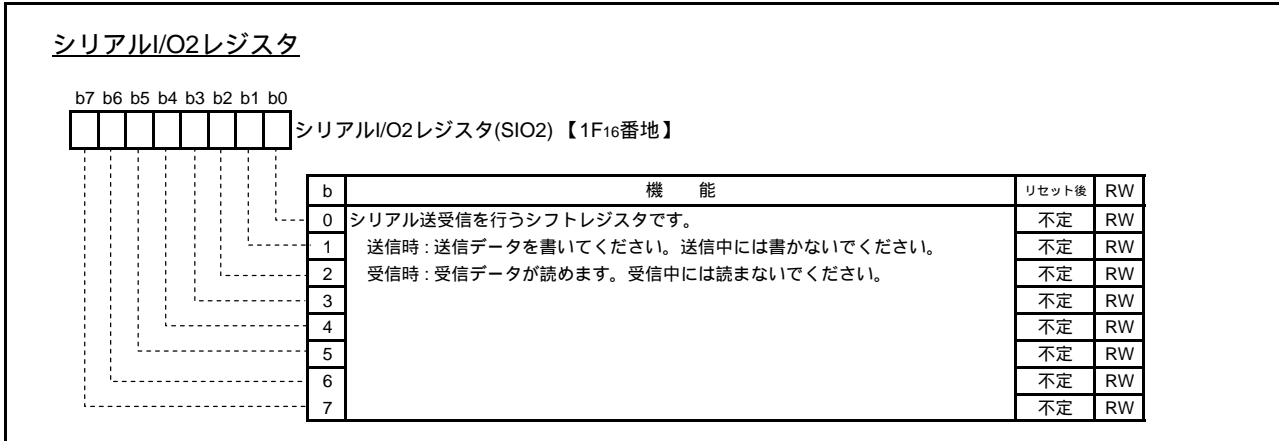


図4.17 シリアル/O2レジスタの構成

タイマX上位レジスタ、タイマX下位レジスタ

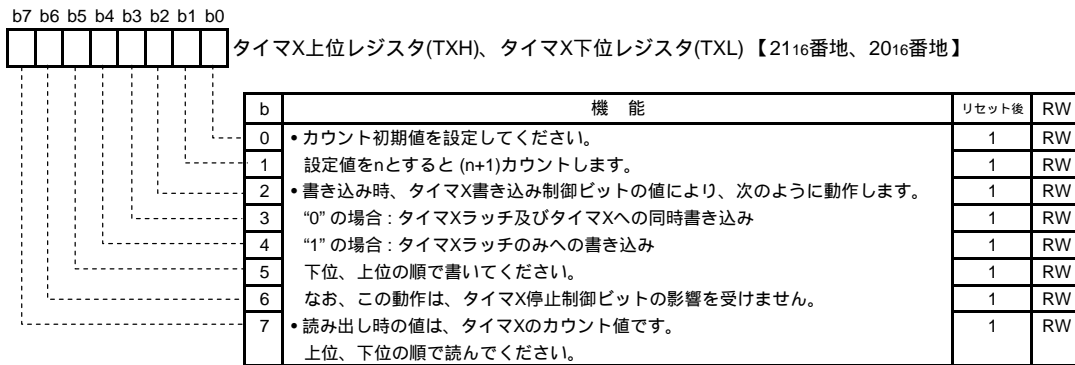


図4.18 タイマX上位レジスタ、タイマX下位レジスタの構成

タイマY上位レジスタ、タイマY下位レジスタ

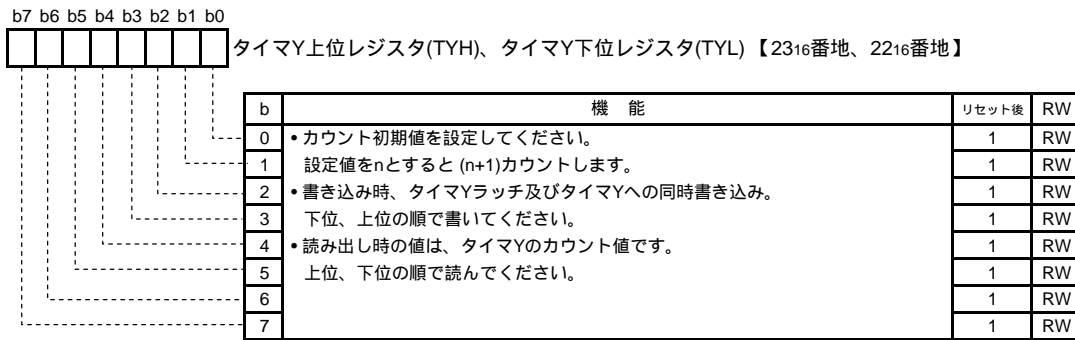
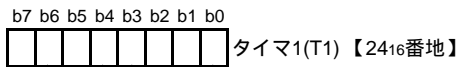


図4.19 タイマY上位レジスタ、タイマY下位レジスタの構成

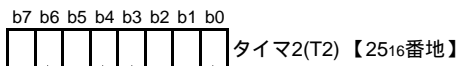
タイマ1レジスタ



b	機能	リセット後	RW
0	• カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	• 書き込み時、タイマ1ラッチ及びタイマ1への同時書き込み。	1	RW
3	• 読み出し時の値は、タイマ1のカウント値です。	1	RW
4		1	RW
5		1	RW
6		1	RW
7		1	RW

図4.20 タイマ1レジスタの構成

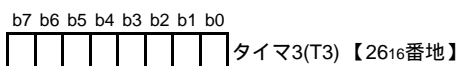
タイマ2レジスタ



b	機能	リセット後	RW
0	• カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	0	RW
2	• 書き込み時、タイマ2書き込み制御ビットの値により、次のように動作します。	0	RW
3	“0”の場合：タイマ2ラッチ及びタイマ2への同時書き込み	0	RW
4	“1”の場合：タイマ2ラッチのみへの書き込み	0	RW
5	• 読み出し時の値は、タイマ2のカウント値です。	0	RW
6		0	RW
7		0	RW

図4.21 タイマ2レジスタの構成

タイマ3レジスタ



b	機能	リセット後	RW
0	• カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	• 書き込み時、タイマ3ラッチ及びタイマ3への同時書き込み。	1	RW
3	• 読み出し時の値は、タイマ3のカウント値です。	1	RW
4		1	RW
5		1	RW
6		1	RW
7		1	RW

図4.22 タイマ3レジスタの構成

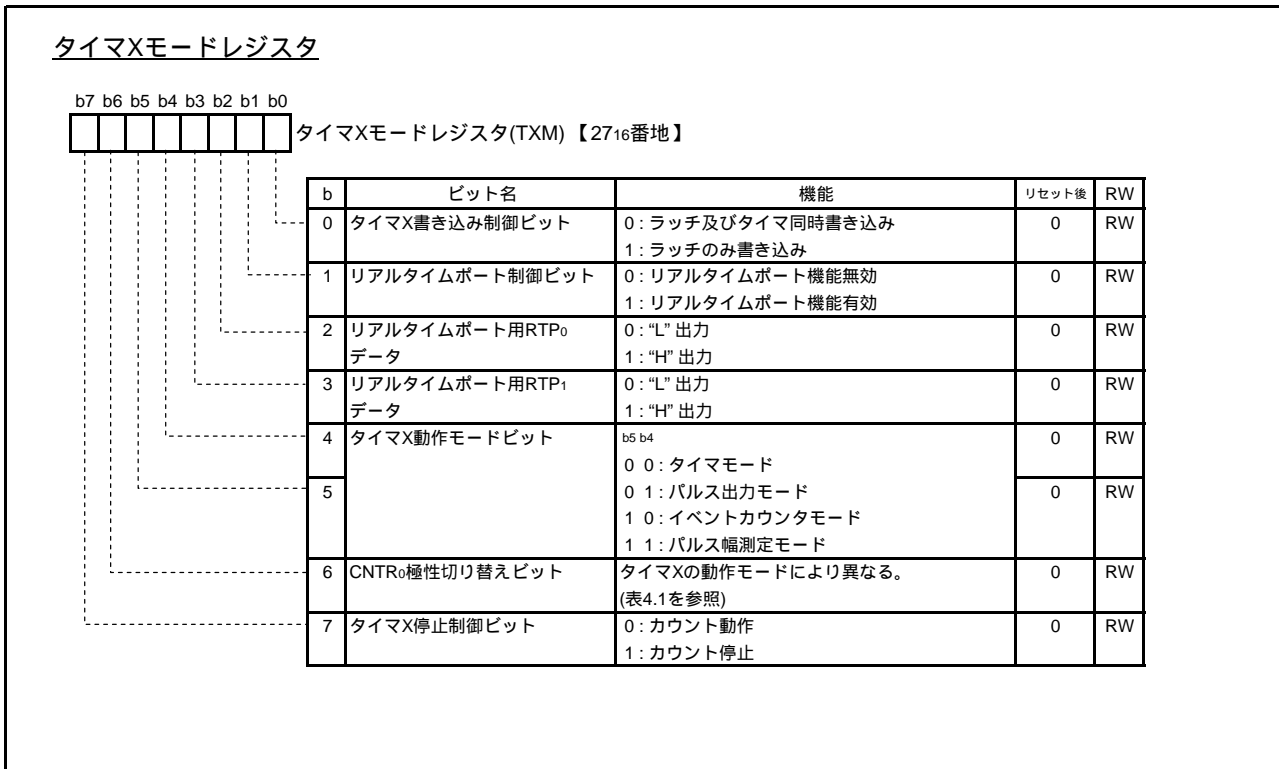


図4.23 タイマXモードレジスタの構成

表4.1 CNTR<sub>0</sub>極性切り替えビットの機能

タイマX動作モード	設定値	タイマ機能の選択	CNTR <sub>0</sub> 割り込み要求発生要因
タイマモード	"0"	—	CNTR <sub>0</sub> の入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	"1"	—	CNTR <sub>0</sub> の入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
パルス出力モード	"0"	パルス出力開始: "H" から出力	出力信号の立ち下がりエッジ
	"1"	パルス出力開始: "L" から出力	出力信号の立ち上がりエッジ
イベントカウンタモード	"0"	立ち上がりエッジをカウント	入力信号の立ち下がりエッジ
	"1"	立ち下がりエッジをカウント	入力信号の立ち上がりエッジ
パルス幅測定モード	"0"	"H" 幅を測定	入力信号の立ち下がりエッジ
	"1"	"L" 幅を測定	入力信号の立ち上がりエッジ

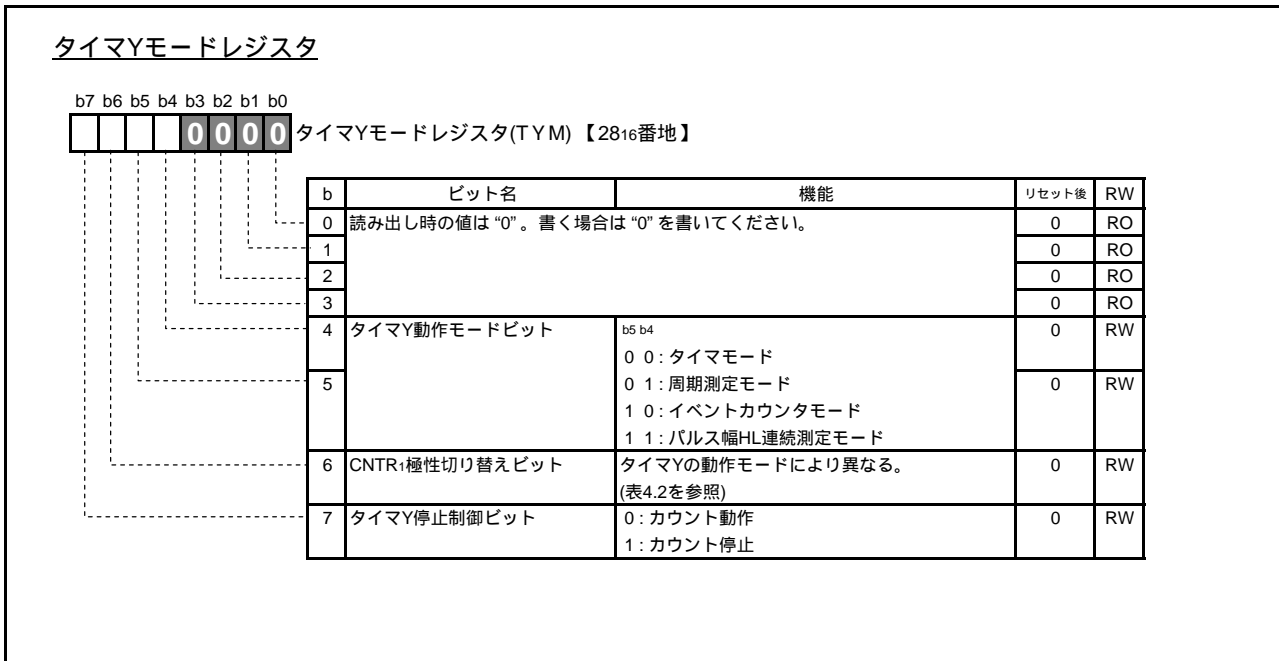


図4.24 タイマYモードレジスタの構成

表4.2 CNTR<sub>1</sub>極性切り替えビットの機能

タイマY動作モード	設定値	タイマ機能の選択	CNTR <sub>1</sub> 割り込み要求発生要因
タイマモード	“0”	—	CNTR <sub>1</sub> の入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	“1”	—	CNTR <sub>1</sub> の入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
周期測定モード	“0”	立ち下がり - 立ち下がり間を測定	入力信号の立ち下がりエッジ
	“1”	立ち上がり - 立ち上がり間を測定	入力信号の立ち上がりエッジ
イベントカウンタモード	“0”	立ち上がりエッジをカウント	入力信号の立ち下がりエッジ
	“1”	立ち下がりエッジをカウント	入力信号の立ち上がりエッジ
パルス幅HL連続測定モード	“0”	“H”幅と“L”幅を測定	入力信号の立ち下がりエッジと立ち上がりエッジ
	“1”		



タイマ123モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



タイマ123モードレジスタ(T123M) 【29<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	Tout出力極性切り替えビット	0: "H" で出力開始 1: "L" で出力開始	0	RW
1	Tout/φ出力許可ビット	0: Tout/φ出力禁止 1: Tout/φ出力許可	0	RW
2	タイマ2書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
3	タイマ2カウントソース選択ビット	0: タイマ1の出力信号 1: f(X <sub>IN</sub> )/16 (中/高速モード時) f(X <sub>CIN</sub> )/16 (低速モード時)	0	RW
4	タイマ3カウントソース選択ビット	0: タイマ1の出力信号 1: f(X <sub>IN</sub> )/16 (中/高速モード時) f(X <sub>CIN</sub> )/16 (低速モード時)	0	RW
5	タイマ1カウントソース選択ビット	0: f(X <sub>IN</sub> )/16 (中/高速モード時) f(X <sub>CIN</sub> )/16 (低速モード時) 1: f(X <sub>CIN</sub> )	0	RW
6	読み出し時の値は "0"。書く場合は "0" を書いてください。		0	RO
7			0	RO

図4.25 タイマ123モードレジスタの構成

TOUT/φ出力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



TOUT/φ出力制御レジスタ(CKOUT) 【2A<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	Tout/φ出力選択ビット	0: システムクロックφ出力 1: Tout出力	0	RW
1	読み出し時の値は "0"。書く場合は "0" を書いてください。		0	RO
2			0	RO
3			0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

図4.26 TOUT/φ出力制御レジスタの構成

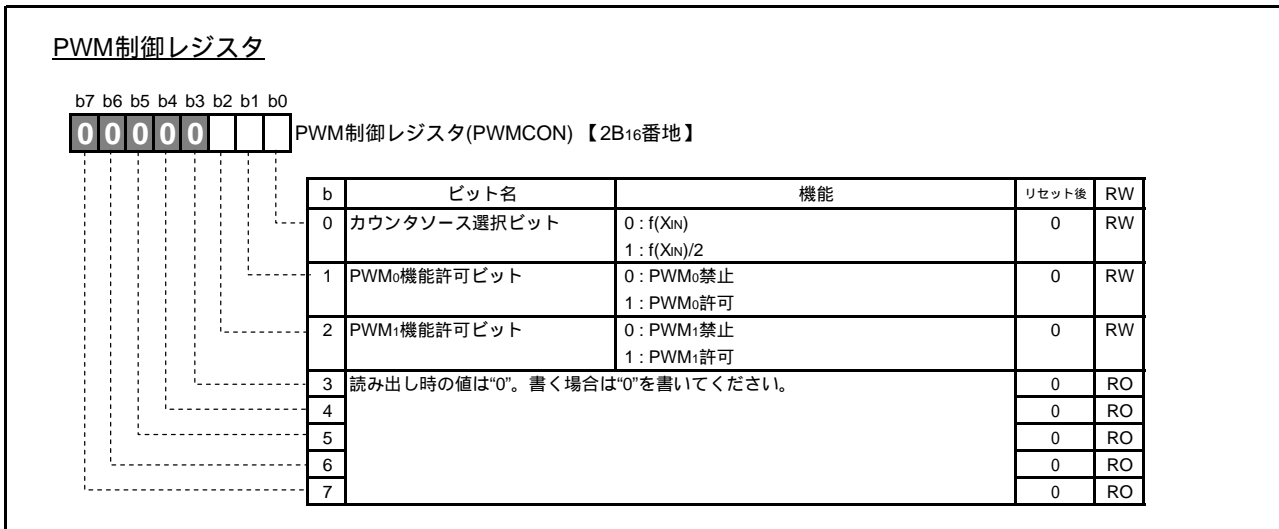


図4.27 PWM制御レジスタの構成

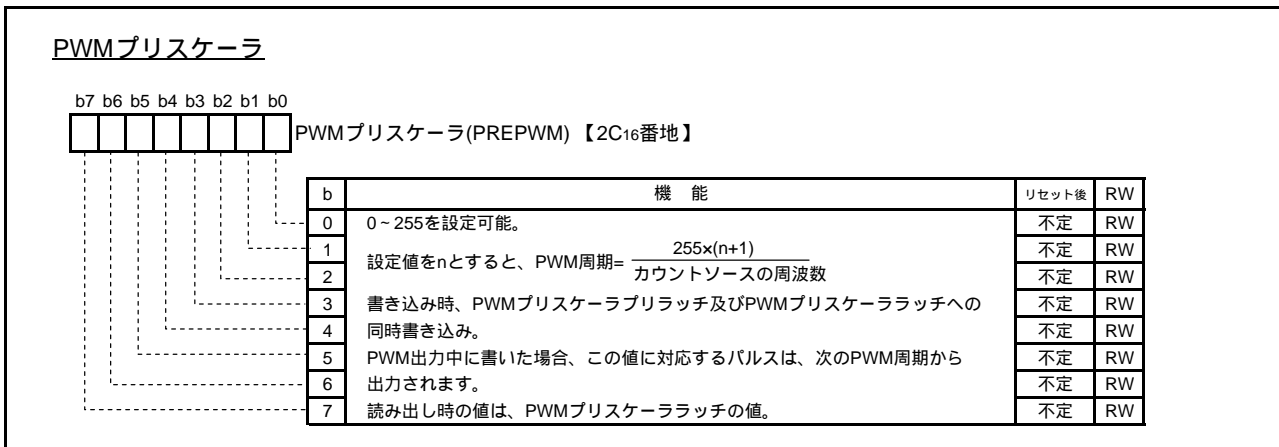


図4.28 PWMプリスケアラの構成

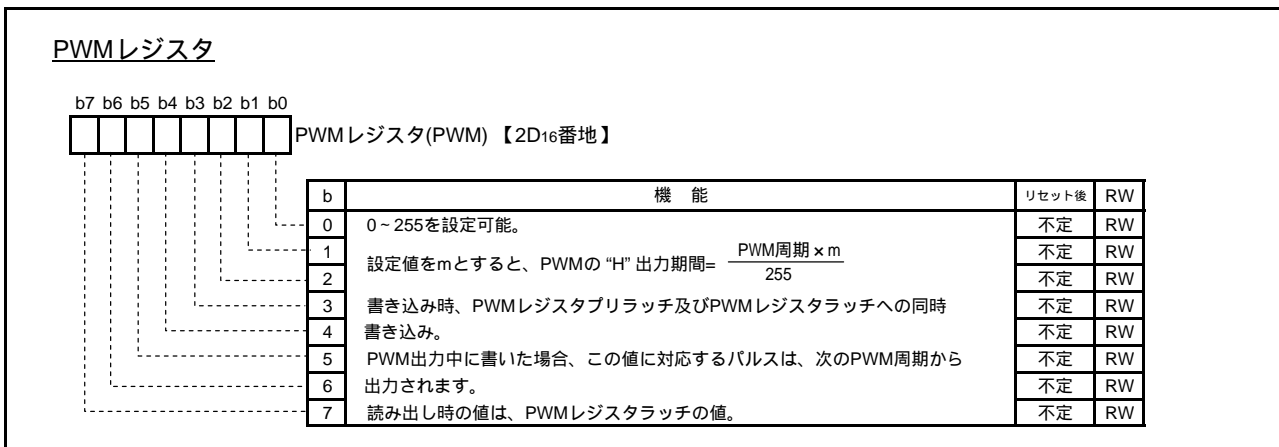


図4.29 PWMレジスタの構成

D-Ai変換レジスタ

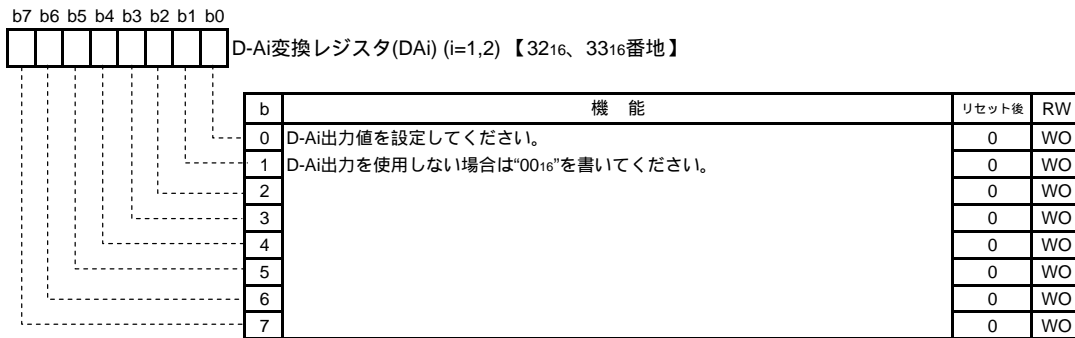
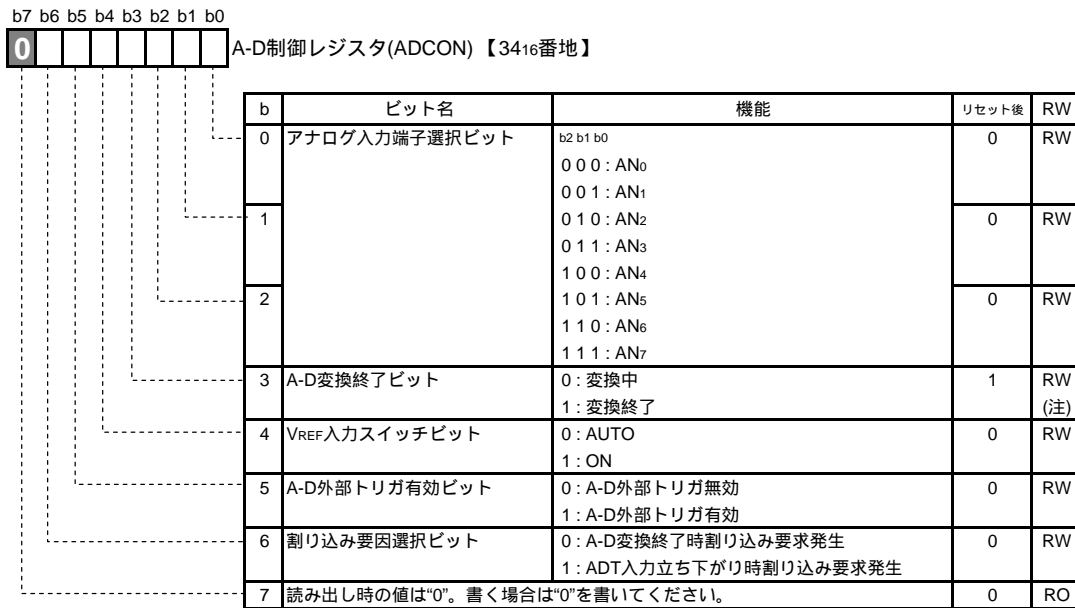


図4.30 D-Ai変換レジスタの構成

A-D制御レジスタ



注. このビットは、プログラムで"0"にできますが、"1"にはできません。

図4.31 A-D制御レジスタの構成

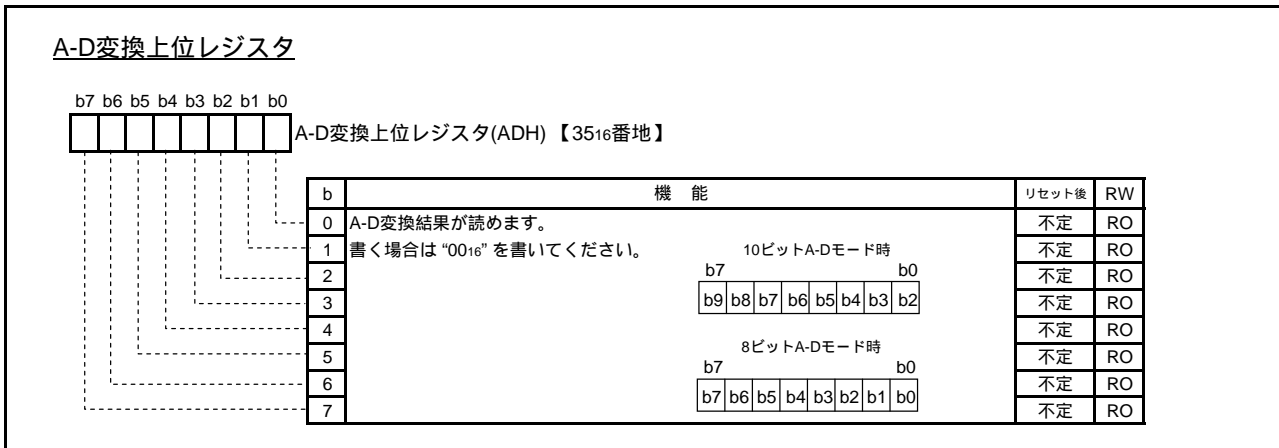


図4.32 A-D変換レジスタ上位の構成

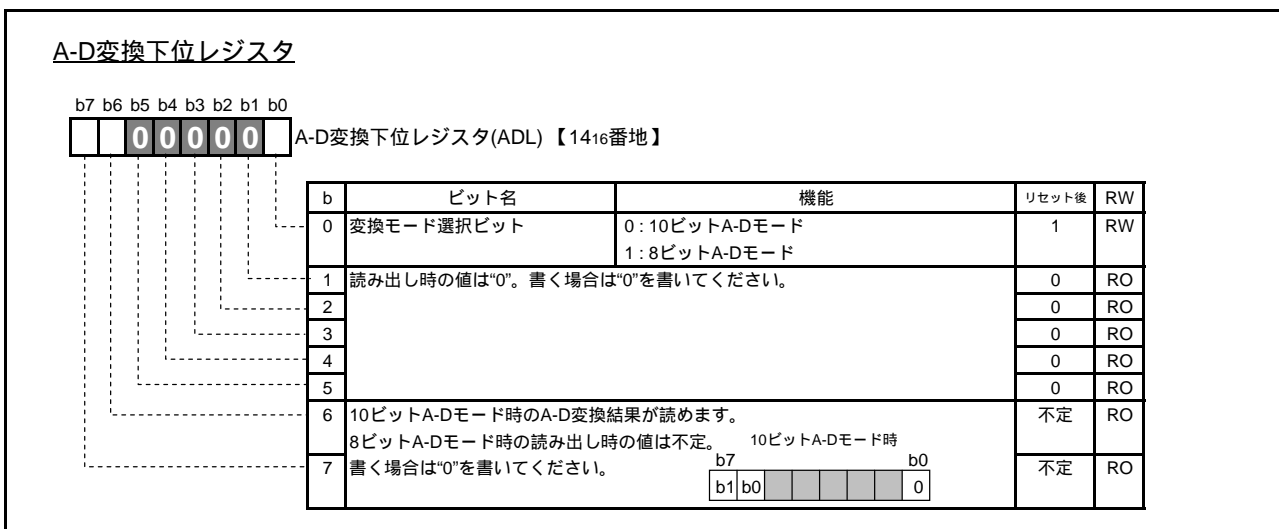


図4.33 A-D変換レジスタ下位の構成

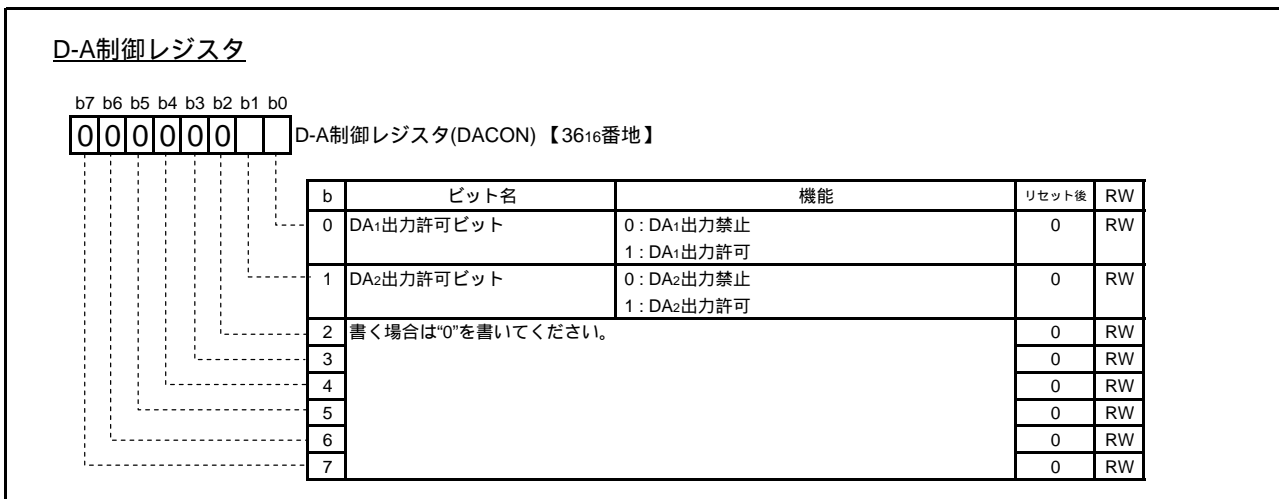
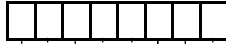


図4.34 D-A制御レジスタの構成

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ウォッチドッグタイマ制御レジスタ(WDTCON) 【37<sub>16</sub>番地】

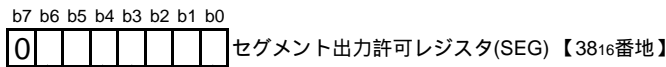
b	ビット名	機能	リセット後	RW
0	ウォッチドッグタイマH		1	RO
1			1	RO
2			1	RO
3			1	RO
4			1	RO
5			1	RO
6	STP命令禁止ビット (注1)	0: STP命令許可 1: STP命令禁止	0	RW
7	ウォッチドッグタイマH カウントソース選択ビット	0: ウォッチドッグタイマLのアンダフロー 1: $f(X_{IN})/16$ 又は $f(X_{CIN})/16$	0	RW

注1. このビットは、プログラムで“1”にできますが、“0”にはできません。

2. このレジスタへの書き込みで、ウォッチドッグタイマは“3FFF<sub>16</sub>”になります。

図4.35 ウォッチドッグタイマ制御レジスタの構成

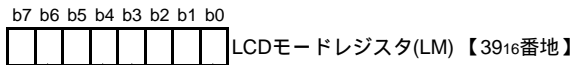
セグメント出力許可レジスタ



b	ビット名	機能	リセット後	RW
0	セグメント出力許可ビット0	0: 出力ポートP3 <sub>0</sub> ~ P3 <sub>5</sub> 1: セグメント出力SEG <sub>18</sub> ~ SEG <sub>23</sub>	0	RW
1	セグメント出力許可ビット1	0: 出力ポートP3 <sub>6</sub> 、P3 <sub>7</sub> 1: セグメント出力SEG <sub>24</sub> 、SEG <sub>25</sub>	0	RW
2	セグメント出力許可ビット2	0: 入出力ポートP0 <sub>0</sub> ~ P0 <sub>5</sub> 1: セグメント出力SEG <sub>26</sub> ~ SEG <sub>31</sub>	0	RW
3	セグメント出力許可ビット3	0: 入出力ポートP0 <sub>6</sub> 、P0 <sub>7</sub> 1: セグメント出力SEG <sub>32</sub> 、SEG <sub>33</sub>	0	RW
4	セグメント出力許可ビット4	0: 入出力ポートP1 <sub>0</sub> 1: セグメント出力SEG <sub>34</sub>	0	RW
5	セグメント出力許可ビット5	0: 入出力ポートP1 <sub>1</sub> ~ P1 <sub>5</sub> 1: セグメント出力SEG <sub>35</sub> ~ SEG <sub>39</sub>	0	RW
6	LCD出力許可ビット	0: 禁止 1: 許可	0	RW
7	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RW

図4.36 セグメント出力許可レジスタの構成

LCDモードレジスタ

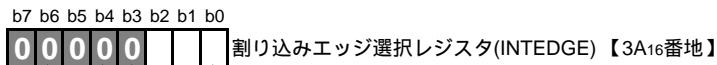


b	ビット名	機能	リセット後	RW	
0	時分割選択ビット	b1 b0 0 0: 選択しないでください	0	RW	
1		0 1: 2時分割(COM <sub>0</sub> 、COM <sub>1</sub> 使用) 1 0: 3時分割(COM <sub>0</sub> ~ COM <sub>2</sub> 使用) 1 1: 4時分割(COM <sub>0</sub> ~ COM <sub>3</sub> 使用)	0	RW	
2		バイアス制御ビット	0: 1/3バイアス 1: 1/2バイアス	0	RW
3		LCDイネーブルビット	0: LCD消灯 1: LCD点灯	0	RW
4	昇圧回路制御ビット	0: 昇圧回路禁止 1: 昇圧回路許可(注)	0	RW	
5	LCD回路分周器分周比選択ビット	b6 b5 0 0: 1分周	0	RW	
6		0 1: 2分周 1 0: 4分周 1 1: 8分周	0	RW	
7		LCDCK用カウントソース選択ビット	0: f(X <sub>CIN</sub> )/32 1: f(X <sub>N</sub> )/8192 (中/高速モード時) f(X <sub>CIN</sub> )/8192 (低速モード時)	0	RW

注. 昇圧回路許可にする場合、バイアス制御は必ず1/3バイアスを選択してください。

図4.37 LCDモードレジスタの構成

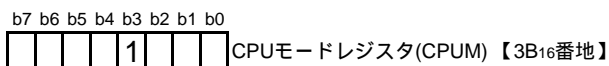
割り込みエッジ選択レジスタ



b	ビット名	機能	リセット後	RW
0	INT <sub>0</sub> 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
1	INT <sub>1</sub> 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
2	INT <sub>2</sub> 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
3	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

図4.38 割り込みエッジ選択レジスタの構成

CPUモードレジスタ



b	ビット名	機能	リセット後	RW
0	プロセッサモード選択ビット	b1 b0 00: シングルチップモード 01: 選択しないでください 10: 選択しないでください 11: 選択しないでください	0	RW
1			0	RW
2	スタックページ選択ビット	0: 0ページ 1: 1ページ	0	RW
3	書く場合は“1”を書いてください。		1	RW
4	ポートXc切り替えビット	0: 発振停止 1: XcIN-XcOUT発振機能	0	RW
5	メインクロック(Xin-Xout)停止ビット	0: 発振 1: 停止	0	RW
6	メインクロック分周比選択ビット	0: f(Xin)/2 (高速モード) 1: f(Xin)/8 (中速モード)	1	RW
7	システムクロック選択ビット	0: Xin-Xout選択 (中/高速モード) 1: XcIN-XcOUT選択 (低速モード)	0	RW

図4.39 CPUモードレジスタの構成

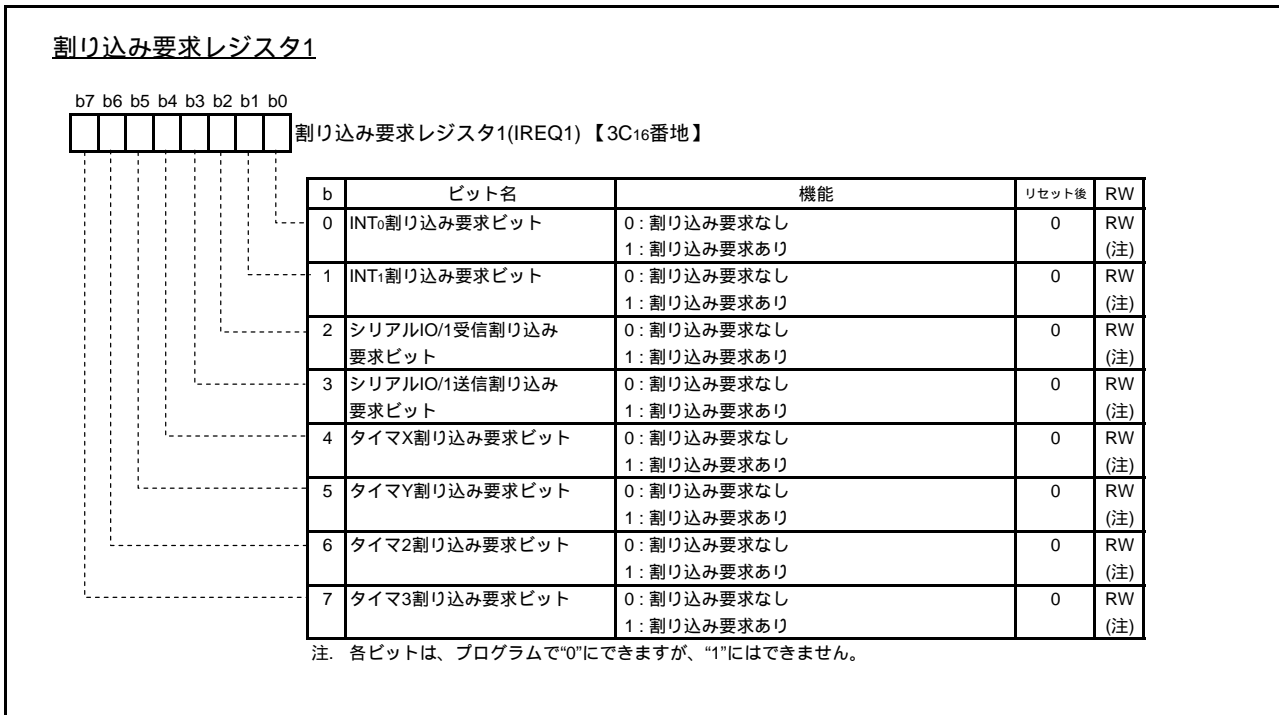


図4.40 割り込み要求レジスタ1の構成

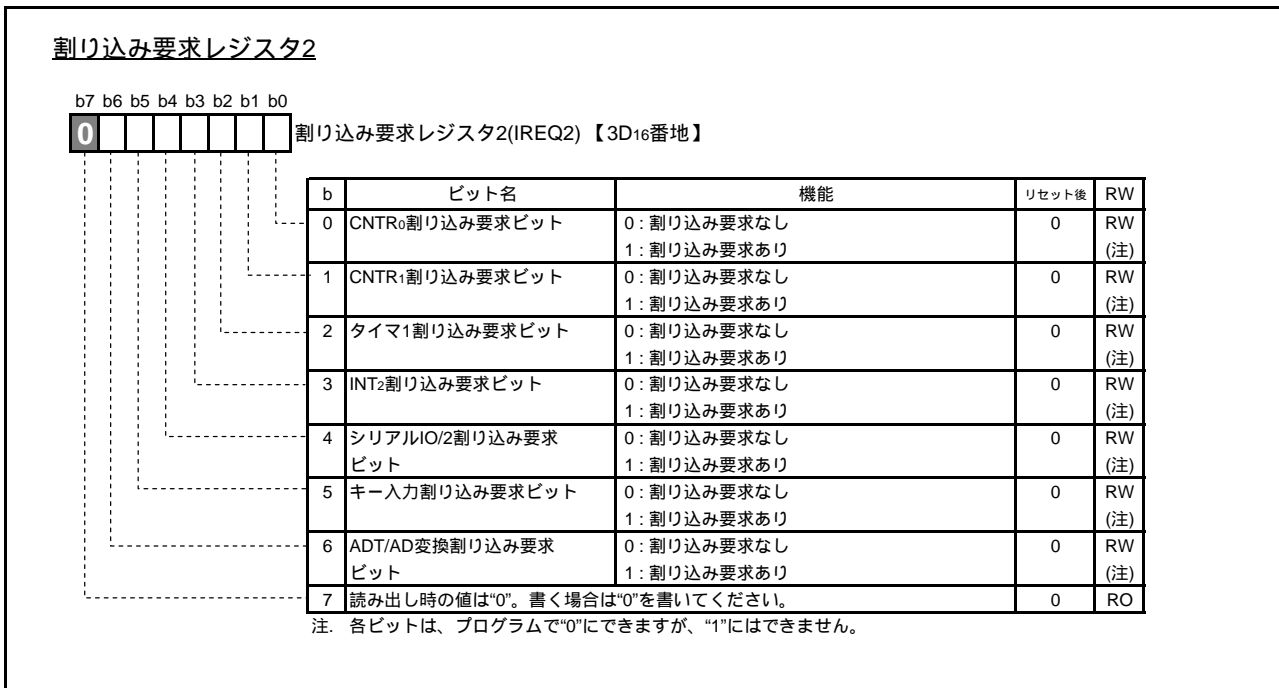


図4.41 割り込み要求レジスタ2の構成



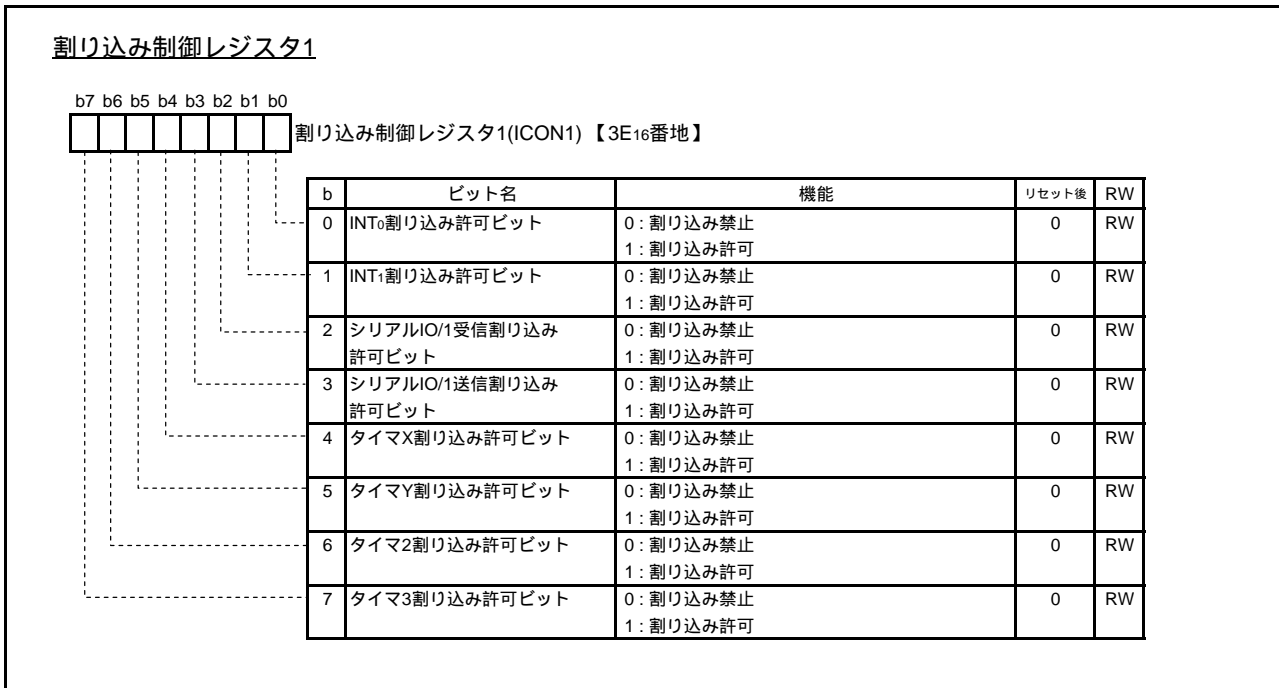


図4.42 割り込み制御レジスタ1の構成

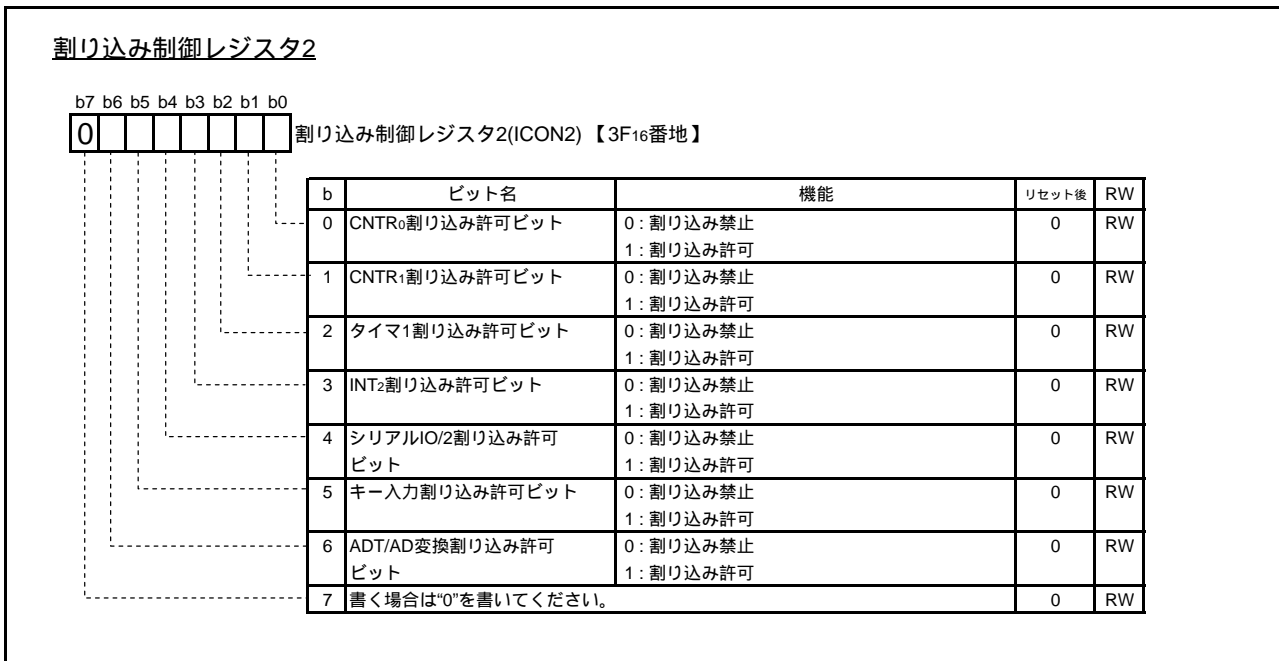


図4.43 割り込み制御レジスタ2の構成

LCD表示用RAM

アドレス	ビット	7	6	5	4	3	2	1	0	リセット後	RW
		COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0		
40 <sub>16</sub> 番地	LRAM0	SEG <sub>1</sub>				SEG <sub>0</sub>				不定	RW
41 <sub>16</sub> 番地	LRAM1	SEG <sub>3</sub>				SEG <sub>2</sub>				不定	RW
42 <sub>16</sub> 番地	LRAM2	SEG <sub>5</sub>				SEG <sub>4</sub>				不定	RW
43 <sub>16</sub> 番地	LRAM3	SEG <sub>7</sub>				SEG <sub>6</sub>				不定	RW
44 <sub>16</sub> 番地	LRAM4	SEG <sub>9</sub>				SEG <sub>8</sub>				不定	RW
45 <sub>16</sub> 番地	LRAM5	SEG <sub>11</sub>				SEG <sub>10</sub>				不定	RW
46 <sub>16</sub> 番地	LRAM6	SEG <sub>13</sub>				SEG <sub>12</sub>				不定	RW
47 <sub>16</sub> 番地	LRAM7	SEG <sub>15</sub>				SEG <sub>14</sub>				不定	RW
48 <sub>16</sub> 番地	LRAM8	SEG <sub>17</sub>				SEG <sub>16</sub>				不定	RW
49 <sub>16</sub> 番地	LRAM9	SEG <sub>19</sub>				SEG <sub>18</sub>				不定	RW
4A <sub>16</sub> 番地	LRAM10	SEG <sub>21</sub>				SEG <sub>20</sub>				不定	RW
4B <sub>16</sub> 番地	LRAM11	SEG <sub>23</sub>				SEG <sub>22</sub>				不定	RW
4C <sub>16</sub> 番地	LRAM12	SEG <sub>25</sub>				SEG <sub>24</sub>				不定	RW
4D <sub>16</sub> 番地	LRAM13	SEG <sub>27</sub>				SEG <sub>26</sub>				不定	RW
4E <sub>16</sub> 番地	LRAM14	SEG <sub>29</sub>				SEG <sub>28</sub>				不定	RW
4F <sub>16</sub> 番地	LRAM15	SEG <sub>31</sub>				SEG <sub>30</sub>				不定	RW
50 <sub>16</sub> 番地	LRAM16	SEG <sub>33</sub>				SEG <sub>32</sub>				不定	RW
51 <sub>16</sub> 番地	LRAM17	SEG <sub>35</sub>				SEG <sub>34</sub>				不定	RW
52 <sub>16</sub> 番地	LRAM18	SEG <sub>37</sub>				SEG <sub>36</sub>				不定	RW
53 <sub>16</sub> 番地	LRAM19	SEG <sub>39</sub>				SEG <sub>38</sub>				不定	RW

図4.44 LCD表示用RAMの構成

## 5. 参考ドキュメント

### データシート

7560グループ(Aバージョン)データシート  
7560グループデータシート

### ユーザーズマニュアル

7560グループユーザーズマニュアル

### 注意事項集

7560グループ注意事項集

最新版をルネサス テクノロジ ホームページから入手してください。

## 6. ホームページとサポート窓口

### ルネサス テクノロジ ホームページ

<http://www.renesas.com/jpn/products/mpumcu/index.html>

### ルネサス製品全般に関するお問合せ先

カスタマ・サポート・センター：csc@renesas.com

### アプリケーションノートに関する技術的なお問合せ先

740ファミリMCU技術サポート窓口：support\_apl@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2003.12.08	-	初版発行
2.00	2004.03.23	21	図4.38 LCD表示用RAMの構成 追加

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。