

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

アプリケーション・ノート

78K0R/LH3

サンプル・プログラム（電源切り替え検出）

低電圧検出回路の機能を使用した電源切り替え検出編

この資料は、マイコンの駆動電源がUSB電源（約5.0V）からの供給か電池（約3.0V）からの供給か判断するサンプル・プログラムの動作概要や使用方法を説明したものです。電圧検出には低電圧検出回路を使用し、検出した電源の状態に応じてLEDの制御を行います。また、電力低下による誤動作対策として、電源電圧が $2.84 \pm 0.1V$ 未満になると内部リセットが発生します。

対象デバイス

μ PD78F1506 , 78F1507 , 78F1508

目次

第1章	概要	...	3
第2章	回路イメージ	...	4
2.1	回路イメージ	...	4
2.2	端子機能一覧	...	4
第3章	ソフトウェアについて	...	5
3.1	ファイル構成	...	5
3.2	使用する内蔵周辺機能	...	6
3.3	初期設定と動作概要	...	7
3.4	フロー・チャート	...	8
第4章	設定方法について	...	12
4.1	低電圧検出回路の設定	...	12
4.2	ソフトウェア記述例	...	17
4.3	電源切り替え検出処理について	...	19
4.4	電源電圧低下検出処理について	...	20
第5章	関連資料	...	25
付録A	プログラム・リスト	...	26
付録B	改版履歴	...	57

- ・本資料に記載されている内容は2009年09月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
 - ・文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
 - ・当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 - ・本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
 - ・当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
 - ・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。
「標準水準」：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
「特別水準」：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器
「特定水準」：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。
- 注1. 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- 注2. 本事項において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいう。
- (M8E0909J)

第1章 概 要

このサンプル・プログラムは、低電圧検出回路を用いて電源の切り替えを検出するための使用例を示しています。

サンプル・プログラムでは、マイコンの駆動電源がUSBか、電池かを検出します。USBの駆動電源は約5.0V、電池の駆動電源は約3.0Vとして検出を行い、検出した電源の状態に応じてLEDを制御します。また、電力低下による誤動作対策として、電源電圧が $2.84 \pm 0.1V$ 未満になると内部リセットが発生します。

(1) 初期設定の主な内容

< オプション・バイトでの設定 >

- ウォッチドッグ・タイマの動作禁止
- 高速内蔵発振回路の周波数を8MHzに設定
- LVIデフォルト・スタート機能停止
- オンチップ・デバッグを動作許可に設定

< リセット解除後の初期化処理での設定 >

- 入出力ポートの設定
- 低電圧検出回路の機能を使用し、2.7V以上の電源電圧を確保
- CPUクロックをX1発振回路動作に設定 (20MHz)
- 高速内蔵発振回路の停止
- RAMの初期化

(2) メイン・ループ以降の内容

初期設定完了後、電源電圧低下検出処理と電源切り替え検出処理の呼び出しと、電源モードに応じたLEDの点灯の制御を行います。LEDは電源モードがUSBのとき点灯し、電源モードが電池のとき消灯します。

電源電圧低下検出処理では、10回呼び出されるごとに1回、低電圧検出回路の設定を一時的に切り替えて電源電圧の低下を検出します。検出レベルは $2.84 \pm 0.1V$ です。電源電圧が検出レベルより低い場合は、内部リセットが発生します。電源電圧低下が検出されなかった場合は、低電圧検出回路を電源切り替え検出処理用に設定します。

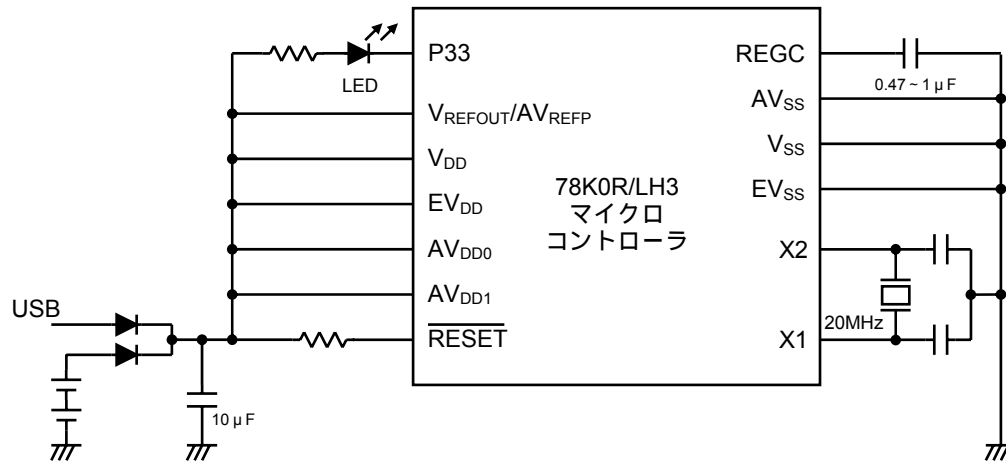
電源切り替え検出処理では、低電圧検出割り込み要求フラグ (LVIIIF) がセットされると、電源電圧が検出レベルより高いか低いかを判断し、現在の電源モードを保存します。検出レベルは $3.61 \pm 0.1V$ です。検出レベル以上であれば電源モードをUSBに設定、検出レベルより低い場合は電源モードを電池に設定します。

第2章 回路イメージ

この章では、このサンプル・プログラムを使用する場合の回路イメージおよびマイコン以外の使用デバイスについて説明します。

2.1 回路イメージ

回路イメージを次に示します。



- 注意1. 2.84V V_{DD} 5.5Vの電圧範囲で使用してください。（低電圧検出回路の設定により V_{DD} が2.84V未満になると内部リセットが発生します。）
2. EV_{DD} , AV_{DD0} , AV_{DD1} , および V_{REFOUT}/AV_{REFP} は、 V_{DD} と同電位にしてください。
 3. AV_{SS} は EV_{SS} , V_{SS} と同電位にし、GNDに直接接続してください。
 4. REGCはコンデンサ（0.47 ~ 1 μ F）を介し、 V_{SS} に接続してください。
 5. 回路イメージ中に記載のない未使用端子は以下のように処理してください。
 入出力ポート：出力モードに設定し、オープン（未接続）にしてください
 入力ポート：個別に抵抗を介して、 V_{DD} または V_{SS} に接続してください
 6. このサンプル・プログラムでは、P40/TOOL0端子、およびP41/TOOL1端子をオンチップ・デバッグ用に使用します。

2.2 端子機能一覧

使用する端子機能を次に示します。



外部デバイス接続時の端子機能		兼用端子
名称	機能	
P33	出力ポート（LED）	INTP3/TI07/TO07

第3章 ソフトウェアについて

この章では、ダウンロードする圧縮ファイルのファイル構成、使用するマイコンの内蔵周辺機能、サンプル・プログラムの使用する周辺の初期設定と動作概要、およびフロー・チャートを説明します。

3.1 ファイル構成

ダウンロードする圧縮ファイルのファイル構成は、次のようになっています。

ファイル名	説明	同封圧縮 (*.zip) ファイル	
			
main.asm (アセンブリ言語版)	マイコンのハードウェア初期化処理と、メイン処理のソース・ファイル	注	注
main.c (C言語版)			
op.asm	オプション・バイト設定用アセンブラ・ソース・ファイル (ウォッチドッグ・タイマの設定、高速内蔵発振クロック周波数の選択、LVIデフォルト・スタート機能の設定、オンチップ・デバッグ動作の設定などを行います。)		
78K0R_Lx3_LVI.prw	統合開発環境 PM+用ワーク・スペース・ファイル		
78K0R_Lx3_LVI.prj	統合開発環境 PM+用プロジェクト・ファイル		

注 アセンブリ言語版には「main.asm」、C言語版には「main.c」が同封されています。

備考



: ソース・ファイルのみ同封



: 統合開発環境 PM+で使用するファイルを同封

3.2 使用する内蔵周辺機能

このサンプル・プログラムでは、マイコンに内蔵する次の周辺機能を使用します。

- ・低電圧検出回路：
電源切り替え検出のため、電源電圧の検出に使用します。
- ・端子機能：
使用する端子機能を以下の表に示します。

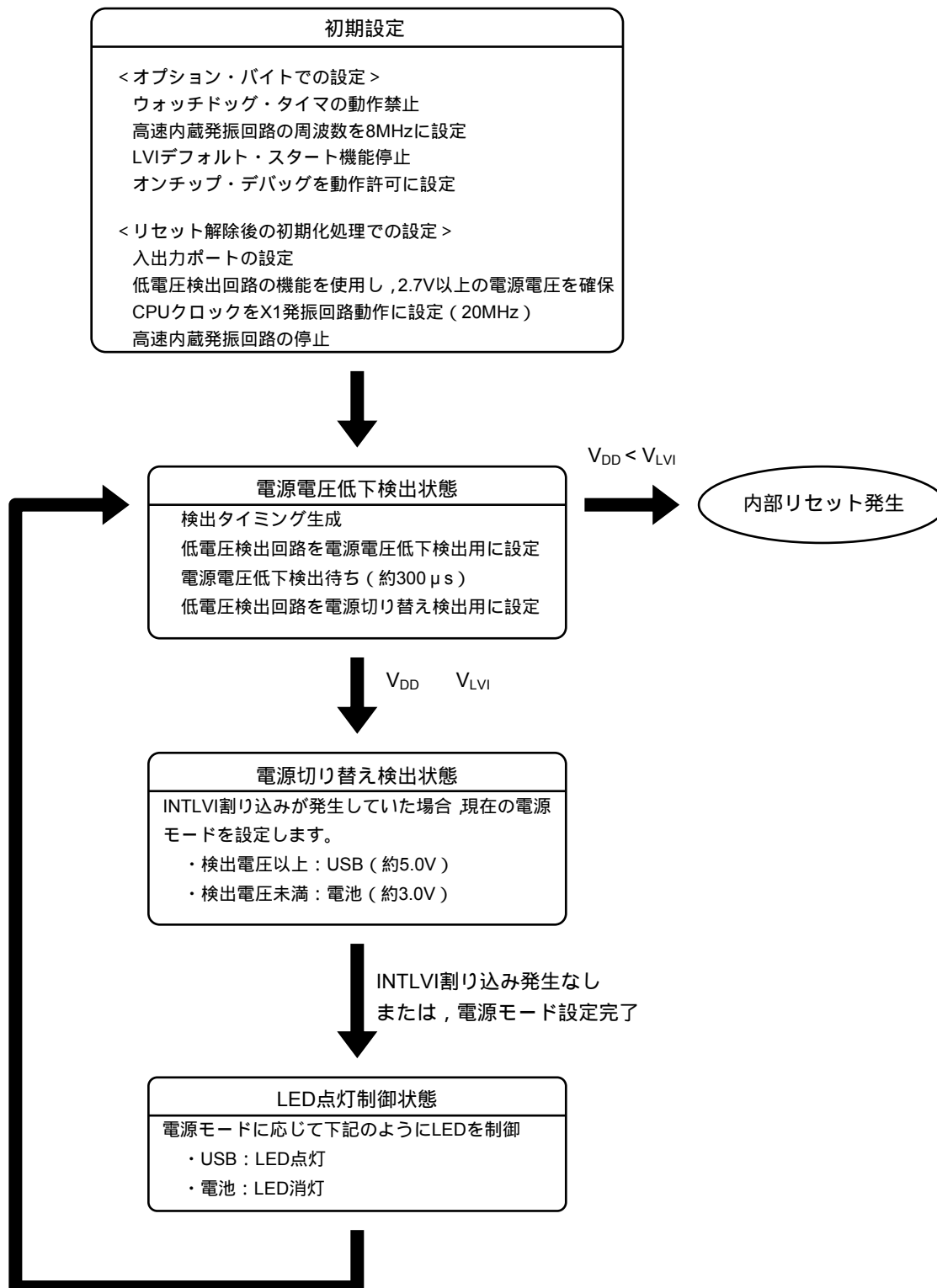
外部デバイス接続時の端子機能		兼用端子
名称	機能	
P33	出力ポート (LED)	INTP3/TI07/TO07

3.3 初期設定と動作概要

このサンプル・プログラムでは、初期設定にて、メイン・システム・クロックの選択や、入出力ポート、低電圧検出回路の設定などを行います。

初期設定完了後は、電源電圧低下検出処理と電源切り替え検出処理の呼び出しと、電源モードに応じたLEDの制御を行います。

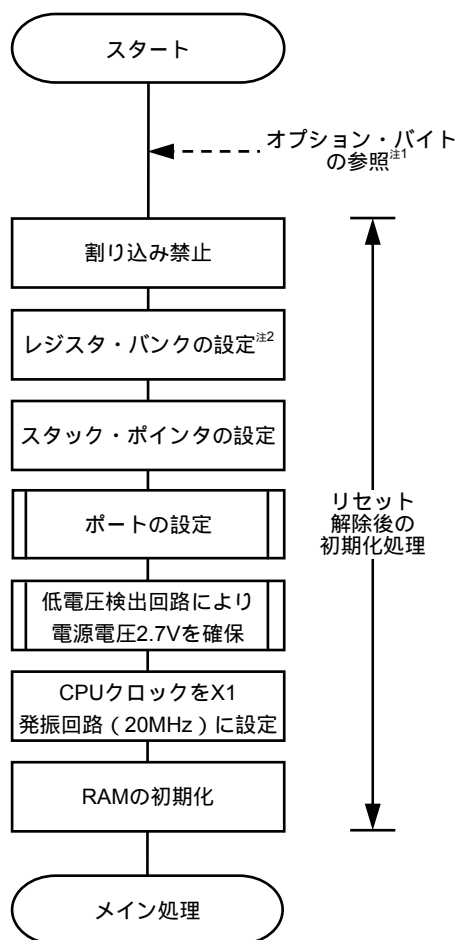
詳細については、次の状態遷移図（ステート・チャート）に示します。



3.4 フロー・チャート

このサンプル・プログラムのフロー・チャートを次に示します。

<リセット解除後の初期化処理での設定>



【処理概要】

リセット解除後に、使用する周辺の初期設定を行います。
主にCPUクロック、入出力ポートの設定、および低電圧検出回路を使用した2.7V以上の電源電圧の確保となります。

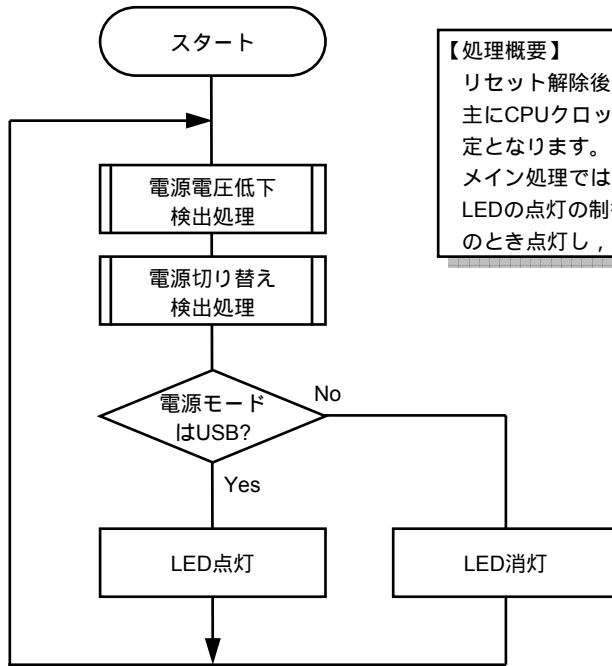
注1. オプション・バイトの参照は、リセット解除後にマイコンが自動的に行います。このサンプル・プログラムでは、オプション・バイトで以下の設定を行います。

- ・ウォッチドッグ・タイマの動作禁止
- ・高速内蔵発振回路の周波数を8MHzに設定
- ・LVIデフォルト・スタート機能停止
- ・オンチップ・デバッグを動作許可に設定

2. 78K0R/LH3の汎用レジスタは、4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタのバンクを切り替えることにより、効率のよいプログラムを作成できます。なお、このサンプル・プログラムでは、レジスタ・バンク0のみを使用します。

注意 C言語版のサンプル・プログラムの場合、レジスタ・バンクの設定およびスタック・ポインタの設定をスタートアップ・ルーチンで行いますので、ソース・プログラム (main.c) には記述しません。なお、スタートアップ・ルーチンについての詳細はCC78K0Rの操作編のユーザーズ・マニュアルを参照してください。

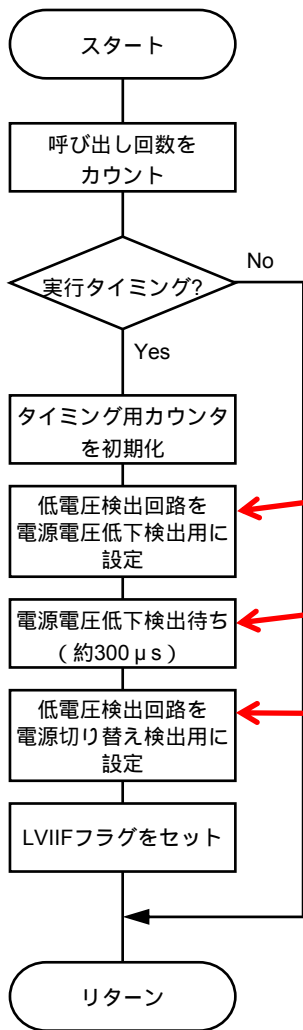
<メイン処理>



【処理概要】

リセット解除後に、使用する周辺の初期設定を行います。主にCPUクロック、入出力ポート、低電圧検出回路の設定となります。
 メイン処理では、電源切り替え検出処理の呼び出しと、LEDの点灯の制御を行います。LEDは電源モードがUSBのとき点灯し、電池のとき消灯します。

<電源電圧低下検出処理>



【処理概要】

低電圧検出回路を一時的に使用し、電源電圧の低下を検出します。電源電圧が低下していた場合は、内部リセットが発生します。

処理が呼び出されるとカウンタを更新し、処理を実行するタイミングを生成します。カウンタが10になると、電源電圧の低下を検出します。低電圧検出回路の検出レベルは $2.84 \pm 0.1V$ です。

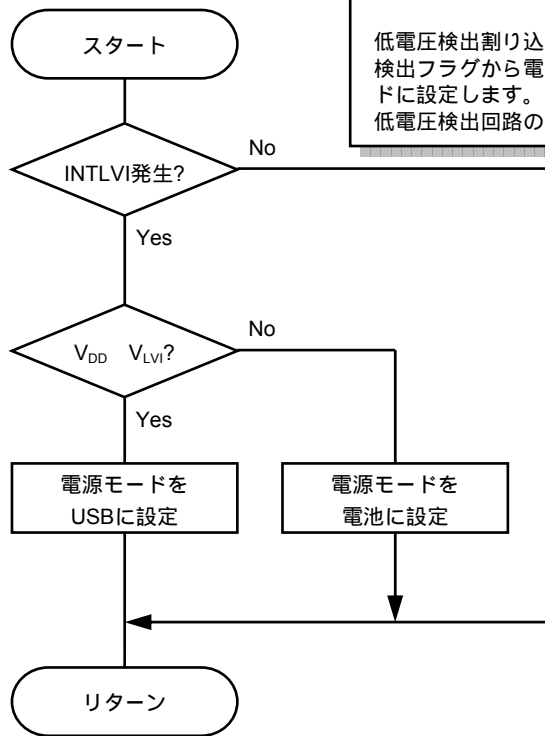
低電圧検出回路を電源電圧低下検出用に設定後、約 $300 \mu s$ をウェイトし、内部リセットの発生を待ちます。内部リセットが発生しなければ、低電圧検出回路を電源切り替え検出用に設定し、電源切り替え検出処理で現在の電源モードを設定するためにLVIIIFフラグをセットし、処理を終了します。

検出電圧を $2.84 \pm 0.1V$ に、低電圧検出で内部リセットが発生するように設定します。

電源電圧が $2.84 \pm 0.1V$ 未満となっていた場合、ここで内部リセットが発生します。

検出電圧を $3.61 \pm 0.1V$ に、低電圧検出で内部割り込み信号が発生するように設定します。

< 電源切り替え検出処理 >



【処理概要】

低電圧検出割り込み要求フラグがセットされると、電源モードを更新します。

低電圧検出割り込み要求フラグ (LVIIIF) がセットされていた場合は、低電圧検出フラグから電源がUSB (約5.0V) か電池 (約3.0V) かを判断し、電源モードに設定します。

低電圧検出回路の検出レベルは $3.61 \pm 0.1V$ です。

第4章 設定方法について

この章では、低電圧検出回路の設定、ソフトウェア記述例、および電源切り替え検出処理について説明します。その他の初期設定については、「78K0R/Lx3 サンプル・プログラム（初期設定） LED点灯のスイッチ制御編 アプリケーション・ノート」を参照してください。

レジスタ設定方法の詳細については、ユーザーズ・マニュアルを参照してください。

アセンブラ命令については、「78K0Rシリーズ 命令編 ユーザーズ・マニュアル」を参照してください。

4.1 低電圧検出回路の設定

低電圧検出回路の設定は、次の2種類のレジスタを使用します。

- ・低電圧検出レジスタ（LVIM）
- ・低電圧検出レベル選択レジスタ（LVIS）

【電源切り替え検出を行う場合の低電圧検出回路の設定手順例】

低電圧検出レジスタ（LVIM）のビット1（LVIMD）に“0”（低電圧検出時に内部割り込み信号発生）を設定

低電圧検出レベル選択レジスタ（LVIS）で検出電圧を V_{LV14} （ 3.61 ± 0.1 V）に設定

低電圧検出回路の動作開始後、低電圧検出フラグで電圧を確認できるようになるまで約210 μ sウエイト
電源切り替え検出処理を実行するため、LVIの割り込み要求フラグをセット（LV1IF = 1）

【電源電圧低下検出を行う場合の低電圧検出回路の設定手順例】

LVIMのビット7（LVION）に“0”（LVI動作停止）を設定

低電圧検出レベル選択レジスタ（LVIS）で検出電圧を V_{LV19} （ 2.84 ± 0.1 V）に設定

低電圧検出レジスタ（LVIM）のビット7（LVION）に“1”（LVI動作許可）を設定

ソフトウェアで次に示す時間（合計210 μ s）をウエイト

- ・動作安定時間（10 μ s（MAX.））
- ・最小パルス幅（200 μ s（MIN.））

LVIの割り込み要求フラグをクリア（LV1IF = 0）

低電圧検出レジスタ（LVIM）のビット1（LVIMD）に“1”（低電圧検出時に内部リセット発生）を設定

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

図4-1 低電圧検出レジスタ (LVIM) のフォーマット

LVION	0	0	0	0	LVISEL	LVIMD	LVIF
LVIF		低電圧検出フラグ					
0		<ul style="list-style-type: none"> ・LVISEL=0の場合，電源電圧 (V_{DD}) 検出電圧 (V_{LVI})，またはLVI動作禁止時 ・LVISEL=1の場合，外部入力端子からの入力電圧 ($EXLVI$) 検出電圧 (V_{EXLVI})，またはLVI動作禁止時 					
1		<ul style="list-style-type: none"> ・LVISEL=0の場合，電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) ・LVISEL=1の場合，外部入力端子からの入力電圧 ($EXLVI$) < 検出電圧 (V_{EXLVI}) 					
LVIMD ^{注1}		低電圧検出の動作モード (割り込み/リセット) 選択					
0 ^{注2}		<ul style="list-style-type: none"> ・LVISEL=0の場合，電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき，または，電圧上昇時に $V_{DD} > V_{LVI}$ になったとき内部割り込み信号を発生 ・LVISEL=1の場合，電圧降下時に外部入力端子からの入力電圧 ($EXLVI$) < 検出電圧 (V_{EXLVI}) になったとき，または電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに割り込み信号発生 					
1 ^{注3}		<ul style="list-style-type: none"> ・LVISEL=0の場合，電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生，$V_{DD} > V_{LVI}$時に内部リセット解除 ・LVISEL=1の場合，外部入力端子からの入力電圧 ($EXLVI$) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生，$EXLVI > V_{EXLVI}$時に内部リセット解除 					
LVISEL ^{注1}		電圧検出の選択					
0		電源電圧 (V_{DD}) のレベルを検出					
1		外部入力端子からの入力電圧 ($EXLVI$) のレベルを検出					
LVION ^{注1,4}		低電圧検出動作許可					
0		動作禁止					
1		動作許可					

- 注1. LVION，LVIMD，LVISELはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
- 電源切り替え検出処理で使用する動作モードです。
 - 電源電圧低下検出処理で使用する動作モードです。
 - LVIONをセット (1) すると，LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに，次の時間をソフトウェアでウェイトしてください。
 - ・動作安定時間 (10 μ s (MAX.))
 - ・最小パルス幅 (200 μ s (MIN.))
- この期間のLVIFの値は電圧レベルによらず，セット/クリアされる可能性があり使用できません。また，この期間は割り込み要求フラグのLVIFフラグがセット (1) される可能性もあります。

(注意と備考は次ページにあります。)

- 注意1.** リセット値は、リセット要因およびオプション・バイトの設定により変化します。LVIリセット時は、クリア (00H) されません。
- LVI以外のリセット時は、オプション・バイトLVIOFF = 0のときには、“82H” になり、オプション・バイトLVIOFF = 1のときには、“00H” にリセットされます。
2. ビット0はRead Onlyです。
 3. **ビット3-6には必ず“0”を設定してください。**
 4. LVIを停止する場合は、必ず1ビット操作命令でLVIONをクリア (0) してください。
 5. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。
 6. LVIを割り込みモード (LVIMD = 0) で使用し、LVISEL = 0の場合は電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 時 (LVISEL = 1の場合は外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI})) にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

備考 図の赤字部分がサンプル・プログラムでの設定値となります。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

図4 - 2 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0
----------	----------	----------	----------	--------------	--------------	--------------	--------------

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	$V_{LV10} (4.22 \pm 0.1 V)$ 注1
0	0	0	1	$V_{LV11} (4.07 \pm 0.1 V)$ 注1
0	0	1	0	$V_{LV12} (3.92 \pm 0.1 V)$ 注1
0	0	1	1	$V_{LV13} (3.76 \pm 0.1 V)$ 注1
0	1	0	0	$V_{LV14} (3.61 \pm 0.1 V)$ 注1,2
0	1	0	1	$V_{LV15} (3.45 \pm 0.1 V)$ 注1
0	1	1	0	$V_{LV16} (3.30 \pm 0.1 V)$ 注1
0	1	1	1	$V_{LV17} (3.15 \pm 0.1 V)$ 注1
1	0	0	0	$V_{LV18} (2.99 \pm 0.1 V)$ 注1
1	0	0	1	$V_{LV19} (2.84 \pm 0.1 V)$ 注1,3
1	0	1	0	$V_{LV10} (2.68 \pm 0.1 V)$ 注1
1	0	1	1	$V_{LV11} (2.53 \pm 0.1 V)$ 注1
1	1	0	0	$V_{LV12} (2.38 \pm 0.1 V)$ 注1
1	1	0	1	$V_{LV13} (2.22 \pm 0.1 V)$ 注1
1	1	1	0	$V_{LV14} (2.07 \pm 0.1 V)$ 注1
1	1	1	1	$V_{LV15} (1.91 \pm 0.1 V)$ 注1

- 注1. 暫定値のため、変更の可能性があります。
2. 電源切り替え検出処理で使用する検出レベルです。
3. 電源電圧低下検出処理で使用する検出レベルです。

注意1. ビット4-7には必ず“0”を設定してください。

2. リセット値は、リセット要因により変化します。LVIによるリセットのときには、LVISレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“0EH”にリセットされます。

(注意は次ページに続きます。)

注意3. LVISの値を変更する場合は、次のいずれかの方法で行ってください。

- ・ LVIを停止させて変更する場合

LVIを停止する (LVION = 0)。

LVISレジスタを変更する。

割り込みとして使用 (LVIMD = 0) モードにする。

LVIの割り込みをマスクする (LVIMK = 1)。

LVIを動作許可する (LVION = 1)。

LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVI動作許可時にLVIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

- ・ 割り込みとして使用 (LVIMD = 0) モードに設定して変更する場合

LVIの割り込みをマスクする (LVIMK = 1)。

割り込みとして使用 (LVIMD = 0) モードにする

LVISレジスタを変更する。

LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVISレジスタ変更時にLVIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

4. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧 (V_{EXLVI}) は固定です。したがって、LVISの設定は不要です。

備考 図の赤字部分がサンプル・プログラムでの設定値となります。

4.2 ソフトウェア記述例

ソフトウェアでの記述例として、サンプル・プログラムで行う低電圧検出回路の設定を以下に示します。

(1) アセンブリ言語

電源切り替え検出を行うための低電圧検出回路の設定

```

CLR1 LVIMD ← ; generates an internal interrupt signal when detect the low-voltage
MOV LVIS, #00000100B ← ; Low-Voltage Detection Interrupt Enable
... (略) ...
; software to wait for
; the operation stabilization time (100us) + minimum pulse width (200us)
MOVW AX, #700 ; set
JCHK300:
DECW AX
CMPW AX, #0
BNZ $JCHK300
SET1 LVLIIF ← ; LVLIIF for set Vdd Mode
    
```

低電圧検出で内部割り込み信号を発生するよう設定

検出レベルを V_{LV14} (3.61 ± 0.1 V) に設定

低電圧検出回路の動作開始から、低電圧検出フラグで電圧を確認できるようになるまで約 $210 \mu\text{s}$ ウェイト

低電圧検出割り込み要求フラグをセット

電源電圧低下検出を行うための低電圧検出回路の設定

```

CLR1 LVION ← ; disables low-voltage detection
MOV LVIS, #00001001B ← ; Low-Voltage Detection Interrupt Enable
... (略) ...
SET1 LVION ← ; enables low-voltage detection operation
; software to wait for
; the operation stabilization time (100us) + minimum pulse width (200us)
MOVW AX, #700 ; set
JCHK100:
DECW AX
CMPW AX, #0
BNZ $JCHK100
CLR1 LVLIIF ← ; LVLIIF interrupt request flag
SET1 LVIMD ← ; generates an internal interrupt signal when detect the low-voltage
    
```

低電圧検出回路の動作停止

検出レベルを V_{LV19} (2.84 ± 0.1 V) に設定

低電圧検出回路の動作許可

低電圧検出回路の動作開始から、低電圧検出フラグで電圧を確認できるようになるまで約 $210 \mu\text{s}$ ウェイト

低電圧検出割り込み要求フラグをクリア

低電圧検出で内部リセットを発生するよう設定

(2) C言語

電源切り替え検出を行うための低電圧検出回路の設定

```

LVIMD = 0; /* generates an internal interrupt signal when detect the low-voltage */
LVIS = 0b00000100; /* Low-Voltage Detection Level Select Register */
... (略) ...

/* software to wait for the operation stabilization time (10us) + minimum pulse width (200us) */
for(ushWaitCounter = 0; ushWaitCounter < 400; ushWaitCounter++){
    NOP();
}

LVIIF = 1; /* set LVIIF for set V
    
```

検出レベルを V_{LV14} ($3.61 \pm 0.1V$) に設定

低電圧検出で内部割り込み信号を発生するよう設定

低電圧検出割り込み要求フラグをセット

低電圧検出回路の動作開始から、低電圧検出フラグで電圧を確認できるようになるまで約 $210\mu s$ ウェイト

電源電圧低下検出を行うための低電圧検出回路の設定

```

LVION = 0; /* disables low-voltage detection operation */
LVIS = 0b00001001; /* Low-Voltage Detection Level Select Register */
... (略) ...

LVION = 1; /* enables low-voltage detection operation */
/* software to wait for the operation stabilization time (10us) + minimum pulse width (200us) */
for(ushWaitCounter = 0; ushWaitCounter < 420; ushWaitCounter++){
    NOP();
}

LVIIF = 0; /* clear LVI interrupt request flag */
LVIMD = 1; /* generates an internal reset signal when detect the low-voltage */
    
```

検出レベルを V_{LV19} ($2.84 \pm 0.1V$) に設定

低電圧検出回路の動作停止

低電圧検出回路の動作許可

低電圧検出で内部リセットを発生するよう設定

低電圧検出割り込み要求フラグをクリア

低電圧検出回路の動作開始から、低電圧検出フラグで電圧を確認できるようになるまで約 $210\mu s$ ウェイト

4.3 電源切り替え検出処理について

電源切り替え検出処理について説明します。

アセンブリ言語の電源切り替え検出処理では、次の動作を行います。

低電圧検出割り込み要求フラグ (LVIIF) がセット (1) されていた場合、 の処理を行います。

低電圧検出フラグ (LVIF) により、電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) か、電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) かを判断し、電源モードを設定します。

(a) 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) であった場合、電源モードを電池に設定

(b) 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) であった場合、電源モードをUSBに設定

```

SDETECTVDD:
    BF      LVIIF,  $JDTCT900      ; low voltage detect ? , No

    CLR1   LVIIF                    ; clear LVI interrupt request flag

(a)      CLR1   FVDDUSB              ; the power supply from battery
    MOV1   CY,      LVIF            ; get VDD level
    SKC    ; VDD >= VLVI ? No

(b)      SET1   FVDDUSB              ; the power supply from USB

JDTCT900:
    RET
  
```

C言語でも、アセンブリ言語と同様な動作を行います。

```

static void fn_DetectVdd(void)
{
    if(LVIIF){
        /* low voltage detect */
        LVIIF = 0;          /* clear LVI interrupt request flag */
        if(LVIF){ /* VDD < VLVI */
            bVddMode = CVDD_BATTERY; /* the power supply from battery */
        }
        else{
            /* VDD >= VLVI */
            bVddMode = CVDD_USB; /* the power supply from USB */
        }
    }
}
  
```

4.4 電源電圧低下検出処理について

電源電圧低下検出処理について説明します。

アセンブリ言語の電源電圧低下検出処理では、次の動作を行います。

電源電圧低下検出処理を行うタイミングをカウントします。カウンタが10回になると、カウンタをクリアし以降の処理を行います。

低電圧検出回路を電源電圧低下検出用に設定します。検出レベルを $2.84 \pm 0.1V$ に、低電圧検出で内部リセットを発生するように設定します。

内部リセットの発生待ちのため、ソフトウェアで約 $300 \mu s$ をウエイトします。電源電圧の低下を検出した場合、ここで内部リセットが発生します。電源電圧の低下が検出されなかった場合、以降の処理を行います。

低電圧検出回路を電源切り替え検出用に設定します。検出レベルを $3.61 \pm 0.1V$ に、低電圧検出で内部割り込み信号を発生するように設定します。

現在の電源の状態を検出し、電源モードを更新します。電源電圧低下を検出中に電源が切り替えられた場合は、ここで検出されます。

(a) 現在の電源状態が低電圧検出フラグ (LVIF) セットされるまで、ソフトウェアで約 $210 \mu s$ (動作安定待ち $10 \mu s$ + 最小パルス幅 $200 \mu s$) をウエイトします。

(b) 現在の電源の状態を電源モードに設定するため、低電圧検出割り込み要求フラグをセットします。

```

SCHECKVDD:
    INC      RTIMINGCNT      ; timing count
    CMP      RTIMINGCNT,#10 ; VDD check timing ?
    BC       $JCHK900       ; No

    MOV      RTIMINGCNT,#0  ; initialize counter

    ;-----;
    ; LVI setting for checking VDD ;
    ;-----;

    CLR1     LVION          ; disables low-voltage detection operation
    MOV      LVIS, #00001001B ; Low-Voltage Detection Level Select Register
    ;| | | | + + + + - - - : Detection level
    ;| | | | : 0 0 0 0 : VLVI0 (4.22V)
    ;| | | | : 0 0 0 1 : VLVI1 (4.07V)
    ;| | | | : 0 0 1 0 : VLVI2 (3.92V)
    ;| | | | : 0 0 1 1 : VLVI3 (3.76V)
    ;| | | | : 0 1 0 0 : VLVI4 (3.61V)
    ;| | | | : 0 1 0 1 : VLVI5 (3.45V)
    ;| | | | : 0 1 1 0 : VLVI6 (3.30V)
    ;| | | | : 0 1 1 1 : VLVI7 (3.15V)
    ;| | | | : 1 0 0 0 : VLVI8 (2.99V)
    ;| | | | : 1 0 0 1 : VLVI9 (2.84V)
    ;| | | | : 1 0 1 0 : VLVI10 (2.68V)
    ;| | | | : 1 0 1 1 : VLVI11 (2.53V)
    ;| | | | : 1 1 0 0 : VLVI12 (2.38V)
    ;| | | | : 1 1 0 1 : VLVI13 (2.22V)
    ;| | | | : 1 1 1 0 : VLVI14 (2.07V)
    ;| | | | : 1 1 1 1 : VLVI15 (1.91V)
    ;| | | |
    ;+ + + + - - - - - : Be sure to set 0000

```

```

SET1    LVION          ; enables low-voltage detection operation

; software to wait for
; the operation stabilization time (10us) + minimum pulse width (200us)
MOVW    AX,          #700    ; set counter                (1clk)
JCHK100:
DECW    AX            ;                                (1clk)
CMPW    AX,          #0      ;                                (1clk)
BNZ     $JCHK100      ; finished waiting ? , No    (2clk/4clk)

CLR1    LVIIF         ; clear LVI interrupt request flag
SET1    LVIMD ;generates an internal reset signal whendetect the low-voltage

;-----;
;   wait for reset generation   ;
;-----;
; software to wait for 300us (more than minimum pulse width)
MOVW    AX,          #1000   ; set counter                (1clk)
JCHK200:
DECW    AX            ;                                (1clk)
CMPW    AX,          #0      ;                                (1clk)
BNZ     $JCHK200      ; finished waiting ? , No    (2clk/4clk)

;-----;
;   LVI setting for VDD detection   ;
;-----;
CLR1    LVIMD        ; generates an internal interrupt signal when detect the
low-voltage
MOV     LVIS,#00000100B ; Low-Voltage Detection Level Select Register
;| | | | + + + + - - : Detection level
;| | | | : 0 0 0 0 : VLVI0 (4.22V)
;| | | | : 0 0 0 1 : VLVI1 (4.07V)
;| | | | : 0 0 1 0 : VLVI2 (3.92V)
;| | | | : 0 0 1 1 : VLVI3 (3.76V)
;| | | | : 0 1 0 0 : VLVI4 (3.61V)
;| | | | : 0 1 0 1 : VLVI5 (3.45V)
;| | | | : 0 1 1 0 : VLVI6 (3.30V)
;| | | | : 0 1 1 1 : VLVI7 (3.15V)
;| | | | : 1 0 0 0 : VLVI8 (2.99V)
;| | | | : 1 0 0 1 : VLVI9 (2.84V)
;| | | | : 1 0 1 0 : VLVI10 (2.68V)
;| | | | : 1 0 1 1 : VLVI11 (2.53V)
;| | | | : 1 1 0 0 : VLVI12 (2.38V)
;| | | | : 1 1 0 1 : VLVI13 (2.22V)
;| | | | : 1 1 1 0 : VLVI14 (2.07V)
;| | | | : 1 1 1 1 : VLVI15 (1.91V)
;| | | |
; + + + + - - - - - : Be sure to set 0000

```

```

; software to wait for
; the operation stabilization time (10us) + minimum pulse width (200us)
(a) MOVW    AX,    #700    ; set counter                (1clk)
JCHK300:
    DECW    AX                ;                        (1clk)
    CMPW    AX,    #0        ;                        (1clk)
    BNZ     $JCHK300        ; finished waiting ? , No (2clk/4clk)
(b) SET1    LVIIF                ; set LVIIF for set Vdd Mode
JCHK900:
    RET

```


C言語でも、アセンブリ言語と同様な動作を行います。

```

static void fn_CheckVdd(void)
{
    ucTimingCounter++; /* timing count */
    if(ucTimingCounter >= 10){
        ucTimingCounter = 0; /* initialize counter */

        /*-----*/
        /* LVI setting for checking VDD */
        /*-----*/
        LVION = 0; /* disables low-voltage detection operation */
        LVIS = 0b00001001; /* Low-Voltage Detection Level Select Register */
        /*|||||++++--- : Detection level */
        /*||||| : 0 0 0 0 : VLVI0 (4.22V) */
        /*||||| : 0 0 0 1 : VLVI1 (4.07V) */
        /*||||| : 0 0 1 0 : VLVI2 (3.92V) */
        /*||||| : 0 0 1 1 : VLVI3 (3.76V) */
        /*||||| : 0 1 0 0 : VLVI4 (3.61V) */
        /*||||| : 0 1 0 1 : VLVI5 (3.45V) */
        /*||||| : 0 1 1 0 : VLVI6 (3.30V) */
        /*||||| : 0 1 1 1 : VLVI7 (3.15V) */
        /*||||| : 1 0 0 0 : VLVI8 (2.99V) */
        /*||||| : 1 0 0 1 : VLVI9 (2.84V) */
        /*||||| : 1 0 1 0 : VLVI10 (2.68V) */
        /*||||| : 1 0 1 1 : VLVI11 (2.53V) */
        /*||||| : 1 1 0 0 : VLVI12 (2.38V) */
        /*||||| : 1 1 0 1 : VLVI13 (2.22V) */
        /*||||| : 1 1 1 0 : VLVI14 (2.07V) */
        /*||||| : 1 1 1 1 : VLVI15 (1.91V) */
        /*||||| */
        /*++++----- : Be sure to set 0000 */
        LVION = 1; /* enables low-voltage detection operation */
        /* software to wait for */
        /* the operation stabilization time(10us) + minimum pulse width(200us) */
        for(ushWaitCounter = 0; ushWaitCounter < 420; ushWaitCounter++){
            NOP();
        }
        LVIIF = 0; /* clear LVI interrupt request flag */
        LVIMD = 1; /* generates an internal reset signal when detect the
low-voltage */

        /*-----*/
        /* wait for reset generation */
        /*-----*/
        /* software to wait for over 300us (more than minimum pulse width) */
        for(ushWaitCounter = 0; ushWaitCounter < 600; ushWaitCounter++){
            NOP();
        }
    }
}

```

```
/*-----*/
/*  LVI setting for VDD detection  */
/*-----*/
LVIMD=0; /*generates an internal interrupt signal when detect the low-voltage
*/
LVIS = 0b00000100; /* Low-Voltage Detection Level Select Register */
/*|||||++++--- : Detection level */
/*||||| : 0 0 0 0 : VLVI0 (4.22V) */
/*||||| : 0 0 0 1 : VLVI1 (4.07V) */
/*||||| : 0 0 1 0 : VLVI2 (3.92V) */
/*||||| : 0 0 1 1 : VLVI3 (3.76V) */
/*||||| : 0 1 0 0 : VLVI4 (3.61V) */
/*||||| : 0 1 0 1 : VLVI5 (3.45V) */
/*||||| : 0 1 1 0 : VLVI6 (3.30V) */
/*||||| : 0 1 1 1 : VLVI7 (3.15V) */
/*||||| : 1 0 0 0 : VLVI8 (2.99V) */
/*||||| : 1 0 0 1 : VLVI9 (2.84V) */
/*||||| : 1 0 1 0 : VLVI10 (2.68V) */
/*||||| : 1 0 1 1 : VLVI11 (2.53V) */
/*||||| : 1 1 0 0 : VLVI12 (2.38V) */
/*||||| : 1 1 0 1 : VLVI13 (2.22V) */
/*||||| : 1 1 1 0 : VLVI14 (2.07V) */
/*||||| : 1 1 1 1 : VLVI15 (1.91V) */
/*||||| */
/*++++----- : Be sure to set 0000 */

/* software to wait for */
/* the operation stabilization time(10us) + minimum pulse width(200us) */
for(ushWaitCounter = 0; ushWaitCounter < 400; ushWaitCounter++){
    NOP();
}

LVIIIF = 1; /* set LVIIIF for set Vdd Mode */
}
}
```

第5章 関連資料

資料名		和文 / 英文
78K0R/Lx3 ユーザーズ・マニュアル		PDF
78K0Rシリーズ 命令編 ユーザーズ・マニュアル		PDF
RA78K0R アセンブラ・パッケージ ユーザーズ・マニュアル	言語編	PDF
	操作編	PDF
CC78K0R Cコンパイラ ユーザーズ・マニュアル	言語編	PDF
	操作編	PDF
PM+ プロジェクト・マネージャ ユーザーズ・マニュアル		PDF

付録A プログラム・リスト

プログラム・リスト例として、ソース・プログラムを次に示します。

```
main.asm (アセンブリ言語版)
;
; Copyright (C) NEC Electronics Corporation 2006
; NEC ELECTRONICS CONFIDENTIAL AND PROPRIETARY
; All rights reserved by NEC Electronics Corporation.
; This program must be used solely for the purpose for which
; it was furnished by NEC Electronics Corporation. No part of this
; program may be reproduced or disclosed to others, in any
; form, without the prior written permission of NEC Electronics
; Corporation. Use of copyright notice dose not evidence
; publication of the program.
;
;-----;
; Extern function ;
;-----;
;-----;
; Extern variables/constants ;
;-----;
;-----;
; Vector table initialize ;
;-----;
TVCT1 CSEG AT 000000H
      DW IRESET ;(00H) RESET, POC, LVI, WDT, TRAP
TVCT2 CSEG AT 000004H
      DW IRESET ;(04H) INTWDTI
      DW IRESET ;(06H) INTLVI
      DW IRESET ;(08H) INTP0
      DW IRESET ;(0AH) INTP1
      DW IRESET ;(0CH) INTP2
      DW IRESET ;(0EH) INTP3E
      DW IRESET ;(10H) INTP4
      DW IRESET ;(12H) INTP5
      DW IRESET ;(14H) INTST3
      DW IRESET ;(16H) INTSR3
      DW IRESET ;(18H) INTSRE3
```

```

DW      IRESET      ;(1AH) INTDMA0
DW      IRESET      ;(1CH) INTDMA1
DW      IRESET      ;(1EH) INTST0, INTCSI00
DW      IRESET      ;(20H) INTSR0, INTCSI01
DW      IRESET      ;(22H) INTSRE0
DW      IRESET      ;(24H) INTST1, INTCSI10, INTIIC10
DW      IRESET      ;(26H) INTSR1
DW      IRESET      ;(28H) INTSRE1
DW      IRESET      ;(2AH) INTIICA
DW      IRESET      ;(2CH) INTTM00
DW      IRESET      ;(2EH) INTTM01
DW      IRESET      ;(30H) INTTM02
DW      IRESET      ;(32H) INTTM03
DW      IRESET      ;(34H) INTAD
DW      IRESET      ;(36H) INTRTC
DW      IRESET      ;(38H) INTRTCI
DW      IRESET      ;(3AH) INTKR
DW      IRESET      ;(3CH) INTST2, INTCSI20, INTIIC20
DW      IRESET      ;(3EH) INSR2
DW      IRESET      ;(40H) INTSRE2
DW      IRESET      ;(42H) INTTM04
DW      IRESET      ;(44H) INTTM05
DW      IRESET      ;(46H) INTTM06
DW      IRESET      ;(48H) INTTM07
DW      IRESET      ;(4AH) INTP6
DW      IRESET      ;(4CH) INTP7
DW      IRESET      ;(4EH) INTP8
DW      IRESET      ;(50H) INTP9
DW      IRESET      ;(52H) INTP10
DW      IRESET      ;(54H) INTP11
DW      IRESET      ;(56H) INTTM10
DW      IRESET      ;(58H) INTTM11
DW      IRESET      ;(5AH) INTTM12
DW      IRESET      ;(5CH) INTTM13
DW      IRESET      ;(5EH) INTMD
TVCT3   CSEG      AT      00007EH
        DW      IRESET      ;(7EH) BRK

```

-----;

; Stack area definition ;

-----;

DSTK DSEG IHRAM ;Stack Area address

STACKEND:

```

                DS      60H
STACKTOP:

;-----;
; Local constants                                     ;
;-----;
;-----;
; Global variables                                     ;
;-----;
;-----;
; Local variables                                     ;
;-----;
DMAIN  DSEG      SADDR
        RTIMINGCNT: DS      1      ; timing counter for VDD drop check

DBMAIN BSEG      UNIT
        FVDDUSB    DBIT          ; Power supply mode (0:Battery(3V), 1:USB(5V))

;-----;
; Code                                               ;
;-----;
XMAIN  CSEG      UNIT
;-----;
; Hardware initialization                             ;
;-----;
        PUBLIC    IRESET
IRESET:
;-----;
;          Disable all interrupts                       ;
;-----;
DI
;-----;
;          Set register bank                           ;
;-----;
SEL     R00      ; use register bank 0

;-----;
;          Set stack pointer                           ;
;-----;
MOVW   SP,      #LOWW STACKTOP

;-----;

```

```

;      Initialization of port      ;
;-----;
CALL   !!SINITPORT

;-----;
;      Low-voltage detection      ;
;-----;
CALL   !!SINITLVI                ; ensures 2.7V to VDD

;-----;
;      Initialization of clock    ;
;-----;
MOV    CMC,    #01000011B        ; Clock Operation Mode Control Register
;|||||+--- : Control of high-speed system clock oscillation frequency
;||||| : 0 : 2 MHz <= fMX <= 10 MHz
;||||| : 1 : 10 MHz < fMX <= 20 MHz
;|||||
;|||||+---- : XT1 oscillator oscillation mode selection
;|||| : 0 0 : Low-consumption oscillation
;|||| : 0 1 : Normal oscillation
;|||| : 1 x : Super-low-consumption oscillation
;|||| x = don't care
;||||
;||||+----- : Be sure to set 0
;|||
;|||+----- : [1] Subsystem clock pin operation mode
;|||          [2] XT1/P123 pin and XT2/P124 pin
;||| : 0 : [1] Input port mode
;|||          [2] Input port
;|||
;||| : 1 : [1] XT1 oscillation mode
;|||          [2] Crystal resonator connection
;|||
;||+----- : Be sure to set 0
;||
;+----- : [1] EXCLK OSCSEL High-speed system clock pin operation mode
;          [2] X1/P121 pin
;          [3] X2/EXCLK/P122 pin
; : 0 0 : [1] Input port mode
;          [2][3] Input port
;
; : 0 1 : [1] X1 oscillation mode
;          [2][3] Crystal/ceramic resonator connection

```

```

;
; : 1 0 : [1]Input port mode
;           [2][3]Input port
;
; : 1 1 : [1]External clock input mode
;           [2]Input port
;           [3]External clock input

CLR1    MSTOP                ; X1 oscillator operating

MOV     OSMC, #0000001B      ; Operation Speed Mode Control Register
;|||||++--- : fCLK frequency selection
;||||| : 0 0 : Operates at a frequency of 10 MHz or less.
;||||| : 0 1 : Operates at a frequency higher than 10 MHz.
;||||| : 1 0 : Operates at a frequency of 1 MHz.
;|||||
;|+++++----- : Be sure to set 00000
;|
;+----- : Setting in subsystem clock HALT mode
; : 0 : Enables subsystem clock supply to peripheral functions.
;       (See Table 21-1 Operating Statuses in HALT Mode (2/3)
;       for the peripheral functions whose operations are enabled.)
; : 1 : Stops subsystem clock supply to peripheral functions
;       except real-time counter, clock output/buzzer output,
;       and LCD controller/driver.

BF      OSTC.0, $$          ; X1 oscillation stabilization finished ? , No

;*- - Caution -----*
;* To increase fCLK to 10 MHz or higher, set FSEL to '1', *
;* then change fCLK after two or more clocks have elapsed. *
;*-----*

NOP
NOP

MOV     CKC, #00010000B      ; System Clock Control Register
;|+|+++++--- : Selection of CPU/peripheral hardware clock (fCLK)
;| | : 0 0 x 0 0 0 : fIH
;| | : 0 0 x 0 0 1 : fIH/2 (default)
;| | : 0 0 x 0 1 0 : fIH/2^2
;| | : 0 0 x 0 1 1 : fIH/2^3
;| | : 0 0 x 1 0 0 : fIH/2^4
;| | : 0 0 x 1 0 1 : fIH/2^5

```



```

;| | : 0 1 x 0 0 0 : fMX
;| | : 0 1 x 0 0 1 : fMX/2
;| | : 0 1 x 0 1 0 : fMX/2^2
;| | : 0 1 x 0 1 1 : fMX/2^3
;| | : 0 1 x 1 0 0 : fMX/2^4
;| | : 0 1 x 1 0 1 : fMX/2^5
;| | : 1 x 0 x x x : fSUB
;| | : 1 x 1 x x x : fSUB/2
;| | : Other than above : Setting prohibited
;| | x = don't care
;| |
;| +----- : Status of Main system clock (fMAIN)
;| : 0 : Internal high-speed oscillation clock (fIH)
;| : 1 : High-speed system clock (fMX)
;|
;+----- : Status of CPU/peripheral hardware clock (fCLK)
; : 0 : Main system clock (fMAIN)
; : 1 : Subsystem clock (fSUB)

```

HRST100:; CPU is operating on a High-speed system clock ?

BT CLS, \$HRST100 ; No

BF MCS, \$HRST100 ; No

SET1 HI0STOP ; internal high-speed oscillation stopped

MOV OSTs, #00000111B ; Oscillation Stabilization Time Select Register

;| | | | + + + + - - - : Oscillation stabilization time selection

;| | | | : 0 0 0 : 2^8/fX

;| | | | : 0 0 1 : 2^9/fX

;| | | | : 0 1 0 : 2^10/fX

;| | | | : 0 1 1 : 2^11/fX

;| | | | : 1 0 0 : 2^13/fX

;| | | | : 1 0 1 : 2^15/fX

;| | | | : 1 1 0 : 2^17/fX

;| | | | : 1 1 1 : 2^18/fX

;| | | |

;+ + + + - - - - - : Be sure to set 0000

MOV PER0, #00000001B ; Peripheral Enable Register 0

;| | | | | | | + - - - : Control of timer array unit 0 input clock

;| | | | | | | : 0 : Stops input clock supply.

;| | | | | | | * SFR used by timer array unit 0 cannot be written.

;| | | | | | | * Timer array unit 0 is in the reset status.

```

;||||| : 1 : Supplies input clock.
;||||| * SFR used by timer array unit 0 can be read and written.
;|||||
;|||||+---- : Control of timer array unit 1 input clock
;||||| : 0 : Stops input clock supply.
;||||| * SFR used by timer array unit 1 cannot be written.
;||||| * Timer array unit 1 is in the reset status.
;||||| : 1 : Supplies input clock.
;||||| * SFR used by timer array unit 1 can be read and written.
;|||||
;|||||+----- : Control of serial array unit 0 input clock
;||||| : 0 : Stops input clock supply.
;||||| * SFR used by the serial array unit 0 cannot be written.
;||||| * The serial array unit 0 is in the reset status.
;||||| : 1 : Supplies input clock.
;||||| * SFR used by the serial array unit 0 can be read and written.
;|||||
;|||||+----- : Control of serial array unit 1 input clock
;||||| : 0 : Stops input clock supply.
;||||| * SFR used by the serial array unit 1 cannot be written.
;||||| * The serial array unit 1 is in the reset status.
;||||| : 1 : Supplies input clock.
;||||| * SFR used by the serial array unit 1 can be read and written.
;|||||
;|||+----- : Control of serial interface IICA input clock
;||| : 0 : Stops input clock supply.
;||| * SFR used by the serial interface IICA cannot be written.
;||| * The serial interface IICA is in the reset status.
;||| : 1 : Supplies input clock.
;||| * SFR used by the serial interface IICA can be read and written.
;|||
;||+----- : Control of A/D converter, operational amplifier, and voltage
reference input clock
;|| : 0 : Stops input clock supply.
;|| * SFR used by the A/D converter, operational amplifier, and voltage
reference cannot be written.
;|| * The A/D converter, operational amplifier, and voltage reference
is in the reset status.
;|| : 1 : Supplies input clock.
;|| * SFR used by the A/D converter, operational amplifier, and voltage
reference can be read and written.
;||
;||+----- : Control of D/A converter input clock

```

```

;| : 0 : Stops input clock supply.
;|      * SFR used by D/A converter cannot be written.
;|      * The D/A converter is in the reset status.
;| : 1 : Supplies input clock.
;|      * SFR used by the D/A converter can be read and written.
;|
;+----- : Control of real-time counter (RTC) input clock
; : 0 : Stops input clock supply.
;      * SFR used by the real-time counter (RTC) cannot be written.
;      * The real-time counter (RTC) is in the reset status.
; : 1 : Supplies input clock.
;      * SFR used by the real-time counter (RTC) can be read and written.

;-----;
;      Initialization process      ;
;-----;
MOV      RTIMINGCNT,#9              ; initialize counter for timing of checking VDD

;=====;
;-----;
;      Main Loop                    ;
;-----;
;=====;

MMAIN:

CALL     !!SCHECKVDD                ; check the VDD voltage drop
CALL     !!SDETECTVDD              ; detect VDD mode

;-----;
;      update LED                    ;
;-----;

BF       FVDDUSB,$LMAIN100         ; VDD is USB ? , No
CLR1     P3.3                      ; LED ON
BR       LMAIN200

LMAIN100:;VDD is battery
SET1     P3.3                      ; LED OFF

LMAIN200:
;*****;
;*                                     *;
;*      The main processing writes here *;
;*                                     *;
;*      if there is something          *;
;*                                     *;
;*****;

```

```

,*****;
;

BR      MMAIN          ; continue main process

;-----;
; Module:      SINITPORT          ;
; Description: Setting of I/O ports          ;
;   parameter: --          ;
;   return   : --          ;
;-----;
SINITPORT:
;-----
;   Ports configuration for digital input and output
;-----
MOV     ADPC,    #00010000B      ; A/D Port Configuration Register
;|||+---- : Analog input (A)/digital I/O (D) switching
;||| :          +----- ANI15/AVREFM/P157
;||| :          | +-+----- ANI10/P152 - ANI8/AMP2+/P150
;||| :          | | | +-+----- ANI7/AMP20/P27 - ANI0/AMP0-/P20
;||| : 0 0 0 0 0 : A A A A A A A A A A
;||| : 0 0 0 0 1 : A A A A A A A A A D
;||| : 0 0 0 1 0 : A A A A A A A A D D
;||| : 0 0 0 1 1 : A A A A A A A A D D D
;||| : 0 0 1 0 0 : A A A A A A A D D D D
;||| : 0 0 1 0 1 : A A A A A A A D D D D D
;||| : 0 0 1 1 0 : A A A A A A D D D D D D
;||| : 0 0 1 1 1 : A A A A A D D D D D D D
;||| : 0 1 0 0 0 : A A A A D D D D D D D D
;||| : 0 1 0 0 1 : A A A D D D D D D D D D
;||| : 0 1 0 1 0 : A A D D D D D D D D D D
;||| : 0 1 1 1 1 : A D D D D D D D D D D D
;||| : 1 0 0 0 0 : D D D D D D D D D D D D
;|||
;+++----- : Be sure to set 000

;-----
;   Setting of Port 0
;-----
MOV     P0,     #00000000B      ; Set P00-P02 Output latch to Low
MOV     PM0,    #11111000B      ; Set P00-P02 to output port
;                                     ; P00-P02:Unused

;-----

```

```

;      Setting of Port 1
;-----
MOV     P1,      #00000000B      ; Set P10-P17 Output latch to Low
MOV     PM1,     #00000000B      ; Set P10-P17 to output port
                                           ; P10-P15:Unused

;-----
;      Setting of Port 2
;-----
MOV     P2,      #00000000B      ; Set P20-P27 Output latch to Low
MOV     PM2,     #11111111B      ; Set P20-P27 to input port
                                           ; P20-P27:Unused

;-----
;      Setting of Port 3
;-----
MOV     P3,      #00001000B      ; Set P30-P32,P34 Output latch to Low
                                           ; Set P33 Output latch High
MOV     PM3,     #11100000B      ; Set P30-P34 to output port
                                           ; P30-P32,P34:Unused
                                           ; P33:LED(VDD is USB -> ON)

;-----
;      Setting of Port 4
;-----
MOV     P4,      #00000000B      ; Set P40-P41 Output latch to Low
MOV     PM4,     #11111100B      ; Set P40-P41 to output port
                                           ; P40-P41:Unused

;-----
;      Setting of Port 5
;-----
MOV     P5,      #00000000B      ; Set P50-P57 Output latch to Low
MOV     PM5,     #11110000B      ; Set P50-P57 to output port
                                           ; P50-P57:Unused

;-----
;      Setting of Port 6
;-----
MOV     P6,      #00000000B      ; Set P60-P61 Output latch to Low
MOV     PM6,     #11111100B      ; Set P60-P61 to output port
                                           ; P60-P61:Unused

```

```

;-----
;   Setting of Port 7
;-----
MOV    P7,    #0000000B    ; Set P70-P77 Output latch to Low
MOV    PM7,   #0000000B    ; Set P70-P77 to output port
                                ; P70-P77:Unused

;-----
;   Setting of Port 8
;-----
MOV    P8,    #0000000B    ; Set P80-P88 Output latch to Low
MOV    PM8,   #0000000B    ; Set P80-P88 to output port
                                ; P80-P88:Unused

;-----
;   Setting of Port 9
;-----
MOV    P9,    #0000000B    ; Set P90-P97 Output latch to Low
MOV    PM9,   #0000000B    ; Set P90-P97 to output port
                                ; P90-P97:Unused

;-----
;   Setting of Port 10
;-----
MOV    P10,   #0000000B    ; Set P100-P102 Output latch to Low
MOV    PM10,  #11111000B   ; Set P100-P102 to output port
                                ; P100-P102:Unused

;-----
;   Setting of Port 11
;-----
MOV    P11,   #0000000B    ; Set P110-P111 Output latch to Low
MOV    PM11,  #11111100B   ; Set P110-P111 to output port
                                ; P110-P111:Unused

;-----
;   Setting of Port 12
;-----
MOV    P12,   #0000000B    ; Set P120 Output latch to Low
MOV    PM12,  #11111110B   ; Set P120 to output port
                                ; P120-P124:Unused
                                ; *P121-P124:Input port

```

```

;-----
;   Setting of Port 13
;-----
MOV    P13,    #0000000B    ; Set P130 Output latch to Low
                                ; P130:Unused

;-----
;   Setting of Port 14
;-----
MOV    P14,    #0000000B    ; Set P140-P147 Output latch to Low
MOV    PM14,   #0000000B    ; Set P140-P147 to output port
                                ; P140-P147:Unused

;-----
;   Setting of Port 15
;-----
MOV    P15,    #0000000B    ; Set P150-P152,P157 Output latch to Low
MOV    PM15,   #11111111B   ; Set P150-P152,P157 to input port
                                ; P150-P152,P157:Unused

RET

;-----;
; Module:      SINITLVI      ;
; Description: Ensures 2.7V to the power supply voltage ;
; parameter:  --            ;
; return   :  --            ;
;-----;
SINITLVI:
; setting of Low-Voltage Detector
SET1    LVIMK          ; disable LVI interrupt
CLR1    LVISEL        ; detects level of VDD
MOV     LVIS,         #00001001B    ; Low-Voltage Detection Level Select Register
;||| | ++++ --- : Detection level
;||| | : 0 0 0 0 : VLV10 (4.22V)
;||| | : 0 0 0 1 : VLV11 (4.07V)
;||| | : 0 0 1 0 : VLV12 (3.92V)
;||| | : 0 0 1 1 : VLV13 (3.76V)
;||| | : 0 1 0 0 : VLV14 (3.61V)
;||| | : 0 1 0 1 : VLV15 (3.45V)
;||| | : 0 1 1 0 : VLV16 (3.30V)
;||| | : 0 1 1 1 : VLV17 (3.15V)
;||| | : 1 0 0 0 : VLV18 (2.99V)

```

```

;||| : 1 0 0 1 : VLVI9 (2.84V)
;||| : 1 0 1 0 : VLVI10 (2.68V)
;||| : 1 0 1 1 : VLVI11 (2.53V)
;||| : 1 1 0 0 : VLVI12 (2.38V)
;||| : 1 1 0 1 : VLVI13 (2.22V)
;||| : 1 1 1 0 : VLVI14 (2.07V)
;||| : 1 1 1 1 : VLVI15 (1.91V)
;|||
;++++----- : Be sure to set 0000

SET1    LVION                ; enables low-voltage detection operation

; software to wait for the operation stabilization time (over 10us)
MOV     B, #10                ; set counter
HRES100:
NOP                                ; set counter (1clk)
DEC     B                       ; (1clk)
BNZ     $HRES100                ; finished waiting ? , No (2clk/4clk)

; wait for VDD to become VLVI or more
HRES300:
NOP
BT      LVIF, $HRES300 ; VDD < VLVI? , Yes
CLR1    LVION                ; disables low-voltage detection operation

SET1    LVIMD                ; generates an internal reset signal when detect the low-voltage

RET

;-----;
; Module:      SCHECKVDD ;
; Description:  Check the voltage drop ;
; parameter:  -- ;
; return :  -- ;
;-----;
SCHECKVDD:
INC     RTIMINGCNT            ; timing count
CMP     RTIMINGCNT,#10        ; VDD check timing ?
BC      $JCHK900              ; No

MOV     RTIMINGCNT,#0         ; initialize counter

;-----;
; LVI setting for checking VDD ;

```



```

;-----;
CLR1    LVION                ; disables low-voltage detection operation
MOV     LVIS,    #00001001B    ; Low-Voltage Detection Level Select Register
;||||+++- : Detection level
;|||| : 0 0 0 0 : VLV10 (4.22V)
;|||| : 0 0 0 1 : VLV11 (4.07V)
;|||| : 0 0 1 0 : VLV12 (3.92V)
;|||| : 0 0 1 1 : VLV13 (3.76V)
;|||| : 0 1 0 0 : VLV14 (3.61V)
;|||| : 0 1 0 1 : VLV15 (3.45V)
;|||| : 0 1 1 0 : VLV16 (3.30V)
;|||| : 0 1 1 1 : VLV17 (3.15V)
;|||| : 1 0 0 0 : VLV18 (2.99V)
;|||| : 1 0 0 1 : VLV19 (2.84V)
;|||| : 1 0 1 0 : VLV110 (2.68V)
;|||| : 1 0 1 1 : VLV111 (2.53V)
;|||| : 1 1 0 0 : VLV112 (2.38V)
;|||| : 1 1 0 1 : VLV113 (2.22V)
;|||| : 1 1 1 0 : VLV114 (2.07V)
;|||| : 1 1 1 1 : VLV115 (1.91V)
;||||
;++++----- : Be sure to set 0000

SET1    LVION                ; enables low-voltage detection operation
; software to wait for
; the operation stabilization time (10us) + minimum pulse width (200us)
MOVW    AX,    #700          ; set counter (1clk)
JCHK100:
DECW    AX                  ; (1clk)
CMPW    AX,    #0          ; (1clk)
BNZ     $JCHK100           ; finished waiting ? , No (2clk/4clk)

CLR1    LVIIF              ; clear LVI interrupt request flag
SET1    LVIMD              ; generates an internal reset signal when detect the low-voltage

;-----;
; wait for reset generation ;
;-----;
; software to wait for 300us (more than minimum pulse width)
MOVW    AX,    #1000        ; set counter (1clk)
JCHK200:
DECW    AX                  ; (1clk)
CMPW    AX,    #0          ; (1clk)
BNZ     $JCHK200           ; finished waiting ? , No (2clk/4clk)

```

```

;-----;
;   LVI setting for VDD detection   ;
;-----;

CLR1   LVIMD   ; generates an internal interrupt signal when detect the low-voltage
MOV    LVIS,   #00000100B           ; Low-Voltage Detection Level Select Register

;||||+++--- : Detection level
;|||| : 0 0 0 0 : VLV10 (4.22V)
;|||| : 0 0 0 1 : VLV11 (4.07V)
;|||| : 0 0 1 0 : VLV12 (3.92V)
;|||| : 0 0 1 1 : VLV13 (3.76V)
;|||| : 0 1 0 0 : VLV14 (3.61V)
;|||| : 0 1 0 1 : VLV15 (3.45V)
;|||| : 0 1 1 0 : VLV16 (3.30V)
;|||| : 0 1 1 1 : VLV17 (3.15V)
;|||| : 1 0 0 0 : VLV18 (2.99V)
;|||| : 1 0 0 1 : VLV19 (2.84V)
;|||| : 1 0 1 0 : VLV110 (2.68V)
;|||| : 1 0 1 1 : VLV111 (2.53V)
;|||| : 1 1 0 0 : VLV112 (2.38V)
;|||| : 1 1 0 1 : VLV113 (2.22V)
;|||| : 1 1 1 0 : VLV114 (2.07V)
;|||| : 1 1 1 1 : VLV115 (1.91V)
;||||
;++++----- : Be sure to set 0000

; software to wait for
; the operation stabilization time (10us) + minimum pulse width (200us)
MOVW   AX,     #700                 ; set counter (1clk)
JCHK300:
DECW   AX                     ; (1clk)
CMPW   AX,     #0                 ; (1clk)
BNZ    $JCHK300                ; finished waiting ? , No (2clk/4clk)

SET1   LVIIF                ; set LVIIF for set Vdd Mode

JCHK900:
RET

;-----;
; Module:      SDETECTVDD           ;
; Description: Detect and set power supply mode ;
; parameter:  --                    ;

```

```

;      return   : power supply mode(FVDDUSB)          ;
;-----;
SDETECTVDD:
    BF      LVIIF,   $JDTCT900 ; low voltage detect ? , No

    CLR1    LVIIF           ; clear LVI interrupt request flag

    CLR1    FVDDUSB        ; the power supply from battery
    MOV1    CY,    LVIF    ; get VDD level
    SKC                    ; VDD >= VLVI ? No
    SET1    FVDDUSB        ; the power supply from USB

JDTCT900:
    RET

end

```

```
main.c (C言語版)

/*
 * Copyright (C) NEC Electronics Corporation 2006
 * NEC ELECTRONICS CONFIDENTIAL AND PROPRIETARY
 * All rights reserved by NEC Electronics Corporation.
 * This program must be used solely for the purpose for which
 * it was furnished by NEC Electronics Corporation. No part of this
 * program may be reproduced or disclosed to others, in any
 * form, without the prior written permission of NEC Electronics
 * Corporation. Use of copyright notice dose not evidence
 * publication of the program.
 */

/*-----*/
/* #pragma directive for CC78K0
                                     */
/*-----*/
#pragma      SFR
#pragma      DI
#pragma      EI
#pragma      NOP

/*-----*/
/* Include files
                                     */
/*-----*/
/*-----*/
/* Function prototyps
                                     */
/*-----*/
static void  fn_InitPort(void); /* Setting of I/O ports */
static void  fn_InitLvi(void); /* Low-voltage detection */

/*-----*/
/* Extern variables/constants
                                     */
/*-----*/
/*-----*/
/* Local constants
                                     */
/*-----*/
/*-----*/
/* Global variables
```

```

*/
/*-----*/
/*-----*/
/* Local variables
*/
/*-----*/
unsigned short   ushWaitCounter;   /* counter for waiting */
unsigned char    ucTimingCounter; /* timing counter for VDD drop check */
boolean          bVddMode;         /* Power supply mode (0:Battery(3V), 1:USB(5V)) */
#define          CVDD_BATTERY  0    /* about 3V */
#define          CVDD_USB      1    /* 5V */

/*-----*/
/* Code
*/
/*-----*/
/*-----*/
/* Hardware initialization
*/
/*-----*/
void hdwinit(void)
{
    DI();          /* disable all interrupts */

    /*-----*/
    /*      Initialization of port      */
    /*-----*/
    fn_InitPort();

    /*-----*/
    /*      Low-voltage detection      */
    /*-----*/
    fn_InitLvi(); /* ensures 2.7V to VDD */

    /*-----*/
    /*      Initialization of clock      */
    /*-----*/
    CMC =          0b01000011;      /* Clock Operation Mode Control Register */
    /*|||+--- : Control of high-speed system clock oscillation frequency */
    /*||| : 0 : 2 MHz <= fMX <= 10 MHz */
    /*||| : 1 : 10 MHz < fMX <= 20 MHz */
    /*||| */
    /*|||+---- : XT1 oscillator oscillation mode selection */

```

```

/*||||| : 0 0 : Low-consumption oscillation */
/*||||| : 0 1 : Normal oscillation */
/*||||| : 1 x : Super-low-consumption oscillation */
/*||||| x = don't care */
/*||||| */
/*|||||+----- : Be sure to set 0 */
/*||||| */
/*|||+----- : [1] Subsystem clock pin operation mode */
/*||| [2] XT1/P123 pin and XT2/P124 pin */
/*||| : 0 : [1]Input port mode */
/*||| [2]Input port */
/*||| */
/*||| : 1 : [1]XT1 oscillation mode */
/*||| [2]Crystal resonator connection */
/*||| */
/*||+----- : Be sure to set 0 */
/*|| */
/*++----- : [1]EXCLK OSCSEL High-speed system clock pin operation mode */
/* [2]X1/P121 pin */
/* [3]X2/EXCLK/P122 pin */
/* : 0 0 : [1]Input port mode */
/* [2][3]Input port */
/* */
/* : 0 1 : [1]X1 oscillation mode */
/* [2][3]Crystal/ceramic resonator connection */
/* */
/* : 1 0 : [1]Input port mode */
/* [2][3]Input port */
/* */
/* : 1 1 : [1]External clock input mode */
/* [2]Input port */
/* [3]External clock input */

```

MSTOP = 0; /* X1 oscillator operating */

OSMC = 0b00000001; /* Operation Speed Mode Control Register */

```

/*|||||||+---- : fCLK frequency selection */
/*||||||| : 0 0 : Operates at a frequency of 10 MHz or less. */
/*||||||| : 0 1 : Operates at a frequency higher than 10 MHz. */
/*||||||| : 1 0 : Operates at a frequency of 1 MHz. */
/*||||||| */
/*|+++++----- : Be sure to set 00000 */
/*| */

```

```

/*+----- : Setting in subsystem clock HALT mode */
/* : 0 : Enables subsystem clock supply to peripheral functions. */
/*      (See Table 21-1 Operating Statuses in HALT Mode (2/3) */
/*      for the peripheral functions whose operations are enabled.) */
/* : 1 : Stops subsystem clock supply to peripheral functions */
/*      except real-time counter, clock output/buzzer output, */
/*      and LCD controller/driver. */

while(OSTC.0 != 1){          /* wait X1 oscillation stabilization */
    NOP();
}

/*-- Caution -----*/
/* To increase fCLK to 10 MHz or higher, set FSEL to '1', */
/* then change fCLK after two or more clocks have elapsed. */
/*-----*/
NOP();
NOP();

CKC =      0b00010000;      /* System Clock Control Register */
/*|+----- : Selection of CPU/peripheral hardware clock (fCLK) */
/*| : 0 0 x 0 0 0 : fIH */
/*| : 0 0 x 0 0 1 : fIH/2 (default) */
/*| : 0 0 x 0 1 0 : fIH/2^2 */
/*| : 0 0 x 0 1 1 : fIH/2^3 */
/*| : 0 0 x 1 0 0 : fIH/2^4 */
/*| : 0 0 x 1 0 1 : fIH/2^5 */
/*| : 0 1 x 0 0 0 : fMX */
/*| : 0 1 x 0 0 1 : fMX/2 */
/*| : 0 1 x 0 1 0 : fMX/2^2 */
/*| : 0 1 x 0 1 1 : fMX/2^3 */
/*| : 0 1 x 1 0 0 : fMX/2^4 */
/*| : 0 1 x 1 0 1 : fMX/2^5 */
/*| : 1 x 0 x x x : fSUB */
/*| : 1 x 1 x x x : fSUB/2 */
/*| : Other than above : Setting prohibited */
/*| | x = don't care */
/*| */
/*| +----- : Status of Main system clock (fMAIN) */
/*| : 0 : Internal high-speed oscillation clock (fIH) */
/*| : 1 : High-speed system clock (fMX) */
/*| */
/*+----- : Status of CPU/peripheral hardware clock (fCLK) */

```

```

/* : 0 : Main system clock (fMAIN) */
/* : 1 : Subsystem clock (fSUB) */

/* Confirming the CPU clock status */
while((CLS != 0)||((MCS != 1)){
    NOP();
}
/* CPU is operating on a High-speed system clock */
HIOSTOP = 1;          /* internal high-speed oscillation stopped */

OSTS =    0b00000111;    /* Oscillation Stabilization Time Select Register */
/*|||+---- : Oscillation stabilization time selection */
/*||| : 0 0 0 : 2^8/fX */
/*||| : 0 0 1 : 2^9/fX */
/*||| : 0 1 0 : 2^10/fX */
/*||| : 0 1 1 : 2^11/fX */
/*||| : 1 0 0 : 2^13/fX */
/*||| : 1 0 1 : 2^15/fX */
/*||| : 1 1 0 : 2^17/fX */
/*||| : 1 1 1 : 2^18/fX */
/*||| */
/*++++----- : Be sure to set 000000 */

PER0 =    0b00000001;    /* Peripheral Enable Register 0 */
/*|||+---- : Control of timer array unit 0 input clock */
/*||| : 0 : Stops input clock supply. */
/*|||      * SFR used by timer array unit 0 cannot be written. */
/*|||      * Timer array unit 0 is in the reset status. */
/*||| : 1 : Supplies input clock. */
/*|||      * SFR used by timer array unit 0 can be read and written. */
/*||| */
/*|||+---- : Control of timer array unit 1 input clock */
/*||| : 0 : Stops input clock supply. */
/*|||      * SFR used by timer array unit 1 cannot be written. */
/*|||      * Timer array unit 1 is in the reset status. */
/*||| : 1 : Supplies input clock. */
/*|||      * SFR used by timer array unit 1 can be read and written. */
/*||| */
/*|||+---- : Control of serial array unit 0 input clock */
/*||| : 0 : Stops input clock supply. */
/*|||      * SFR used by the serial array unit 0 cannot be written. */
/*|||      * The serial array unit 0 is in the reset status. */
/*||| : 1 : Supplies input clock. */

```



```

/*|||||      * SFR used by the serial array unit 0 can be read and written. */
/*||||| */
/*|||||+----- : Control of serial array unit 1 input clock */
/*||||| : 0 : Stops input clock supply. */
/*|||||      * SFR used by the serial array unit 1 cannot be written. */
/*|||||      * The serial array unit 1 is in the reset status. */
/*||||| : 1 : Supplies input clock. */
/*|||||      * SFR used by the serial array unit 1 can be read and written. */
/*||||| */
/*|||+----- : Control of serial interface IICA input clock */
/*||| : 0 : Stops input clock supply. */
/*|||      * SFR used by the serial interface IICA cannot be written. */
/*|||      * The serial interface IICA is in the reset status. */
/*||| : 1 : Supplies input clock. */
/*|||      * SFR used by the serial interface IICA can be read and written. */
/*||| */
/*|+----- : Control of A/D converter, operational amplifier, and voltage reference input clock */
/*| : 0 : Stops input clock supply. */
/*|      * SFR used by the A/D converter, operational amplifier, and voltage reference cannot be
written. */
/*|      * The A/D converter, operational amplifier, and voltage reference is in the reset status. */
/*| : 1 : Supplies input clock. */
/*|      * SFR used by the A/D converter, operational amplifier, and voltage reference can be
read and written. */
/*| */
/*|+----- : Control of D/A converter input clock */
/*| : 0 : Stops input clock supply. */
/*|      * SFR used by D/A converter cannot be written. */
/*|      * The D/A converter is in the reset status. */
/*| : 1 : Supplies input clock. */
/*|      * SFR used by the D/A converter can be read and written. */
/*| */
/*+----- : Control of real-time counter (RTC) input clock */
/* : 0 : Stops input clock supply. */
/*      * SFR used by the real-time counter (RTC) cannot be written. */
/*      * The real-time counter (RTC) is in the reset status. */
/* : 1 : Supplies input clock. */
/*      * SFR used by the real-time counter (RTC) can be read and written. */
}

/*-----*/
/* Module:      fn_InitPort
                */

```

```

/* Description:    Setting of I/O ports                                     */
/*      parameter: --                                                    */
/*                                                    */
/*      return   : --                                                    */
/*                                                    */
/*-----*/
static void fn_InitPort(void)
{
/*-----*/
/*      Ports configuration for digital input and output                */
/*-----*/
    ADPC =    0b00010000;        /* A/D Port Configuration Register */
    /*|||+++++--- : Analog input (A)/digital I/O (D) switching */
    /*||| :          +----- ANI15/AVREFM/P157 */
    /*||| :          | ++++----- ANI10/P152 - ANI8/AMP2+/P150 */
    /*||| :          ||| | ++++----- ANI7/AMP2O/P27 - ANI0/AMP0-/P20 */
    /*||| : 0 0 0 0 0 : A A A A A A A A A A A A */
    /*||| : 0 0 0 0 1 : A A A A A A A A A A A D */
    /*||| : 0 0 0 1 0 : A A A A A A A A A A D D */
    /*||| : 0 0 0 1 1 : A A A A A A A A A D D D */
    /*||| : 0 0 1 0 0 : A A A A A A A A D D D D */
    /*||| : 0 0 1 0 1 : A A A A A A A D D D D D */
    /*||| : 0 0 1 1 0 : A A A A A A D D D D D D */
    /*||| : 0 0 1 1 1 : A A A A A D D D D D D D */
    /*||| : 0 1 0 0 0 : A A A A D D D D D D D D */
    /*||| : 0 1 0 0 1 : A A A D D D D D D D D D */
    /*||| : 0 1 0 1 0 : A A D D D D D D D D D D */
    /*||| : 0 1 1 1 1 : A D D D D D D D D D D D */
    /*||| : 1 0 0 0 0 : D D D D D D D D D D D D */
    /*||| */
    /*+++----- : Be sure to set 000 */

/*-----*/
/*      Setting of Port 0
          */
/*-----*/
    P0 =    0b00000000;        /* Set P00-P02 Output latch to Low */
    PM0 =   0b11111000;        /* Set P00-P02 to output port */
                                /* P00-P02:Unused */

/*-----*/
/*      Setting of Port 1
          */

```

```

/*-----*/
P1 =      0b00000000;    /* Set P10-P17 Output latch to Low */
PM1 =     0b00000000;    /* Set P10-P17 to output port */
                        /* P10-P15:Unused */

/*-----*/
/*      Setting of Port 2
      */

/*-----*/
P2 =      0b00000000;    /* Set P20-P27 Output latch to Low */
PM2 =     0b11111111;    /* Set P20-P27 to input port */
                        /* P20-P27:Unused */

/*-----*/
/*      Setting of Port 3
      */

/*-----*/
P3 =      0b00001000;    /* Set P30-P32,P34 Output latch to Low */
                        /* Set P33 Output latch High */
PM3 =     0b11100000;    /* Set P30-P34 to output port */
                        /* P30-P32,P34:Unused */
                        /* P33:LED(VDD is USB -> ON) */

/*-----*/
/*      Setting of Port 4
      */

/*-----*/
P4 =      0b00000000;    /* Set P40-P41 Output latch to Low */
PM4 =     0b11111100;    /* Set P40-P41 to output port */
                        /* P40-P41:Unused */

/*-----*/
/*      Setting of Port 5
      */

/*-----*/
P5 =      0b00000000;    /* Set P50-P57 Output latch to Low */
PM5 =     0b11110000;    /* Set P50-P57 to output port */
                        /* P50-P57:Unused */

/*-----*/
/*      Setting of Port 6
      */
/*-----*/

```

```

P6 =      0b00000000;      /* Set P60-P61 Output latch to Low */
PM6 =     0b11111100;      /* Set P60-P61 to output port */
                          /* P60-P61:Unused */

/*-----*/
/*      Setting of Port 7
          */
/*-----*/
P7 =      0b00000000;      /* Set P70-P77 Output latch to Low */
PM7 =     0b00000000;      /* Set P70-P77 to output port */
                          /* P70-P77:Unused */

/*-----*/
/*      Setting of Port 8
          */
/*-----*/
P8 =      0b00000000;      /* Set P80-P88 Output latch to Low */
PM8 =     0b00000000;      /* Set P80-P88 to output port */
                          /* P80-P88:Unused */

/*-----*/
/*      Setting of Port 9
          */
/*-----*/
P9 =      0b00000000;      /* Set P90-P97 Output latch to Low */
PM9 =     0b00000000;      /* Set P90-P97 to output port */
                          /* P90-P97:Unused */

/*-----*/
/*      Setting of Port 10
          */
/*-----*/
P10 =     0b00000000;      /* Set P100-P102 Output latch to Low */
PM10 =    0b11111000;      /* Set P100-P102 to output port */
                          /* P100-P102:Unused */

/*-----*/
/*      Setting of Port 11
          */
/*-----*/
P11 =     0b00000000;      /* Set P110-P111 Output latch to Low */
PM11 =    0b11111100;      /* Set P110-P111 to output port */
                          /* P110-P111:Unused */

```

```

/*-----*/
/*      Setting of Port 12
          */
/*-----*/
    P12 =      0b00000000;      /* Set P120 Output latch to Low */
    PM12 =     0b11111110;      /* Set P120 to output port */
                                /* P120-P124:Unused */
                                /* *P121-P124:Input port */

/*-----*/
/*      Setting of Port 13
          */
/*-----*/
    P13 =      0b00000000;      /* Set P130 Output latch to Low */
                                /* P130:Unused */

/*-----*/
/*      Setting of Port 14
          */
/*-----*/
    P14 =      0b00000000;      /* Set P140-P147 Output latch to Low */
    PM14 =     0b00000000;      /* Set P140-P147 to output port */
                                /* P140-P147:Unused */

/*-----*/
/*      Setting of Port 15
          */
/*-----*/
    P15 =      0b00000000;      /* Set P150-P152,P157 Output latch to Low */
    PM15 =     0b11111111;      /* Set P150-P152,P157 to input port */
                                /* P150-P152,P157:Unused */
}

/*-----*/
/* Module:      fn_InitLvi
          */
/* Description: Ensures 2.7V to the power supply voltage      */
/* parameter: --
          */
/* return  : --
          */
/*-----*/

```

```

static void fn_InitLvi(void)
{
    /* setting of Low-Voltage Detector */
    LVIMK      = 1;      /* disable LVI interrupt */
    LVISEL     = 0;      /* detects level of VDD */
    LVIS =      0b00001001;    /* Low-Voltage Detection Level Select Register */
    /*||||+++++--- : Detection level */
    /*|||| : 0 0 0 0 : VLVI0 (4.22V) */
    /*|||| : 0 0 0 1 : VLVI1 (4.07V) */
    /*|||| : 0 0 1 0 : VLVI2 (3.92V) */
    /*|||| : 0 0 1 1 : VLVI3 (3.76V) */
    /*|||| : 0 1 0 0 : VLVI4 (3.61V) */
    /*|||| : 0 1 0 1 : VLVI5 (3.45V) */
    /*|||| : 0 1 1 0 : VLVI6 (3.30V) */
    /*|||| : 0 1 1 1 : VLVI7 (3.15V) */
    /*|||| : 1 0 0 0 : VLVI8 (2.99V) */
    /*|||| : 1 0 0 1 : VLVI9 (2.84V) */
    /*|||| : 1 0 1 0 : VLVI10 (2.68V) */
    /*|||| : 1 0 1 1 : VLVI11 (2.53V) */
    /*|||| : 1 1 0 0 : VLVI12 (2.38V) */
    /*|||| : 1 1 0 1 : VLVI13 (2.22V) */
    /*|||| : 1 1 1 0 : VLVI14 (2.07V) */
    /*|||| : 1 1 1 1 : VLVI15 (1.91V) */
    /*|||| */
    /*+++++----- : Be sure to set 0000 */
    LVION      = 1;      /* enables low-voltage detection operation */

    /* software to wait for the operation stabilization time (10us) */
    for(ushWaitCounter = 0; ushWaitCounter < 4; ushWaitCounter++){
        NOP();
    }

    /* wait for VDD to become VLVI or more */
    while(LVIF){
        NOP();
    }

    LVIMD = 1; /* generates an internal reset signal when detect the low-voltage */
}

/*-----*/
/* Module:      fn_CheckVdd
*/

```

```

/* Description:    Check the voltage drop
   */
/*    parameter: --
   */
/*    return    : --
   */
/*-----*/
static void fn_CheckVdd(void)
{
    ucTimingCounter++;    /* timing count */
    if(ucTimingCounter >= 10){
        ucTimingCounter = 0;    /* initialize counter */

        /*-----*/
        /*    LVI setting for checking VDD    */
        /*-----*/
        LVION = 0;    /* disables low-voltage detection operation */
        LVIS = 0b00001001;    /* Low-Voltage Detection Level Select Register */
        /*|||+++++--- : Detection level */
        /*||| : 0 0 0 0 : VLVI0 (4.22V) */
        /*||| : 0 0 0 1 : VLVI1 (4.07V) */
        /*||| : 0 0 1 0 : VLVI2 (3.92V) */
        /*||| : 0 0 1 1 : VLVI3 (3.76V) */
        /*||| : 0 1 0 0 : VLVI4 (3.61V) */
        /*||| : 0 1 0 1 : VLVI5 (3.45V) */
        /*||| : 0 1 1 0 : VLVI6 (3.30V) */
        /*||| : 0 1 1 1 : VLVI7 (3.15V) */
        /*||| : 1 0 0 0 : VLVI8 (2.99V) */
        /*||| : 1 0 0 1 : VLVI9 (2.84V) */
        /*||| : 1 0 1 0 : VLVI10 (2.68V) */
        /*||| : 1 0 1 1 : VLVI11 (2.53V) */
        /*||| : 1 1 0 0 : VLVI12 (2.38V) */
        /*||| : 1 1 0 1 : VLVI13 (2.22V) */
        /*||| : 1 1 1 0 : VLVI14 (2.07V) */
        /*||| : 1 1 1 1 : VLVI15 (1.91V) */
        /*||| */
        /*+++++----- : Be sure to set 0000 */

        LVION = 1;    /* enables low-voltage detection operation */
        /* software to wait for */
        /* the operation stabilization time (10us) + minimum pulse width (200us) */
        for(ushWaitCounter = 0; ushWaitCounter < 420; ushWaitCounter++){
            NOP();
        }
    }
}

```

```

LVIIF = 0; /* clear LVI interrupt request flag */
LVIMD = 1; /* generates an internal reset signal when detect the low-voltage */

/*-----*/
/* wait for reset generation */
/*-----*/
/* software to wait for over 300us (more than minimum pulse width) */
for(ushWaitCounter = 0; ushWaitCounter < 600; ushWaitCounter++){
    NOP();
}

/*-----*/
/* LVI setting for VDD detection */
/*-----*/
LVIMD = 0; /* generates an internal interrupt signal when detect the low-voltage */
LVIS = 0b00000100; /* Low-Voltage Detection Level Select Register */
/*|||+---- : Detection level */
/*||| : 0 0 0 0 : VLVI0 (4.22V) */
/*||| : 0 0 0 1 : VLVI1 (4.07V) */
/*||| : 0 0 1 0 : VLVI2 (3.92V) */
/*||| : 0 0 1 1 : VLVI3 (3.76V) */
/*||| : 0 1 0 0 : VLVI4 (3.61V) */
/*||| : 0 1 0 1 : VLVI5 (3.45V) */
/*||| : 0 1 1 0 : VLVI6 (3.30V) */
/*||| : 0 1 1 1 : VLVI7 (3.15V) */
/*||| : 1 0 0 0 : VLVI8 (2.99V) */
/*||| : 1 0 0 1 : VLVI9 (2.84V) */
/*||| : 1 0 1 0 : VLVI10 (2.68V) */
/*||| : 1 0 1 1 : VLVI11 (2.53V) */
/*||| : 1 1 0 0 : VLVI12 (2.38V) */
/*||| : 1 1 0 1 : VLVI13 (2.22V) */
/*||| : 1 1 1 0 : VLVI14 (2.07V) */
/*||| : 1 1 1 1 : VLVI15 (1.91V) */
/*||| */
/*++++----- : Be sure to set 0000 */

/* software to wait for */
/* the operation stabilization time (10us) + minimum pulse width (200us) */
for(ushWaitCounter = 0; ushWaitCounter < 400; ushWaitCounter++){
    NOP();
}

LVIIF = 1; /* set LVIIF for set Vdd Mode */

```



```

    }
}

/*-----*/
/* Module:      fn_DetectVdd
                */

/* Description:  Detect and set power supply mode          */
/*   parameter: --
                */

/*   return   : power supply mode(bVddMode)                */
/*-----*/
static void fn_DetectVdd(void)
{
    if(LVIIF){
        /* low voltage detect */
        LVIIF = 0; /* clear LVI interrupt request flag */
        if(LVIF){ /* VDD < VLVI */
            bVddMode = CVDD_BATTERY; /* the power supply from battery */
        }
        else{ /* VDD >= VLVI */
            bVddMode = CVDD_USB; /* the power supply from USB */
        }
    }
}

/*-----*/
/* Module:      main
                */

/* Description:  Main process
                */
/*   parameter: --
                */
/*   return   : --
                */
/*-----*/
void main(void)
{
    /*-----*/
    /*   Initialization process   */
    /*-----*/
    ucTimingCounter = 9; /* initialize counter for timing of checking VDD */

    /*=====*/

```

```

/*-----*/
/*      Main Loop      */
/*-----*/
/*=====*/
while(1){

    fn_CheckVdd();    /* check the VDD voltage drop */
    fn_DetectVdd();  /* detect VDD mode */

    /*-----*/
    /*   update LED   */
    /*-----*/
    if(bVddMode == CVDD_USB){
        P3.3 = 0;    /* LED ON */
    }
    else{
        P3.3 = 1;    /* LED OFF */
    }

    /*-----*/
    /*                                     */
    /*   The main processing writes here   */
    /*           if there is something     */
    /*                                     */
    /*-----*/

}
}

```

付録B 改版履歴

版 数	発行年月	改版箇所	改版内容
第1版	September 2009	-	-

【発行】NECエレクトロニクス株式会社 (<http://www.necel.co.jp/>)

【問い合わせ先】 <http://www.necel.com/contact/ja/>