

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

アプリケーション・ノート

NECエレクトロニクス株式会社
マイクロコンピュータ事業部
製品ソリューション グループ
グループ マネージャー

大場 浩司

(担当：西浦 真平)



78K0R/Kx3-L

サンプル・プログラム

シリアル・インタフェースIICA

IICA（スレーブ送受信）編

この資料は、サンプル・プログラムの動作概要や使用方法、およびIICA（スレーブ送受信）機能として使用する際の設定方法や活用方法を説明したものです。サンプル・プログラムでは、シリアル・インタフェースIICAにおいてシングルスレーブ・システムでのスレーブ動作（スレーブ送受信）を行います。

対象デバイス

78K0R/KC3-L(44pin)

マイクロコントローラ

78K0R/KC3-L(48pin)

マイクロコントローラ

78K0R/KD3-Lマイクロコントローラ

78K0R/KE3-Lマイクロコントローラ

78K0R/KF3-Lマイクロコントローラ

78K0R/KG3-Lマイクロコントローラ

目次

第1章	概要	・・・3
第2章	回路イメージ	・・・17
2.1	回路イメージ	・・・17
2.2	周辺ハードウェア	・・・17
第3章	ソフトウェアについて	・・・18
3.1	ファイル構成	・・・18
3.2	使用する内蔵機能	・・・19
3.3	IICA機能の設定と動作概要	・・・19
3.4	フロー・チャート	・・・20
第4章	設定方法について	・・・24
4.1	IICA（スレーブ送受信）の設定	・・・24
4.2	割り込みの設定	・・・24
4.3	シリアル・インタフェースIICAの設定レジスタ	・・・18
4.4	割り込みの設定レジスタ	・・・32
4.5	シリアル・インタフェースIICAの設定概要	・・・34
4.6	割り込みの設定概要	・・・38
第5章	PM+を用いたHEXファイルの生成	・・・39
5.1	ダウンロードファイルの解説	・・・39
5.2	サンプル・プログラムのHEX	・・・40
5.3	開発環境のダウンロード、インストール	・・・42
第6章	関連資料	・・・43
付録A	プログラム・リスト	・・・44
	・アセンブリ言語	・・・44
	・C言語	・・・61
付録B	改版履歴	・・・79

・本資料に記載されている内容は2009年1月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。

・文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。

・当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。

・本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。

・当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。

・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

（注）

（1）本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

（2）本事項において使用されている「当社製品」とは、（1）において定義された当社の開発、製造製品をいう。

第1章 概 要

このサンプル・プログラムは、シリアル・インタフェースIICAにおいてシングル・マスタ・システムでのスレーブ動作（スレーブ送受信）を行います。

1.1 初期設定と処理内容

(1) 初期設定の主な内容

<オプション・バイトでの設定>

- ウォッチドッグ・タイマのカウンタ動作制御（動作停止）
- 高速内蔵発振回路の周波数（8MHz）
- LVIデフォルト・スタート機能動作
- オンチップ・デバッグ許可

<リセット解除後の初期化処理での設定>

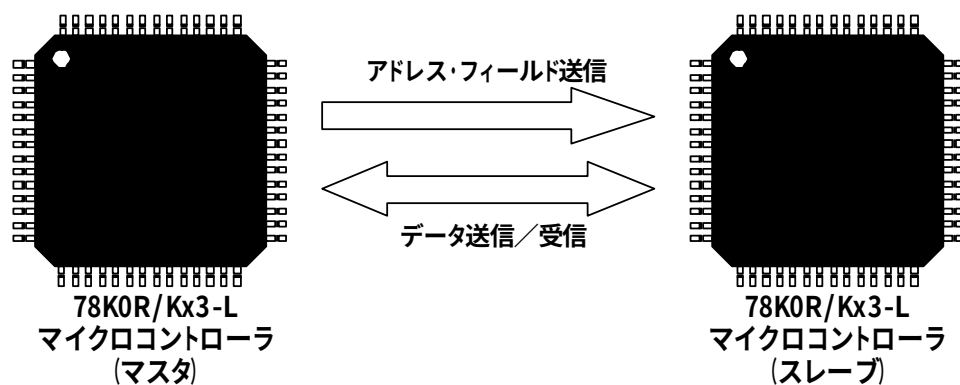
- 入出力ポートの設定
- CPU／周辺ハードウェア・クロックの設定
- 各周辺ハードウェア・マクロの使用可否の設定
- シリアル・インタフェースIICAへの初期設定
 - ・スレーブ・アドレス A0H
 - ・ファースト・モード
 - ・9クロック・ウェイト
- INTIICA割り込みの設定

(2) メイン・ループ以降の内容

初期設定完了後は、マスタからの通信要求までは消費電力を低く抑えるために、IICA機能はウェイク・アップ機能を有効にして、CPUはSTOPモードにしておきます。

アドレス・フィールドを受信し、アドレスが自局アドレスと一致したらウェイク・アップして通信を開始します。通信用に16バイト分のバッファを準備しておき、受信したデータはバッファに格納します。16バイト以上のデータが送られてきた場合にはバッファのデータを上書きしていきます。

通信の完了は、マスタからのストップ・コンディションを検出した場合か、送信したデータにマスタがACK応答しなかった場合です。通信が完了すると、STOPモードに戻ります。



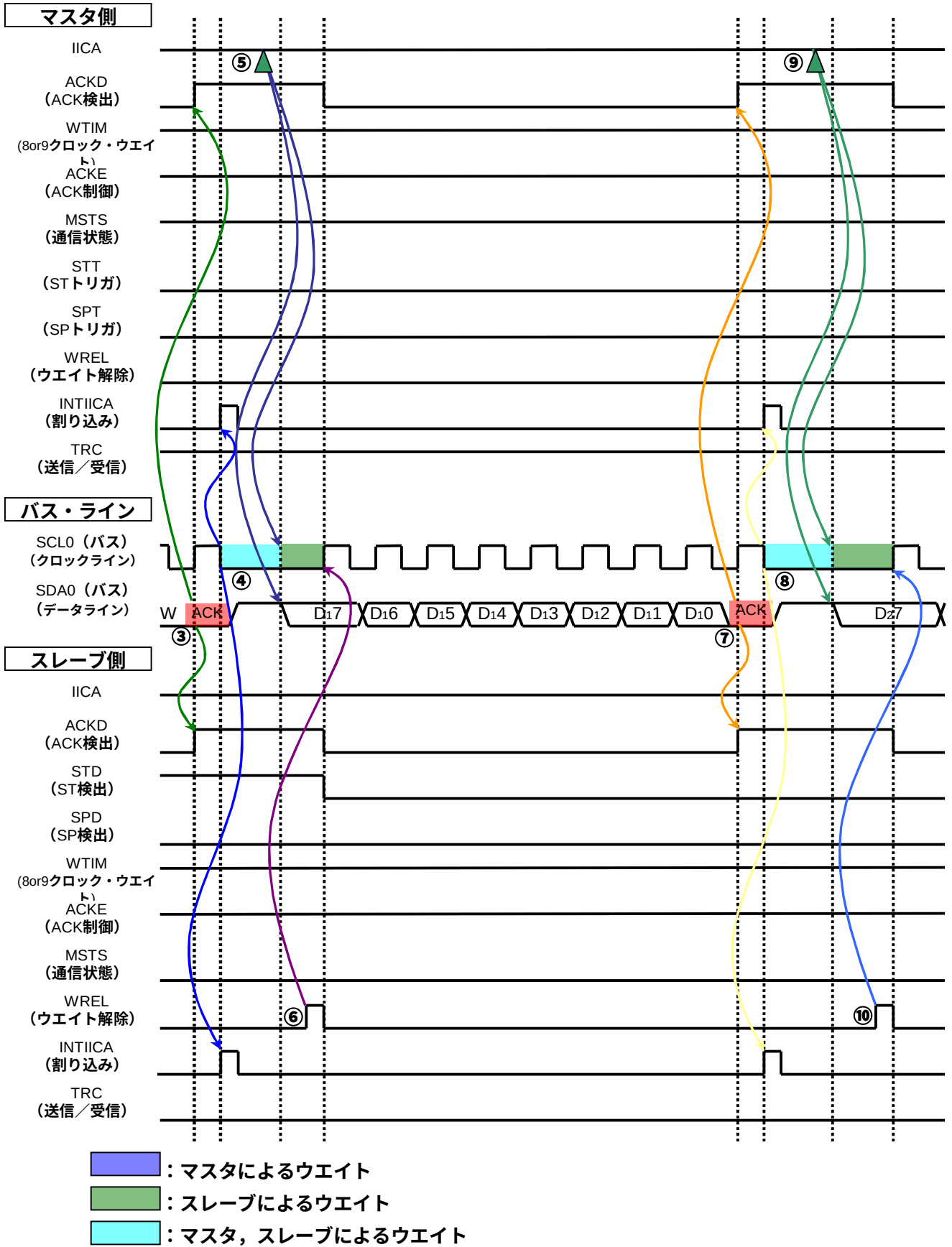
尚、デバイス使用上の注意事項については、[78K0R/Kx3-L](#)ユーザーズ・マニュアルを参照してください。

- ① マスタ側がスタート・コンディション・トリガをセット (STT=1) し、バス・データライン (SDA0=0) を立ち下げると、スタート・コンディション (SDA0=0, SCL0=1) が生成され、バス・クロックラインが立ち下がり (SCL0=0) ます。スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS=1) となり、ホールド時間経過後、通信準備が完了となります。
- ② マスタ側がIICAレジスタにアドレス+W (送信) を書き込み、そのアドレスが割り振られているスレーブを検索します。
- ③ 受信したアドレスと自局のアドレスが一致した場合^注、スレーブ側のハードマクロよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD=1) されます。
- ④ 9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCL0=0) がかかり、マスタ側の割り込み (INTIICA:アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA:アドレス一致割り込み) が発生します。
- ⑤ マスタ側がIICAレジスタに送信データを書き込み、マスタ側によるウェイトを解除します。
- ⑥ 選択されたスレーブ側はウェイトを解除 (WREL=1) して、マスタ側からスレーブ側にデータ転送を開始します。

注：受信したアドレスと自局のアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK:SDA0=1)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) も発生しません。

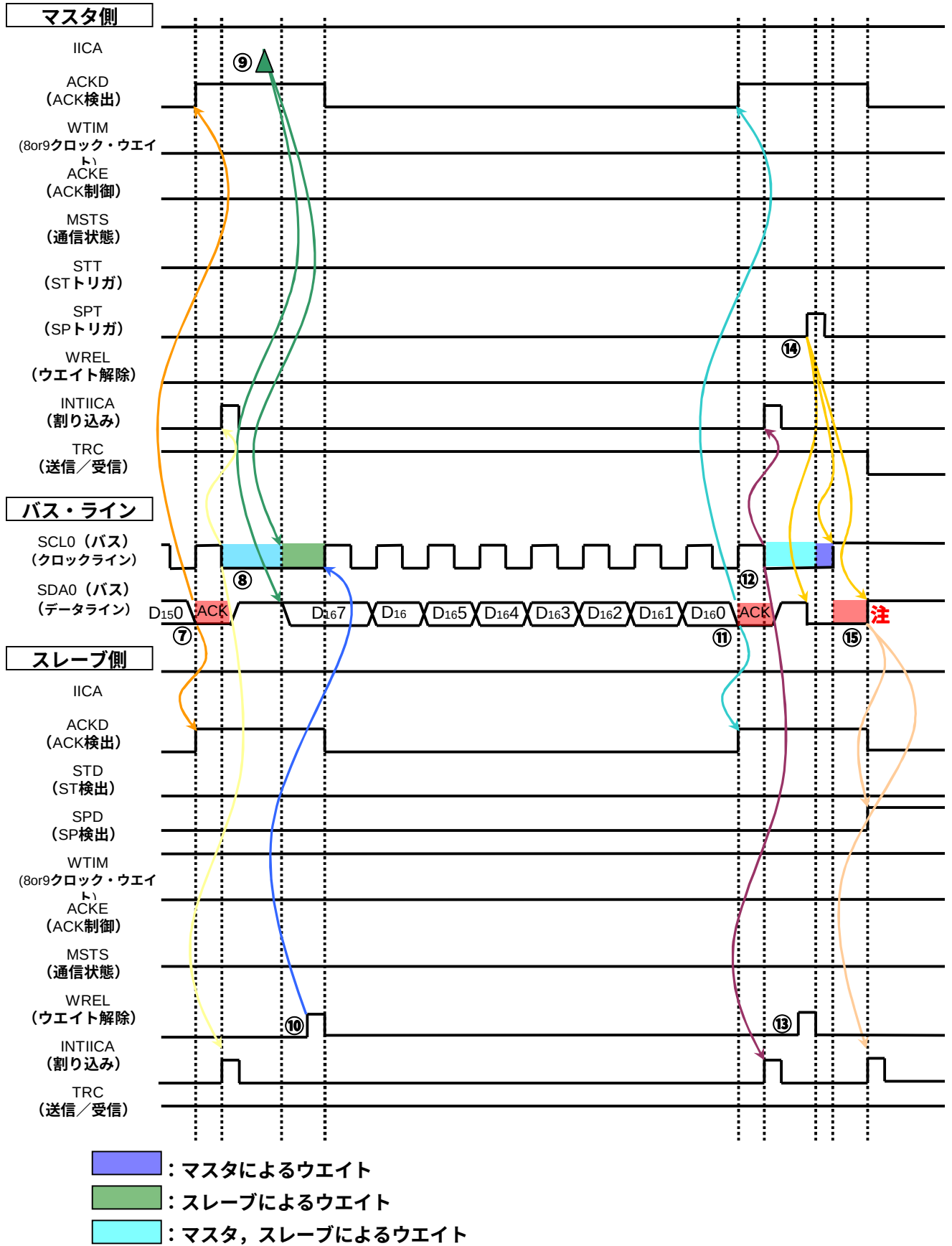
ただし、マスタ側はACK, NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

(2) マスタ→スレーブ通信2 (アドレス～データ～データ)



- ③ 受信したアドレスと自局のアドレスが一致した場合、スレーブ側のハードマクロよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出（ACKD=1）されます。
- ④ 9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト（SCL0=0）がかかり、マスタ側の割り込み（INTIICA:アドレス送信完了割り込み）が発生し、スレーブはアドレスが一致した場合、割り込み（INTIICA:アドレス一致割り込み）が発生します。
- ⑤ マスタ側がIICAレジスタに送信データを書き込み、マスタ側によるウェイトを解除します。
- ⑥ 選択されたスレーブ側はウェイトを解除（WREL=1）して、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側のハードマクロよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出（ACKD=1）されます。
- ⑧ 9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト（SCL0=0）がかかり、マスタ側、スレーブ側で割り込み（INTIICA:転送完了割り込み）が発生します。
- ⑨ マスタ側がIICAレジスタに送信データを書き込み、マスタ側によるウェイトを解除します。
- ⑩ スレーブ側は受信データを読み出した後で、次のデータを受信のためにウェイトを解除（WREL=1）して、マスタ→スレーブにデータ転送を開始します。

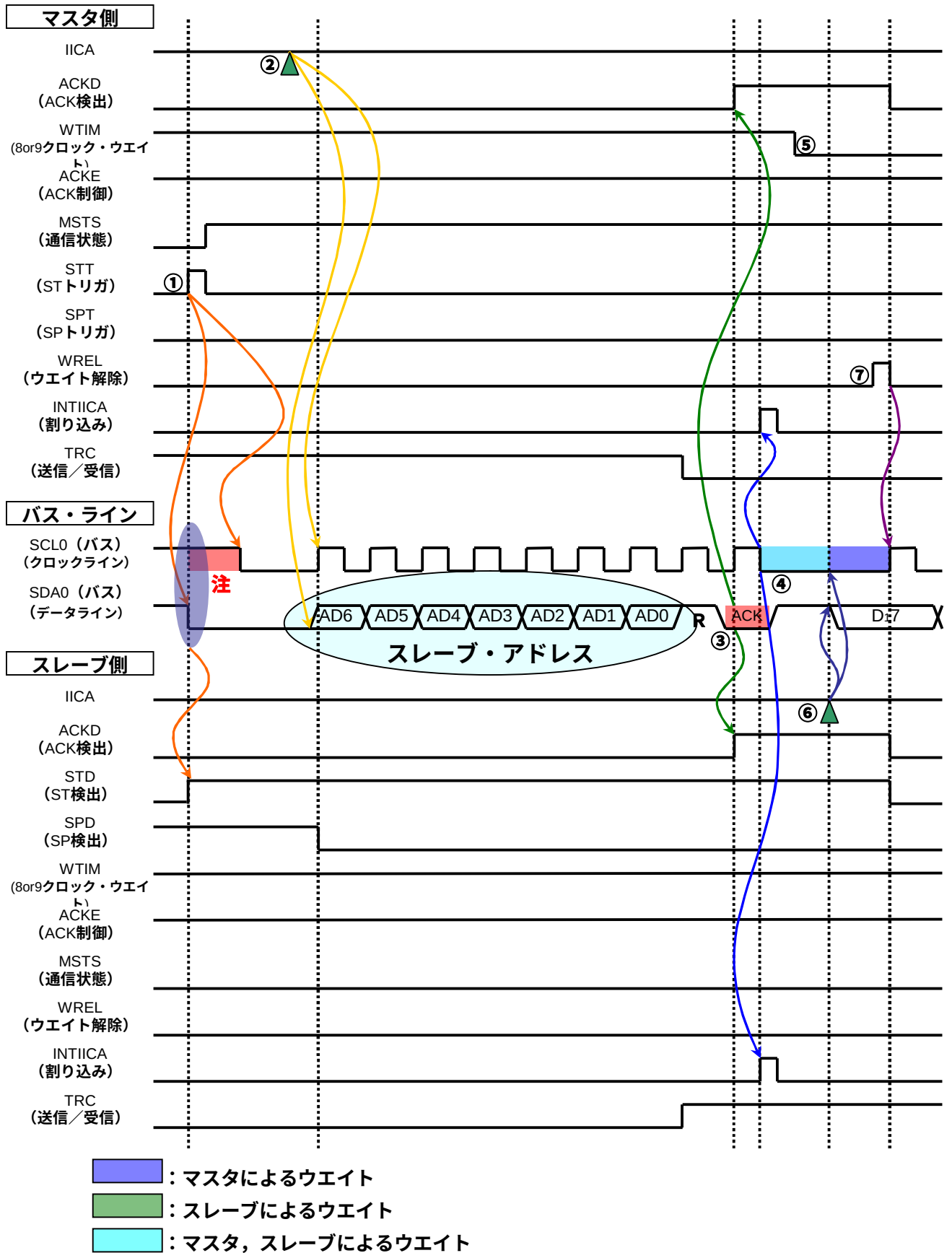
(3) マスタ→スレーブ通信3 (データ～データ～ストップ・コンディション)



- ⑦ データ転送完了後、スレーブ側のハードマクロよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出（ACKD=1）されます。
- ⑧ 9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト（SCL0=0）がかかり、マスタ側、スレーブ側で割り込み（INTIICA:転送完了割り込み）が発生します。
- ⑨ マスタ側がIICAレジスタに送信データを書き込み、マスタ側によるウェイトを解除します。
- ⑩ スレーブ側は受信データを読み出した後で、次のデータ受信のためにウェイトを解除（WREL=1）して、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側のハードマクロよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出（ACKD=1）されます。
- ⑫ 9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト（SCL0=0）がかかり、マスタ側、スレーブ側で割り込み（INTIICA:転送完了割り込み）が発生します。
- ⑬ スレーブ側は受信データを読み出した後で、次のデータを受信のためにウェイトを解除（WREL=1）します。
- ⑭ マスタは通信を終了する為に、ストップ・コンディション・トリガをセットする。マスタのIICAは、バス・データラインを立ち下げ（SDA0=0）、バス・クロックラインを立ち上げ（SCL0=1）、ストップ・コンディションセットアップ時間経過後、ストップ・コンディションがスレーブ側へ送信される。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み（IICA:ストップ・コンディション割り込み）が発生します。

注：ストップ・コンディション発行後、SCL0が立ち上がってからストップ・コンディションが生成されるまでに最小0.6μsのストップ・コンディションセットアップ時間が必要になります。

(4) スレーブ→マスタ通信1 (スタート・コンディション～アドレス～データ)

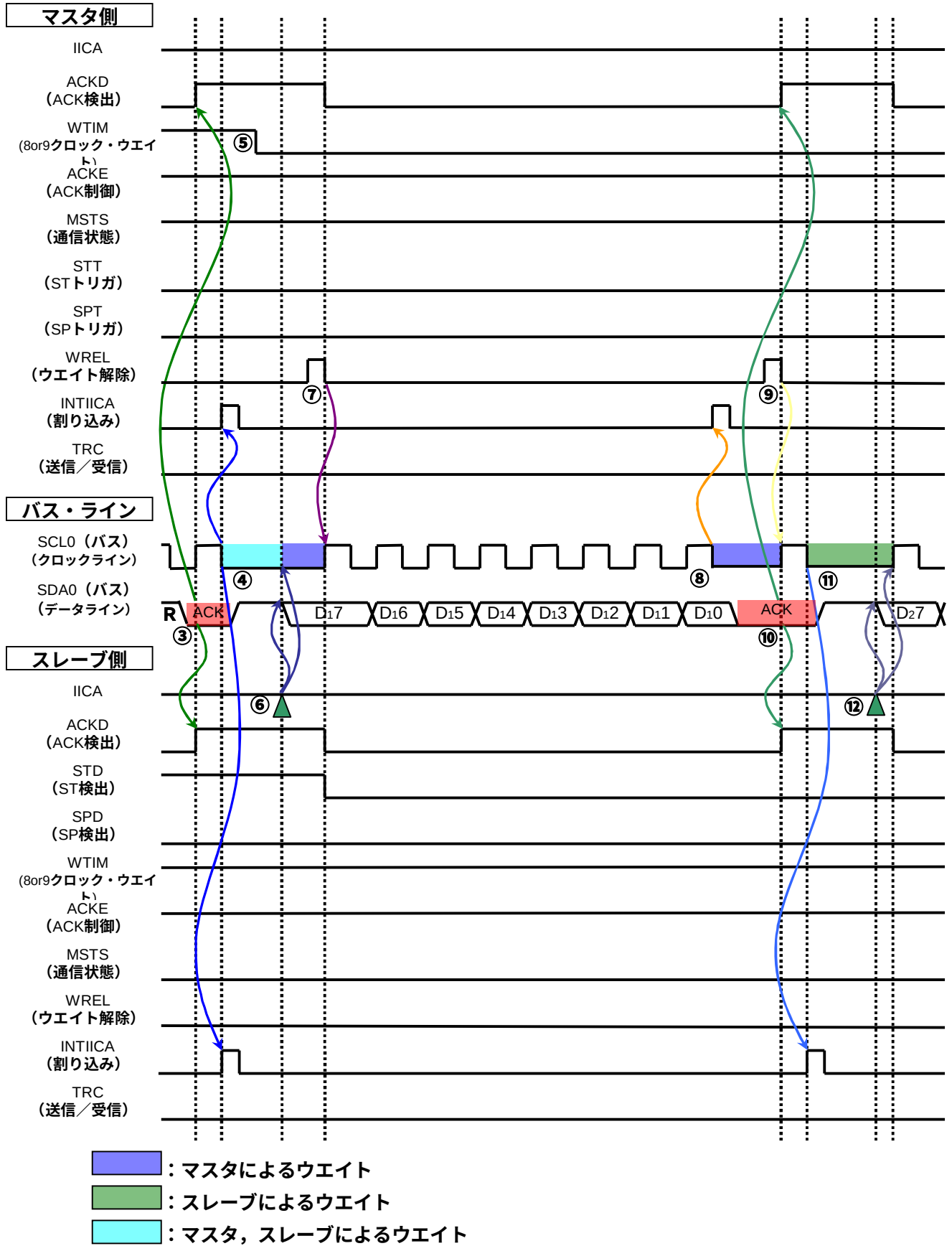


注：SDA0が立ち下がってからSCL0が立ち下がるまで、最小0.6μs必要になります。

- ① マスタ側がスタート・コンディション・トリガをセット (STT=1) し、スタート・コンディションを生成すると、バス・クロックラインがクリア (SCL0=0) されます。スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS=1) となり、ホールド時間経過後、バス・データライン (SDA0=0) の通信準備が完了となります。
- ② マスタ側がIICAレジスタにアドレス+R (受信) を書き込み、そのアドレスが割り振られているスレーブを検索します。
- ③ 受信したアドレスと自局のアドレスが一致した場合^注、スレーブ側のハードマクロよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD=1) されます。
- ④ 9クロック目の立ち下がり、マスタ側とスレーブ側によるウェイト (SCL0=0) がかかり、マスタ側の割り込み (INTIICA:アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA:アドレス一致割り込み) が発生します。
- ⑤ マスタ側はウェイト・タイミングを8クロック目に (WTIM=0) に変更します。
- ⑥ スレーブ側はIICAレジスタに送信データを書き込み、スレーブ側によるウェイトを解除します。
- ⑦ マスタ側はウェイトを解除 (WREL=1) して、スレーブ側からマスタ側にデータ転送を開始します。

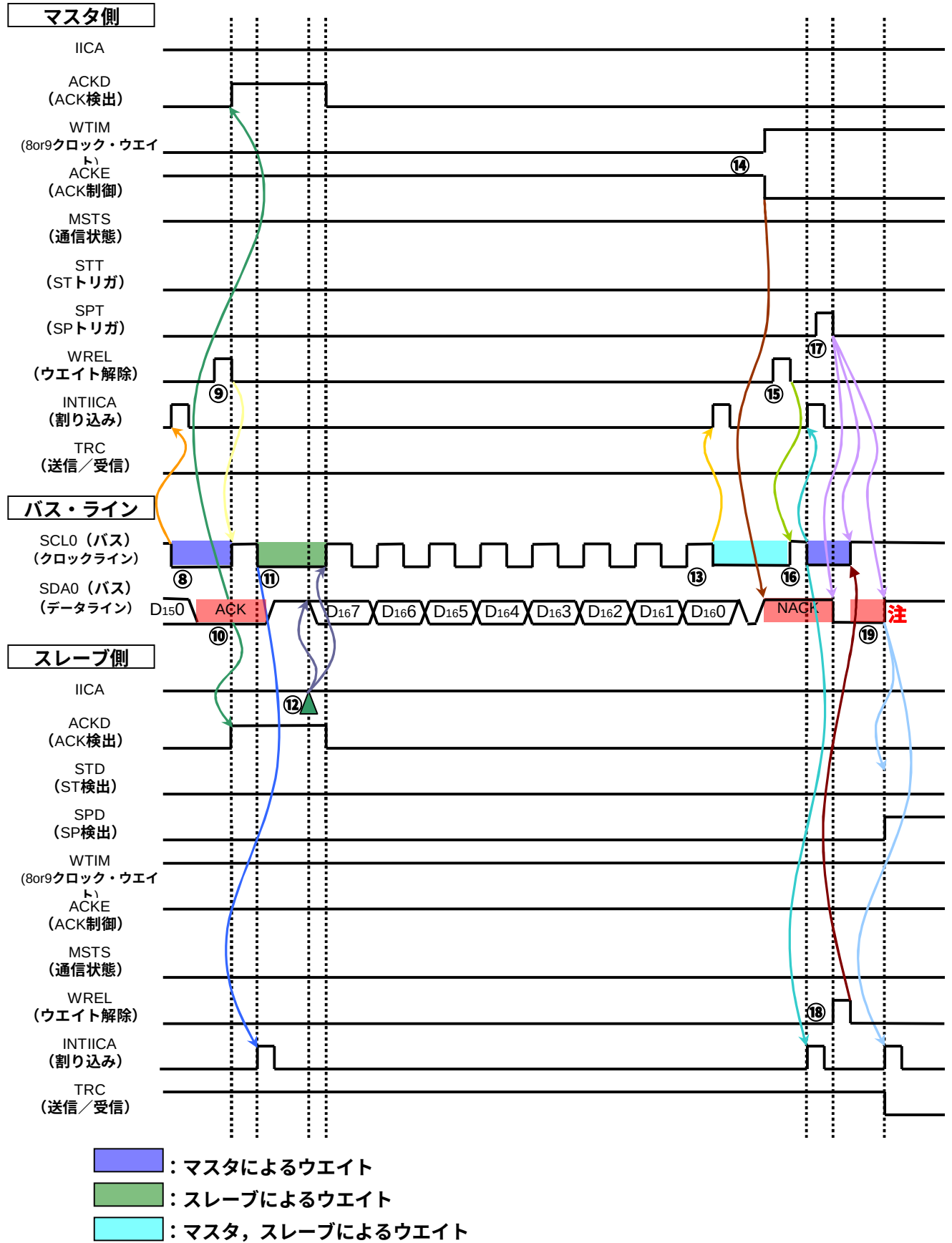
注：受信したアドレスと自局のアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません (NACK:SDA0=1)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) も発生しません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

(5) スレーブ→マスタ通信2 (アドレス～データ～データ)



- ③ 受信したアドレスと自局のアドレスが一致した場合、スレーブ側のハードマクロよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出（ACKD=1）されます。
- ④ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト（SCL0=0）がかかり、マスタ側の割り込み（INTIICA:アドレス送信完了割り込み）が発生し、スレーブはアドレスが一致した場合、割り込み（INTIICA:アドレス一致割り込み）が発生します。
- ⑤ マスタ側はウェイト・タイミングを8クロック目に（WTIM=0）に変更します。
- ⑥ スレーブ側はIICAレジスタに送信データを書き込み、スレーブ側によるウェイトを解除します。
- ⑦ マスタ側はウェイトを解除（WREL=1）して、スレーブ側からマスタ側にデータ転送を開始します。
- ⑧ 8クロック目の立ち下がりで、マスタ側によるウェイト（SCL0=0）がかかり、マスタ側の割り込み（INTIICA:転送完了割り込み）が発生し、マスタ側のハードマクロよりACKがスレーブ側へ送信されます。
- ⑨ マスタ側はウェイトを解除（WREL=1）します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出（ACKD=1）されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるウェイト（SCL0=0）がかかり、スレーブ側に割り込み（INTIICA:転送完了割り込み）が発生します。
- ⑫ スレーブ側のIICAレジスタに送信データを書き込んでスレーブ側によるウェイトを解除し、スレーブ→マスタにデータ転送を開始します。

(6) スレーブ→マスタ通信3 (データ～データ～ストップ・コンディション)



- ⑧ 8クロック目の立ち下がりで、マスタ側によるウェイト (SCL0=0) がかかり、マスタ側の割り込み (INTIICA: 転送完了割り込み) が発生し、マスタ側のハードマクロよりACKがスレーブ側へ送信されます。
- ⑨ マスタ側はウェイトを解除 (WREL=1) します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKD=1) されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるウェイト (SCL0=0) がかかり、スレーブ側に割り込み (INTIICA: 転送完了割り込み) が発生します。
- ⑫ スレーブ側のIICAレジスタに送信データを書き込んでスレーブ側によるウェイトを解除し、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側のハードマクロよりACKをスレーブ側へ送信し、マスタ側によるウェイト (SCL0=0) がかかり、マスタ側の割り込み (INTIICA: 転送完了割り込み) が発生します。
- ⑭ マスタ側のウェイト・タイミングを9クロック目ウェイトに変更し、NACKをスレーブ側へ送信 (ACKE=0) します。
- ⑮ マスタ側によるウェイトを解除 (WREL=1) し、9クロック目の立ち上がりでNACKを検出 (ACK=0) します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCL0=0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA: 転送完了割り込み) が発生します。
- ⑰ マスタは通信を終了する為に、ストップ・コンディション・トリガをセットする。
- ⑱ スレーブ側は送信を終了して、ウェイトを解除 (WREL=1) します。
- ⑲ スレーブがウェイトを解除して (WREL=1) , バス・クロックラインが立ち下がる (SCL0=0) とマスタのIICAはバス・データラインを立ち上げて (SDA0=1) ストップ・コンディションを発行します。スレーブのIICAはストップ・コンディションを検出すると割り込み (INTIICA: ストップ・コンディション検出割り込み) が発生します。

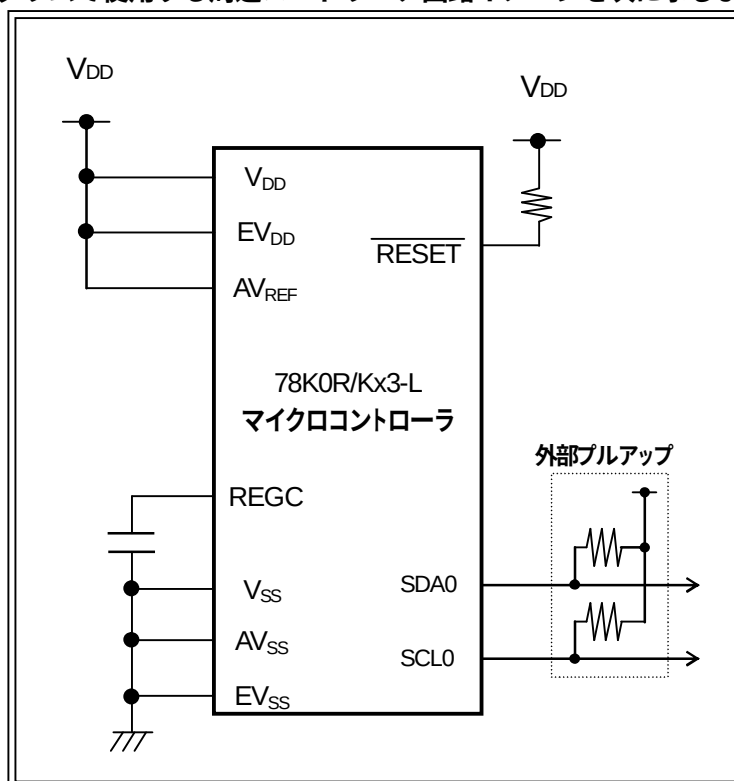
注：ストップ・コンディション発行後，SCL0が立ち上がってからストップ・コンディションが生成されるまでに最小0.6μsのストップ・コンディションセットアップ時間が必要になります。

第2章 回路イメージ

この章では、このサンプル・プログラムで使用する回路イメージおよび周辺ハードウェアを説明します。

2.1 回路イメージ

サンプル・プログラムで使用する周辺ハードウェア回路イメージを次に示します。



注意：この回路イメージは接続の概要を示す為に簡略化しています。実際に回路を作成される場合は、端子処理などを適切に行い、電流など電気的特性を満たすように設計してください。

2.2 周辺ハードウェア

本サンプルでは、周辺ハードウェアとして、IICバスのマスタを使用します。

転送クロック ： P60 (SCL0)

データ送受信端子 ： P61 (SDA0)

第3章 ソフトウェアについて

この章では、ダウンロードする圧縮ファイルのファイル構成、使用するマイコンの内蔵周辺機能、サンプル・プログラムの動作概要、およびフロー・チャートを説明します。

3.1 ファイル構成

ダウンロードする圧縮ファイルのファイル構成は、次のようになっています。

【C言語版】

ファイル名	説 明	同封圧縮 (*.zip) ファイル	
			
Kx3-L_IICS.c	マイコンのハードウェア初期化処理とメイン処理のソース・ファイル	●	●
OP.asm	オプション・バイトの指定ファイル	●	●
78K0RKx3-L_sample_program.prw	統合開発環境 PM+用ワーク・スペース・ファイル	-	●
78K0RKx3-L_sample_program.prj	統合開発環境 PM+用設定データ	-	●

備考



：ソース・ファイルのみ同封



：統合開発環境 PM+で使用するファイルを同封

【アセンブリ言語版】

ファイル名	説 明	同封圧縮 (*.zip) ファイル	
			
Kx3-L_IICS.asm	マイコンのハードウェア初期化処理とメイン処理のソース・ファイル	●	●
OP.asm	オプション・バイトの指定ファイル	●	●
78K0RKx3-L_sample_program.prw	統合開発環境 PM+用ワーク・スペース・ファイル	-	●
78K0RKx3-L_sample_program.prj	統合開発環境 PM+用設定データ	-	●

備考



：ソース・ファイルのみ同封



：統合開発環境 PM+で使用するファイルを同封

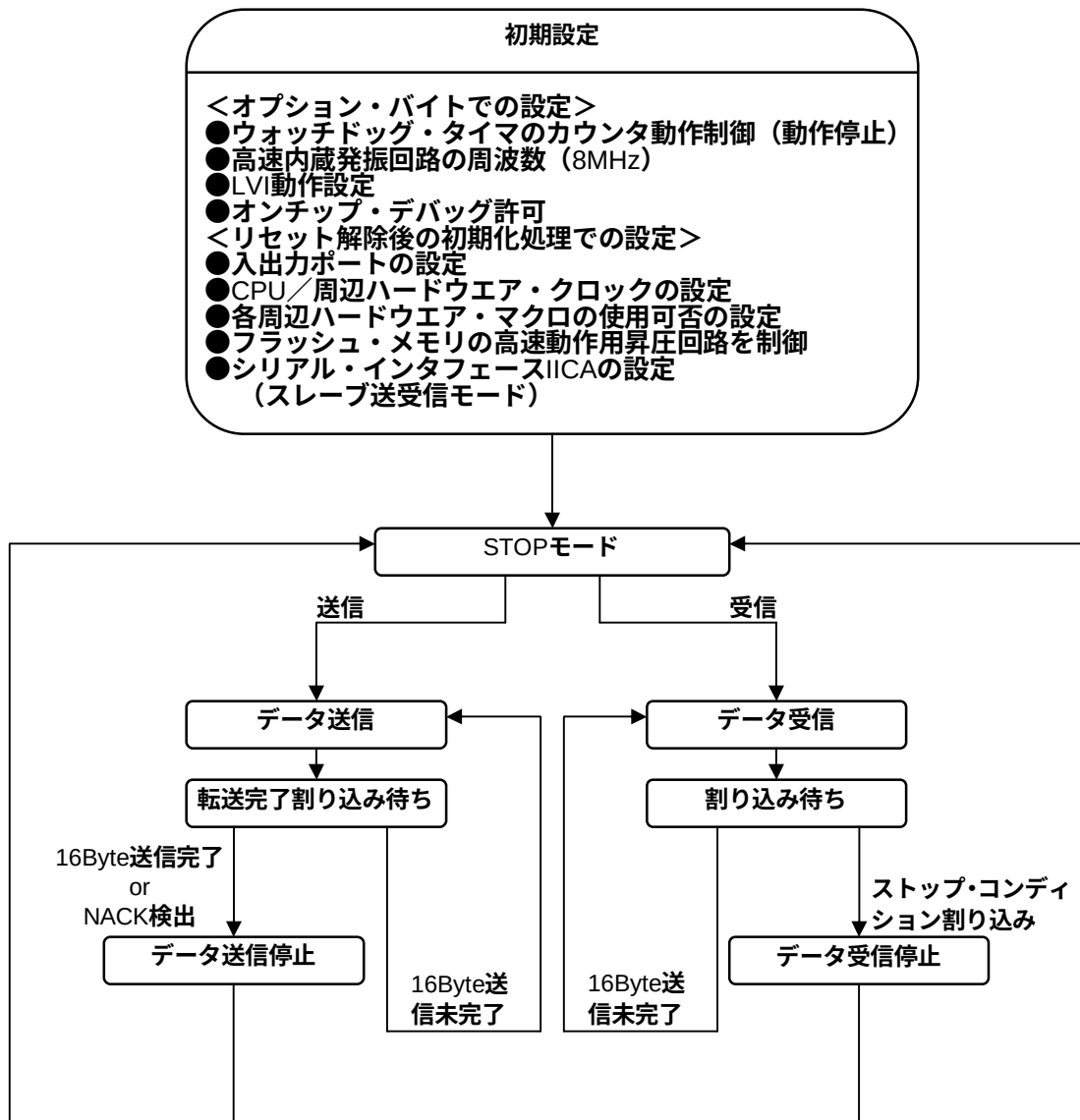
3.2 使用する内蔵機能

このサンプル・プログラムでは、マイコンに内蔵する次の周辺機能を使用します。

- ・IICA送受信（スレーブ送受信）：シリアル・インタフェースIICA

3.3 IICA機能の設定と動作概要

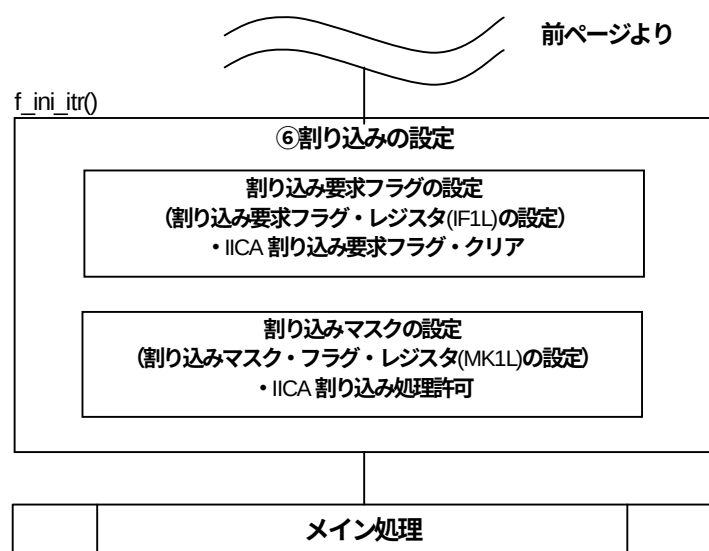
このサンプル・プログラムでは、シリアル・インタフェースIICA によるIICAスレーブ送受信（アドレス・フィールド受信／データ送受信）動作を行います。詳細処理については、以下の状態遷移図に示します。



3.4 フロー・チャート

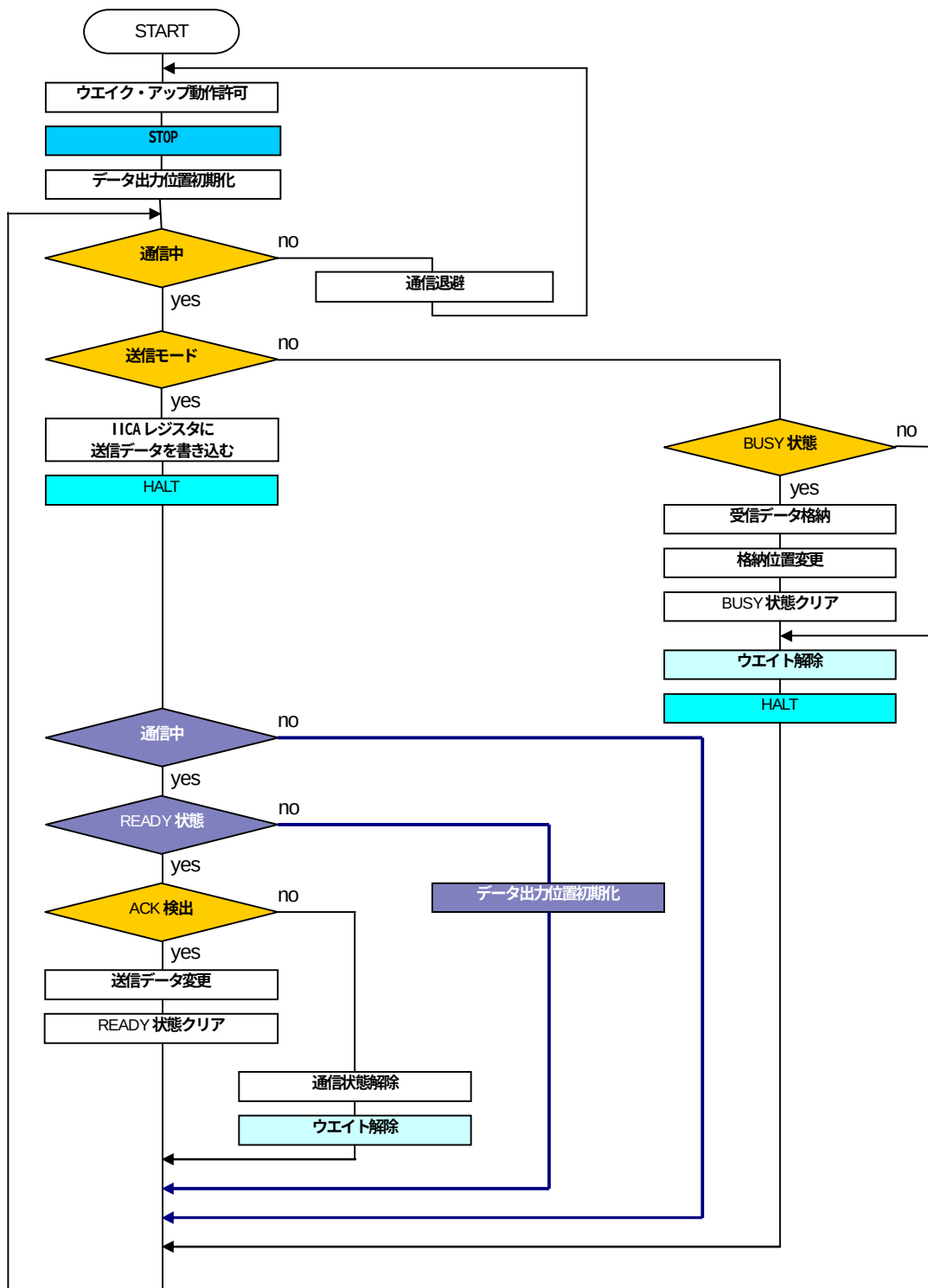
このサンプル・プログラムのフロー・チャートを次に示します。





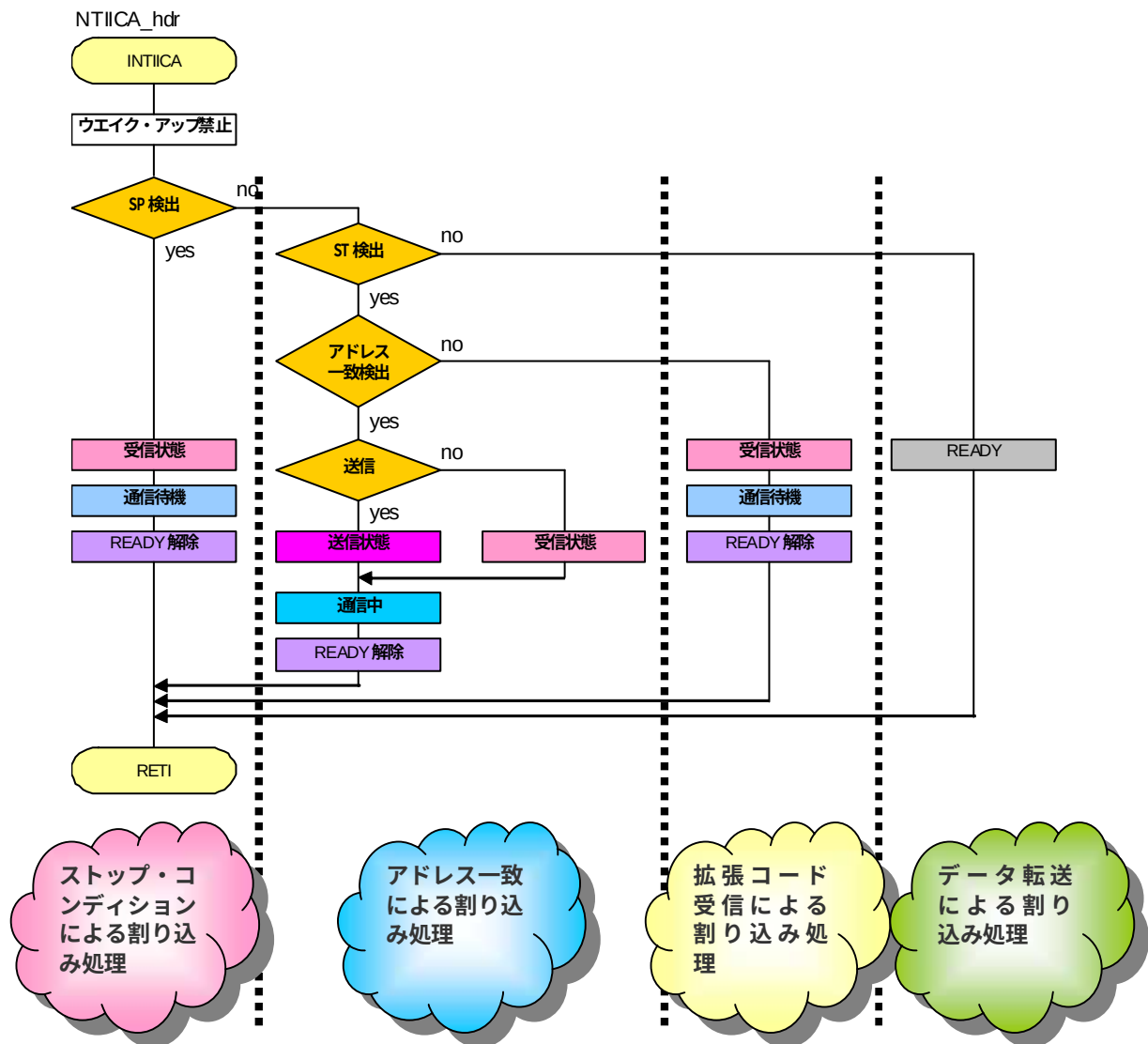
- 注1. オプション・バイトについては、サンプル・プログラム初期設定アプリケーション・ノートの“4.6 オプション・バイトの設定概要”を参照して下さい。
2. 入出力ポートの設定 (f_ini_port()) については、サンプル・プログラム初期設定編アプリケーション・ノートの“3.4 フロー・チャート”を参照して下さい。
3. 低電圧検出設定 (f_ini_lvi()) については、サンプル・プログラム低電圧検出回路編アプリケーション・ノートの“3.4 フロー・チャート”を参照して下さい。
4. CPU初期設定 (f_ini_cpu()) については、サンプル・プログラム初期設定編アプリケーション・ノートの“3.4 フロー・チャート”を参照して下さい。

(2) メイン処理



注意：■の部分、は、マスタ側の異常（通信中時にマスタ側がリセットに入る等）時の復帰処理になります。本サンプル・プログラム（C言語）ではコメントアウトしています。本サンプル・プログラム（アセンブリ言語）では記述していません。

(3) 割り込み処理



第4章 設定方法について

この章では、シリアル・インタフェースIICA（スレーブ送受信）として使用する際の設定について説明します。

その他の初期設定については、78K0R/Kx3-L サンプル・プログラム（初期設定編）アプリケーション・ノートを参照してください。

レジスタ設定方法の詳細については、各製品のユーザーズ・マニュアル（[78K0R/Kx3-L](#)）を参照してください。

アセンブラ命令については、[78K0Rシリーズ 命令編 ユーザーズ・マニュアル](#)を参照してください。

4.1 IICA（スレーブ送受信）の設定

シリアル・インタフェースIICA機能をスレーブ送受信として使用する場合、主に次のレジスタの設定、操作が必要になります。

初期設定で使用するレジスタ

- ・周辺イネーブル・レジスタ0（PER0）
- ・IICAコントロール・レジスタ1（IICCTL1）
- ・IICAロウ・レベル幅設定レジスタ0（IICWL）
- ・IICAハイ・レベル幅設定レジスタ0（IICWH）
- ・スレーブ・アドレス・レジスタ（SVA）
- ・IICAフラグ・レジスタ（IICF）
- ・IICAコントロール・レジスタ0（IICCTL0）
- ・ポート・レジスタ6（P6n）
- ・ポート・モード・レジスタ6（PM6n）
- ・割り込み要求フラグ・レジスタ（IFn）
- ・割り込みマスク・フラグ・レジスタ（MKn）

送信開始/停止時に使用するレジスタ

- ・IICAフラグ・レジスタ（IICF）
- ・IICAコントロール・レジスタ0（IICCTL0）
- ・IICAシフト・レジスタ（IICA）
- ・IICAステータス・レジスタ（IICS）

4.2 割り込みの設定

送信開始/停止時に使用するレジスタ

- ・割り込み要求フラグ・レジスタ（IF1L）
- ・割り込みマスク・フラグ・レジスタ（MK1L）

4.3 シリアル・インタフェースIIICA（スレーブ送受信）の設定レジスタ

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIIICAを使用するときは、必ずビット4 (IICAEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

略号： PER2

7	6	5	4	3	2	1	0
RTCEN	0	ADCEN	IICAEN	0	SAU0EN	0	0
0/1	0	0/1	0/1	0	0/1	0	0

RTCEN	リアルタイム・カウンタ (RTC) の入力クロックの制御
0	入力クロック供給停止 ・リアルタイム・カウンタ (RTC) で使用するSFRへのライト不可 (リード可) ・リアルタイム・カウンタ (RTC) の動作は継続可能
1	入力クロック供給許可 ・リアルタイム・カウンタ (RTC) で使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給許可 ・A/Dコンバータで使用するSFRへのリード／ライト可

IICAEN	シリアル・インタフェースIIICAの入力クロックの制御
0	入力クロック供給停止 ・シリアル・インタフェースIIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIIICAで使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニットの入力クロックの制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットで使用するSFRへのリード／ライト可

(2) IICAコントロール・レジスタ1 (IICCTL1)

IICの動作モードの設定やSCL0, SDA0端子状態を検出するためのレジスタです。

IICCTL1は、WUPを除きIICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0のときに設定してください。

IICCTL1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。CLD, DADは読み出し専用です。

リセット信号の発生により、00Hになります。

略号： IICCTL1

7	6	5	4	3	2	1	0
WUP	0	CLD	DAD	SMC	DFC	0	0

WUP	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可

CLD	SCL0端子のレベル検出 (IICE = 1のときのみ有効)
0	SCL0端子がロウ・レベルであることを検出
1	SCL0端子がハイ・レベルであることを検出

DAD	SDA0端子のレベル検出 (IICE = 1のときのみ有効)
0	SDA0端子がロウ・レベルであることを検出
1	SDA0端子がハイ・レベルであることを検出

SMC	動作モードの切り替え
0	標準モードで動作
1	ファースト・モードで動作

DFC	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン

(3) IICAロウ・レベル幅設定レジスタ0 (IICWL)

マスタ時に出力するSCL0端子信号のロウ・レベル幅を設定するレジスタです。

IICWLは、IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0のときに設定してください。

IICWLは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

略号： IICWL

7	6	5	4	3	2	1	0

(4) IICAハイ・レベル幅設定レジスタ0 (IICWH)

マスタ時に出力するSCL0端子信号のハイ・レベル幅を設定するレジスタです。

IICWHは、IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0のときに設定してください。

IICWHは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

略号： IICWH

7	6	5	4	3	2	1	0

(5) スレーブ・アドレス・レジスタ (SVA)

スレーブとして使用する場合に、自局アドレスを格納するレジスタです

STD = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

SVAは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

略号： SVA

7	6	5	4	3	2	1	0
							0

(6) IICAフラグ・レジスタ (IICF)

IICの動作モードの設定と、IICバスの状態を表すレジスタです。

IICRSVビットにより、通信予約機能の禁止／許可を設定します。

またSTCENにより、IICBSYビットの初期値を設定します。

IICRSV, STCENはIICAが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときのみ書き込み可能です。動作許可後、IICFは読み出し可能となります。

IICFは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STCF, IICBSYビットは読み出し専用です。

リセット信号の発生により、00Hになります。

略号：IICF

7	6	5	4	3	2	1	0
STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STTクリア・フラグ
0	スタート・コンディション発行
1	スタート・コンディション発行できず、STTフラグ・クリア

IICBSY	IICAバス状態フラグ
0	バス解放状態 (STCEN = 1時の通信初期状)
1	バス通信状態 (STCEN = 0時の通信初期状)

STCEN	初期スタート許可トリガ
0	動作許可 (IICE = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可
1	動作許可 (IICE = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可

IICRSV	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止

注意

STCENへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

STCEN = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを発行 (STT = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

IICRSVへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

(7) IICAコントロール・レジスタ0 (IICCTL0)

IICの動作許可／停止，ウェイト・タイミングの設定，その他IICの動作を設定するレジスタです。

IICCTL0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，SPIE，WTIM，ACKEビットはIICE=0のとき，またはウェイト期間中に設定してください。

リセット信号の発生により，00Hになります。

略号：IICCTL0

7	6	5	4	3	2	1	0
IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT

IICE	IICAの動作許可
0	動作停止
1	動作許可

LREL	通信退避
0	通常動作
1	現在行っている通信から退避し，待機状態

WREL	ウェイト解除
0	ウェイトを解除しない
1	ウェイトを解除する

SPIE	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可

WTIM	ウェイトおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生
1	9クロック目の立ち下がりで割り込み要求発生

ACKE	アクノリッジ制御
0	アクノリッジを禁止
1	アクノリッジを許可

STT	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない
1	スタート・コンディションを生成する

SPT	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない
1	ストップ・コンディションを生成する

(8) IICAコントロール・レジスタ0 (IICS)

IICのステータスを示すレジスタです。

IICSは、STT=1およびウェイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

略号：IICS

7	6	5	4	3	2	1	0
MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD

MSTS	マスタの状態
0	スレーブ状態または通信待機状態
1	マスタ通信状態

ALD	アービトレーション負け検出
0	アービトレーションが起っていない状態。またはアービトレーションに勝った状態
1	アービトレーションに負けた状態。MSTSがクリアされる

EXC	拡張コード受信検出
0	拡張コードを受信していない
1	拡張コードを受信している

COI	アドレス一致検出
0	アドレスが一致していない
1	アドレスが一致している

TRC	送信／受信状態検出
0	受信状態（送信状態以外）
1	送信状態

ACKD	アクノリッジ検出
0	アクノリッジを検出していない
1	アクノリッジを検出している

STD	スタート・コンディション検出
0	スタート・コンディションを検出していない
1	スタート・コンディションを検出している

SPD	ストップ・コンディション検出
0	ストップ・コンディションを検出していない
1	ストップ・コンディションを検出している

(9) ポート・レジスタ6 (P6)

ポート出力のラッチを設定するレジスタです。

略号：P6

7	6	5	4	3	2	1	0
0	0	0	0	0	0	P61	P60

P6n	出力データの制御（出力モード時）
0	0を出力
1	1を出力

(10) ポート・モード・レジスタ6 (PM6)

ポートの入力／出力を設定するレジスタです。

略号：PM6

7	6	5	4	3	2	1	0
1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

(11) IICAシフト・レジスタ (IICA)

IICAは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAは送信および受信の両方に使用されます。

ウェイト期間中のIICAへの書き込みにより、ウェイトを解除し、データ転送を開始します。

IICAは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

略号：IICA

7	6	5	4	3	2	1	0

4.4 割り込みの設定レジスタ

(1) 割り込み要求フラグ・レジスタ(IF1L)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット（1）され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア（0）されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF1L, IF1Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

また、IF1LとIF1Hをあわせて16ビット・レジスタIF1として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

略号：IF1L

7	6	5	4	3	2	1	0
TMIF03	TMIF02	TMIF01	TMIF00	IICAIF	SREIF1	SRIF1	STIF1 CSIIF10 IICIF10

xxIFx	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. IF0Hのビット0には必ず0を設定してください。

- タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
- 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0H.0 = 0;」や「_asm("clr1 IF0H,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0H &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
MOV    A    ,    IF0H
AND     A    ,    #0FEH
MOV    IF0H ,    A
```

この場合、「MOV A, IF0H」後から「MOV IF0H, A」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0H）の他ビットの要求フラグがセット（1）されても、「MOV IF0H, A」でクリア（0）されます。

したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ(MK1L)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK1Lは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK1LとMK1Hをあわせて16ビット・レジスタMK1として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

略号：MK1L

7	6	5	4	3	2	1	0
TMMK03	TMMK02	TMMK02	TMMK02	IICAMK	SREMK1	SRMK1	STMK1 CSIMK10 IICMK10

xxMKx	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

4.5 IICの初期設定例

IICA（マスタ送受信）を用いる際の各レジスタ設定の流れを以下に示します。

① IICA へのクロック供給開始

周辺イネーブル・レジスタ（PER0）
IICAENを操作し、IICAへのクロック供給を開始します

略号：PER0

7	6	5	4	3	2	1	0
RTCEN	0	ADCEN	IICAEN	0	SAU0EN	0	0
x	0	x	1	0	x	0	0

IICAEN	シリアル・アレイ・ユニットの入カクロックの制御
0	入カクロック供給停止
1	入カクロック供給

【使用例】

上記、赤文字部分と同設定にする場合
(本サンプル・プログラム・ソースと同内容)

① アセンブリ言語の場合（78K0R/KE3-Lマイクロコントローラ使用時）

```
SET1      IICAEN
```

② C言語の場合（78K0R/KE3-Lマイクロコントローラ使用時）

```
IICAEN = 1;
```

② 転送クロックの設定

IICAロウ・レベル幅設定レジスタ0（IICWL）
ICAハイ・レベル幅設定レジスタ0（IICWH）
転送クロックの設定を行います

略号：IICWL

7	6	5	4	3	2	1	0
0	0	0	0	1	0	1	1

略号：IICWH

7	6	5	4	3	2	1	0
0	0	0	0	1	0	0	1

【使用例】

上記、赤文字部分と同設定にする場合
(本サンプル・プログラム・ソースと同内容)

① アセンブリ言語の場合（78K0R/KE3-Lマイクロコントローラ使用時）

```
MOV      INCWL      ,    #0BH
MOV      INCWH      ,    #09H
```

② C言語の場合（78K0R/KE3-Lマイクロコントローラ使用時）

```
INCWL = 11;
INCWH = 9;
```

③ 自局アドレスの設定

スレーブ・アドレス・レジスタ (SVA)
自局アドレスの設定を行います

略号：SVA

7	6	5	4	3	2	1	0
1	0	1	0	0	0	0	0

【使用例】

上記、赤字部分と同設定にする場合
(本サンプル・プログラム・ソースと同一内容)

① アセンブリ言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

MOV SAV, #0A0H

② C言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

SAV = 0b10100000;

④ 通信開始条件の設定

IICAフラグ・レジスタ (IICF)
スタート・コンディションの生成条件と、通信予約の許可設定を行います

略号：IICF

7	6	5	4	3	2	1	0
STCF	IICBSY	0	0	0	0	STCEN	IICRSV
x	x	0	0	0	0	0	0

IICRSV	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止

STCEN	初期スタート許可トリガ
0	動作許可(IICE=1)後、ストップ・コンディションの検出により、スタート・コンディションを生成許可
1	動作許可(IICE=1)後、ストップ・コンディションの検出せずに、スタート・コンディションを生成許可

【使用例】

上記、赤字部分と同設定にする場合
(本サンプル・プログラム・ソースと同一内容)

① アセンブリ言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

MOV IICF, #00H

② C言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

IICF = 0b00000000;

⑤ IICA の動作設定

IICAコントロール・レジスタ0 (IICCTL0)
 ストップ・コンディション割り込みを許可
 ウェイトおよび割り込み要求発生タイミングの設定
 アクノリッジ出力許可

略号：IICCTL0

7	6	5	4	3	2	1	0
IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT
0	x	x	1	1	1	x	x

ACKE	アクノリッジ制御
0	アクノリッジを禁止
1	アクノリッジを許可

WTIM	ウェイトおよび割り込み要求発生時の制御
0	8クロック目の立ち下がりで割り込み要求発生。 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト。
1	9クロック目の立ち下がりで割り込み要求発生。 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト。

SPIE	ストップ・コンディション検出による割り込み要求の発生の許可／禁止
0	禁止
1	許可

IICE	IICAの動作許可
0	動作停止。IICAステータス・レジスタ (IICS) をリセット。内部動作も停止。
1	動作許可

【使用例】

上記、赤字部分と同設定にする場合
 (本サンプル・プログラム・ソースと同内容)

①アセンブリ言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

```
MOV      IICCTL0, #1CH
```

②C言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

```
IICCTL0 = 0b00011100;
```

⑥ ポートの設定

ポート・レジスタ6 (P6)
 ポート・モード・レジスタ6 (PM6)
 P60をSCK0, P61をSDA0として使用します。

略号：P6

7	6	5	4	3	2	1	0
0	0	0	0	0	0	P61	P60
0	0	0	0	0	0	0	0

P6n	出力データの制御
0	0を出力
1	1を出力

略号：PM6

7	6	5	4	3	2	1	0
1	1	1	1	1	1	PM61	PM60
1	1	1	1	1	1	0	0

PM6n	PM6nの入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

【使用例】

上記、赤字部分と同設定にする場合
 (本サンプル・プログラム・ソースと同一内容)

①アセンブリ言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

```
MOV    P6    ,    #0FCH
MOV    PM6   ,    #00H
```

②C言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

```
P6.0 = 0b00000000;
PM6.0 = 0b11111100;
```

⑦ IICA の動作設定

IICAコントロール・レジスタ1 (IICCTL1)
 IIC動作許可

略号：IICCTL0

7	6	5	4	3	2	1	0
IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT
1	x	x	0	1	1	x	x

IICE	IICAの動作許可
0	動作停止。IICAステータス・レジスタ (IICS) をリセット。内部動作も停止。
1	動作許可

【使用例】

上記、赤字部分と同設定にする場合
 (本サンプル・プログラム・ソースと同一内容)

①アセンブリ言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

```
SET1    IICE
```

②C言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

```
IICE = 1;
```

4.6 割り込みの設定概要

本サンプル・プログラムで割り込みを使用する際の割り込み初期設定の流れを以下に示します。

① 転送完了割り込みの設定

割り込み要求フラグ・レジスタ(IF1L)
割り込みマスク・レジスタ(MK1L)
転送完了割り込み (INTIICA) の、フラグ・クリアとマスク解除

略号：IF1L

7	6	5	4	3	2	1	0
TMIF03	TMIF02	TMIF01	TMIF00	IICAIF	SREIF1	SRIF1	STIF1 CSIF10 IICIF10
x	x	x	x	0	x	x	x

CSIF01	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

略号：MK1L

7	6	5	4	3	2	1	0
TMMK03	TMMK02	TMMK01	TMMK00	IICAMK	SREMK1	SRMK1	STMK1 CSIMK10 IICMK10
x	x	x	x	0	x	x	x

CSIMK01	割り込み処理の制御
0	割り込み処理許可
1	割り込み要求信号が発生し、割り込み要求状態

【使用例】

上記、赤字部分と同設定にする場合
(本サンプル・プログラム・ソースと同内容)

① アセンブリ言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

```
CLR1      IICAIF
CLR1      IICAMK
```

② C言語の場合 (78K0R/KE3-Lマイクロコントローラ使用時)

```
IICAIF = 0;
IICAMK = 0;
```


第5章 PM+を用いたHEXファイルの生成

この章では、PM+とダウンロードしたC言語版のファイルを用い、サンプル・プログラムからHEXファイルを生成する方法を説明します。

5.1 ダウンロードファイルの解説

ダウンロードした各種ファイルの説明をします。

(1) C言語版

	ファイル名	内容
	78K0RKx3-L_sample_program.prw	統合開発環境 PM+用ワーク・スペース・ファイル
	78K0RKx3-L_sample_program.prj	統合開発環境 PM+用設定データ
	Kx3-L_IICS.c	シリアル・インタフェースIICAスレーブ送受信のC言語ソース・ファイル
	OP.asm	オプション・バイトのアセンブリ言語ソース・ファイル

(2) アセンブラ版

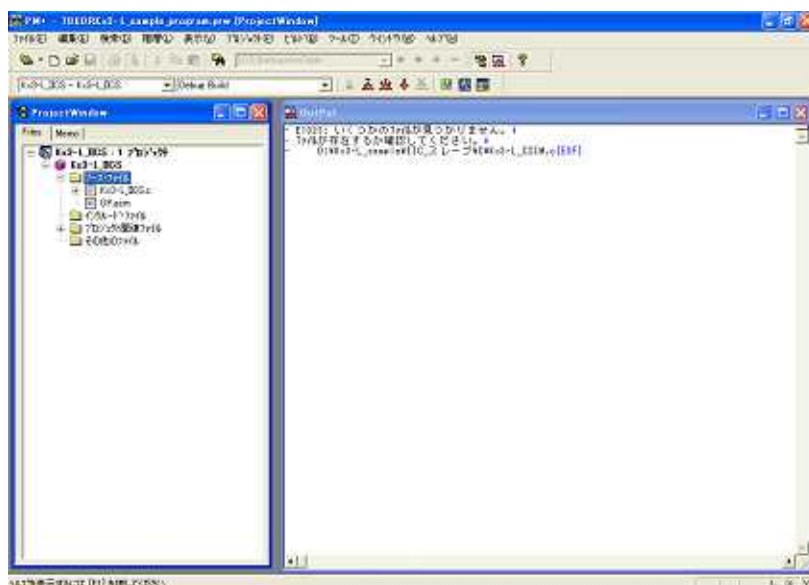
	ファイル名	内容
	78K0RKx3-L_sample_program.prw	統合開発環境 PM+用ワーク・スペース・ファイル
	78K0RKx3-L_sample_program.prj	統合開発環境 PM+用設定データ
	Kx3-L_IISM.asm	シリアル・インタフェースIICAスレーブ送受信のC言語ソース・ファイル
	OP.asm	オプション・バイトのアセンブリ言語ソース・ファイル

5.2 サンプル・プログラムのHEXファイル生成（ビルド）

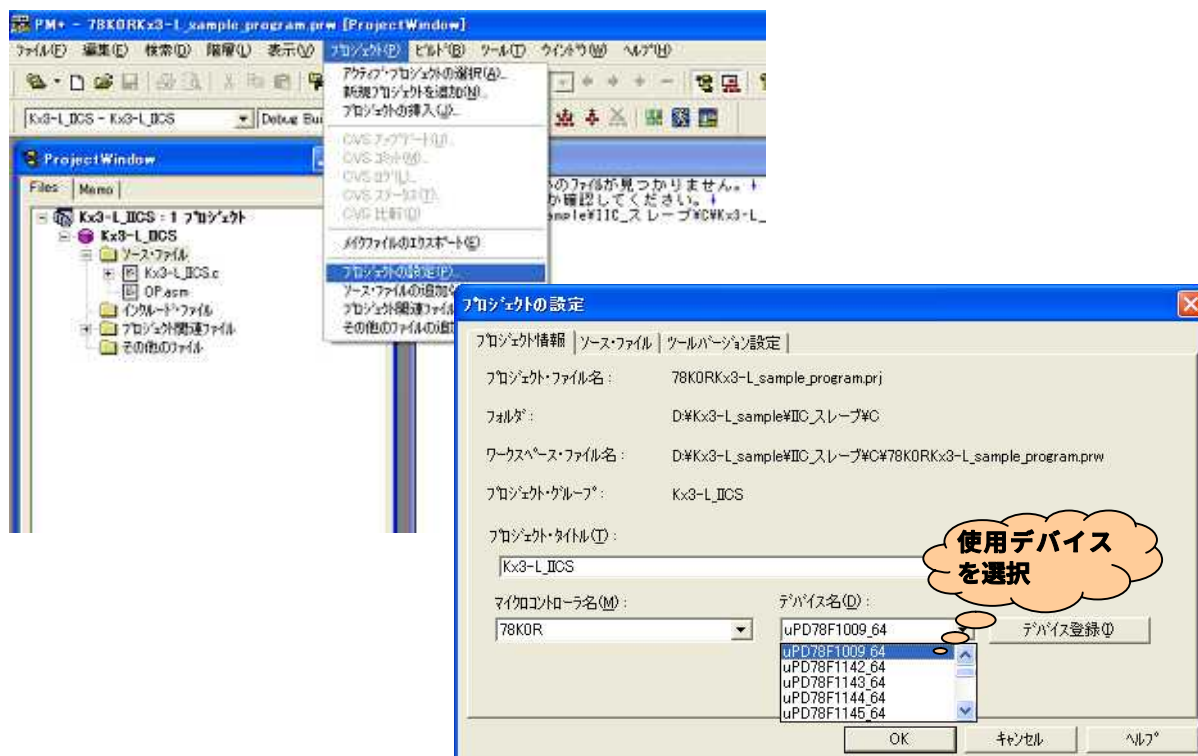
サンプル・プログラムからHEXファイルに生成するために、PM+を用いてサンプル・プログラムをビルドする必要があります。ここでは、でダウンロードしたC言語版のファイルを用いて、統合開発環境PM+にてビルドしてから、HEXファイルを生成するまでの動作の一例を説明します。

PM+操作方法の詳細については、[PM+ プロジェクト・マネージャ ユーザーズ・マニュアル](#)を参照してください。

- (1) ダウンロードしたファイルを解凍し、「78K0RKx3-L_sample_program.prw」をダブルクリックしてください。ワークスペースが開き、その中にソース・ファイルが自動的に読み込まれます。



- (2) [プロジェクト] → [プロジェクトの設定] を選択してください。[プロジェクトの設定] 画面が表示されたら、使用するデバイス名を選択（デフォルトでは、ROM/RAMサイズの最も大きいデバイスが選択）し、[OK] ボタンをクリックしてください

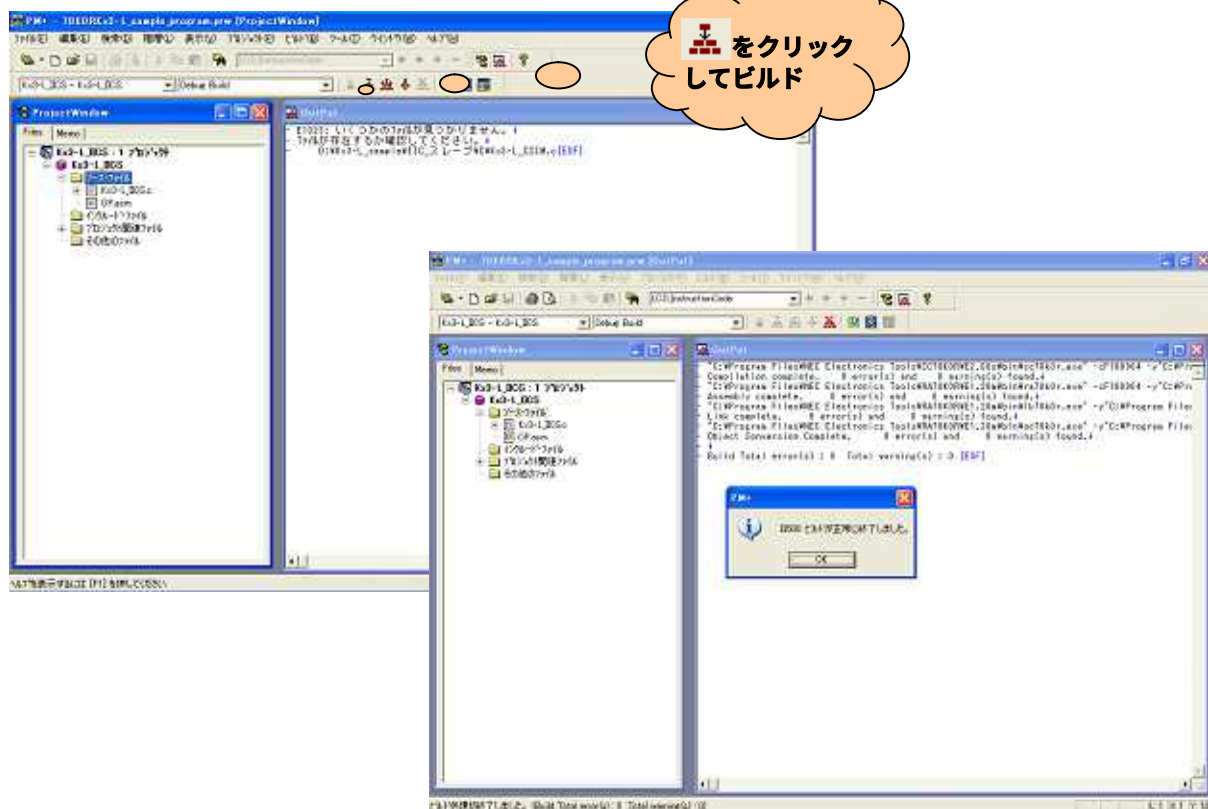


- (3) [ツール] → [オブジェクトコンバータオプションの設定] を選択してください。[オブジェクトコンバータオプションの設定] 画面が表示されたら, [出力1] タグページが表示されているのを確認し, その中の出力ファイル名に任意のファイル名+拡張子 (.HEX) を入力し, [OK] をクリックします。



- (4) PM+画面の中央上付近の  をクリックしてください。自動でビルドが実行され, ソース・ファイルの「Kx3-L_CSIS.c」と「OP.asm」からHEXファイルが生成され, 「I3500:ビルドが正常に終了しました」というメッセージ画面が表示されます。

[OK] をクリックしてビルドを終了します。



5.2 開発環境のダウンロード，インストール

78K0R/Kx3-Lマイクロコントローラの開発ツールのフリーツールは，次のサイトより入手可能です。

→<http://www.necel.com/micro/ja/freesoft/78k0r/index.html>

「RA78K0R」「CC78K0R」「78K0R/Kx3-L用デバイス・ファイル」の3ファイルをダウンロードし，インストールすることで，サンプル・プログラムの動作確認が可能となります。

ダウンロード，インストールは，上記サイトの画面および説明に従って，行ってください。

- 備考
1. PM+は，RA78K0Rに同封されています。
 2. ダウンロード後，登録したEメール・アドレスに，RA78K0R，CC78K0RのプロダクトIDが送付されます。このプロダクトIDは，各ツールのインストール時に必要となります。

第6章 関連資料

資 料 名		和文／英文
78K0R/Kx3-L ユーザーズ・マニュアル		PDF
78K0Rシリーズ 命令編 ユーザーズ・マニュアル		PDF
RA78K0R アセンブラ・パッケージ ユーザーズ・マニュアル	言語編	PDF
	操作編	PDF
CC78K0R Cコンパイラ ユーザーズ・マニュアル	言語編	PDF
	操作編	PDF
PM+ プロジェクト・マネージャ ユーザーズ・マニュアル		PDF
SM+ システム・シミュレータ 操作編 ユーザーズ・マニュアル		PDF

付録A 改版履歴

プログラム・リスト例として、78K0R/KE3-Lマイクロコントローラ用のソース・プログラムを次に示します。

● Kx3-L_IICS.asm (アセンブリ言語版)

```

;*****
;
; NEC Electronics      78K0R/KE3-Lシリーズ
;
;*****
; 78K0R/KE3-Lシリーズ      サンプル・プログラム (シリアル・インタフェースIICA)
;*****
; IICA通信スレーブ送受信
;*****
; 【履歴】
; 2009.01.-- 新規作成
; 2009.02.-- ウェイク・アップ機能動作停止時のウェイト追加
;*****
;
; 【概要】
; 本サンプル・プログラムはシリアル・インタフェースIICAの使用例を示すものです。
; IICAバスのスレーブ動作で、下記データの送受信を行います。
;
;
; 自局アドレス : A0H
; 受信データ   : 16バイト(任意)
; 送信データ   : 16バイト(受信したデータを1バイトごとに+10Hしたものを送信)
;
; 通信フォーマットは下記を想定しています
;
; 【受信時】 ST + ADR/W + DT*16 + SP
; 【送信時】 ST + ADR/R + DT*16 + SP
;
; ST   : スタート・コンディション
; SP   : ストップ・コンディション
; ADR/W : スレーブ・アドレス + W
; ADR/R : スレーブ・アドレス + R
; DT    : データ
;
;
;

```

```
; <初期設定の主な内容>
;   (オプション・バイトでの設定)
;   ・ウォッチドッグ・タイマの動作禁止
;   ・高速内蔵発振回路に8/20MHzを選択
;   ・LVIデフォルト・スタート機能動作
;   ・オンチップ・デバッグを動作許可に設定
;   (リセット解除後の初期化処理での設定)
;   ・入出力ポートの設定
;   ・低電圧検出回路の機能を使用し、2.7V以上の電源電圧を確保
;   ・CPU／周辺ハードウェア・クロックを高速内蔵発振クロック動作の8MHzに設定
;   ・X1/XT1発振回路の停止
;   ・シリアル・インタフェースIICAの設定
;
;
; <シリアル・インタフェースIICAの設定>
;   ・転送クロックを100-400kHzに設定
;   ・自局アドレスの設定
;   ・ウェイト・タイミング等の動作設定
;   ・動作許可
;
;
; <入出力ポートの設定>
;   入力ポート：-
;   出力ポート：P60, P61
;   ※未使用のポートで出力に設定できるものは全て出力ポートに設定しておく
;
; *****
;
; =====
;
;   ベクタ・テーブルの設定
;
; =====
TVECT1          CSEG  AT   00000H
      DW  RESET_START          ;00000H    RESET入力,POC,LVI,WDT,TRAP
TVECT2          CSEG  AT   00004H
      DW  IINIT                ;00004H    INTWDTI
      DW  IINIT                ;00006H    INTLVI
      DW  IINIT                ;00008H    INTP0
      DW  IINIT                ;0000AH    INTP1
      DW  IINIT                ;0000CH    INTP2
      DW  IINIT                ;0000EH    INTP3
      DW  IINIT                ;00010H    INTP4
```

```

        DW      IINIT                      ;00012H      INTP5
TVECT3          CSEG  AT      00016H
        DW      IINIT                      ;00016H      INTSR3
        DW      IINIT                      ;00018H      INTSRE3
        DW      IINIT                      ;0001AH      INTDMA0
        DW      IINIT                      ;0001CH      INTDMA1
        DW      IINIT                      ;0001EH      INTST0/INTCSI00
        DW      IINIT                      ;00020H      INTSR0/INTCSI01
        DW      IINIT                      ;00022H      INTSRE0
        DW      IINIT                      ;00024H      INTST1/INTCSI10/INTIIC10
        DW      IINIT                      ;00026H      INTSR1
        DW      IINIT                      ;00028H      INTSRE1
        DW      INTIICA                    ;0002AH      INTIICA
        DW      IINIT                      ;0002CH      INTTM00
        DW      IINIT                      ;0002EH      INTTM01
        DW      IINIT                      ;00030H      INTTM02
        DW      IINIT                      ;00032H      INTTM03
        DW      IINIT                      ;00034H      INTAD
        DW      IINIT                      ;00036H      INTRTC
        DW      IINIT                      ;00038H      INTRTCI
        DW      IINIT                      ;0003AH      INTKR
TVECT4          CSEG  AT      00040H
        DW      IINIT                      ;00040H      INTSRE2
        DW      IINIT                      ;00042H      INTTM04
        DW      IINIT                      ;00044H      INTTM05
        DW      IINIT                      ;00046H      INTTM06
        DW      IINIT                      ;00048H      INTTM07
        DW      IINIT                      ;0004AH      INTP6
        DW      IINIT                      ;0004CH      INTP7

```

;=====

;

; **スタック領域の確保**

;

;=====

DSTK DSEG BASEP

STACKEND:

 DS 20H ;スタック領域を32バイト確保

STACKTOP: ;スタック領域の先頭アドレス

;=====


```

;
;   RAMの定義
;
;=====
DMAIN DSEG  SADDR
RIICINFO:  DS    1
FMODE      EQU   RIICINFO.7      ;通信モード・フラグ
                                   ; 0:データ通信を行っていない状態
                                   ; 1:データ通信を行っている状態
FREADY     EQU   RIICINFO.5      ;レディ・フラグ
                                   ; 0:データ通信不可
                                   ; 1:データ通信可能
FDIR       EQU   RIICINFO.6      ;通信方向フラグ
                                   ; 0:受信
                                   ; 1:送信
;      EQU   RIICINFO.4      ;Reserve
;      EQU   RIICINFO.3      ;Reserve
;      EQU   RIICINFO.2      ;Reserve
;      EQU   RIICINFO.1      ;Reserve
;      EQU   RIICINFO.0      ;Reserve

RBUFPOS:   DS    1                ;受信データ・バッファの送受信位置

DMAINP     DSEG  SADDRP
RRCVBUF:   DS    16              ;受信データ・バッファの先頭アドレス
RRCVBUFE:  ;受信データ・バッファの最終アドレス+1

;=====
;
;   変更可能な定数の定義
;
;-----
;   用途に合わせ定数値を変更できます。
;=====
CSLFADDR   EQU   0A0H            ;自局アドレス

XMAIN CSEG  UNIT
;*****
;
;   不要な割り込み要因による割り込み処理
;

```

```

;*****
;
IINIT:
;   不要な割り込みが発生した場合，ここに分岐します。
;   ここでは何も処理をしないで元の処理に戻ります

    RETI

;*****
;
;   リセット解除後の初期化处理
;
;*****
RESET_START:

;-----
;   割り込み禁止
;-----
    DI

;-----
;   レジスタ・バンク設定
;-----
    SEL    RBO

;-----
;   スタック・ポインタの設定
;-----
    MOVW   SP,    #LOWW STACKTOP        ;スタック・ポインタを設定

;-----
;   入出力ポートの設定
;-----
    CALL   !!SINIPOINT        ;出力に設定できるものは全て出力ポートに設定

;-----
;   低電圧検出
;-----
    CALL   !!SINILVI          ;2.7V以上の電源電圧を確保

;-----
;   クロック周波数の設定
;-----
    CALL   !!SINICLK          ;高速内蔵発振クロックを8MHzで動作

```

```

;-----
;   シリアル・インタフェースIICAの設定
;-----
;   IICAバス通信のスレーブ動作が行えるように設定します。
;-----

SET1  IICAEN                                ;シリアル・インタフェースIICAの入力クロック供給

MOV   IICWL,    #10                        ;ロウ・レベル幅の設定(転送クロック=100-400kHz)
MOV   IICWH,    #5                          ;ハイ・レベル幅の設定(転送クロック=100-400kHz)

MOV   SVA,    #CSLFADDR                    ;自局アドレスの設定

MOV   IICF, #00000000B                    ;IICAフラグ・レジスタ
      ;|||||+----- IICRSV
      ;|||||      [通信予約機能禁止ビット]
      ;|||||      0:通信予約許可
      ;|||||      1:通信予約禁止
      ;|||||+----- STCEN
      ;|||||      [初期スタート許可トリガ]
      ;|||||      0:動作許可(IICE=1)後、ストップ・コンディションの
      ;|||||      検出により、スタート・コンディションを生成許可
      ;|||||      1:動作許可(IICE=1)後、ストップ・コンディションを
      ;|||||      検出せずに、スタート・コンディションを生成許可
      ;||++++----- 必ず0に設定
      ;|+----- IICBSY <Read only>
      ;|          [IICAバス状態フラグ]
      ;|          0:バス解放状態(STCEN = 1時の通信初期状態)
      ;|          1:バス通信状態(STCEN = 0時の通信初期状態)
      ;|+----- STCF <Read only>
      ;          [STTクリア・フラグ]
      ;          0:スタート・コンディション発行
      ;          1:スタート・コンディション発行できず、STTフラグ・クリア

MOV   IICCTL0, #00011100B                ;IICAコントロール・レジスタ0
      ;|||||+----- SPT
      ;|||||      [ストップ・コンディション・トリガ]
      ;|||||      0:ストップ・コンディションを生成しない
      ;|||||      1:ストップ・コンディションを生成する
      ;|||||+----- STT
      ;|||||      [スタート・コンディション・トリガ]
      ;|||||      0:スタート・コンディションを生成しない
      ;|||||      1:スタート・コンディションを生成する

```

```

;|||||+----- ACKE
;|||||          [アクノリッジ制御]
;|||||          0:アクノリッジを禁止
;|||||          1:アクノリッジを許可
;|||||+----- WTIM
;|||||          [ウェイトおよび割り込み要求発生制御]
;|||||          0:8クロック目の立ち下がりで割り込み要求発生
;|||||          1:9クロック目の立ち下がりで割り込み要求発生
;|||+----- SPIE
;|||          [ストップ・コンディション検出による割り込み要求発生許可／禁止]
;|||          0:禁止
;|||          1:許可
;||+----- WREL
;||          [ウェイト解除]
;||          0:ウェイトを解除しない
;||          1:ウェイトを解除する
;|+----- LREL
;|          [通信退避]
;|          0:通常動作
;|          1:現在行っている通信から退避し、待機状態
;+----- IICE
;          [IICAの動作許可]
;          0:動作停止
;          1:動作許可

MOV    IICCTL1,#00001100B          ;IICAコントロール・レジスタ1
;|||||+----- 必ず0に設定
;|||||+----- DFC
;|||||          [デジタル・フィルタの動作制御]
;|||||          0:デジタル・フィルタ・オフ
;|||||          1:デジタル・フィルタ・オン
;|||+----- SMC
;|||          [動作モードの切り替え]
;|||          0:標準モードで動作
;|||          1:ファースト・モードで動作
;||+----- DAD
;||          [SDA0端子のレベル検出(IICE = 1のときのみ有効)]
;||          0:SDA0端子がロウ・レベルであることを検出
;||          1:SDA0端子がハイ・レベルであることを検出
;|+----- CLD
;|          [SCL0端子のレベル検出(IICE = 1のときのみ有効)]
;|          0:SCL0端子がロウ・レベルであることを検出
;|          1:SCL0端子がハイ・レベルであることを検出

```

```

;|+----- 必ず0に設定
;+----- WUP
; [アドレス一致ウエイク・アップの制御]
; 0:STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
; 1:STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可

SET1 IICE ;動作許可

MOV PM6, #11111100B ;SCL0/SDA0
MOV P6, #00000000B ;SCL0/SDA0

CLR1 IICAIF ;INTIICA割り込み要求クリア
CLR1 IICAMK ;INTIICA割り込み処理許可

;-----
; RAMの初期化
;-----

AND RIICINFO,#00011111B
; ||+----- 通信方向フラグ(受信)
; |+----- 通信モード・フラグ(クリア)
; +----- レディ・フラグ(クリア)

CLRB RBUFPOS ;受信データ・バッファの送受信位置を初期化

;-----
; 割り込み許可
; (割り込みを使用する場合はこのタイミングで許可します。)
;-----

EI ;割り込み許可

BR MAIN_LOOP ;メイン・ループへ

;*****
;
;
; 入出力ポートの設定
;
;*****
SINIPORT:
;-----
; デジタル入出力の設定
;-----

MOV ADPC, #00010000B ;A/Dポート・コンフィギュレーション・レジスタ
;|||++++----- ADPC4-ADPC0

```

```

;||| [アナログ入力(A)／デジタル入出力(D)の切り替え]
;|||      +---+----- ANI11-ANI18/P153-P150
;|||      |||+----- ANI7-ANI10/P27-P20
;|||      0000:AAAAAAAAAAAA
;|||      0001:AAAAAAAAAAD
;|||      0010:AAAAAAAAADD
;|||      0011:AAAAAAAADDD
;|||      00100:AAAAAAAADDDD
;|||      00101:AAAAAAAADDDDD
;|||      00110:AAAAAADDDDDD
;|||      00111:AAAAAADDDDDD
;|||      01000:AAAADDDDDDDD
;|||      01001:AAADDDDDDDDD
;|||      01010:AADDDDDDDDDD
;|||      01011:ADDDDDDDDDDD
;|||      10000:DDDDDDDDDDDD
;+---+----- 必ず0に設定

;-----
;   ポート0の設定
;-----
MOV   P0,  #00000000B      ;P00-P01の出力ラッチLow
MOV   PM0, #11111100B      ;P00-P01を出力ポートに設定
                                ;P00-P01:未使用

;-----
;   ポート1の設定
;-----
MOV   P1,  #00000000B      ;P10-P17の出力ラッチLow
MOV   PM1, #00000000B      ;P10-P17を出力ポートに設定
                                ;P10-P17:未使用

;-----
;   ポート2の設定
;-----
MOV   P2,  #00000000B      ;P20-P27の出力ラッチLow
MOV   PM2, #00000000B      ;P20-P27を出力ポートに設定
                                ;P20-P27:未使用

;-----
;   ポート3の設定
;-----
MOV   P3,  #00000000B      ;P30-P33の出力ラッチLow

```

```

MOV    PM3, #11110000B          ;P30-P33を出力ポートに設定
                                      ;P30-P33:未使用

;-----
;   ポート4の設定
;-----

MOV    P4, #00000000B          ;P40-P43の出力ラッチLow
MOV    PM4, #11110000B          ;P40-P43を出力ポートに設定
                                      ;P40-P43:未使用

;-----
;   ポート5の設定
;-----

MOV    P5, #00000000B          ;P50-P53の出力ラッチLow
MOV    PM5, #11110000B          ;P50-P53を出力ポートに設定
                                      ;P50-P53:未使用

;-----
;   ポート6の設定
;-----

MOV    P6, #00000000B          ;P60-P61の出力ラッチLow
MOV    PM6, #11111111B          ;P60-P61を入力ポートに設定
                                      ;P60:IICA通信用SCK0として使用
                                      ;P61:IICA通信用SDA0として使用

;-----
;   ポート7の設定
;-----

MOV    P7, #00000000B          ;P70-P77の出力ラッチLow
MOV    PM7, #00000000B          ;P70-P77を出力ポートに設定
                                      ;P70-77:未使用

;-----
;   ポート8の設定
;-----

MOV    P8, #00000000B          ;P80-P83の出力ラッチLow
MOV    PM8, #11110000B          ;P80-P83を出力ポートに設定
                                      ;P80-P83:未使用

;-----
;   ポート12の設定
;-----

MOV    P12, #00000000B          ;P120の出力ラッチLow

```

```

MOV    PM12, #11111110B      ;P120を出力ポートに設定
                                   ;P120-P124:未使用
                                   ;※P121-P124は入力ポート

;-----
;   ポート14の設定
;-----

MOV    P14, #00000000B      ;P140-P141の出力ラッチLow
MOV    PM14, #11111100B     ;P140-P141を出力ポートに設定
                                   ;P140-P141:未使用

;-----
;   ポート15の設定
;-----

MOV    P15, #00000000B      ;P150-P153の出力ラッチLow
MOV    PM15, #11110000B     ;P150-P153を出力ポートに設定
                                   ;P150-P153:未使用

RET

;*****
;
;   低電圧検出
;
;-----
;   低電圧検出回路の機能を使用し、2.7V以上の電源電圧を確保します。
;*****
SINILVI:
;低電圧検出回路の設定
SET1   LVIMK                  ;INTLVI割り込み禁止
CLR1   LVISEL                 ;検出電圧をVDDに設定
MOV     LVIS, #00001001B      ;低電圧検出レベル選択レジスタ
        ;|||+--- LVIS3-LVIS0
        ;||| [検出レベル]
        ;||| 0000:VLVI0 (4.22±0.1V)
        ;||| 0001:VLVI1 (4.07±0.1V)
        ;||| 0010:VLVI2 (3.92±0.1V)
        ;||| 0011:VLVI3 (3.76±0.1V)
        ;||| 0100:VLVI4 (3.61±0.1V)
        ;||| 0101:VLVI5 (3.45±0.1V)
        ;||| 0110:VLVI6 (3.30±0.1V)
        ;||| 0111:VLVI7 (3.15±0.1V)
        ;||| 1000:VLVI8 (2.99±0.1V)
        ;||| 1001:VLVI9 (2.84±0.1V)

```



```

;||| 1010:VLVI10(2.68±0.1V)
;||| 1011:VLVI11(2.53±0.1V)
;||| 1100:VLVI12(2.38±0.1V)
;||| 1101:VLVI13(2.22±0.1V)
;||| 1110:VLVI14(2.07±0.1V)
;||| 1111:VLVI15(1.91±0.1V)
;++++----- 必ず0に設定
CLR1 LVIMD ;低電圧検出時の動作モードを割り込み信号発生に設定
SET1 LVION ;低電圧検出動作許可

;低電圧検出回路の動作安定待ち(約10us)
MOV B, #10 ;カウント回数設定
HRES100:
NOP ;(1clk)
DEC B ; (1clk)
BNZ $HRES100 ;ウェイト完了? No, (2clk/4clk)

;VLVI≤VDDになるまでのウェイト
HRES300:
NOP
BT LVIF, $HRES300 ;VDD<VLVI? Yes,
CLR1 LVION ;低電圧検出動作停止

RET

;*****
;
; クロック周波数の設定
;
;-----
; 高速内蔵発振クロックで動作が行えるように設定します。
;*****
SINICKL:
MOV CMC, #0000000B ;クロック動作モード
;|||||+----- AMPH
;||||| [高速システム・クロック発振周波数の制御]
;||||| 0: 2MHz≤fMX<10MHz
;||||| 1: 10MHz<fMX≤20MHz
;|||||++----- AMPHS1-AMPHS0
;||||| [XT1発振回路の発振モード選択]
;||||| 00:低消費発振(デフォルト)
;||||| 01:通常発振
;||||| 10:超低消費発振

```

```

;||||| 11:超低消費発振
;|||||+----- 必ず0に設定
;|||+----- OSCSELS
;||| [サブシステム・クロック端子の動作モード]
;||| 0:入力ポート・モード
;||| 1:XT1発振モード
;||+----- 必ず0に設定
;++----- EXCLK/OSCSEL
; [高速システム・クロック端子の動作モード]
; 00:入力ポート・モード
; 01:X1発振モード
; 10:入力ポート・モード
; 11:外部クロック入力モード

MOV CSC, #11000000B ;クロック動作ステータス制御
;|||||+----- HI0STOP
;||||| [高速内蔵発振クロックの動作制御]
;||||| 0:高速内蔵発振回路動作
;||||| 1:高速内蔵発振回路停止
;||++++----- 必ず0に設定
;|+----- XTSTOP
;| [サブシステム・クロックの動作制御]
;| 0:XT1発振回路動作
;| 1:XT1発振回路停止
;+----- MSTOP
; [高速システム・クロックの動作制御]
; 0:X1発振回路動作
; 1:X1発振回路停止

MOV OSMC, #10000000B ;動作スピード・モード
;|||||++----- FSEL/FLPC
;||||| [fCLKの周波数選択]
;||||| 00:10MHz以下の周波数で動作（デフォルト）
;||||| 01:10MHzを越える周波数で動作
;||||| 10:1MHzの周波数で動作
;||||| 11:設定禁止
;|++++----- 必ず0に設定
;+----- RTCLPC
; [サブシステム・クロックHALTモード時の設定]
; 0:周辺機能へのサブシステム・クロック供給許可
; 1:リアルタイム・カウンタ以外の周辺機能への
; サブシステム・クロック供給停止

```

```

MOV   CKC, #00001000B      ;クロック選択
      ;|+|+++----- CSS/MCM0/MDIV2-MDIV0
      ;| | |              [CPU/周辺ハードウェア・クロック(fCLK)の選択]
      ;| | |              00000:fIH
      ;| | |              00001:fIH/2 (デフォルト)
      ;| | |              00010:fIH/2^2
      ;| | |              00011:fIH/2^3
      ;| | |              00100:fIH/2^4
      ;| | |              00101:fIH/2^5
      ;| | |              01000:FMX
      ;| | |              01001:FMX/2
      ;| | |              01010:FMX/2^2
      ;| | |              01011:FMX/2^3
      ;| | |              01100:FMX/2^4
      ;| | |              01101:FMX/2^5
      ;| | |              1xxxx:fSUB/2
      ;| | +----- 必ず1に設定
      ;| +----- MCS <Read Only>
      ;|              [メイン・システム・クロック(fMAIN)のステータス]
      ;|              0:高速内蔵発振クロック(fIH)
      ;|              1:高速システム・クロック(fMX)
      ;+----- CLS <Read Only>
      ;              [CPU/周辺ハードウェア・クロック(fCLK)のステータス]
      ;              0:メイン・システム・クロック(fMAIN)
      ;              1:サブシステム・クロック(fSUB)

MOV   DSCCTL, #00000000B ;20MHz高速内蔵発振制御
      ;|||||+----- DSCON
      ;|||||          [20MHz高速内蔵発振クロック(fIH20)の動作許可/禁止]
      ;|||||          0:動作禁止
      ;|||||          1:動作許可
      ;|||||+----- 必ず0に設定
      ;|||||+----- SELDSC
      ;|||||          [CPU/周辺ハードウェア・クロック(fCLK)への20MHz高速内蔵発振選択]
      ;|||||          0:20MHz高速内蔵発振を選択しない
      ;|||||          1:20MHz高速内蔵発振を選択
      ;|||||+----- DSCS <Read Only>
      ;|||||          [20MHz高速内蔵発振供給状態フラグ]
      ;|||||          0:供給していない
      ;|||||          1:供給している
      ;+++++----- 必ず0に設定

```

```
RET
```

```

;*****
;
;
;   メイン・ループ
;
;*****
MAIN_LOOP:
    ;-----
    ;通信待機中
    ;-----
    SET1  WUP                      ;ウエイク・アップ機能動作許可
    NOP                      ;ウエイト(3クロック以上)
    NOP
    NOP
    STOP                      ;STOPモードに移行

LMAIN000:
    BF    FMODE,    $MAIN_LOOP    ;データ通信中? No,
    BF    FDIR, $LMAIN500          ;通信方向は送信? No,
    ;-----
    ;送信時
    ;-----

LMAIN100:
    MOV   A,    RBUFPOS            ;受信データ・バッファの送受信位置
    MOV   B,    A
    MOV   A,    RRCVBUF[B]         ;送信データ取得
    ADD   A,    #010H              ;送信データの加工(+10H)
    MOV   IICA, A                  ;1バイト・データ送信

LMAIN300:
    HALT                          ;通信待機(HALTモード移行)
    BF    FMODE,    $MAIN_LOOP    ;データ通信中? No, (通信待機)
    BF    FDIR, $LMAIN500          ;送信? No,
    BF    FREADY,   $LMAIN300     ;レディ・フラグ? No,
    CLR1  FREADY                  ;レディ・フラグ(クリア)
    BT    ACKD, $LMAIN400          ;ACK検出? Yes,
    CLR1  FMODE                  ;通信モード・フラグ(クリア)
    SET1  WREL                    ;ウエイト解除

LMAIN400:
    INC   RBUFPOS                  ;受信データ・バッファの送受信位置の移動
    CMP   RBUFPOS, #RRCVBUFE-RRCVBUF
    BC    $LMAIN100                ;受信バッファの最終位置? No,
    CLR1  RBUFPOS                  ; Yes, 受信データ・バッファの送受信位置の初期化
    BR    LMAIN900

```

```

;-----
;受信時
;-----
LMAIN500:
    SET1  WREL                ;ウエイト解除
LMAIN700:
    HALT                    ;通信待機(HALTモード移行)
    BF    FMODE,    $MAIN_LOOP ;データ通信中? No,(通信待機)
    BT    FDIR, $LMAIN100      ;受信? No,
    BF    FREADY,    $LMAIN700 ;レディ・フラグ? No,
    MOV   A,    RBUFPOS        ;受信データ・バッファの送受信位置
    MOV   B,    A
    MOV   A,    IICA          ;1バイト・データ受信
    MOV   RRCVBUF[B],A        ;受信データの保存
    CLR1  FREADY              ;レディ・フラグ(クリア)
    SET1  WREL                ;ウエイト解除

    INC   RBUFPOS            ;受信データ・バッファの送受信位置の移動
    CMP   RBUFPOS,#RRCVBUFE-RRCVBUF
    BC    $LMAIN500          ;受信バッファの最終位置? No,
    CLR1  RBUFPOS            ; Yes,受信データ・バッファの送受信位置の初期化
LMAIN900:
    BR    MAIN_LOOP          ;MAIN_LOOPへ

;*****
;
;
;   INTIICA割り込み処理
;
;*****
;
IINTIICA:
    CLR1  WUP                ;ウエイク・アップ機能動作停止
    NOP                    ;5クロック待つ
    NOP
    NOP
    NOP
    NOP
    NOP
    BF    SPD, $HIICA300      ;ストップ・コンディション検出? No,
    ;-----
    ;ストップ・コンディション検出
    ;-----
    AND   RIICINFO,#00011111B
        ; ||+----- 通信方向フラグ(受信)
        ; |+----- 通信モード・フラグ(クリア)

```

```
                ; +----- レディ・フラグ(クリア)
BR    HIICA900
HIICA300:
BF    STD, $HIICA700                ;スタート・コンディション検出? No,
;-----
;スタート・コンディション検出
;-----
BF    COI, $HIICA500                ;アドレス一致? No,
;アドレス一致
MOV1  CY,   TRC                    ;通信方向フラグの設定
MOV1  FDIR, CY
SET1  FMODE                ;通信モード・フラグ(セット)
CLR1  FREADY                ;レディ・フラグ(クリア)
BR    HIICA900
HIICA500:
;アドレス不一致
AND   RIICINFO,#00011111B
                ; ||+----- 通信方向フラグ(受信)
                ; |+----- 通信モード・フラグ(クリア)
                ; +----- レディ・フラグ(クリア)
BR    HIICA900
;-----
;データ通信可能状態
;-----
HIICA700:
SET1  FREADY                ;レディ・フラグ(セット)
HIICA900:
RETI

end;
```

● Kx3-L_IICS.asm (C言語版)

/*****

NEC Electronics 78K0R/Kx3-Lシリーズ

78K0R/Kx3-Lシリーズ サンプル・プログラム

IICA (SLAVE送受信)

【履歴】

2008.11.14 新規作成

2009.1.30 全面改訂

2009.2.17 ウェイク・アップ処理を変更

【概要】

本サンプル・プログラムはシリアル・インタフェースIICAの使用例を示すものです。

IICAバスのスレーブ動作で、下記データの送受信を行います。

マスタは定期的に通信を行うため、STOPモードでマスタからの通信待ちを行います。

ウェイク・アップ機能により通信を開始した後は、基本的な動作はマスタからの指示に従います。基本的な動作は下記の通信フォーマットを対象にしますが、マスタからの指示を優先させます。通信が完了（マスタからのストップ・コンディションを検出したときや送信データに対してマスタがACK応答しなかった）時には通信を完了して次の通信待ち（STOPモード）に移行します。

自局アドレス : A0H

受信データ : 16バイト(任意)

送信データ : 16バイト(受信したデータを1バイトごとに+10Hしたものを送信)

通信フォーマットは下記を想定しています

[受信時] ST + ADR/W + DT*16 + SP

[送信時] ST + ADR/R + DT*16 + SP

ST : スタート・コンディション

SP : ストップ・コンディション

ADR/W : スレーブ・アドレス + W

ADR/R : スレーブ・アドレス + R

DT : データ

<初期設定の主な内容>

(オプション・バイトでの設定)

- ・ウォッチドッグ・タイマの動作禁止
- ・高速内蔵発振回路に1MHzを選択
- ・LVIデフォルト・スタート機能動作
- ・オンチップ・デバッグを動作許可に設定

(リセット解除後の初期化処理での設定)

- ・入出力ポートの設定
- ・低電圧検出回路の機能を使用し、2.7V以上の電源電圧を確保
- ・CPU／周辺ハードウェア・クロックを高速内蔵発振クロック動作の1MHzに設定
- ・X1/XT1発振回路の停止
- ・シリアル・インタフェースIICAの設定

<シリアル・インタフェースIICAの設定>

- ・スレーブ動作用に設定
- ・自局アドレスの設定
- ・動作許可

<入出力ポートの設定>

入力ポート：-

出力ポート：P60, P61

※未使用のポートで出力に設定できるものは全て出力ポートに設定しておく

```

*****/

```

```

/*=====

```

前処理指令（#pragma指令）

```

=====*/

```

```

#pragma SFR          /* 特殊機能レジスタ(SFR)名を記述可能にする */
#pragma NOP          /* NOP()を記述可能にする */
#pragma    HALT      /* HALT()を記述可能にする */
#pragma    STOP      /* STOP()を記述可能にする */
#pragma DI           /* DI()を記述可能にする */
#pragma EI           /* EI()を記述可能にする */

```

```

/*=====

```

割り込みハンドラ定義

```

=====*/

```

```

#pragma interrupt INTIICA INTIICA_hdr rb2 /* 転送完了割り込み */

```



```

/*=====
関数プロトタイプ宣言
=====*/

void hdwinit( void );          /* 機能初期化 */
static void f_ini_cpu(void);   /* CPU初期設定 */
static void f_ini_lvi(void);   /* 電源電圧立ち上がり待ち */
static void f_ini_port(void);  /* ポート初期設定 */
static void f_ini_reg(void);   /* 周辺レジスタ初期設定 */
static void f_ini_itr(void);   /* 割り込み初期設定 */
void main(void);              /* アプリケーションメイン */

/*=====
グローバル変数の定義
=====*/

static unsigned char ucom_mode_f; /* 通信モード・フラグ */
/* 0:データ通信を行っていない状態 */
/* 1:データ通信を行っている状態 */
static unsigned char ucom_dir_f; /* 通信方向フラグ */
/* 0:受信 */
/* 1:送信 */
static unsigned char ucom_rdy_f; /* 通信レディ・フラグ */
/* 0:データ通信不可 */
/* 1:データ通信可能 */

static unsigned char ucexit_f;
static unsigned char ucrecv_buf;
static unsigned char ucRxData[16]; /* 受信データ・バッファ（16バイト） */
static unsigned char ucRxpointer; /* 受信バッファのポインタ */
/*****
* Title : リセット解除後の初期化処理
*****
* Module : void hdwinit(void)
* Arg :
* Ret :
* -----
* Note :
*****/
void hdwinit(void)
{
    DI(); /* 割り込み禁止 */
    f_ini_port(); /* ポート初期設定 */
    f_ini_lvi(); /* 2.7V以上の電源電圧を確保 */
    f_ini_cpu(); /* CPU初期設定 */
    f_ini_reg(); /* 周辺レジスタ初期設定 */

```

```

    f_ini_itr();                                /* 割り込み初期設定 */
}

/*****
*   Title :    電源電圧検出
*****/

* Module: static void f_ini_lvi(void)
* Arg :
* Ret :
* -----
*   Note :    LVI機能を使い電源電圧が2.7V以上になるのを待ちます。
*****/

static void f_ini_lvi(void)
{
    unsigned char ucCnt10us;                    /* LVI起動待ち時間計測用 */
/*-----
;    低電圧検出回路の機能を使用し、2.7V以上の電源電圧を確保します。
;-----*/

    LVIMK = 1;                                /* INTLVI割り込み禁止 */
    LVIM = 0b00000000;                        /* 低電圧検出レジスの設定 */
/*
    |||||+--LVIFフラグ
    |||||
    |||||+---LVIMD: 低電圧検出の動作モード選択
    |||||          0 : 割り込みモード
    |||||          1 : リセット・モード
    |||||
    |||||+----LVISEL: 電圧検出の選択
    |||||          0 : 電源電圧 (VDD) のレベルを検出
    |||||          1 : 外部入力端子からの入力電圧のレベルを検出
    |||||
    |++++----- 必ず0に設定
    |
    +-----LVION: 低電圧検出動作許可
    0 : 動作禁止
    1 : 動作許可
*/

    LVIS = 0b00001001;                        /* 検出電圧の設定 */
/*
    |||++++--LVIS3-0: [検出レベル]
    |||          0000 : 4.22±0.1V
    |||          0001 : 4.07±0.1V
    |||          0010 : 3.92±0.1V

```

```

        |||| 0011 : 3.76±0.1V
        |||| 0100 : 3.61±0.1V
        |||| 0101 : 3.45±0.1V
        |||| 0110 : 3.30±0.1V
        |||| 0111 : 3.15±0.1V
        |||| 1000 : 2.99±0.1V
        |||| 1001 : 2.84±0.1V
        |||| 1010 : 2.68±0.1V
        |||| 1011 : 2.53±0.1V
        |||| 1100 : 2.38±0.1V
        |||| 1101 : 2.22±0.1V
        |||| 1110 : 2.07±0.1V
        |||| 1111 : 1.91±0.1V
        ||||
        ++++----- 必ず0に設定

*/

        LVION = 1; /* 低電圧検出動作許可 */

/*
        低電圧検出回路の動作安定待ち(約10us)
*/
        for( ucCnt10us = 0; ucCnt10us < 3; ucCnt10us++ ){
                NOP();
                NOP();
        }

/*
        VLVI≦VDDになるまでのウェイト
*/
        while(LVIF){
                NOP();
        }
        LVION = 0; /* 低電圧検出動作停止 */
}

/*****
* Title : CPU初期設定
*****/
* Module : static void f_ini_cpu(void)
* Arg :
* Ret :
* -----

```

* Note :

*****/

```
static void f_ini_cpu(void)
```

```
{
```

```
/*-----
```

```
; 動作クロックを内蔵高速発振器(8MHz)に設定します。
```

```
;-----*/
```

```
CMC = 0b00000000; /* クロック動作モード制御レジスタ(CMC) */
```

```
/* |||||+---AMPH: 高速システム・クロック発振周波数の制御
```

```
||||| 0 : 2MHz<=fMX<=10MHz
```

```
||||| 1 : 10MHz<=fMX<=20MHz
```

```
|||||
```

```
|||||+---AMPHS1,AMPS0: XT1発振回路の発振モード選択
```

```
||||| 00 : 低消費発振(デフォルト)
```

```
||||| 01 : 通常発振
```

```
||||| 1x : 超低消費発振
```

```
|||||
```

```
||+|+----- 必ず0に設定
```

```
|| |
```

```
|| +-----OSCELS: サブシステム・クロック端子の動作モード
```

```
|| 0 : 入力ポート・モード
```

```
|| 1 : XT1発振モード
```

```
++-----EXCLK,OSCESEL: 高速システム・クロック端子の動作モード
```

```
00 : 入力ポート・モード
```

```
01 : X1発振モード
```

```
10 : 入力ポート・モード
```

```
11 : 外部クロック入力モード
```

```
*/
```

```
CSC = 0b11000000; /* クロック動作ステータス制御レジスタ(CSC) */
```

```
/* |||||+---HI0STOP: 高速内蔵発振クロックの動作制御
```

```
||||| 0 : 高速内蔵発振回路動作
```

```
||||| 1 : 高速内蔵発振回路停止
```

```
|||||
```

```
||+++++--- 必ず0に設定
```

```
||
```

```
|+-----XTSTOP: サブシステム・クロックの動作制御
```

```
| 0 : XT1発振回路動作
```

```
| 1 : XT1発振回路停止
```

```
|
```

```
+-----MSTOP: 高速システム・クロックの動作制御
```

```
0 : X1発振回路動作
```

1 : X1発振回路停止

*/

```

CKC = 0b00001000;          /* システム・クロック制御レジスタ(CKC) */
/*
    | + | + | + + - - CSS, MCM0, MDIV2, MDIV1, MDIV0:
    | | |                      CPU/周辺ハードウェア・クロックの選択
    | | |                      00000 : fIH
    | | |                      00001 : fIH/2
    | | |                      00010 : fIH/4
    | | |                      00011 : fIH/8
    | | |                      00100 : fIH/16
    | | |                      00101 : fIH/32
    | | |                      01000 : fMX
    | | |                      01001 : fMX/2
    | | |                      01010 : fMX/4
    | | |                      01011 : fMX/8
    | | |                      01100 : fMX/16
    | | |                      01101 : fMX/32
    | | |                      1xxxx : fSUB/2
    | | |
    | | +----- 必ず1に設定
    | |
    | +----- MCS: メイン・システム・クロック(fMAIN)のステータス
    |                      0 : 高速内蔵発振クロック(fIH)
    |                      1 : 高速システム・クロック(fMX)
    |
    +----- CLS: CPU/周辺ハードウェア・クロック(fCLK)のステータス
    |                      0 : メイン・システム・クロック(fMAIN)
    |                      1 : サブシステム・クロック(fSUB)

```

*/

```

DSCCTL = 0b00000000;      /* 6) 20 MHz高速内蔵発振制御レジスタ(DSCCTL) */
/*
    ||||| +-- DSCON: 20 MHz高速内蔵発振クロックの動作許可/禁止
    |||||          0 : 動作禁止
    |||||          1 : 動作許可
    |||||
    +---+ | +--- 必ず0に設定
    ||
    | +--- SELDSC: CPU/周辺ハードウェア・クロック(fCLK) への20 MHz高速内蔵発振選択
    |                      0 : 20 MHz高速内蔵発振を選択しない
    |                      1 : 20 MHz高速内蔵発振を選択
    |
    +----- 20 MHz高速内蔵発振供給状態フラグ

```

*/

/*-----

; 周辺機能へのクロック供給（イネーブル・レジスタ）

;-----*/

/*

この段階では周辺機器へのクロック供給は禁止しておく

*/

PER0 = 0b00000000; /* 周辺イネーブル・レジスタ0(PER0) */

/* | + | | + | ++ -- 必ず0に設定

| | |

| | +----SAU0EN: シリアル・アレイ・ユニットの入カクロックの制御

| | 0 : 入カクロック供給停止

| | 1 : 入カクロック供給

| |

| | +-----IICAEN: シリアル・インタフェースIICAの入カクロックの制御

| | 0 : 入カクロック供給停止

| | 1 : 入カクロック供給

| |

| +-----ADCEN: A/Dコンバータの入カクロックの制御

| 0 : 入カクロック供給停止

| 1 : 入カクロック供給

|

+-----RTCEN: リアルタイム・カウンタ(RTC)の入カクロックの制御

0 : 入カクロック供給停止

1 : 入カクロック供給

*/

PER1 = 0b00000000; /* 周辺イネーブル・レジスタ1(PER1) */

/* ++++ | +++ -- 必ず0に設定

+-----OACMPEN: オペアンプの入カクロックの制御

0 : 入カクロック供給停止

1 : 入カクロック供給

*/

PER2 = 0b00000000; /* 周辺イネーブル・レジスタ2(PER2) */

/* ++++++ | -- 必ず0に設定

|

+----TAU0EN: タイマ・アレイ・ユニットTAUSの入カクロックの制御

0 : 入カクロック供給停止

1 : 入力クロック供給

```

*/
/*-----
;   動作スピード・モード制御レジスタ(OSMC)
;-----*/

/*

    設定はデフォルトのままでいいので設定は省略

*/
    OSMC =      0b00000000;          /* 動作スピード・モード制御レジスタ(OSMC) */
/*      |+++++|-- 必ず0に設定
      |      ||
      |      +-+--FLPC,FSEL: fCLKの周波数選択
      |
      |          00 : 10MHz以下の周波数で動作(デフォルト)
      |          01 : 10MHzを越える周波数で動作
      |          10 : 1MHz以下の周波数で動作
      |          11 : 設定禁止
      |
      +-----RTCLPC: サブシステム・クロックHLATモード時の設定
      |          0 : 周辺機能へのサブシステム・クロック供給許可
      |          1 : RTC以外の周辺機能へのサブシステム・クロック供給停止
*/
}

/*****
* Title   : ポート初期設定
*****/
* Module : static void f_ini_port(void)
* Arg    :
* Ret    :
*-----
* Note   :
*****/
static void f_ini_port(void)
{
/*****
;   ポート0の設定(未使用)
;
; *****/
;

```

```

P0 = 0b00000000;          /* P01,P00を0に設定          */
PM0 = 0b11111100;          /* P01,P00を出力に設定        */

/*****
;   ポート1の設定（未使用）
;
; *****/

P1 = 0b00000000;          /* 全ての出力ラッチを0に設定する  */
PM1 = 0b00000000;          /* P17～P10を出力に設定する        */

/*****
;   ポート2の設定（未使用）
;
; *****/
/* ADPCは設定しないが参考として示す
ADPC = 0b00010000;*/          /* A/Dポート・コンフィギュレーション・
                                レジスタ（ADPC）：全てデジタルに */

P2 = 0b00000000;          /* 全ての出力ラッチを0に設定        */
PM2 = 0b00000000;          /* 全てのビットを出力に設定        */

/*****
;   ポート3の設定(未使用)
;
; *****/
/* P1M3とP0M3は設定しないが参考として示す
P1M3 = 0b00000000;*/          /* P32～P33は通常入力            */
/* P0M3 = 0b00000000;*/          /* P32～P30は通常出力モード        */
P3 = 0b00000000;          /* P33～P30の出力ラッチを0に設定    */
PM3 = 0b11110000;          /* 全てのビットを出力に設定        */

/*****
;   ポート4の設定（未使用）
;
; *****/

P4 = 0b00000000;          /* P43～P40の出力ラッチを0に設定    */
PM4 = 0b11110000;          /* 全てのビットを出力に設定        */

/*****
;   ポート5の設定（未使用）
;
; *****/

```



```

;*****/
P5 = 0b00000000; /* P53～P50の出力ラッチを0に設定 */
PM5 = 0b11110000; /* 全てのビットを出力に設定 */

/*****
; ポート6の設定
;
; P60 : SCL0で使用
; P61 : SDA0で使用
;
;*****/

P6 = 0b00000000; /* P61～P60の出力ラッチを0に設定 */
PM6 = 0b11111111; /* この段階では入力に設定 */

/*****
; ポート7の設定（未使用）
;
;*****/
/* PIM7とPOM7は設定しないが参考として示す
PIM7 = 0b00000000; /* P75～4、P72～1は通常入力 */
/* POM7 = 0b00000000; /* P75、P73～2、P70は通常出力モード */
P7 = 0b00000000; /* P77～P70の出力ラッチを0に設定 */
PM7 = 0b00000000; /* 全てのビットを出力に設定 */

/*****
; ポート8の設定（未使用）
;
;*****/
/* PIM8は設定しないが参考として示す
PIM8 = 0b00001111; /* P83～P80はデジタル入力許可 */
P8 = 0b00000000; /* P83～P80の出力ラッチを0に設定 */
PM8 = 0b11110000; /* 全てのビットを出力に設定 */

/*****
; ポート12の設定(未使用)
;
;*****/

P12 = 0b00000000; /* P124～P120の出力ラッチを0に設定 */
PM12 = 0b11111110; /* P120を出力に設定する */

```

```

/*****
;   ポート 1 4 の設定（未使用）
;
; *****/

P14 = 0b00000000;          /* P141～P140の出力ラッチを0に設定 */
PM14 = 0b11111100;         /* 全てのビットを出力に設定 */

/*****
;   ポート 1 5 の設定（未使用）
;
; *****/

P15 = 0b00000000;          /* P153～P150の出力ラッチを0に設定 */
PM15 = 0b11110000;         /* 全てのビットを出力に設定 */

}

/*****
* Title   : 周辺レジスタ初期設定
*****

* Module : static void f_ini_reg(void)
* Arg    :
* Ret    :
* -----

* Note   :
*****/

static void f_ini_reg(void)
{
    /*-----
    -   IICAへの入力クロック供給
    -----*/
    IICAEN = 1;              /* 入力クロック供給 */

    /*-----
    -   通信速度の設定
    -----*/
    IICWL = 11;

    /*-----
    -   LOWレベル幅設定
    -   IICWL(IICAロウ・レベル幅設定レジスタ0):fCLK カウント値
    -----*/
    IICWH = 9;

```

```

/*-----
-   HIGHレベル幅設定
-   IICWH(IICAハイ・レベル幅設定レジスタ0):fCLK カウント値
-----*/

/*-----
-   自局アドレス
-----*/
SVA    = 0xA0;

/*-----
-   開始条件設定
-----*/
IICF =    0b00000000; /*(IICF:IICAフラグ・レジスタ)
-   |||||
-   |||||+--- IICRSV[通信予約機能禁止ビット]
-   |||||          ☆   0 : 通信予約許可
-   |||||          1 : 通信予約禁止
-   |||||
-   |||||+---- STCEN[初期スタート許可トリガ]
-   |||||          ☆   0 : 動作許可(IICE = 1)後ストップ・コンディションの
-   |||||          検出により、スタート・コンディション生成許可
-   |||||          1 : 動作許可(IICE = 1)後ストップ・コンディションを
-   |||||          検出せずに、スタート・コンディション生成許可)
-   |||||
-   ||++++----- 必ず0に設定
-   ||
-   |+----- IICBSY (R0)[IICAバス状態フラグ]
-   |          0 : バス解放状態(STCEN = 1時の通信初期状態)
-   |          1 : バス通信状態(STCEN = 0時の通信初期状態)
-   |
-   +----- STCF   (R0)[STTクリア・フラグ]
-   |          0 : スタート・コンディション発行
-   |          1 : スタート・コンディション発行できず、
-   |          STT0フラグ・クリア

*/

/*-----
-   動作設定
-----*/
IICCTL0 =    0b00011100; /*(IICCTL0:IICAコントロール・レジスタ0)
-   |||||

```

```

- |||||+--- SPT[ストップ・コンディション・トリガ]
- ||||| 0 : ストップ・コンディションを生成しない
- ||||| 1 : ストップ・コンディションを生成する
- |||||
- |||||+---- STT[スタート・コンディション・トリガ]
- ||||| 0 : スタート・コンディションを生成しない
- ||||| 1 : スタート・コンディションを生成する
- |||||
- ||||+----- ACKE[アクノリッジ制御]
- |||| 0 : アクノリッジを禁止
- |||| ☆ 1 : アクノリッジを許可
- ||||
- ||||+----- WTIM[ウェイトおよび割り込み要求発生の制御]
- |||| 0 : 8クロック目の立ち下がりで割り込み要求発生
- |||| ☆ 1 : 9クロック目の立ち下がり
- ||||
- |||+----- SPIE[ストップ・コンディション検出による割り込み
- ||| 要求発生の許可／禁止]
- ||| 0 : ストップ・コンディション割り込み要求禁止
- ||| ☆ 1 : ストップ・コンディション割り込み要求許可
- |||
- ||+----- WREL[ウェイト解除]
- || 0 : ウェイトを解除しない
- || 1 : ウェイトを解除する
- ||
- |+----- LREL[通信退避]
- | 0 : 通常動作
- | 1 : 待機状態
- |
- +----- IICE[IICAの動作許可]
- 0 : 動作停止
- 1 : 動作許可

*/

/* ACKE(1) */
/* WTIM(1) */
/* SPIE(0) */

IICE = 1; /* 動作許可 */

/*-----
- 兼用端子設定
-----*/

P6 = 0b00000000; /* 出力ラッチを 0 に設定する */

```

```

    PM6 = 0b11111100;          /* P60(SDA0)とP61(SDA0)を出力に設定する
        - |||||
        - |||||+--- P60:SCL0
        - |||||+---- P61:SDA0
        - |||||
        - ++++++----- ここは固定値
    */
}

/*****
* Title : 割込初期設定
*****/

* Module : static void f_ini_itr(void)
* Arg    :
* Ret    :
* -----

* Note   :
*****/

static void f_ini_itr(void)
{
    /*-----
    -   割り込み要求フラグ・レジスタ
    -----*/
    IICAIF = 0;          /* IICA割り込み要求クリア */

    /*-----
    -   割り込みマスク・フラグ・レジスタ
    -----*/
    IICAMK = 0;          /* INTIICA割り込みマスク解除 */
}

/*****
* Title : 割込処理
*****/

* Module : __interrupt void INTIICA_hdr(void)
* Arg    :
* Ret    :
* -----

* Note   : 3つのフラグで割り込みの状態を示す。
*
*   mode、dir、rdy
*
*   0   0   0   : STOPコンディション検出（非通信中）
*   1   0   0   : スレーブ受信で選択された（アドレス一致）
*   1   1   0   : スレーブ送信で選択された（アドレス一致）

```

```

*      1   0   1   : データ受信完了
*      1   1   1   : データ送信完了
*****/

__interrupt void INTIICA_hdr(void)
{
    WUP = 0;                /* ウェイク・アップ禁止 */
    NOP();                  /* 5クロック待つ */
    NOP();
    NOP();
    NOP();
    NOP();
    if (SPD == 1){          /* ストップ・コンディション検出の場合 */
        uccom_dir_f = 0;    /* 通信方向フラグ(受信) */
        uccom_mode_f = 0;   /* 通信モード・フラグ(クリア) */
        uccom_rdy_f = 0;    /* レディ・フラグ(クリア) */
    }
    else if (STD == 1){     /* スタート・コンディション検出の場合 */
        if (COI == 1){     /* アドレス一致の場合 */
            if (TRC == 1){  /* 送信時 */
                uccom_dir_f = 1; /* 通信方向フラグ(送信) */
            }
            else {          /* 受信時 */
                uccom_dir_f = 0; /* 通信方向フラグ(受信) */
            }

            uccom_mode_f = 1; /* 通信モード・フラグ(セット) */
            uccom_rdy_f = 0; /* レディ・フラグ(クリア) */
        }
        else {             /* アドレス不一致の場合 */
            uccom_dir_f = 0; /* 通信方向フラグ(受信) */
            uccom_mode_f = 0; /* 通信モード・フラグ(クリア) */
            uccom_rdy_f = 0; /* レディ・フラグ(クリア) */
        }
    }
    else {                 /* データ送受信の場合 */
        uccom_rdy_f = 1;    /* レディ・フラグ(セット) */
    }
}

/*****
* Title : メイン・ループ
*****
* Module : void main(void)

```

```

* Arg      :
* Ret      :
*-----
* Note     :
*****/

void main(void)
{

    /*
        フラグを非通信状態に初期化しておく
    */
    uccom_mode_f = 0;          /* 通信モードを非通信に */
    uccom_dir_f  = 0;          /* 通信方向を受信に */
    uccom_rdy_f  = 0;          /* レディ・フラグをビジーに */

    EI();

    while(1) {                 /* メイン処理の無限ループ */

        /*
            通信待機に入る
        */
        WUP = 1;               /* ウェイク・アップ動作許可 */
        NOP();
        NOP();
        NOP();
        STOP();                /* 通信待機状態 */
        /*
            マスタの通信開始による割り込みでウェイク・アップして、通信動作を
            開始する。
        */
        ucRxpointer = 0;       /* ポインタを初期化 */
        while(uccom_mode_f){   /* 通信中である間は処理を行う */
            if(uccom_dir_f){   /* 通信方向フラグの確認 */
                /*
                    データ送信処理
                */
                IICA = ucRxData[ucRxpointer]+0x10; /* データ送信 */

                HALT();         /* 送信完了待ち */
                if(uccom_mode_f){ /* 通信継続中 */
//                    if(uccom_dir_f){ /* 送信のまま */
//                        if(uccom_rdy_f){ /* 送信継続 */

```

```

        if(ACKD){                                /* A C K応答（送信継続） */
            ucRxpointer++;                        /* 次のデータへ */
            ucRxpointer &= 0b00001111;
            uccom_rdy_f = 0;
        }
        else{                                    /* N A C K応答、送信中止 */
            uccom_mode_f = 0;                    /* 通信フラグをクリア */
            WREL = 1;                            /* 送信中止 */
        }
//      }
//      else{                                    /* リスタートで最初から */
//          ucRxpointer = 0;                    /* ポインタを初期化 */
//      }
//      /*
//      1キャラクタの送信完了
//      */
//      }
    }
}
else{
    /*
    データ受信処理
    */
    if(uccom_rdy_f){                            /* データ受信完了 */
        ucRxData[ucRxpointer] = IICA;          /* 受信データを保存 */
        ucRxpointer++;                          /* 次のデータへ */
        ucRxpointer &= 0b00001111;
        uccom_rdy_f = 0;

        }
        WREL = 1;                              /* 次の受信の起動 */
        HALT();                                /* 次の通信完了待ち */
    }
}
LREL = 1;
/*
一連の通信処理が完了して、通信待機状態に戻る
*/
}
}

```


付録B 改版履歴

版 数	発行年月	改版箇所	改版内容
第1版	-	—	—

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

お問い合わせ先

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

【営業関係，デバイスの技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

【マイコン開発ツールの技術関係お問い合わせ先】

開発ツールサポートセンター

電 話：044-435-9494

E-mail：info@necel.com

E-mail：toolsupport-micom@ml.necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特约店へお申し付けください。
