

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 7549グループ、R8C/3GDグループ

### 7549グループとR8C/3GDグループの相違点

---

#### 1. 要約

この資料は、7549グループからR8C/3GDグループへ置き換えを行う際に、相違点を確認するための参考資料です。

各機能の詳細については、データシート、ハードウェアマニュアル、及びソフトウェアマニュアルを参照ください。

#### 2. はじめに

この資料は：7549グループ、R8C/3GDグループ

・マイコン

### 3. 概要比較

#### 3.1 機能及び仕様の相違点

表3.1～表3.3に7549グループとR8C/3GDグループの機能及び仕様の相違点を示します。

表3.1 7549グループとR8C/3GDグループの相違点(1)

	7549グループ	R8C/3GDグループ
	QzROM	Flash
CPU (中央演算処理装置)	740ファミリコア ・基本命令数: 71命令 ・最小命令実行時間: 0.25 $\mu$ s (f(XIN)=8MHz、倍速モード時、 VCC=4.5~5.5V) ・動作モード: シングルチップモード	R8C CPUコア ・基本命令数: 89命令 ・最小命令実行時間: 50ns (f(XIN)=20MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=1.8~5.5V) ・乗算器: 16ビット×16ビット→32ビット ・積和演算命令: 16ビット×16ビット+32ビット→32ビット ・動作モード: シングルチップモード (アドレス空間: 1Mバイト)
対象品種	M37549G1FP, M37549G1-XXXFP M37549G2FP, M37549G2-XXXFP M37549G3FP, M37549G3-XXXFP	R5F213G1DNSP, R5F213G1DDSP R5F213G2DNSP, R5F213G2DDSP R5F213G4DNSP, R5F213G4DDSP R5F213G5DNSP, R5F213G5DDSP R5F213G6DNSP, R5F213G6DDSP
パッケージ	PRSP0024GA-A(旧型名24P2Q-A) : 24Pin SSOP (5.3mm×10.1mm, 0.80mm pitch)	PLSP0024JB-A(旧型名24P2F-A) : 24Pin LSSOP (5.6mm×7.0mm, 0.65mm pitch)
ROMタイプ: ROM/RAMサイズ	2KB/196B, 4KB/256B, 6KB/256B	4KB/1KB, 8KB/1KB, 16KB/1KB dd 24KB/1KB, 32KB/1KB
電圧検出回路	・電圧低下検出回路内蔵	・電圧検出3点 (電圧検出0、電圧検出1は 検出レベル選択可能)
パワーオンリセット	あり	あり
プログラマブル 入出力ポート	・出力専用: 1 ・CMOS入出力: 19、 ポートP0、P1はプルアップ抵抗選択可能 ・大電流駆動ポート: 8	・入力専用: 1 ・CMOS入出力: 19、プルアップ抵抗選択可能 ・大電流駆動ポート: 19
クロック発生回路	・XIN-XOUT メインクロック(最大8MHz) ・XCIN-XCOUT サブクロック(32kHz) ・高速オンチップオシレータ(約4MHz) ・低速オンチップオシレータ(約250kHz) クロック分周比: 1, 2, 4, 8分周選択	・XIN-XOUT メインクロック(最大20MHz) ・XCIN-XCOUT サブクロック(32kHz) ・高速オンチップオシレータ(約40MHz) ・低速オンチップオシレータ(約125kHz) ・ウォッチドッグタイマ用低速オンチップオシレータ クロック分周比: 1, 2, 4, 8, 16分周選択
発振停止検出機能	あり (発振停止検出時、内部リセット発生)	あり (発振停止検出時、割り込み要求発生)
低消費電力モード	・ウェイトモードあり ・ストップモードあり	・ウェイトモードあり (周辺機能クロック停止機能あり) ・ストップモードあり
割り込み	・割り込みベクタ数: 12 ・割り込みベクトル番地、及び優先順位は固定	・割り込みベクタ数: 69 ・固定ベクタテーブル、及び可変ベクタテーブル ・マスカブル割り込みは割り込み優先レベル による優先順位の変更が可能 (割り込み優先レベル: 7レベル)

表3.2 7549グループとR8C/3GDグループの相違点(2)

	7549グループ	R8C/3GDグループ
	QzROM	Flash
ウォッチドッグタイマ	<ul style="list-style-type: none"> <li>・16ビット×1</li> <li>・リセットスタート機能選択可能 (FSROM2のビット2)</li> <li>・ウォッチドッグタイマ用 低速オンチップオシレータ選択可能</li> </ul>	<ul style="list-style-type: none"> <li>・14ビット×1(プリスケアラ付)</li> <li>・リセットスタート機能選択可能 (OFSレジスタのWDTONビット)</li> <li>・ウォッチドッグタイマ用 低速オンチップオシレータ選択可能</li> </ul>
タイマ	<タイマ1> <ul style="list-style-type: none"> <li>・8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)</li> </ul>	<タイマRA> <ul style="list-style-type: none"> <li>・8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ) パルス出力モード(周期毎のレベル反転出力) イベントカウンタモード パルス幅測定モード パルス周期測定モード</li> </ul>
	<タイマ2> <ul style="list-style-type: none"> <li>・8ビット×1 タイマモード(周期タイマ) パルス出力モード(周期毎のレベル反転出力)</li> </ul>	<タイマRB> <ul style="list-style-type: none"> <li>・8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ) プログラマブル波形発生モード(PWM出力) プログラマブルワンショット発生モード プログラマブルウェイトワンショット発生モード</li> </ul>
	<タイマA> <ul style="list-style-type: none"> <li>・16ビット×1 タイマモード(周期タイマ) アウトプットコンペア機能3本 インプットキャプチャ機能1本</li> </ul>	<タイマRC> <ul style="list-style-type: none"> <li>・16ビット×1 タイマモード(アウトプットコンペア機能4本) タイマモード(インプットキャプチャ機能4本) PWMモード(出力3本) PWM2モード(出力1本)</li> </ul>
	-	<タイマRE> <ul style="list-style-type: none"> <li>・8ビットカウンタ、及び4ビットカウンタ リアルタイムクロックモード</li> </ul>
シリアルインターフェース	1チャンネル UART又はクロック同期形	2チャンネル(UART0、UART2) UART0: UART又はクロック同期形 UART2: UART、クロック同期形、I2Cモード、 またはマルチプロセッサ通信機能
A/Dコンバータ	10ビット分解能×8チャンネル	10ビット分解能×8チャンネル (サンプル&ホールドあり、掃引モードあり)
コンパレータ	-	<ul style="list-style-type: none"> <li>・コンパレータA: 2回路(電圧監視1、電圧監視2と兼用) 外部基準電圧入力可能</li> <li>・コンパレータB: 2回路</li> </ul>
リセット	<ul style="list-style-type: none"> <li>・ハードウェアリセット</li> <li>・パワーオンリセット</li> <li>・電圧低下検出リセット</li> <li>・ウォッチドッグタイマリセット</li> <li>・STP命令機能によるリセット</li> <li>・発信停止検出リセット</li> </ul>	<ul style="list-style-type: none"> <li>・ハードウェアリセット</li> <li>・パワーオンリセット</li> <li>・電圧監視0リセット</li> <li>・ウォッチドッグタイマリセット</li> <li>・ソフトウェアリセット</li> </ul>

表3.3 7549グループとR8C/3GDグループの相違点(3)

	7549グループ	R8C/3GDグループ
	QzROM	Flash
コールドスタート/ ウォームスタート 判定機能	なし	あり
リセット要因判別機能	あり (発振低下検出リセットの判別可能)	あり (ハードウェアリセット、ソフトウェアリセット、 ウォッチドッグタイマリセットの判別可能)
リセット及びストップ モード復帰時の 動作モード	リセット解除後: 低速オンチップオシレータの8分周クロック ストップモード復帰時: ストップモード直前に使用していたクロック	リセット解除後: 低速オンチップオシレータクロックの 分周なしクロック ストップモード復帰時: ストップモード直前に使用していた クロックの8分周クロック
フラッシュメモリ	-	<ul style="list-style-type: none"> <li>・プログラム、イレーズ電圧: VCC=2.7~5.5V</li> <li>・プログラム、イレーズ回数: 1,000回(プログラムROM)</li> <li>・プログラムセキュリティ: ROMコードプロテクト、IDコードチェック</li> <li>・デバッグ機能: オンチップデバッグ、オンボードフラッシュ 書き換え機能</li> </ul>
機能設定ROM領域	機能設定ROM(FFD8h~FFDAh): 発振方式選択可能 電圧低下検出回路の有効/無効選択可能 WDTの許可/禁止選択可能 STP命令選択可能 ROMコードプロテクト(FFDBh): “00”を設定することによりシリアルプログラマ での内蔵QzROM領域の読み出し及び 書き込みを禁止します	オプション機能選択レジスタ(FFFFh): リセット後のWDTの起動/停止選択可能 ROMコードプロテクトの設定可能 電圧検出0レベル、及び有効/無効選択可能 カウントソース保護モード有効/無効選択可能 オプション機能選択レジスタ(FFDBh): WDTアンダフロー周期選択可能 WDTタイマリフレッシュ受付周期選択可能
電源電圧	1.8V~5.5V	1.8V~5.5V
消費電流	標準6.0mA (VCC=5V、f(XIN)=8MHz、倍速モード) 標準190µA (VCC=2V、f(XIN)=2MHz、低速モード) 標準23µA (VCC=2V、ウェイトモード (f(XCIN)=32.768kHz)) 標準0.1µA (VCC=2V、ストップモード)	標準6.5mA (VCC=5V、f(XIN)=20MHz) 標準3.5mA (VCC=3V、f(XIN)=10MHz) 標準3.5µA (VCC=3V、ウェイトモード (f(XCIN)=32.768kHz)) 標準2.0µA (VCC=3V、ストップモード)
動作周囲温度	-20~85°C	-20~85°C(Nバージョン) -40~85°C(Dバージョン)

※上表は、相違点を示したものであり、すべての仕様や規格を示しているものではありません。  
 詳細仕様及び電気的特性を必ずデータシート、もしくはハードウェアマニュアルでご確認ください。

3.2 ピン配置比較

図3.1に7549グループピン配置図、図3.2にR8C/3GDグループピン配置図を示します。

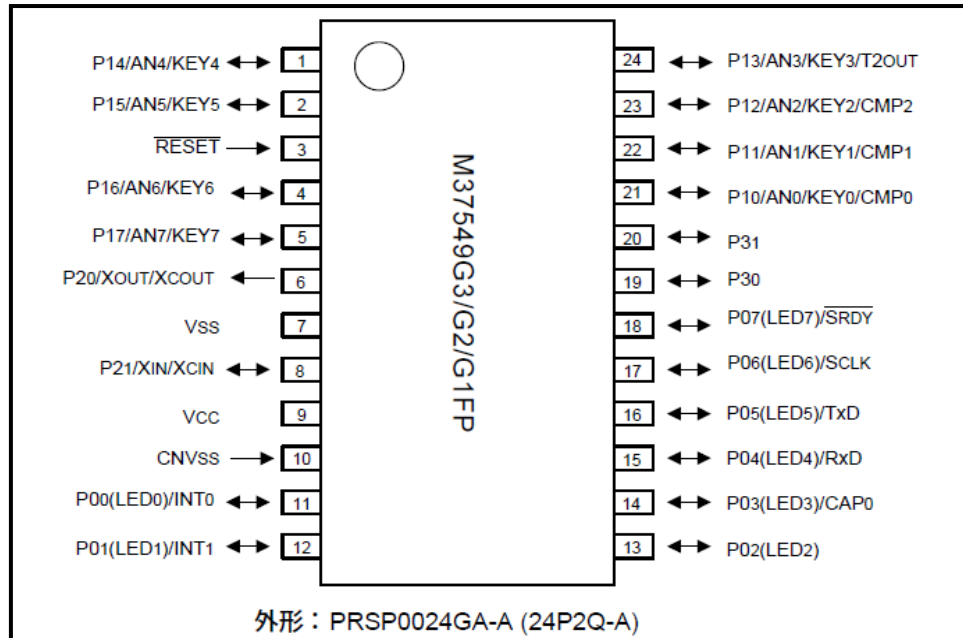


図3.1 7549グループピン配置図

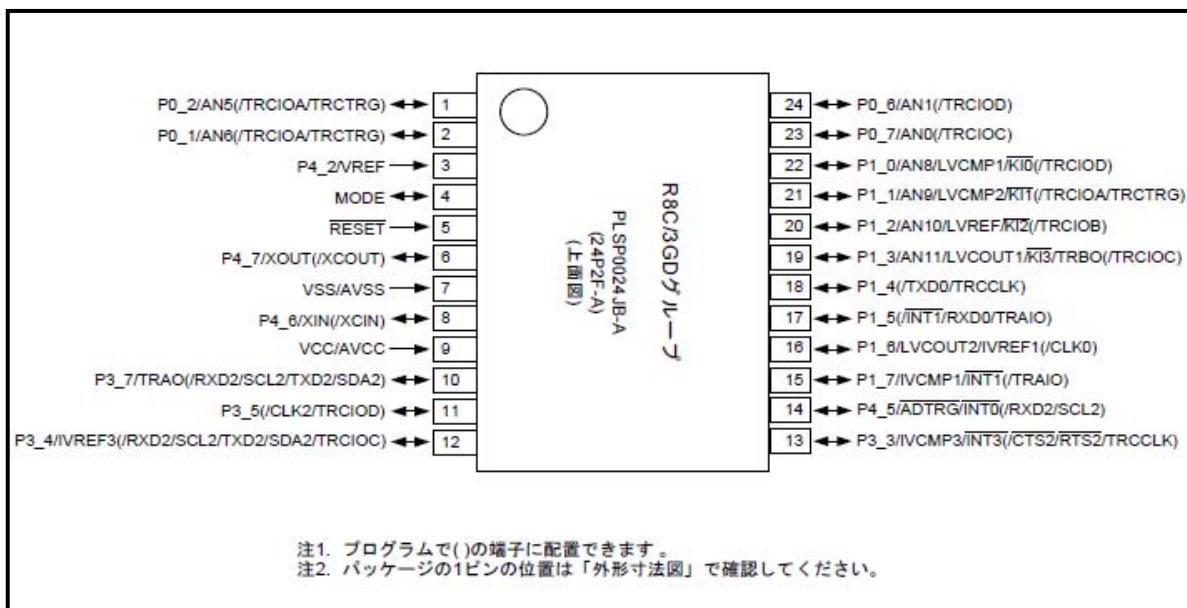


図3.2 R8C/3GDグループピン配置図

3.3 メモリ配置比較

図3.3に7549グループのメモリ配置図、図3.4にR8C/3GDグループのメモリ配置図を示します。

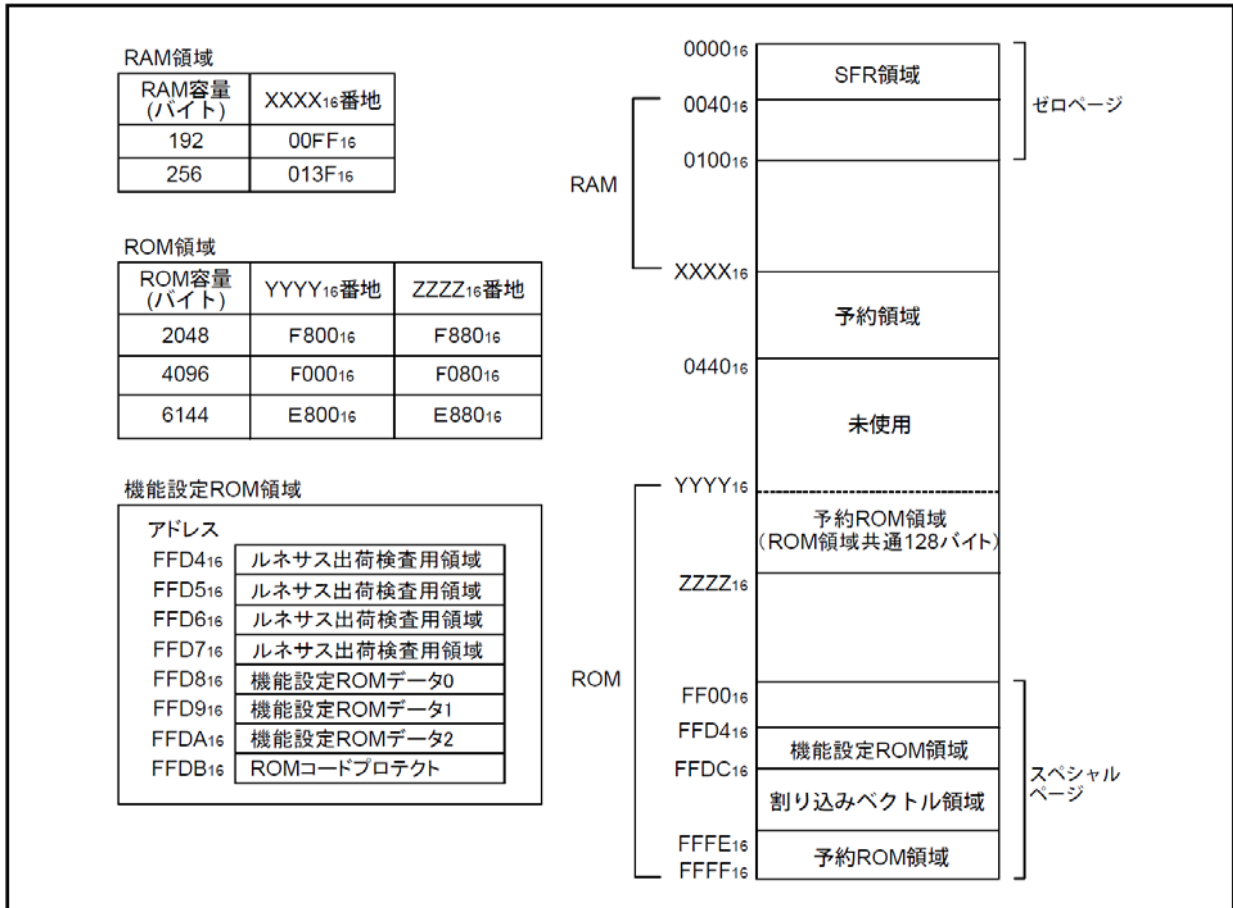


図3.3 7549グループのメモリ配置図



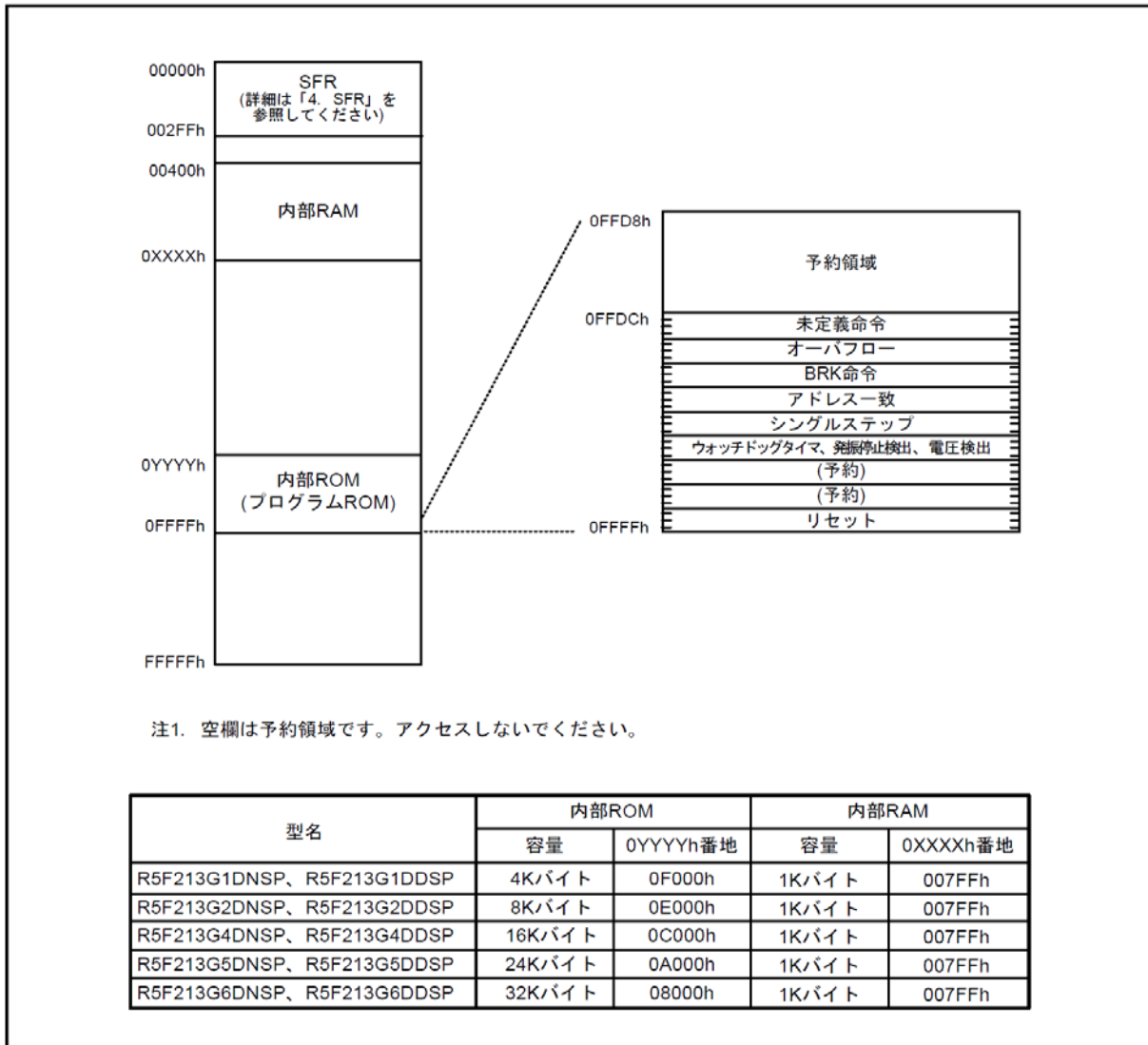


図3.4 R8C/3GDグループのメモリ配置図

### 3.4 割り込みの相違点

表3.4に7549グループとR8C/3GDグループの割り込みの相違点を示します。

また、表3.5に7549グループの固定ベクタテーブル、表3.6にR8C/3GDの固定ベクタテーブル、表3.7にR8C/3GDの可変ベクタテーブルを示します。

表3.4 7549グループとR8C/3GDグループの割り込みの相違点

	7549グループ	R8C/3GDグループ
割り込みベクタ数	12 (外部4要因、内部7要因、ソフトウェア1要因)	69 (外部割り込み入力: 7 (INT×3、キー入力×4))
割り込みベクタテーブル	固定ベクタテーブル (1ベクタは2バイト)	固定ベクタテーブル、及び可変ベクタテーブル (1ベクタは4バイト)
割り込み優先レベル	固定	マスカブル割り込み: 変更可能 (優先レベル選択ビット(ILVL2~ILVL0)により任意に設定可能) ノンマスカブル割り込み: 固定
割り込み要求受付条件	<ul style="list-style-type: none"> <li>・割り込み禁止フラグ(Iフラグ)・・・"0"</li> <li>・割り込み要求ビット・・・"1"</li> <li>・割り込み許可ビット・・・"1"</li> </ul>	<ul style="list-style-type: none"> <li>・割り込み許可フラグ(Iフラグ)・・・"1"</li> <li>・割り込み要求ビット(IRビット)・・・"1"</li> <li>・割り込み優先レベル &gt; IPL (IPL: プロセッサ割り込み優先レベル)</li> </ul>

表3.5 7549グループ固定ベクタテーブル

割り込み要因	優先順位	ベクトル番地(注1)	
		上位	下位
リセット(注2)	1	FFFD <sub>16</sub>	FFFC <sub>16</sub>
シリアルI/O受信	2	FFFB <sub>16</sub>	FFFA <sub>16</sub>
シリアルI/O送信	3	FFF9 <sub>16</sub>	FFF8 <sub>16</sub>
INT0	4	FFF7 <sub>16</sub>	FFF6 <sub>16</sub>
INT1	5	FFF5 <sub>16</sub>	FFF4 <sub>16</sub>
キーオンウェイクアップ	6	FFF3 <sub>16</sub>	FFF2 <sub>16</sub>
キャプチャ	7	FFF1 <sub>16</sub>	FFF0 <sub>16</sub>
コンペア	8	FFEF <sub>16</sub>	FFEE <sub>16</sub>
タイマA	9	FFED <sub>16</sub>	FFEC <sub>16</sub>
タイマ2	10	FFEB <sub>16</sub>	FFEA <sub>16</sub>
A/D変換	11	FFE9 <sub>16</sub>	FFE8 <sub>16</sub>
タイマ1	12	FFE7 <sub>16</sub>	FFE6 <sub>16</sub>
未使用	13	FFE5 <sub>16</sub>	FFE4 <sub>16</sub>
	14	FFE3 <sub>16</sub>	FFE2 <sub>16</sub>
	15	FFE1 <sub>16</sub>	FFE0 <sub>16</sub>
	16	FFDF <sub>16</sub>	FFDE <sub>16</sub>
BRK命令	17	FFDD <sub>16</sub>	FFDC <sub>16</sub>

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

注2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

表3.6 R8C/3GDグループ固定ベクタテーブル

割り込み要因	ベクトル番地(注1)
	番地(L)~番地(H)
未定義命令	0FFDCh~0FFDFh
オーバフロー	0FFE0h~0FFE3h
BRK命令	0FFE4h~0FFE7h
アドレス一致	0FFE8h~0FFEBh
シングルステップ(注1)	0FFECCh~0FFEFh
ウォッチドッグタイマ 発信停止検出 電圧監視1/コンパラレータA1 電圧監視2/コンパラレータA	0FFF0h~0FFF3h
アドレスブレイク(注1) (予約)	0FFF4h~0FFF7h 0FFF8h~0FFFBh
リセット	0FFFCh~0FFFFh

注1. 開発ツール専用の割り込みですので、  
使用しないでください。

表11.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)~番地(H)	ソフトウェア 割り込み番号
BRK命令(注2)	+0~+3(0000h~0003h)	0
フラッシュメモリエディ	+4~+7(0004h~0007h)	1
(予約)		2~5
(予約)	+24~+27(0018h~001BFh)	6
タイマRC	+28~+31(001Ch~001Fh)	7
(予約)	+32~+35(0020h~0023h)	8
(予約)	+36~+39(0024h~0027h)	9
タイマRE	+40~+43(0028h~002Bh)	10
UART2送信/NACK2	+44~+47(002Ch~002Fh)	11
UART2受信/ACK2	+48~+51(0030h~0033h)	12
キー入力	+52~+55(0034h~0037h)	13
A/D変換	+56~+59(0038h~003Bh)	14
(予約)		15
(予約)		16
UART0送信	+68~+71(0044h~0047h)	17
UART0受信	+72~+75(0048h~004Bh)	18
(予約)		19
(予約)		20
(予約)	+84~+87(0054h~0057h)	21
タイマRA	+88~+91(0058h~005Bh)	22
(予約)		23
タイマRB	+96~+99(0060h~0063h)	24
INT1	+100~+103(0064h~0067h)	25
INT3	+104~+107(0068h~006Bh)	26
(予約)		27
(予約)		28
INT0	+116~+119(0074h~0077h)	29
UART2バス衝突検出	+120~+123(0078h~007Bh)	30
(予約)		32
ソフトウェア(注2)	+128~+131(0080h~0083h)	32~41
	+164~+167(00A4h~00A7h)	
(予約)		42~49
電圧監視1/コンパレータA1	+200~+203(00C8h~00CBh)	#
電圧監視2/コンパレータA2	+204~+207(00CCh~00CFh)	#
(予約)		52~55
ソフトウェア(注2)	+224~+227(00E0h~00E3h)	56~63
	+252~+255(00FCh~00FFh)	

注1. INTBレジスタが示す番地からの相対番地です。

注2. フラグによる禁止はできません。

4. 各機能比較

4.1 リセットの相違点

表4.1に7549グループとR8C/3GDグループの各リセット名称と要因を示します。

表4.1 リセット名称と要因

7549グループ		R8C/3GDグループ	
リセットの名称	要因	リセット名称	要因
ハードウェアリセット	RESET端子の入力電圧が"L"	ハードウェアリセット	RESET端子の入力電圧が"L"
パワーオンリセット	VCCの上昇 (RESET端子は開放、 必ず電圧低下検出回路を有効 (FSROM0レジスタのビット0を "1")にする必要あり)	パワーオンリセット	VCCの上昇 (RESET端子は抵抗を介して VCCへ接続(プルアップ)、 必ず電圧監視0リセットを有効 (OFSレジスタのLVDASビットを "0")にする必要あり)
電圧低下検出リセット	VCCの下降(検出電圧:Vdet-) (FSROM0レジスタのビット0が "1"の場合)	電圧監視0リセット	VCCの下降(監視電圧:Vdet0) (OFSレジスタのLVDASビットが "0"の場合)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー (FSROM2レジスタのビット1が "1"の場合)	ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー (PM1レジスタのPM12ビットが"1" の場合)
STP命令機能によるリセット	STP命令実行 (FSROM2レジスタのビット3が "1"の場合)	ソフトウェアリセット	PM0レジスタのPM03ビット に"1"を書く
発信停止検出リセット	XIN発振停止 (CLKSTPLレジスタのビット0が"1"、 かつビット1が"1"の場合)		

## 4.2 電圧検出回路の相違点

7549グループは電圧低下検出回路の1回路、R8C/3GDグループは電圧検出0、電圧検出1、および電圧検出2の3回路を内蔵し、それぞれの回路では、VCC入力電圧の監視を行っています。

また、それぞれの電圧検出回路での監視結果に基づいて、7549グループでは電圧低下検出リセット、R8C/3GDグループでは、電圧検出0リセット、電圧検出1割り込み、および電圧検出2割り込みを使用出来ます。

ただし、R8C/3GDグループの電圧監視1、電圧監視2は電圧検出回路をコンパレータA1、コンパレータA2と兼用しています。電圧監視1、電圧監視2とコンパレータA1、コンパレータA2はどちらかを選択して使用できます。

表4.2にそれぞれの電圧検出回路の仕様を示します。

表4.2 電圧検出回路の仕様

項目		7549グループ	R8C/3GDグループ		
		電圧低下検出回路	電圧検出0	電圧検出1	電圧検出2
VCC監視	監視する電圧	Vdet-	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet-を通過したか	下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	検出電圧	固定	OFSレジスタで4レベルから選択可能	VD1LSレジスタで16レベルから選択可能	VCCまたはLVCMP2 選択時で異なる それぞれの値は固定
	モニタ	-	-	VW1CレジスタのVW1C3ビットにてVCCがVdet1より高いか低い かモニタ可能	VCA1レジスタのVCA13ビットにてVCCがVdet2より高いか低い かモニタ可能
電圧検出時の処理	リセット	電圧低下検出リセット	電圧監視0リセット	-	-
		Vdet->VCCでリセット VCC>Vdet-でCPU動作再開	Vdet0>VCCでリセット VCC>Vdet0でCPU動作再開		
	割り込み	-	-	電圧監視1割り込み ノンマスクابلまたはマスクابلを選択可 Vdet1>VCC、VCC>Vdet1の両方、またはどちらかで割り込み要求	電圧監視2割り込み ノンマスクابلまたはマスクابلを選択可 Vdet2>VCC(LVCMP2)、VCC(LVCMP2)>Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	なし	なし	あり 有効/無効切り替え可 サンプリング周期: (fOCO-Sのn分周)×2 n:1、2、4、8	あり 有効/無効切り替え可 サンプリング周期: (fOCO-Sのn分周)×2 n:1、2、4、8	

### 4.3 入出力ポートの相違点

表4.3に7549グループの入出力ポートの概要、表4.4にR8C/3GDグループの入出力ポートの概要を示します。

表4.3 7549グループの入出力ポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗 (注1)	駆動能力 切り替え	入力レベル 切り替え
P0_0 ~ P0_7	入出力	COMS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 1ビット単位で設定	駆動能力の強/弱を 1ビット単位で設定	なし
P1_0 ~ P1_7	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 1ビット単位で設定	なし	なし
P2_0 (注2)	出力	CMOS3 ステート	出力固定	なし	なし	なし
P2_1 (注2)	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	なし	なし	なし
P3_0, P3_1	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	なし	なし	なし

注1.内部プルアップ抵抗はポートの方向レジスタが入力に設定されているときのみ有効です。

出力に設定されているときは“プルアップあり”に設定してもポートはプルアップされません。

注2.P2\_0、P2\_1はXINクロック発振回路およびXCINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

P2\_0、P2\_1は発振回路を内蔵していますので、入出力ポートとして使用した場合でもマイコンのVcc電圧が動作下限電圧よりも低い場合には発振回路が接続され、これらの端子から不定値を出力する場合があります。

表4.4 R8C/3GDグループの入出力ポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗 (注1)	駆動能力 切り替え	入力レベル 切り替え (注1)
P0_1, P0_2、 P0_6, P0_7	入出力	COMS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 2ビット単位で設定	駆動能力の強/弱を 2ビット単位で設定	入力のしきい値を 4ビット単位で設定
P1_0 ~ P1_7	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 4ビット単位で設定	駆動能力の強/弱を 1ビット単位で設定	入力のしきい値を 8ビット単位で設定
P3_3	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 1ビット単位で設定	駆動能力の強/弱を 1ビット単位で設定	入力のしきい値を 4ビット単位で設定
P3_4, P3_5 P3_7	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 3ビット単位で設定	駆動能力の強/弱を 3ビット単位で設定	
P4_5, P4_6 P4_7 (注2)	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	なし	駆動能力の強/弱を 2ビット単位で設定	入力のしきい値を 4ビット単位で設定
P4_2 (注3)	入力	(出力機能 なし)	入力固定	なし	なし	

注1.入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

注2.P4\_6、P4\_7はXINクロック発振回路およびXCINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注3.A/Dコンバータを使用しない場合、入力専用ポートとして使用できます。

#### 4.4 クロック発生回路の相違点

表4.5に7549グループ、表4.6にR8C/3GDグループのクロック発生回路の概略仕様を示します。

表4.5 7549グループのクロック発生回路の概略仕様

項目	XINクロック 発振回路	XCINクロック 発振回路	オンチップオシレータ	
			高速オンチップオシレータ	低速オンチップオシレータ
用途	・内部クロック ・周辺機能のクロック源	・内部クロック ・周辺機能のクロック源	・内部クロック ・周辺機能のクロック源	・内部クロック ・周辺機能のクロック源
クロック周波数	0~8MHz	32.768kHz	約4MHz	約250kHz
接続できる発振子	・セラミック共振子 ・水晶発振子	・水晶発振子	-	-
発振子の接続端子	XIN、XOUT	XCIN、XCOUT	-(注1)	-(注1)
発振の開始と停止	あり	あり	あり	あり
リセット後の状態	発振	発振	停止	発振
その他	・外部クロック入力 可能(注2) ・帰還抵抗内蔵	・外部クロック入力 可能(注2) ・帰還抵抗内蔵	-	・低速オンチップオシレータ の16分周をウォッチドッグ タイマのカウントソースに 選択可能

注1. XINクロック発振回路およびXCINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP2\_0を出力ポート、P2\_1を入出力ポートとして使うことができます

注2. P2\_0/XOUT 端子にクロック発生源を接続します。この場合、P2\_1/XIN端子はI/Oポートとして使用できます。

表4.6 R8C/3GDグループのクロック発生回路の概略仕様

項目	XINクロック 発振回路	XCINクロック 発振回路	オンチップオシレータ		ウォッチドッグタイマ 用低速オンチップ オシレータ
			高速オンチップ オシレータ	低速オンチップ オシレータ	
用途	・CPUのクロック源 ・周辺機能の クロック源	・CPUのクロック源 ・周辺機能の クロック源	・CPUのクロック源 ・周辺機能の クロック源 ・XINクロック発振 停止時のCPU、 周辺機能の クロック源	・CPUのクロック源 ・周辺機能の クロック源 ・XINクロック発振 停止時のCPU、 周辺機能の クロック源	・ウォッチドッグ タイマのクロック源
クロック周波数	0~20MHz	32.768kHz	約40MHz(注4)	約125kHz	約125kHz
接続できる発振子	・セラミック共振子 ・水晶発振子	・水晶発振子	-	-	-
発振子の接続端子	XIN、XOUT	XCIN、XCOUT	-(注1)	-(注1)	-
発振の開始と停止	あり	あり	あり	あり	あり
リセット後の状態	停止	停止	停止	発振	停止 or 発振
その他	・外部クロック入力 可能(注2) ・帰還抵抗内蔵 (接続/非接続 選択可能)	・外部クロック入力 可能(注3) ・帰還抵抗内蔵 (接続/非接続 選択可能)	-	-	

注1. XINクロック発振回路およびXCINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP4\_6、P4\_7を入出力ポートとして使うことができます

注2. P4\_7/XOUT 端子にクロック発生源を接続します。この場合、P4\_6/XIN端子は開放としてください。

注3. P4\_6/XCIN 端子にクロック発生源を接続します。この場合、P4\_7/XCOUT端子は開放としてください。

注4. CPUクロック源として使用する場合には、分周器により最大:約20MHzとなります。

#### 4.5 発振停止検出機能の相違点

表4.7に7549グループとR8C/3GDグループの発振停止検出回路の仕様を示します。

表4.7 発振停止検出回路仕様

項目	7549グループ	R8C/3GDグループ
発振停止検出可能クロックと周波数域	$f(XIN) \geq 250\text{kHz}$ (VCC=5.0V、Ta=25°C、最大値)	$f(XIN) \geq 2\text{MHz}$
発振停止検出機能有効条件	発振停止検出レジスタCLKSTPの bit0、bit1を"11b"にする	OCD1~OCD0ビットを"11b"にする
発振停止検出時の動作	<ul style="list-style-type: none"> <li>・内部リセット発生</li> <li>・発振停止検出ステータスビットが "1"になる</li> </ul>	<ul style="list-style-type: none"> <li>・発振停止検出割り込み発生</li> <li>・OCD2が"1"になる</li> <li>・また、次の状態になる               <ol style="list-style-type: none"> <li>1.OCD2=1 (オンチップオシレータクロック選択)</li> <li>2.OCD3=1 (XINクロック停止)</li> <li>3.CM14=0 (低速オンチップオシレータ発振)</li> </ol> </li> </ul>
その他	低速オンチップオシレータを動作 させる必要がある	XINクロックの周波数が2MHz未満の場合、 この機能は使用できないため、OCD1~ OCD0ビットを"00b"にする必要がある



#### 4.6 ウォッチドッグタイマの相違点

表4.8に7549グループとR8C/3GDグループのウォッチドッグタイマの仕様を示します。

表4.8 ウォッチドッグタイマ仕様

項目	7549グループ	R8C/3GDグループ	
		カウントソース保護モード無効時	カウントソース保護モード有効時
構成	ウォッチドッグタイマH: 8ビット ウォッチドッグタイマL: 8ビット から成る16ビットダウンカウンタ	14ビットダウンカウンタ、及びプリスケアラ(分周器: 1/2、1/16、1/128)	
カウントソース	(ウォッチドッグタイマL) 次のいずれかを選択可能 ・低速オンチップオシレータ出力 の16分周 ・ΦSOURCE/16 (注1) (ウォッチドッグタイマH) 次のいずれかを選択可能 ・ウォッチドッグタイマLの アンダフロー信号 ・ウォッチドッグタイマLのカウント ソースに選択しているクロック	CPUクロック	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント開始条件	リセット後、自動的に カウントを開始	次のいずれかを選択可能 ・リセット後、自動的にカウントを開始 ・WDTSLレジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード(注2)	ストップモード、ウェイトモード	-
ウォッチドッグタイマ 初期条件	・リセット ・WDTCONレジスタへの 任意データの書き込み	・リセット ・WDTRレジスタに"00h"、続いて"FFh"を書く(注3) (受付期間の設定あり) ・アンダフロー	
アンダフロー時の 動作	ウォッチドッグタイマリセット	・ウォッチドッグタイマ割り込み ・ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
アンダフロー周期	ウォッチドッグタイマH: "FFh" ウォッチドッグタイマL: "FFh"	次のいずれかを選択可能 ・"03FFh" ・"0FFFh" ・"1FFFh" ・"3FFFh"	

注1. ΦSOURCEはクロック選択ビット(クロックモードレジスタ(CCLKM: 003716番地)のビット5、4)の設定により変化します。

注2. 以下の2条件ではSTP命令を実行した場合でもウォッチドッグタイマはカウントを続けます。

- ① 低速オンチップオシレータの停止: 禁止(FSRM2のビット4)  
ウォッチドッグタイマのソースクロック: 低速オンチップオシレータの16分周(FSRM2のビット0)
- ② 低速オンチップオシレータの停止: 禁止(FSRM2のビット4)  
ウォッチドッグタイマのソースクロック: φSOURCE(FSRM2のビット0)  
ΦSOURCE: 低速オンチップオシレータ(クロックモードレジスタのビット5、4)

注3. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

#### 4.7 タイマの相違点

7549グループは8ビットタイマ2本(1本は8ビットプリスケアラ付)、16ビットタイマ1本を持つ。

また、R8C/3GDグループは8ビットプリスケアラ付8ビットタイマを2本と、16ビットタイマを1本と、4ビットカウンタ、8ビットカウンタを持つタイマを1本内蔵しています。

表4.9にそれぞれの8ビットタイマの仕様、表4.10に16ビットタイマ、及び4ビットカウンタと8ビットカウンタを持つタイマの仕様を示します。

表4.9 8ビットタイマの仕様

項目	7549グループ		R8C/3GDグループ	
	タイマ1	タイマ2	タイマRA	タイマRB
構成	8ビットプリスケアラ付 8ビットタイマ (タイマラッチ付)	8ビットタイマ (タイマラッチ付)	8ビットプリスケアラ付 8ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付 8ビットタイマ (リロードレジスタ付)
カウント	ダウンカウント	ダウンカウント	ダウンカウント	ダウンカウント
カウントソース	(プリスケアラ12 カウントソース) (注1) ΦSOURCE/16 (注2) XCIN入カクロック (32kHz水晶発振)	ΦSOURCE/16 ΦSOURCE/256 (注2) プリスケアラ12出力 タイマAアンダフロー	f1、f2、f8、fOCO fC32、fC	f1、f2、f8 タイマRAアンダフロー
機能	内部のカウント ソースのカウント	タイマモード	タイマモード	タイマモード
	外部のカウント ソースのカウント	-	イベントカウンタモード	-
	外部パルス幅/ 周期測定	-	-	・パルス幅測定モード ・パルス周期測定モード
	PWM出力	-	パルス出力モード (注3)	・パルス出力モード (注3) ・イベントカウンタモード (注3)
	ワンショット波形 出力	-	-	・プログラマブルワン ショット発生モード ・プログラマブルウェイト ワンショット発生モード
	時計	タイマモード (XCIN入カクロック カウントのみ)	-	タイマモード (fC32カウントのみ)
入力端子	-	-	TRAIO	INT0
出力端子	-	P1_3/T2OUT	TRAO TRAIO	TRBO
関連する割り込み	タイマ1割り込み	タイマ2割り込み	タイマRA割り込み	タイマRB割り込み INT0割り込み
タイマ停止	なし	あり	あり	あり

注1.タイマ1 はプリスケアラ12 の出力をカウントします。

注2.ΦSOURCEはクロック選択ビット(クロックモードレジスタ(CLKM:003716番地)のビット5, 4)の設定により変化します。

注3. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

表4.9 16ビットタイマ、及び4ビットカウンタと8ビットカウンタを持つタイマの仕様

項目	7549グループ		R8C/3GDグループ	
	タイマA	タイマRC	タイマRE	
構成	16ビットタイマ (インプットキャプチャ、 アウトプットコンペア付) (タイマラッチ付)	16ビットタイマ (インプットキャプチャ、 アウトプットコンペア付)	4ビットカウンタ 8ビットカウンタ	
カウント	ダウンカウント	アップカウント	アップカウント	
カウントソース	ΦSOURCE/16、ΦSOURCE/2 ΦSOURCE/32、ΦSOURCE/64 ΦSOURCE/128、ΦSOURCE/256 (注1) 低速オンチップオシレータ出力 XCIN入カクロック (32kHz水晶発振)	f1、f2、f4、f8、f32、 fOCO40、fOCO-F TRCCLK端子に入力された 外部信号(立ち上がりエッジ)	f4、f8、f32、fC4	
機能	内部のカウント ソースのカウント	タイマモード (アウトプットコンペア機能)	タイマモード (アウトプットコンペア機能)	-
	外部のカウント ソースのカウント	タイマモード (アウトプットコンペア機能)	タイマモード (アウトプットコンペア機能)	-
	外部パルス幅/ 周期測定	タイマモード (インプットキャプチャ、1本)	タイマモード (インプットキャプチャ機能:4本)	-
	PWM出力	タイマモード (アウトプットコンペア機能:3本)	・タイマモード (注2) (アウトプットコンペア機能:4本) ・PWMモード (3本) ・PWM2モード (1本)	-
	ワンショット波形 出力	-	PWMモード (3本)	-
	時計	タイマモード (XCIN入カクロックカウントのみ)	-	リアルタイムクロックモード
入力端子	P0_3/CAP0 (注3)	INT0、TRCCLK、TRCTRG、 TRCIOA、TRCIOB、 TRCIOC、TRCIOD (注4)	-	
出力端子	P1_0/CMP0、P1_1/CMP1 P1_2/CMP2 (注3)	TRCIOA、TRCIOB、 TRCIOC、TRCIOD (注4)	-	
関連する割り込み	・タイマA割り込み ・キャプチャ割り込み ・コンペア割り込み	・コンペアー一致/インプットキャプチャ A~D割り込み ・オーバフロー割り込み ・INT0割り込み	タイマRE割り込み	
タイマ停止	あり	あり	あり	

注1.ΦSOURCEはクロック選択ビット(クロックモードレジスタ(CLKM:003716番地)のビット5、4)の設定により変化します。

注2. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

注3. アウトプットコンペア3チャンネルとインプットキャプチャ(1チャンネル)はレジスタが共通ですが、それぞれの回路は独立しており全チャンネル同時に使用できます。

注4. インプットキャプチャ機能、アウトプットコンペア機能、PWMモードは、1端子ごとに機能とモードを選択できます。

#### 4.8 シリアルインターフェースの相違点

7549グループは1チャンネル、R8C/3GDグループは2チャンネル(UART0、UART2)のシリアルインターフェースを持ちます。

表4.10に各シリアルインターフェースのクロック同期形シリアルI/Oモードの仕様を表4.11、クロック非同期形シリアルI/Oモード(UARTモード)の仕様を表4.12に示します。

また、R8C/3GDグループのUART2は特殊モード(I2Cモード)、及びマルチプロセッサ機能も持ちます。

表4.10 クロック同期形シリアルI/Oモードの仕様

項目	7549グループ	R8C/3GDグループ	
		UART0	UART2
転送データフォーマット	転送データ長:8ビット	転送データ長:8ビット	
転送クロック	(内部クロック使用時) ・ $f_i/(4(n+1))$ $f_i = \Phi\text{SOURCE}$ 、 $\Phi\text{SOURCE}/4$ $n = \text{BRGレジスタの設定値}$ (00h~FFh) (外部クロック使用時) ・P0_6/SCLK端子からの入力	(内部クロック使用時) ・ $f_i/(2(n+1))$ $f_i = f_1$ 、 $f_8$ 、 $f_{32}$ 、 $f_C$ $n = \text{U0BRGレジスタの設定値}$ (00h~FFh) (外部クロック使用時) ・CLK0端子からの入力	(内部クロック使用時) ・ $f_i/(2(n+1))$ $f_i = f_1$ 、 $f_8$ 、 $f_{32}$ 、 $f_C$ $n = \text{U2BRGレジスタの設定値}$ (00h~FFh) (外部クロック使用時) ・CLK2端子からの入力
送信開始条件	・TE=1 (送信許可) (注1) ・TBE=0 (TBレジスタにデータあり)	(U0C1レジスタの設定) (注2) ・TE=1 (送信許可) ・TI=0 (U0TBレジスタにデータあり)	(U2C1レジスタの設定) (注2) ・TE=1 (送信許可) ・TI=0 (U2TBレジスタにデータあり) ・ $\overline{\text{CTS2}}$ 端子の入力"L" (CTS機能選択時)
受信開始条件	・RE=1 (受信許可) (注1) ・TE=1 (送信許可) ・TBE=0 (TBレジスタにデータあり)	(U0C1レジスタの設定) (注2) ・RE=1 (受信許可) ・TE=1 (送信許可) ・TI=0 (U0TBレジスタにデータあり)	(U2C1レジスタの設定) (注2) ・RE=1 (受信許可) ・TE=1 (送信許可) ・TI=0 (U2TBレジスタにデータあり)
割り込み要求発生 タイミング	(送信時、次の何れかを選択) ・データ送信開始時 ・データ送信完了時 (受信時) ・データ受信完了時	(送信時、次の何れかを選択) ・データ送信開始時 ・データ送信完了時 (受信時) ・データ受信完了時	
エラー検出	オーバーランエラー	オーバーランエラー	
選択機能	・P0_7端子機能選択 (SRDY、もしくは入出力ポート)	・CLK極性選択 ・LSBファースト、MSBファースト選択 ・連続受信モード選択 ・シリアルデータ論理切り替え (UART2のみ)	

注1.外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2.外部クロックを選択している場合、U0C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

表4.11 UARTモードの仕様

項目	7549グループ	R8C/3GDグループ	
		UART0	UART2
転送データフォーマット	キャラクタビット:7、8ビット選択可 スタートビット:1ビット パリティビット:偶数、奇数、 無し選択可 ストップビット:1、2ビット選択可	キャラクタビット:7、8、9ビット選択可 スタートビット:1ビット パリティビット:偶数、奇数、無し選択可 ストップビット:1、2ビット選択可	
転送クロック	(内部クロック使用時) ・ $fi/(16(n+1))$ $fi=\Phi SOURCE$ 、 $\Phi SOURCE/4$ $n=BRGL$ レジスタの設定値 (00h~FFh) (外部クロック使用時) ・ $fEXT/(16(n+1))$ $fEXT=P0\_6/SCLK$ からの入力 $n=BRGL$ レジスタの設定値 (00h~FFh)	(内部クロック使用時) ・ $fi/(16(n+1))$ $fi=f1$ 、 $f8$ 、 $f32$ 、 $fC$ $n=U0BRG$ レジスタの設定値 (00h~FFh) (外部クロック使用時) ・ $fEXT/(16(n+1))$ $fEXT=CLK0$ 端子からの入力 $n=U0BRG$ レジスタの設定値 (00h~FFh)	(内部クロック使用時) ・ $fi/(16(n+1))$ $fi=f1$ 、 $f8$ 、 $f32$ 、 $fC$ $n=U2BRG$ レジスタの設定値 (00h~FFh) (外部クロック使用時) ・ $fEXT/(16(n+1))$ $fEXT=CLK2$ 端子からの入力 $n=U2BRG$ レジスタの設定値 (00h~FFh)
送信開始条件	・TE=1 (送信許可) ・TBE=0 (TBレジスタにデータあり)	(U0C1レジスタの設定) ・TE=1 (送信許可) ・TI=0 (U0TBレジスタにデータあり)	(U2C1レジスタの設定) ・TE=1 (送信許可) ・TI=0 (U2TBレジスタにデータあり) ・CTS2端子の入力"L" (CTS機能選択時)
受信開始条件	・RE=1 (受信許可) ・スタートビットの検出	(U0C1レジスタの設定) ・RE=1 (受信許可) ・スタートビットの検出	(U2C1レジスタの設定) ・RE=1 (受信許可) ・スタートビットの検出
割り込み要求発生 タイミング	(送信時、次の何れかを選択) ・データ送信開始時 ・データ送信完了時 (受信時) ・データ受信完了時	(送信時、次の何れかを選択) ・データ送信開始時 ・データ送信完了時 (受信時) ・データ受信完了時	
エラー検出	・オーバーランエラー ・フレーミングエラー ・パリティエラー ・サミングエラー	・オーバーランエラー ・フレーミングエラー ・パリティエラー ・エラーサムフラグ	

#### 4.9 A/Dコンバータの相違点

7549グループ、R8C/3GDグループ共に10ビット分解能のA/Dコンバータを1回路持ちます。

表4.12に7549グループ、R8C/3GDグループのA/Dコンバータの仕様を示します。

表4.12 A/Dコンバータの仕様

項目	7549グループ	R8C/3GDグループ
A/D変換方式	逐次比較変換方式(容量結合増幅器)	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧	0V~VCC (注1)	0V~AVCC (注1)
動作クロックΦAD	ΦSOURCE、ΦSOURCE/2 (注2) (注3)	fAD、fAD/2、fAD/4、fAD/8 (注4) (fAD=f1 またはfOCO-F)
分解能	8ビットまたは10ビット選択可能	8ビットまたは10ビット選択可能
サンプル&ホールド	なし	あり
絶対精度	Ta=-20~85°C、2.7≤Vcc≤5.5Vの場合、 ±3LSB	AVCC=Vref=5V、ΦAD=20MHzのとき ・分解能8ビットの場合±2LSB ・分解能10ビットの場合±3LSB AVCC=Vref=3.3V、ΦAD=16MHzのとき ・分解能8ビットの場合±2LSB ・分解能10ビットの場合±5LSB AVCC=Vref=3.0V、ΦAD=10MHzのとき ・分解能8ビットの場合±2LSB ・分解能10ビットの場合±5LSB AVCC=Vref=2.2V、ΦAD=5MHzのとき ・分解能8ビットの場合±2LSB ・分解能10ビットの場合±5LSB
動作モード	単発モード	・単発モード ・繰り返しモード0 ・繰り返しモード1 ・単掃引モード ・繰り返し掃引モード
アナログ入力端子	8本(AN0~AN7)	8本(AN0、AN1、AN5、AN6、AN8~AN11)
A/D変換開始条件	・ソフトウェアトリガ	・ソフトウェアトリガ ・タイマRCからのトリガ ・外部トリガ
1端子あたりの 変換速度	・AD変換クロック=f(ΦSOURCE)/2の場合、 ΦSOURCEの122サイクル ・AD変換クロック=f(ΦSOURCE)の場合、 ΦSOURCEの61サイクル	ΦAD=fADの場合、 最短43ΦADサイクル

注1.アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2.ΦSOURCEはクロック選択ビット(クロックモードレジスタ(CCLKM:003716番地)のビット5、4)の設定により変化します。

ΦSOURCEがXCIN、低速オンチップオシレータの場合は、A/Dコンバータを使用できません。

注3.4.0V≤VCC≤5.5Vのとき、ΦADの周波数を8MHz以下にしてください。

2.7V≤AVCC<4.0Vのとき、ΦADの周波数を4MHz以下にしてください。

また、A/D変換中は、ΦADが250kHz以上になるようにΦSOURCEの値を設定してください。

注4.4.0V≤AVCC≤5.5Vのとき、ΦADの周波数を20MHz以下にしてください。

3.2V≤AVCC<4.0Vのとき、ΦADの周波数を16MHz以下にしてください。

3.0V≤AVCC<3.2Vのとき、ΦADの周波数を10MHz以下にしてください。

2.2V≤AVCC<3.0Vのとき、ΦADの周波数を5MHz以下にしてください。

ΦADの周波数は2MHz以上にしてください。

#### 4.10 コンパレータ仕様

R8C/3GDグループはコンパレータA、及びコンパレータBを持つ。  
 コンパレータA、コンパレータBは共にリファレンス入力電圧と、アナログ入力電圧の比較を行います。  
 コンパレータAにはコンパレータA1とコンパレータA2があり、それぞれ独立して動作できます。  
 また、コンパレータBにはコンパレータB1とコンパレータB3があり、それぞれ独立して動作できます。  
 コンパレータB1とコンパレータB3の動作は同じです。  
 表4.13にコンパレータAの仕様、表4.14にコンパレータBの仕様を示します。

表4.13 コンパレータAの仕様

項目	コンパレータA1	コンパレータA2
アナログ入力電圧	LVCMP1端子への入力電圧	LVCMP2端子への入力電圧
リファレンス入力電圧	LVREF端子への入力電圧	
比較対象	上昇または下降してリファレンス入力電圧を通過したか	
比較結果のモニタ	VW1CレジスタのVW1C3ビット	VCA1レジスタのVCA13ビット
	リファレンス入力電圧より高いか低い	
割り込み	コンパレータA1割り込み (ノンマスクابلまたはマスクابل 割り込み選択可)	コンパレータA2割り込み (ノンマスクابلまたはマスクابل 割り込み選択可)
	リファレンス入力電圧 > LVCMP1端子 への入力電圧、LVCMP1端子への 入力電圧 > リファレンス入力電圧の 両方、またはどちらかで割り込み要求	リファレンス入力電圧 > LVCMP1端子 への入力電圧、LVCMP1端子への 入力電圧 > リファレンス入力電圧の 両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替えあり サンプリング時間: (fOCO-Sのn分周)×2 n: 1、2、4、8	
比較結果の出力	LVCOUT1端子から出力 (比較結果をそのまま出力するか、 反転して出力するか選択できる)	LVCOUT2端子から出力 (比較結果をそのまま出力するか、 反転して出力するか選択できる)

表4.14 コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMPi端子への入力電圧
リファレンス入力電圧	IVREFi端子への入力電圧
比較対象	リファレンス入力電圧よりアナログ入力電圧が高いか低い
比較結果のモニタ	・リファレンス入力よりアナログ入力の電圧が高い場合、 INTCMPレジスタのINTiCOUTビット="1" ・リファレンス入力よりアナログ入力の電圧が低い場合、 INTCMPレジスタのINTiCOUTビット="0"
割り込み	比較結果が変化したとき
デジタルフィルタ	有効/無効切り替えあり サンプリング時間: f1、f8、f32

i=1、3

## 5. 参考ドキュメント

データシート

7549グループ データシート

R8C/3GDグループ ハードウェアマニュアル

(最新版をルネサステクノロジホームページから入手してください。)

テクニカルニュース／テクニカルアップデート

(最新の情報をルネサステクノロジホームページから入手してください。)



ホームページとサポート窓口

ルネサス テクノロジホームページ  
<http://japan.renesas.com/>

お問合せ先  
<http://japan.renesas.com/inquiry>  
[csc@renesas.com](mailto:csc@renesas.com)

改訂記録	7549グループ、R8C/3GDグループ 7549グループとR8C/3GDグループの相違点
------	--------------------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009.4.10	-	初版発行

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事事業の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

D039444