

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# 7548グループ、7549グループ レジスタ一覧

## 1. 要約

この資料は7548グループ、および7549グループのレジスタについて説明しています。

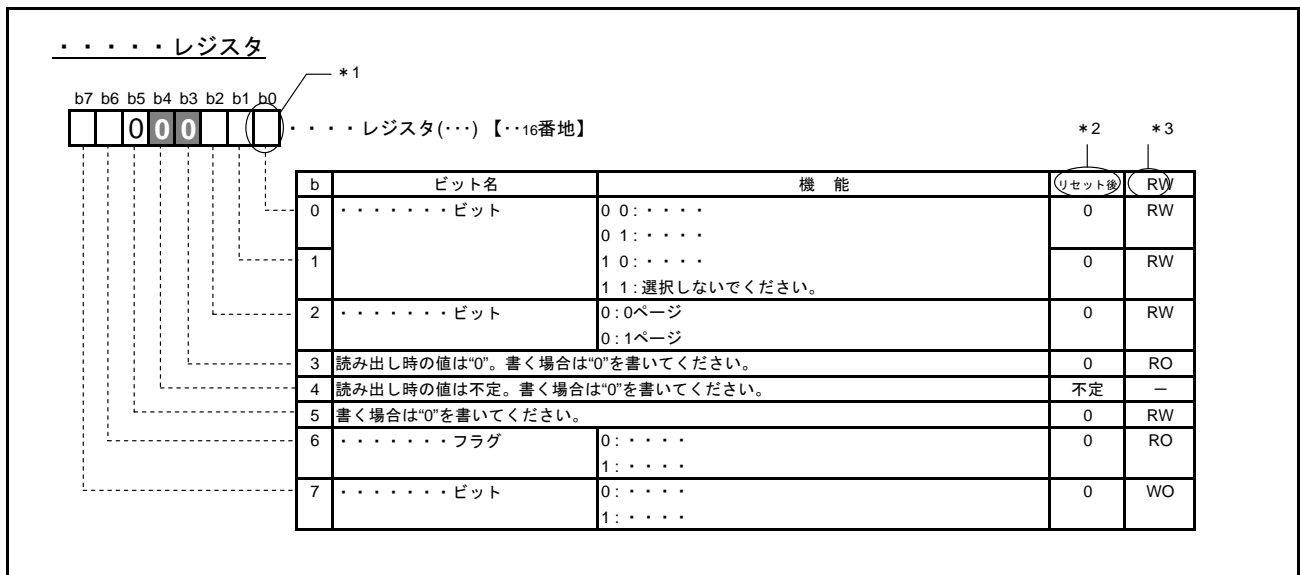
## 2. はじめに

この資料で説明するレジスタは次の条件での利用に適用されます。

- ・マイコン：7548グループ、7549グループ

## 3. レジスタ構成図

このアプリケーションノートに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



- \* 1
- 空白 :用途に応じて"0"又は"1"を設定してください。
  - 0 :書く場合は"0"を書いてください。
  - 1 :書く場合は"1"を書いてください。
  - x :特定のモード又は状態で使用しないビット。"0"又は"1"いずれでもよい。
  - :何も配置されていない。
- \* 2
- 0 :リセット後"0"になる。
  - 1 :リセット後"1"になる。
  - 不定 :リセット後、不定になる。
- \* 3
- RW :読むとビットの状態が読めます。書くと有効データになります。
  - RO :読むとビットの状態が読めます。書いた値は無効になります。
  - WO :書くと有効データになります。ビットの状態は読めません。
  - :読み出し時の値は不定。書く場合の値は、それぞれのビットに依存します。

4. レジスタの説明

**ポートP0レジスタ**

b	ビット名	機能	リセット後	RW
0	ポートP00	●出力モード時 書き込み：ポートラッチ 読み出し：ポートラッチ	不定	RW
1	ポートP01		不定	RW
2	ポートP02	●入力モード時 書き込み：ポートラッチ 読み出し：端子の値	不定	RW
3	ポートP03		不定	RW
4	ポートP04	不定	RW	
5	ポートP05	不定	RW	
6	ポートP06	不定	RW	
7	ポートP07	不定	RW	

図4.1 ポートP0レジスタの構成

**ポートP0方向レジスタ**

b	ビット名	機能	リセット後	RW
0	ポートP00方向レジスタ	0: 入力モード 1: 出力モード	0	WO
1	ポートP01方向レジスタ	0: 入力モード 1: 出力モード	0	WO
2	ポートP02方向レジスタ	0: 入力モード 1: 出力モード	0	WO
3	ポートP03方向レジスタ	0: 入力モード 1: 出力モード	0	WO
4	ポートP04方向レジスタ	0: 入力モード 1: 出力モード	0	WO
5	ポートP05方向レジスタ (注2)	0: 入力モード 1: 出力モード	0	WO
6	ポートP06方向レジスタ	0: 入力モード 1: 出力モード	0	WO
7	ポートP07方向レジスタ	0: 入力モード 1: 出力モード	0	WO

注1. 出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。  
注2. ポートP05端子は、出力モード時、P05/TxD Pチャネル出力禁止ビット(UART制御レジスタ(1B16番地)のビット4)で出力形式を選択できます。

図4.2 ポートP0方向レジスタの構成

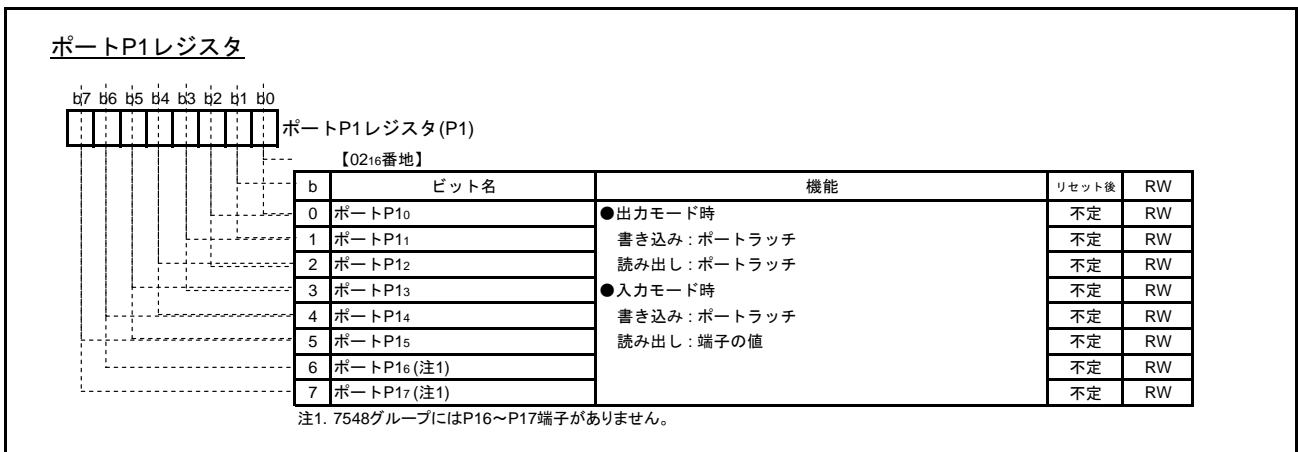


図4.3 ポートP1レジスタの構成

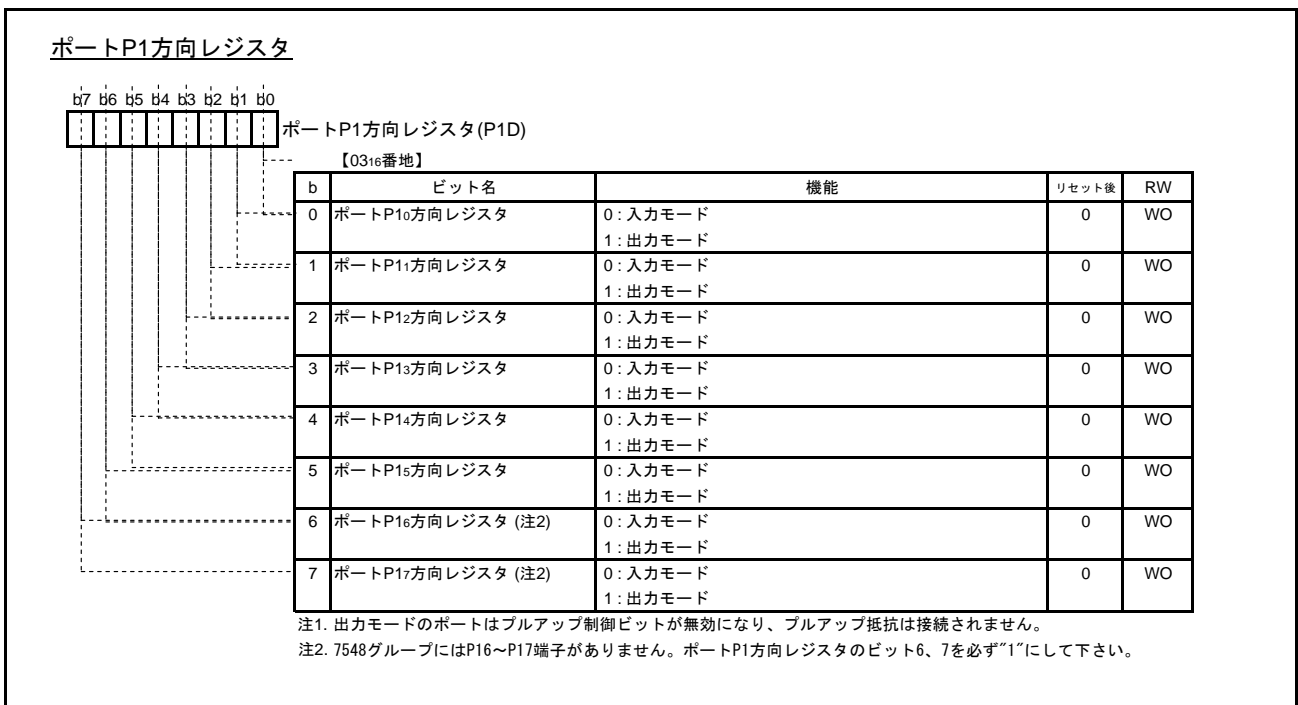


図4.4 ポートP1方向レジスタの構成

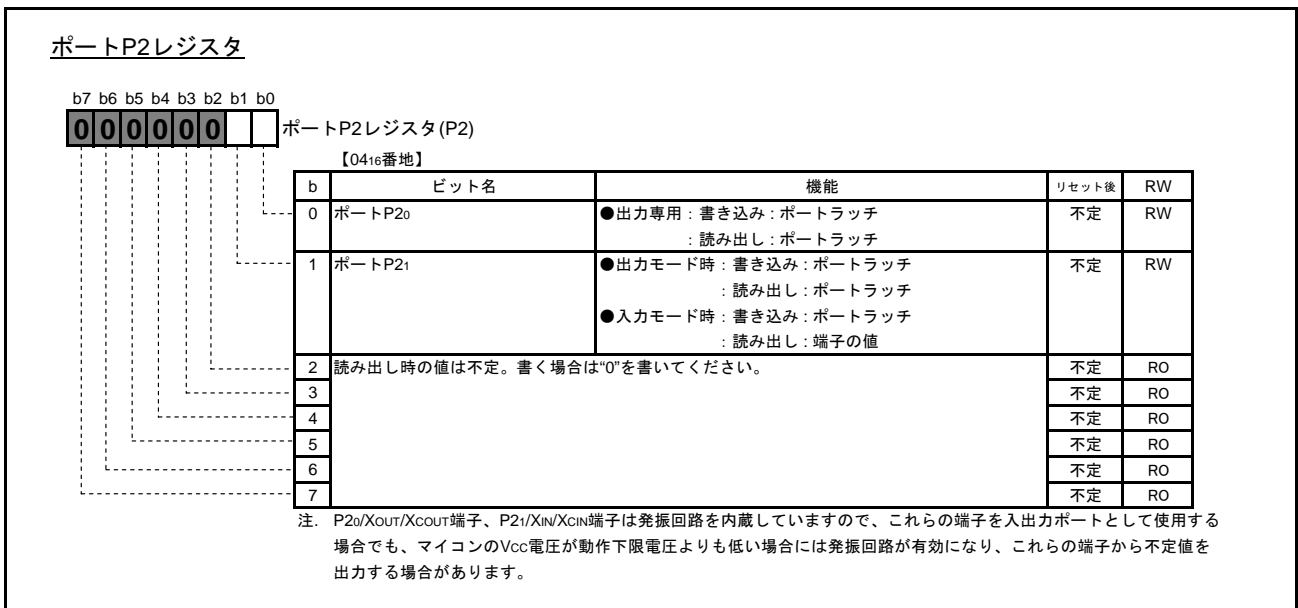


図4.1 ポートP2レジスタの構成

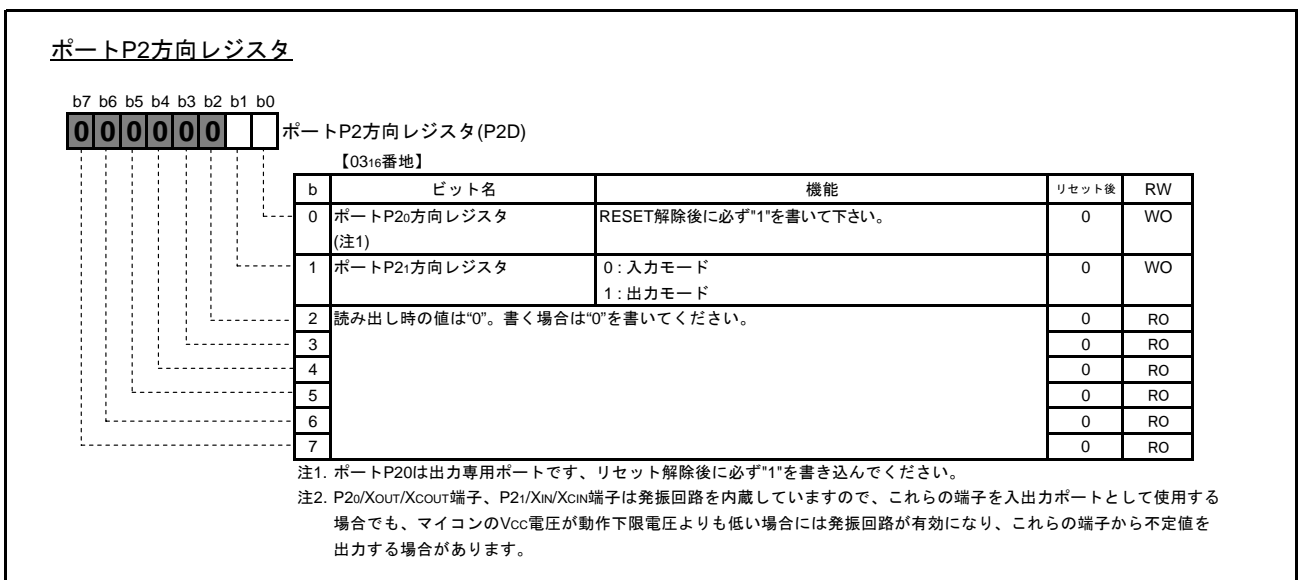


図4.2 ポートP2方向レジスタの構成

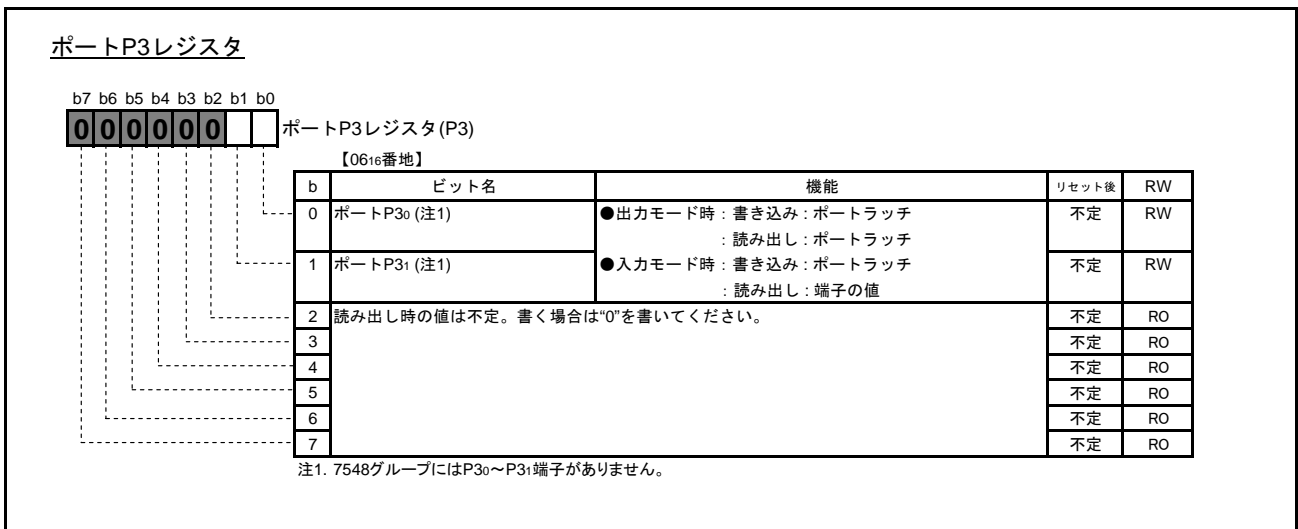


図4.3 ポートP3レジスタの構成

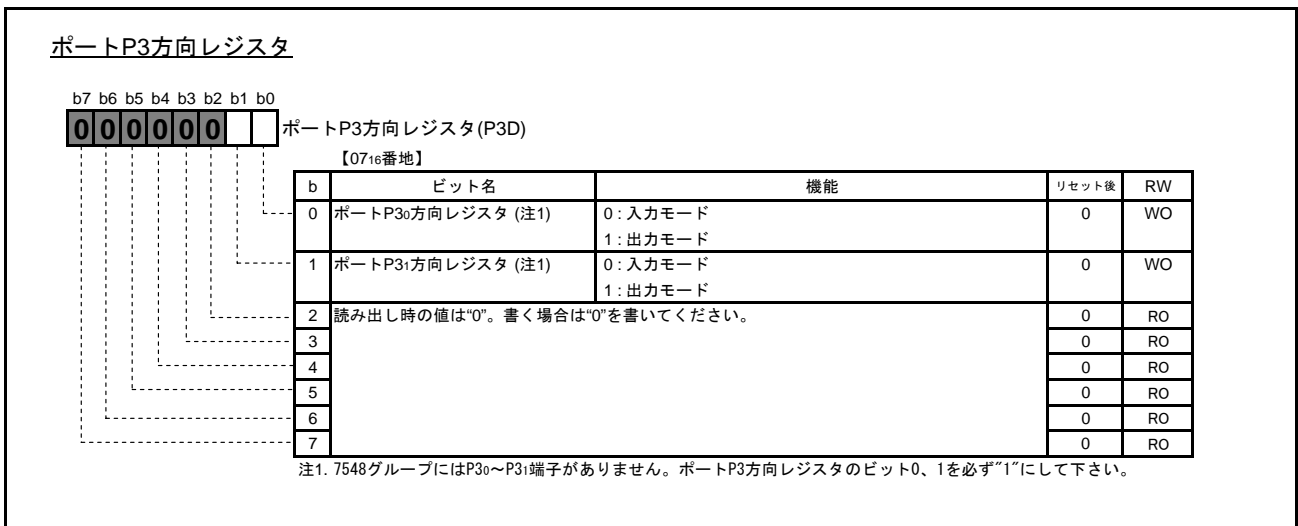


図4.4 ポートP3方向レジスタの構成

ポートP0駆動能力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ポートP0駆動能力制御レジスタ(DCCR) 【0C16番地】

b	ビット名	機能	リセット後	RW
0	ポートP0 <sub>0</sub> 駆動能力選択ビット	0: 弱 1: 強	0	RW
1	ポートP0 <sub>1</sub> 駆動能力選択ビット	0: 弱 1: 強	0	RW
2	ポートP0 <sub>2</sub> 駆動能力選択ビット	0: 弱 1: 強	0	RW
3	ポートP0 <sub>3</sub> 駆動能力選択ビット	0: 弱 1: 強	0	RW
4	ポートP0 <sub>4</sub> 駆動能力選択ビット	0: 弱 1: 強	0	RW
5	ポートP0 <sub>5</sub> 駆動能力選択ビット	0: 弱 1: 強	0	RW
6	ポートP0 <sub>6</sub> 駆動能力選択ビット	0: 弱 1: 強	0	RW
7	ポートP0 <sub>7</sub> 駆動能力選択ビット	0: 弱 1: 強	0	RW

図4.5 ポートP0駆動能力制御レジスタの構成

ポートP0プルアップ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ポートP0プルアップ制御レジスタ(PULL0) 【0D16番地】

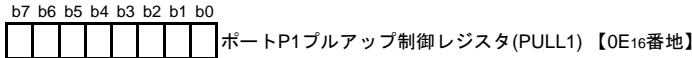
b	ビット名	機能	リセット後	RW
0	ポートP0 <sub>0</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
1	ポートP0 <sub>1</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
2	ポートP0 <sub>2</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
3	ポートP0 <sub>3</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
4	ポートP0 <sub>4</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
5	ポートP0 <sub>5</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
6	ポートP0 <sub>6</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
7	ポートP0 <sub>7</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW

注1. 出力モードのポートは、プルアップ制御ビットの設定にかかわらず、プルアップ抵抗は接続されません。

図4.6 ポートP0プルアップ制御レジスタの構成



ポートP1プルアップ制御レジスタ



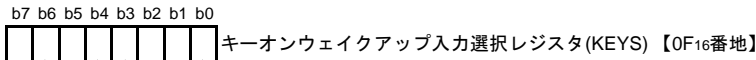
b	ビット名	機能	リセット後	RW
0	ポートP1 <sub>0</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
1	ポートP1 <sub>1</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
2	ポートP1 <sub>2</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
3	ポートP1 <sub>3</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
4	ポートP1 <sub>4</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
5	ポートP1 <sub>5</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
6	ポートP1 <sub>6</sub> プルアップ制御ビット (注2)	0: プルアップなし 1: プルアップあり	0	RW
7	ポートP1 <sub>7</sub> プルアップ制御ビット (注2)	0: プルアップなし 1: プルアップあり	0	RW

注1. 出力モードのポートは、プルアップ制御ビットの設定にかかわらず、プルアップ抵抗は接続されません。

注2. 7548グループにはP1<sub>6</sub>~P1<sub>7</sub>端子がありません。

図4.7 ポートP1プルアップ制御レジスタの構成

キーオンウェイクアップ入力選択レジスタ



b	ビット名	機能	リセット後	RW
0	ポートP1 <sub>0</sub> キーオン ウェイクアップ入力選択ビット	0: 入力無効 1: 入力有効	0	RW
1	ポートP1 <sub>1</sub> キーオン ウェイクアップ入力選択ビット	0: 入力無効 1: 入力有効	0	RW
2	ポートP1 <sub>2</sub> キーオン ウェイクアップ入力選択ビット	0: 入力無効 1: 入力有効	0	RW
3	ポートP1 <sub>3</sub> キーオン ウェイクアップ入力選択ビット	0: 入力無効 1: 入力有効	0	RW
4	ポートP1 <sub>4</sub> キーオン ウェイクアップ入力選択ビット	0: 入力無効 1: 入力有効	0	RW
5	ポートP1 <sub>5</sub> キーオン ウェイクアップ入力選択ビット	0: 入力無効 1: 入力有効	0	RW
6	ポートP1 <sub>6</sub> キーオン ウェイクアップ入力選択ビット (注1)	0: 入力無効 1: 入力有効	0	RW
7	ポートP1 <sub>7</sub> キーオン ウェイクアップ入力選択ビット (注1)	0: 入力無効 1: 入力有効	0	RW

注1. 7548グループにはP1<sub>6</sub>~P1<sub>7</sub>端子がありません。

図4.8 キーオンウェイクアップ入力選択レジスタの構成

キャプチャ/コンペアレジスタ(下位)、キャプチャ/コンペアレジスタ(上位)

b7 b6 b5 b4 b3 b2 b1 b0 キャプチャ/コンペアレジスタ (下位) (CRAL)、キャプチャ/コンペアレジスタ (上位) (CRAH) 【10<sub>16</sub>番地、11<sub>16</sub>番地】

b	機能	リセット後	RW
0	<ul style="list-style-type: none"> <li>●インプットキャプチャ時                             <ul style="list-style-type: none"> <li>・キャプチャ入力にてタイマのカウンタ値の読み出しを行うレジスタです。</li> <li>・キャプチャラッチの読み出しは、キャプチャ/コンペアレジスタR/Wポインタで制御します。キャプチャラッチからの読み出し手順は、次のようになります。</li> </ul> </li> </ul>	0	RW
1	<ul style="list-style-type: none"> <li>①キャプチャ/コンペアレジスタR/Wポインタに読み出し先のキャプチャラッチを設定する。</li> </ul>	0	RW
2	<ul style="list-style-type: none"> <li>②キャプチャ/コンペアレジスタ(上位)とキャプチャ/コンペアレジスタ(下位)を読み出す。(上位、下位はこの順で、必ず両レジスタ共に読み出してください。)</li> </ul>	0	RW
3	<ul style="list-style-type: none"> <li>●アウトプットコンペア時</li> </ul>	0	RW
4	<ul style="list-style-type: none"> <li>・コンペア出力にてタイマのカウンタ値を設定するレジスタです。</li> <li>・コンペアラッチへの書き込み手順は、次のようになります。</li> </ul>	0	RW
5	<ul style="list-style-type: none"> <li>①キャプチャ/コンペアレジスタR/W ポインタに書き込み先のコンペアラッチを設定する。</li> </ul>	0	RW
6	<ul style="list-style-type: none"> <li>②キャプチャ/コンペアレジスタ(下位)とキャプチャ/コンペアレジスタ(上位)に値を設定する。</li> </ul>	0	RW
7	<ul style="list-style-type: none"> <li>③コンペアラッチy (y = 00, 01, 10, 11, 20, 21) リロードビットに“1”を設定する。</li> </ul>	0	RW

注1. タイマAが停止している場合、キャプチャ/コンペアレジスタに値を書き込んだ時点でコンペアラッチにも値が転送されます。  
注2. コンペアラッチx0 とコンペアラッチx1 には、同一の値を設定しないでください。

図4.9 キャプチャ/コンペアレジスタ(下位)、キャプチャ/コンペアレジスタ(上位)の構成

キャプチャ/コンペアレジスタRWポインタ

b7 b6 b5 b4 b3 b2 b1 b0  
**00000** キャプチャ/コンペアレジスタR/Wポインタ(CCRP) 【1216番地】

b	ビット名	機能	リセット後	RW
0	キャプチャ/コンペアレジスタR/Wポインタ	b2 b1 b0 000: コンペアラッチ00 001: コンペアラッチ01 010: コンペアラッチ10 011: コンペアラッチ11 100: コンペアラッチ20 101: コンペアラッチ21 110: キャプチャラッチ00 111: キャプチャラッチ01	0	RW
1			0	RW
2			0	RW
3	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

図4.10 キャプチャ/コンペアレジスタR/Wポインタの構成

コンペア出力モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0  
**00** コンペア出力モードレジスタ(CMOM) 【1316番地】

b	ビット名	機能	リセット後	RW
0	コンペア0出力レベルラッチ	0: 正極性出力 1: 反極性出力	0	RW
1	コンペア1出力レベルラッチ	0: 正極性出力 1: 反極性出力	0	RW
2	コンペア2出力レベルラッチ	0: 正極性出力 1: 反極性出力	0	RW
3	コンペア0トリガ有効ビット	0: トリガ無効 1: トリガ有効	0	RW
4	コンペア1トリガ有効ビット	0: トリガ無効 1: トリガ有効	0	RW
5	コンペア2トリガ有効ビット	0: トリガ無効 1: トリガ有効	0	RW
6	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
7			0	RO

図4.11 コンペア出力モードレジスタの構成

タイマレジスタ(下位)、タイマレジスタ(上位)

b7 b6 b5 b4 b3 b2 b1 b0



タイマレジスタ(下位)(TAL)、タイマレジスタ(上位)(TAH)【14<sub>16</sub>番地、15<sub>16</sub>番地】

b	機能	リセット後	RW
0	・カウント初期値を設定してください。	1	RW
1	設定値をnとするとカウントソースを(n+1)カウントします。	1	RW
2	・書き込み時、タイマA書き込み制御ビットの値により、次のように動作します。	1	RW
3	"0"の場合：タイマAラッチ及びタイマAへの同時書き込み	1	RW
4	"1"の場合：タイマAラッチのみへの書き込み	1	RW
5	下位、上位の順で、必ず両レジスタ共に書き込んでください。	1	RW
6	なお、この動作は、タイマAカウント停止ビットの影響を受けません。	1	RW
7	・読み出し時の値は、タイマAのカウント値です。 上位、下位の順で、必ず両レジスタ共に読み出してください。	1	RW

注. タイマAのカウントソースクロックと、ΦSOURCEが別クロックの場合、タイマAの動作中にはタイマAの読み出し/書き込みが行えません。読み出し/書き込みを行う場合は、同じクロックを選択するか、タイマAを停止した状態で行ってください。

- タイマAの動作中にタイマAの読み出し/書き込みを行えない条件
- ・タイマAのカウントソース：XCIN入カクロック かつ ΦSOURCE：XCIN入カクロック以外のクロック
- 又は
- ・タイマAのカウントソース：低速オンチップオシレータ出力 かつ ΦSOURCE：低速オンチップオシレータ以外のクロック

図4.12 タイマレジスタ(下位)、タイマレジスタ(上位)の構成

送信バッファレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



送信バッファレジスタ(TB)【18<sub>16</sub>番地】

b	機能	リセット後	RW
0	送信データの書き込みを行うバッファレジスタです。	不定	WO
1	送信データを書いてください。	不定	WO
2		不定	WO
3		不定	WO
4		不定	WO
5		不定	WO
6		不定	WO
7		不定	WO

注. 受信バッファレジスタと同じ番地です。読み出しはできません。

受信バッファレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



受信バッファレジスタ(RB)【18<sub>16</sub>番地】

b	機能	リセット後	RW
0	受信データの読み出しを行うバッファレジスタです。	不定	RO
1	受信データが読めます。	不定	RO
2		不定	RO
3		不定	RO
4		不定	RO
5		不定	RO
6		不定	RO
7		不定	RO

注. 送信バッファレジスタと同じ番地です。書き込みはできません。

図4.13 送信バッファレジスタ及び受信バッファレジスタの構成

シリアルI/Oステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

1 シリアルI/Oステータスレジスタ(SIOSTS)【1916番地】

b	ビット名	機能	リセット後	RW
0	送信バッファEMPTYフラグ(TBE) (注1)	0: バッファレジスタフル状態 1: バッファレジスタEMPTY状態	0	RO
1	受信バッファフルフラグ(RBF) (注1、2)	0: バッファレジスタEMPTY状態 1: バッファレジスタフル状態	0	RO
2	送信シフトレジスタシフト終了フラグ(TSC) (注1)	0: 送信シフト中 1: 送信シフト終了	0	RO
3	オーバランエラーフラグ(OE) (注3)	0: オーバランエラーなし 1: オーバランエラー発生	0	RO
4	パリティエラーフラグ(PE) (注3)	0: パリティエラーなし 1: パリティエラー発生	0	RO
5	フレーミングエラーフラグ(FE) (注3)	0: フレーミングエラーなし 1: フレーミングエラー発生	0	RO
6	ザミングエラーフラグ(SE) (注3)	0: (OE)U(PE)U(FE)=0 1: (OE)U(PE)U(FE)=1	0	RO
7	読み出し時の値は"1"。書く場合は"1"を書いてください。		1	RO

注1. 書く場合は"0"を書いてください。

注2. 受信バッファレジスタを読み出すと"0"になります。

注3. このレジスタへの書き込みで、このビットは"0"になります。書く場合は"0"を書いてください。

図4.14 シリアルI/Oステータスレジスタの構成

シリアルI/O制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シリアルI/O制御レジスタ(SIOCON)【1A16番地】

b	ビット名	機能	リセット後	RW
0	BRGカウントソース選択ビット(CSS)	0: $\phi$ SOURCE 1: $\phi$ SOURCE/4	0	RW
1	シリアルI/O同期クロック選択ビット(SCS)	クロック同期形シリアルI/Oモード時 0: BRG出力の4分周 (P06端子: 同期クロックの出力端子) 1: 外部クロック入力 (P06端子: 同期クロックの入力端子) UARTモード時 0: BRG出力の16分周 (P06端子: 入出力ポート) 1: 外部クロック入力の16分周 (P06端子: 外部クロックの入力端子)	0	RW
2	SRDY出力許可ビット(SRDY)	0: 出力禁止(P07端子: 入出力ポート) 1: 出力許可(P07端子: SRDY出力端子)	0	RW
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファレジスタが空になったとき (TBE=1) 1: 送信シフトレジスタのシフト動作終了時 (TSC=1)	0	RW
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	RW
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	RW
6	シリアルI/Oモード選択ビット(SIOM)	0: UARTモード 1: クロック同期形シリアルI/Oモード	0	RW
7	シリアルI/O許可ビット(SIOE)	0: シリアルI/O禁止 (P04~P07端子: 入出力ポート) 1: シリアルI/O許可 (P04~P07端子: シリアルI/O機能端子)	0	RW

図4.15 シリアルI/O制御レジスタの構成

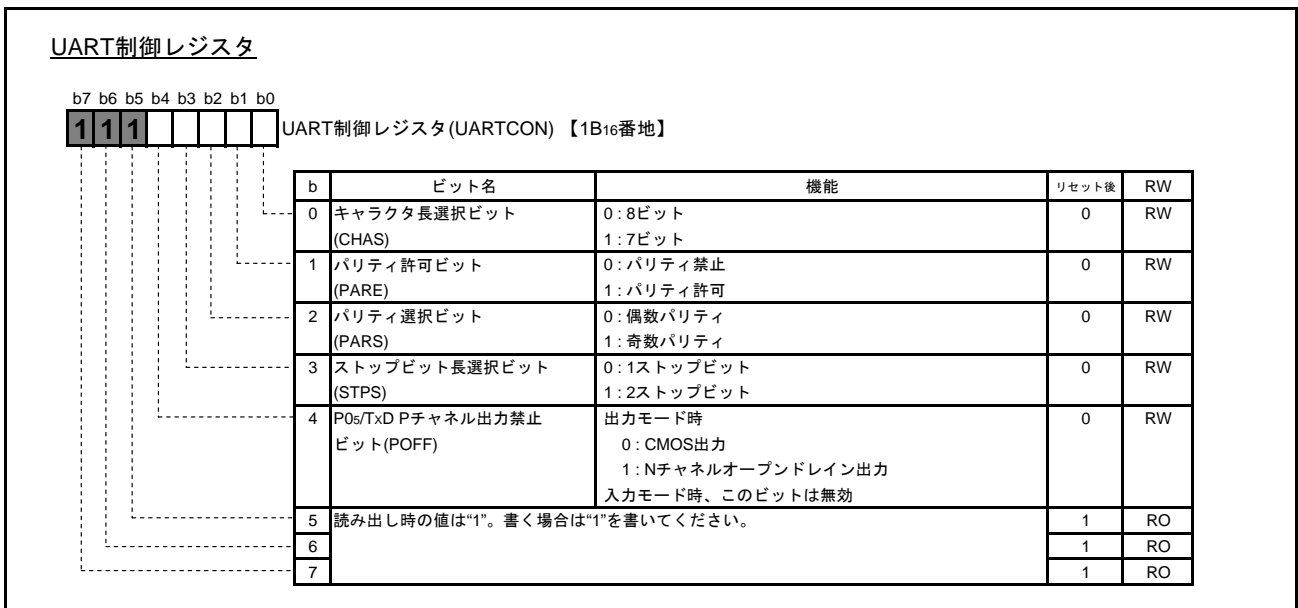


図4.16 UART制御レジスタの構成

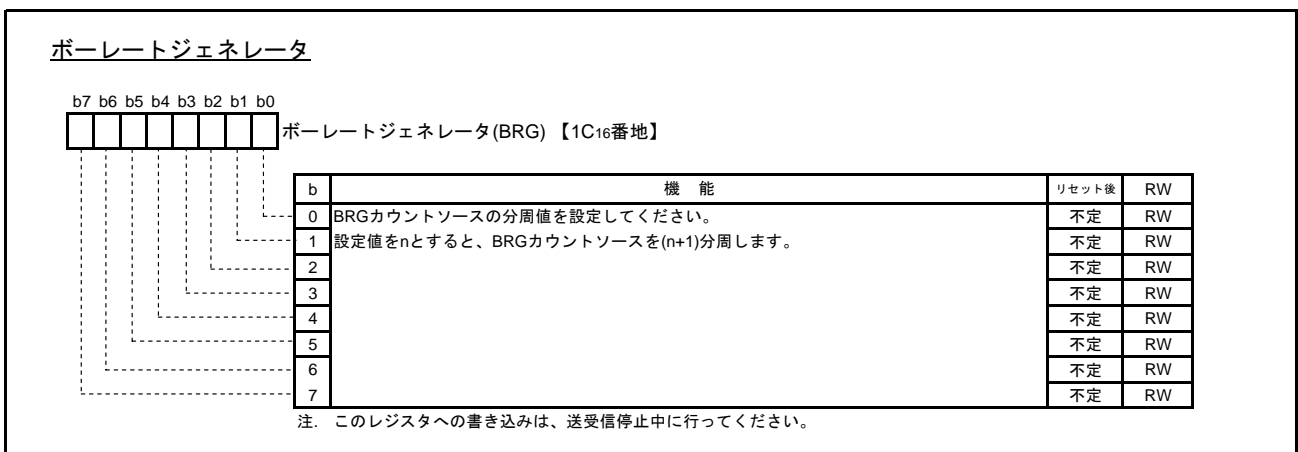


図4.17 ボーレートジェネレータの構成

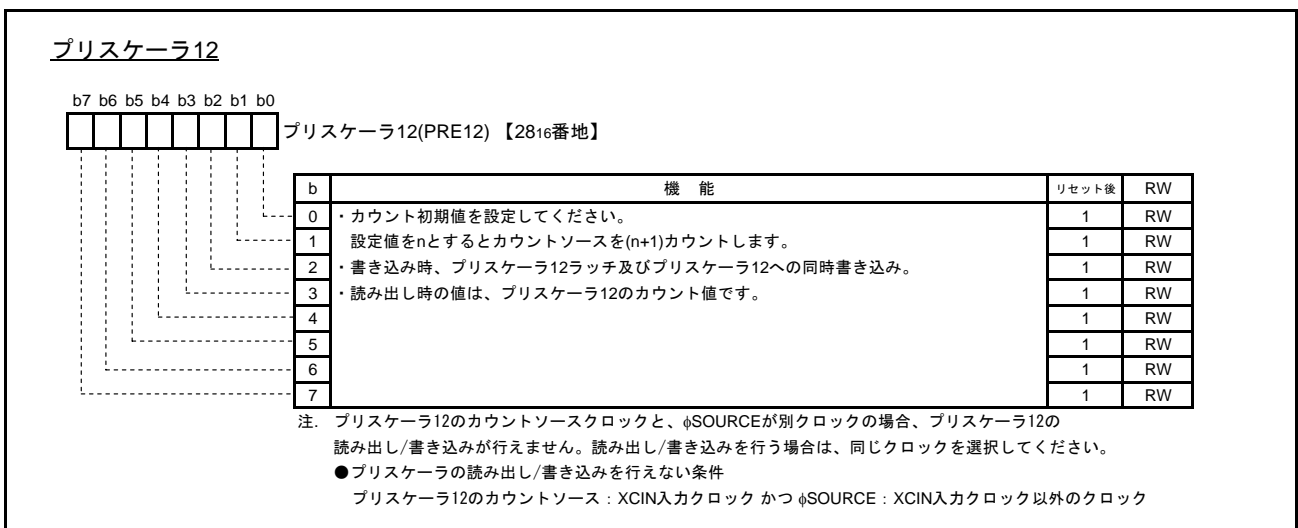
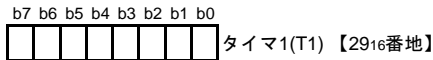


図4.18 プリスケアラ12の構成

タイマ1レジスタ

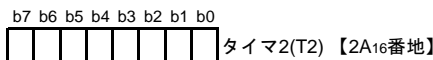


b	機能	リセット後	RW
0	・カウント初期値を設定してください。	1	RW
1	設定値をnとするとカウントソースを(n+1)カウントします。	0	RW
2	・書き込み時、タイマ1ラッチ及びタイマ1への同時書き込み。	0	RW
3	・読み出し時の値は、タイマ1のカウント値です。	0	RW
4		0	RW
5		0	RW
6		0	RW
7		0	RW

注. プリスケアラ12のカウントソースクロックとφSOURCEが別クロックの場合、タイマ1の読み出し/書き込みが行えません。読み出し/書き込みを行う場合は、同じクロックを選択してください。  
 ●タイマ1の読み出し/書き込みを行えない条件  
 プリスケアラ12のカウントソース：XCIN入力クロック かつ φSOURCE：XCIN入力クロック以外のクロック

図4.19 タイマ1レジスタの構成

タイマ2レジスタ




b	機能	リセット後	RW
0	・カウント初期値を設定してください。	1	RW
1	設定値をnとするとカウントソースを(n+1)カウントします。	1	RW
2	・書き込み時、タイマ2書き込み制御ビットの値により、次のように動作します。	1	RW
3	"0"の場合：タイマ2ラッチ及びタイマ2への同時書き込み	1	RW
4	"1"の場合：タイマ2ラッチのみ書き込み	1	RW
5	なお、この動作はタイマ2カウント停止ビットの影響を受けません。	1	RW
6	・読み出し時の値は、タイマ2のカウント値です。	1	RW
7		1	RW

注1. タイマ2のカウントソースクロックと、φSOURCEが別クロックの場合、タイマ2の動作中にはタイマ2の読み出し/書き込みが行えません。読み出し/書き込みを行う場合は、同じクロックを選択するか、タイマ2を停止した状態で行ってください。  
 ●カウント動作中のタイマ2の読み出し/書き込みを行えない条件  
 ・タイマ2のカウントソース：プリスケアラ12 かつ プリスケアラ12のカウントソース：XCIN入力クロック かつ φSOURCE：XCIN入力クロック以外のクロック  
 又は  
 ・タイマ2のカウントソース：タイマAアンダフロー かつ タイマAのカウントソース：XCIN入力クロック かつ φSOURCE：XCIN入力クロック以外のクロック  
 又は  
 ・タイマ2のカウントソース：タイマAアンダフロー かつ タイマAのカウントソース：低速オンチップオシレータ出力 かつ φSOURCE：低速オンチップオシレータ以外のクロック

図4.20 タイマ2レジスタの構成


タイマモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0  

 タイマモードレジスタ(TM) 【2B16番地】

b	ビット名	機能	リセット後	RW
0	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
1	タイマ2カウント停止ビット	0: カウント開始 1: カウント停止	0	RW
2	P13/T2OUT出力有効ビット	0: パルス出力無効(入出力ポート) 1: パルス出力有効	0	RW
3	T2OUT極性切り替えビット	0: "H"レベルから開始 1: "L"レベルから開始	0	RW
4	タイマ2書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
5	タイマA書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
6	タイマAカウント停止ビット	0: カウント開始 1: カウント停止	0	RW
7	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO

図4.21 タイマモードレジスタ

タイマカウントソース設定レジスタ

b7 b6 b5 b4 b3 b2 b1 b0  

 タイマカウントソース設定レジスタ(TCSS) 【2C16番地】

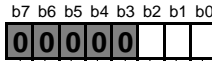
b	ビット名	機能	リセット後	RW
0	タイマ2カウントソース 選択ビット (注1)	b1 b0 00: φSOURCE/16 01: φSOURCE/256 10: プリスケアラ12出力 11: タイマAアンダフロー信号	0	RW
1			0	RW
2	タイマAカウントソース 選択ビット (注1)	b4 b3 b2 000: φSOURCE/16 001: φSOURCE/2 010: φSOURCE/32 011: φSOURCE/64 100: φSOURCE/128 101: φSOURCE/256 110: 低速オンチップオシレータ出力 111: X <sub>CIN</sub> 入力クロック (32kHz水晶発振) (注2)	0	RW
3			0	RW
4			0	RW
5	プリスケアラ12カウントソース 選択ビット	0: φSOURCE/16 1: X <sub>CIN</sub> 入力クロック (32kHz水晶発振) (注2)	0	RW
6	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
7			0	RO

注1. φSOURCEはクロック選択ビット(クロックモードレジスタ(3716番地)のビット5,4)で選択されたクロックです。  
 タイマのカウントソースは、CPUクロック分周比選択ビット(クロックモードレジスタのビット7,6)の影響は受けません。  
 注2. 機能設定ROMデータ1(FSROM1)のビット0,1で32kHz水晶発振を選択した場合のみ使用可能です

図4.22 タイマカウントソース設定レジスタの構成



コンペア設定値リロードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0  

 コンペア設定値リロードレジスタ(CMPR)【2D16番地】

b	ビット名	機能	リセット後	RW
0	コンペアラッチ00、01 リロードビット	0:リロード無効 1:リロード有効(次のアンダフロー時)	0	RW
1	コンペアラッチ10、11 リロードビット	0:リロード無効 1:リロード有効(次のアンダフロー時)	0	RW
2	コンペアラッチ20、21 リロードビット	0:リロード無効 1:リロード有効(次のアンダフロー時)	0	RW
3	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

図4.23 コンペア設定値リロードレジスタの構成

キャプチャ/コンペアポートレジスタ

b7 b6 b5 b4 b3 b2 b1 b0  

 キャプチャ/コンペアポートレジスタ(CCPR)【2E16番地】

b	ビット名	機能	リセット後	RW
0	キャプチャ0 入力ポート選択ビット	0:P03を選択 1:低速オンチップオシレータの16分周を選択	0	RW
1	コンペア0出力ポート選択ビット	0:P10は入出力ポート 1:P10はコンペア0出力ポート	0	RW
2	コンペア1出力ポート選択ビット	0:P11は入出力ポート 1:P11はコンペア1出力ポート	0	RW
3	コンペア2出力ポート選択ビット	0:P12は入出力ポート 1:P12はコンペア2出力ポート	0	RW
4	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
5			0	RO
6			0	RO
7			0	RO

図4.24 キャプチャ/コンペアポートレジスタの構成

キャプチャ/コンペアステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0000

キャプチャ/コンペアステータスレジスタ(CCSR) 【2F16番地】

b	ビット名	機能	リセット後	RW
0	コンペア0出カステータスビット	0: "L"レベル出力 1: "H"レベル出力	0	RW
1	コンペア1出カステータスビット	0: "L"レベル出力 1: "H"レベル出力	0	RW
2	コンペア2出カステータスビット	0: "L"レベル出力 1: "H"レベル出力	0	RW
3	キャプチャ0ステータスビット	0: ラッチ00キャプチャ 1: ラッチ01キャプチャ	0	RW
4	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
5			0	RO
6			0	RO
7			0	RO

図4.25 キャプチャ/コンペアステータスレジスタの構成

コンペア割り込みソース設定レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

00

コンペア割り込みソース設定レジスタ(CISR) 【3016番地】

b	ビット名	機能	リセット後	RW
0	コンペアラッチ00 割り込みソースビット	0: 無効 1: 有効	0	RW
1	コンペアラッチ01 割り込みソースビット	0: 無効 1: 有効	0	RW
2	コンペアラッチ10 割り込みソースビット	0: 無効 1: 有効	0	RW
3	コンペアラッチ11 割り込みソースビット	0: 無効 1: 有効	0	RW
4	コンペアラッチ20 割り込みソースビット	0: 無効 1: 有効	0	RW
5	コンペアラッチ21 割り込みソースビット	0: 無効 1: 有効	0	RW
6	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
7			0	RO

図4.26 コンペア割り込みソース設定レジスタの構成

キャプチャソフトウェアトリガレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0000000

キャプチャソフトウェアトリガレジスタ(CSTR) 【31<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	キャプチャ00 ソフトウェアトリガビット	このビットに"1"を書き込むことにより、 ソフトウェアトリガが発生します。 (読み出し時の値は"0")	0	WO
1	キャプチャ01 ソフトウェアトリガビット		0	WO
2	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
3			0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

図4.27 キャプチャソフトウェアトリガレジスタの構成

キャプチャモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

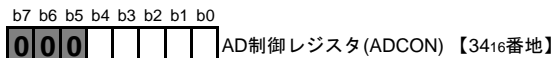
0000000

キャプチャモードレジスタ(CAPM) 【32<sub>16</sub>番地】

b	機能		リセット後	RW
0	キャプチャ0割り込みエッジ 選択ビット	b1 b0 00: 立ち上がり及び立ち下がりエッジ 01: 立ち上がりエッジ 10: 立ち下がりエッジ 11: 選択しないでください。	0	RW
1			0	RW
2	キャプチャ0ノイズフィルタ 選択ビット	b3 b2 00: フィルタなし 01: φSOURCE 10: φSOURCE/8 11: φSOURCE/32	0	RW
3			0	RW
4	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
5			0	RO
6			0	RO
7			0	RO

図4.28 キャプチャモードレジスタの構成

AD制御レジスタ



b	ビット名	機能	リセット後	RW
0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : P1 <sub>0</sub> /AN <sub>0</sub> 0 0 1 : P1 <sub>1</sub> /AN <sub>1</sub> 0 1 0 : P1 <sub>2</sub> /AN <sub>2</sub> 0 1 1 : P1 <sub>3</sub> /AN <sub>3</sub> 1 0 0 : P1 <sub>4</sub> /AN <sub>4</sub> 1 0 1 : P1 <sub>5</sub> /AN <sub>5</sub> 1 1 0 : P1 <sub>6</sub> /AN <sub>6</sub> (注2) 1 1 1 : P1 <sub>7</sub> /AN <sub>7</sub> (注2)	0	RW
1			0	RW
2			0	RW
3	AD変換クロック選択ビット	0 : φSOURCE/2 1 : φSOURCE	0	RW
4	AD変換終了ビット	0 : 変換中 1 : 変換終了	1	RW (注)
5	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
6			0	RO
7			0	RO

注1. このビットはプログラムで"0"にできますが、"1"にはできません。  
注2. 7548グループにはP1<sub>6</sub>~P1<sub>7</sub>端子がないため、選択しないでください。

図4.29 AD制御レジスタの構成

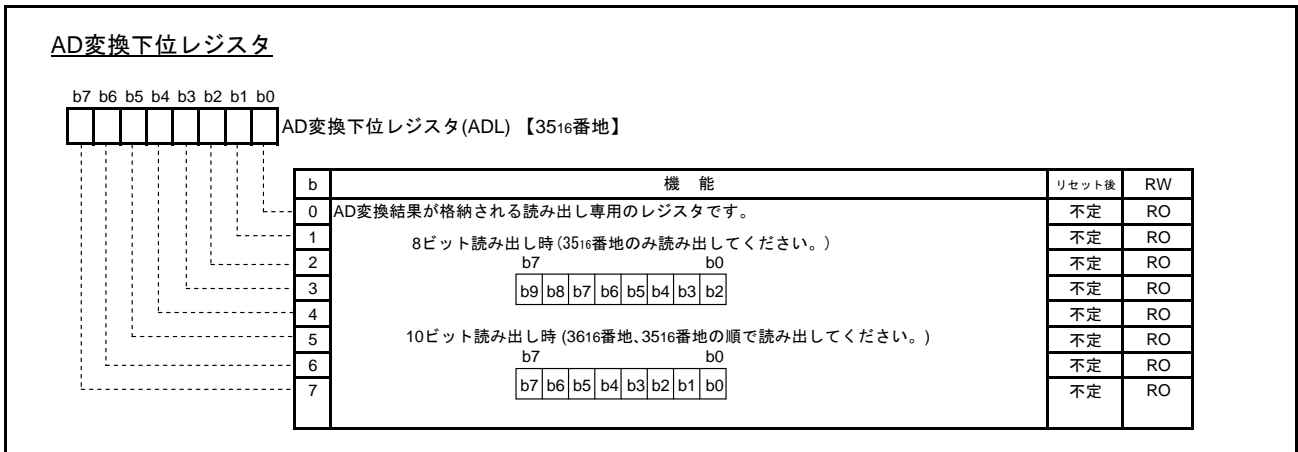


図4.30 AD変換下位レジスタの構成

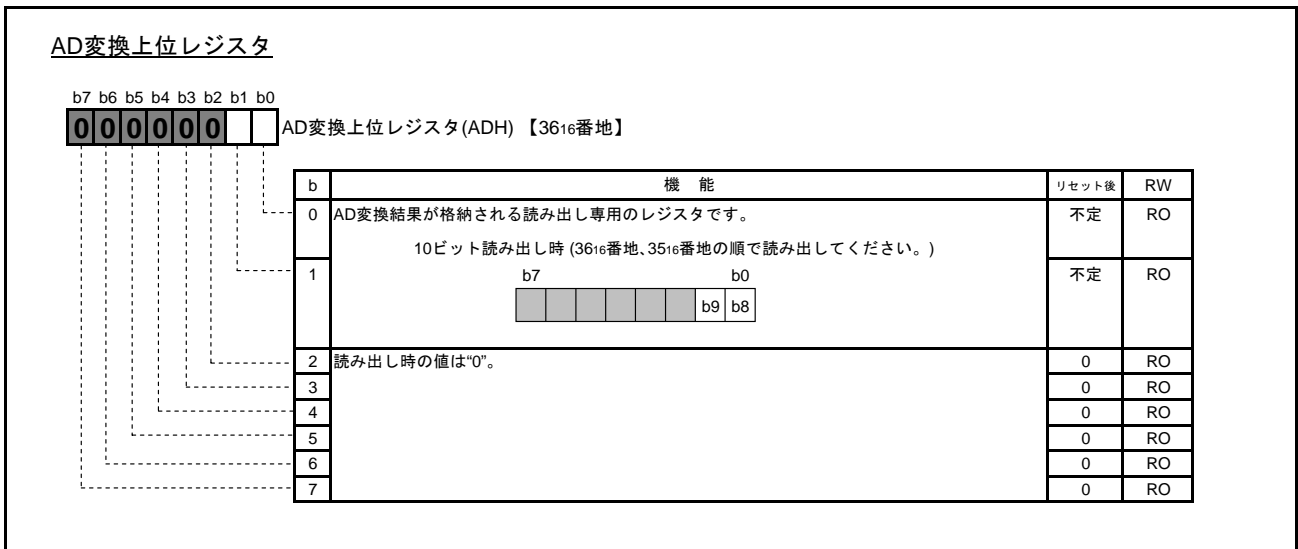
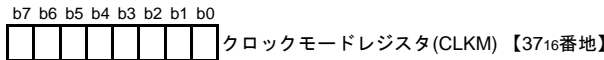


図4.31 AD変換上位レジスタの構成

クロックモードレジスタ

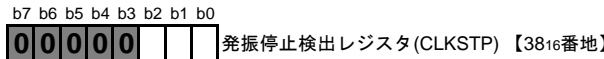


b	ビット名	機能	リセット後	RW
0	低速オンチップオシレータ 発振制御ビット (注1,2,4)	0: 発振開始 1: 発振停止	0	RW
1	高速オンチップオシレータ 発振制御ビット (注2,4)	0: 発振開始 1: 発振停止	1	RW
2	XIN/XCIN発振制御ビット (注2,4)	0: 発振開始 1: 発振停止	0	RW
3	STP命令解除後発振安定時間 設定ビット	0: タイマ1に"0116"、プリスケアラ12に"FF16"を自動設定 1: 自動設定しない	0	RW
4	クロック選択ビット (注3,4)	b5 b4 00: 低速オンチップオシレータ 01: 高速オンチップオシレータ 10: XIN/XCIN発振、外部クロック入力 11: 選択しないでください	0	RW
5			0	RW
6	CPUクロック分周比選択ビット	b7 b6 00: φSOURCEの8分周 (低速モード) 01: φSOURCEの4分周 (中速モード) 10: φSOURCEの2分周 (高速モード) 11: 分周なし (倍速モード)	0	RW
7			0	RW

- 注1. 低速オンチップオシレータ制御ビット(FSROM2のビット4)が"0"(低速オンチップオシレータ停止の禁止)の場合、このビットに"1"を書くことはできません。また、ストップモード時にも低速オンチップオシレータは停止しません。
- 注2. クロック選択ビットでφSOURCEとして選択されているクロックの発振制御ビットには、"1"を書くことはできません。
- 注3. 発振方式選択ビット(FSROM1のビット1,0)が"00b"(発振端子を使用しない)の場合、このビットに"10"を書くことはできません。
- 注4. クロック選択ビットと、各クロックの発振制御ビットの値は、一命令で同時に変更しないでください。必ず別命令で書き換えてください。

図4.32 クロックモードレジスタの構成

発振停止検出レジスタ



b	ビット名	機能	リセット後	RW
0	XIN発振停止検出機能有効ビット (注1)	0: 検出機能無効 1: 検出機能有効	0	RW
1	発振停止検出リセット 許可ビット	0: 発振停止検出リセット禁止 1: 発振停止検出リセット許可	0	RW
2	発振停止検出ステータスビット (注2)	0: 発振停止検出なし 1: 発振停止検出あり	0	RO
3	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

- 注1. XIN発振停止検出機能有効ビットは、発振停止検出リセットでは初期化されませんので、発振停止検出によるリセットからの復帰後は発振停止検出回路は有効となっています。
- 注2. 発振停止検出ステータスビットは、以下の場合に初期化("0")されます。
- ・ 外部リセット、パワーオンリセット、電圧低下検出リセット、ウォッチドッグタイマリセット、STP命令機能によるリセット
  - ・ XIN発振停止検出機能有効ビットへの"0"書き込み。
- 注3. 発振停止検出回路はエミュレータ専用MCU"M37549RLSS"にはありません。

図4.33 発振停止検出レジスタの構成

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ウォッチドッグタイマ制御レジスタ(WDTCON) 【3916番地】

b	ビット名	機能	リセット後	RW
0	ウォッチドッグタイマH (上位6ビット読み出し専用)		1	RO
1			1	RO
2			1	RO
3			1	RO
4			1	RO
5			1	RO
6		読み出し時の値は"0"。書く場合は"0"を書いてください。	0	RO
7	ウォッチドッグタイマH カウントソース選択ビット	0:ウォッチドッグタイマLのアンダフロー 1:低速オンチップオシレータの16分周又はφSOURCE/16	(注1)	RW

注1. ウォッチドッグタイマHカウントソース初期値設定ビット(FSROM2のビット2)の設定値により決まります。  
注2. このレジスタへの書き込みで、ウォッチドッグタイマは"FFFF16"になります。

図4.34 ウォッチドッグタイマ制御レジスタの構成

割り込みエッジ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



割り込みエッジ選択レジスタ(INTEDGE) 【3A16番地】

b	ビット名	機能	リセット後	RW
0	INT0割り込みエッジ選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	RW
1	INT1割り込みエッジ選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	RW
2		読み出し時の値は"0"。書く場合は"0"を書いてください。	0	RO
3			0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

図4.35 割り込みエッジ選択レジスタの構成

CPUモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



CPUモードレジスタ(CPUM) 【3B16番地】

b	ビット名	機能	リセット後	RW
0	プロセッサモードビット (注)	b1 b0 00:シングルチップモード 01:選択しないでください。 10:選択しないでください。 11:選択しないでください。	0	RW
1			0	RW
2	スタックページビット	0:0ページ 1:1ページ	0	RW
3		読み出し時の値は"0"。書く場合は"0"を書いてください。	0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

注. リセット解除後、1度だけ書くことができます。書き込み後はロックされるため、このビットへの再書き込みは無効になります。  
(エミュレータ専用MCUは除きます)

図4.36 CPUモードレジスタの構成

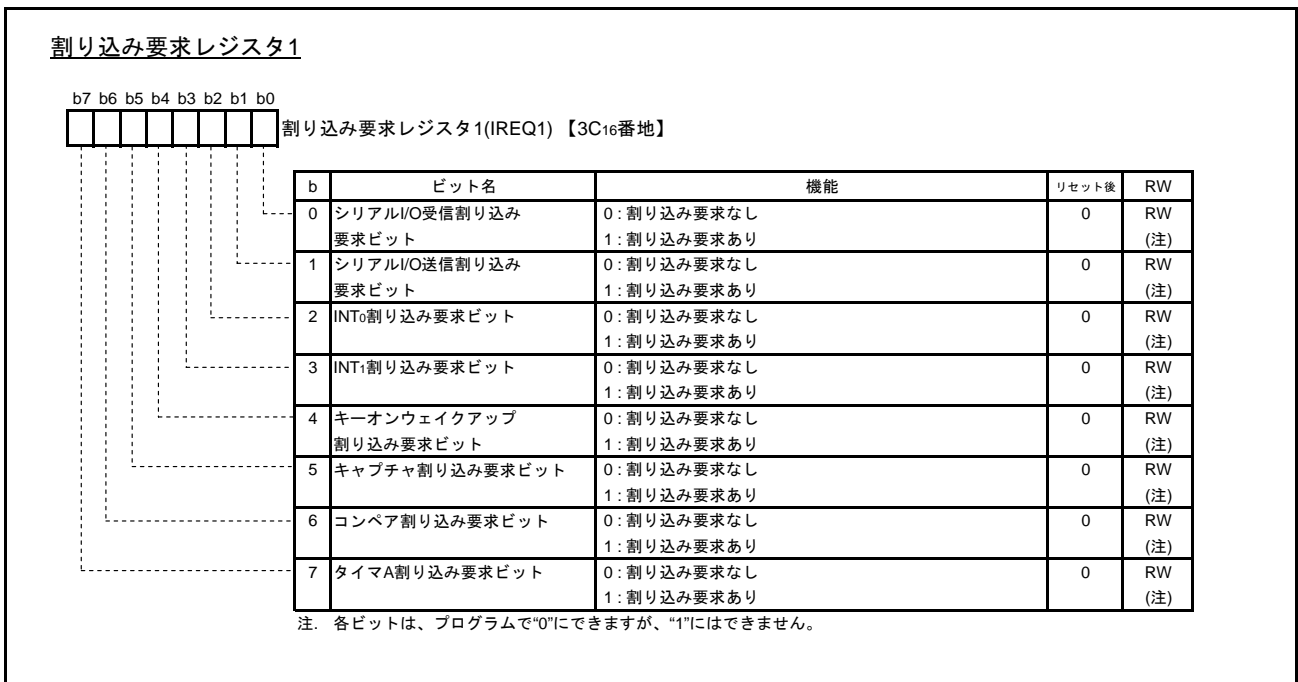


図4.37 割り込み要求レジスタ1の構成

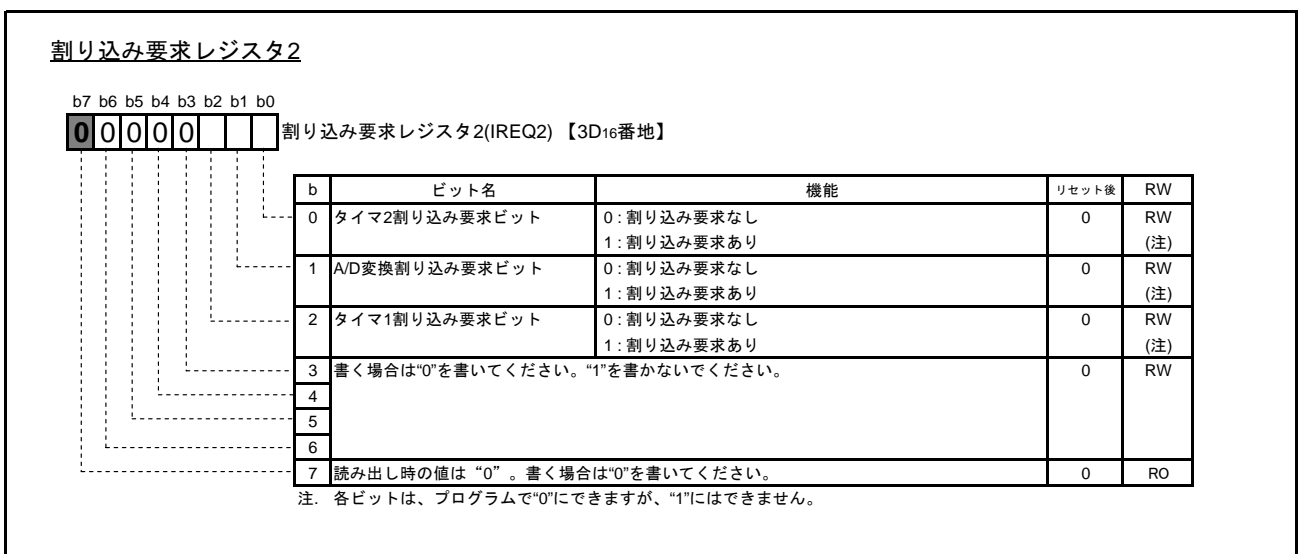


図4.38 割り込み要求レジスタ2の構成



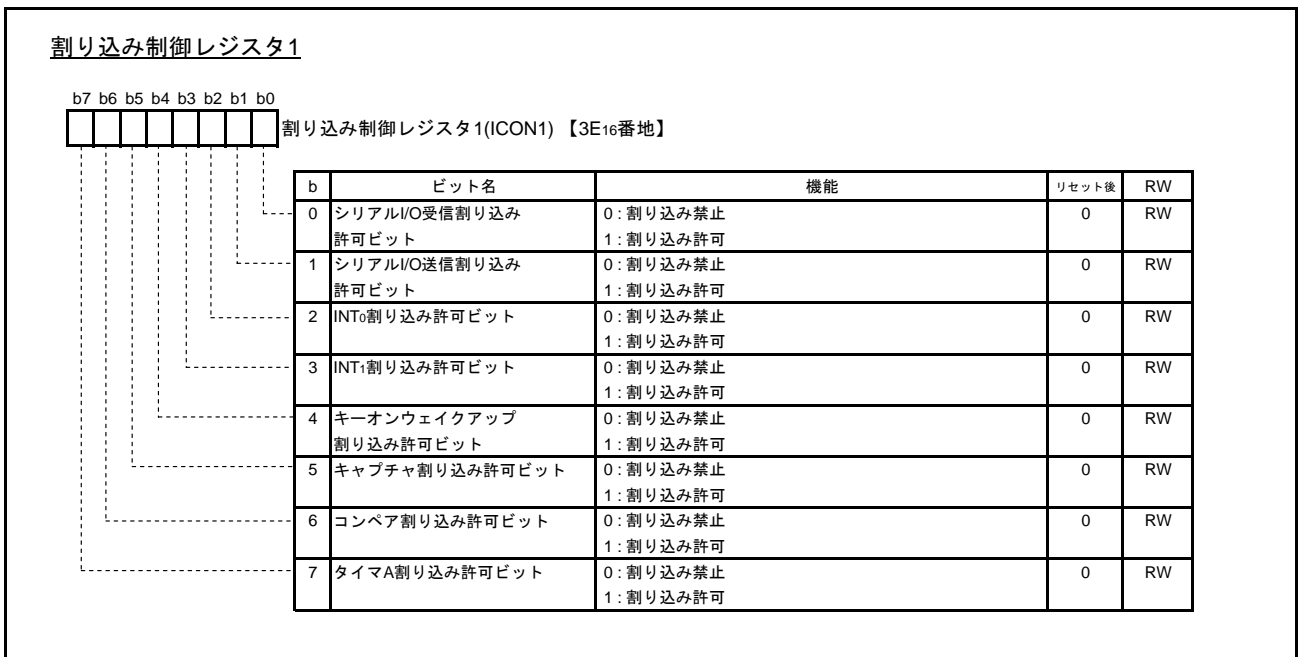


図4.39 割り込み制御レジスタ1の構成

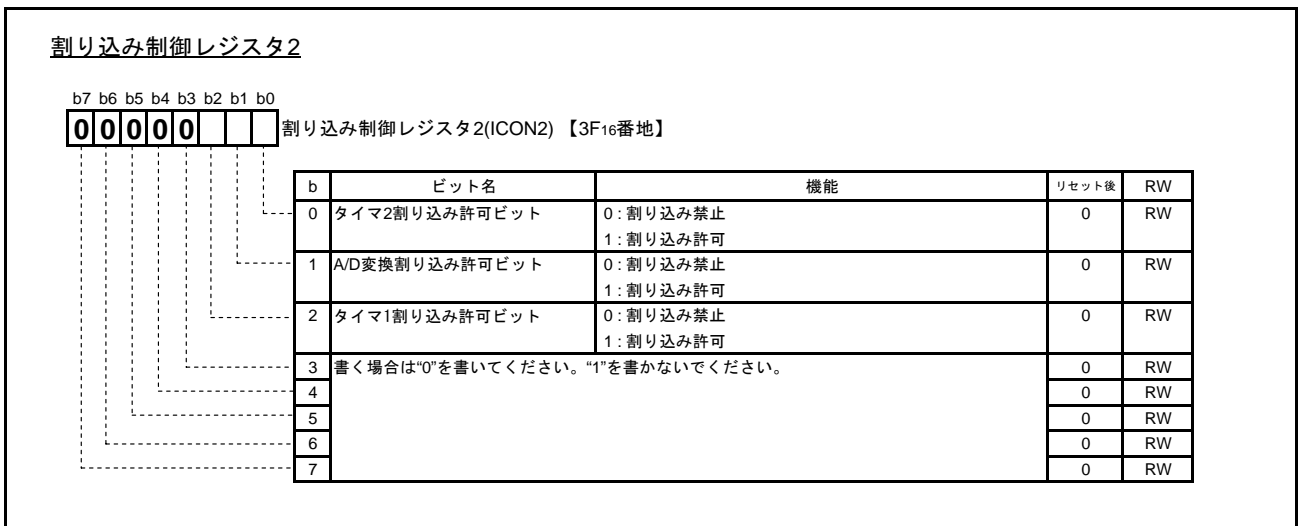


図4.40 割り込み制御レジスタ2の構成

機能設定ROMデータ0,1,2は周辺機能の設定をQzROMの書き込みデータで行うための領域で、プログラムの命令実行による設定はできません。  
この領域に設定されたデータは、マイコンのリセット解除時より有効となります。  
周辺機能の使用/未使用に関わらず、システムに合わせた値を必ず設定してください。

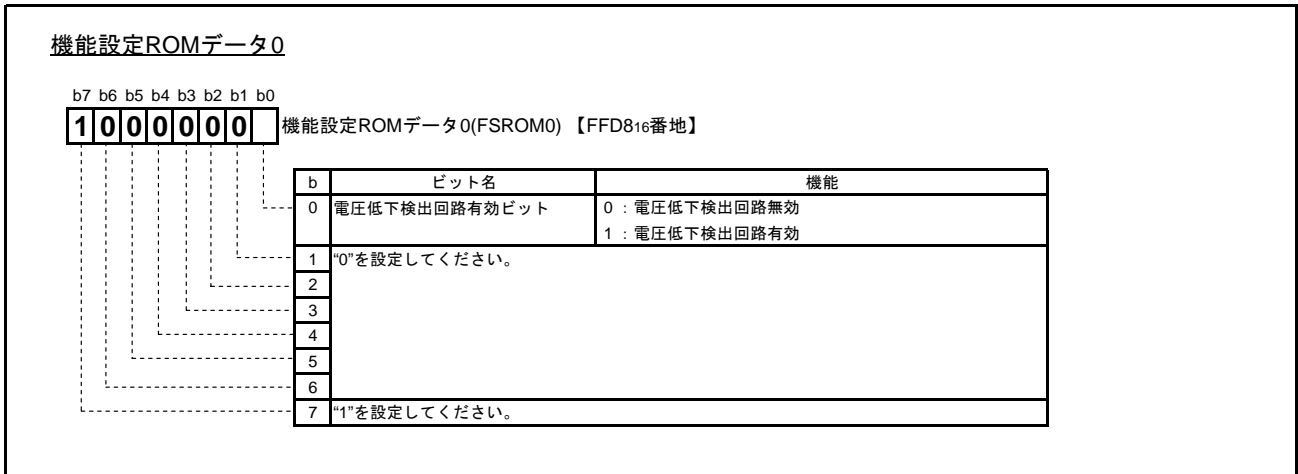


図4.41 機能設定ROMデータ0の構成

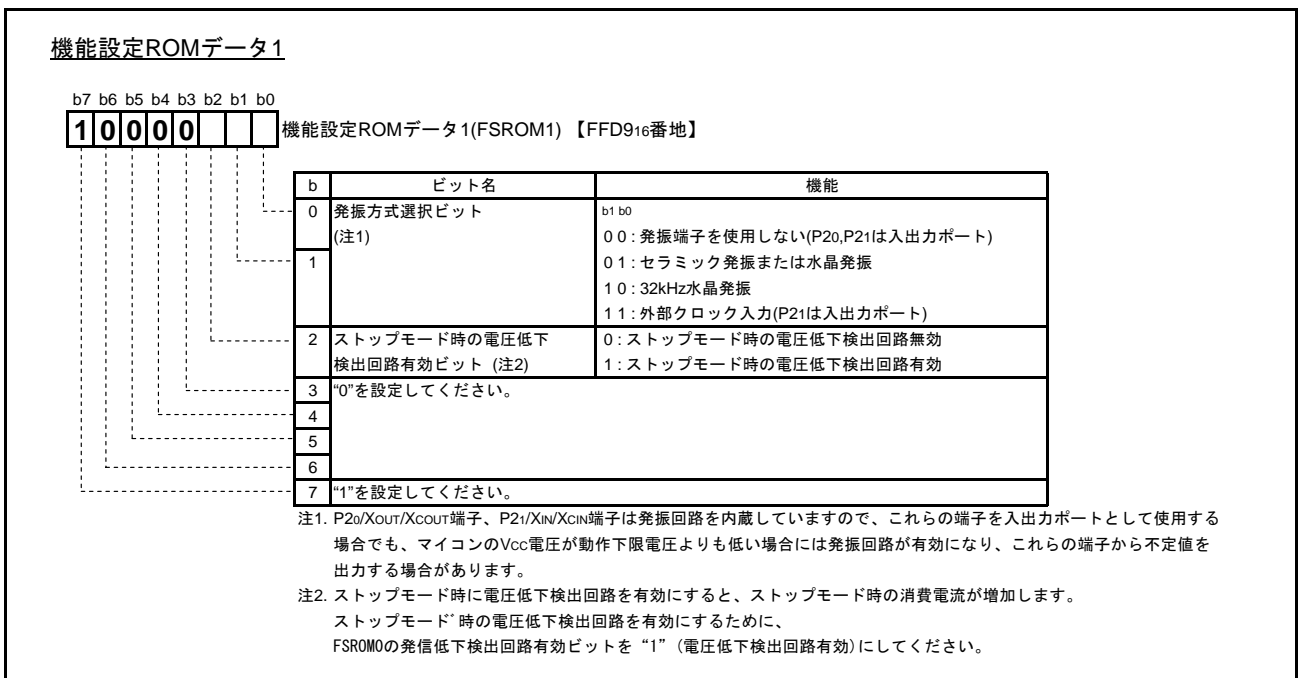


図4.42 機能設定ROMデータ1の構成

機能設定ROMデータ2

b7 b6 b5 b4 b3 b2 b1 b0

0 0 0

機能設定ROMデータ2(FSROM2) 【FFDA16番地】

b	ビット名	機能
0	ウォッチドッグタイマソース クロック選択ビット	0: 低速オンチップオシレータの16分周 1: 低速オンチップオシレータの16分周又はφSOURCE/16
1	ウォッチドッグタイマ起動選択 ビット	0: ウォッチドッグタイマ許可 1: ウォッチドッグタイマ禁止
2	ウォッチドッグタイマHカウント ソース初期値設定ビット	0: リセット解除後のWDTCONのビット7の初期値は"0" 1: リセット解除後のWDTCONのビット7の初期値は"1"
3	STP命令機能選択ビット	0: STP命令実行時、ストップモードへ移行 1: STP命令実行時、内部リセット発生
4	低速オンチップオシレータ制御 ビット (注)	0: 低速オンチップオシレータ停止の禁止 1: 低速オンチップオシレータ停止の許可
5	"0"を設定してください。	
6		
7		

注. このビットに"0"を設定した場合、低速オンチップオシレータ発振制御ビット(CLKMのビット0)に"1"を書くことができなくなります。また、ストップモード時にも低速オンチップオシレータは停止しません。

図4.43 機能設定ROMデータ2の構成

## 5. 参考ドキュメント

データシート

7549グループデータシート

(最新版をルネサステクノロジホームページから入手してください。)

テクニカルニュース／テクニカルアップデート

(最新の情報をルネサステクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサステクノロジホームページ  
<http://japan.renesas.com/>

お問合せ先  
<http://japan.renesas.com/inquiry>  
[csc@renesas.com](mailto:csc@renesas.com)

改定記録	7548、7549グループ レジスター一覧
------	-----------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009/12/25	-	初版発行

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いいたします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444