

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7544グループ レジスタ一覧

1. 要約

この資料は7544グループのレジスタについて説明しています。

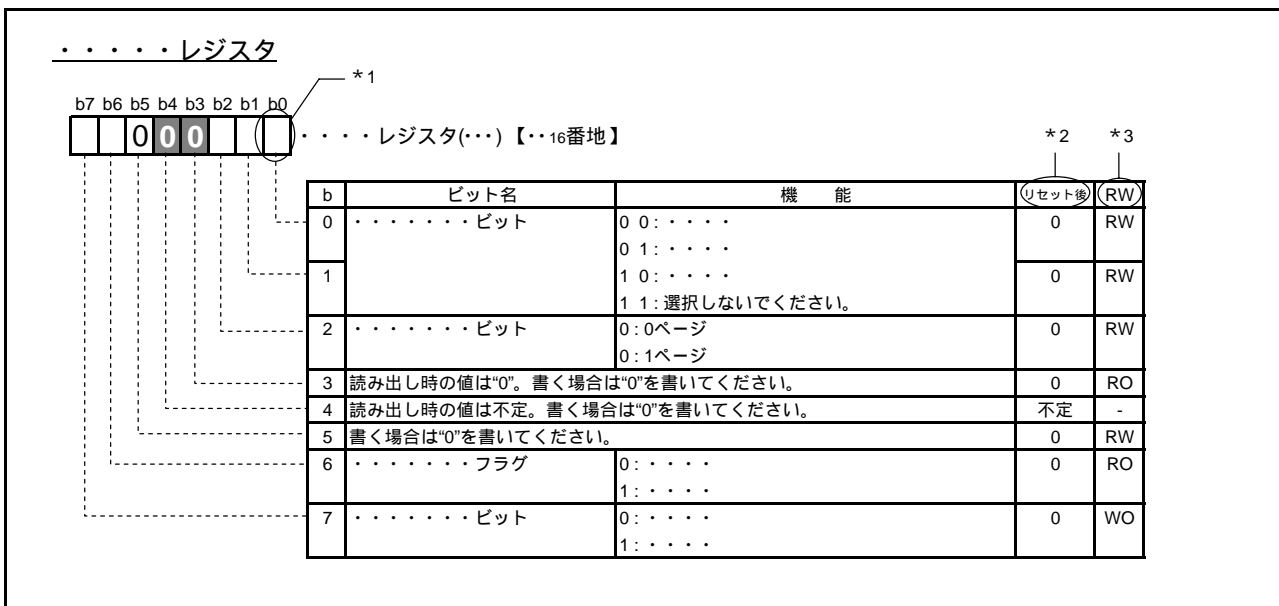
2. はじめに

この資料で説明するレジスタは次の条件での利用に適用されます。

- ・マイコン : 7544グループ

3. レジスタ構成図

このアプリケーションノートに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



- * 1
- 空白 :用途に応じて"0"又は"1"を設定してください。
 - 0 :書く場合は"0"を書いてください。
 - 1 :書く場合は"1"を書いてください。
 - x :特定のモード又は状態で使用しないビット。"0"又は"1"いずれでもよい。
 - :何も配置されていない。

- * 2
- 0 :リセット後"0"になる。
 - 1 :リセット後"1"になる。
 - 不定 :リセット後、不定になる。

- * 3
- RW :読み出し可能。書き込み可能。
 - RO :読み出し可能。書く場合の値は、それぞれのビットに依存します。
 - WO :書き込み可能。読み出し時の値は不定。
 - :読み出し時の値は不定。書く場合の値は、それぞれのビットに依存します。

4. レジスタの説明

ポートPiレジスタ

ポートPiレジスタ(Pi) (i = 0 ~ 3)
【0016,0216,0416,0616番地】

b	ビット名	機能	リセット後	RW
0	ポートPio	出力モード時	不定	RW
1	ポートPii	書き込み: ポートラッチ	不定	RW
2	ポートPiz	読み出し: ポートラッチ	不定	RW
3	ポートPis	入力モード時	不定	RW
4	ポートPii	書き込み: ポートラッチ	不定	RW
5	ポートPis	読み出し: 端子の値	不定	RW
6	ポートPii		不定	RW
7	ポートPii		不定	RW

注: ポートP1のビット5,6,7、ポートP2のビット6,7、ポートP3のビット5,6には何も配置されていません。
読み出し時の値は不定。書く場合は“0”を書いてください。

図4.1 ポートPiレジスタの構成(i = 0 ~ 3)

ポートPi方向レジスタ

ポートPi方向レジスタ(PiD) (i = 0 ~ 3)
【0116,0316,0516,0716番地】

b	ビット名	機能	リセット後	RW
0	ポートPio方向レジスタ	0: 入力モード 1: 出力モード	0	WO
1	ポートPii方向レジスタ	0: 入力モード 1: 出力モード	0	WO
2	ポートPiz方向レジスタ	0: 入力モード 1: 出力モード	0	WO
3	ポートPis方向レジスタ	0: 入力モード 1: 出力モード	0	WO
4	ポートPii方向レジスタ	0: 入力モード 1: 出力モード	0	WO
5	ポートPis方向レジスタ	0: 入力モード 1: 出力モード	0	WO
6	ポートPii方向レジスタ	0: 入力モード 1: 出力モード	0	WO
7	ポートPii方向レジスタ	0: 入力モード 1: 出力モード	0	WO

注1. ポートP1のビット5,6,7、ポートP2のビット6,7、ポートP3のビット5,6には何も配置されていません。
読み出し時の値は不定。書く場合は“0”を書いてください。
注2. 出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

図4.2 ポートPi方向レジスタの構成(i = 0 ~ 3)

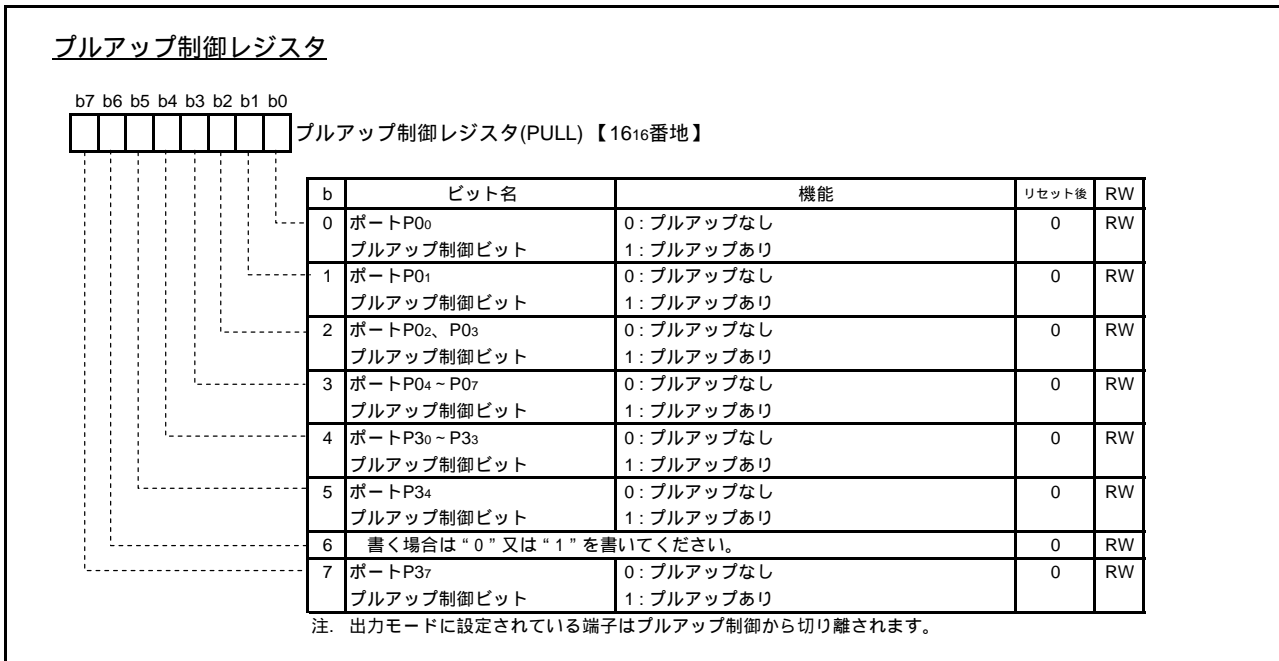


図4.3 プルアップ制御レジスタの構成

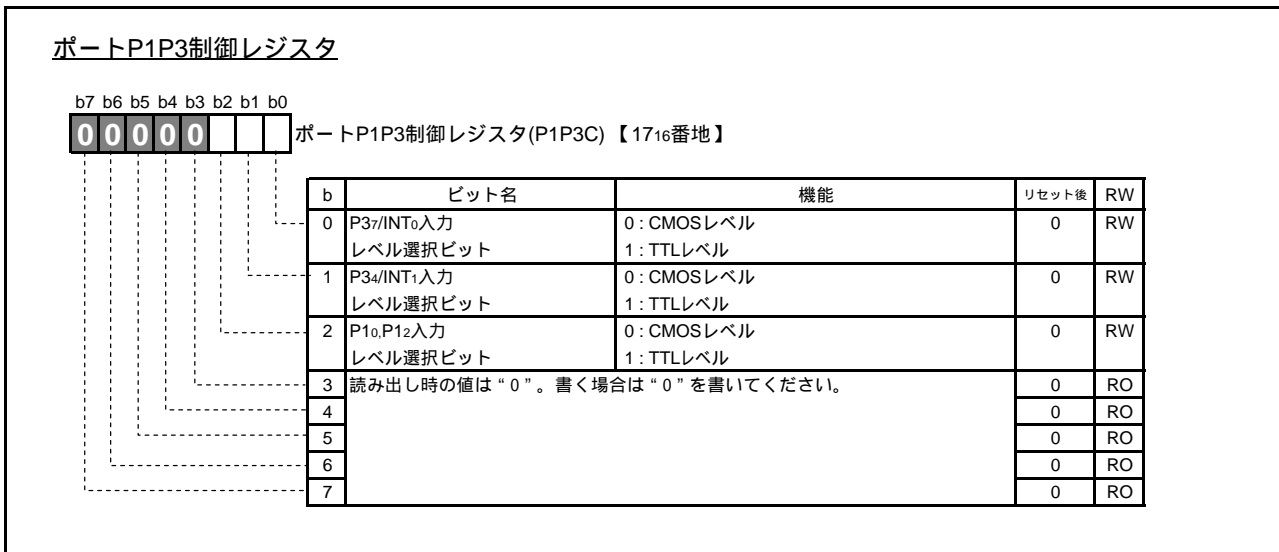
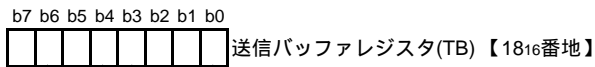


図4.4 ポートP1P3制御レジスタの構成

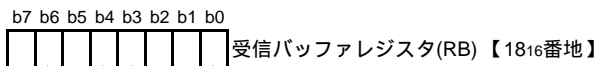
送信バッファレジスタ



b	機 能	リセット後	RW
0	送信データの書き込みを行うバッファレジスタです。	不定	WO
1	送信データを書いてください。	不定	WO
2		不定	WO
3		不定	WO
4		不定	WO
5		不定	WO
6		不定	WO
7		不定	WO

注. 受信バッファレジスタと同じ番地です。読み出しはできません。

受信バッファレジスタ

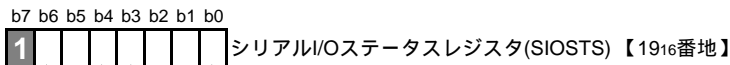


b	機 能	リセット後	RW
0	受信データの読み出しを行うバッファレジスタです。	不定	RO
1	受信データが読めます。	不定	RO
2		不定	RO
3		不定	RO
4		不定	RO
5		不定	RO
6		不定	RO
7		不定	RO

注. 送信バッファレジスタと同じ番地です。書き込みはできません。

図4.5 送信バッファレジスタ及び受信バッファレジスタの構成

シリアル/Oステータスレジスタ



b	ビット名	機能	リセット後	RW
0	送信バッファエンプティフラグ(TBE) (注1)	0: バッファレジスタフル状態 1: バッファレジスタエンプティ状態	0	RO
1	受信バッファフルフラグ(RBF) (注1、2)	0: バッファレジスタエンプティ状態 1: バッファレジスタフル状態	0	RO
2	送信シフトレジスタシフト終了フラグ(TSC) (注1)	0: 送信シフト中 1: 送信シフト終了	0	RO
3	オーバランエラーフラグ(OE) (注3)	0: オーバランエラーなし 1: オーバランエラー発生	0	RO
4	パリティエラーフラグ(PE) (注3)	0: パリティエラーなし 1: パリティエラー発生	0	RO
5	フレーミングエラーフラグ(FE) (注3)	0: フレーミングエラーなし 1: フレーミングエラー発生	0	RO
6	ザミングエラーフラグ(SE) (注3)	0: (OE)U(PE)U(FE)=0 1: (OE)U(PE)U(FE)=1	0	RO
7	読み出し時の値は“1”。書く場合は“1”を書いてください。		1	RO

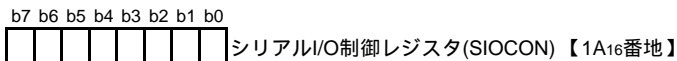
注1. 書く場合は“0”を書いてください。

注2. 受信バッファレジスタを読むと“0”になります。

注3. このレジスタへの書き込みで、このビットは“0”になります。書く場合は“0”を書いてください。

図4.6 シリアル/Oステータスレジスタの構成

シリアル/O制御レジスタ



b	ビット名	機能	リセット後	RW
0	BRGカウントソース選択ビット(CSS)	0: f(XIN) 1: f(XIN)/4	0	RW
1	シリアル/O同期クロック選択ビット(SCS)	クロック同期形シリアル/Oモード時 0: BRG出力の4分周 1: 外部クロック入力 UARTモード時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	RW
2	SrDY出力許可ビット(SRDY)	0: 出力禁止(P13端子: 入出力ポート) 1: 出力許可(P13端子: SrDY出力端子)	0	RW
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファレジスタが空になったとき(TBE=1) 1: 送信シフトレジスタのシフト動作終了時(TSC=1)	0	RW
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	RW
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	RW
6	シリアル/Oモード選択ビット(SIOM)	0: UARTモード 1: クロック同期形シリアル/Oモード	0	RW
7	シリアル/O許可ビット(SIOE)	0: シリアル/O禁止(P10~P13端子: 入出力ポート) 1: シリアル/O許可(P10~P13端子: シリアル/O機能端子)	0	RW

図4.7 シリアル/O制御レジスタの構成

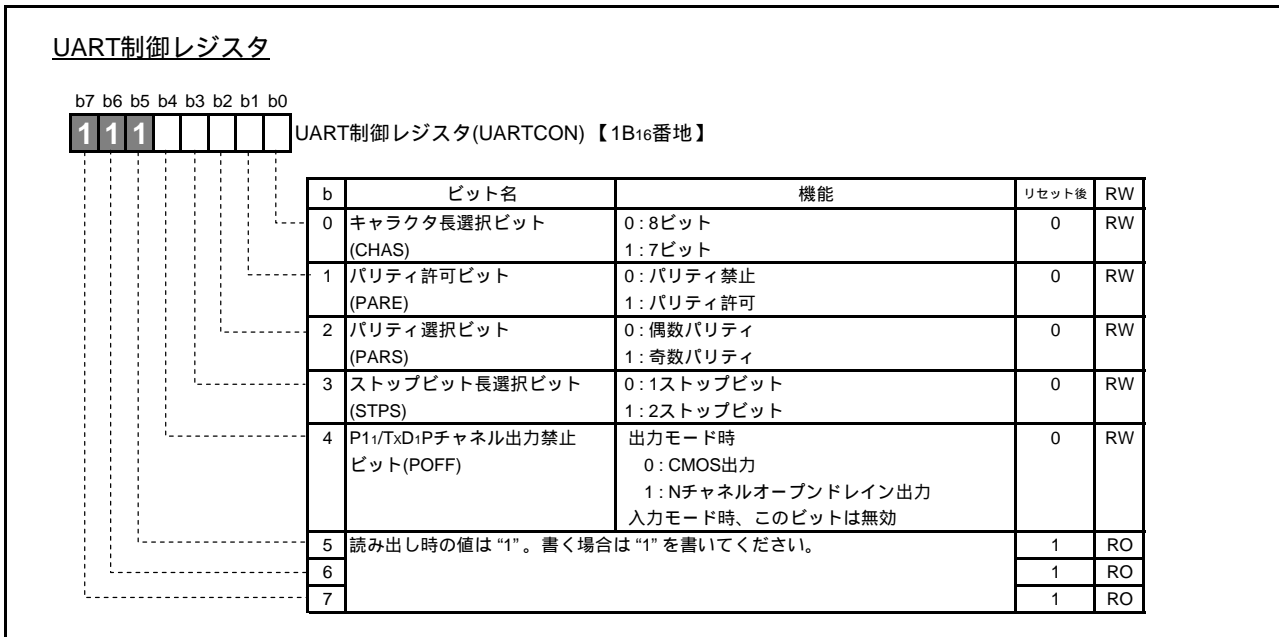


図4.8 UART制御レジスタの構成

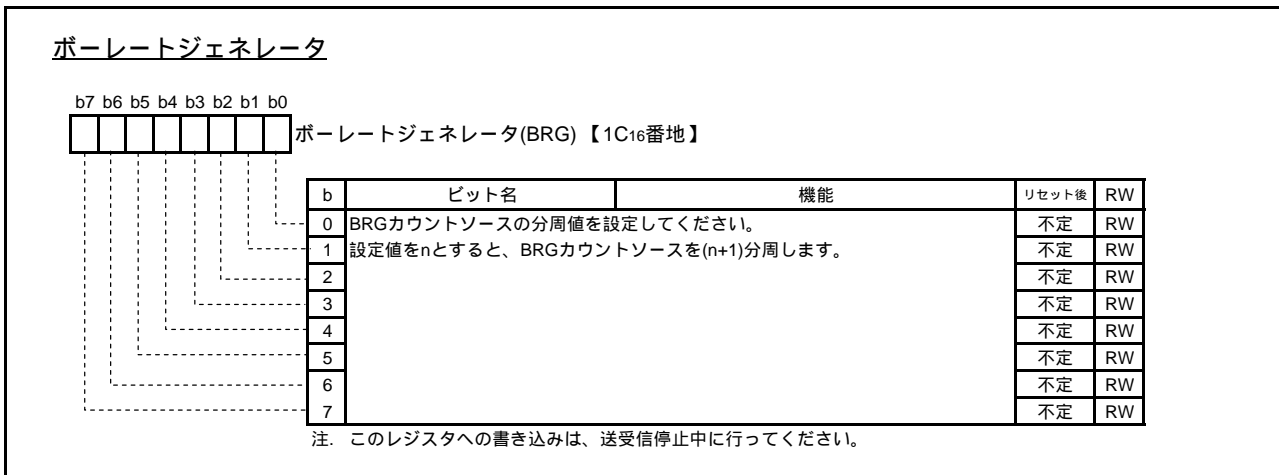


図4.9 ボーレートジェネレータの構成

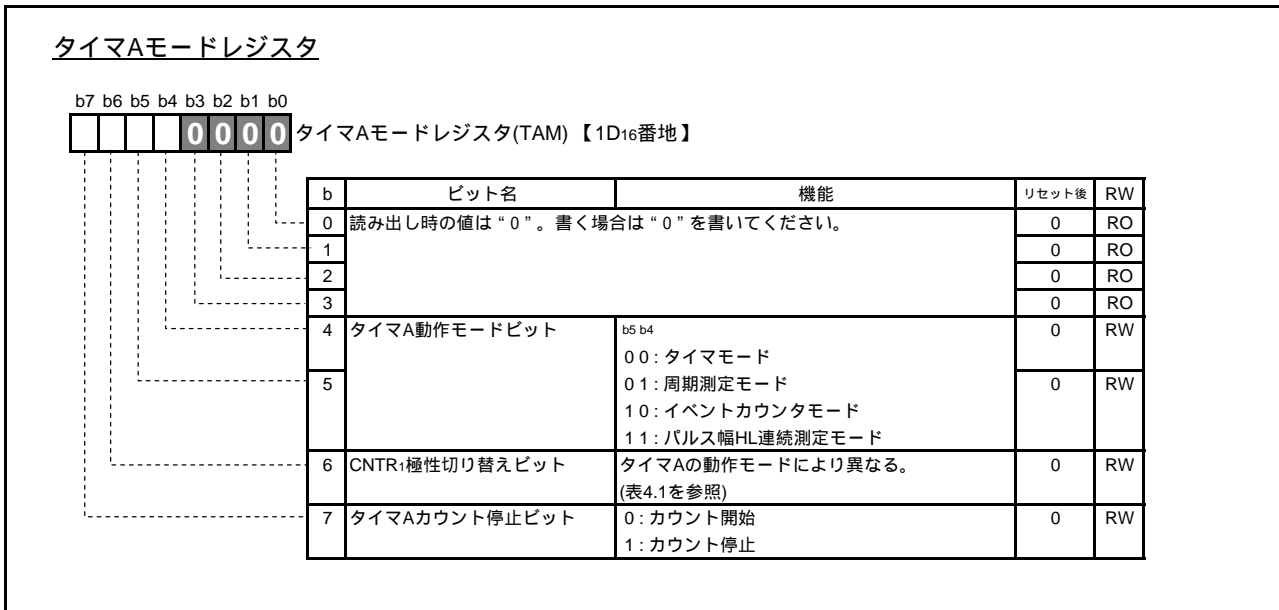


図4.10 タイマAモードレジスタ

表4.1 CNTR_i極性切り替えビットの機能

タイマA動作モード	設定値	タイマ機能の選択	CNTR _i 割り込み要求発生要因
タイマモード	“0”	—	CNTR _i の入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	“1”	—	CNTR _i の入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
周期測定モード	“0”	立ち下がり周期を測定	入力信号の立ち下がりエッジ
	“1”	立ち上がり周期を測定	入力信号の立ち上がりエッジ
イベントカウンタモード	“0”	立ち上がりエッジをカウント	入力信号の立ち下がりエッジ
	“1”	立ち下がりエッジをカウント	入力信号の立ち上がりエッジ
パルス幅HL連続測定モード	“0”	パルス幅(“H”及び“L”レベル)	入力信号の立ち下がりエッジと立ち上がりエッジを測定
	“1”	を測定	

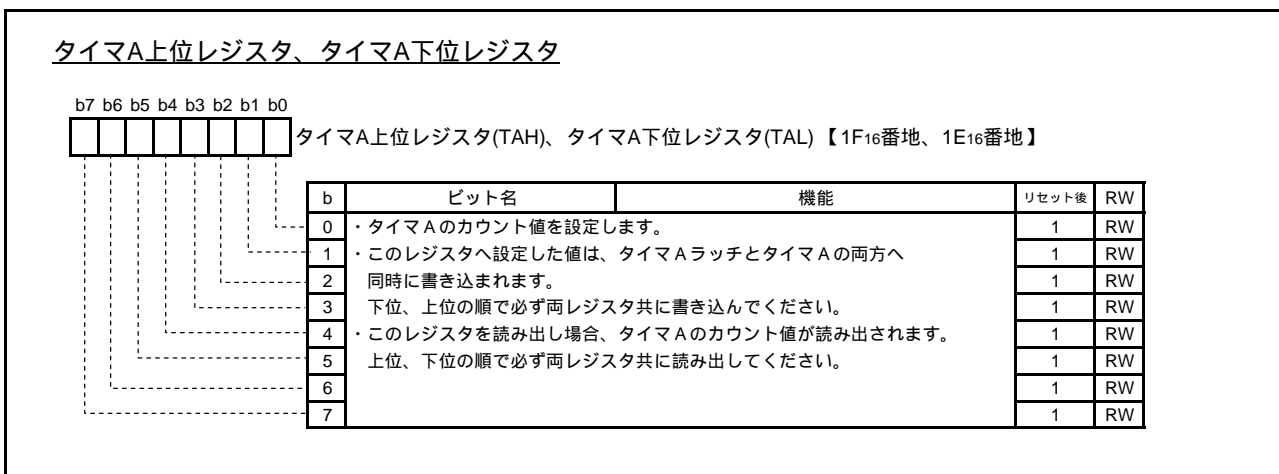
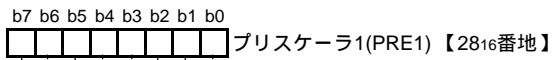


図4.11 タイマA上位レジスタ、タイマA下位レジスタの構成

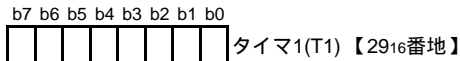
プリスケータ1



b	ビット名	機能	リセット後	RW
0		・プリスケータ1 のカウント値を設定します。	1	RW
1		・このレジスタに設定した値は、プリスケータ1 と	1	RW
2		プリスケータ1 ラッチの両方へ同時に書き込まれます。	1	RW
3			1	RW
4		・このレジスタを読み出した場合、プリスケータ1	1	RW
5		ラッチのカウント値が読み出されます。	1	RW
6			1	RW
7			1	RW

図4.12 プリスケータ1の構成

タイマ1レジスタ



b	機能	リセット後	RW
0	・タイマ1 のカウント値を設定します。	1	RW
1	・このレジスタに設定した値は、タイマ1 とタイマ1	0	RW
2	ラッチの両方へ同時に書き込まれます。	0	RW
3	・このレジスタを読み出した場合、タイマ1 ラッチの	0	RW
4	カウント値が読み出されます。	0	RW
5		0	RW
6		0	RW
7		0	RW

図4.13 タイマ1レジスタの構成

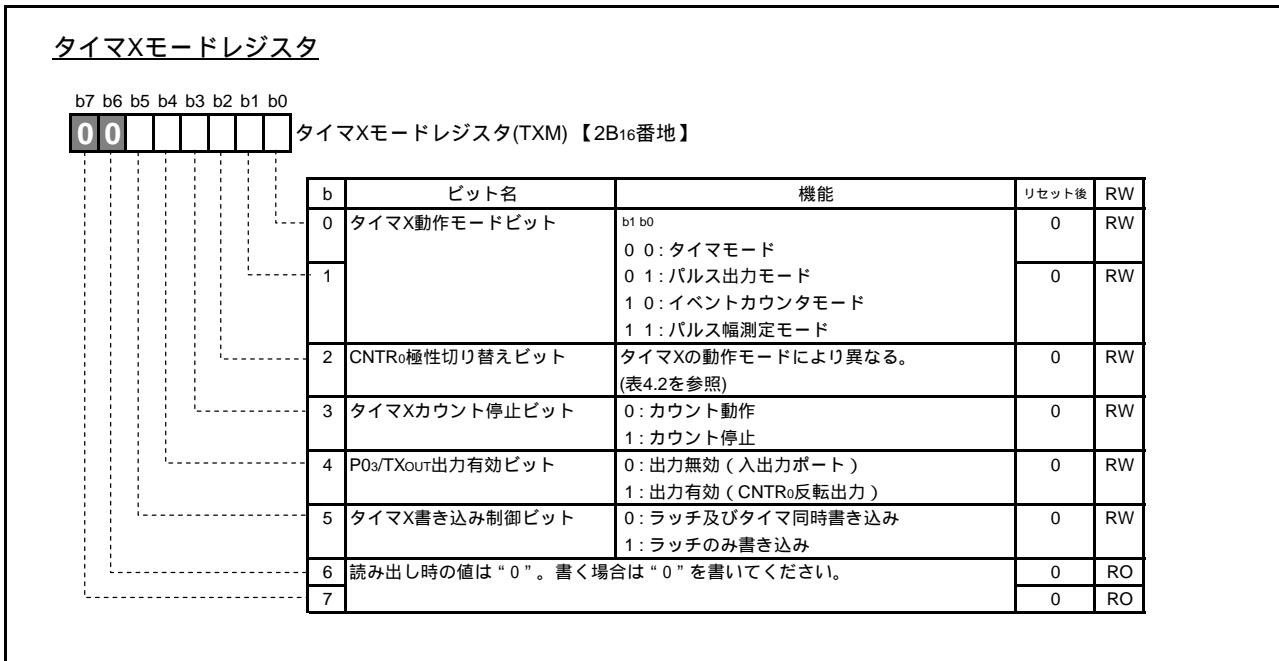
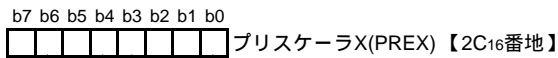


図4.14 タイマXモードレジスタの構成

表4.2 CNTR0極性切り替えビットの機能

タイマX動作モード	設定値	タイマ機能の選択	CNTR0割り込み要求発生要因
タイマモード	“0”	—	CNTR0の入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	“1”	—	CNTR0の入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
パルス出力モード	“0”	パルス出力開始: “H” から出力	出力信号の立ち下がりエッジ
	“1”	パルス出力開始: “L” から出力	出力信号の立ち上がりエッジ
イベントカウンタモード	“0”	立ち上がりエッジをカウント	入力信号の立ち下がりエッジ
	“1”	立ち下がりエッジをカウント	入力信号の立ち上がりエッジ
パルス幅測定モード	“0”	“H” 幅を測定	入力信号の立ち下がりエッジ
	“1”	“L” 幅を測定	入力信号の立ち上がりエッジ

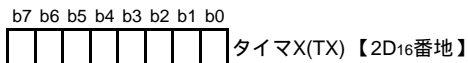
プリスケータX



b	ビット名	機能	リセット後	RW
0		・プリスケータX のカウント値を設定します。	1	RW
1		・書き込みを行う場合、タイマX書き込み制御ビットの設定値により、	1	RW
2		ラッチ及びプリスケータX、タイマXの両方に書き込むか、	1	RW
3		ラッチのみに書き込むかを選択できます。	1	RW
4		・このレジスタを読み出した場合、プリスケータX	1	RW
5		ラッチのカウント値が読み出されます。	1	RW
6			1	RW
7			1	RW

図4.15 プリスケータXの構成


タイマXレジスタ



b	機能	リセット後	RW
0	・タイマXのカウント値を設定します。	1	RW
1	・書き込みを行う場合、タイマX書き込み制御ビットの設定値により、	1	RW
2	ラッチ及びプリスケータX、タイマXの両方に書き込むか、	1	RW
3	ラッチのみに書き込むかを選択できます。	1	RW
4	・このレジスタを読み出した場合、タイマXラッチの	1	RW
5	カウント値が読み出されます。	1	RW
6		1	RW
7		1	RW

図4.16 タイマXレジスタの構成

タイマカウントソース設定レジスタ1


b7 b6 b5 b4 b3 b2 b1 b0

 タイマカウントソース設定レジスタ1(TCSS1)【2E16番地】

b	ビット名	機能	リセット後	RW
0	タイマXカウントソース 選択ビット	b1 b0 0 0 : f(XIN)/16 0 1 : f(XIN)/2 1 0 : f(XIN) (注) 1 1 : 設定禁止	0	RW
1			0	RW
2	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
3			0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

注. セラミック発振、オンチップオシレータ時のみ使用可能です。
RC発振時は使用しないでください。

図4.17 タイマカウントソース設定レジスタ1の構成

タイマカウントソース設定レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

 タイマカウントソース設定レジスタ2(TCSS2)【2F16番地】

b	ビット名	機能	リセット後	RW
0	タイマ1カウントソース 選択ビット	b1 b0 0 0 : f(XIN)/16 0 1 : f(XIN)/2 1 0 : オンチップオシレータ出力 (注) 1 1 : 設定禁止	0	RW
1			0	RW
2	タイマAカウントソース 選択ビット	b3 b2 0 0 : f(XIN)/16 0 1 : f(XIN)/2 1 0 : オンチップオシレータ出力 (注) 1 1 : 設定禁止	0	RW
3			0	RW
4	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
5			0	RO
6			0	RO
7			0	RO

注. CPUモードレジスタ(CPUM)のビット3 (オンチップオシレータ発振制御ビット)で、
オンチップオシレータを発振許可にすることにより、オンチップオシレータをカウントソースとして動作します。

図4.18 タイマカウントソース設定レジスタ2の構成

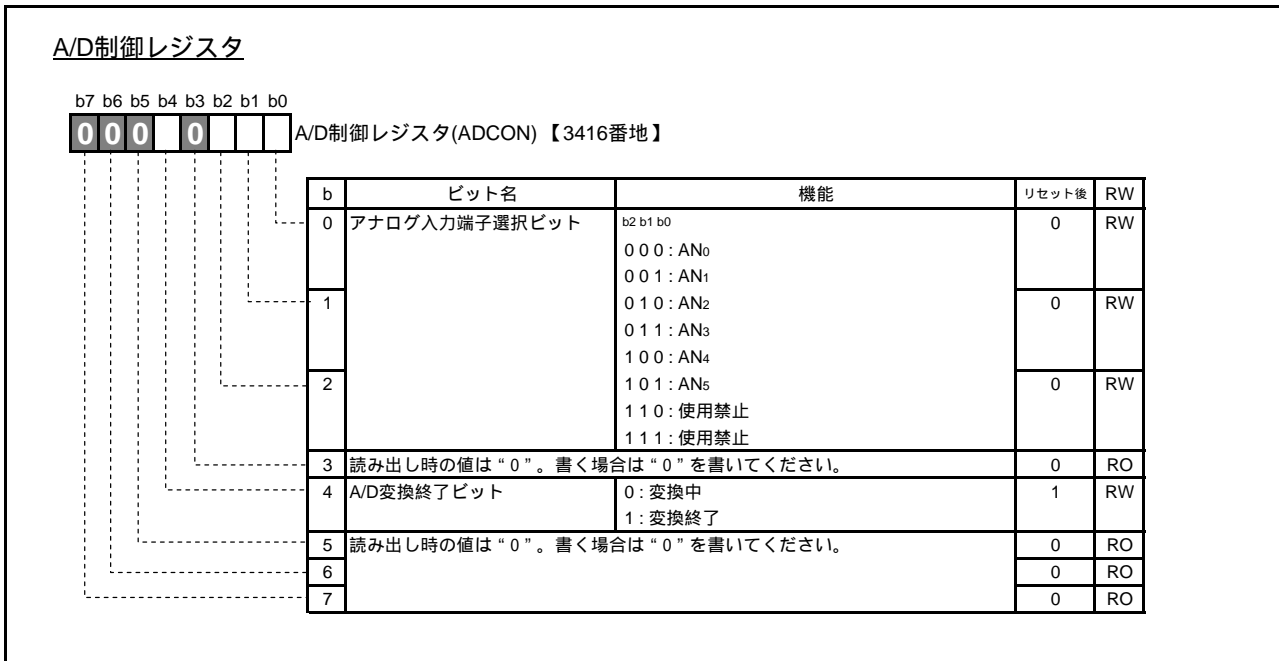


図4.19 A/D制御レジスタの構成

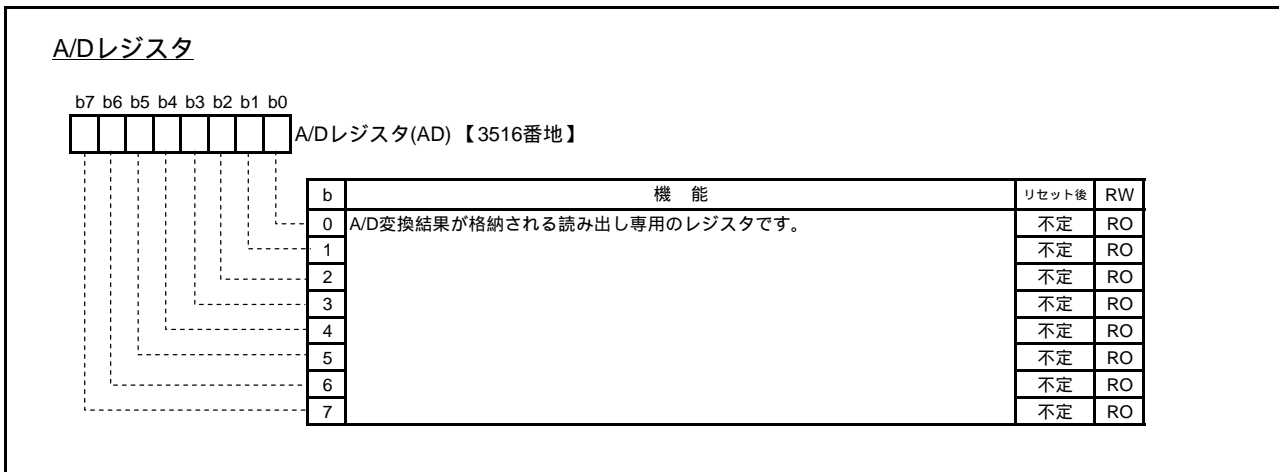
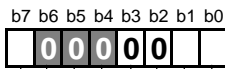


図4.20 A/Dレジスタの構成

MISRGLレジスタ



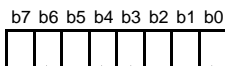
MISRGLレジスタ(MISRGL)【3816番地】

b	ビット名	機能	リセット後	RW
0	STP命令解除後発振安定時間設定ビット	0: タイマ1に"0116"、プリスケアラ1に"FF16"を自動設定 1: 自動設定しない	0	RW
1	セラミック/水晶又はRC発振停止検出機能有効ビット	0: 検出機能無効 1: 検出機能有効	0	RW
2	予約ビットです。書く場合は"0"を書いてください。		0	RW
3	このビットには"1"を書き込まないでください。		0	RW
4	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
5			0	RO
6			0	RO
7	発振停止検出ステータスビット	0: 発振停止検出なし 1: 発振停止検出あり	0 (注2.)	RW

注1. エミュレータ専用MCU " M37544RSS " には、発振停止検出回路の機能はありません。
注2. 通常のリセット時は"0"、発振停止検出によるリセット時は"1"となります。

図4.21 MISRGLレジスタの構成

ウォッチドッグタイマ制御レジスタ



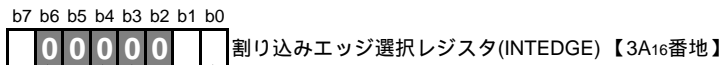
ウォッチドッグタイマ制御レジスタ(WDTCON)【3916番地】

b	ビット名	機能	リセット後	RW
0	ウォッチドッグタイマH		1	RO
1			1	RO
2			1	RO
3			1	RO
4			1	RO
5			1	RO
6	STP命令禁止ビット	0: STP命令許可 1: STP命令禁止 (注1)	0	RW
7	ウォッチドッグタイマH カウントソース選択ビット	0: ウォッチドッグタイマLのアンダフロー 1: f(X _N)/16	0	RW

注1. このビットは、プログラムで"1"にできますが、"0"にはできません。
注2. このレジスタへの書き込みで、ウォッチドッグタイマは"FFFF16"になります。

図4.22 ウォッチドッグタイマ制御レジスタの構成

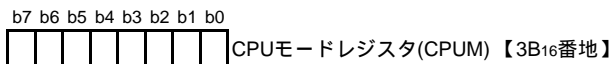
割り込みエッジ選択レジスタ



b	ビット名	機能	リセット後	RW
0	INT0割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
1	INT1割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
2	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
3			0	RO
4			0	RO
5			0	RO
6			0	RO
7	P00キーオンウェイクアップ選択ビット	0: キーオンウェイクアップ許可 1: キーオンウェイクアップ禁止	0	RW

図4.23 割り込みエッジ選択レジスタの構成

CPUモードレジスタ

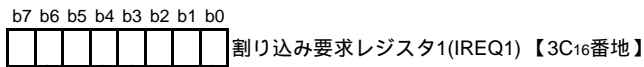


b	ビット名	機能	リセット後	RW
0	プロセッサモード選択ビット	b1 b0 00: シングルチップモード 01: 選択しないでください 10: 選択しないでください 11: 選択しないでください	0	RW
1			0	RW
2	スタックページ選択ビット	0: 0ページ 1: 1ページ	0	RW
3	オンチップオシレータ発振制御ビット	0: オンチップオシレータ発振許可 1: オンチップオシレータ発振停止	0	RW
4	XIN発振制御ビット	0: セラミック / 水晶またはRC 発振許可 1: セラミック / 水晶またはRC 発振禁止	0	RW
5	発振方式選択ビット (注1)	0: セラミック / 水晶発振 1: RC発振	0	RW
6	クロック分周比選択ビット	b7 b6 00: $f() = f(XIN)/2$ (高速モード) 01: $f() = f(XIN)/8$ (中速モード) 10: オンチップオシレータから供給 11: $f() = f(XIN)$ (倍速モード) (注2)	0	RW
7			1	RW

- 注1. リセット解除後、1度だけ書き変えることができます。書き替え後は、ロックされるため、このビットへの書き込みは無効になります。リセットにより初期化され、再び書き替え可能となります。(エミュレータ専用MCU"M37544RSS"では、ロックされません。)
- 注2. セラミック発振時のみ使用可能です。RC発振時の使用はしないでください。

図4.24 CPUモードレジスタの構成

割り込み要求レジスタ1

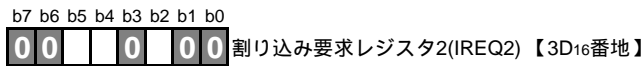


b	ビット名	機能	リセット後	RW
0	シリアルI/O受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
1	シリアルI/O送信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
2	INT ₀ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
3	INT ₁ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
4	キーオンウェイクアップ割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
5	CNTR ₀ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
6	CNTR ₁ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
7	タイマX割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)

注. 各ビットは、プログラムで“0”にできますが、“1”にはできません。

図4.25 割り込み要求レジスタ1の構成

割り込み要求レジスタ2

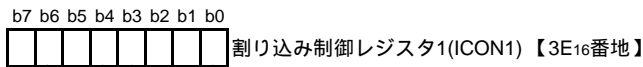


b	ビット名	機能	リセット後	RW
0	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
1			0	RO
2	タイマA割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
3	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
4	A/D変換割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
5	タイマ1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
6	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
7			0	RO

注. 各ビットは、プログラムで“0”にできますが、“1”にはできません。

図4.26 割り込み要求レジスタ2の構成

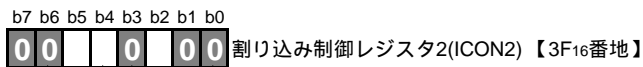
割り込み制御レジスタ1



b	ビット名	機能	リセット後	RW
0	シリアルI/O受信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
1	シリアルI/O送信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
2	INT ₀ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
3	INT ₁ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
4	キーオンウェイクアップ割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
5	CNTR ₀ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
6	CNTR ₁ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
7	タイマX割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW

図4.27 割り込み制御レジスタ1の構成

割り込み制御レジスタ2



b	ビット名	機能	リセット後	RW
0	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
1			0	RO
2	タイマA割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
3	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
4	A/D変換割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
5	タイマ1割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
6	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
7			0	RO

図4.28 割り込み制御レジスタ2の構成

5. 参考ドキュメント

データシート
7544グループデータシート

最新版をルネサス テクノロジ ホームページから入手してください。

6. ホームページとサポート窓口

ルネサス テクノロジ ホームページ
<http://www.renesas.com/jpn/products/mpumcu/index.html>

ルネサス製品全般に関するお問合せ先
カスタマ・サポート・センター：csc@renesas.com

アプリケーションノートに関する技術的なお問合せ先
740ファミリMCU技術サポート窓口：support_apl@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.03.11	-	初版発行
2.00	2004.07.01	全ページ	用語統一
		3	図4.3 ビット6改訂
		13	図4.21 ビット2、3改訂
		14	図4.23 ビット2改訂

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますとは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。