

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

FETの使い方

1. はじめに

FET(Field Effect Transistor)は、バイポーラトランジスタに比較し、高入力抵抗、低雑音などの特徴から各種計測機器の入力回路などに幅広く使われつつあります。FETには接合形をはじめとして、MOS形、ショットキ・バリア形と、いくつかのタイプがあり、それぞれ特徴がありますので、それらの特徴を十分生かした使い方が重要です。そこで、本資料では各種FETごとの特徴を中心に、それらを用いた回路例を上げて、その設計手法についても説明を加えます。

2. FETの動作原理

2.1 接合形 FET

接合形FETの中でも、一般的なNチャネルタイプの構造を図1に示します。このタイプの場合、チャネル(電流通路ドレイン→ソース)はN形の半導体で、ゲートはP形半導体で形成されています。いま、実際にバイアスを印加した場合について考えてみます。

$V_{DS} = 0$ の場合

ドレイン電圧を印加しない状態でゲートに逆バイアスを印加しますとN形シリコン中に破線のように、一様に空乏層を生じます。この場合のゲートリーク電流は、数pAと非常に小さいため、低リーク電流のダイオードとしても使用可能です。

V_{DS} を印加する

ドレイン電圧 V_{DS} を印加しますとゲート・ドレイン間には $|V_{GS} + V_{DS}|$ の電界が印加されることとなりますので、空乏層は図1(b)の斜線のように高電界部でより広がり、逆に弱電界部ではせまくなります。

いま、 $V_{GS} = 0$ として V_{DS} を0から徐々に上げてゆくと、ある電圧まではドレイン電流 I_D は増加してゆきますが、その電圧以上になると I_D は一定値となり、それ以上増加傾向を示さなくなり、この電流を I_{DSS} で表わします。

I_D が V_{DS} により増加する領域を非飽和領域、 I_D がほぼ一定値となる領域を飽和領域と呼んでいます。この領域が変わる点の V_{DS} を特にピンチオフ電

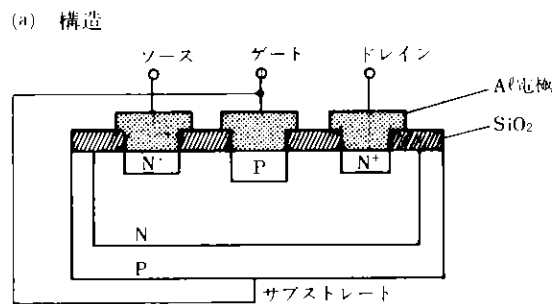
圧と呼び V_p で表わします。

次に $V_{GS} = V_{GS1}$ とバイアスを印加し先程と同様に V_{DS} を徐々に上げてゆきますとドレイン電流は I_{D1} で飽和し、 V_p は $V_{GS} = 0$ の場合より低くなります。

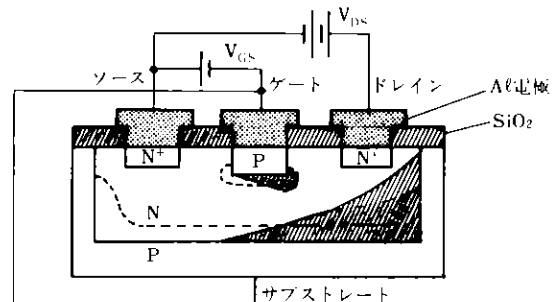
V_{GS} を次々に下げて同様に特性を見ますと図1(c)のような特性曲線が得られます。

これは印加される V_{GS} 、 V_{DS} の大きさによって、空乏層の広がり方に差を生じるためです。

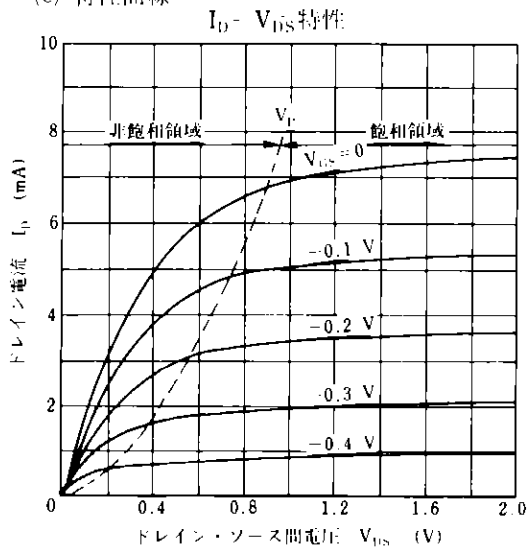
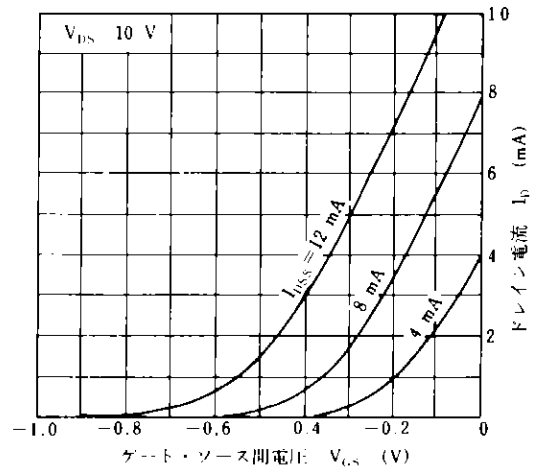
図1. Nチャネル接合形FET



(b) 空乏層の広がり



(c) 特性曲線

 $I_D - V_{GS}$ 特性

2.2 MOS 形 FET

MOS形FETはデプレッション・タイプ(Normally ON)、エンハンスメント・タイプ(Normally OFF)の両タイプを作ることができます。図2にNチャネルデプレッション・タイプの構造と特性を示します。

MOS形FETの場合ゲートは SiO_2 (シリコン酸化膜)を介して完全に絶縁されています。そのため、ゲートしゃ断電流(I_{GSS})は非常に低く接合形に比較すると $1/10 \sim 1/100$ 以下となり、特に高入力インピーダンスの要求される回路に最適です。

MOS形FETも、接合形FETと同様にゲート・バイアス電圧によりドレイン電流がコントロールされます。

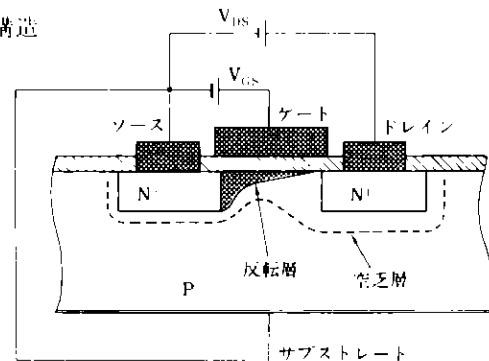
図2(b)においてその様子を考えてみますと、まず全くバイアスを印加しない状態では反転層、空乏層ともにシリコン酸化膜 SiO_2 界面に非常に薄く形成されています。ところが実際にバイアスを印加しますとドレイン・ゲート間は、ドレイン・ソース間に比較し強電界となりますのでドレイン側で空乏層の広がり方は大きくなります。その影響でドレイン側の反転層幅はせまくなり、電流が流れにくくなります。更に V_{DS} を高くとると益々ドレイン側反転層幅はせまくなり、ドレイン電流はある点で飽和します。この点のドレイン電流を I_{DSS} ($V_{GS} = 0$ の場合)、 V_{GS} を特に V_P と呼んでおり、この V_P は V_{GS} により変化し、その様子は図2(b)のようになります。

MOS形FETの場合サブストレータ端子が出ているもの

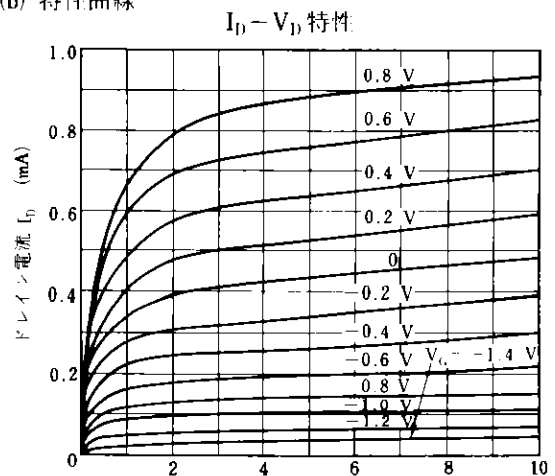
がありますが、この端子はP形FETでは最高電位に、N形FETは最低電位に接続して使用します。

図2 NチャネルMOS形FET

(a) 構造



(b) 特性曲線



3. FETの特長

3.1 入力インピーダンスが非常に高い。

FETは、電圧制御素子であり、接合形の場合、ゲート・ソース間は逆方向にバイアスされますし、MOS形の場合、ゲートは、酸化膜を介して完全に絶縁されていますので入力インピーダンスは非常に高くなります。接合形の場合、 $10^{10} \sim 10^{12} \Omega$ 程度となり、MOS形では、 $10^{14} \sim 10^{15} \Omega$ にもなります。

3.2 低雑音である。

接合形FETの場合、雑音特性がすぐれています。バイポーラトランジスタに比べて $1/f$ 雑音は少なく、特に高信号源インピーダンス ($1 \text{ M}\Omega \sim$ 数十 $\text{M}\Omega$) の場合良好な雑音特性を示します。しかしMOS形FETは、表面での伝導を使っているため、表面の性質に支配されやすい $1/f$ 雑音はどうしても大きくなります。

3.3 混変調ひずみが小さい。

混変調ひずみは、出力電流を入力電圧で数学的にテラ展開した時の第3次の係数でほとんど決まります。バイポーラトランジスタの場合、伝達特性は、指数関数的であり3次以上のひずみが大きくなりますが、FETの場合、伝達特性が通常の動作領域では、非常に良い2乗特性であり、3次以上の高調波ひずみが少なくなり、混変調ひずみ特性にすぐれています。

3.4 スイッチングの遅れ時間が少ない。

FETは、多数キャリアのみで動作するのでバイポーラトランジスタにみられる少数キャリアの蓄積効果がありません。したがってスイッチング素子として使用した場合、蓄積効果に起因するスイッチングの遅れ時間は見られません。

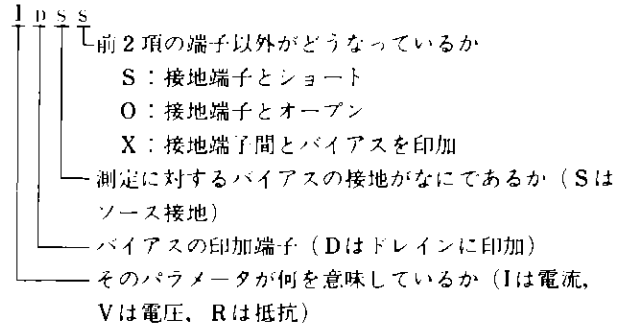
3.5 放射線照射による特性劣化が少ない。

多数キャリアのみで動作するため放射線照射による特性劣化は比較的少ないのです。

4. FETの主要パラメータ

ここではFETのカタログ、規格表に表れるパラメータについて説明します。

パラメータには通常3つの添字がつきますが、その意味は次のように規定されています。



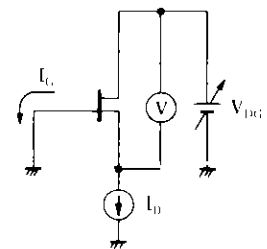
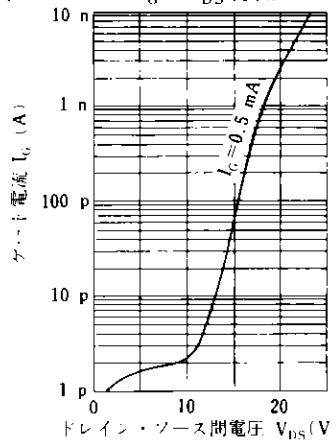
4.1 ドレイン電流 I_{DSS}

ゲート・ソース間電圧 V_{GS} が0バイアス時のドレイン電流です。一般的には、十分にドレイン電流が飽和する V_{DS} のもとで測定された値です。

4.2 ゲート・リーク電流 I_{GSS} , ゲート電流 I_G

I_{GSS} , I_G ともゲート・リーク電流です。 I_{GSS} はゲート・ソース(ドレイン)間に、バイアスを印加しますが、 I_G はFETの動作条件下でのリーク電流を表します。 I_{GSS} は V_{GS} を増加してもほとんど変化しませんが、 I_G はNチャネル接合形の場合 V_{DS} を10~15 V以上にしますと急激に増加します。その様子を図3に示します。そのため、回路設計時には、 I_{GSS} よりむしろ I_G に注目すべきで V_{DS} を高くって使用する場合は特に重要です。

図3 (a) $I_G - V_{DS}$ 特性 (b) I_G 測定回路



4.3 カットオフ電圧 $V_{GS(off)}$

FETがカットオフする点のゲート・ソース間電圧を示します。 $V_{GS(off)}$ は、ドレイン電流 I_D がゼロになる点を測定すればよいのですが、実際には、小信号FETでは、 I_D が0.1~10 μ A、パワー・MOS FETの場合1 mA~10 mA程度になる時の V_{GS} を $V_{GS(off)}$ と決めています。

先の I_{DSS} と $V_{GS(off)}$ が分れば、FETの伝達特性 $I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS(off)}} \right)^2$ が求められますので回路の直流設計は、ほとんどできたも同然です。

4.4 順伝達アドミタンス $g_m (|y_{fs}|)$

V_{GS} を変化させたときのドレイン電流 I_D の変化の割合 $\Delta I_D / \Delta V_{GS}$ を表わします。これは、 $I_D - V_{GS}$ 特性曲線の傾斜を意味します。相互コンダクタンス $g_m (|y_{fs}|)$ は、FETの能力を表わす重要な値で、値が大きいほど高性能なFETといえます。

4.5 オン抵抗 $R_{DS(on)}$

オン抵抗は、FETをチョッパやアナログスイッチとして使うときに重要な電気的特性です。ゲート・ソース間電圧 V_{GS} を一定とした時の $I_D - V_{DS}$ 曲線の立ち上がり特性で $R_{DS(on)} = \frac{\Delta V_{DS}}{\Delta I_D} \Big|_{V_{GS} = \text{定}}$ で定義されます。

4.6 入力容量 C_{iss}

C_{iss} は、ソース接地のときのゲート・ソース間の容量を表わします。 C_{iss} が大きいと高周波になるほど容量リアクタンスは小さくなるため、ゲインがとれなくなってしまいます。低周波用FETではあまり問題になりませんが、高周波用FETは小さいものが必要です。

4.7 帰還容量 C_{rss}

C_{rss} は、ソース接地のときのドレイン・ゲート間の容量を表わします。 C_{rss} が大きいと、ドレインからの出力の一部がゲートに帰還されゲインがとれなくなってしまいます。特に高周波増幅用FETでは、小さいものが必要です。

5. FETの規格と測定法

5.1 絶対最大定格

絶対最大定格の定義としては「いかなる使用条件、または試験条件でも越えてはならない限界値であり、同時に2項目以上を満たすことはできない」とされています。以下にFETの項目および内容について説明いたします。

表1 絶対最大定格

項目	内容	単位
V_{GDO}	ゲート・ドレイン間に印加できる電圧 (ソースオープン)	V
V_{GSO}	ゲート・ソース間に印加できる電圧 (ドレインオープン)	V
V_{GSS}	ゲート・ソース間に印加できる電圧 (ドレインショート)	V
V_{DSX}	ドレイン・ソース間に印加できる電圧(ゲートにバイアスをかける)	V
V_{DSS}	ドレイン・ソース間に印加できる電圧(ゲートショート)	V
V_{G1}, V_{G2}	ゲート1、ゲート2間に印加できる電圧	V
I_D	ドレインに流せる最大電流	A
I_G	ゲート接合に流せる最大電流	A
P_T	消費可能な電力	W
T_J	ジャンクションで許容される温度	°C
T_{ch}	チャネルで許容される温度	°C
T_{stg}	保存できる温度	°C

5.2 電気的特性

表2に記号、項目、内容、測定方法を示します。

表2 電気的特性

記号	項目	内容	測定方法
BV_{DSS}	ドレイン・ソース間電圧 (ゲートショート)	各バイアス印加における なだれ降伏電圧	(例) BV_{DSS} , I_{GSS}
BV_{GSS}	ゲート・ソース間電圧 (ドレインショート)		
BV_{GSO}	ゲート・ソース間電圧 (ドレインオープン)		
BV_{DSS}	ドレイン・ソース間電圧 (ゲートバイアス)		
I_{GSS}	ゲートしゃ断電流	ゲート逆電流	
I_{DSS}	ドレイン電流	ドレイン電流	
I_{Doff}	ドレインしゃ断電流		
$V_{GS(off)}$	カットオフ電圧	D/S間をカットオフさせる ための電圧	
I_G	ゲート電流	使用状態におけるゲート電流	
$R_{DS(on)}$	ドレイン・ソース間 オン抵抗(直流)	オン状態のDS間抵抗 ($\frac{V_{DS}}{I_D}$)	
$V_{DS(on)}$	ドレイン・ソース間 オン電圧	オン状態のDS間電圧	
$ y_{os} $	小信号出力 アドミタンス	$y_{os} = \frac{i_o}{v_o}$	$y_{os} = \frac{e_2}{e_1 - e_2} \cdot \frac{1}{R_1}$
$ y_{rc} $	小信号順電圧 アドミタンス	$y_{rc} = \frac{i_o}{v_i}$	$y_{rc} = \frac{e_2}{e_1} \cdot \frac{1}{R_1}$
$r_{DS(on)}$	ドレイン・ソース間 オン抵抗	$r_{DS(on)} = \frac{v_o}{i_o}$	

5.3 FETの用途別重要規格

表3に使用用途に対する、カタログ規格の重要なパラメータ、あまり重要でないパラメータを示します。使用回路において個別カタログをみる参考としてください。

表3 用途別のパラメータ比較

用 途		重 要 パ ラ メ ー タ	あ ま り 重 要 で な い パ ラ メ ー タ
増 幅	音 声 周 波 増 幅	低 \bar{e}_n , 低NF	$R_{DS(on)}$ $V_{DS(on)}$ $I_{D(ott)}$ スイッチング時間
	差 動 増 幅	V_{GS} , $ y_{fs} $, I_{DSS} , I_G のマッチング性	
	高 入 カ インピーダンス	低 I_G	
	高 周 波 増 幅	高 g_{fs}/C_{iss} 比, NF(高周波)	
	低 電 源 電 圧	低 $V_{GS(ott)}$	
	低 雑 音 増 幅	低 \bar{e}_n , \bar{i}_n , 低 $1/f$ ノイズ, 低NF	
	ビ デ オ 増 幅	高 $ y_{fs} /C_{iss}$ 比, NF	
定 電 流 回 路		低 y_{os} , 低 $V_{GS(ott)}$ 高耐圧(V_{GSS})	$ y_{fs} $, $R_{DS(on)}$, $I_{D(ott)}$ 高周波パラメータ, 容量
ミ キ サ		高周波NF, 高 $ y_{fs} /C_{iss}$ 比 低 C_{rss}	$R_{DS(on)}$, $V_{DS(on)}$ $I_{D(ott)}$
ス イ ッ チ	チ ョ ッ パ	$V_{DS}/I_{D(ott)}$	$ y_{fs} $ $ y_{os} $
	デ ジ タ ル	高速スイッチング時間	
	サ ン プ ル ホ ー ル ド	低 C_{rss}	
	ア ナ ログ ス イ ッ チ	高速スイッチング時間, $R_{DS(on)}$	
可 変 抵 抗 応 用 回 路		高 $V_{GS(ott)}$	$ y_{fs} $, BV_{GSS} , I_{DSS}

6. FETの応用

6.1 FETのバイアス方式

表4にFETのバイアス方式を示します。ここでは対象が接合形FETになっていますが、MOS形の場合も同様です。

バイアスの方法には大別して固定バイアスと自己バイアスの2通りがあります。固定バイアスは電源が2種類必要ですが、ゲートバイアス用電源は消費電力は全く無視でき、 R_G さえ大きく選べば入力インピーダンスもかなり高くできます。一方、自己バイアスには、表にまとめよういくつかの種類があります。

自己バイアスを行うには、ソースに抵抗を挿入し、ドレイン電流による電圧降下でバイアスをかけます。そうすることで使用するFETにより図4のように I_{DSS} がばらついても、固定バイアス方式では $I_{D1} \rightarrow I_{D2}$ であった変化が、 R_S の帰還作用により $I_{D1} \rightarrow I_{D2}$ と変化幅が小さくなります。

表4は特にAC増幅回路について示してありますが、直流増幅回路の場合についても同様です。ところが、直流増幅回路では出力の温度ドリフトが問題となりますのでこれの非常に少ないバイアス方式が望まれます。

FETは図5のように、ドレイン電流の温度変化が非常に小さくなる点があります。

これは、温度上昇によりチャネル中のキャリアの移動度が減少し、チャネル抵抗が増加することにより I_D が減少し、逆にPN接合の電位障壁が $-2 \text{ mV}/^\circ\text{C}$ の温度係数を持っていて、温度上昇により I_D は増加します。この2つの効果があるドレイン電流で打消されるため I_D の温度係数が非常に小さくなるものです。

自己バイアス、固定バイアス方式でも、この係数最小の点にバイアスを設定しておけば、かなりドリフトが軽減できます。

図4. 自己バイアスの動作点のバラツキ

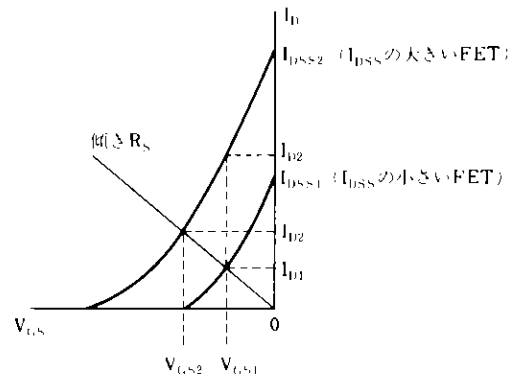


図5. $I_D - V_{GS}$ 特性 ($I_{DSS} = 1.8 \text{ mA}$)

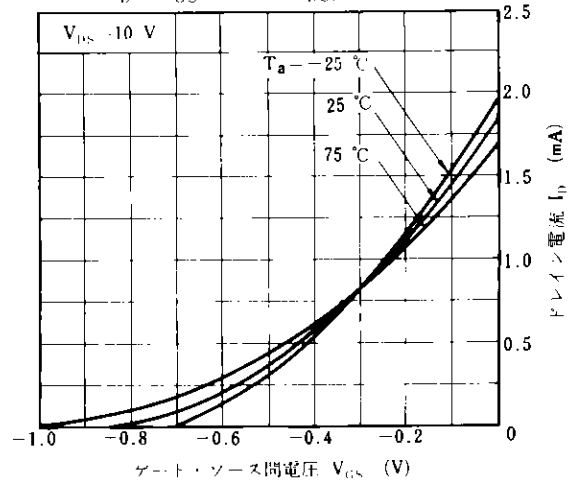


表4. FETのバイアス方法

方式	回路	動作点	特徴
固定バイアス			<ul style="list-style-type: none"> ○ $R_i = R_G$ ○ $V_{GS} = V_{GG} = V_{GS(off)} \left(1 - \sqrt{\frac{I_D}{I_{DSS}}} \right)$ ○ 2電源が必要である。 V_{GG}, V_{DD} ただし V_{GG} の電流容量は必要ない。 ○ FET自体の I_{DSS} ばらつきに対し I_D が大幅に変化する。 ○ 電源電圧の利用率がよい。 (低電圧回路向き) ○ 動作点を自由に選べる。
自己バイアス (1)			<ul style="list-style-type: none"> ○ $R_i = R_G$ ○ $V_{GS} = -I_D R_S = V_{GS(off)} \left(1 - \sqrt{\frac{I_D}{I_{DSS}}} \right)$ ○ $R_S = \frac{V_{GS}}{I_D} = \frac{-V_{GS(off)}}{I_D} \left(1 - \sqrt{\frac{I_D}{I_{DSS}}} \right)$ ○ R_S により I_D のバラツキを押えられる。 ○ I_D により R_S は一義的に決まる。
自己バイアス (2)			<ul style="list-style-type: none"> ○ $R_i = \frac{R_{G1} R_{G2}}{R_{G1} + R_{G2}}$ (入力インピーダンスが下がる) ○ $V_{GS} = \frac{R_{G2}}{R_{G1} + R_{G2}} V_{DD} - I_D R_S$ ○ I_{DSS} のばらつきに対し、I_D のバラツキをより小さくできる。 ○ 電源利用率が悪い。
自己バイアス (3)			<ul style="list-style-type: none"> ○ $R_i = R_G + \frac{R_{G1} R_{G2}}{R_{G1} + R_{G2}}$ (R_G を大きくすれば入力インピーダンスを高くできる) ○ $V_{GS} = \frac{R_{G2}}{R_{G1} + R_{G2}} V_{DD} - I_D R_S$ ○ I_{DSS} のばらつきに対し、I_D のばらつきを小さくできる。 ○ 電源利用率が悪い。

6.2 増幅回路

(1). 各接地方式と特徴

FET を増幅回路に用いる場合、ソース、ドレイン、ゲート端子のうち、1 端子を接地し、他の2 端子を入力および出力端子として用います。この接地端子によって、ソース接地、ドレイン接地、ゲート接地の3 種類の接地方式があり、表5 にはそれぞれの接地方式の特徴その他重要ポイントをまとめてあります。

表5. 各接地方式と特徴

方式	回路例	等価回路	特徴および回路パラメータ
ソース接地			<ul style="list-style-type: none"> ○ $R_i = R_G$ ○ $A_v = \frac{-g_m R_D}{1 + g_m R_S}$ ○ $C_{in} = C_{GS} + C_{FD} (1 - A_v)$ ミラー効果により大きくなる。 ○ $R_o \approx R_D (R_D \ll r_{ds})$
ドレイン接地			<ul style="list-style-type: none"> ○ $R_i = R_G$ ○ $C_{in} = C_{GS}$ (入力容量は小さくなる) ○ $A_v \approx \frac{g_m R_S}{1 + g_m R_S} < 1$ ○ 電圧利得は、ほぼ1 であるが出力インピーダンスは低くなるので、インピーダンス変換に使用される。 ○ $R_o = 1/g_m \parallel R_S$
ゲート接地			<ul style="list-style-type: none"> ○ $R_i = \frac{1}{g_m} \parallel R_S$ ○ $C_{in} = C_{GS} + C_{FD}$ ○ $A_v = \frac{g_m}{g_m + 1/R_D} \approx g_m R_D$ ○ $R_o \approx R_D (R_D \ll r_{ds})$ ○ 入力抵抗が低く、ミラー効果も無いので高周波回路に向く。 ○ 高利得である。

(2). 応用回路例

表6には、FETを増幅回路に使用した応用例を示します

表6 応用回路例

方式	回路例	特徴・主要パラメータ
カスケード回路		<p>(低周波)</p> <p>ゲイン $A_v \approx \frac{g_{m1} R_D}{1 + g_{m1} R_{cs}}$</p> <p>入力インピーダンス $Z_{in} \approx R_{cs}$</p> <p>出力インピーダンス $Z_{out} \approx R_D$</p> <p>(高周波)</p> <p>入力インピーダンス $Z_{in} \approx \frac{R_G}{1 + j\omega R_G (C_{GS1} + C_{in1}) (1 + \frac{g_{m1}}{g_{m2}})}$</p> <p>カスケード接続することによってミラー効果の影響はなくなる。</p> <p>出力インピーダンス $Z_{out} \approx \frac{R_D}{g_{DS1} R_{cs} + j\omega R_D (C_{DG} + C_{DS})}$</p>
差動増幅回路 (1)		<p>(低周波)</p> <p>ゲイン $A \approx -\frac{g_m R_D}{2}$</p> <p>$V_{out} \approx \frac{g_m R_D}{2} (V_{in1} - V_{in2})$</p> <p>入力インピーダンス $Z_{in1} = R_{cs1}, Z_{in2} = R_{cs2}$</p> <p>出力インピーダンス $Z_{out} = R_D$</p> <p>(高周波)</p> <p>入力インピーダンス $Z_{in1} \approx 1 + \frac{1}{2} j\omega R_{G1} (C_{GS1} + C_{DG1} (1 - A_v))$</p> <p>出力インピーダンス $Z_{out} \approx 1 + \frac{1}{2} j\omega R_{G2} (C_{GS2} + C_{DG2} (1 - A_v))$</p>
差動増幅回路 (2)		<p>(低周波)</p> <p>ゲイン $A_v \approx -g_m R_D, V_{out} \approx g_m R_D (V_{in1} - V_{in2})$</p> <p>入力インピーダンス $Z_{in1} = R_{cs1}, Z_{in2} = R_{cs2}$</p> <p>出力インピーダンス $Z_{out} \approx R_D$</p> <p>(高周波)</p> <p>入力インピーダンス $Z_{in1} \approx 1 + \frac{1}{2} j\omega R_{G1} (C_{GS1} + C_{DG1} (1 + A_v))$</p> <p>$Z_{in2} \approx 1 + \frac{1}{2} j\omega R_{G2} (C_{GS2} + C_{DG2} (1 - A_v))$</p> <p>出力インピーダンス $Z_{out} \approx \frac{1}{2} \frac{R_D}{g_{DS} R_D + j\omega R_D (C_{DG} - C_{DS})}$</p>

表 6 続き

方式	回路例	特徴・主要パラメータ
フ ノ ン ユ ブ ル 回 路		(低周波) ゲイン $A_v \doteq -\frac{g_m R_D}{1 + g_m R_S}$ 入力インピーダンス $Z_{in} \doteq R_G$ 出力インピーダンス $Z_{out} \doteq \frac{R_D}{2}$ (高周波) 入力インピーダンス $Z_{in} \doteq 1 + 2j\omega \left\{ \frac{R_G}{C_{GS} + C_{DG}} (1 - A_v) \right\}$ 出力インピーダンス $Z_{out} \doteq \frac{1}{2} \left \frac{R_D}{g_{DS} R_D + j\omega R_D (C_{DG} - C_{DS})} \right $
カ レ ン ト ミ ラ ー 回 路		(低周波) ゲイン $A_v \doteq g_m R_D$ 入力インピーダンス $Z_{in1} \doteq R_{G1}, Z_{in2} \doteq R_{G2}$ 出力インピーダンス $Z_{out} \doteq R_L$ (高周波) 入力インピーダンス $Z_{in1} \doteq 1 + \frac{1}{2} j\omega R_{G1} \{ C_{GS1} + C_{DG1} (1 - A_v) \}$ $Z_{in2} \doteq 1 + \frac{1}{2} j\omega R_{G2} \{ C_{GS2} + C_{DG2} (1 - A_v) \}$

6.3 スイッチ回路

(1) アナログスイッチ

図 6. (a)はNチャネル接合形FETをスイッチとして使用した回路例です。

FETの低電流における出力特性は図 6. (b)のように正・負入力に対してほぼ対称となり、スイッチとしては理想的素子と言えます。さらにオフ時のリーク電流も数 pAと非常に少なく、逆にオン時の抵抗は100 Ω前後となり、ドライブ電流が全く必要ないことと相まって、計測器のアナログ・スイッチなどとして広く使われています。図の回路の動作を説明していきます。

コントロール入力が0 Vの場合 T_{r1}, T_{r2} ともにオフとなっており、FETのゲートは R_G を通して接地されていますので $V_{GS} = 0$ となりFETはON状態です。

この場合、出力電圧は、 $R_L \gg R_{DS}$ とすると

$$V_{OUT} = V_{IN} \times \frac{R_L}{R_{DS} + R_L} \doteq V_{IN} \doteq V_G \text{ となります。}$$

また、コントロール入力が高レベルの場合は T_{r1}, T_{r2} ともにONとなり、FETのゲートは $-V_{CC}$ 近くまで逆バイアスされます。これによりFETはOFF状態となり、 R_{DS} は数100 MΩ ~ 1 000 MΩ 以上の高抵抗となります。この場合、 $R_{DS} \gg R_L$ だと出力電圧は

$$V_{OUT} = V_{IN} \times \frac{R_L}{R_{DS} + R_L} \doteq 0 \text{ となります。}$$

このような、アナログ・スイッチ回路で注意しなければならないことは

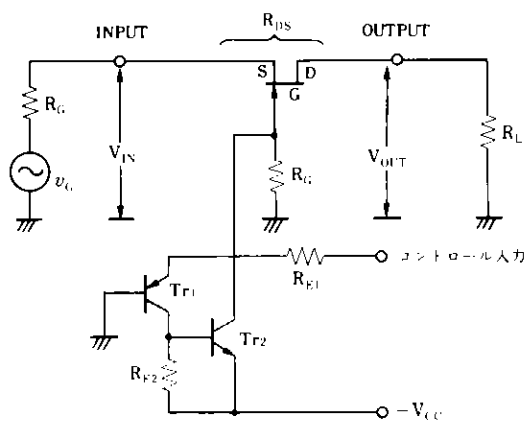
- ① FETの $R_{DS(ON)}, R_{DS(OFF)}$ と次段のアンプの入力抵抗のバランス
- ② FETの $R_{DS(ON)}$ と $R_{DS(OFF)}$ の温度特性
- ③ FETのスイッチング時のスパイク・ノイズ
- ④ リーク電流 I_{GDO} の温度特性
などがあります。

2SK119, 141, 141Aなどは $R_{DS(ON)}$ は150~400 Ω 程度でその温度係数は0.4~0.7 %/°Cで、 $R_{DS(OFF)}$ は数100 M Ω ~1 000 M Ω で-5 %/°C程度の温度特性を有しますので、特にOFF抵抗については注意を要します。

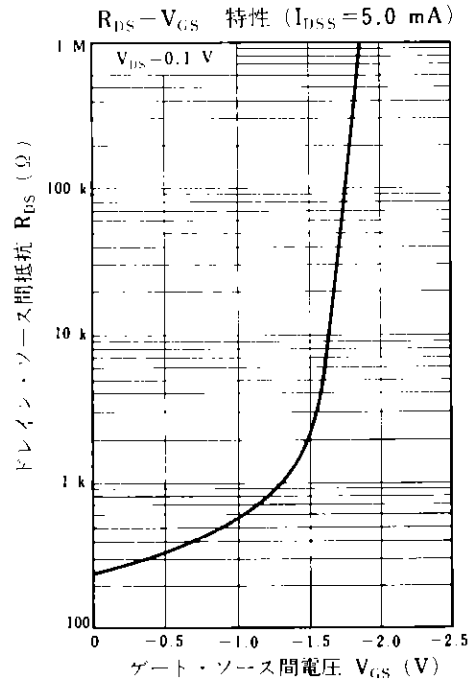
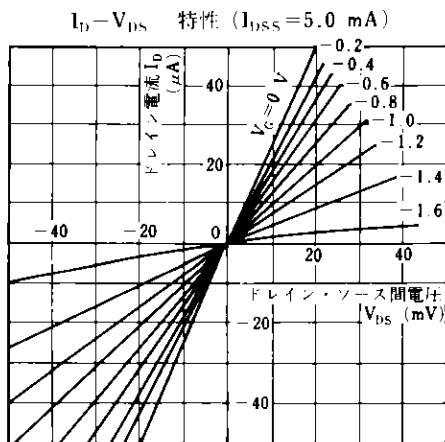
またスイッチング時のスパイク・ノイズはFETの電極間容量と負荷抵抗、負荷容量によるものです。今、図6(c)の等価回路においてFETがON→OFFに変化する場合を考えてみます。ゲート電位は0 Vからかなり深くバイアスされますが、その際ゲート駆動波形の立ち下がりが急峻で $R_L(C_{GD}+C_L)$ の時定数より速い場合には、ゲート駆動電圧は C_{GD} と C_L に分割され R_L の両端にスパイク電圧を生じます。

そのスパイクは $R_L(C_{GD}+C_L)$ の時定数で小さくなりますので、この種の用途には端子間容量の小さいFETを用いることが重要で接合形FETはMOS形に比較し C_{iss} 、 C_{rss} が小さいため、うってつけと言えます。

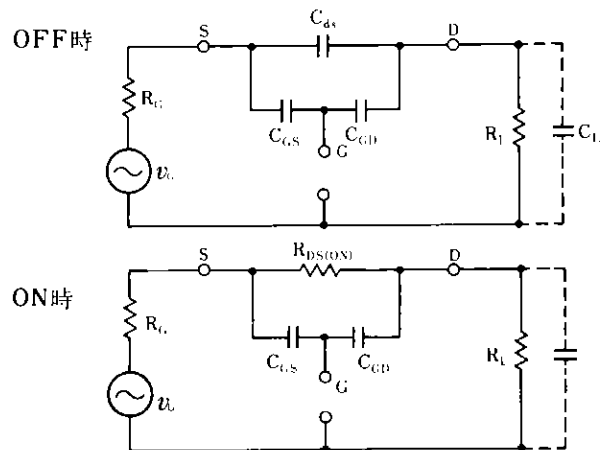
図6. (a) FETによる、アナログスイッチ



(b) 特性曲線



(c) FETアナログスイッチの等価回路



(2) 応用回路例

図7. サンプルアンドホールド

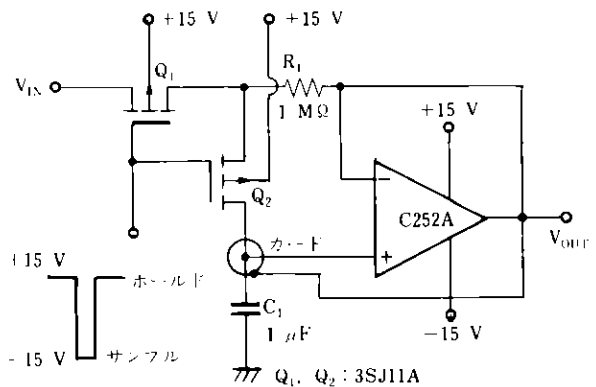


図8. ピーク値ホールド回路(正電圧)

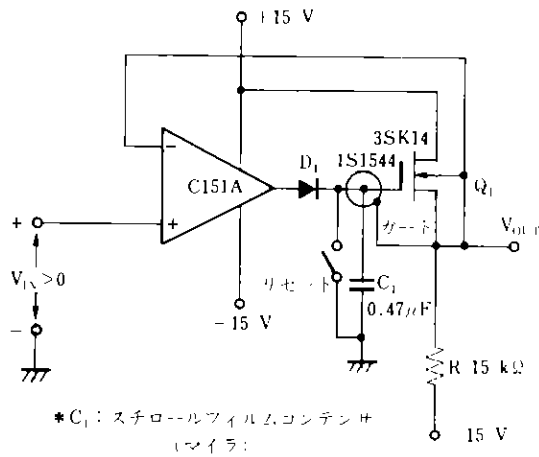
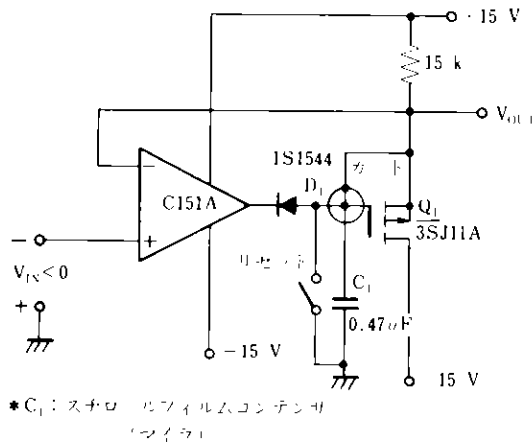


図9. ピーク値ホールド回路(負電圧)



接合形FETのゲート・リーク電流は室温では数pAですが、温度特性を有し、10℃の周囲温度上昇に対し、約2倍増加します。

このリーク電流はオフ時にI_{GD}として負荷から流れ出す方向に働き負荷抵抗の端子間に誤差を生じます。設計時点で使用周囲温度範囲を十分考慮した設計が重要と言えます。

FETをスイッチとして使う方法には以上説明しました信号経路に直列にFETを挿入する方式と信号に並列に挿入する方式が上げられますが考え方は同様です。

6.4 FET使用上の注意点

素子をそれぞれ定められた定格内で使用するのはもちろんのことですがFETに独特な注意点がいくつかあります。

(1) MOS形FETの静電破壊

MOS形FETはゲート、チャネル間はずいぶんSiO₂（シリコン酸化膜）で絶縁されています。

この酸化膜の厚さは品種により異なりますが普通100 nm程度で、この程度の厚さですと、およそ100 Vで完全に破壊してしまいます。

我々の着用している衣類は周囲の温度などにより変化しますが数kV~数10kVに帯電しています。そのため素子の取り扱いによっては破壊してしまう場合もありますので、特にMOS形FETの場合には次の点に注意してください。

①. 保管

導電性の容器に収納し、帯電性の少ない環境下で保管してください。

②. 取り扱い

容器から取り出す場合には全リードをショートリングあるいはアルミ箔などでショートしてください。また取り扱いは綿の手袋か素手で行い、ナイロン手袋などは用いないようにしてください。

③. 半田付け作業

作業を行う場合、作業者の体は電氣的に接地してください。また半田ゴテはリーク電流の小さいJISで定められたA級のものをコテ先を接地してご使用ください。

④. 半田かすの除去

フラックスあるいは半田かす、除去のために、ナイロンブラシ等で基板をこすらないでください。ブラシは金属製のものをご使用ください。またフラックス除去は、クロロセン丸浸しを推奨いたします。

(2) リードの折り曲げ

金属ケースに封入されたFETはハーメチック・シールによって絶縁が行われています。この種の素子を基板に実装する場合には、リードを少し広げますがその場合リードの引張り方、曲げ方によっては図10.(a)のようにガラス部にクラック(割れ)を生じます。

このようにクラックを生じると実用状態で湿気の付着などによりリーク電流が増加します。特に高入力インピ

ーダンスが要求される回路では、非常に問題となります。図10. (b)にクラックの生じたMOS FETのリーク電流の増加傾向を示します。

リード線の折り曲げは根元から2~3 mm離れた箇所を根元を固定して行ってください。

図10. (a) トランジスタのハーメチックシール部

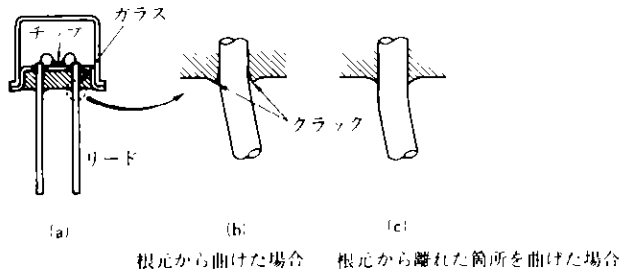
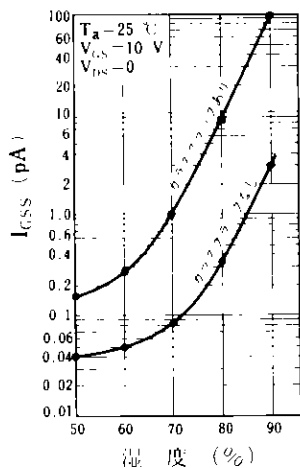


図10. (b) メタルキャップ・ケース封止形 N-ch MOS FETの I_{GSS} 対湿度特性



(3) 高温、高湿度条件下での使用

ハーメチック・シールに用いてあるガラスは非常に絶縁性の高いものです。ところが、このガラスにも高湿度条件下では湿気が付着しやすく長期間の使用では、ほこりも付着し、リーク電流の増大にもつながります。

これを改善するためには回路の基板ごと密閉してしまうか、あるいはFETをプラスチック・チューブで覆う方法が考えられます。このプラスチックは、絶縁性が良いだけでなく、撥水性についても十分検討する必要があります。三フッ化樹脂、四フッ化樹脂（テフロン）などが良好です。またFETのケース裏面をワニスあるいはシリコン・ゴムで覆う方法もありますが、実施する場合には、それらの絶縁性長期安定性について十分検討してください。また、湿気の付着は、素子ばかりではなく、プリント基

板についても同様のことが言えます。基板の高インピーダンス部分は、素子の場合と同様にプラスチックで覆うことが理想です。またFETのゲートはテフロン端子などを用いて基板からも、うかすべきですし、図11. (a)のようなガードを施すことも重要です。ガードは図11. (b)のようにスルーホール処理するほうがより良好です。

(4) 洗浄の方法

基板に部品を実装した後、半田付け時のフラックス除去のため有機溶剤による洗浄と併用して、超音波洗浄を行う場合があります。

この際の印加パワー、振幅、周波数条件などによっては素子の破壊を招くことがあります。

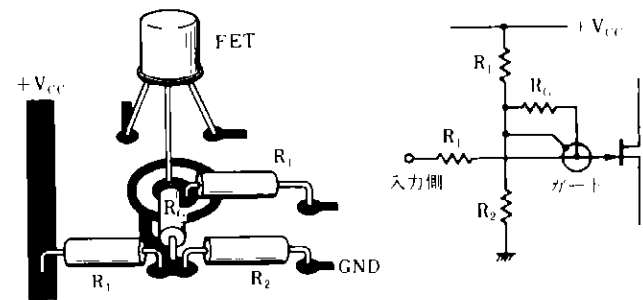
特に金属ケースに封入された素子はボンディングワイヤが宙にういている状態ですので、超音波振動により共振状態となり、破壊する場合があります。

洗浄には、クロロセンのシャワー洗浄あるいは丸浸しを推奨いたします。

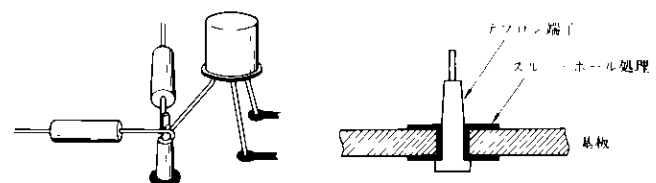
(5) パソコンの挿入

外来ノイズの電源ライン重畳などによる素子の破壊を防止するため、パソコンを挿入し電源ラインの低インピーダンス化も考慮してください。パソコンとしては、高周波特性の優れたタンタルコンデンサ等をご使用ください。

図11. (a) ガードの実例



(b) テフロン・スタンド・オフ端子の使用例



- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- この製品を使用したことにより、第三者の工業所有権等にかかわる問題が発生した場合、当社製品の構造製法に直接かかわるもの以外につきましては、当社はその責を負いませんのでご了承ください。
- 当社は、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療用機器など極めて高い信頼性が要求される「特定」用途に推奨できる製品を標準的には用意しておりません。当社製品を「特定」用途にご使用をお考えのお客様、および、「標準」品質水準品を当社が意図した用途以外にご使用をお考えのお客様は、事前に販売窓口までご連絡頂きますようお願い致します。

当社推奨の用途例

- 標準：電算機、事務器、通信機器(端末、移動体)、計測機器、AV機器、家電、産業用ロボット等
- 特別：自動車電装、列車制御、通信機器(幹線)、交通信号制御、燃焼制御、防災・防犯装置等

○この製品は耐放射線設計をしておりません。

NEC 日本電気株式会社

本社	〒108-01 東京都港区芝五丁目7番1号(日本電気本社ビル)
半導体第一、第二販売事業部	〒108-01 東京都港区芝五丁目7番1号(日本電気本社ビル) 東京(03)3454-1111
関西支社半導体販売部	〒540 大阪府中央区城見一丁目4番24号(日本電気関西ビル) 大阪(06)945-3178 大阪(06)945-3200
中部支社半導体販売部	〒460 名古屋市中区栄四丁目14番5号(松下ビル) 名古屋(052)242-2755

北海道支社	札幌(011)231-0161	立川支社	立川(0425)26-0911
東北支社	仙台(022)261-5511	千葉支社	千葉(0472)27-5441
茨城支社	水戸(0286)23-5511	静岡支社	静岡(054)255-2211
岩手支社	盛岡(0196)51-4344	徳島支社	徳島(0859)63-4455
山形支社	山形(0236)23-5511	松山支社	松山(053)452-2711
都立支社	都立(0249)23-5511	福山支社	福山(0762)23-1621
いわき支店	いわき(0246)21-5511	富山支社	富山(0776)22-1866
長水支店	長水(0258)36-2155	富山支社	富山(0764)31-8461
戸支店	戸(0292)26-1717	京都支社	京都(075)221-8511
神奈川支社	横浜(045)324-5511	神戶支社	神戶(078)332-3311
群馬支社	高崎(0273)26-1255	大阪支社	大阪(078)332-3311
大宮支店	大宮(0276)46-4011	鳥取支社	鳥取(082)242-5504
宇都宮支店	宇都宮(0286)21-2281	徳島支社	徳島(085)27-5311
小野支店	小野(0285)24-5011	岡山支社	岡山(0862)25-4455
長野支店	長野(0262)35-1444	新居支社	新居(0878)36-1200
本支店	本(0263)35-1666	新居支社	新居(0897)32-5001
諏訪支店	諏訪(0266)53-5350	松山支店	松山(0899)45-4111
甲府支店	甲府(0552)24-4141	福岡支店	福岡(092)271-7700
埼玉支社	さい(048)641-1411	九州支店	九州(093)541-2887

(技術お問い合わせ先)

半導体応用技術本部 第一応用システム技術部	〒108-01 東京都港区芝五丁目7番1号(日本電気本社ビル)	東京(03)3798-6105
半導体応用技術本部 第二応用システム技術部	〒540 大阪府中央区城見一丁目4番24号(日本電気関西ビル)	大阪(06)945-3383
半導体応用技術本部 第三応用システム技術部	〒460 名古屋市中区栄四丁目14番5号(松下ビル)	名古屋(052)242-2762
半導体応用技術本部 メモリ汎用デバイス技術部	〒210 川崎市幸区塚城三丁目4番4番地	川崎(044)548-8882

インフォメーションセンター
FAX(044)548-7900