

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

455A グループ

階段キーマトリクス(時計動作モード使用)

1. 要約

この資料は455Aグループの階段キーマトリクスの使用方法を紹介し、応用例を掲載しています。

2. はじめに

この資料で説明する応用例は次のマイコン、条件での利用に適用されます。

- マイコン : 455A グループ
- 発振周波数 : 4MHz : 但し、 $f(XIN)$ として、32.768kHz : 但し、サブクロック $f(XCIN)$ として
- システムクロック : スルーモード(分周なし)使用

3. 関連レジスタ

3.1 割り込み制御レジスタ V1

表 3.1 に割り込み制御レジスタ V1 のビット構成を示します。
レジスタ V1 への書き込みは、レジスタ A に値を設定した後、TV1A 命令で行います。
また、TAV1 命令でレジスタ V1 の内容をレジスタ A に転送できます。

表 3.1 割り込み制御レジスタ V1 のビット構成

割り込み制御レジスタ V1		リセット時 : 0000 ₂	パワーダウン時 : 0000 ₂	R/W TAV1/TV1A
V13	タイマ 2 割り込み可能ビット	0	発生禁止 (SNZT2 命令有効)	
		1	発生可能 (SNZT2 命令無効)	
V12	タイマ 1 割り込み可能ビット	0	発生禁止 (SNZT1 命令有効)	
		1	発生可能 (SNZT1 命令無効)	
V11	使用しません	0	このビットに機能はありませんが R/W は可能です。	
		1		
V10	外部 0 割り込み可能ビット	0	発生禁止 (SNZ0 命令有効)	
		1	発生可能 (SNZ0 命令無効)	

- 注 1. “R” は読み出し可、“W” は書き込み可を表します。
注 2. : 階段キーマトリクスの設定時使用しないビットです。

3.2 割り込み制御レジスタ V2

表 3.2 に割り込み制御レジスタ V2 のビット構成を示します。
レジスタ V2 への書き込みは、レジスタ A に値を設定した後、TV2A 命令で行います。
また、TAV2 命令でレジスタ V2 の内容をレジスタ A に転送できます。

表 3.2 割り込み制御レジスタ V2 のビット構成

割り込み制御レジスタ V2		リセット時 : 0000 ₂	パワーダウン時 : 0000 ₂	R/W TAV2/TV2A
V23	使用しません	0	このビットに機能はありませんが R/W は可能です。	
		1		
V22	使用しません	0	このビットに機能はありませんが R/W は可能です。	
		1		
V21	使用しません	0	このビットに機能はありませんが R/W は可能です。	
		1		
V20	タイマ 3 割り込み可能ビット	0	発生禁止 (SNZT3 命令有効)	
		1	発生可能 (SNZT3 命令無効)	

- 注 1. “R” は読み出し可、“W” は書き込み可を表します。
注 2. : 階段キーマトリクスの設定時使用しないビットです。

3.3 タイマ制御レジスタ PA

表 3.3 にタイマ制御レジスタ PA のビット構成を示します。
レジスタ PA への書き込みは、レジスタ A に値を設定した後、TPAA 命令で行います。

表 3.3 タイマ制御レジスタ PA のビット構成

タイマ制御レジスタ PA		リセット時 : 0 ₂	パワーダウン時 : 0 ₂	W TPAA
PA0	プリスケアラ制御ビット	0	停止 (状態保持)	
		1	動作	

注1. “W” は書き込み可を表します。

3.4 タイマ制御レジスタ W1

表 3.4 にタイマ制御レジスタ W1 のビット構成を示します。
レジスタ W1 への書き込みは、レジスタ A に値を設定した後、TW1A 命令で行います。
また、TAW1 命令でレジスタ W1 の内容をレジスタ A に転送できます。

表 3.4 タイマ制御レジスタ W1 のビット構成

タイマ制御レジスタ W1		リセット時 : 0000 ₂	パワーダウン時 : 状態保持	R/W TAW1/TW1A
W13	タイマ1 カウント自動停止回路選択ビット (注2)	0	タイマ1カウント自動停止回路非選択	
		1	タイマ1カウント自動停止回路選択	
W12	タイマ1制御ビット	0	停止 (状態保持)	
		1	動作	
W11	タイマ1カウントソース選択ビット (注3)	W11	W10	カウントソース
		0	0	PWM信号 (PWMOUT)
		0	1	プリスケアラ出力 (ORCLK)
W10		1	0	タイマ3アンダフロー信号 (T3UDF)
		1	1	CNTR入力

注1. “R” は読み出し可、“W” は書き込み可を表します。

注2. この機能はタイマ1カウント開始同期回路選択 (I10=“1”) 時にのみ有効です。

注3. タイマ1カウントソースにCNTR入力を選択した場合、ポートC出力は無効になります。

注4. : 階段キーマトリクスの設定時使用しないビットです。

3.5 タイマ制御レジスタ W3

表 3.5 にタイマ制御レジスタ W3 のビット構成を示します。
レジスタ W3 への書き込みは、レジスタ A に値を設定した後、TW3A 命令で行います。
また、TAW3 命令でレジスタ W3 の内容をレジスタ A に転送できます。

表 3.5 タイマ制御レジスタ W3 のビット構成

タイマ制御レジスタ W3		リセット時 : 0000 ₂		パワーダウン時 : 状態保持		R/W TAW3/TW3A	
W3 ₃	タイマ 3 制御ビット	0	停止 (初期状態)				
		1	動作				
W3 ₂	タイマ 3 カウント値選択ビット	W3 ₂	W3 ₁	W3 ₀	カウント値		
		0	0	0	512 カウントごとにアンダフロー発生		
0		0	1	1024 カウントごとにアンダフロー発生			
0		1	0	2048 カウントごとにアンダフロー発生			
W3 ₁		0	1	1	4096 カウントごとにアンダフロー発生		
		1	0	0	8192 カウントごとにアンダフロー発生		
W3 ₀		1	0	1	16384 カウントごとにアンダフロー発生		
		1	1	0	32768 カウントごとにアンダフロー発生		
		1	1	1	65536 カウントごとにアンダフロー発生		

注 1. “R” は読み出し可、“W” は書き込み可を表します。

3.6 タイマ制御レジスタ W5

表 3.6 にタイマ制御レジスタ W5 のビット構成を示します。
レジスタ W5 への書き込みは、レジスタ A に値を設定した後、TW5A 命令で行います。
また、TAW5 命令でレジスタ W5 の内容をレジスタ A に転送できます。

表 3.6 タイマ制御レジスタ W5 のビット構成

タイマ制御レジスタ W5		リセット時 : 0000 ₂		パワーダウン時 : 状態保持		R/W TAW5/TW5A	
W5 ₃	使用しません	0	このビットに機能はありませんが R/W は可能です				
		1	このビットに機能はありませんが R/W は可能です				
W5 ₂	使用しません	0	このビットに機能はありませんが R/W は可能です				
		1	このビットに機能はありませんが R/W は可能です				
W5 ₁	タイマ 3 カウントソース選択ビット	W5 ₁	W5 ₀	カウントソース			
		0	0	XCIN 入力			
0		1	ORCLK 入力				
W5 ₀		1	0	低速オンチップオシレータ入力 (LSOCO)			
		1	1	高速オンチップオシレータ入力 (HSOCO)			

注 1. “R” は読み出し可、“W” は書き込み可を表します。

注 2. : 階段キーマトリクスの設定時使用しないビットです。

3.7 ポート出力形式制御レジスタ FR1

表 3.7 にポート出力形式制御レジスタ FR1 のビット構成を示します。
レジスタ FR1 への書き込みは、レジスタ A に値を設定した後、TFR1A 命令で行います。

表 3.7 ポート出力形式制御レジスタ FR1 のビット構成

ポート出力形式制御レジスタ FR1		リセット時 : 0000 ₂	パワーダウン時 : 状態保持	W TFR1A
FR13	ポート D ₃ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR12	ポート D ₂ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR11	ポート D ₁ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR10	ポート D ₀ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

注1. “W” は書き込み可を表します。

3.8 ポート出力形式制御レジスタ FR2

表 3.8 にポート出力形式制御レジスタ FR2 のビット構成を示します。
レジスタ FR2 への書き込みは、レジスタ A に値を設定した後、TFR2A 命令で行います。

表 3.8 ポート出力形式制御レジスタ FR2 のビット構成

ポート出力形式制御レジスタ FR2		リセット時 : 0000 ₂	パワーダウン時 : 状態保持	W TFR2A
FR23	ポート P ₃₂ 、P ₃₃ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR22	ポート P ₃₀ 、P ₃₁ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR21	ポート D ₅ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	
FR20	ポート D ₄ 出力形式選択ビット	0	Nチャネルオープンドレイン出力	
		1	CMOS出力	

注1. “W” は書き込み可を表します。

注2. : 階段キーマトリクスの設定時使用しないビットです。

3.9 キーオンウェイクアップ制御レジスタ K3

表 3.9 にキーオンウェイクアップ制御レジスタ K3 のビット構成を示します。
レジスタ K3 への書き込みは、レジスタ A に値を設定した後、TK3A 命令で行います。
また、TAK3 命令でレジスタ K3 の内容をレジスタ A に転送できます。

表 3.9 キーオンウェイクアップ制御レジスタ K3 のビット構成

キーオンウェイクアップ制御レジスタ K3		リセット時 : 0000 ₂	パワーダウン時 : 状態保持	R/W TAK3/TK3A
K3 ₃	ポート D ₆ 、D ₇ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K3 ₂	ポート D ₄ 、D ₅ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K3 ₁	ポート D ₂ 、D ₃ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	
K3 ₀	ポート D ₀ 、D ₁ キーオンウェイクアップ制御ビット	0	キーオンウェイクアップ無効	
		1	キーオンウェイクアップ有効	

注1. “R” は読み出し可、“W” は書き込み可を表します。

注2. : 階段キーマトリクスの設定時使用しないビットです。

3.10 プルアップ制御レジスタ PU3

表 3.10 にプルアップ制御レジスタ PU3 のビット構成を示します。
レジスタ PU3 への書き込みは、レジスタ A に値を設定した後、TPU3A 命令で行います。
また、TAPU3 命令でレジスタ PU3 の内容をレジスタ A に転送できます。

表 3.10 プルアップ制御レジスタ PU3 のビット構成

プルアップ制御レジスタ PU3		リセット時 : 0000 ₂	パワーダウン時 : 状態保持	R/W TAPU3/TPU3A
PU3 ₃	ポート D ₆ 、D ₇ プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	
PU3 ₂	ポート D ₄ 、D ₅ プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	
PU3 ₁	ポート D ₂ 、D ₃ プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	
PU3 ₀	ポート D ₀ 、D ₁ プルアップトランジスタ制御ビット	0	プルアップトランジスタ OFF	
		1	プルアップトランジスタ ON	

注1. “R” は読み出し可、“W” は書き込み可を表します。

注2. : 階段キーマトリクスの設定時使用しないビットです。

3.11 クロック制御レジスタ RG

表 3.11 にクロック制御レジスタ RG のビット構成を示します。
レジスタ RG への書き込みは、レジスタ A に値を設定した後、TRGA 命令で行います。

表 3.11 クロック制御レジスタ RG のビット構成

クロック制御レジスタ RG		リセット時 : 1000 ₂	パワーダウン時 : 状態保持	W TRGA
RG ₃	低速オンチップオシレータ (f(LSOCO)) 制御ビット (注3)	0	低速オンチップオシレータ (f(LSOCO)) 発振可能	
		1	低速オンチップオシレータ (f(LSOCO)) 発振停止	
RG ₂	サブクロック (f(XCIN)) 制御ビット (注3)	0	サブクロック (f(XCIN)) 発振可能、ポート D ₆ 、D ₇ 非選択	
		1	サブクロック (f(XCIN)) 発振停止、ポート D ₆ 、D ₇ 選択	
RG ₁	メインクロック (f(XIN)) 制御ビット (注3)	0	メインクロック (f(XIN)) 発振可能	
		1	メインクロック (f(XIN)) 発振停止	
RG ₀	高速オンチップオシレータ (f(HSOCO)) 制御ビット (注3)	0	高速オンチップオシレータ (f(HSOCO)) 発振可能	
		1	高速オンチップオシレータ (f(HSOCO)) 発振停止	

- 注1. “W” は書き込み可を表します。
 注2. : 階段キーマトリクスの設定時使用しないビットです。
 注3. システムクロックに選択している発振回路を停止することはできません。

3.12 クロック制御レジスタ MR

表 3.12 にクロック制御レジスタ MR のビット構成を示します。
レジスタ MR への書き込みは、レジスタ A に値を設定した後、TMRA 命令で行います。
また、TAMR 命令でレジスタ MR の内容をレジスタ A に転送できます。

表 3.12 クロック制御レジスタ MR のビット構成

クロック制御レジスタ MR		リセット時 : 1100 ₂		パワーダウン時 : 状態保持	R/W TAMR/TMRA
MR ₃	動作モード選択ビット	MR ₃	MR ₂	動作モード	
		0	0	スルーモード (分周なし)	
		0	1	2分周モード	
		1	0	4分周モード	
MR ₂		1	1	8分周モード	
		MR ₁	MR ₀	システムクロック	
MR ₁	システムクロック選択ビット (注2)	0	0	f(HSOCO)	
		0	1	f(XIN)	
		1	0	f(XCIN)	
MR ₀		1	1	f(LSOCO)	

- 注1. “R” は読み出し可、“W” は書き込み可を表します。
 注2. 停止しているクロックをシステムクロックに選択することはできません。

4. 階段キーマトリクスの応用例

キーマトリクスの構成において使用するポート端子の2つを短絡する全ての組み合わせ位置にキーを配置したものを階段キーマトリクスと呼称します。

ポイント：6本の入出力ポートにより最大15個のスイッチが配置できます。

同数の端子を使用した従来キーマトリクス(出力ポート3本×入力ポート3本)の場合、キー数は9となります。

よって、階段キーマトリクスの場合、従来のキーマトリクスに比べ、より多くのキーが配置可能となります。

但し、多重押下でのキー判別は出来ません。

仕様：タイマのアンダフローにより復帰し、押されているキーに従ってキー番号(1～15)をRAMへ格納します。

また、多重押下の場合はキー番号を255、キー入力無しの場合はキー番号を0とします。

キー入力無しが確定した場合、時計動作モードへ移行します。

9.984ms周期にてキースキャンを行います。

スキャン結果の2回連続一致でキー確定とし、キー確定フラグをセットします。

連続したキースキャンのスキャン結果が不一致の場合は、キー不確定とし、キー確定フラグをクリアします。

図 4.4 に階段キーマトリクス設定例(1)を、図 4.5 に階段キーマトリクス設定例(2)を、図 4.6 に階段キーマトリクス設定例(3)を示します。

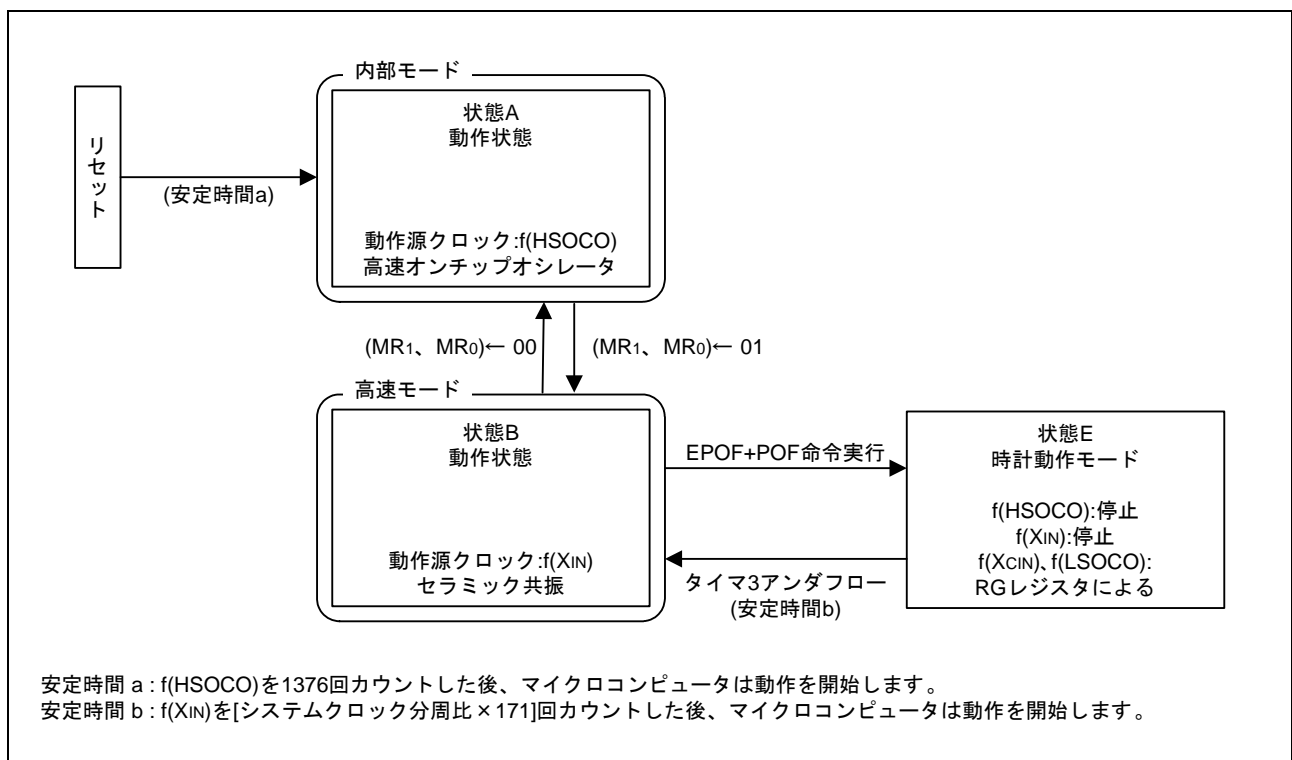
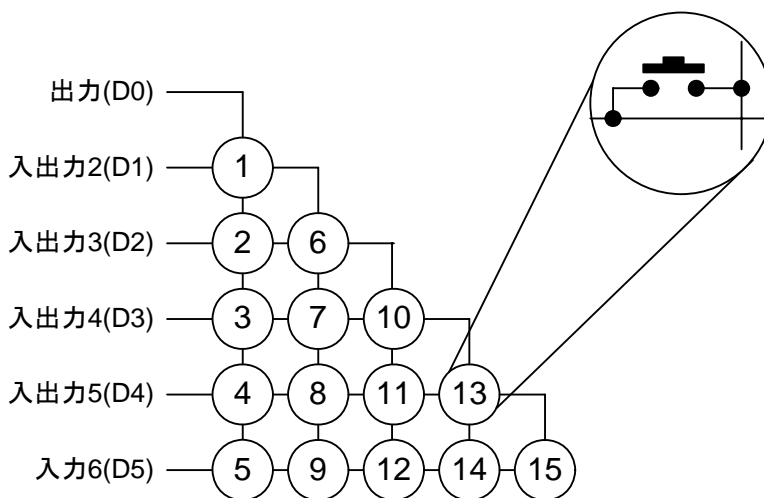


図 4.1 状態遷移図



<キー番号の割当て>

Lowレベル入力ポート数	キー番号	補足
0	0	キー入力無し
1	1~15	単キー入力
2以上	255	キーの多重押し

<キーの多重押し>

2キー以上押されている場合、どのキーが押されているのか判別出来ません。

<Lowレベル入力ポート数の数え方>

- ① 全ポート (D0~D5) を入力可能状態とします。
(出力形式にNチャンネルオープンドレインを選択し、出力ラッチを“1”に設定します。)
- ② D0ポートに“L”を出力(出力ラッチを“0”に設定)し、100 μs以上の時間待ちを行った後、D1~D5ポートの状態を読み取ります。(キー番号1~5に対するキースキャン)
- ③ D0ポートを入力可能状態とし、D0ポート出力に対するキースキャンを終了します。
- ④ 以降、同様にD1~D4ポートの順に“L”出力設定を行い、各ポート出力に対するキースキャンを行います。
このとき、既に出力を行ったポートの状態は確認しません。

<省電力モード(時計動作モード)からの復帰>

階段キーマトリクスを使用する場合、省電力モードとしてRAMバックアップモードへ移行した後、キーオンウェイクアップによる省電力モードからの復帰が有効とならない場合があります(※1参照)。その為、本サンプルプログラムでは省電力モードに移行する場合、時計動作モードへ移行します。

時計動作モードからの復帰はタイマ3のアンダフローを利用し、周期的(15.625ms毎)に省電力モードから復帰させ、その都度、キー入力有無の確認を行っています。

※1. キーオンウェイクアップを有効とする為には次の条件が必要です。

- ・スキャン出力ポート: プルアップOFF、ウェイクアップ機能無効、“L”出力設定
- ・スキャン入力ポート: プルアップON、ウェイクアップ機能有効、ハイインピーダンス設定

しかし、本サンプルプログラムではスキャン出力ポートとスキャン入力ポートが固定ではない為、次のようにキーオンウェイクアップできないキー押しが必ず存在することになります。この為、キーオンウェイクアップによるRAMバックアップモードからの復帰が有効とならない場合があります。

- ・スキャン出力を想定した設定のポート同士を短絡するキーが押される
- ・スキャン入力を想定した設定のポート同士を短絡するキーが押される

<プルアップ制御について>

本サンプルプログラムでは、LCD表示に全SEG端子を使用することを考慮してDポートのみを使用したキーマトリクスを設計しています。Dポートのプルアップは2ビット単位で行われる為、キースキャン時、キーが押されていないポートからも“L”出力を行います。その為、消費電流が増加しますのでご注意ください。

ポートP2、P3は1ビット単位でプルアップON/OFFがの制御が可能ですので、これらのポートをキースキャンに使用すれば、消費電力を抑えることができます。

図 4.2 キーマトリクス配置

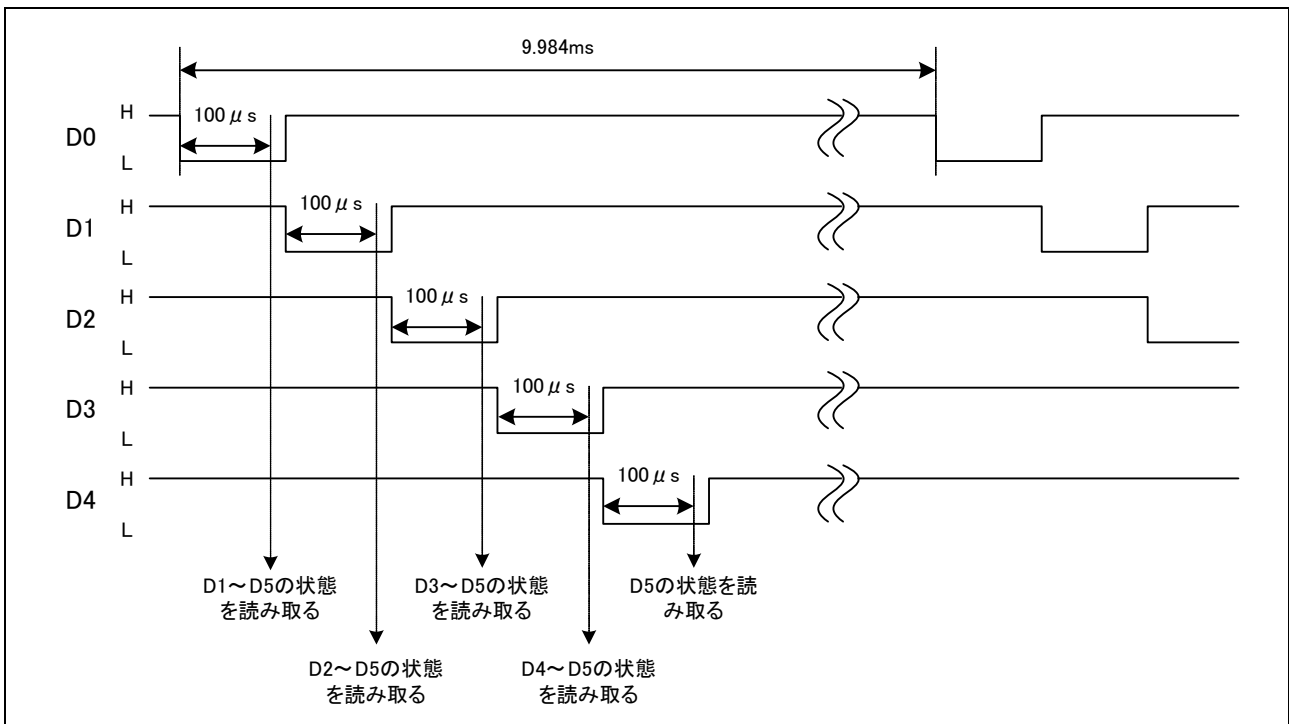


図 4.3 キースキャンタイミング図

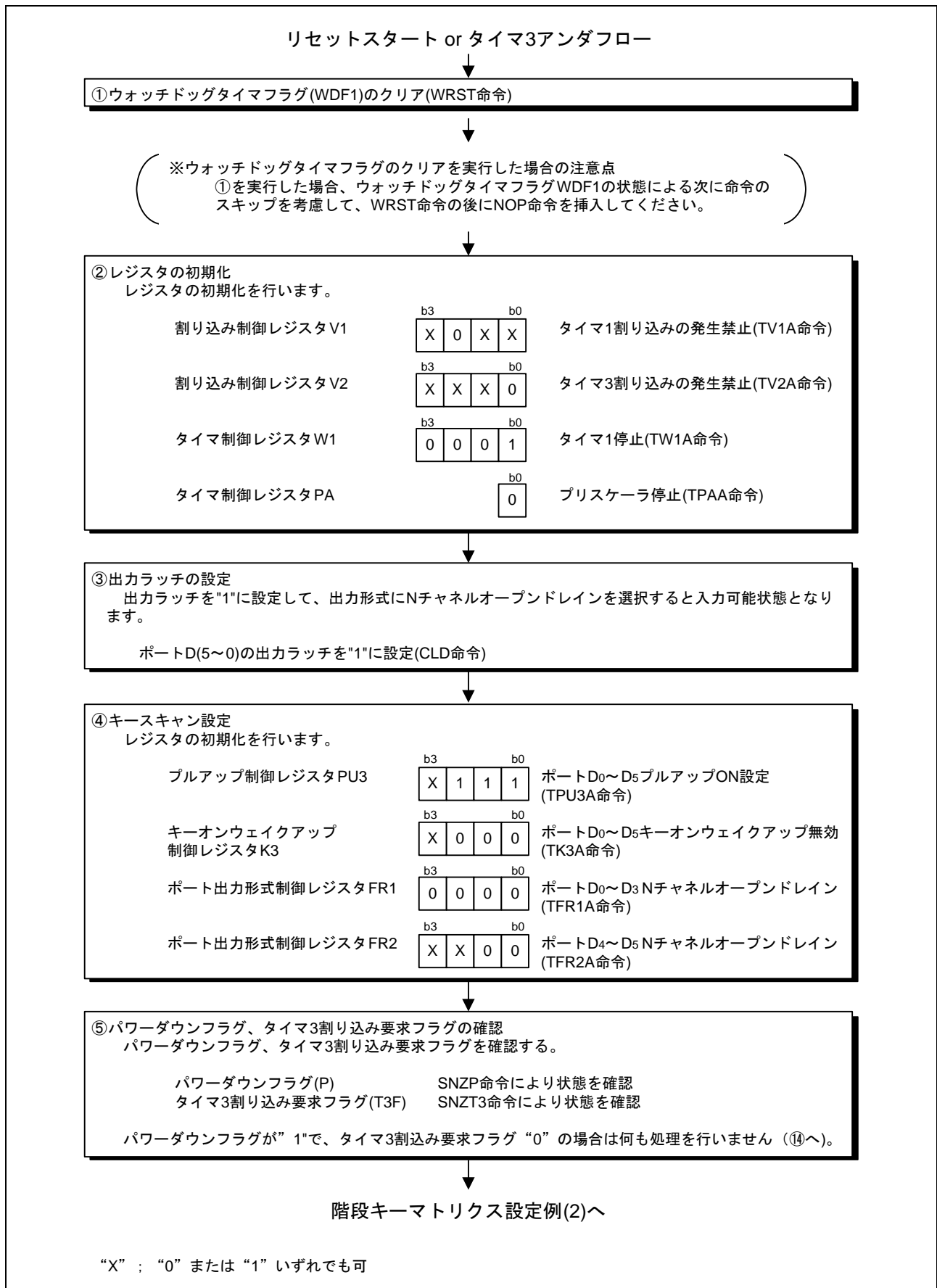


図 4.4 階段キーマトリクス設定例(1)

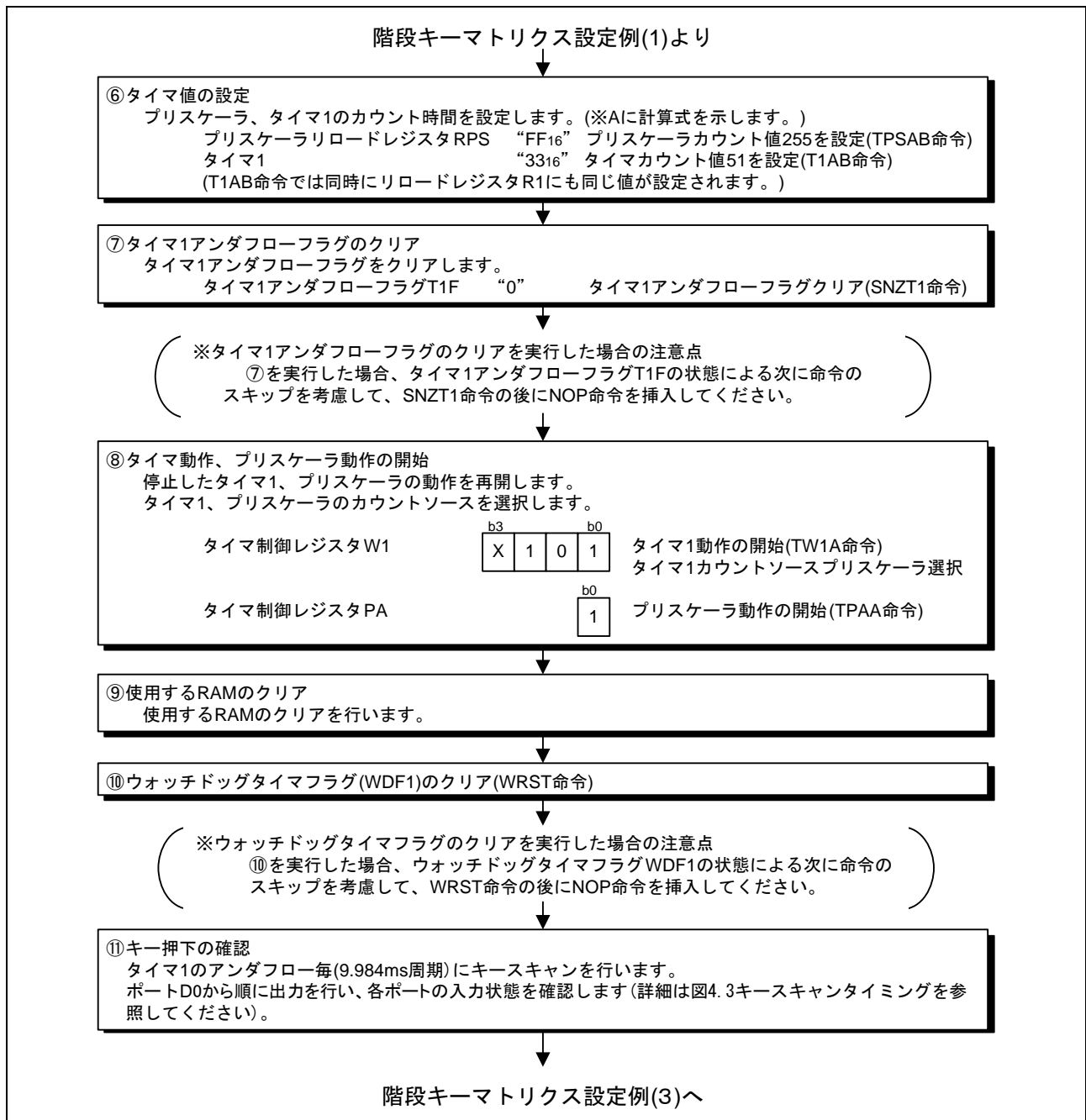


図 4.5 階段キーマトリクス設定例(2)

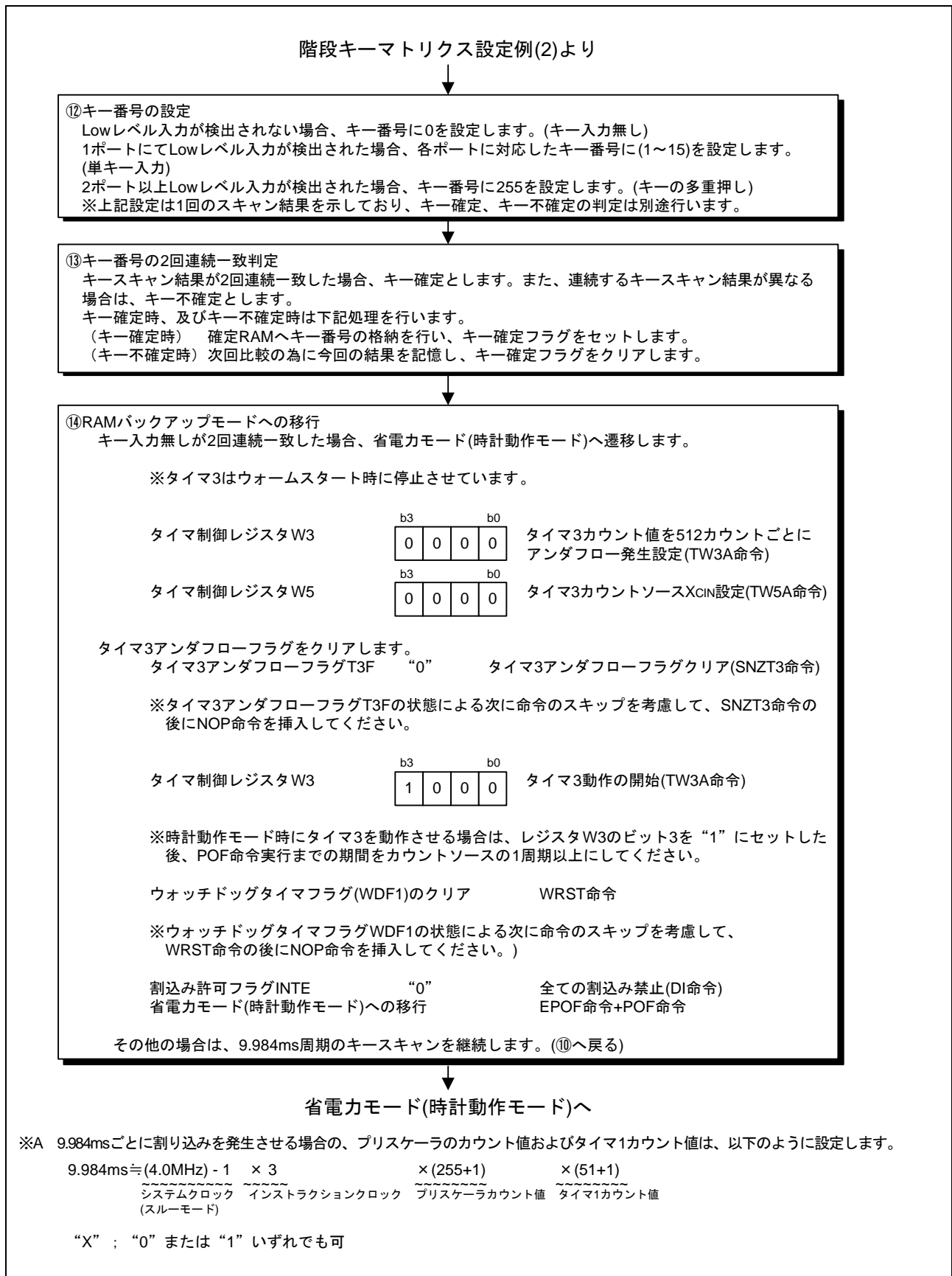


図 4.6 階段キーマトリクス設定例(3)

5. 参考ドキュメント

データシート

455A グループデータシート

(最新版をルネサス テクノロジホームページから入手してください。)

テクニカルニュース/テクニカルアップデート

(最新の情報をルネサス テクノロジホームページから入手してください。)

6. 参考プログラム例

参考プログラムは、ルネサステクノロジホームページから入手してください。
455Aグループのページの画面左メニュー「アプリケーションノート」をクリックしてください。

ホームページとサポート窓口

ルネサス テクノロジホームページ
<http://japan.renesas.com/>

お問い合わせ先
<http://japan.renesas.com/inquiry>
csc@renesas.com

改訂記録	455Aグループ 階段キーマトリクス(時計動作モード使用)
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2008.02.29	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
 - 1 1. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
 - 1 2. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
 - 1 3. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444