

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

4509グループ 入出力端子

1. 要約

この資料は4509グループの入出力端子の設定方法例、及び応用例について説明しています。

2. はじめに

この資料で説明する応用例は、次のマイコン、条件での利用に適用されます。

- マイコン : 4509グループ

本サンプルプログラムでは、制御レジスタのビット配置の都合上、使用しない機能のビットを操作している場合があります。これらの設定値はユーザシステムの使用状況に合わせて設定してください。

3. 入出力ポート

3.1 ポート P0

ポート P0 は、ポートとして 4 ビットの入出力機能をもっています。ポート P00 ~ P02 はシリアルインタフェース端子 SIN、SOUT、SCK と兼用です。

キーオンウェイクアップの機能をレジスタ K0、プルアップトランジスタの機能をレジスタ PU0 の設定により ON/OFF できます。

また、ポートの出力形式をレジスタ FR0 の設定により N チャンネルオープンドレイン出力、あるいは CMOS 出力から選択できます。

3.1.1 ポート P0 の入出力方法

・入力方法

使用するポートに対応して、レジスタ FR00 ~ FR03 を “ 0 ” に設定し、ポート P0i (i=0 ~ 3) の出力ラッチを OPOA 命令で “ 1 ” に設定してください。出力ラッチが “ 0 ” に設定されている場合、“ L ” レベルが入力されます。

IAPA 命令を実行すると、ポート P0 の端子の状態はレジスタ A に転送されます。

・出力方法

OPOA 命令によりレジスタ A の内容がポート P0 に出力されます。

出力形式は、レジスタ FR00 ~ FR03 により、1 ビット単位で N チャンネルオープンドレインと CMOS の選択が可能です。

注 1. ポート P00 はシリアルインタフェース端子 SIN と兼用です。したがって、ポート P00 として使用する際は、レジスタ J11、J10 を “ 002 ” 又は “ 012 ” に設定してください。

注 2. ポート P01 はシリアルインタフェース端子 SOUT と兼用です。したがって、ポート P01 として使用する際は、レジスタ J11、J10 を “ 002 ” 又は “ 102 ” に設定してください。

注 3. ポート P02 はシリアルインタフェース端子 SCK と兼用です。したがって、ポート P02 として使用する際は、レジスタ J11、J10 を “ 002 ” に設定してください。

3.2 ポートP1

ポートP1は、ポートとして4ビットの入出力機能をもっています。

キーオンウェイクアップの機能をレジスタK1、プルアップトランジスタの機能をレジスタPU1の設定によりON/OFFできます。

ポートの出力形式をレジスタFR1の設定によりNチャンネルオープンドレイン出力、あるいはCMOS出力から選択できます。

また、ポートP1₁はCNTR1入出力端子、ポートP1₂はCNTR0入出力端子、P1₃はINT入力端子と兼用です。INTはキーオンウェイクアップの機能をレジスタL10の設定によりON/OFFできます。

3.2.1 ポートP1の入出力方法

・入力方法

使用するポートに対応して、レジスタFR10～FR13を“0”に設定し、ポートP1_i(i=0～3)の出力ラッチをOP1A命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

IAP1命令を実行すると、ポートP1の端子の状態はレジスタAに転送されます。

・出力方法

OP1A命令によりレジスタAの内容がポートP1に出力されます。

出力形式は、レジスタFR10～FR13により、1ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。

注1. ポートP1₂はCNTR0と兼用です。したがって、ポートP1₂として使用する際は、レジスタW53を“0”に設定してください。

注2. ポートP1₁はCNTR1と兼用です。したがって、ポートP1₁として使用する際は、レジスタW63を“0”に設定してください。

3.3 ポート P2

ポート P2 は、ポートとして 2 ビットの入出力機能をもっています。ポート P2₀、P2₁ はアナログ入力端子 AIN₀、AIN₁ と兼用です。

キーオンウェイクアップの機能をレジスタ K2₁、K2₀、プルアップトランジスタの機能をレジスタ PU2₁、PU2₀ の設定により ON/OFF できます。

また、ポートの出力形式をレジスタ FR2₁、FR2₀ の設定により N チャンネルオープンドレイン出力、あるいは CMOS 出力から選択できます。

3.3.1 ポート P2 の入出力方法

- ・入力方法

使用するポートに対応して、レジスタ FR2₀ ~ FR2₁ を “0” に設定し、ポート P2_i(i=0, 1) の出力ラッチを OP2A 命令で “1” に設定してください。出力ラッチが “0” に設定されている場合、“L” レベルが入力されます。

IAP2 命令を実行すると、ポート P2 の端子の状態はレジスタ A に転送されます。

- ・出力方法

OP2A 命令によりレジスタ A の内容がポート P2 に出力されます。

出力形式は、レジスタ FR2₀ ~ FR2₁ により、1 ビット単位で N チャンネルオープンドレインと CMOS の選択が可能です。

3.4 ポート P3

ポート P3 は、ポートとして 2 ビットの入出力機能をもっています。ポート P3₀、P3₁ はアナログ入力端子 AIN₂、AIN₃ と兼用です。

また、ポートの出力形式をレジスタ C1₁、C1₀ の設定により N チャンネルオープンドレイン出力、あるいは CMOS 出力から選択できます。

3.4.1 ポート P3 の入出力方法

- ・入力方法

使用するポートに対応して、レジスタ C1₀ ~ C1₁ を “0” に設定し、ポート P3_i(i=0, 1) の出力ラッチを OP3A 命令で “1” に設定してください。出力ラッチが “0” に設定されている場合、“L” レベルが入力されます。

IAP3 命令を実行すると、ポート P3 の端子の状態はレジスタ A に転送されます。

- ・出力方法

OP3A 命令によりレジスタ A の内容がポート P3 に出力されます。

出力形式は、レジスタ C1₀ ~ C1₁ により、1 ビット単位で N チャンネルオープンドレインと CMOS の選択が可能です。

3.5 ポートD

ポートDは、6本のビット単位の入出力機能をもっています。ポートD2、D3はアナログ入力端子AIN4、AIN5と兼用です。

ポートD2とD3はキーオンウェイクアップの機能をレジスタK23、K22、プルアップトランジスタの機能をレジスタPU23、PU22の設定によりON/OFFできます。

また、ポートの出力形式をレジスタFR3、C13、C12の設定によりNチャンネルオープンドレイン出力、あるいはCMOS出力から選択できます。

3.5.1 ポートDの入出力方法

ポートDは、ビット単位で入出力制御を行います。したがって、ポートD0～D5で入出力を行う場合は、まずポートDの1本をデータポイントのレジスタYによって選択してください。

- ・入力方法

使用するポートに対応して、レジスタFR3i(i=0～3)、C1i(i=2,3)を“0”に設定し、ポートDi(i=0～5)の出力ラッチをSD命令で“1”に設定してください。出力ラッチが“0”に設定されている場合、“L”レベルが入力されます。

SZD命令を実行すると、レジスタYで指定されたポートの内容が“0”であれば、次の命令をスキップします。“1”であれば次の命令を実行します。

- ・出力方法

出力レベルをSD、RD命令で出力ラッチに設定してください。

出力形式は、レジスタFR3、C13、C12により、1ビット単位でNチャンネルオープンドレインとCMOSの選択が可能です。

SD命令を実行すると、端子の状態はハイインピーダンス又は“H”レベルになります。

CLD命令を実行すると、ポートDのすべての端子の状態がハイインピーダンス又は“H”レベルになります。

RD命令を実行すると、端子の状態は“L”レベルになります。

注1. SD、RD命令使用時は、レジスタYに“01102”以上を設定しないでください。

4. 関連レジスタ

4.1 タイマ制御レジスタ W5

表4.1にタイマ制御レジスタW5のビット構成を示します。

レジスタW5への書き込みは、レジスタAに値を設定した後、TW5A命令で行います。

また、TAW5命令でレジスタW5の内容をレジスタAに転送できます。

表 4.1 タイマ制御レジスタ W5 のビット構成

| タイマ制御レジスタ W5 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | R/W TAW5/TW5A |
|-----------------|----------------------------------|-------------------------|-----------------------------|------------------|
| W5 ₃ | P1 ₂ /CNTR0 端子機能選択ビット | 0 | P1 ₂ 入出力/CNTR0入力 | |
| | | 1 | P1 ₂ 入力/CNTR0入出力 | |
| W5 ₂ | タイマ1 カウント自動停止回路選択ビット(注2) | 0 | カウント自動停止回路非選択 | |
| | | 1 | カウント自動停止回路選択 | |
| W5 ₁ | タイマ1 カウント開始同期回路選択ビット(注3) | 0 | カウント開始同期回路非選択 | |
| | | 1 | カウント開始同期回路選択 | |
| W5 ₀ | CNTR0 端子 入力カウントエッジ選択ビット | 0 | 立ち下がりエッジ | |
| | | 1 | 立ち上がりエッジ | |

注 1. “R” は読み出し可、“W” は書き込み可を表します。

注 2. この機能は、INT 端子タイマ 1 制御可能 (I10= “1”) 及びタイマ 1 カウント開始同期回路選択 (W5₁= “1”) 時にのみ有効です。

注 3. この機能は、INT 端子タイマ 1 制御可能 (I10= “1”) 時にのみ有効です。

注 4. : ポートの設定時使用しないビットです。

4.2 タイマ制御レジスタ W6

表4.2にタイマ制御レジスタW6のビット構成を示します。

レジスタW6への書き込みは、レジスタAに値を設定した後、TW6A命令で行います。

また、TAW6命令でレジスタW6の内容をレジスタAに転送できます。

表 4.2 タイマ制御レジスタ W6 のビット構成

| タイマ制御レジスタ W6 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | R/W TAW6/TW6A |
|-----------------|----------------------------------|-------------------------|-----------------------------|------------------|
| W6 ₃ | P1 ₁ /CNTR1 端子機能選択ビット | 0 | P1 ₁ 入出力/CNTR1入力 | |
| | | 1 | P1 ₁ 入力/CNTR1入出力 | |
| W6 ₂ | CNTR1 端子 出力自動制御回路選択ビット | 0 | 出力自動制御回路非選択 | |
| | | 1 | 出力自動制御回路選択 | |
| W6 ₁ | タイマ2 INT 端子入力周期カウント回路選択ビット | 0 | INT 端子入力周期カウント回路非選択 | |
| | | 1 | INT 端子入力周期カウント回路選択 | |
| W6 ₀ | CNTR1 端子 入力カウントエッジ選択ビット | 0 | 立ち下がりエッジ | |
| | | 1 | 立ち上がりエッジ | |

注 1. “R” は読み出し可、“W” は書き込み可を表します。

注 2. : ポートの設定時使用しないビットです。

4.3 シリアルインタフェース制御レジスタ J1

表4.3にシリアルインタフェース制御レジスタJ1のビット構成を示します。
レジスタJ1への書き込みは、レジスタAに値を設定した後、TJ1A命令で行います。
また、TAJ1命令でレジスタJ1の内容をレジスタAに転送できます。

表 4.3 シリアルインタフェース制御レジスタ J1 のビット構成

| シリアルインタフェース制御レジスタ J1 | | リセット時：0000 ₂ | | RAM バックアップ時：状態保持 | R/W TAJ1/TJ1A |
|----------------------|------------------------|-------------------------|-----|--|------------------|
| J13 | シリアルインタフェース同期クロック選択ビット | J13 | J12 | 同期クロック | |
| | | 0 | 0 | インストラクションクロック (INSTCK) の8分周信号 | |
| | | 0 | 1 | インストラクションクロック (INSTCK) の4分周信号 | |
| J12 | | 1 | 0 | インストラクションクロック (INSTCK) の2分周信号 | |
| | | 1 | 1 | 外部クロック (Sck入力) | |
| J11 | シリアルインタフェースポート機能選択ビット | J11 | J10 | ポート機能 | |
| | | 0 | 0 | P0 ₀ 、P0 ₁ 、P0 ₂ 選択/SIN、SOUT、Sck非選択 | |
| | | 0 | 1 | P0 ₀ 、SOUT、Sck選択/SIN、P0 ₁ 、P0 ₂ 非選択 | |
| J10 | | 1 | 0 | SIN、P0 ₁ 、Sck選択/P0 ₀ 、SOUT、P0 ₂ 非選択 | |
| | | 1 | 1 | SIN、SOUT、Sck選択/P0 ₀ 、P0 ₁ 、P0 ₂ 非選択 | |

注 1. “ R ” は読み出し可、“ W ” は書き込み可を表します。

注 2. : ポートの設定時使用しないビットです。

4.4 プルアップ制御レジスタ PU0

表4.4にプルアップ制御レジスタPU0のビット構成を示します。
レジスタPU0への書き込みは、レジスタAに値を設定した後、TPU0A命令で行います。
また、TAPU0命令でレジスタPU0の内容をレジスタAに転送できます。

表 4.4 プルアップ制御レジスタ PU0 のビット構成

| プルアップ制御レジスタ PU0 | | リセット時：0000 ₂ | | RAM バックアップ時：状態保持 | R/W TAPU0/TPU0A |
|------------------|---|-------------------------|----------------|------------------|--------------------|
| PU0 ₃ | ポート P0 ₃ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | | |
| | | 1 | プルアップトランジスタON | | |
| PU0 ₂ | ポート P0 ₂ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | | |
| | | 1 | プルアップトランジスタON | | |
| PU0 ₁ | ポート P0 ₁ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | | |
| | | 1 | プルアップトランジスタON | | |
| PU0 ₀ | ポート P0 ₀ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | | |
| | | 1 | プルアップトランジスタON | | |

注 1. “ R ” は読み出し可、“ W ” は書き込み可を表します。

4.5 プルアップ制御レジスタPU1

表4.5にプルアップ制御レジスタPU1のビット構成を示します。

レジスタPU1への書き込みは、レジスタAに値を設定した後、TPU1A命令で行います。

また、TAPU1命令でレジスタPU1の内容をレジスタAに転送できます。

表 4.5 プルアップ制御レジスタ PU1 のビット構成

| プルアップ制御レジスタ PU1 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | R/W TAPU1/TPU1A |
|------------------|--|-------------------------|------------------|--------------------|
| PU1 ₃ | ポートP1 ₃ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | |
| | | 1 | プルアップトランジスタON | |
| PU1 ₂ | ポートP1 ₂ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | |
| | | 1 | プルアップトランジスタON | |
| PU1 ₁ | ポートP1 ₁ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | |
| | | 1 | プルアップトランジスタON | |
| PU1 ₀ | ポートP1 ₀ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | |
| | | 1 | プルアップトランジスタON | |

注 1. “R” は読み出し可、“W” は書き込み可を表します。

4.6 プルアップ制御レジスタPU2

表4.6にプルアップ制御レジスタPU2のビット構成を示します。

レジスタPU2への書き込みは、レジスタAに値を設定した後、TPU2A命令で行います。

また、TAPU2命令でレジスタPU2の内容をレジスタAに転送できます。

表 4.6 プルアップ制御レジスタ PU2 のビット構成

| プルアップ制御レジスタ PU2 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | R/W TAPU2/TPU2A |
|------------------|--|-------------------------|------------------|--------------------|
| PU2 ₃ | ポートD ₃ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | |
| | | 1 | プルアップトランジスタON | |
| PU2 ₂ | ポートD ₂ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | |
| | | 1 | プルアップトランジスタON | |
| PU2 ₁ | ポートP2 ₁ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | |
| | | 1 | プルアップトランジスタON | |
| PU2 ₀ | ポートP2 ₀ プルアップトランジスタ制御ビット | 0 | プルアップトランジスタOFF | |
| | | 1 | プルアップトランジスタON | |

注 1. “R” は読み出し可、“W” は書き込み可を表します。

4.7 ポート出力形式制御レジスタFR0

表4.7にポート出力形式制御レジスタFR0のビット構成を示します。

レジスタFR0への書き込みは、レジスタAに値を設定した後、TFR0A命令で行います。

表 4.7 ポート出力形式制御レジスタ FR0 のビット構成

| ポート出力形式制御レジスタ FR0 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | W TFR0A |
|-------------------|----------------------------------|-------------------------|------------------|------------|
| FR0 ₃ | ポート P0 ₃ 出力形式選択ビット | 0 | Nチャネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| FR0 ₂ | ポート P0 ₂ 出力形式選択ビット | 0 | Nチャネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| FR0 ₁ | ポート P0 ₁ 出力形式選択ビット | 0 | Nチャネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| FR0 ₀ | ポート P0 ₀ 出力形式選択ビット | 0 | Nチャネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |

注 1. “W” は書き込み可を表します。

4.8 ポート出力形式制御レジスタFR1

表4.8にポート出力形式制御レジスタFR1のビット構成を示します。

レジスタFR1への書き込みは、レジスタAに値を設定した後、TFR1A命令で行います。

表 4.8 ポート出力形式制御レジスタ FR1 のビット構成

| ポート出力形式制御レジスタ FR1 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | W TFR1A |
|-------------------|----------------------------------|-------------------------|------------------|------------|
| FR1 ₃ | ポート P1 ₃ 出力形式選択ビット | 0 | Nチャネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| FR1 ₂ | ポート P1 ₂ 出力形式選択ビット | 0 | Nチャネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| FR1 ₁ | ポート P1 ₁ 出力形式選択ビット | 0 | Nチャネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| FR1 ₀ | ポート P1 ₀ 出力形式選択ビット | 0 | Nチャネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |

注 1. “W” は書き込み可を表します。

4.9 ポート出力形式制御レジスタFR2

表4.9にポート出力形式制御レジスタFR2のビット構成を示します。

レジスタFR2への書き込みは、レジスタAに値を設定した後、TFR2A命令で行います。

表 4.9 ポート出力形式制御レジスタ FR2 のビット構成

| ポート出力形式制御レジスタ FR2 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | W TFR2A |
|-------------------|----------------------------------|-------------------------|--------------------------|------------|
| FR2 ₃ | 使用しません | 0 | このビットに機能はありませんがR/Wは可能です。 | |
| | | 1 | | |
| FR2 ₂ | 使用しません | 0 | このビットに機能はありませんがR/Wは可能です。 | |
| | | 1 | | |
| FR2 ₁ | ポート P2 ₁ 出力形式選択ビット | 0 | Nチャンネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| FR2 ₀ | ポート P2 ₀ 出力形式選択ビット | 0 | Nチャンネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |

注 1. “W” は書き込み可を表します。

注 2. : ポートの設定時使用しないビットです。

4.10 ポート出力形式制御レジスタFR3

表4.10にポート出力形式制御レジスタFR3のビット構成を示します。

レジスタFR3への書き込みは、レジスタAに値を設定した後、TFR3A命令で行います。

表 4.10 ポート出力形式制御レジスタ FR3 のビット構成

| ポート出力形式制御レジスタ FR3 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | W TFR3A |
|-------------------|---------------------------------|-------------------------|------------------|------------|
| FR3 ₃ | ポート D ₃ 出力形式選択ビット | 0 | Nチャンネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| FR3 ₂ | ポート D ₂ 出力形式選択ビット | 0 | Nチャンネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| FR3 ₁ | ポート D ₁ 出力形式選択ビット | 0 | Nチャンネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| FR3 ₀ | ポート D ₀ 出力形式選択ビット | 0 | Nチャンネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |

注 1. “W” は書き込み可を表します。

4.11 ポート出力形式制御レジスタ C1

表4.11にポート出力形式制御レジスタC1のビット構成を示します。

レジスタC1への書き込みは、レジスタAに値を設定した後、TC1A命令で行います。

表 4.11 ポート出力形式制御レジスタ C1 のビット構成

| ポート出力形式制御レジスタ C1 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | W TC1A |
|------------------|----------------------------------|-------------------------|------------------|-----------|
| C1 ₃ | ポート D ₅ 出力形式選択ビット | 0 | Nチャンネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| C1 ₂ | ポート D ₄ 出力形式選択ビット | 0 | Nチャンネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| C1 ₁ | ポート P ₃₁ 出力形式選択ビット | 0 | Nチャンネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |
| C1 ₀ | ポート P ₃₀ 出力形式選択ビット | 0 | Nチャンネルオープンドレイン出力 | |
| | | 1 | CMOS出力 | |

注 1. “W” は書き込み可を表します。

4.12 キーオンウェイクアップ制御レジスタ K0

表4.12にキーオンウェイクアップ制御レジスタK0のビット構成を示します。

レジスタK0への書き込みは、レジスタAに値を設定した後、TK0A命令で行います。

また、TAK0命令でレジスタK0の内容をレジスタAに転送できます。

表 4.12 キーオンウェイクアップ制御レジスタ K0 のビット構成

| キーオンウェイクアップ制御レジスタ K0 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | R/W TAK0/TK0A |
|----------------------|---|-------------------------|------------------|------------------|
| K0 ₃ | ポート P0 ₃ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |
| K0 ₂ | ポート P0 ₂ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |
| K0 ₁ | ポート P0 ₁ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |
| K0 ₀ | ポート P0 ₀ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |

注 1. “R” は読み出し可、“W” は書き込み可を表します。

4.13 キーオンウェイクアップ制御レジスタK1

表4.13にキーオンウェイクアップ制御レジスタK1のビット構成を示します。
 レジスタK1への書き込みは、レジスタAに値を設定した後、TK1A命令で行います。
 また、TAK1命令でレジスタK1の内容をレジスタAに転送できます。

表 4.13 キーオンウェイクアップ制御レジスタ K1 のビット構成

| キーオンウェイクアップ制御レジスタ K1 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | R/W TAK1/TK1A |
|----------------------|--|-------------------------|------------------|------------------|
| K1 ₃ | ポートP1 ₃ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |
| K1 ₂ | ポートP1 ₂ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |
| K1 ₁ | ポートP1 ₁ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |
| K1 ₀ | ポートP1 ₀ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |

注 1. “R” は読み出し可、“W” は書き込み可を表します。

4.14 キーオンウェイクアップ制御レジスタK2

表4.14にキーオンウェイクアップ制御レジスタK2のビット構成を示します。
 レジスタK2への書き込みは、レジスタAに値を設定した後、TK2A命令で行います。
 また、TAK2命令でレジスタK2の内容をレジスタAに転送できます。

表 4.14 キーオンウェイクアップ制御レジスタ K2 のビット構成

| キーオンウェイクアップ制御レジスタ K2 | | リセット時：0000 ₂ | RAM バックアップ時：状態保持 | R/W TAK2/TK2A |
|----------------------|--|-------------------------|------------------|------------------|
| K2 ₃ | ポートD ₃ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |
| K2 ₂ | ポートD ₂ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |
| K2 ₁ | ポートP2 ₁ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |
| K2 ₀ | ポートP2 ₀ キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |

注 1. “R” は読み出し可、“W” は書き込み可を表します。

4.15 キーオンウェイクアップ制御レジスタL1

表4.15にキーオンウェイクアップ制御レジスタL1のビット構成を示します。

レジスタL1への書き込みは、レジスタAに値を設定した後、TL1A命令で行います。

また、TAL1命令でレジスタL1の内容をレジスタAに転送できます。

表 4.15 キーオンウェイクアップ制御レジスタL1のビット構成

| キーオンウェイクアップ制御レジスタL1 | | リセット時：0000 ₂ | RAMバックアップ時：状態保持 | R/W TAL1/TL1A |
|---------------------|-----------------------------|-------------------------|-----------------|------------------|
| L13 | ポートP10～P13 復帰条件選択ビット | 0 | レベル復帰 | |
| | | 1 | エッジ復帰 | |
| L12 | ポートP10～P13 有効波形/レベル選択ビット | 0 | 立ち下がり波形/“L”レベル | |
| | | 1 | 立ち上がり波形/“H”レベル | |
| L11 | INT端子 復帰条件選択ビット | 0 | レベル復帰 | |
| | | 1 | エッジ復帰 | |
| L10 | INT端子 キーオンウェイクアップ制御ビット | 0 | キーオンウェイクアップ無効 | |
| | | 1 | キーオンウェイクアップ有効 | |

注1. “R”は読み出し可、“W”は書き込み可を表します。

5. ポートの応用例

5.1 キースキャンによるキー入力

ポートDの出力形式にNチャンネルオープンドレイン出力を設定し、ポートP0内蔵のプルアップトランジスタを使用すると、キーのみの外付け回路でキーマトリクスを構成できます。

ポイント：外付け部品はキーのみです。

仕様：ポートDで“L”レベルを出力して、ポートP0で16キーを入力します。

図5.1にキーマトリクス回路例を、図5.2にキースキャン入力タイミングを示します。

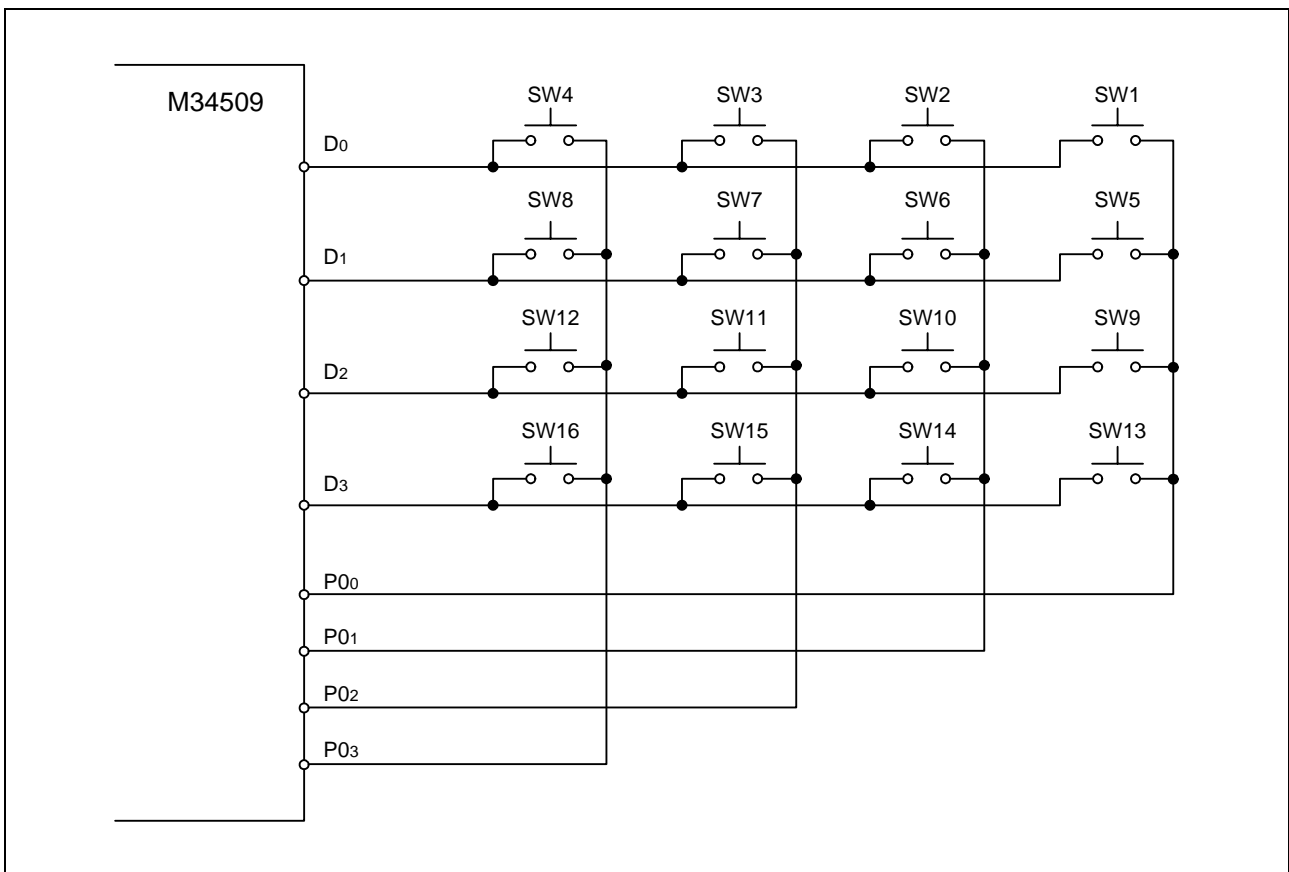


図 5.1 キーマトリクス回路例

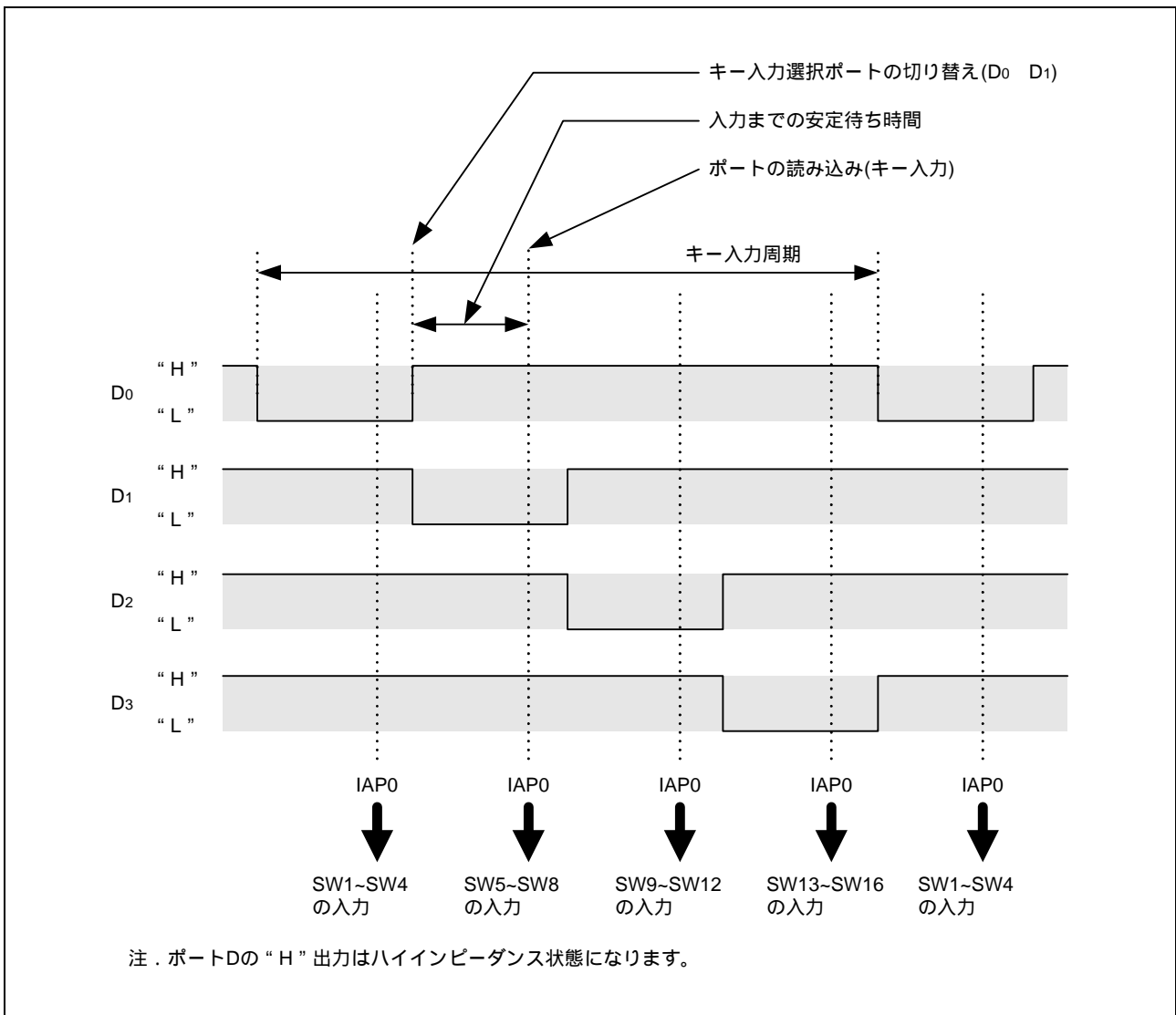


図 5.2 キースキャン入力タイミング

6. 参考ドキュメント

データシート
4509 グループデータシート

最新版をルネサステクノロジホームページから入手してください。

7. ホームページとサポート窓口

ルネサステクノロジホームページ
<http://japan.renesas.com/>

お問い合わせ先
<http://japan.renesas.com/inquiry>
csc@renesas.com

| | |
|------|-------------------------------|
| 改訂記録 | 4509 グループ入出力端子 アプリケーションノート |
|------|-------------------------------|

| Rev. | 発行日 | 改訂内容 | |
|------|------------|------|------|
| | | ページ | ポイント |
| 1.00 | 2006.05.01 | - | 初版発行 |
| | | | |
| | | | |
| | | | |

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。