

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

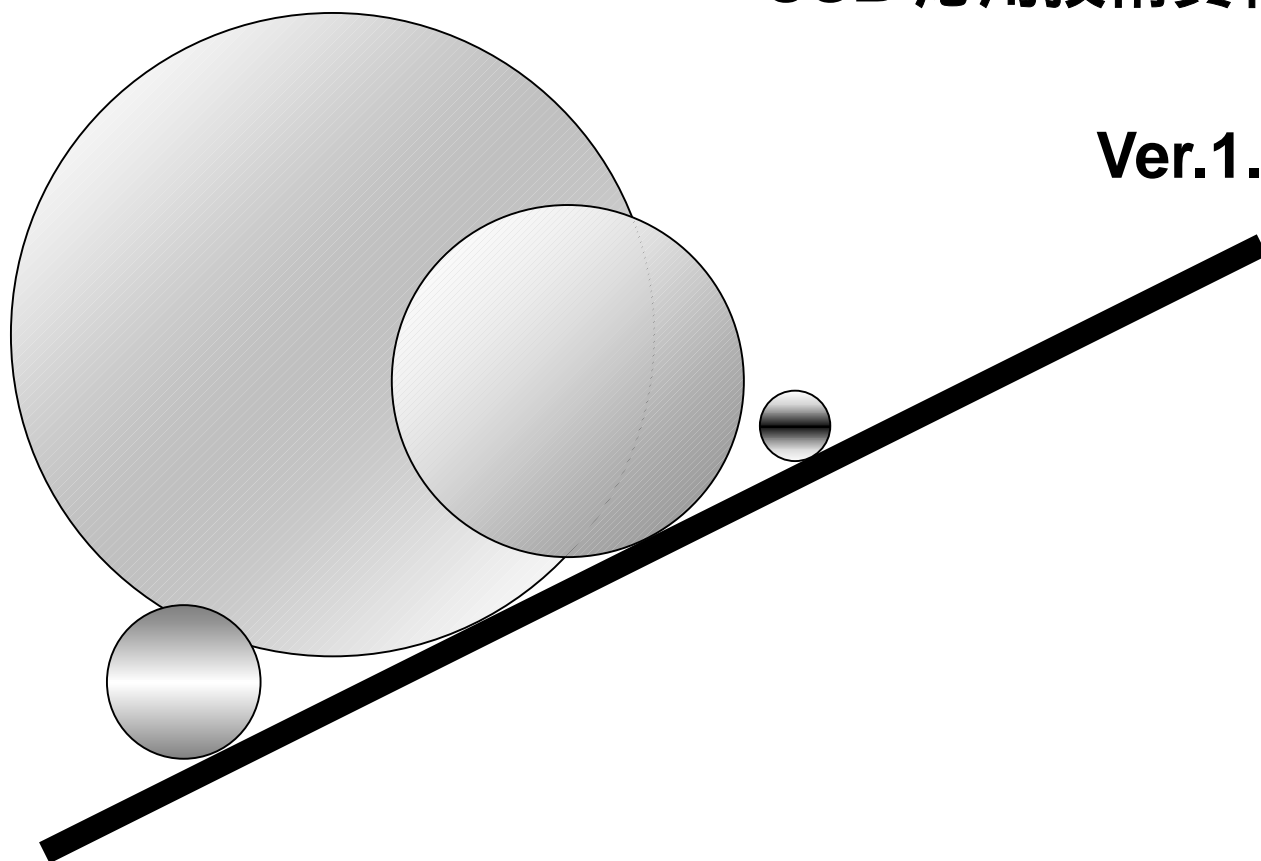
1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ルネサス USB シングルチップマイクロコンピュータ
38K2 グループ
USB 応用技術資料

Ver.1.1



本資料ご利用に際しての留意事項

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

「38K2 グループ USB 応用技術資料」の特徴

本資料は以下のような特徴を持っております。

- ・38K2 グループの USB ファンクション制御に関する手法と、USB ハブ制御に関する手法を、記述例をあげて具体的に記載しております。
- ・本資料にありますプログラム処理例等は参考としての一例です。お客様の応用に合わせて変更する必要があります。

関連資料

- ・ルネサスマイクロコンピュータ 38K2 グループデータシート

【<http://japan.renesas.com/usb>】

- ・USB Specification Ver2.0

【<http://www.USB.org/developers/docs.html>】

USB通信に関する注意事項

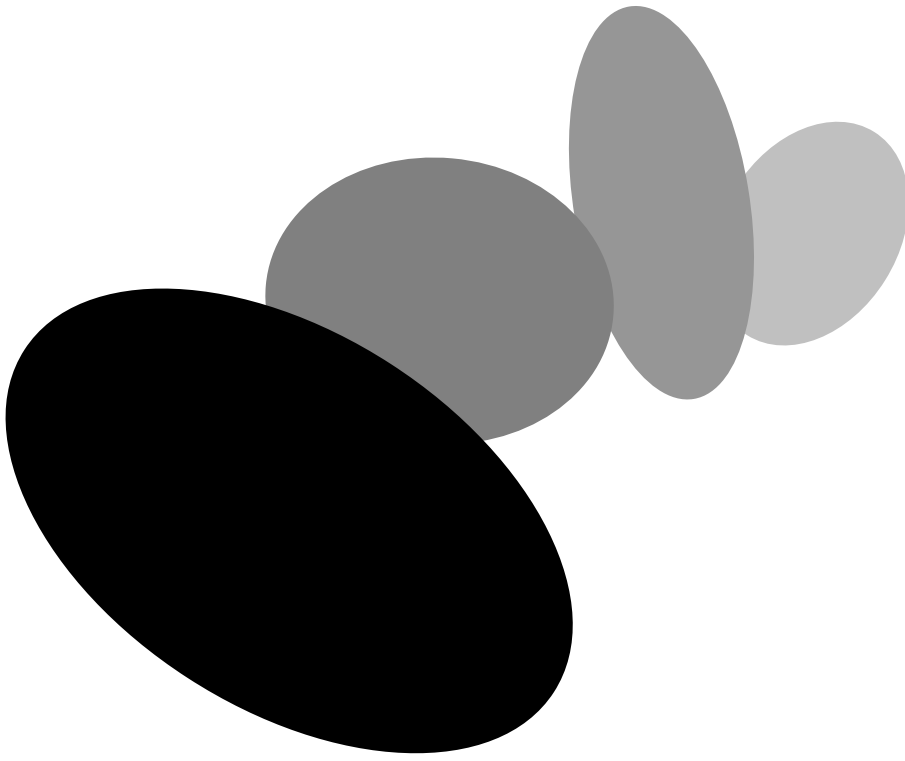
通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にて USB 通信が途絶するような場合に備え、S/W にて USB 機能初期化、ホストによる USB リセットなどの対策をシステム側で行っていただくことを推奨いたします。

目次

第 1 章 USB の初期設定	1
1.1. USB 機能概要.....	2
1.2. USB ハブ機能概要.....	2
1.3. USB 関連レジスタ.....	3
1.4. USB を使用するために.....	5
1.4.1. USB デバイスブロック許可手順.....	5
1.4.2. USB ハブのエンドポイント初期設定.....	9
第 2 章 状態遷移と USB 割り込み	10
2.1. デバイスステート遷移.....	11
2.2. USB 割り込みを使用するには.....	12
2.3. USB バスリセット割り込み.....	13
2.4. USB デバイス割り込み.....	16
2.4.1. USB ハブ/エンドポイント割り込み.....	19
2.4.2. USB サスペンド割り込み.....	20
2.4.3. USB レジューム割り込み.....	23
2.4.3.1. リモートウエイクアップ.....	27
第 3 章 USB ハブ制御	28
3.1. エンドポイント設定レジスタ.....	29
3.2. エンドポイント 0.....	31
3.2.1. コントロール転送概要.....	31
3.2.2. エンドポイント 0 バッファ領域設定.....	32
3.2.3. エンドポイント 0 割り込み.....	34
3.2.4. コントロール転送のデータ受信(コントロールライト転送).....	36
3.2.4.1. ステータスステージ遷移割り込み(CTSTS10 割り込み).....	38
3.2.5. コントロール転送のデータ送信(コントロールリード転送).....	40
3.2.5.1. ステータスステージ遷移割り込み(CTSTS10 割り込み).....	42
3.3. エンドポイント 1.....	44
3.3.1. データ転送概要.....	44

3.3.2. エンドポイント1 バッファ領域設定	45
3.3.3. エンドポイント1 割り込み	46
3.3.4. データ送信概要	47
3.3.5. インタラプト転送のデータ送信	48
第 4 章 USB ハブダウンポート制御	50
4.1. HUB 関連レジスタ	51
4.2. USB ハブダウンポートを使用するために	52
4.2.1. ダウンポート初期設定	52
4.3. USB ハブ割り込み	53
4.3.1. ダウンポート割り込み	55
4.4. ダウンポートステート遷移	58
4.5. ダウンポートステータス情報	62
4.6. ダウンポート過電流検出/過電流保護	63
第 5 章 USB ファンクション制御	65
5.1. USB ファンクションを使用するために	66
5.2. デバイスステート遷移	66
5.3. USB リセット(初期設定)	68
5.3.1. USB ファンクションのエンドポイント初期設定	69
5.4. USB サスペンド	70
5.5. USB レジューム	70
5.6. USB ファンクション/エンドポイント割り込み	71
5.7. USB SOF 割り込み	72
5.8. USB 送受信	73
5.8.1. エンドポイント設定レジスタ	73
5.8.2. エンドポイント0	75
5.8.3. エンドポイント1~3	75
5.8.4. データ転送概要	75
5.8.5. エンドポイント1~3 バッファ領域設定	76
5.8.6. エンドポイントx 割り込み	80
5.8.7. データ受信概要	82

5.8.8. バルク転送のデータ受信	85
5.8.9. インタラプト転送のデータ受信	88
5.8.10. アイソクロナス転送のデータ受信	89
5.8.11. データ送信概要	91
5.8.12. バルク転送のデータ送信	94
5.8.13. インタラプト転送のデータ送信	97
5.8.14. アイソクロナス転送のデータ送信	98
第 6 章 電源管理	100
6.1. 電源供給	101
6.2. 外付け電源回路	101
6.3. USB 周辺回路(5V/3V 動作時の違い)	103
6.4. USB ケーブルの接続/非接続	106
6.4.1. USB Vbus 検出の必要な場合	106
6.4.2. USB Vbus 検出方法	107



第 1 章

USB の初期設定

USB ハブ機能を使用する際、USB デバイスブロック、USB ハブデバイスブロックを許可し、USB ハブエンドポイントの設定、ならびに USB 割り込みの許可/禁止などの初期設定を行う必要があります。

1.1. USB 機能概要

38K2グループはUSBデバイス制御ユニットを内蔵しています。USBデバイス制御ユニットを使用することにより、ホストコンピュータとの通信を効率よく行います。この回路は、USB仕様Ver2.0に準拠しています。

USB仕様Ver2.0は以下の4種類の転送タイプを定義しています。

コントロール転送

主にセットアップ時に使用される転送（双方向）

アイソクロナス転送

音声や動画など、データ量が比較的多く一定の転送レートを確保する必要のある転送（片方向）

インタラプト転送

キーやマウスなど、データ量は少ないがリアルタイムで転送する必要がある転送（片方向）

バルク転送

プリンタ出力など、実時間性は低いが大量のデータが必要な転送（片方向）

USBデバイス制御ユニットは、2つのUSBアドレス、6つのエンドポイントを搭載しており、USBハブ制御ユニットとUSBデバイス制御ユニットを所有しています。

USBハブ用アドレスは2つのエンドポイント(エンドポイント0、1)を持っており、エンドポイント0は、コントロール転送で固定使用します。エンドポイント1はインタラプト転送で固定使用し、USBハブ/ダウンポートステータス変化情報を転送する際に使用します。

USBファンクション用アドレスは4つのエンドポイント(エンドポイント0～3)を持っており、4つのエンドポイントのうちエンドポイント1～3はアイソクロナス転送、バルク転送、インタラプタ転送に使用できます。エンドポイント0はコントロール転送に固定使用します。

38K2グループはリセット時、転送禁止状態です。使用するデータ転送に応じて各設定を行ってください。

USB割り込みには、USBバスリセット割り込み、USB SOF割り込み、USBデバイス割り込みがあります。

USBを使用する場合、USBデバイスブロックを許可状態にする必要があります。

1.2. USB ハブ機能概要

38K2グループのUSBハブ制御ユニットは、上記、ホストとの通信以外にダウンポートの制御機能を備えています。この回路は、USB仕様Ver2.0に準拠しています。

USBハブ制御ユニットは、二つの外部ダウンポートと一つの内蔵ダウンポートを制御します。ここでの内蔵ダウンポートには、38K2グループのUSBファンクション機能が割り当てられます。

ダウンポートに関する詳細は第 4 章以降を参照してください。

1.3. USB 関連レジスタ

USBの関連レジスタは、インデックスレジスタ、レジスタウインドウを含め合計18本存在します。そのうち、9本のレジスタは同じレジスタウインドウ(同じアドレス空間)に定義され、インデックスレジスタで切り替えることにより使用します。更にUSB割り込みとしては、USBバスリセット割り込み、USB SOF割り込み、USBデバイス割り込みがありますが、これら割り込みに関する詳細は、第 2 章にて説明します。

USB関連レジスタを表 1.1に、インデックス切り替えレジスタを表 1.2に示します。なお、各レジスタのビット名は38K2グループデータシートを参照してください。

なお、USBハブ関連レジスタは、ダウンポート制御に使用するレジスタのため、第 4 章にて説明します。

表 1.1 USB 関連レジスタ

アドレス	略称	レジスタ名
0010H	USBCON	USB 制御レジスタ
0011H	USBAE	USB ファンクション許可レジスタ
0012H	USBA0	USB ファンクションアドレスレジスタ
0013H	USBA1	USB ハブアドレスレジスタ
0014H	FNUML	フレームナンバ下位レジスタ
0015H	FNUMH	フレームナンバ上位レジスタ
0016H	USBICON	USB 割り込み要因許可レジスタ
0017H	USBIREQ	USB 割り込み要因レジスタ
0018H	USBINDEX	エンドポイントインデックスレジスタ
0019H	EPxxREG1	エンドポイントフィールドレジスタ 1
001AH	EPxxREG2	エンドポイントフィールドレジスタ 2
001BH	EPxxREG3	エンドポイントフィールドレジスタ 3
001CH	EPxxREG4	エンドポイントフィールドレジスタ 4
001DH	EPxxREG5	エンドポイントフィールドレジスタ 5
001EH	EPxxREG6	エンドポイントフィールドレジスタ 6
001FH	EPxxREG7	エンドポイントフィールドレジスタ 7
...		
0FECH	EPxxREG8	エンドポイントフィールドレジスタ 8
0FEDH	EPxxREG9	エンドポイントフィールドレジスタ 9
...		
0FF8H	PLLCON	PLL 制御レジスタ
...		
003CH	IREQ1	割り込み要求レジスタ1
003EH	ICON1	割り込み制御レジスタ1

表 1.2を参照してください

表 1.2 エンドポイントインデックスレジスタ(USBINDEX)による切り替えレジスタ一覧

インデックス レジスタ内容	アドレス	略称	レジスタ名
00H	0019H	EP00STG	EP00 ステータスレジスタ
	001AH	EP00CON1	EP00 制御レジスタ 1
	001BH	EP00CON2	EP00 制御レジスタ 2
	001CH	EP00CON3	EP00 制御レジスタ 3
	001DH	EP00REQ	EP00 割り込み要因レジスタ
	001EH	EP00BYT	EP00 バイト数レジスタ
	001FH	-	-
	0FECH	-	-
	0FEDH	EP00BUF	EP00 バッファ領域設定レジスタ
01H	0019H	EP01CFG	EP01 設定レジスタ
	001AH	EP01CON1	EP01 制御レジスタ 1
	001BH	EP01CON2	EP01 制御レジスタ 2
	001CH	EP01CON3	EP01 制御レジスタ 3
	001DH	EP01REQ	EP01 割り込み要因レジスタ
	001EH	EP01BYT0	EP01 バイト数レジスタ 0
	001FH	EP01BYT1	EP01 バイト数レジスタ 1
	0FECH	EP01MAX	EP01 MAX パケットサイズレジスタ
	0FEDH	EP01BUF	EP01 バッファ領域設定レジスタ
02H	0019H	EP02CFG	EP02 設定レジスタ
	001AH	EP02CON1	EP02 制御レジスタ 1
	001BH	EP02CON2	EP02 制御レジスタ 2
	001CH	EP02CON3	EP02 制御レジスタ 3
	001DH	EP02REQ	EP02 割り込み要因レジスタ
	001EH	EP02BYT0	EP02 バイト数レジスタ 0
	001FH	EP02BYT1	EP02 バイト数レジスタ 1
	0FECH	EP02MAX	EP02 MAX パケットサイズレジスタ
	0FEDH	EP02BUF	EP02 バッファ領域設定レジスタ
03H	0019H	EP03CFG	EP03 設定レジスタ
	001AH	EP03CON1	EP03 制御レジスタ 1
	001BH	EP03CON2	EP03 制御レジスタ 2
	001CH	EP03CON3	EP03 制御レジスタ 3
	001DH	EP03REQ	EP03 割り込み要因レジスタ
	001EH	EP03BYT0	EP03 バイト数レジスタ 0
	001FH	EP03BYT1	EP03 バイト数レジスタ 1
	0FECH	EP03MAX	EP03 MAX パケットサイズレジスタ
	0FEDH	EP03BUF	EP03 バッファ領域設定レジスタ
04H	0019H	EP10STG	EP10 ステータスレジスタ
	001AH	EP10CON1	EP10 制御レジスタ 1
	001BH	EP10CON2	EP10 制御レジスタ 2
	001CH	EP10CON3	EP10 制御レジスタ 3
	001DH	EP10REQ	EP10 割り込み要因レジスタ
	001EH	EP10BYT	EP10 バイト数レジスタ
	001FH	-	-
	0FECH	-	-
	0FEDH	EP10BUF	EP10 バッファ領域設定レジスタ
05H	0019H	EP11CFG	EP11 設定レジスタ
	001AH	EP11CON1	EP11 制御レジスタ 1
	001BH	EP11CON2	EP11 制御レジスタ 2
	001CH	-	-
	001DH	EP11REQ	EP11 割り込み要因レジスタ
	001EH	EP11BYT0	EP11 バイト数レジスタ 0
	001FH	-	-
	0FECH	-	-
	0FEDH	EP11BUF	EP11 バッファ領域設定レジスタ

USBINDEX=00H ~ 03HはUSBファンクション用、04H ~ 05HはUSBハブ用です。

1.4. USB を使用するために

USBハブを使用する場合、USBデバイスブロック、USBハブブロックを許可状態にし、使用するエンドポイントの初期設定を行う必要があります。各レジスタ状態は38K2グループデータシート[USBレジスタ一覧]、[HUBレジスタ一覧]を参照してください。

表 1.3にUSBデバイスブロックを許可する際の関連レジスタを示します。

表 1.3 USBデバイス/USBハブブロック許可の関連レジスタ

アドレス	略称	レジスタ名
0010H	USBCON	USB 制御レジスタ
0011H	USBAE	USB ファンクション許可レジスタ
0012H	USBA0	USB ファンクションアドレスレジスタ
0013H	USBA1	HUB アドレスレジスタ
0016H	USBICON	USB 割り込み要因許可レジスタ
0017H	USBIREQ	USB 割り込み要因レジスタ
0018H	USBINDEX	エンドポイントインデックスレジスタ
0FF8H	PLLCON	PLL 制御レジスタ
003CH	IREQ1	割り込み要求レジスタ1
003EH	ICON1	割り込み制御レジスタ1

1.4.1. USB デバイスブロック許可手順

マイコンの発振が安定してから初期化処理を行います。PLL動作許可設定後はクロックによる不安定な動作を避けるために待ち時間(1ms以内)が必要です。この待ち時間後にPLL回路出力許可設定します。USBCONレジスタのTrONポート”H”出力許可することによりD+信号がプルアップされ、ホスト(アップストリーム側)がデバイス接続を検知します。

ハードウェアリセット後のUSBデバイスブロック、USBハブブロック許可手順例を図 1.1に、USBバスリセット割り込み時の設定を図 1.2に示します。

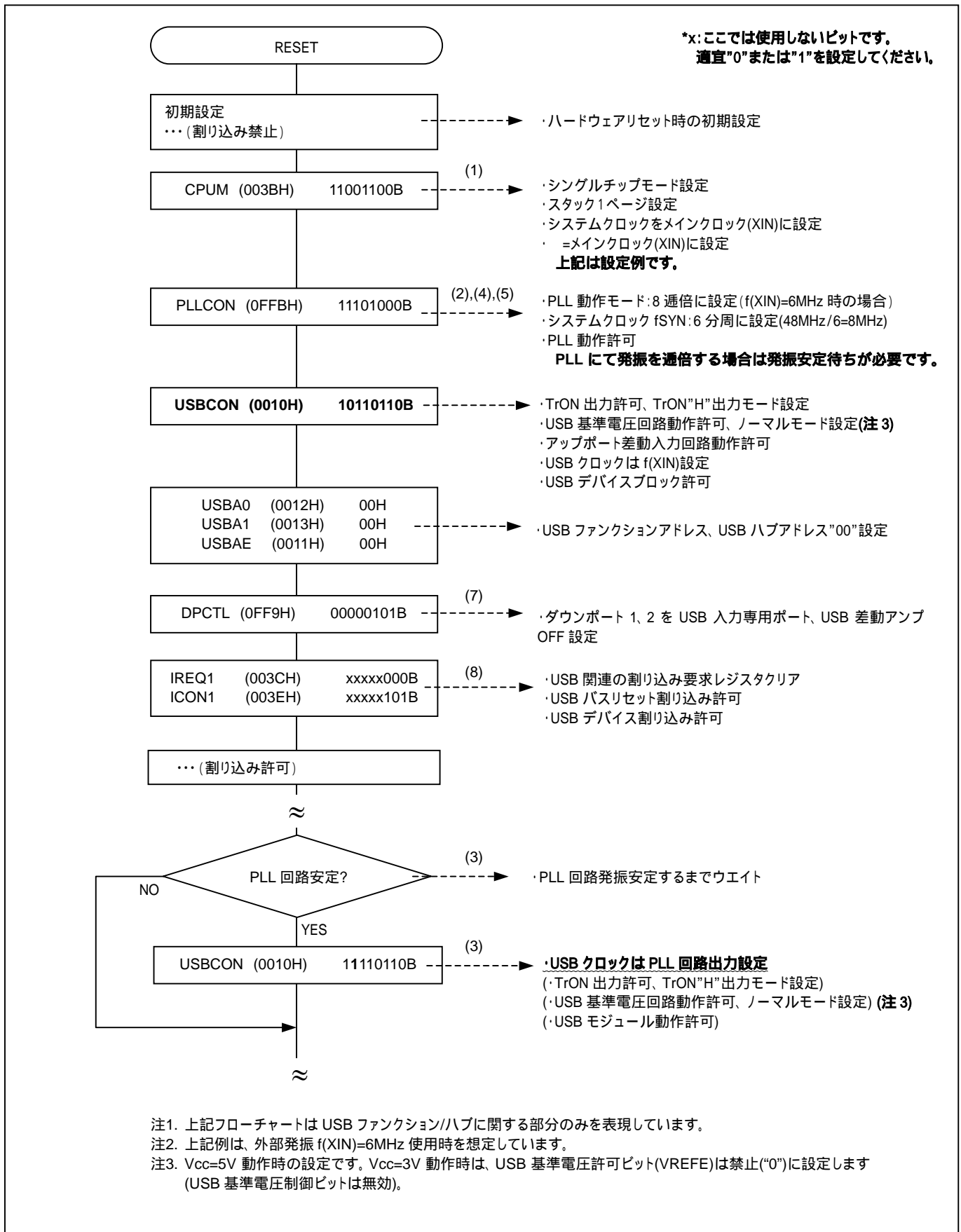


図 1.1 USB デバイスブロック許可及び初期設定手順例(ハードウェアリセット時)

【図 1.1 USB デバイスブロック許可及び初期設定手順例(ハードウェアリセット時)】に関する補足事項は以下のとおりです。

- (1) 48MHzのUSBクロックが生成されるようPLLCONレジスタを設定した後、PLL動作を許可します。実際のUSBクロック(fUSB)は、USBCONレジスタのUSBクロック選択ビットをfVCOに設定することで供給されます。
- (2) PLL回路は、動作許可してから出力クロックが安定するのに1ms程かかる為、最初のUSBクロックf(USB)は、USBCONのUSBクロック選択ビットを"0"にしf(XIN)(外部発振)で使用する必要があります。ハードウェアリセット時はUSBクロック選択ビットは"0"になっているので特に設定は不要です。
- (3) PLL出力クロック安定待ち後、USBCONレジスタのUSBクロック選択ビットを"1"にしPLL回路出力クロック(fVCO)に切り替えます。
- (4) USBCONレジスタのUSB基準電圧制御ビットは、通常モードでは常に"0"に設定します。サスペンドモード時は"1"(低消費電力モード)に設定します。^{*1}
- (5) USBCONレジスタのUSBモジュール動作許可ビットを許可("1")にすることで、USBデバイスブロックとUSBハブデバイスブロックが有効になります。

◆USBモジュール動作許可ビット(USBE)について

USBモジュール許可ビット(USBE)を"0"(禁止)に設定すると、内部のUSB機能が全て初期化(S/Wリセット)されます。USBモジュール許可ビット(USBE)を禁止した場合、初期化されるレジスタを表 1.4に示します。

詳細は、38K2グループデータシート[USB関連レジスタ]のリセット状態S/W箇所を参照してください。

なお、USBファンクションアドレス(USBA0)、USBハブアドレス(USBA1)のみ、USBバスリセット割り込み発生時も、H/Wにて自動的に初期化("00"状態)されます。

表 1.4 S/W リセット USB 関連レジスタ

アドレス	略称	レジスタ名
0012H	USBA0	USB ファンクションアドレスレジスタ
0013H	USBA1	USB ハブアドレスレジスタ
0016H	USBICON	USB 割り込み要因許可レジスタ
0017H	USBIREQ	USB 割り込み要因レジスタ
0019H	EPxxSTG	EP00 ステータスレジスタ (xx=USBINDEX="00","10"の時)
001DH	EPxxREQ	EPxx 割り込み要因レジスタ (xx=USBINDEX="00" ~ "03","10","11")

- (6) USBICONレジスタ設定ではサスペンド割り込みのみ許可します。
- (7) ダウンポート制御レジスタ(DPCTLレジスタ)のダウンポートx機能選択ビットをUSB入力専用ポート、USB差動アンプをOFFに設定します。
- (8) ICON1レジスタ設定では、USBバスリセット割り込み、USBデバイス割り込みを許可します。

その他のUSB関連レジスタの初期設定は、USBバスリセット割り込みにて設定します。詳細は、図 2.2 USBバスリセット割り込みルーチン例も参照してください。

^{*1} Vcc=5V 動作時の設定です。Vcc=3V 動作時は、USB基準電圧許可ビット(VREFE)は禁止("0")に設定します(USB基準電圧制御ビットは無効)。

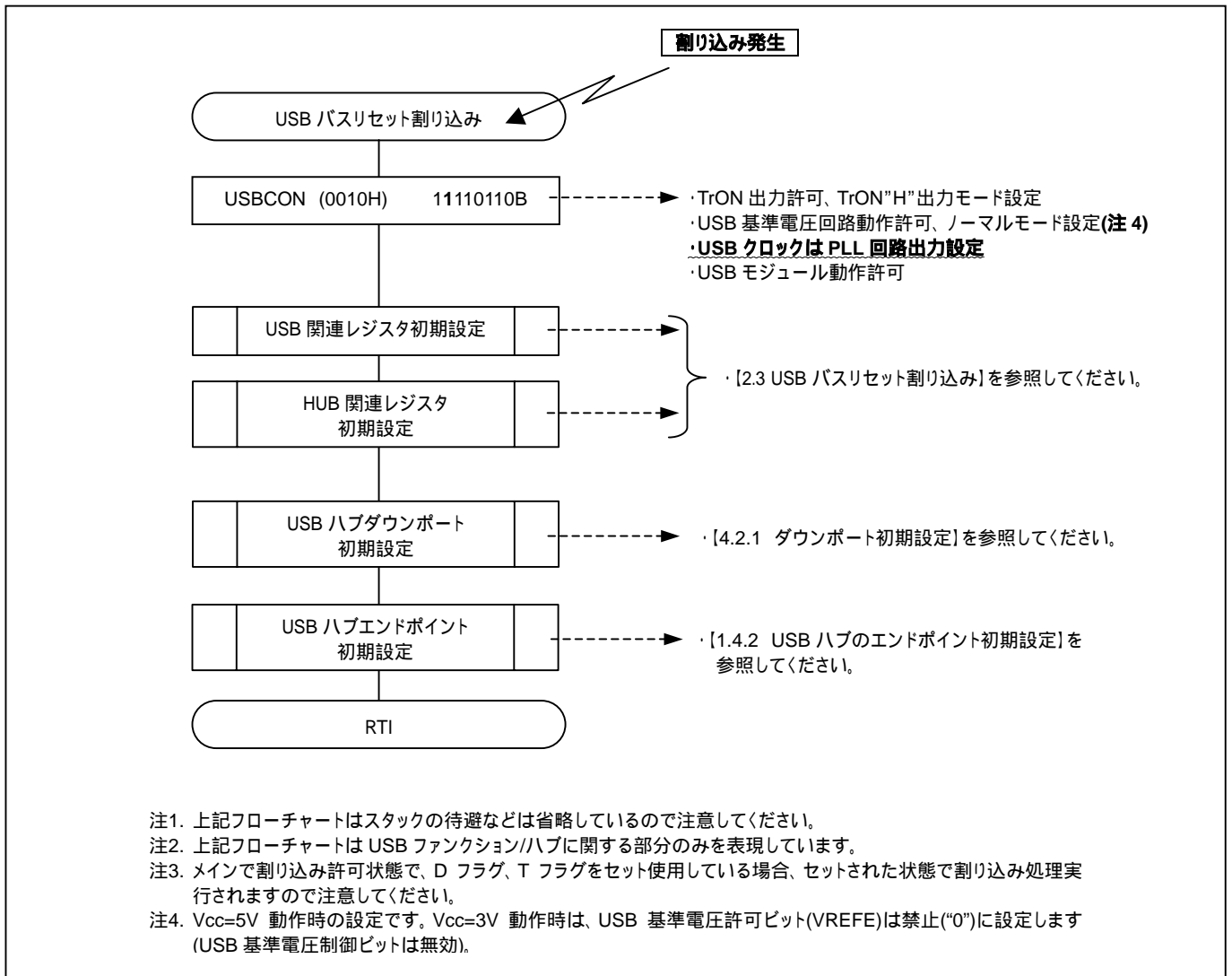


図 1.2 USB バスリセット割り込み時の初期設定手順例

1.4.2. USB ハブのエンドポイント初期設定

USBインデックスレジスタで設定するエンドポイントを指定した後、各種レジスタをエンドポイントごとに設定をします。必要に応じて、USB割り込みの許可を行ってください。

USBハブのエンドポイント初期設定例を図 1.3に示します。尚、関連レジスタへの書き込みはUSBデバイスブロック、USBハブデバイスブロックを許可およびUSBクロックを許可にしてから行ってください。

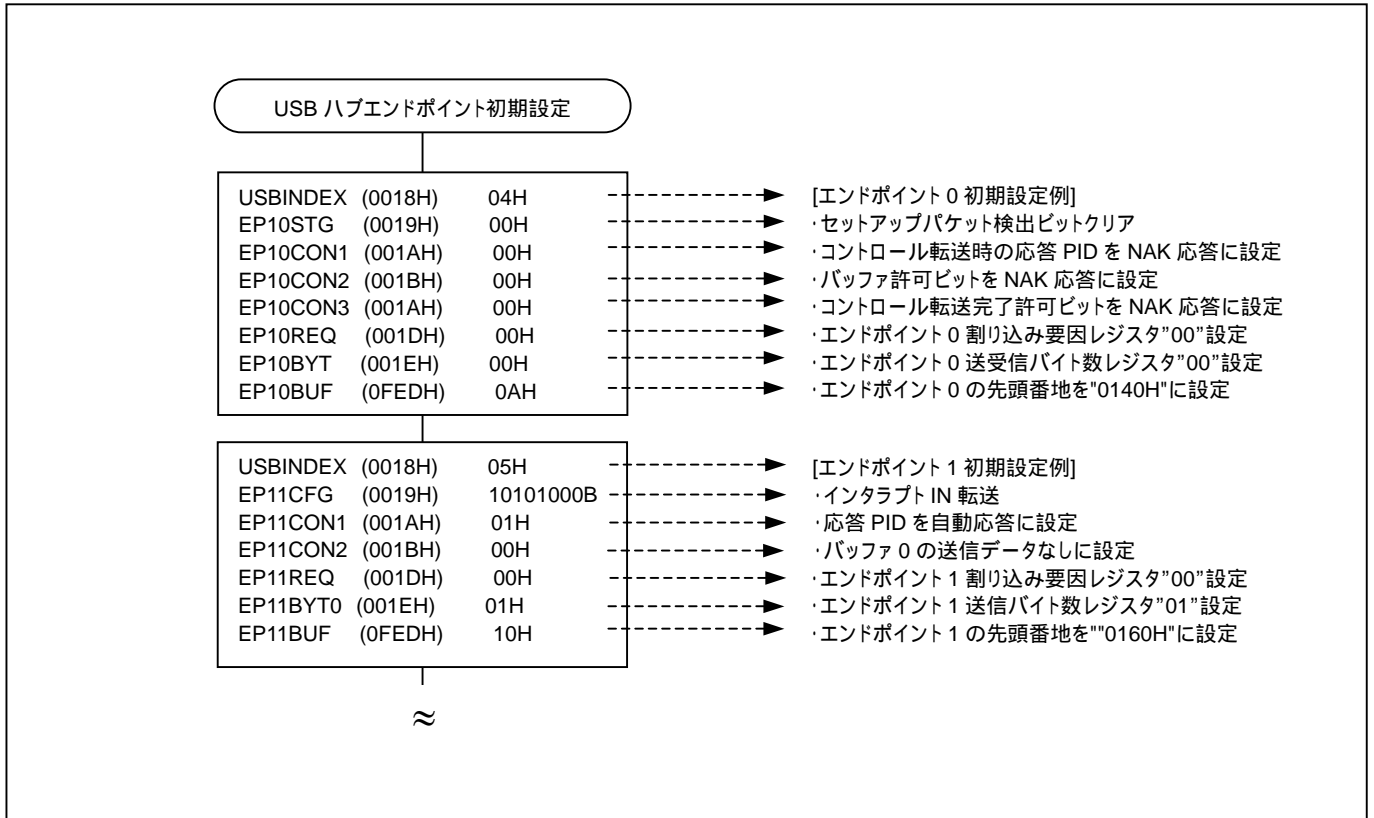
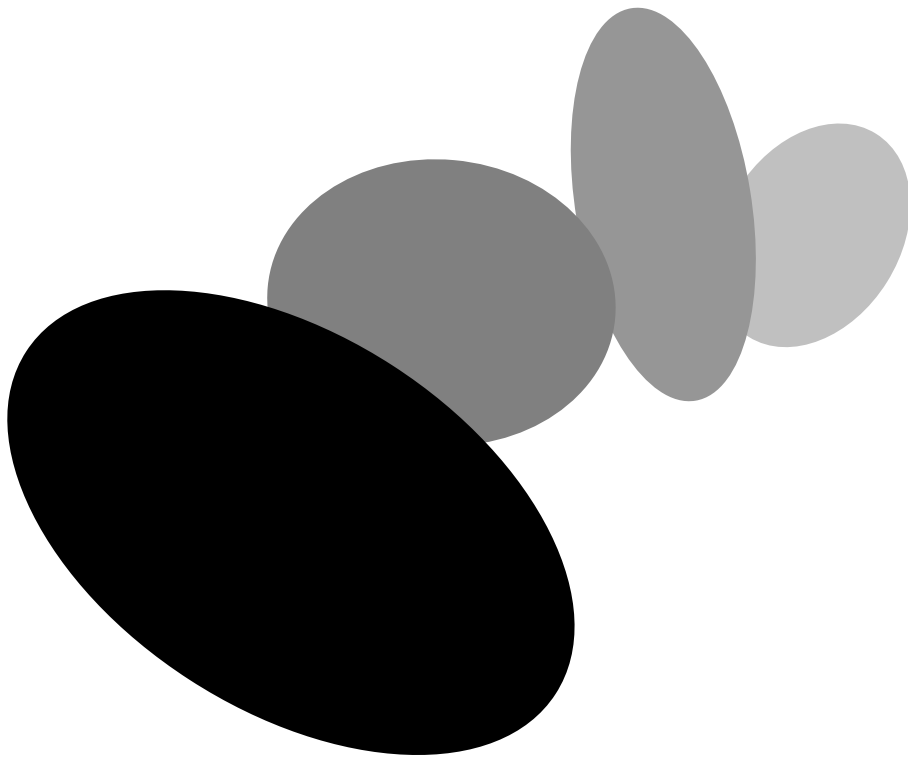


図 1.3 USB ハブのエンドポイント初期設定例



第 2 章 状態遷移と USB 割り込み

38K2 グループの USB 割り込みには、USB デバイス割り込み、USB SOF 割り込み、USB バスリセット割り込みがあります。本章では状態遷移と USB 割り込みについて説明します。

2.1. デバイス状態遷移

USBハブはUSB仕様Ver2.0で定義された状態を持ち、その状態間を遷移しながら動作します。38K2グループUSBハブは、デバイス状態の遷移を、USBバスリセット割り込み、USBデバイス割り込みによるUSBサスペンド割り込み、USBレジューム割り込み、エンドポイント0デバイス標準リクエスト処理で行います。

38K2グループUSBハブのデバイス状態遷移図を図 2.1に示します。

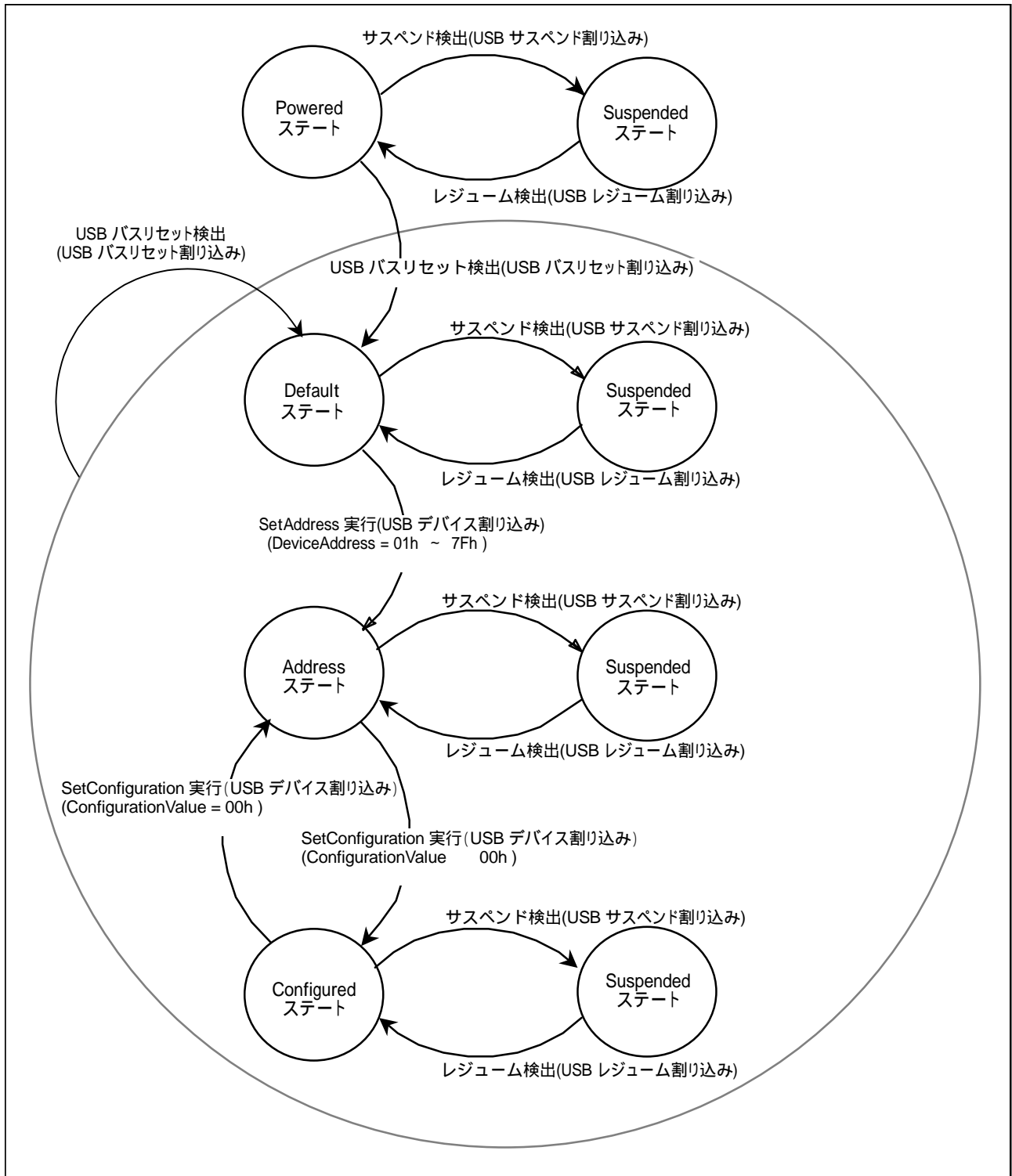


図 2.1 デバイス状態遷移

2.2. USB 割り込みを使用するには

38K2グループのUSB割り込みは大きく分けて、USBバスリセット割り込み、USBデバイス割り込み、USBSOF割り込みの3要因があります。

割り込みベクトル番地を表 2.1、USB割り込み関連レジスタを表 2.2に示します。

各レジスタ状態、割り込みについては、38K2グループデータシート【割り込み】、【USBレジスタ一覧】を参照してください。

表 2.1 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地		割り込み要求発生条件
		上位	下位	
リセット	1	FFFDH	FFFCH	リセット時
USB バスリセット	2	FFFBH	FFFAH	USB バスリセット信号(2.5 μs 間の SE0)検出時
USB SOF ^{*1}	3	FFF9H	FFF8H	USB SOF 信号検出時
USB デバイス	4	FFF7H	FFF6H	レジューム信号(K ステートもしくは SE0)検出時又はサスペンド信号(3ms 間のバスアイドル)検出時又はトランザクション終了時
USB ハブ ^{*2}	10	FFEBH	FFEAH	USB ハブダウンポート状態変化検出時
シリアル I/O 受信	12	FFE9H	FFE8H	シリアル I/O データ受信終了時

表 2.2 USB 割り込み関連レジスタ

アドレス	略称	レジスタ名
0016H	USBICON	USB 割り込み要因許可レジスタ
0017H	USBIREQ	USB 割り込み要因レジスタ
0018H	USBINDEX	エンドポイントインデックスレジスタ
0019H	EPxxREG1	エンドポイントフィールドレジスタ 1
001AH	EPxxREG2	エンドポイントフィールドレジスタ 2
001BH	EPxxREG3	エンドポイントフィールドレジスタ 3
001CH	EPxxREG4	エンドポイントフィールドレジスタ 4
001DH	EPxxREG5	エンドポイントフィールドレジスタ 5
001EH	EPxxREG6	エンドポイントフィールドレジスタ 6
001FH	EPxxREG7	エンドポイントフィールドレジスタ 7
0FECH	EPxxREG8	エンドポイントフィールドレジスタ 8
0FEDH	EPxxREG9	エンドポイントフィールドレジスタ 9
003CH	IREQ1	割り込み要求レジスタ 1
003EH	ICON1	割り込み制御レジスタ 1

*1 USBSOF 割り込みは USB ファンクションが使用する割り込みですので、詳細は、第 5 章の [5.7 USB SOF 割り込み] を参照してください。

*2 USBハブ割り込みはHUBのダウンポートに関する割り込みですので、詳細は、第 4 章の [4.3 USBハブ割り込み] を参照してください。

2.3. USB バスリセット割り込み

USBバスリセット割り込みは、USBアップポート上に2.5 μ s以上SE0が続いた場合に発生する割り込みです。USBバスリセット割り込み関連レジスタを表 2.3示します。

(1) USB バスリセット検出要因

USBバス上に2.5 μ s以上SE0(D+/D-ラインが“L”レベル)が続いた場合。

(2) USB バスリセットを検出した場合

上記USBバスリセットを検出すると、割り込み要求レジスタ(IREQ1)のUSBバスリセット割り込み要求ビットが“1”になります。

(3) USB バスリセット割り込みを使用するための設定

割り込み制御レジスタ(ICON1)のUSBバスリセット割り込み許可ビットを“1”の許可状態に設定します。

(4) USB バスリセット割り込みが発生する条件

以下の全てが満たされた場合、USBバスリセット割り込みが発生します。

- ・プロセッサステータスレジスタの割り込み禁止フラグ(Iフラグ)が“0”(割り込み許可)
- ・割り込み制御レジスタ(ICON1)のUSBバスリセット割り込み許可ビットが“1”(許可状態)
- ・割り込み要求レジスタ(IREQ1)のUSBバスリセット割り込み要求ビットが“1”(要求あり)

(5) USB バスリセット割り込み処理

- ・USBバスリセット割り込みルーチン例を、図 2.2に示します。
- ・USBバスリセット割り込みが発生すると、USBバスリセット割り込み要求フラグはクリアされるため、割り込み処理中にクリアする必要はありません。

表 2.3 USBバスリセット割り込み関連レジスタ

アドレス	略称	レジスタ名
003CH	IREQ1	割り込み要求レジスタ1
003EH	ICON1	割り込み制御レジスタ1

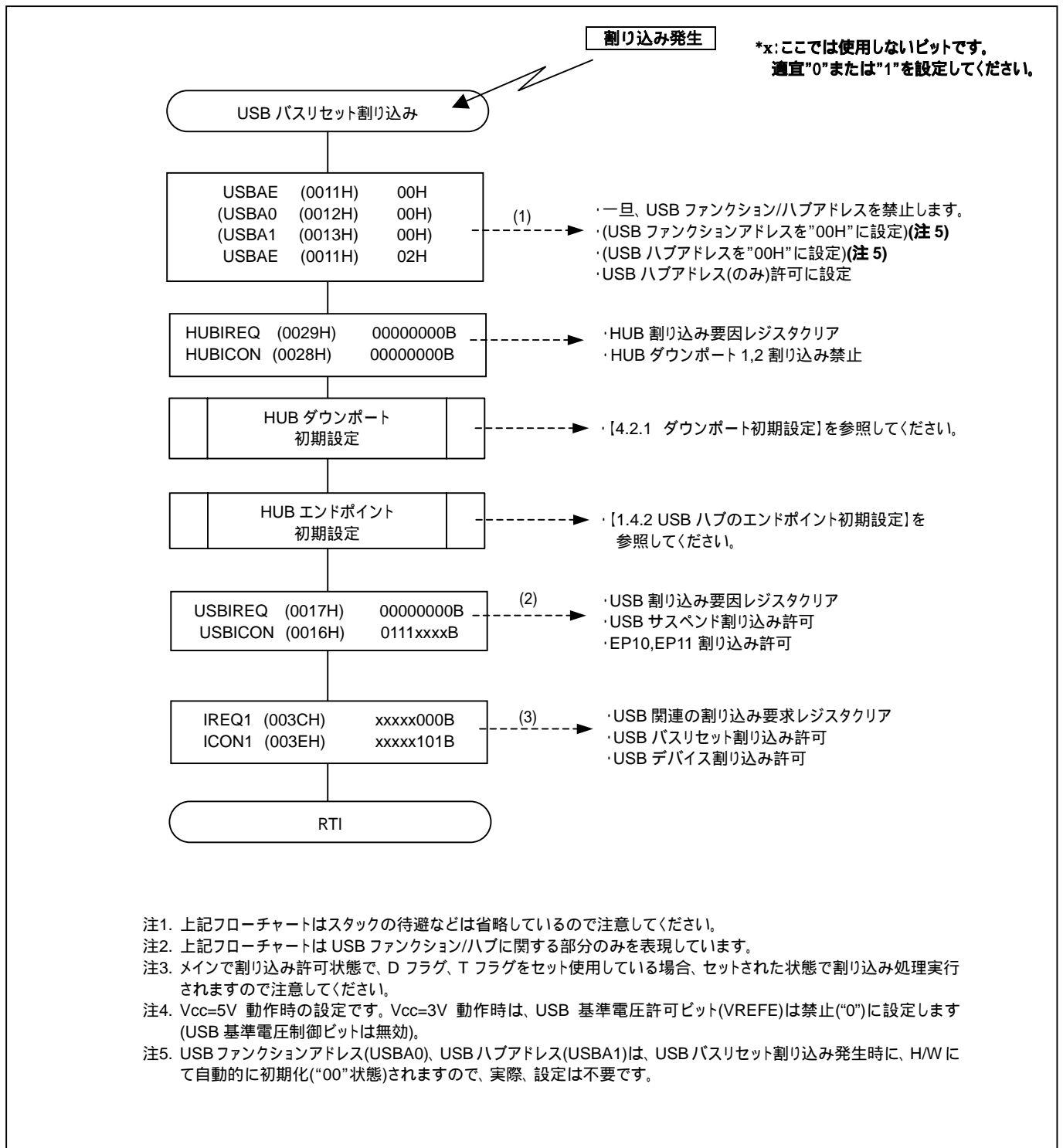


図 2.2 USB バスリセット割り込みルーチン例

【図 2.2 USBバスリセット割り込みルーチン例】の補足事項は以下の通りです。

- (1) USBハブアドレス初期化
 - ・USBA1レジスタにアドレスを設定する場合、USBAEレジスタのUSBハブ許可ビット(AD1E)を”0” ”1”に変化させるとUSBA1レジスタの内容が有効になります。
- (2) USB関連割り込みの設定
 - ・USB割り込み要因レジスタ(USBIREQ)をクリアします。
 - ・USB割り込み要因許可レジスタ(USBICON)のUSBサスペンド割り込み(SUSE)、USBハブ/エンドポイント0割り込み(EP10E)、USBハブ/エンドポイント1割り込み(EP11E)許可に設定します。
- (3) USB関連割り込み設定
 - ・割り込み要求レジスタ(IREQ1)のUSBバスリセット割り込み、USBSOF割り込み、USBデバイス割り込みをクリアします。
 - ・割り込み許可レジスタ(ICON1)のUSBバスリセット割り込み、USBデバイス割り込みを許可します。

2.4. USB デバイス割り込み

USBデバイス割り込みは、データフロー制御及びUSB特殊信号(サスペンド信号、レジューム信号)に使用する割り込みです。

USBハブのデータフロー制御に使用する割り込みには以下の種類があります。

[USBハブ]

- エンドポイント0 データの送受信終了時に割り込み発生
- エンドポイント1 データの送信終了時に割り込み発生

USBファクションのデータフロー制御に使用する割り込みには以下の種類があります。詳細は、[5.6 USBファンクション/エンドポイント割り込み]を参照してください。

[USBファンクション]

- エンドポイント0 データの送受信終了時に割り込み発生
- エンドポイント1 データの送受信終了時に割り込み発生
- エンドポイント2 データの送受信終了時に割り込み発生
- エンドポイント3 データの送受信終了時に割り込み発生

USB特殊信号(サスペンド信号、レジューム信号)に使用する割り込みには以下の種類があります。

[デバイス(USBハブ+USBファンクション)]

- USBサスペンド割り込み
- USBレジューム割り込み

USBデバイス割り込みを許可するためには、割り込み制御レジスタ(ICON1)のUSBデバイス割り込み許可ビットを"1"にしてください。

上記、各割り込みを許可するためには、USB割り込み要因許可レジスタ(USBICON)の対応するビットを"1"にしてください。また、割り込み要求の状態は、USB割り込み要求レジスタ(USBIREQ)、EPxx割り込み要因レジスタ(EPxxREQ)の対応するビットによって示されます。USBデバイス割り込み関連レジスタを表 2.4に、USBデバイス割り込みルーチン例を図 2.3に示します。

表 2.4 USB デバイス割り込み関連レジスタ

アドレス	略称	レジスタ名
0016H	USBICON	USB 割り込み要因許可レジスタ
0017H	USBIREQ	USB 割り込み要因レジスタ
0018H	USBINDEX	エンドポイントインデックスレジスタ
001DH	EPxxREQ	EPxx 割り込み要因レジスタ(xx*1=00 ~ 03, 10, 11)
003CH	IREQ1	割り込み要求レジスタ1
003EH	ICON1	割り込み制御レジスタ1

*1 38K2 グループのデータシートでは、USB ハブエンドポイントは、エンドポイント0を「エンドポイント10」、エンドポイント1を「エンドポイント11」と表現、USB ファンクションエンドポイントは、エンドポイント0~3を「エンドポイント00~03」と表現しています。

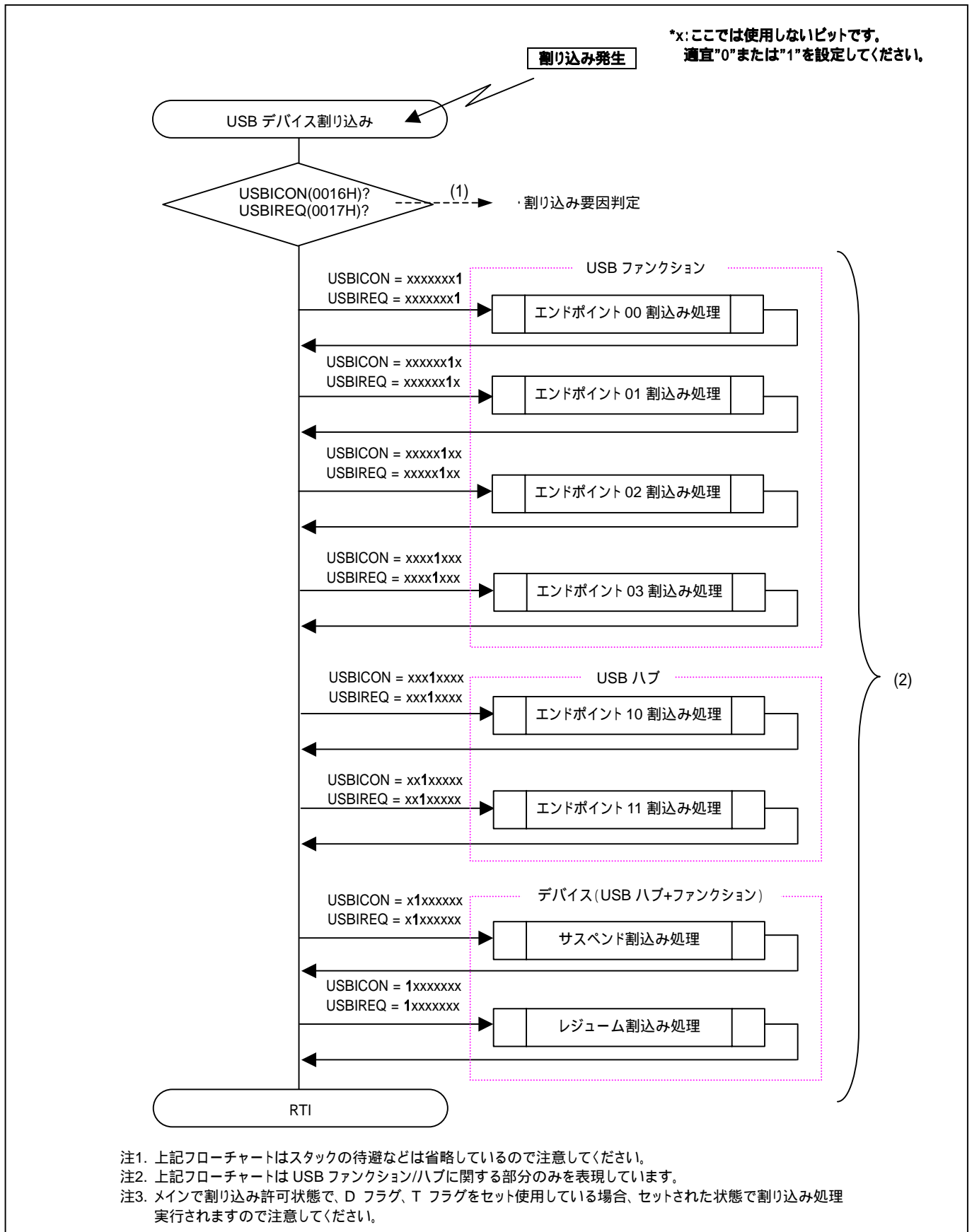


図 2.3 USB デバイス割り込みルーチン例

【図 2.3 USBデバイス割り込みルーチン例】の補足事項は以下の通りです。

(1) 割り込み要因判定方法

・USB割り込み要因許可レジスタ(USBICON)の許可ビット状態とUSB割り込み要因レジスタ(USBIREQ)の要因ビットの状態をAND条件で判定します(両ビット"1"であれば有効)。

(2) 割り込み要因判定方法

・同時に複数の要因が発生した場合を考慮し、先頭からすべての要因をチェックし処理を行います。
これはタイミングにより、割り込み毎に最初の判定要因が連続処理され、他の要因が処理されない現象を改善するためです。

◆弊社リリースの「38K2 グループ USB 参考ファームウェア」は、上記(1)、(2)を処理例としています。

2.4.1. USB ハブ/エンドポイント割り込み

USBハブのエンドポイント0、エンドポイント1割り込みには以下の種類があります。

エンドポイント0 データの送受信終了時に割り込み発生

- エンドポイント0データバッファレディ割り込み
- コントロール転送完了割り込み
- ステータスステージ遷移割り込み
- エンドポイント0 SETUPバッファレディ割り込み
- エラー割り込み

エンドポイント1 データの送信終了時に割り込み発生

- エンドポイント1データバッファ0レディ割り込み

USB ハブ/エンドポイント x 割り込みが発生する条件

以下の全てが満たされた場合、USB ハブ/エンドポイント x 割り込みが発生します。

- ・プロセッサステータスレジスタの割り込み禁止フラグ(I フラグ)が"0"(割り込み許可)
- ・割り込み制御レジスタ(ICON1)の USB デバイス割り込み許可ビットが"1"(許可状態)
- ・割り込み要求レジスタ(IREQ1)の USB デバイス割り込み要求ビットが"1"(要求あり)
- ・USB 割り込み要因許可レジスタ(USBICON)のエンドポイントに対応する USB ハブ/エンドポイント x 割り込み許可ビット(EP1xE)が"1"(許可状態)
- ・USB 割り込み要因レジスタ(USBIREQ)のエンドポイントに対応する USB ハブ/エンドポイント x 割り込みビット(EP1x)が"1"(要求あり)

このビットは、EP1x割り込み要因レジスタ(EP1xREQ)の少なくとも1ビットが"1"にセットされると、セットされます。S/W でセット/クリアすることはできません。

- ・EP1x 割り込み要因レジスタ(EP1xREQ)の対応する割り込みビットが"1"(要求あり)
EP1x 割り込み要因レジスタ(EP1xREQ)を参照する際は、エンドポイントインデックスレジスタ(USBINDEX)を該当するエンドポイントに合わせてください。

USB ハブ/エンドポイント x 割り込み処理

- ・割り込み処理例については[3.2.3 エンドポイント 0 割り込み]と[3.3.3 エンドポイント 1 割り込み]を参照してください。
- ・USB ハブ/エンドポイント x 割り込みが発生する、大元の USB デバイス割り込み要求フラグは、割り込みが受け付けられると同時にクリアされるため、割り込み処理中にクリアする必要はありません。しかし、USB 割り込み要因レジスタ(USBIREQ) の USB ハブ/エンドポイント x 割り込みビット(EP1x)は S/W でクリアすることができません。エンドポイントに対応する(エンドポイントインデックスレジスタ(USBINDEX)で示されるエンドポイント値)、EP1x 割り込み要因レジスタ(EP1xREQ)を"00"クリアすることで、H/W クリアされます。

上記、x はエンドポイント"0"、"1"を示します。

2.4.2. USB サスペンド割り込み

USBサスペンド割り込みは、USBアップポート上に3.0ms以上アイドル状態が続いた場合に発生する割り込みです。USBサスペンド状態では、USBバスより500 μ A未満の電流しか引き出すことができません。このため、バスパワーを使用している場合、システムによっては、サスペンド検出後、低消費電力モードに移行する必要があります。

デバイスがサスペンド状態から復帰するためには、USBアップポート上に何らかのバス・アクティビティが発生するか、リモートウェイクアップ機能を使用してホストにレジューム要求を行う必要があります。

USBサスペンド時、USBクロックは発振しませんが、USBデバイスブロックは許可のままですので、レジューム割り込みによりバス・アクティビティを検出することが可能です。(レジューム割り込みについては、[2.4.3 USBレジューム割り込み]を参照してください。)

また、デバイスがリモートウェイクアップ機能をサポートしている場合は、ユーザシステム仕様に従い、リモートウェイクアップ信号を送出させることができます。(リモートウェイクアップについては、[2.4.3.1 リモートウェイクアップ]を参照してください。)

USBサスペンド割り込み関連レジスタを表 2.5に示します。

(1) USB サスペンド検出要因

USBバス上に3.0ms以上アイドル状態(D+“H”,D-“L”)が続いた場合。

(2) USB サスペンドを検出した場合

上記 USB サスペンドを検出すると、USB 割り込み要因レジスタ(USBIREQ)の USB サスペンド割り込み要求ビット(SUS)が“1”になります。

(3) USB サスペンド割り込みを使用するための設定

USB 割り込み要因許可レジスタ(USBICON)のサスペンド割り込み許可ビット(SUSE)を“1”の許可状態に設定します。

(4) USB サスペンド割り込みが発生する条件

以下の全てが満たされた場合、USB サスペンド割り込みが発生します。

- ・プロセッサステータスレジスタの割り込み禁止フラグ(I フラグ)が“0”(割り込み許可)
- ・割り込み制御レジスタ(ICON1)の USB デバイス割り込み許可ビットが“1”(許可状態)
- ・割り込み要求レジスタ(IREQ1)の USB デバイス割り込み要求ビットが“1”(要求あり)
- ・USB 割り込み要因許可レジスタ(USBICON)のサスペンド割り込み許可ビット(SUSE)が“1”(許可状態)
- ・USB 割り込み要因許可レジスタ(USBREQ)の USB サスペンド割り込み要求ビット(SUS)が“1”(要求あり)

(5) USB サスペンド状態からの復帰

USB レジューム割り込み、リモートウェイクアップにより復帰します。

リモートウェイクアップ信号に関する詳細は[2.4.3.1 リモートウェイクアップ]を参照してください。

(6) USB サスペンド割り込み処理

- ・USB サスペンド割り込みが受け付けられた時の処理例を、図 2.4に示します。
- ・USB サスペンド割り込みが発生すると、大元の USB デバイス割り込み要求フラグは、割り込みが受け付けられるとクリアされるため、割り込み処理中にクリアする必要はありませんが、USB 割り込み要因レジスタ(USBIREQ)のサスペンド割り込みビット(SUS)はクリアします。

表 2.5 USBサスペンド割り込み関連レジスタ

アドレス	略称	レジスタ名
0016H	USBICON	USB 割り込み要因許可レジスタ
0017H	USBIREQ	USB 割り込み要因レジスタ
003CH	IREQ1	割り込み要求レジスタ1
003EH	ICON1	割り込み制御レジスタ1

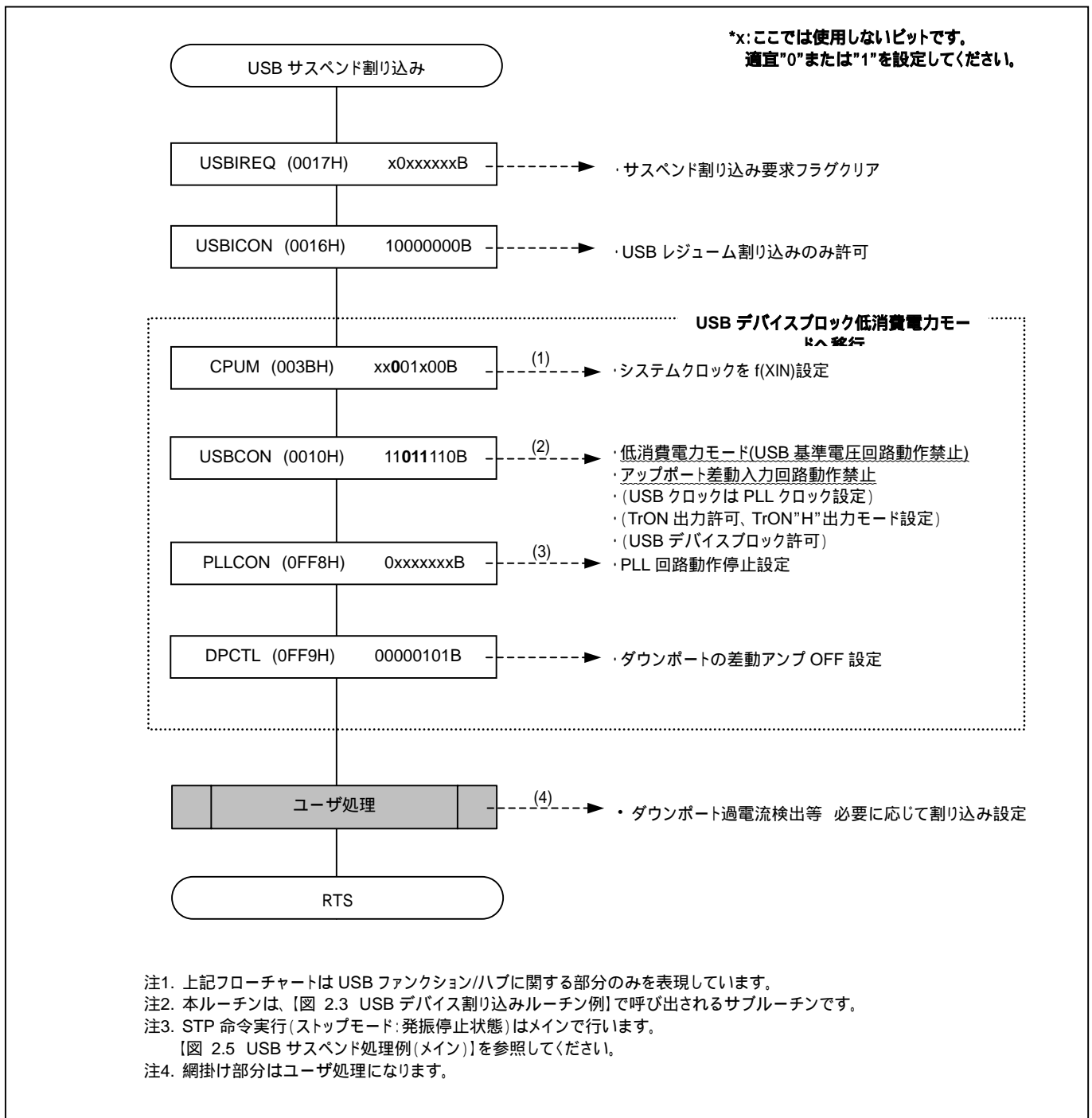


図 2.4 USB サスペンド割り込みルーチン例

【図 2.4 USBサスペンド割り込みルーチン例】の補足事項は以下の通りです。

- (1) システムクロック設定
 - ・USBクロックが停止しますので、CPUモードレジスタ(CPUM)のシステムクロック選択ビットをメインクロック f(XIN)に設定する必要があります。
- (2) USB制御レジスタ(USBCON)設定
 - ・低消費電力モード(VREFCON="1")^{*1}、アップポート差動入力回路動作禁止(USBDIFE="0"設定)に設定変更します。それ以外のビットはサスペンド状態に入る前の設定のままです。なお、USB基準回路は低消費電力モードになりますが、TrONは3.3V出力状態です。ノーマルモードとの違いは駆動能力です。
- (3) PLL回路動作禁止
 - ・PLL制御レジスタ(PLLCON)のPLL動作モードは変更せず("00"以外)、PLL回路動作を禁止(停止)した場合、PLL回路出力クロック (fVCO) は"L"で固定されます。
- (4) ユーザシステムの設定
 - ・USBハブ機能としてダウンポート過電流検出、電源(有無)検出などでリモートウエイクアップする場合、ウエイクアップ条件とする割り込みを許可します。ただし、ホストからリモートウエイクアップ許可されている場合に限ります。

図 2.4のUSBサスペンド割り込み処理後、STP命令(ストップモード:発振停止状態)処理はメインで行います。メインで行うUSBサスペンド処理例を図 2.5に示します。

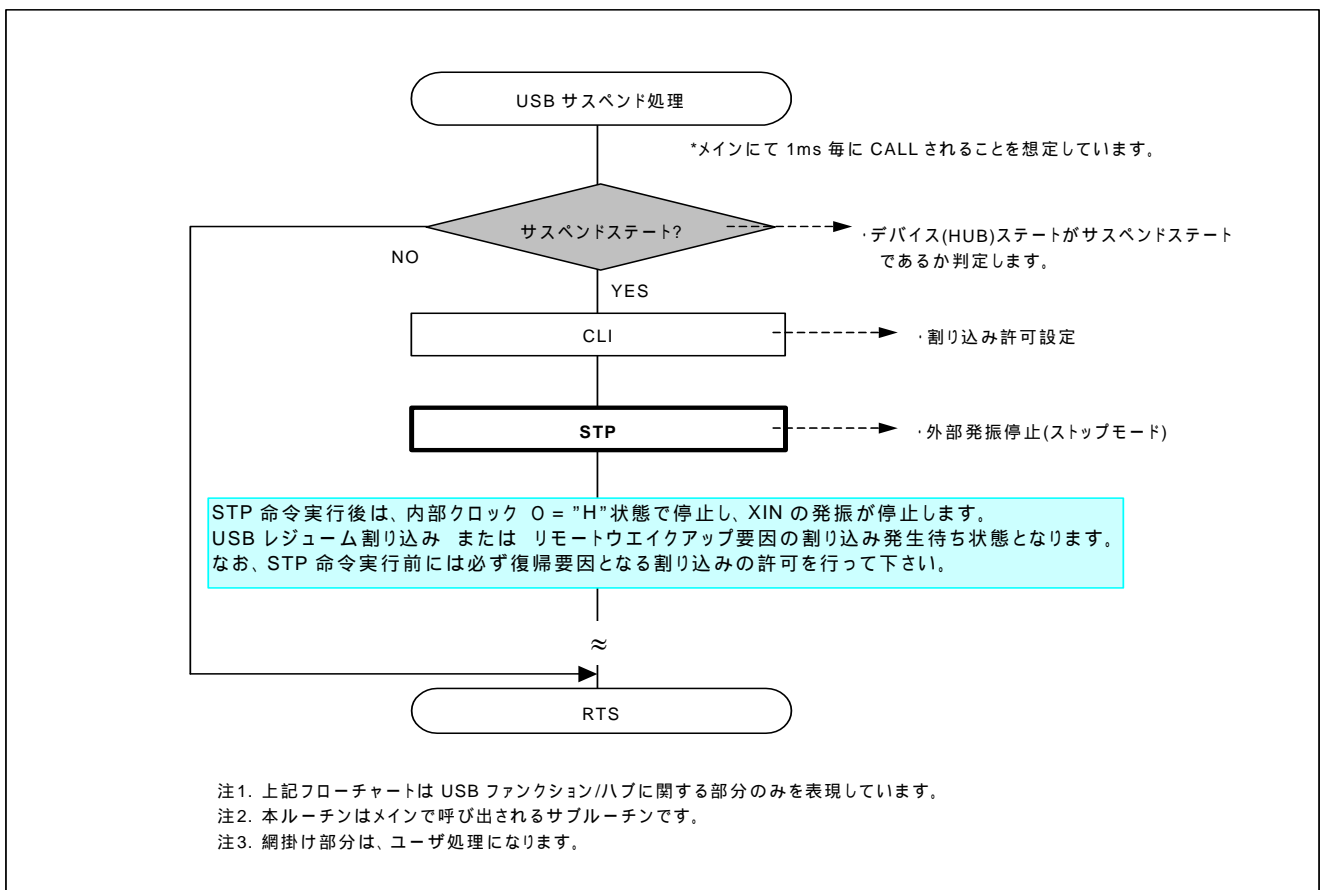


図 2.5 USB サスペンド処理例(メイン)

*1 Vcc=5V 動作時の設定です。Vcc=3V 動作時は、USB 基準電圧許可ビット(VREFE)は禁止("0")に設定します(USB 基準電圧制御ビットは無効)。

2.4.3. USB レジューム割り込み

USBレジューム割り込みは、サスペンド状態の時に、USBバスの状態変化を検出した場合に発生する割り込みです。

USBレジューム割り込みはUSBバス状態の変化を検出するため、USBデバイスブロックに対するクロック供給(USBクロック)が停止していても発生します。

USBレジューム割り込み関連レジスタを表 2.6に示します。

(1) USB レジューム検出要因

USBバスの状態変化("J" "K"もしくは"SE0")を検出した場合。

(2) USB レジュームを検出した場合

上記 USB レジュームを検出すると、USB 割り込み要因レジスタ(USBIREQ)のレジューム割り込み要求ビット(RSM)が"1"になります。

(3) USB レジューム割り込みを使用するための設定

USB 割り込み要因許可レジスタ(USBICON)のレジューム割り込み許可ビット(RSME)を"1"の許可状態に設定します。

(4) USB レジューム割り込みが発生する条件

以下の全てが満たされた場合、USB レジューム割り込みが発生します。

- ・プロセッサステータスレジスタの割り込み禁止フラグ(I フラグ)が"0"(割り込み許可)
- ・割り込み制御レジスタ(ICON1)の USB デバイス割り込み許可ビットが"1" (許可状態)
- ・割り込み要求レジスタ(IREQ1)の USB デバイス割り込み要求ビットが"1" (要求あり)
- ・USB 割り込み要因許可レジスタ(USBICON)のレジューム割り込み許可ビット(RSME)が"1" (許可状態)
- ・USB 割り込み要因許可レジスタ(USBREQ)のレジューム割り込み要求ビット(RSM)が"1" (要求あり)

(5) USB レジューム割り込み処理

- ・USB レジューム割り込みが受け付けられた時の処理例を、図 2.6に示します。
- ・USB レジューム割り込みが発生すると、大元の USB デバイス割り込み要求フラグは、割り込みが受け付けられるとクリアされるため割り込み処理中にクリアする必要はありません。しかし、USB 割り込み要因レジスタ(USBIREQ)のレジューム割り込みビット(RSM)は S/W でクリアすることができません。USB 割り込み要因許可レジスタ(USBICON)のレジューム割り込み許可ビット(RSME)を禁止("0")することで、H/W クリアされます。

表 2.6 USBレジューム割り込み、リモートウエイクアップ関連レジスタ

アドレス	略称	レジスタ名
0010H	USBCON	USB 制御レジスタ
0016H	USBICON	USB 割り込み要因許可レジスタ
0017H	USBIREQ	USB 割り込み要因レジスタ
003CH	IREQ1	割り込み要求レジスタ1
003EH	ICON1	割り込み制御レジスタ1

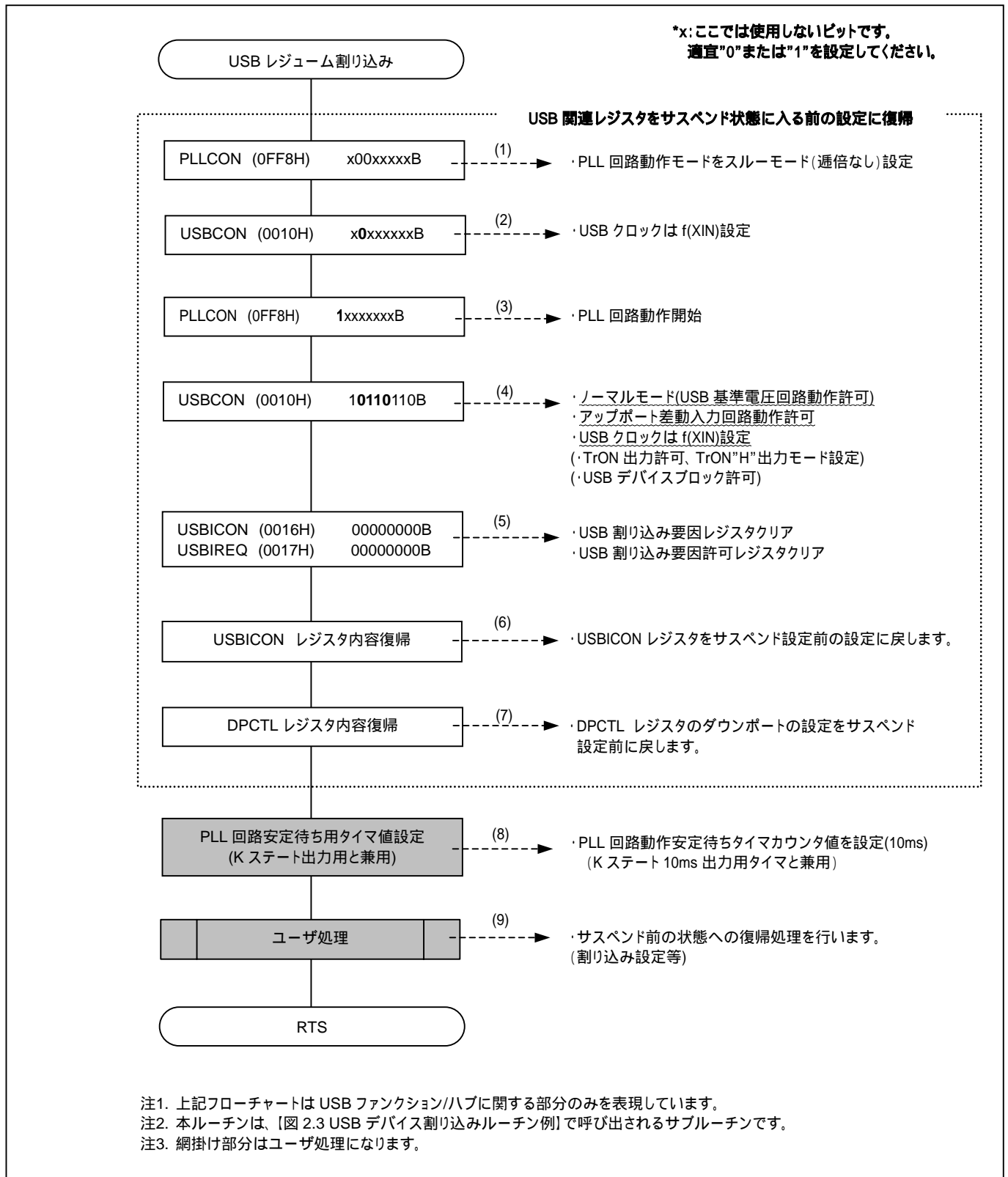


図 2.6 USB レジューム割り込みルーチン例

【図 2.6 USBレジューム割り込みルーチン例】の補足事項は以下の通りです。

- (1) PLL動作モードをスルーモードに設定
 - ・サスペンド時、PLL回路出力クロック (fVCO) は“L”で固定されているため、以下のように解除する必要があります (“L”固定のままでは(2)のUSBクロックの切り替えができません)。
 - ・PLL制御レジスタ(PLLCON)のPLL動作モードを逡倍なし (“00” = スルーモード) に設定します。この時、PLL回路の動作禁止に関係なく、PLLから外部クロックf(XIN)が出力されます。
- (2) USBクロック設定
 - ・PLL回路動作を開始させる為、一旦、USBクロックはf(XIN)設定(UCLKCON = “0”) に設定します。PLL回路は、動作許可してから出力クロックが安定するのに約1ms程かかる為、最初のUSBクロックは、USBCONのUSBクロック選択ビットを“0”にしf(XIN) (外部発振) で使用する必要があります。
- (3) PLL回路動作開始
 - ・PLL制御レジスタ(PLLCON)のPLL回路動作を許可“1”に設定します。PLL回路の発振安定後 (1ms以内)、メインルーチンで、USBクロックをPLL回路出力クロック(fVCO)に設定します。
- (4) USB制御レジスタ(USBCON)設定
 - ・USB基準電圧回路動作許可(VREFE=“1”設定)^{*1}、ノーマルモード(VREFCON=“0”)、アップポート差動入力回路動作許可(USBDIFE=“1”設定)に設定し、USBサスペンド状態に入る前の設定に戻します。
- (5) USB割り込み要因レジスタ、USB割り込み要因許可レジスタクリア
 - ・USB割り込み要因レジスタ(USBIREQ)、USB割り込み要因許可レジスタ(USBICON)をクリアします。
- (6) USB割り込み要因許可レジスタ(USBICON)の復帰
 - ・USB割り込み要因許可レジスタ(USBICON)の内容をUSBサスペンド状態に入る前の設定に戻します。
- (7) ダウンポート制御レジスタ(DPCTLレジスタ)の復帰
 - ・ダウンポート制御レジスタ(DPCTLレジスタ)の内容をUSBサスペンド状態に入る前の設定に戻します。
- (8) PLL回路動作安定待ち用、リモートウエイクアップ出力用タイマ設定
 - ・PLL回路発振安定待ちのタイマカウント値を設定します。
 - ・リモートウエイクアップ信号のKステート出力が必要であれば、Kステート出力時間計測のタイマカウント値を設定します。
 - 38K2グループ参考ファームウェアでは、上記のタイマカウントを10msで兼用することを例としています。
- (9) ユーザシステムの設定
 - ・ユーザが使用している割り込みなどは、USBサスペンド状態に入る前の設定に戻します。USBハブの場合、ダウンポート過電流検出、電源(有無)検出等に使用した割り込み設定をサスペンド状態に入る前の設定(禁止)に戻します。

メインで行うUSBレジューム処理例(ストップモード解除後の処理例)を図 2.5に示します。なお、リモートウエイクアップについては、【2.4.3.1 リモートウエイクアップ】を参照してください。

^{*1} Vcc=5V 動作時の設定です。Vcc=3V 動作時は、USB 基準電圧許可ビット(VREFE)は禁止 (“0”) に設定します(USB 基準電圧制御ビットは無効)。

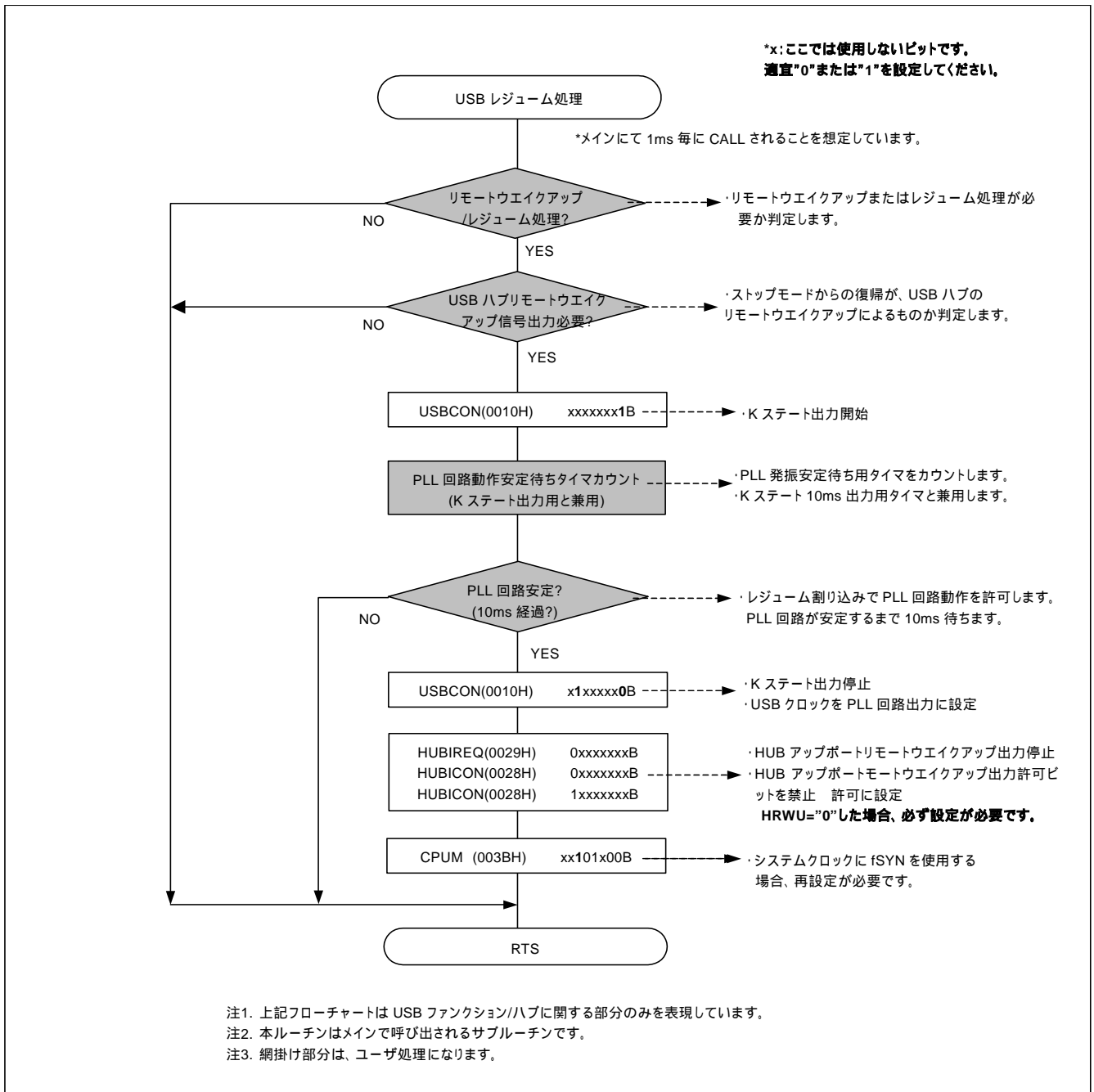


図 2.7 USB レジューム処理例(メイン)

2.4.3.1. リモートウェイクアップ

サスペンド状態の時に、デバイス側の要因によりレジュームを行いたい場合は、リモートウェイクアップ信号を送出しホストに対してレジューム要求を促します。ただし、ホストからリモートウェイクアップ許可されている場合に限りです。

38K2グループのリモートウェイクアップ機能は、アップポートにKステートを出力し、さらにそこから10ms後に出力を終了します(出力時間の10msはF/Wにてタイマカウントを行います)。

デバイス要因によりサスペンド状態からのレジュームを行いたい場合は、リモートウェイクアップ用外部割り込み発生後、レジューム割り込み発生時と同様の処理を行い、その後、リモートウェイクアップ出力処理を行います。リモートウェイクアップルーチン例を図 2.8に示します。

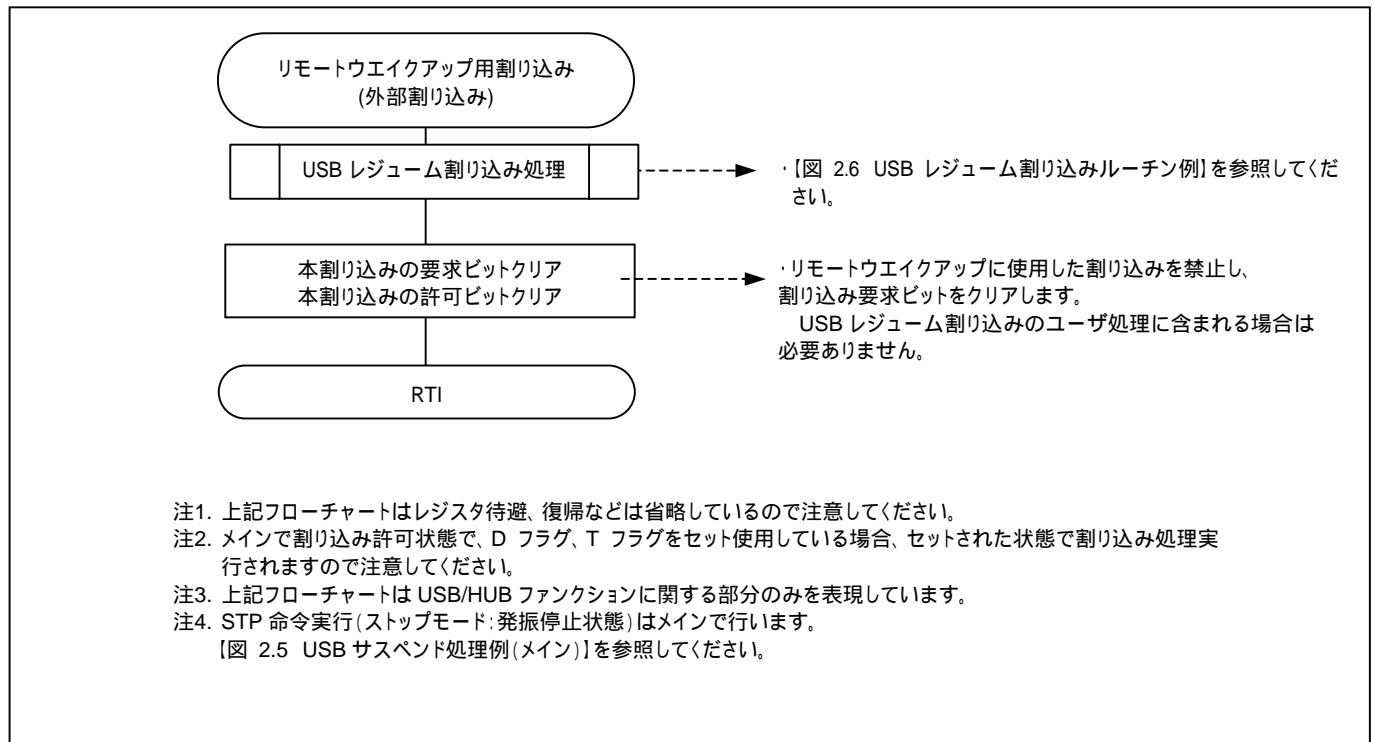


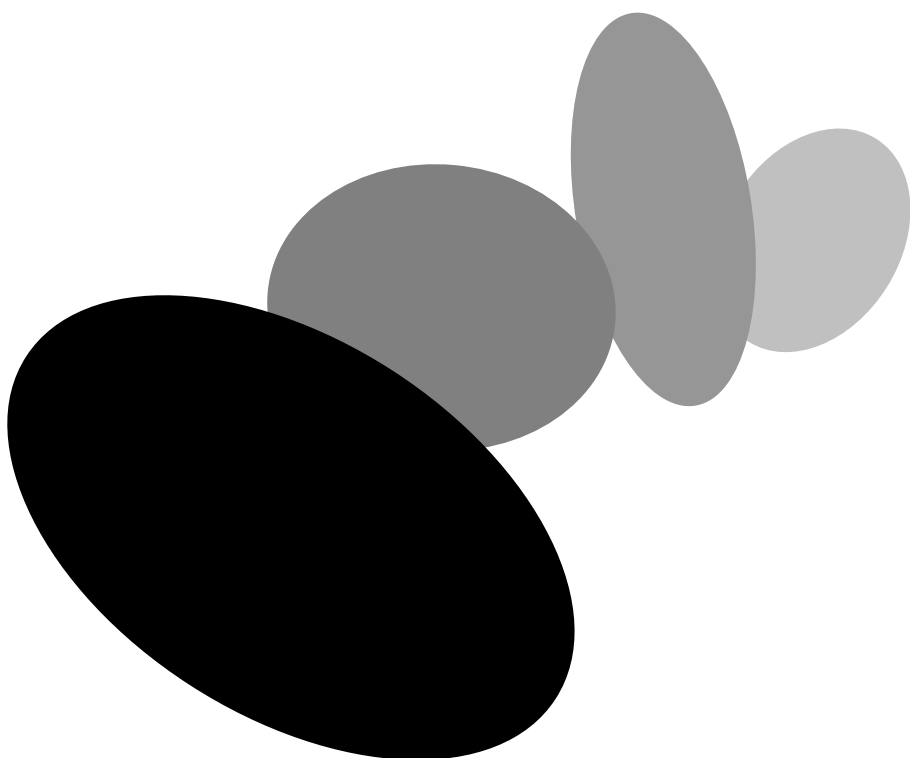
図 2.8 リモートウェイクアップ用割り込みルーチン例

USBハブの主なリモートウェイクアップ要因

- (1) ダウンポートのデバイス接続/非接続検出時
- (2) ダウンポートデバイスの過電流検出時
- (3) USBハブの電源ON/OFF検出時

USBハブがサスペンド状態の時、上記要因によりレジュームを行いたい場合、リモートウェイクアップ信号を送出しホストに対してレジューム要求を促します。この時、USB制御レジスタ(USBCON)のリモートウェイクアップビット(WKUP)を"1"にセットし、Kステートを出力します。出力時間は、F/Wにてタイマカウントします。

ダウンポートに2.5 μs以上のKステート信号を検出した場合、ダウンポートに接続されたデバイスからのレジューム要求と判断し、USBハブ制御ユニットを経由して、アップポートにKステート信号を出力します。出力時間は、F/Wにてタイマカウントします。このダウンポートのKステート信号検出時、HUB割り込み要求レジスタ(HUBIREQ)のHUBアップポートリモートウェイクアップ出力ビット(HRWU)がH/Wにてセットされます。なお、このHRWUビットは割り込み要因にはなりません。詳細は第 4 章を参照してください。



第 3 章

USB ハブ制御

本章は、USBハブのUSB送受信について説明します。

3.1. エンドポイント設定レジスタ

USBハブのUSB送受信では、エンドポイント0(データシートではエンドポイント10と表現)はコントロール転送固定で使用します。エンドポイント1(データシートではエンドポイント11と表現)はインタラプト転送固定で使用します。

USBハブのUSB送受信(エンドポイント)関連レジスタを表 3.1～表 3.3に示します。なお、エンドポイントインデックスレジスタ(USBINDEX)には、エンドポイント10、エンドポイント11を使用する際に、図 3.1のように、エンドポイント値を設定してください。

表 3.1 エンドポイントインデックスレジスタ

アドレス	略称	レジスタ名
0018H	USBINDEX	エンドポイントインデックスレジスタ

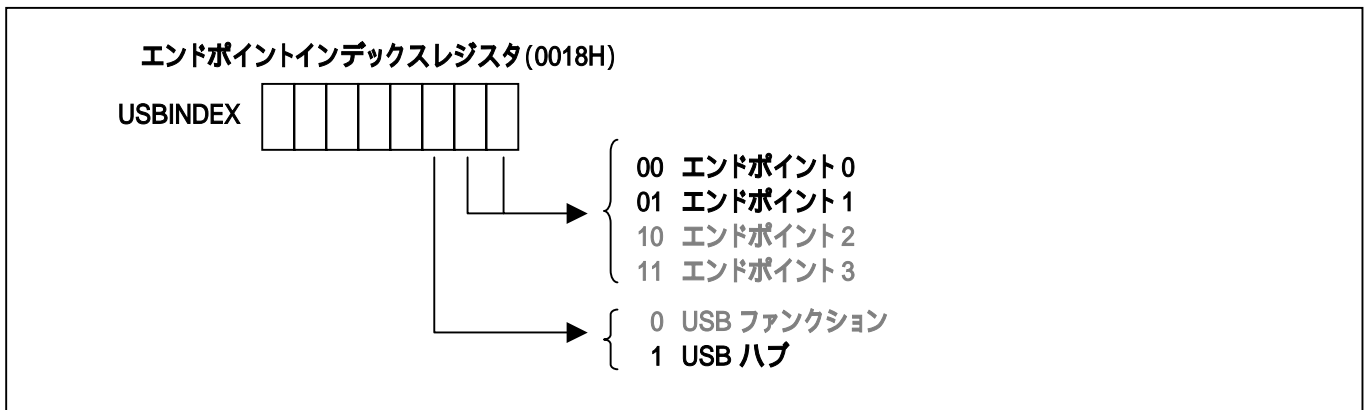


図 3.1 エンドポイントインデックスレジスタの設定

エンドポイント10(コントロール転送)設定に必要なレジスタを表 3.2に示します。

コントロール転送の最大パケットサイズは、常に8バイトに設定されます。EP10バッファ領域設定レジスタ(EP10BUF)にエンドポイント0バッファの先頭アドレスを設定してください。バッファは、コントロールコマンドバッファと、データバッファそれぞれ8バイトずつ確保できます。バッファに関する詳細は[3.2.2 エンドポイント0バッファ領域設定]を参照してください。

エンドポイント0レジスタを設定(参照)する際には、エンドポイントインデックスレジスタ(USBINDEX)を"04H"に設定してからアクセスしてください。

表 3.2 USB エンドポイント 0 レジスタ

アドレス	略称	レジスタ名
0019H	EP10STG	EP10 ステージレジスタ
001AH	EP10CON1	EP10 制御レジスタ 1
001BH	EP10CON2	EP10 制御レジスタ 2
001CH	EP10CON3	EP10 制御レジスタ 3
001DH	EP10REQ	EP10 割り込み要因レジスタ
001EH	EP10BYT	EP10 送受信バイト数レジスタ
001FH	-	-
0FECH	-	-
0FEDH	EP10BUF	EP10 バッファ領域設定レジスタ

エンドポイント1(インタラプトIN転送)の設定に必要なレジスタを表 3.3に示します。

バッファの設定は、シングルバッファモードのみですので、バッファ0の先頭アドレスをEP11バッファ領域設定レジスタ(EP11BUF)で設定してください。バッファ設定に関する詳細は[3.2.2 エンドポイント0バッファ領域設定]を参照してください。

送受信の際の応答設定には、EP11制御レジスタ1(EP11CON1)を使用します。また、バッファの許可にEP11制御レジスタ2(EP11CON2)を使用します。

エンドポイント1レジスタを設定(参照)する際には、エンドポイントインデックスレジスタ(USBINDEX)を"05H"に設定してからアクセスしてください。

表 3.3 USB エンドポイントxレジスタ

アドレス	略称	レジスタ名
0019H	EP11CFG	EP11 設定レジスタ
001AH	EP11CON1	EP11 制御レジスタ 1
001BH	EP11CON2	EP11 制御レジスタ 2
001CH	-	-
001DH	EP11REQ	EP11 割り込み要因レジスタ
001EH	EP11BYT0	EP11 送受信バイト数レジスタ
001FH	-	-
0FECH	-	-
0FEDH	EP11BUF	EP11 バッファ領域設定レジスタ

3.2. エンドポイント 0

エンドポイント0では、コントロール転送を行います。ホストから送られてくるデバイスリクエスト、USBハブクラスリクエストに応じて、データの送信、受信を行います。

エンドポイント0では、SETUPステージ用にコントロールコマンドバッファ、データステージ用にデータバッファがあります。詳細は、[3.2.2 エンドポイント0バッファ領域]を参照してください。

エンドポイント0コントロール転送では、USBハブ/エンドポイント0割り込み(5要因)が発生します。詳細は、[3.2.3 エンドポイント0割り込み]を参照してください。

3.2.1. コントロール転送概要

コントロール転送は、主にセットアップ時に使用される双方向転送で、少なくとも2つのトランザクションステージ(セットアップステージ、ステータスステージ)により構成されます。また、セットアップステージとステータスステージ間に、データステージが存在する場合があります。

USB通信では、エンドポイント0によるコントロール転送及びエンドポイント0のコントロール転送によりホストからデバイスに送信されるいくつかのリクエストに対する応答は必須機能です。

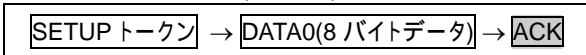
コントロール転送は、セットアップステージ、データステージ、ステータスステージからなります。ホストから送られてくるセットアップステージのリクエストに応じて、データステージでは、データの送信、受信をおこないます。ステータスステージでコントロール転送を完了します。

コントロール転送を構成するトランザクション

コントロール転送は、以下3種類のトランザクションで構成されます*1。なお、網掛けはデバイスがデータ送信する場合です。

(1) セットアップステージ:

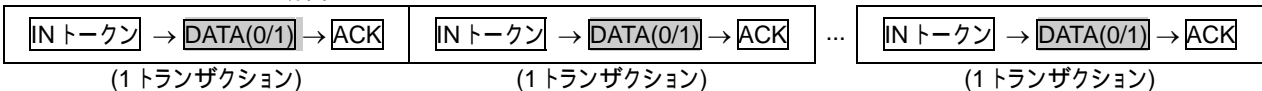
セットアップ、データ(DATA0)、及び、ハンドシェイクパケットにより構成されます。



(2) データステージ:

バルク転送と同様にデータトランザクションが必要なだけ繰り返されます。

コントロールリードの場合



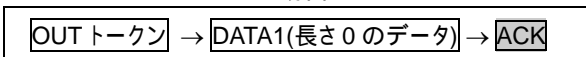
コントロールライトの場合



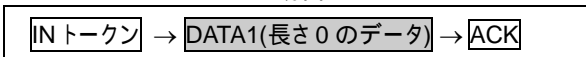
(3) ステータスステージ:

データステージと逆方向のトークン、及び、長さ"0"のデータパケット("DATA1")で構成されます。

コントロールリードの場合



コントロールライトの場合

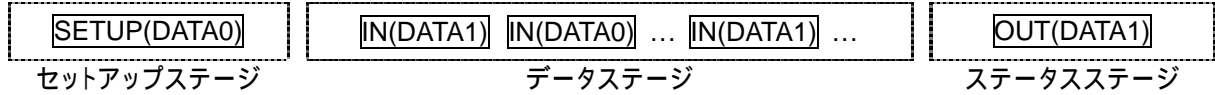


*1 (1)~(3)は正常通信時を例としています。

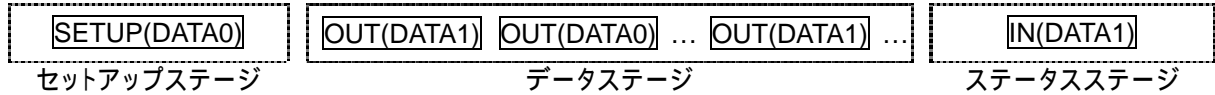
コントロール転送の種類

コントロール転送には、以下の3種類があります*1。

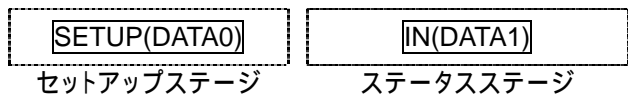
(1) コントロールリード転送:



(2) コントロールライト転送:



(3) コントロールライトノーデータ転送:



3.2.2. エンドポイント 0 バッファ領域設定

データの送受信のために、各エンドポイントごとに、バッファ領域を確保します。

エンドポイント0(コントロール転送)では、SETUPトークンのコントロールコマンドバッファとIN/OUTトークンのデータバッファがあります。EP10バッファ領域設定レジスタ(EP10BUF)で設定された設定値にあわせて、それぞれ8バイトずつRAMに確保されます。EP10バッファ領域設定レジスタ(EP10BUF)にコントロールコマンドバッファ先頭アドレスを、図 3.2のように設定し、RAMに領域を確保する必要があります。設定例を図 3.3に示します。

コントロールコマンドバッファの先頭アドレスは、EP10BUFに設定した値の20H倍した値になります。

データバッファの先頭アドレスは、EP10BUFに設定した値の20H倍した値に8Hを足した値になります。

バッファアクセスイメージを、図 3.4に示します。

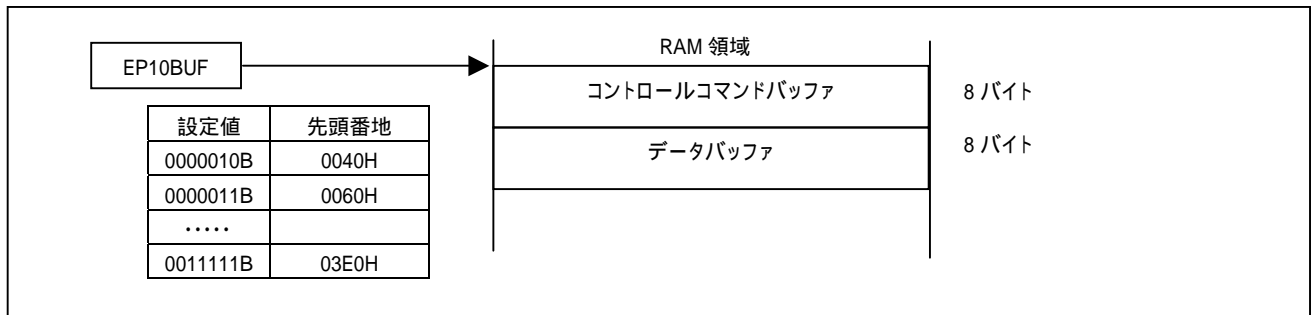


図 3.2 エンドポイント 0 バッファ

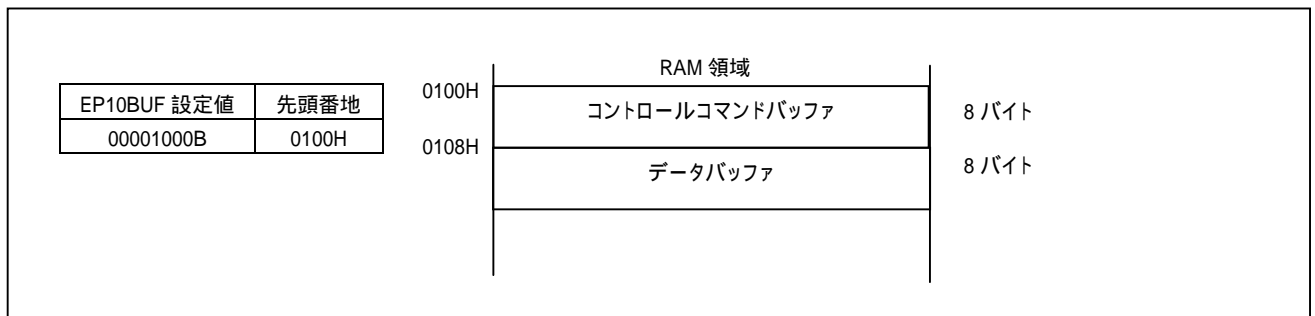


図 3.3 エンドポイント 0 バッファ設定例

*1 (1)~(3)は正常通信時を例としています。なお、Handshake は省略しています。

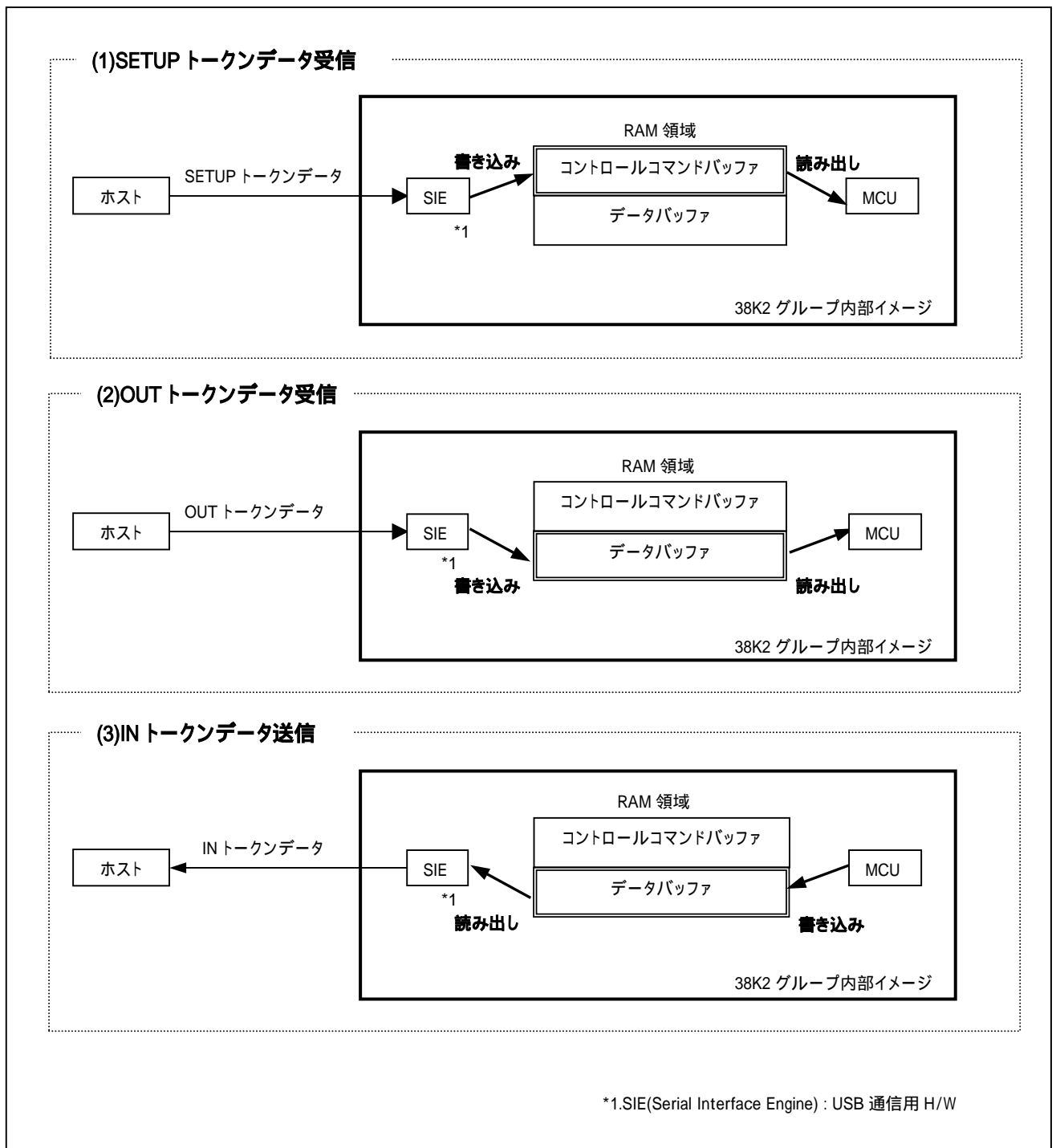


図 3.4 エンドポイント 0 バッファ領域アクセス

3.2.3. エンドポイント 0 割り込み

エンドポイント0割り込みは、コントロール転送時のデータフロー制御に使用する割り込みです。エンドポイント0割り込み要因レジスタを図 3.5に示します。

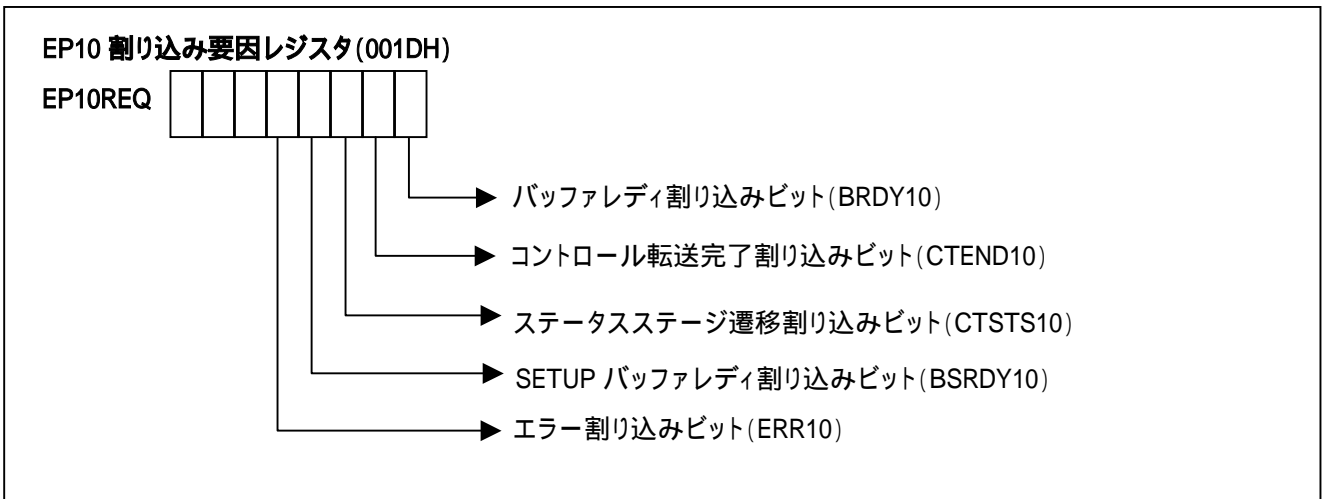


図 3.5 EP10 割り込み要因レジスタ(EP10REQ)

- (1) SETUPバッファレディ割り込みビット (BSRDY10)
SETUPトークンバッファがレディ状態(読み出し許可状態)になると、"1"(H/Wによるセット)になります。
割り込みが発生した場合、本ビットはH/Wで自動的にクリアされない為、S/Wでクリアする必要があります。
- (2) バッファレディ割り込みビット (BRDY10)
データバッファがレディ状態(読み出し/書き込み許可状態)になると、"1"(H/Wによるセット)になります。
割り込みが発生した場合、本ビットはH/Wで自動的にクリアされない為、S/Wでクリアする必要があります。
- (3) コントロール転送完了割り込みビット (CTEND10)
コントロール転送完了時(ステータスステージのNULL送信/ACK送信)に、"1"(H/Wによるセット)になります。
割り込みが発生した場合、本ビットはH/Wで自動的にクリアされない為、S/Wでクリアする必要があります。
- (4) ステータスステージ遷移割り込みビット (CTSTS10)
EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)が"0"(禁止)の時、ステータスステージへの遷移時に、"1"(H/Wによるセット)になります。
本割り込みの発生条件:
・コントロールライト転送時のデータステージ(OUT)にてINTトークンを受信した時
・コントロールリード転送時のデータステージ(IN)にてOUTトークンを受信した時
ノードータ転送時は発生しません
割り込みが発生した場合、本ビットはH/Wで自動的にクリアされない為、S/Wでクリアする必要があります。
- (5) エラー割り込みビット (ERR10)
コントロール転送エラー発生時に、"1"(H/Wによるセット)になります。
割り込みが発生した場合、本ビットはH/Wで自動的にクリアされない為、S/Wでクリアする必要があります。
ただし、SETUPトークン受信時はH/Wにて自動的にクリアされます。

エンドポイント0割り込み処理例を図 3.6に示します。ステージごとに割り込み要因を判別して、送受信の設定、バッファの読み出し、書き込みを行ってください。SETUPステージの場合は、データの読み出しの後に、リクエストごとの処理を行います。

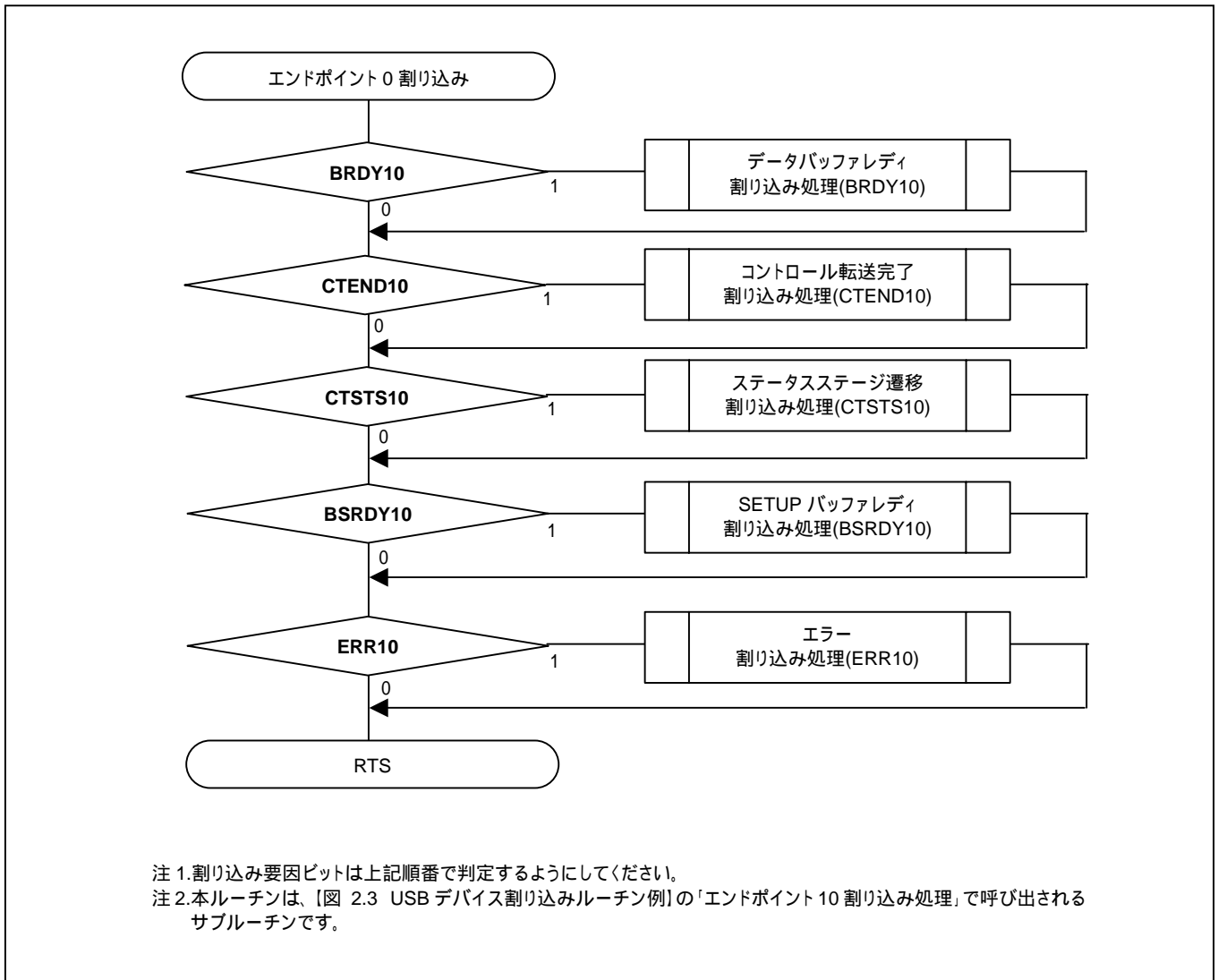


図 3.6 エンドポイント0 割り込み処理例

3.2.4. コントロール転送のデータ受信(コントロールライト転送)

コントロールライト転送を用いるリクエストの場合、セットアップステージのSETUPトークンに続いてデータステージのOUTトークンを受信し、続いてステータスステージのINTトークンを受信します。コントロール転送の受信例(正常時)を図3.7に示します。補足事項は以下の通りです。

(1) セットアップステージのSETUPトークンの受信

BSRDY10割り込みが発生しますので、コントロールコマンドバッファからデータを読み出し、その後、EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)を"1"にし、EP10制御レジスタ2(EP10CON2)のバッファ許可ビット(BVAL10)を"1"にします*¹。このバッファ許可ビット(BVAL10)は、EP10制御レジスタ1(EP10CON1)の応答PIDビット(PID10)が"01"(自動応答)時のみ有効になりますので、あわせて、応答PIDビット(PID10)を"01"(自動応答)にします。

(2) データステージのOUTトークンの受信

BRDY10割り込みが発生しますので、データバッファからデータを読み出し、その後、EP10制御レジスタ2(EP10CON2)のバッファ許可ビット(BVAL10)を"1"にします。(このBVAL10ビットは、正常通信(OUTトークンに対するACK送信)している為、H/Wにて自動的にクリアされています)

(3) ステータスステージのINTトークンの受信

CTEND10割り込みが発生します。この時、EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)は、正常通信(INTトークンに対するACK受信)している為、H/Wにて自動的にクリアされます。

ホストからの受信においてエラーが発生した場合(コントロールライト転送/コントロールリード転送共通)

ERR10割り込みが発生します。この時、EP10制御レジスタ1(EP10CON1)の応答PIDビット(PID10)がH/Wにより自動的に"1x"(STALL応答)にセットされ、次に続く(データステージ、ステータスステージにおけるIN/OUTトークンに対してSTALL返答し続けます。なお、次のセットアップステージ開始とともに応答PIDビット(PID10)がH/Wにより自動的に"00"(NAK応答)にセットされ、ストールが解除されます。エラー割り込みビット(ERR10)はSETUPトークン受信時、H/Wで自動的にクリアされます。

サポートされていないリクエストを受信した場合(コントロールライト転送/コントロールリード転送共通)

EP10制御レジスタ1(EP10CON1)の応答PIDビット(PID10)を"1x"にセットしてください。次に続くデータステージ、ステータスステージにおけるIN/OUTトークンに対してSTALL返答し続けます。なお、次のセットアップステージ開始とともに応答PIDビット(PID10)がH/Wにより自動的に"00"(NAK応答)にセットされ、ストールが解除されます。エラー割り込みビット(ERR10)はSETUPトークン受信時、H/Wで自動的にクリアされます。

SETUPトークンを受信した場合(コントロールライト転送/コントロールリード転送共通)

SETUPトークン受信時にH/Wにより自動的にリセット("0"クリア)されるビットは以下の通りです。

- ・EP10制御レジスタ1(EP10CON1)の応答PIDビット(PID10)
SETUPトークンについては自動ACK応答になります。
- ・EP10制御レジスタ2(EP10CON2)のバッファ許可ビット(BVAL10)
- ・EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)
- ・EP10割り込み要因レジスタ(EP10REQ)のエラー割り込みビット(ERR10)

*¹ 弊社リリースの「38K2 グループ USB 参考ファームウェア」では、本方法を処理例としています。

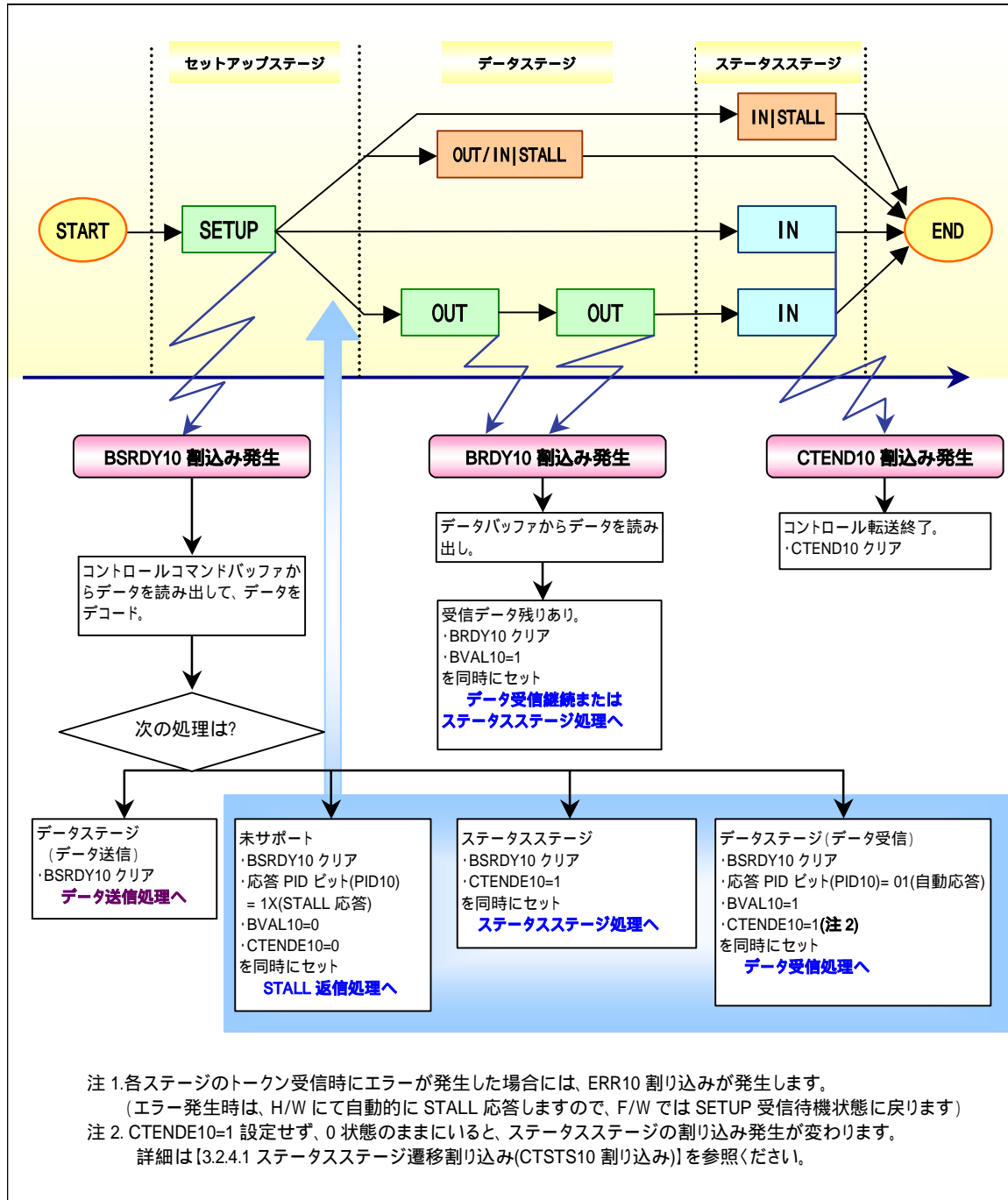


図 3.7 コントロール転送のデータ受信例

3.2.4.1.ステータスステージ遷移割り込み(CTSTS10 割り込み)

CTSTS10割り込みは、コントロール転送完了ビット(CTENDE10)が"0"(禁止)の時、コントロール転送のデータステージからステータスステージに遷移した場合、1度のみ発生する割り込みです。

この割り込みは、デバイスがセットアップコマンドに対する処理を完了する前にコントロール転送を完了してしまう事を防ぐためのもので、この間、デバイスはホストに対しNAK応答をし続けます。

CTSTS10割り込み発生時のコントロール転送の受信例を図 3.7に示します。補足事項は以下の通りです。

(1) セットアップステージのSETUPトークンの受信

BSRDY10割り込みが発生しますので、コントロールコマンドバッファからデータを読み出し、EP10制御レジスタ2(EP10CON2)のバッファ許可ビット(BVAL10)を"1"にします。このバッファ許可ビット(BVAL10)は、EP10制御レジスタ1(EP10CON1)の応答PIDビット(PID10)が"01"(自動応答)時のみ有効になりますので、あわせて、応答PIDビット(PID10)を"01"(自動応答)にします。

ここで、EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)を"1"設定しないことで、CTSTS10割り込みが発生することとなります。

(2) データステージのOUTトークンの受信

BRDY10割り込みが発生しますので、データバッファからデータを読み出し、その後、EP10制御レジスタ2(EP10CON2)のバッファ許可ビット(BVAL10)を"1"にします。(このBVAL10ビットは、正常通信(OUTトークンに対するACK送信)している為、H/Wにて自動的にクリアされています)。

(3) ステータスステージのINTトークンの受信(NAK送信)

CTSTS10割り込みが発生します。発生する条件として、コントロール転送完了許可ビット(CTENDE10)が"0"でINTトークンに対してNAK送信した場合(NAK送信ですので、ステータスステージはまだ終了していません)です。ただし、この条件が続いた場合でも、2回目以降のINTトークンに対してはCTSTS10割り込みは発生しません。

ここで、EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)を"1"設定した場合、次のINTトークンで、CTEND10割り込みが発生します。上記にありますように、CTSTS10割り込みは1回しか発生しませんので、コントロール転送完了を確認する場合、必ず、CTEND10割り込みを発生させる必要があります。

(4) ステータスステージのINTトークンの受信(ACK送信)

CTEND10割り込みが発生します。この時、EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)は、正常通信(INTトークンに対するACK受信)している為、H/Wにて自動的にクリア"0"されます。

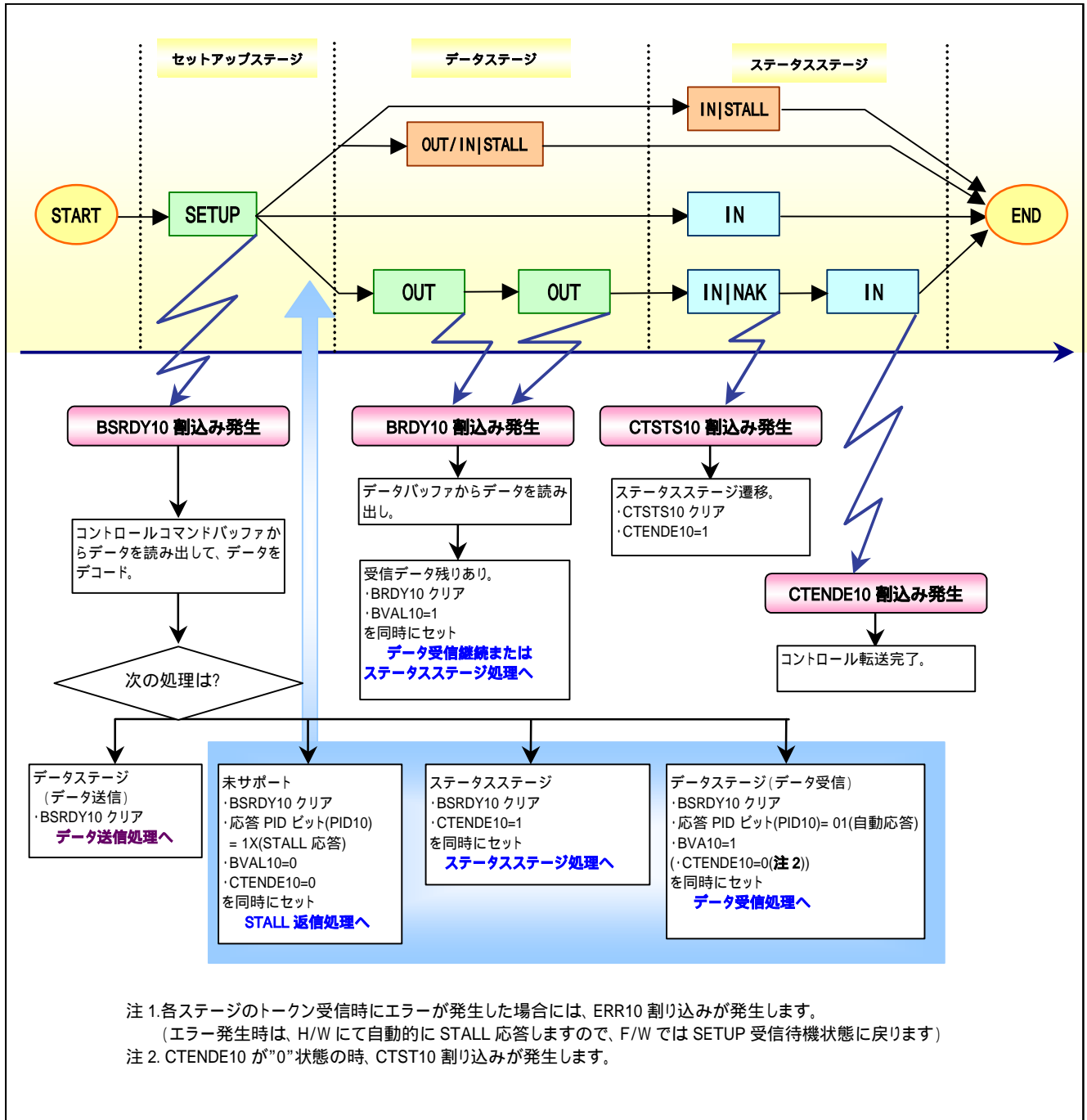


図 3.8 コントロール転送のデータ受信例(CTSTS10 割り込み使用時)

3.2.5. コントロール転送のデータ送信(コントロールリード転送)

コントロールリード転送を用いるリクエストの場合、セットアップステージのSETUPトークンに続いてデータステージのINTトークンを受信し、続いてステータスステージのOUTトークンを受信します。コントロール転送の送信例を図 3.9に示します。補足事項は以下の通りです。

(1) セットアップステージのSETUPトークン受信

BSRDY10割り込みが発生しますので、コントロールコマンドバッファからデータを読み出し、その後、EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)を”1”にし、EP10制御レジスタ2(EP10CON2)のバッファ許可ビット(BVAL10)を”1”にします。このバッファ許可ビット(BVAL10)は、EP00制御レジスタ1(EP10CON1)の応答PIDビット(PID10)が”01”(自動応答)時のみ有効になりますので、あわせて、応答PIDビット(PID10)を”01”(自動応答)にします。

(2) データステージのINTトークン受信

BRDY10割り込みが発生しますので、データバッファへデータを書き込み、その後、EP10制御レジスタ2(EP10CON2)のバッファ許可ビット(BVAL10)を”1”にします。(このBVAL10ビットは、正常通信(OUTトークンに対するACK送信)している為、H/Wにて自動的にクリアされています)

また、最後のINTトークンのBRDY10割り込みでは、次に書き込むデータがありませんので、バッファ許可ビット(BVAL10)を”1”にする必要はありません。

(3) ステータスステージのOUTトークン受信

CTEND10割り込みが発生します。この時、EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)は正常通信(OUTトークンに対するACK送信)している為、H/Wにて自動的にクリア”0”されます。

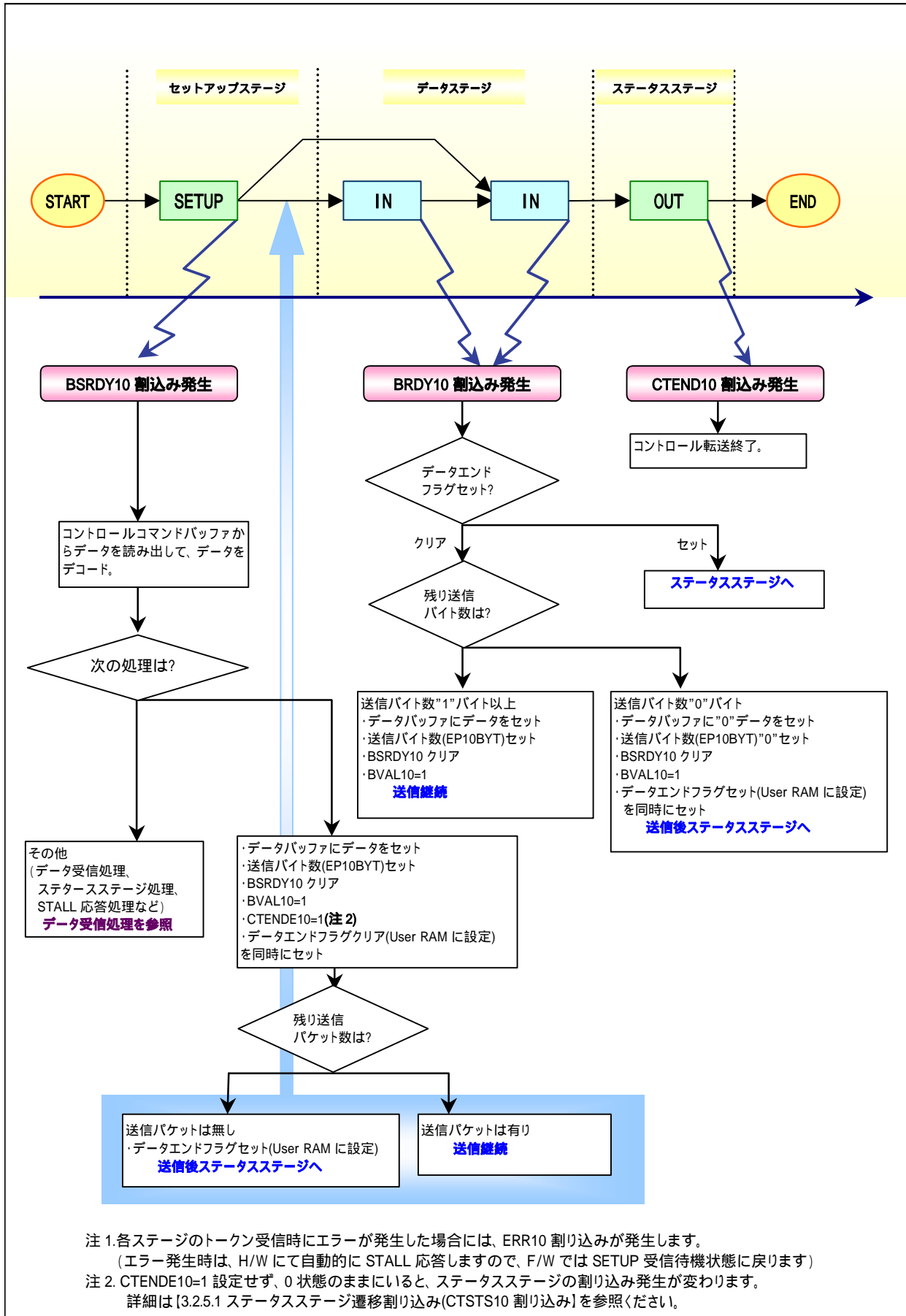


図 3.9 コントロール転送のデータ送信例(正常時)

3.2.5.1.ステータスステージ遷移割り込み(CTSTS10 割り込み)

CTSTS10割り込みの概要については、[3.2.4.1 ステータスステージ遷移割り込み(CTSTS10割り込み)]をお読みください。CTSTS10割り込み発生時のコントロール転送のデータ送信例を図 3.10に示します。補足事項は以下の通りです。

(1) セットアップステージのSETUPトークン受信

BSRDY10割り込みが発生しますので、コントロールコマンドバッファからデータを読み出し、EP10制御レジスタ2(EP10CON2)のバッファ許可ビット(BVAL10)を”1”にします。このバッファ許可ビット(BVAL10)は、EP10制御レジスタ1(EP10CON1)の応答PIDビット(PID10)が”01”(自動応答)時のみ有効になりますので、あわせて、応答PIDビット(PID10)を”01”(自動応答)にします。

ここで、EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)を”1”設定しないことで、CTSTS10割り込みが発生することとなります。

(2) データステージのINTトークン受信

BRDY10割り込みが発生しますので、データバッファへデータを書き込み、その後、EP10制御レジスタ2(EP10CON2)のバッファ許可ビット(BVAL10)を”1”にします。(このBVAL10ビットは、正常通信(INTトークンに対するACK受信)している為、H/Wにて自動的にクリアされています)。

(3) ステータスステージのOUTトークン受信(NAK送信)

CTSTS10割り込みが発生します。発生する条件として、コントロール転送完了許可ビット(CTENDE10)が”0”で、OUTトークンに対してNAK送信した場合(NAK送信ですので、ステータスステージはまだ終了していません)です。ただし、この条件が続いた場合でも、2回目以降のOUTトークンに対してはCTSTS10割り込みは発生しません。ここで、EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)を”1”設定した場合、次のOUTトークンで、CTEND10割り込みが発生します。上記にありますように、CTSTS10割り込みは1回しか発生しませんので、コントロール転送完了を確認する場合、必ず、CTEND10割り込みを発生させる必要があります。

(4) ステータスステージのOUTトークンの受信(ACK送信)

CTEND10割り込みが発生します。この時、EP10制御レジスタ3(EP10CON3)のコントロール転送完了許可ビット(CTENDE10)は、正常通信(INTトークンに対するACK受信)している為、H/Wにて自動的にクリア”0”されます。

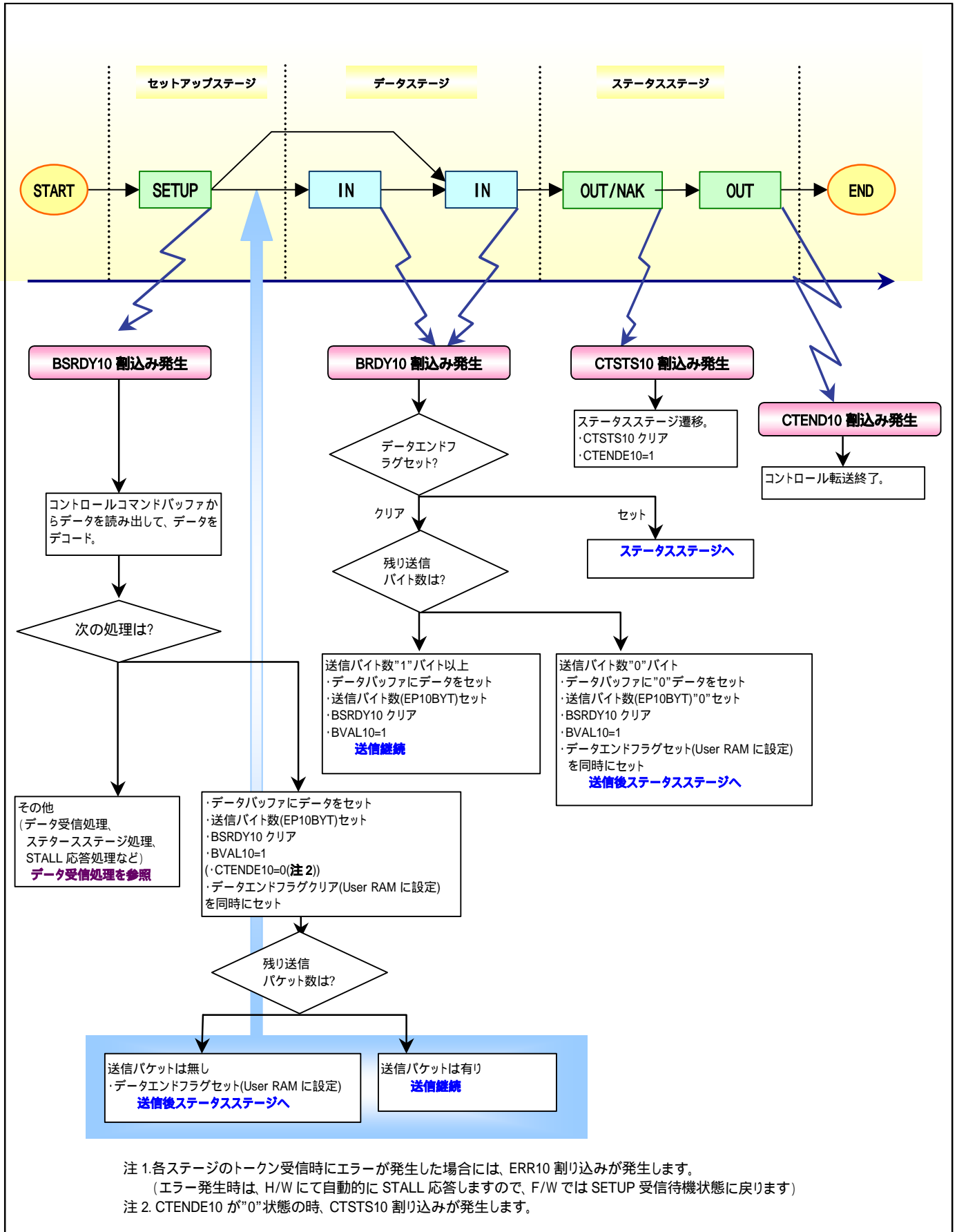


図 3.10 コントロール転送のデータ送信例(正常時/CTSTS10割り込み使用時)

3.3. エンドポイント 1

エンドポイント1では、インタラプト転送(IN固定)を使用し、ホストへUSBハブのステータスデータの送信を行います。

エンドポイント1のデータバッファをRAM領域に確保する必要があります。データバッファの先頭アドレスは、EP11 バッファ領域設定レジスタ(EP11BUF)で設定します。詳細は【3.3.2 エンドポイント1バッファ領域設定】を参照してください。

エンドポイント11の転送時は、USBハブ/エンドポイント1割り込み(1要因)が発生します。詳細は、【3.3.3 エンドポイント1割り込み】を参照してください。

3.3.1. データ転送概要

データ転送は半二重転送で、3つのパケット(トークンパケット、データパケット、ハンドシェイクパケット)により構成されます。インタラプト転送は、通信エラー検出行い、転送レートを保証する転送です。

USBハブはエンドポイント1のみを持ち、インタラプトIN転送のみ使用します。

データ転送を構成するトランザクション

データ転送は、以下のトランザクションで構成されます*1。なお、網掛けはデバイスがデータ送信する場合です。

(1) インタラプト IN:

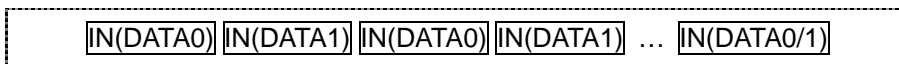
INトークン、データ(DATA0/1)及びハンドシェイクパケットにより構成されます。



データ転送

データ転送は、以下のようなトランザクション構成で通信が行われます。

(2) インタラプト IN 転送:



*1 (1)、(2) は正常通信時を例としています。

3.3.2. エンドポイント 1 バッファ領域設定

エンドポイント1のデータバッファサイズは、MAX1バイトになります。

EP11バッファ領域設定レジスタ(EP11BUF)にデータバッファ先頭アドレスを、図 3.11のように設定し、RAMに領域を確保する必要があります(例を図 3.12に示します)。

データバッファの先頭アドレスは、EP11BUFに設定した値の20H倍になります。
バッファアクセスイメージを、図 3.13に示します。

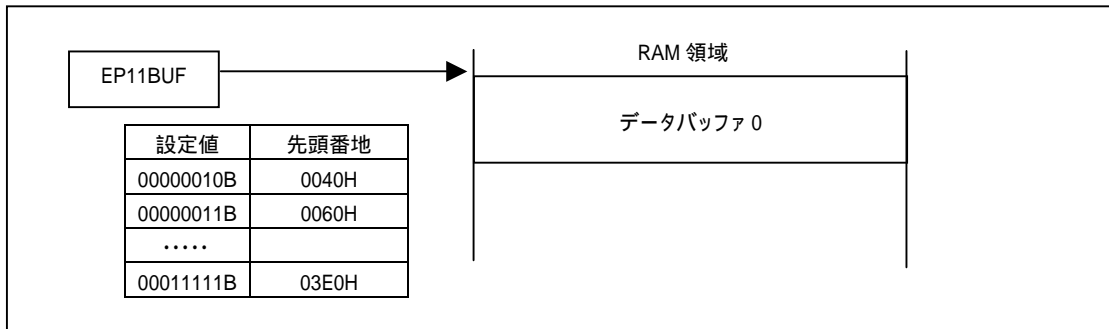


図 3.11 エンドポイント 1 データバッファ 0

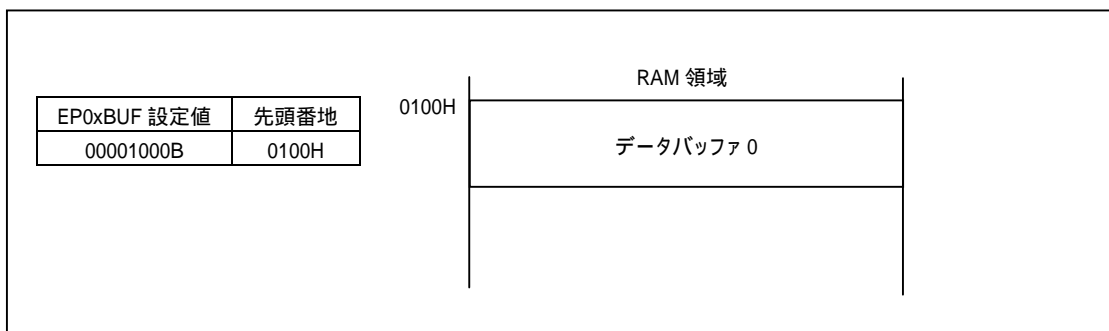


図 3.12 エンドポイント 1 データバッファ 0 設定例

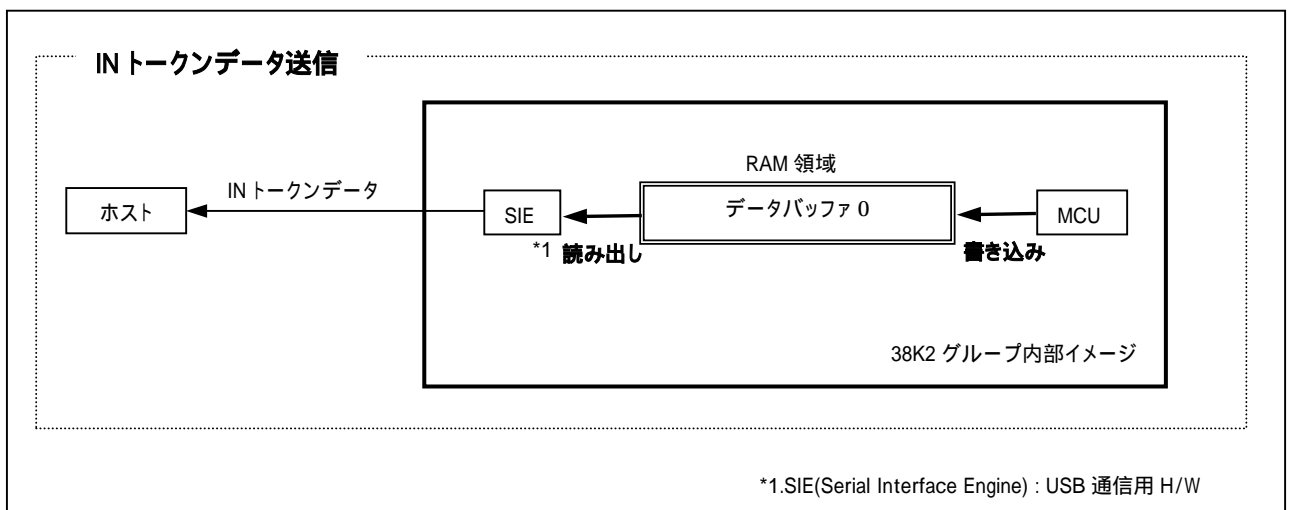


図 3.13 エンドポイント 1 データバッファ 0 アクセス

3.3.3. エンドポイント 1 割り込み

エンドポイント1割り込みは、データフロー制御に使用する割り込みです。エンドポイントx割り込み要因レジスタを図 3.14に示します。

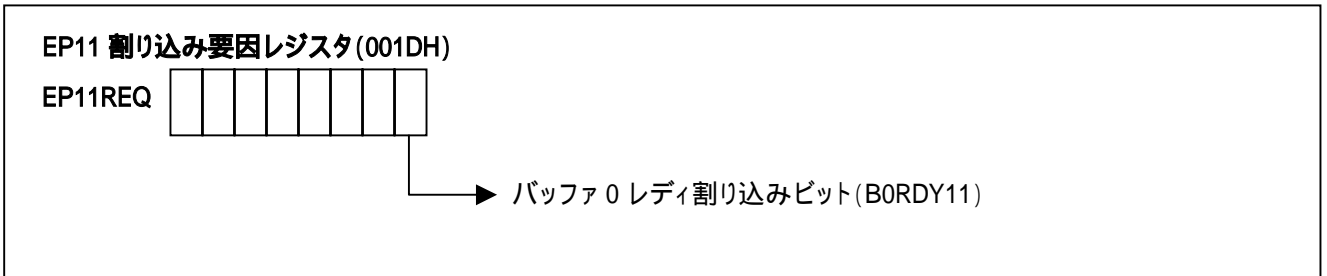


図 3.14 EP11 割り込み要因レジスタ(EP11REQ)

(1) バッファ0レディ割り込みビット(B0RDY11)

バッファがレディ状態(読み出し/書き込み許可状態)になると、"1"(H/Wによるセット)になります。割り込みが発生した場合、本ビットはH/Wで自動的にクリアされない為、S/Wでクリアする必要があります。

エンドポイント1割り込み処理例を図 3.15に示します。各割り込み要因を判別して、送信の設定、バッファの書き込みを行ってください。

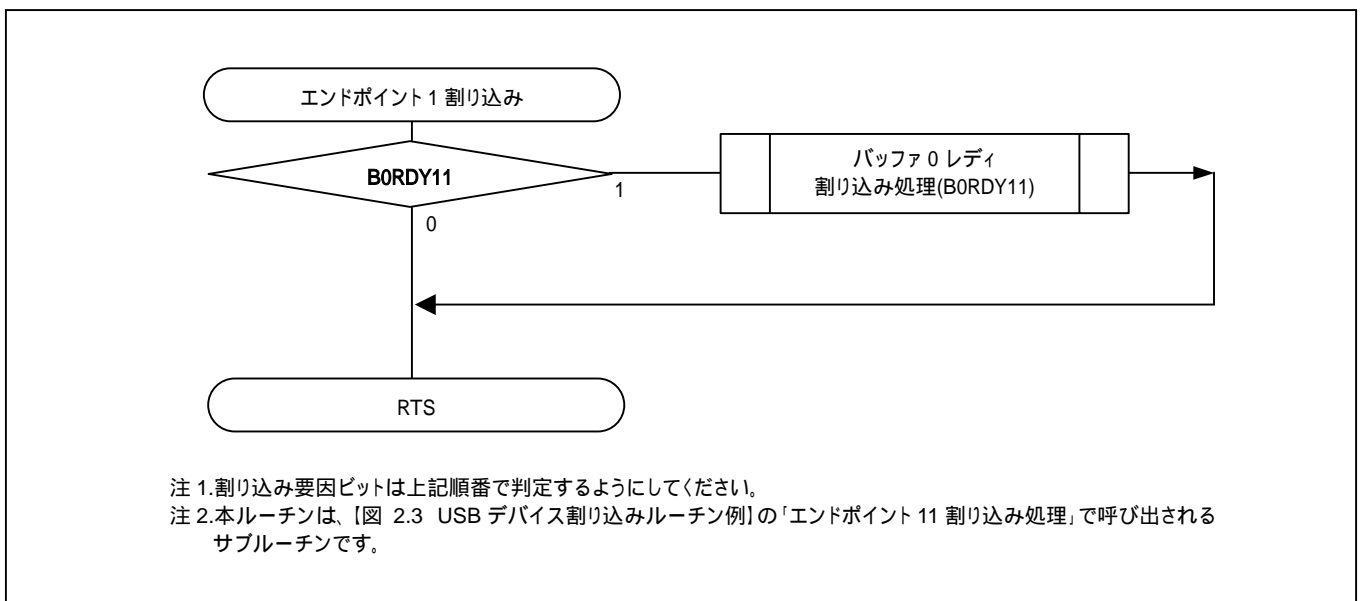


図 3.15 エンドポイント 1 割り込み処理例

3.3.4. データ送信概要

(1) 送信設定

エンドポイントディスクリプタに合わせて、転送方向(IN転送固定)、転送タイプ(インタラプト転送固定)を設定します。
エンドポイント1送信設定手順例を図 3.16に示します。

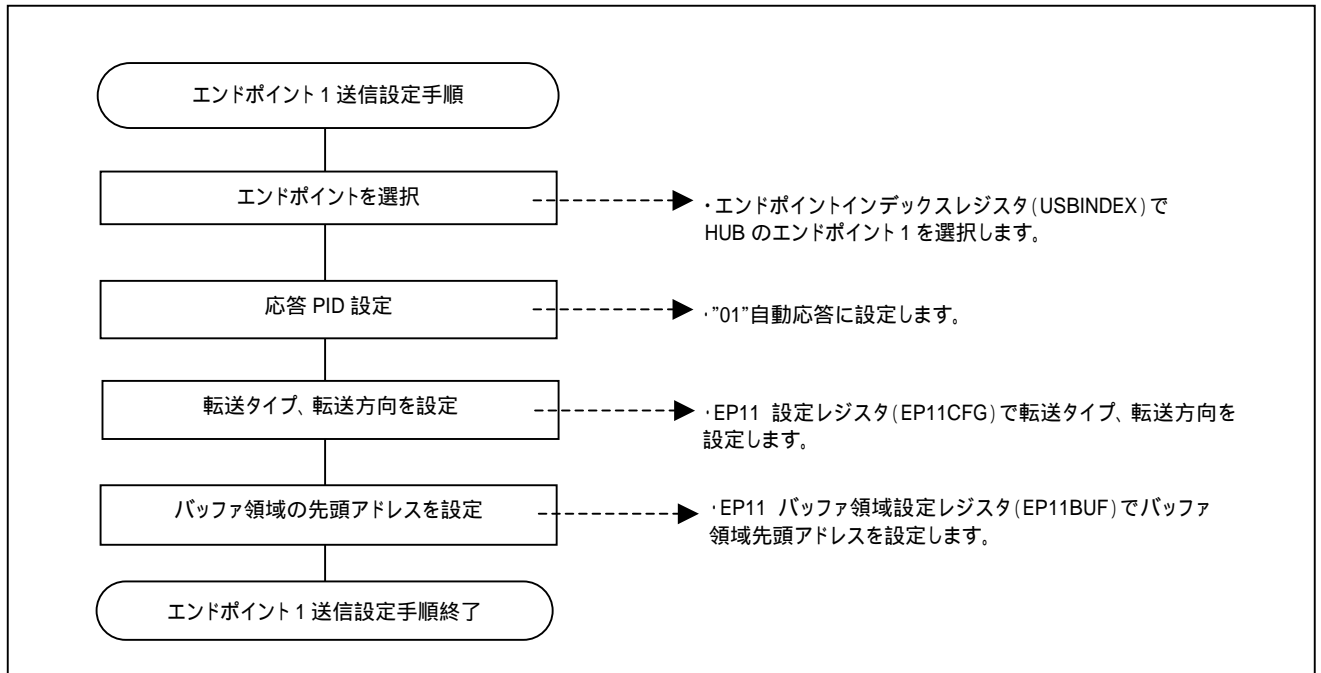


図 3.16 エンドポイント1送信設定手順例

(2) 正常送信

エンドポイント1がホストへパケットを送信する場合、ホストからのIN トークンに備えてデータバッファにパケットのデータを準備する必要があります。

1パケットのデータを準備するには、エンドポイント1がHALT状態ではなく、データバッファが空き状態であることを確認し、送信するパケットデータ数分だけデータバッファへデータを書き込んでからEP11制御レジスタ2(EP11CON2)のバッファ0ステータスビット(B0VAL11)を"1"にします。(このB0VAL11ビットは、ACK正常受信時はH/Wにて自動的にクリアされます)

送信するパケットデータ数は、EP11バイト数レジスタ0(EP11BYT0)に設定する必要があります。

1パケットのデータ準備が終わると、ホストから送られてくる次のIN トークンでデータが送信されます。

そして、データの送信が完了すると、エンドポイント1バッファ0レディ割り込み要求が発生し、データバッファが1パケット分空きます。

なお、エンドポイント1バッファ0レディ割り込み(B0RDY11)はクリアする必要があります。

(3) STALL応答

EP11制御レジスタ1(EP11CON1)の応答PIDビット(PID11)を1x"(STALL応答)にセットします。STALL状態にあるエンドポイントxIN/OUTトークンに対してSTALL返答し続けます。STALLした場合、ホストCPUから、ClearFeatureでSTALL解除されない限り、通信が不能になります。通信を再開する時は、このPID11ビットを"00"または"01"に設定しない限り、STALLは解除されません。

3.3.5. インタラプト転送のデータ送信

(1) 転送タイプ設定

転送タイプは固定ですので、EP11設定レジスタ(EP11CFG)で送信許可設定を行います。データ送信設定手順は[図 3.16 エンドポイント1送信設定手順例]を参照してください。

(2) データ送信準備動作

シーケンストグルビットクリアビット(SQCL11)を"1"に設定します。1"に設定することで、トグルビットがクリアされ、次のデータPIDがDATA0に初期化されます。

(3) データ送信動作

エンドポイント1 データバッファにデータがセットされていない状態で、ホストからのINTトークンを受信すると、自動的にNAKを返信します。

データを送信する為には、データバッファにパケットデータをセットする必要があります。エンドポイント1がHALT状態ではなく、データバッファが空き状態(B0VAL11ビット"0"で書き込み可能状態)であることを確認し、送信パケットデータをセットします。送信するパケットデータ数は、EP11バイト数レジスタ0(EP11BYT0)にセットし、B0VAL11ビットを"1"にセットします(このB0VAL11ビットは、正常送信時、H/Wにて自動的にクリアされます)。

データをセットした後に、INエンドポイントがホストからINTトークンを受信すると、ホストへデータを送信します。その送信データパケットに対しホストからACK応答を受信すると、1パケット送信が完了してエンドポイント1バッファ0レディ割り込みが発生します。

インタラプト転送において、INエンドポイントに対してホストからACK応答を受信すると(正常送信時)トグルします。ホストからACK を受け取らなかった場合、次のINTトークンに対して同じトグルで同じデータを送信します。

DATA0 DATA1 DATA0・・・と送信するデータは、交互にデータバッファへ書き込みします。

なお、エンドポイント1バッファ0レディ割り込み(B0RDY11)は割り込み要求発生時にクリアする必要があります。エンドポイント1インタラプトデータ送信例を図 3.17に示します。

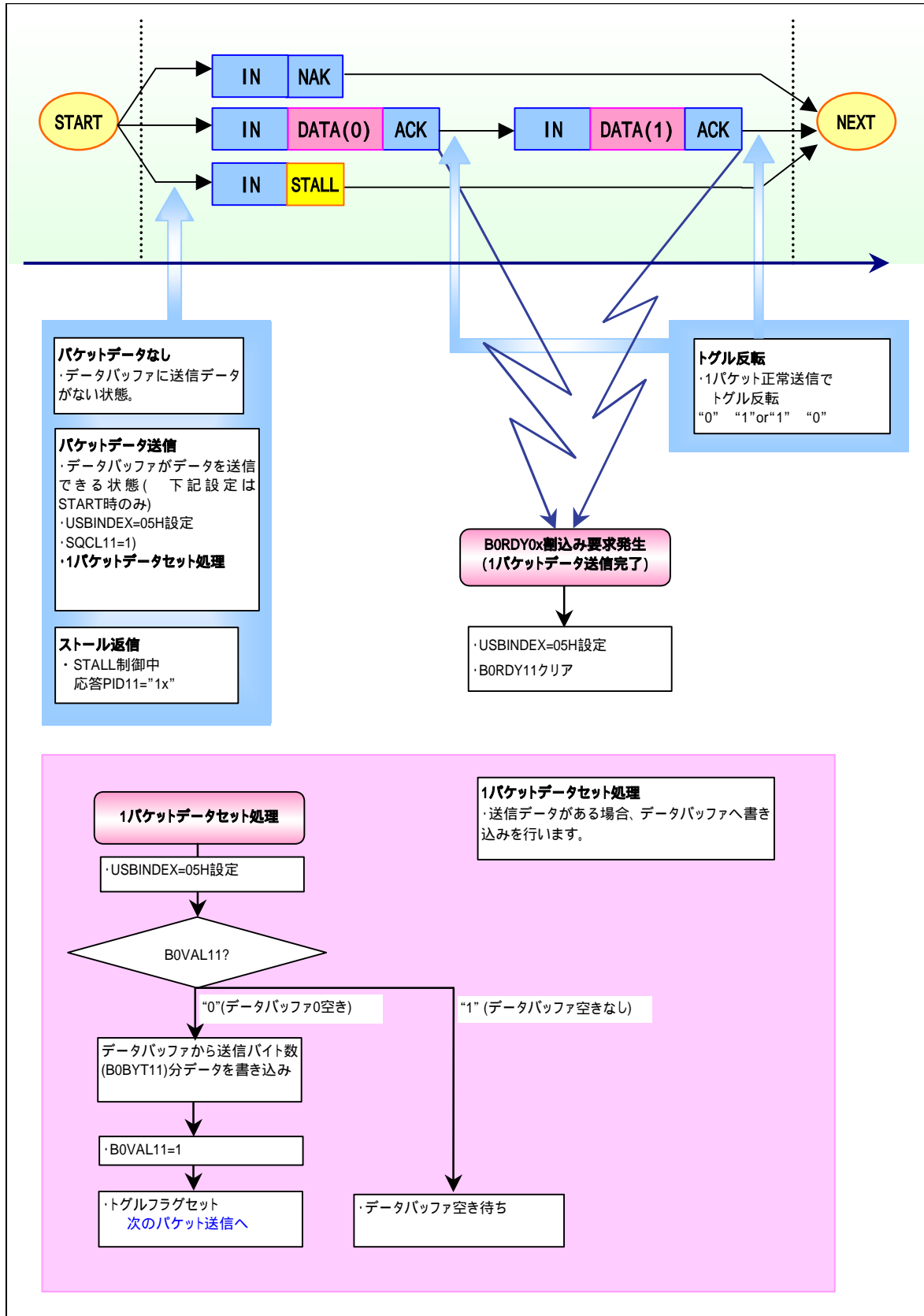
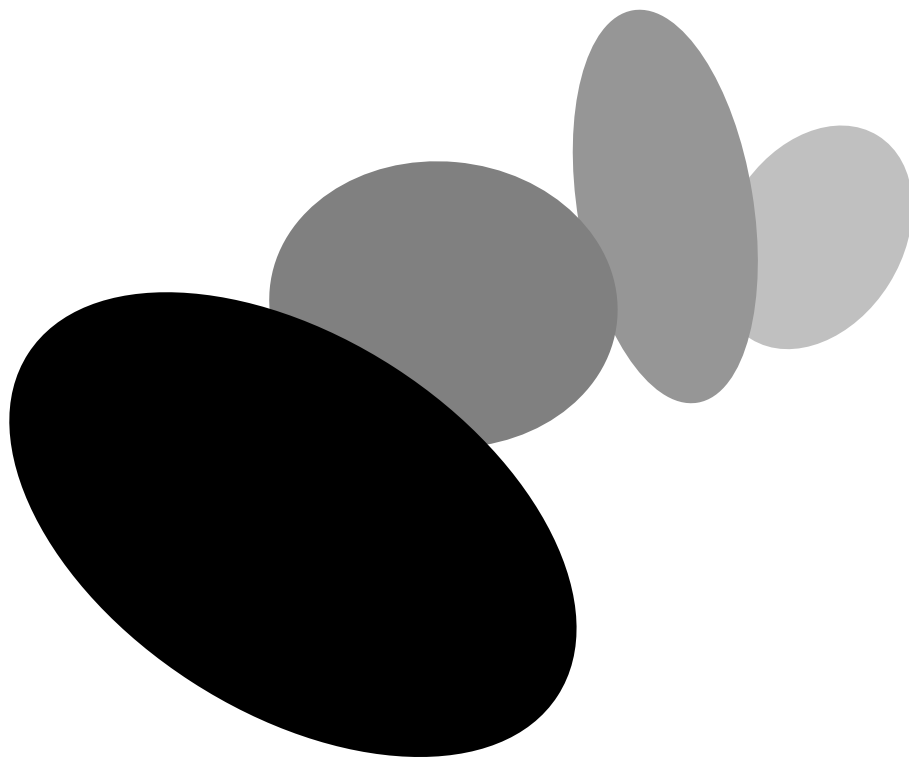


図 3.17 エンドポイント1 インタラプトデータ送信例



第 4 章

USB ハブダウンポート制御

38K2 グループは 2 本の外部ダウンポートと 1 本の内蔵ダウンポートを搭載しています。本章では、外部ダウンポートに関する制御について説明します。

4.1. HUB 関連レジスタ

USBハブの関連レジスタは、インデックスレジスタ、レジスタウインドウを含め合計7本存在します。そのうち、3本のレジスタは同じレジスタウインドウ(同じアドレス空間)に定義され、インデックスレジスタで切り替えることにより使用します。

これらのレジスタはダウンポートの制御に使用します。

ダウンポートに関する割り込みとしては、USBハブ割り込みがあります。

表 4.1にHUB関連レジスタ、表 4.2にインデックス切り替えレジスタについて一覧で示します。

表 4.1 HUB 関連レジスタ

アドレス	略称	レジスタ名
0028H	USBHUBICON	HUB 割り込み要因許可レジスタ
0029H	USBHUBIREQ	HUB 割り込み要因レジスタ
002AH	USBHUBINDEX	HUB ポートインデックスレジスタ
002BH	DPXREG1	HUB ポートフィールドレジスタ 1
002CH	DPXREG2	HUB ポートフィールドレジスタ 2
002DH	DPXREG3	HUB ポートフィールドレジスタ 3
...		
0FF9H	DPCTL	ダウンポート制御レジスタ

表 4.2 HUB ダウンポートインデックスレジスタ(HUBINDEX)による切り替えレジスタ一覧

インデックスレジスタ内容	アドレス	略称	レジスタ名
00H	002BH	DP1REQ	DP1 割り込み要因レジスタ
	002CH	DP1CON	DP1 制御レジスタ
	002DH	DP1STS	DP1 ステータスレジスタ
01H	002BH	DP2REQ	DP2 割り込み要因レジスタ
	002CH	DP2CON	DP2 制御レジスタ
	002DH	DP2STS	DP2 ステータスレジスタ

4.2. USB ハブダウンポートを使用するために

38K2グループは2本の外部ダウンポートを搭載しており、さらに、USB内蔵ファンクションを使用することで、1本の内蔵ダウンポートの動作が可能です。なお、38K2グループデータシートや本資料では、内蔵ダウンポートに接続されたデバイスを「USBファンクション」と表現しています。USBファンクションに関する詳細は【第 5 章】を参照してください。

外部ダウンポートを使用する場合、USBデバイスブロック、USBハブデバイスブロックを許可状態にした後、ダウンポート機能の設定が必要です。

4.2.1. ダウンポート初期設定

パワーオンリセット時とUSBハブに対するUSBバスリセット割り込み時において外部ダウンポートに対する初期化を実行します。

ダウンポートインデックスレジスタで設定するダウンポートを指定した後、ダウンポート制御に関する設定をします。初期設定例を図 4.1に示します。

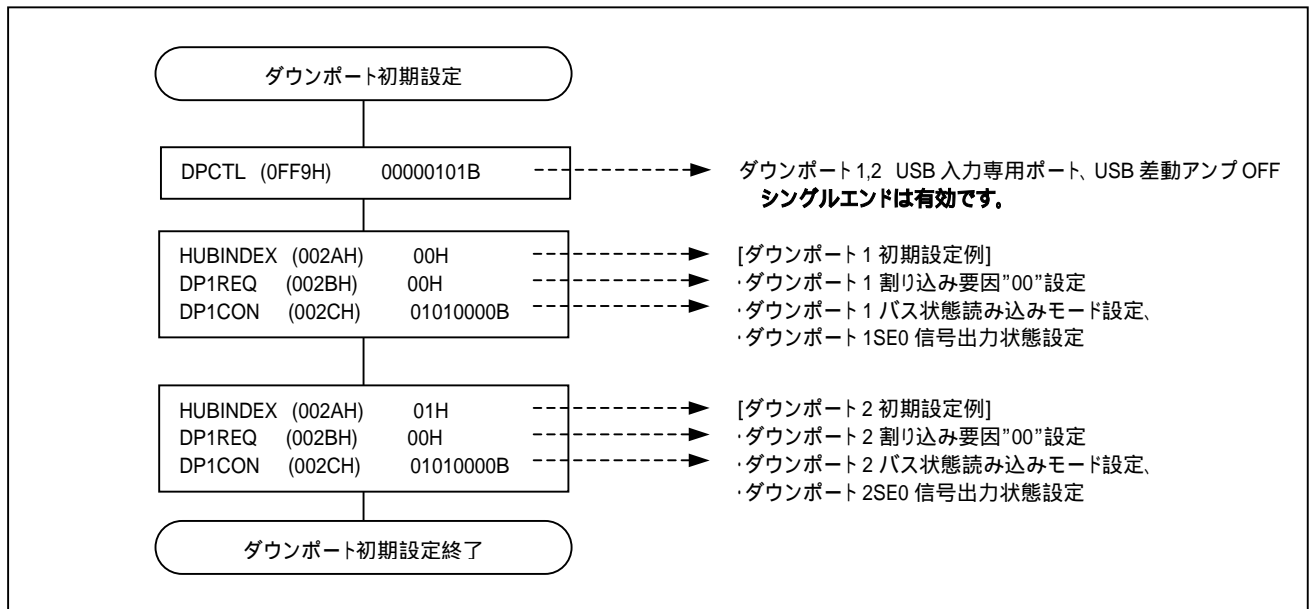


図 4.1 ダウンポート初期設定例

4.3. USB ハブ割り込み

USBハブ割り込みは、USBハブダウンポートの状態変化を検出した時に発生する割り込みです。割り込み要因にはダウンポート x^{*1} 割り込みがあります。

USBハブ割り込みを許可するためには、割り込み制御レジスタ(ICON2)のUSBハブ割り込み許可ビットを"1"にし、HUB割り込み要因許可レジスタ(HUBICON)の対応するビットを"1"にしてください。また、割り込み要求の状態は、HUB割り込み要因レジスタ(HUBIREQ)、DP x 割り込み要因レジスタ(DP x REQ)の対応するビットによって示されます。

HUB割り込み関連レジスタを表 4.3に、USBハブ割り込みルーチン例を図 4.2に示します。

表 4.3 HUB割り込み関連レジスタ

アドレス	略称	レジスタ名
0028H	HUBICON	HUB 割り込み要因許可レジスタ
0029H	HUBIREQ	HUB 割り込み要因レジスタ
0018H	HUBINDEX	HUB ダウンポートインデックスレジスタ
001DH	DP x REQ	DP x 割り込み要因レジスタ($x=1, 2$)
003DH	IREQ2	割り込み要求レジスタ 2
003FH	ICON2	割り込み制御レジスタ 2

*1 4.3 章以降のダウンポート x の" x "はダウンポート"0"、"1"を示します。

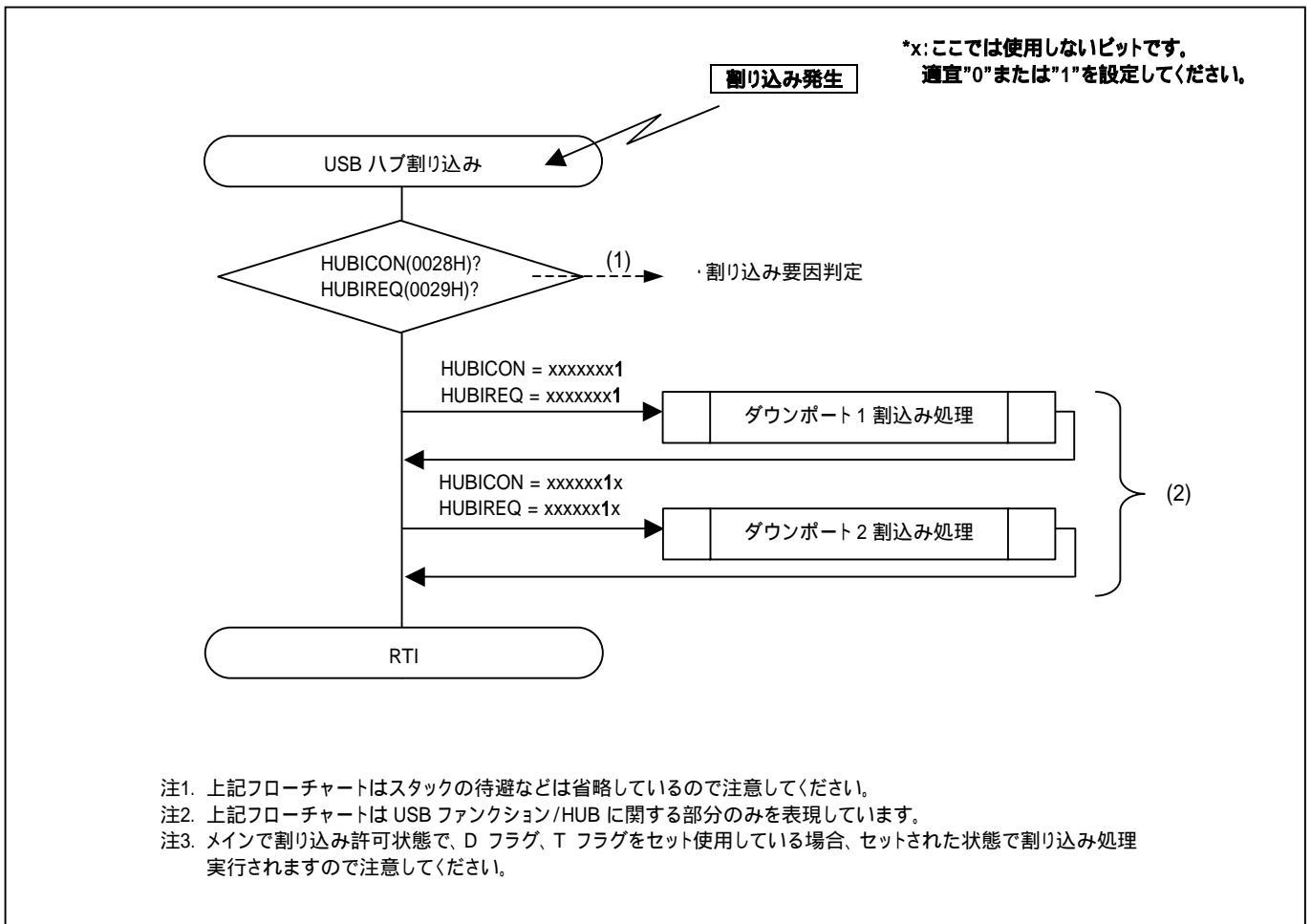


図 4.2 USB ハブ割り込みルーチン例

【図 4.2 USBハブ割り込みルーチン例】の補足事項は以下の通りです。

- (1) 割り込み要因判定方法
 - ・HUB割り込み要因許可レジスタ(HUBICON)の許可ビット状態とHUB割り込み要因レジスタ(HUBIREQ)の要因ビットの状態をAND条件で判定します(両ビット"1"であれば有効)。
- (2) 割り込み要因判定方法
 - ・同時に複数の要因が発生した場合を考慮し、先頭からすべての要因をチェックして処理を行います。これはタイミングにより、割り込み毎に最初の判定要因が連続処理され、他の要因が処理されない現象を改善するためです。

◆弊社リリースの「38K2 グループ USB 参考ファームウェア」では、上記(1)、(2)を処理例としています。

4.3.1. ダウンポート割り込み

ダウンポートx割り込みは、以下の種類があります。補足事項は以下の通りです。

ダウンポートx割り込み

- ダウンポートx非接続検出割り込み
- ダウンポートx接続検出割り込み
- ダウンポートxポートエラー割り込み
- ダウンポートxレジューム割り込み
- ダウンポートxバス変化検出割り込み

ダウンポート x 割り込みが発生する条件

以下の全てが満たされた場合、USB ハブ/エンドポイント x 割り込みが発生します。

- ・プロセッサステータスレジスタの割り込み禁止フラグ(I フラグ)が"0"(割り込み許可)
- ・割り込み制御レジスタ(ICON2)の USB ハブ割り込み許可ビットが"1"(許可状態)
- ・割り込み要求レジスタ(IREQ2)の USB ハブ割り込み要求ビットが"1"(要求あり)
- ・HUB 割り込み要因許可レジスタ(HUBICON)のダウンポートに対応する HUB ダウンポート x 割り込みビット(DPxE)が"1"(許可状態)
- ・HUB 割り込み要因レジスタ(HUBIREQ)のダウンポートに対応する HUB ダウンポート x 割り込みビット(DPx)が"1"(要求あり)
 - このビットは、DPx 割り込み要因レジスタ(DPxREQ)の少なくとも1ビットが"1"セットされるとセットされます。S/W でセット/クリアすることはできません。
- ・ダウンポートに対応する(HUB ダウンポートインデックスレジスタ(HUBINDEX)で示されるダウンポート値)DPx 割り込み要因レジスタ(DPxREQ)の対応する割り込みビットが"1"(要求あり)
 - (DPx 割り込み要因レジスタ(DPxREQ)を参照する際は、HUB ダウンポートインデックスレジスタ(HUBINDEX)に対応するダウンポート x を設定します。)

ダウンポート x 割り込み処理

- ・割り込みルーチン例を図 4.4に示します。
- ・ダウンポート x 割り込みが発生する、大元の HUB 割り込み要求フラグは、割り込みが受け付けられるとクリアされるため割り込み処理中にクリアする必要はありません。HUB 割り込み要因レジスタ(HUBIREQ)の HUB ダウンポート x 割り込みビット(DPx)は S/W でクリアすることができません。ダウンポートに対応する(HUB ダウンポートインデックスレジスタ(HUBINDEX)で示されるダウンポート値)、DPx 割り込み要因レジスタ(DPxREQ)を"00"クリアすることで、H/W クリアされます。

DPx割り込み要因レジスタを図 4.3に示します。

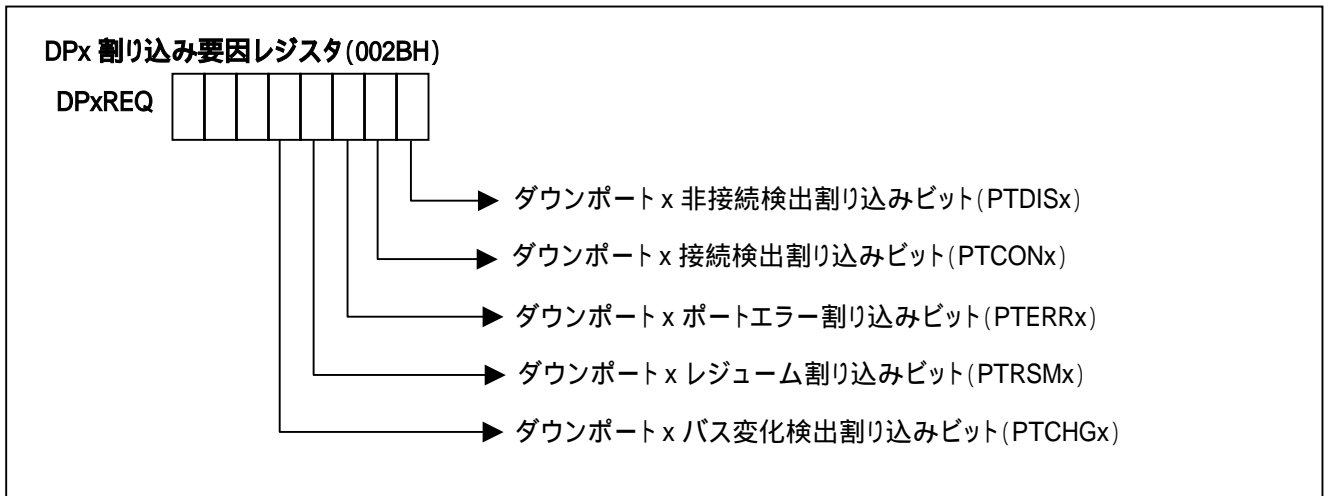


図 4.3 DPx 割り込み要因レジスタ(DPxREQ)

- (1) ダウンポートx非接続検出割り込みビット(PTDISx)
DSCONNx="1"の時に、ダウンポートxにバス非接続状態(2.5 μs以上のSE0)を検出すると、"1"(H/Wによるセット)になります。割り込みが発生した場合には、本ビットをクリアする必要があります。
- (2) ダウンポートx接続検出割り込みビット(PTCONx)
DSCONNx="0"の時に、ダウンポートxにバス接続状態(2.5 μs以上のJまたはK)を検出すると、"1"(H/Wによるセット)になります。割り込みが発生した場合には、本ビットをクリアする必要があります。
- (3) ダウンポートxポートエラー割り込みビット(PTERRx)
ダウンポートxにポートエラーが発生すると"1" (H/Wによるセット)になります。割り込みが発生した場合には、本ビットをクリアする必要があります。
- (4) ダウンポートxレジューム割り込みビット(PTRSMx)
USBハブサスペンド状態またはポートサスペンド状態の時に、ダウンポートxにレジューム信号を検出すると、"1"(H/Wによるセット)になります。割り込みが発生した場合には、本ビットをクリアする必要があります。
- (5) ダウンポートxバス変化検出割り込みビット(PTCHGx)
USBハブサスペンド状態の時に、ダウンポートxにバス変化を検出すると、"1"(H/Wによるセット)になります。割り込みが発生した場合には、本ビットをクリアする必要があります。

ダウンポートx割り込みルーチン例を図 4.4に示します。

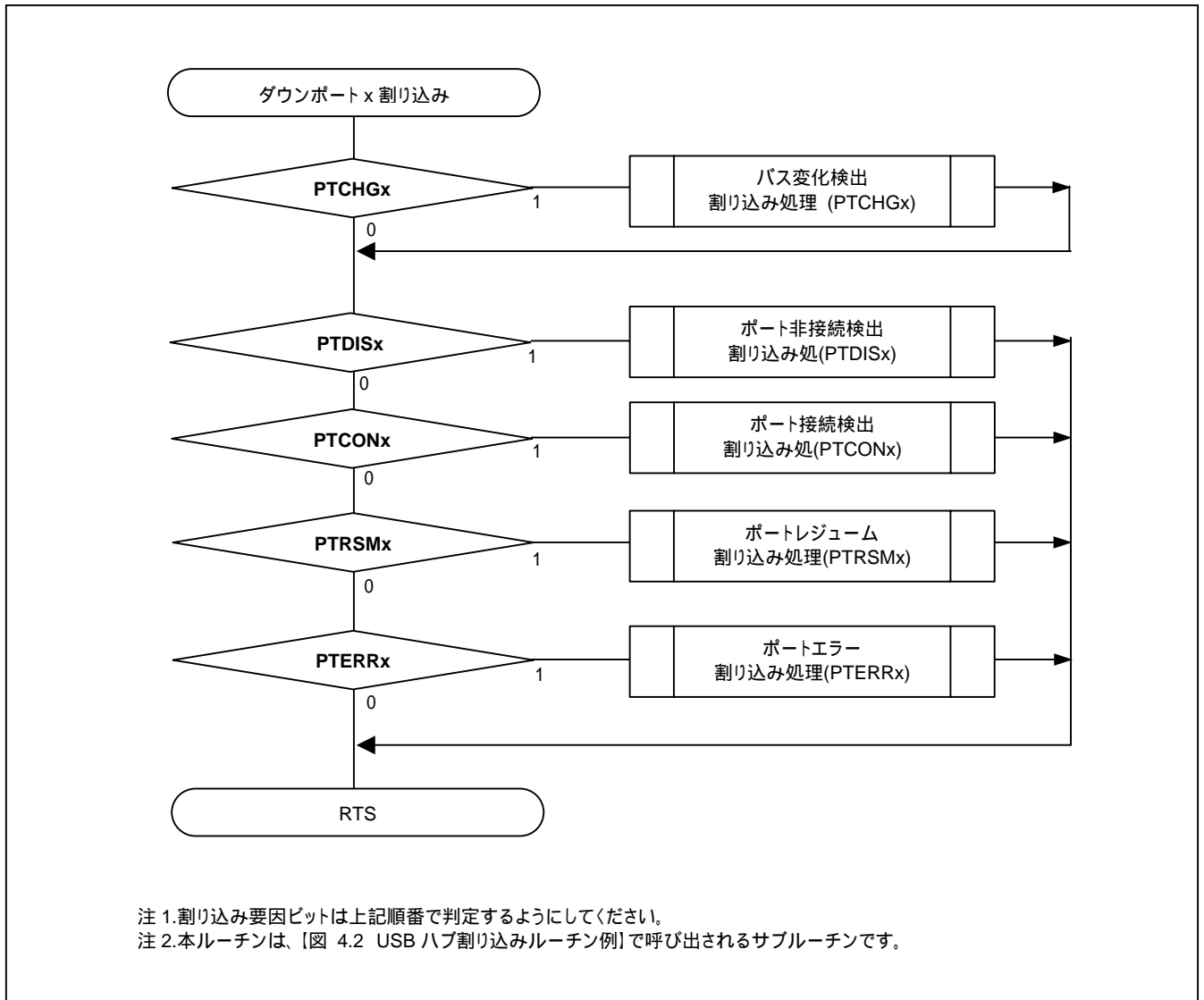


図 4.4 ダウンポート x 割り込みルーチン例

4.4. ダウンポート状態遷移

USBハブのダウンストリームポートはUSB仕様Ver2.0で定義された状態を持ち、その状態間を遷移しながら動作します。

38K2グループUSBハブは、ダウンポート状態の遷移を、【4.3 USBハブ割り込み】で説明したダウンポート割り込み要求による非接続検出割り込み、接続検出割り込み、ポートエラー割り込み、レジューム割り込み、バス変化検出割り込み、そして、エンドポイント0USBハブクラスリクエスト処理で行います。

38K2グループのダウンポート状態遷移図を図4.5に示します。詳細はUSB仕様Ver2.0のHUB Specificationを参照してください。

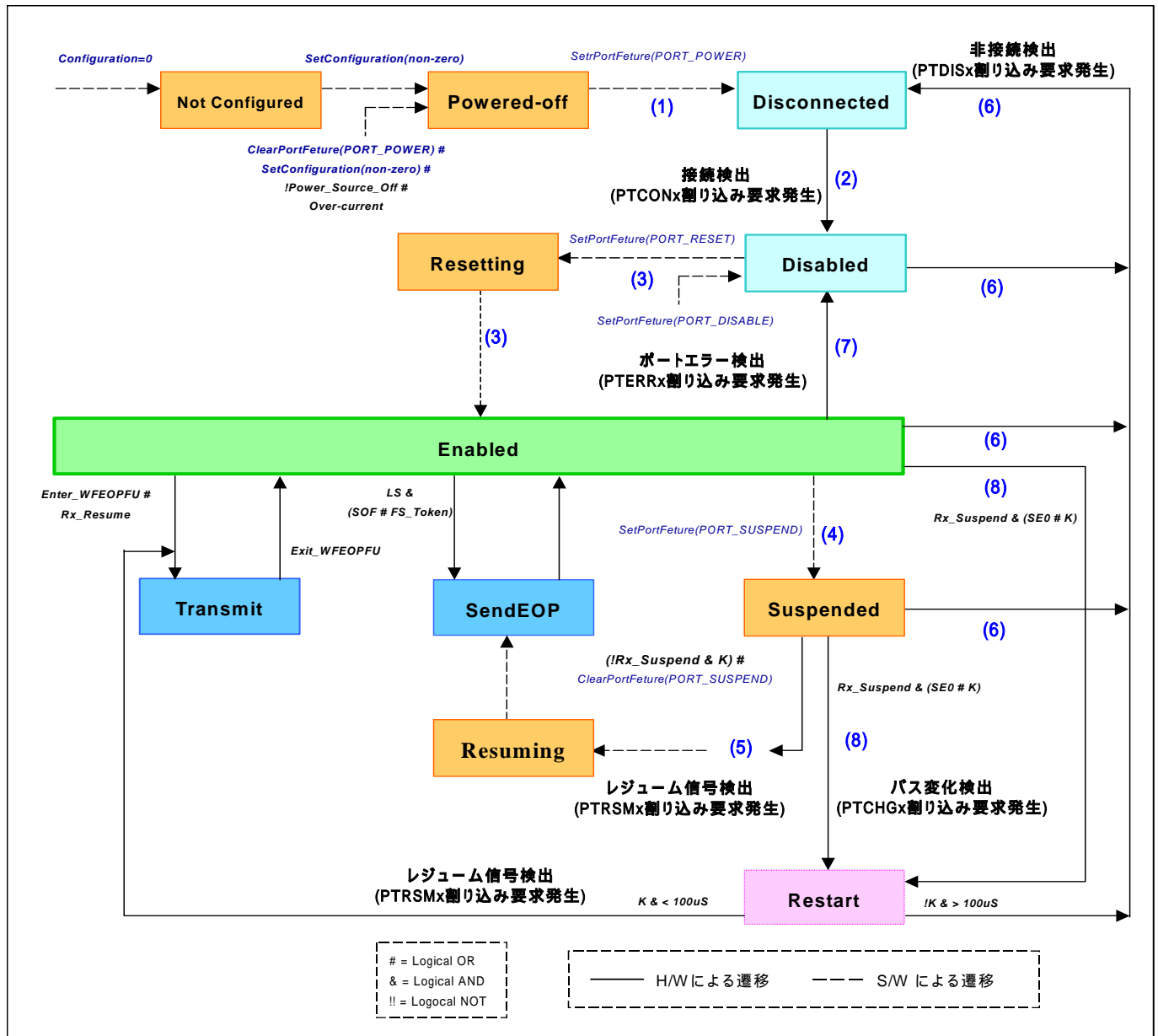


図 4.5 ダウンポート状態遷移図

【図4.6 ダウンポートステート遷移図】の補足事項は以下の通りです。
おもに、USBハブダウンポート割り込みの各要因(DPx割り込み要因レジスタの割り込みビット)とDPx制御レジスタの各制御ビットの関係について説明します。

USBハブが通常状態の時

- (1) **Powerd-off** **Disconnected**
- ・ホストから、SetPortFeature(PORT_POWER)リクエストを受信すると、USBハブはダウンポート接続検出の準備をします。
 - ・DPx制御レジスタ(DPxCON)のダウンポートx接続ビット(DSCONNx)を"0"、ダウンポートx接続状態検出許可ビット(DSDETEx)を"1"にセットし、接続検出を許可状態(=PTCONx割り込み要求待ち)にします。
(なお、USBハブがパワーオンしてから100ms経過までは電源安定待ち時間を設けています。この間は接続/非接続を検出しません。100msをF/Wでタイマカウントしてから接続検出/非接続検出を許可します。)
 - ・HUB割り込み要因許可レジスタ(HUBICON)のHUBアップポートリモートウエイクアップ信号出力許可ビット(HRWUE)="1"(許可)にセットします。このビットを許可することで、USBハブがサスペンド状態の時、ダウンポートに2.5 μ s以上Kステートを検出した場合、アップポートにKステート信号を出力し、同時に、HUBアップポートリモートウエイクアップ出力ビット(HRWU)がH/Wにて自動的にセットされます。
- (2) **Disconnected** **Disabled**
- ・ダウンポートの接続(D+またはD-のプルアップ)を検出すると、PTCONx割り込み要求が発生します。
 - ・DPx制御レジスタ(DPxCON)のダウンポートx接続ビット(DSCONNx)を"1"、ダウンポートx接続状態検出許可ビット(DSDETEx)を"0"にセットし、4ms後、再び"1"にセットし、非接続検出を許可状態(=PTDISx割り込み要求待ち)にします。(**Disabled** へ状態遷移してから4ms間は接続/非接続を検出しません。4msをF/Wでタイマカウントしてから非接続検出を許可します。)
 - ・PTCONx割り込み要求発生時、DSDETExビットはH/Wにて自動的にクリアされます。
- (3) **Disabled** **Resetting** **Enabled**
- ・ホストから、SetPortFeature(PORT_RESET)を受信すると、USBハブはダウンポートに対してRESET信号(10ms以上のSE0)を出力します。
 - ・DPx制御レジスタ(DPxCON)のダウンポートx接続SE0信号送信ビット(DSRSTOx)を"1"にセットし、ダウンポートにSE0を出力します。F/Wで約10ms(RESET信号時間)タイマカウントした後、DSRSTOxを"0"にセットし、SE0出力を終了します。
 - ・SE0出力を終了した時点で、Enabled状態に遷移し、DPx制御レジスタ(DPxCON)のダウンポート許可ビット(DSPTENx)を"1"にセットします。
 - ・DPx制御レジスタ(DPxCON)のダウンポートx接続ビット(DSCONNx)を"1"、ダウンポートx接続状態検出許可ビット(DSDETEx)を"0"にセットし4ms後再度"1"にセットし、非接続検出を許可状態(=PTDISx割り込み要求待ち)にします。
 - ・DPx制御レジスタ(DPxCON)のダウンポートxバス状態読み込みモード制御ビット(DSRMODx)を"0"にセットし、DPxステータスレジスタ(DPxSTS)の内容を読み出し、ダウンポートデバイスの転送スピードをチェックします。読み出し後は、DSRMODxは"1"にセットします。
 - ・Full-SpeedならDPxCONレジスタのダウンポートxUSB転送スピード選択ビット(DSLSPDx)を"0"に、Low-SpeedならDPxCONレジスタのダウンポートxUSB転送スピード選択ビット(DSLSPDx)を"1"にセットします。
- (4) **Enabled** **Suspended**
- ・ホストから、SetPortFeature(PORT_SUSPEND)を受信すると、USBハブはダウンポートをSuspended状態にします。
 - ・DPx制御レジスタ(DPxCON)のダウンポートxサスペンドビット(DSSUSPx)を"1"にセットします。
 - ・ダウンポートx接続状態検出許可ビット(DSDETEx)を"0"にセットし、4ms後、再び"1"にセットし、非接続検出を許可状態(=PTDISx割り込み要求待ち)にします。
(**Suspended** へ状態遷移してから4ms間は接続/非接続を検出しません。4msをF/Wでタイマカウントしてから非接続検出を許可します)

- (5) **Suspended** **Resuming**
- ・ホストから、ClearPortFeature(PORT_SUSPEND)を受信、または、ダウンポートからのリモートウェイクアップ信号(Kステート信号)を検出すると、USBハブはダウンポートに対してレジューム信号を出力します。
 - ・ダウンポートからリモートウェイクアップ信号(Kステート信号)を検出した時は、PTRSMx割り込み要求が発生します。
 - ・ホストからダウンポートに対するClearPortFeature(PORT_SUSPEND)を受信した場合、DPx制御レジスタ(DPxCON)のダウンポートxレジューム信号送信ビット(DSRSMOx)を"1"にセットし、ダウンポートに約20msのKステート信号を出力します。F/Wで約20msタイマカウントした後、DSRSMOxを"0"にセットし、Kステート信号出力を終了します(この時、H/Wでは、Low-Speed EOPを出力して終了します)。
 - ・PTRSMx割り込み要求発生時、DSSUSPxビットはH/Wにて自動的にクリアされます。
- (6) **Disabled** または **Enabled** または **Suspended** **Disconnected**
- ・ダウンポートの非接続(D+またはD-のプルアップ消失)を検出すると、PTDISx割り込み要求が発生します。
 - ・ダウンポートx接続ビット(DSCONNx)を"0"、ダウンポートx接続状態検出許可ビット(DSDETEEx)を"1"にセットし、接続検出を許可状態(=PTCONx割り込み要求待ち)にします。
 - ・PTDISx割り込み要求発生時、DSPTENxビット、DSSUSPxビット、DSDETEExビットは、H/Wにて自動的にクリアされます。
- (7) **Enabled** **Disabled**
- ・ClearPortFeature(PORT_ENABLE)を受信またはダウンポートにポートエラーが発生すると、PTERRx割り込み要求が発生します。
 - ・ダウンポートx接続状態検出許可ビット(DSDETEEx)を"0"にセットし、4ms後、再び"1"にセットし、非接続検出を許可状態(=PTDISx割り込み要求待ち)にします。
 - (**Disabled**へ状態遷移してから4ms間は接続/非接続を検出しません。4msをF/Wでタイマカウントしてから非接続検出を許可します)
 - ・PTERRx割り込み要求発生時、DSPTENxビット、DSDETEExビットは、H/Wにて自動的にクリアされます。
 - ・USBファンクション(内蔵ダウンポート)に対するClearPortFeature(PORT_ENABLE)を受信した場合、USBファンクションのアドレス初期化(USBAEレジスタのAD0Eビットを"0"にセット)を実行します。

USBハブがサスペンド状態の時

- (8) **Suspended** または **Enabled** から **Restart** **Transmit** **Enabled**
- ・USBハブがサスペンド状態の時、ダウンポートから、連続2.5 μ s以上のKステート信号を検出すると、PTRSMx割り込み要求が発生します。ただし、USBハブがサスペンド状態の時は、USBデバイスブロックに対するクロック供給(USBクロック)が停止していますので、初めは、ダウンポートのバス状態の変化を検出してPTCHGx割り込み要求が発生します。このPTCHGx割り込みは、USBデバイスブロックに対するクロック供給(USBクロック)が停止していても発生します。USBハブがサスペンド時に受け付けるレジューム割り込みと同じです。
 - ・PTCHGx割り込みが要求発生後、USBハブがサスペンド状態に入る前の設定に復帰し、PLL回路出力クロックを許可します。復帰方法等は[2.4.3 USBレジューム割り込み]参照してください。
 - ・PTCHGx割り込み要求発生後、PTRSMx割り込み要求が発生します。
 - ・上記、連続2.5 μ sのKステート信号は、ダウンポートからのリモートウェイクアップ信号になります。USBハブは、アップポートにKステート信号を出力し、同時にHUB割り込み要因レジスタ(HUBIREQ)のHUBアップポートリモートウェイクアップ出力ビット(HRWU)を"1"にセットします(H/Wによるセット)。F/Wで約10ms(リモートウェイクアップ信号出力時間)をタイマカウントした後、HRWUを"0"にセットし、Kステート信号出力を終了します。この時、HRWUEビットを、一旦、"0"(禁止)にしてから"1"(許可)します。
 - ・DSSUSPxビットは、PTRSMx割り込み要求発生時、H/Wにて自動的にクリアされます。

- (9) **Enabled** または **Suspended** から **Restart** **Disconnected**
- ・USBハブがサスペンド状態の時、ダウンポートから、連続2.5 μ s以上のSE0信号を検出すると、PTDISx割り込み要求が発生します。ただし、(8)と同様に、初めは、ダウンポートのバス状態の変化を検出してPTCHGx割り込み要求が発生します。
 - ・PTCHGx割り込み要求が発生後、USBハブがサスペンド状態に入る前の設定に復帰し、PLL回路出力クロックを許可します。復帰方法等は[2.4.3 USBレジューム割り込み]を参照してください。
 - ・PTCHGx割り込み要求が発生後、PTDISx割り込み要求が発生します。
 - ・上記、連続2.5 μ sのSE0信号は、ダウンポートのDetach信号になります。USBハブは、リモートウエイクアップビット(WKUP)を"1"にセットし、アップポートにKステート信号を出力します。F/Wで約10msをタイマカウントした後、WKUPを"0"にセットし、Kステート信号出力を終了します。
 - ・ダウンポートx接続ビット(DSCONNx)を"0"、ダウンポートx接続状態検出許可ビット(DSDETEEx)を"1"にセットし、接続検出を許可状態(=PTCONx割り込み要求待ち)にします。
 - ・PTDISx割り込み要求発生時、DSPTENxビット、DSSUSPxビット、DSDETEExビットは、H/Wにて自動的にクリアされます。
- (10) **Disconnected** **Disabled**
- ・USBハブがサスペンド状態にある時、ダウンポートの接続(JまたはKステート信号)を検出した場合、PTCONx割り込み要求が発生します。ただし、(8)と同様に、初めは、ダウンポートのバス状態の変化を検出してPTCHGx割り込みが発生します。
 - ・PTCHGx割り込みが発生後、USBハブがサスペンド状態に入る前の設定に復帰し、PLL回路出力クロックを許可します。復帰方法等は[2.4.3 USBレジューム割り込み]を参照してください。
 - ・USBハブはPLL回路出力クロックが再開した後、一定時間の連続するJまたはKステート信号を検出すると、PTDISx割り込み要求が発生します。
 - ・リモートウエイクアップビット(WKUP)を"1"にセットし、アップポートにKステート信号を出力します。F/Wで約10msをタイマカウントした後、WKUPを"0"にセットし、Kステート信号出力を終了します。
 - ・DPx制御レジスタ(DPxCON)のダウンポートx接続ビット(DSCONNx)を"1"、ダウンポートx接続状態検出許可ビット(DSDETEEx)を"1"にセットし非接続検出を許可状態(=PTDISx割り込み要求待ち)にします。
 - ・PTCONx割り込み要求発生時、DSDETEExビットはH/Wにて自動的にクリアされます。

4.5. ダウンポートステータス情報

USBハブがConfiguredされると、ホストから一定周期*¹で、エンドポイント1InterruptINが発行され、ダウンポートのステータス情報を返すよう要求されます。

USBハブ/ダウンポートステータス変化情報を、図 4.6に示すビット構成にて送信します。なお、38K2グループは3本のダウンポート情報を送信しますので、1バイト固定送信になります(送信バイト数はダウンポート数に依存します)。

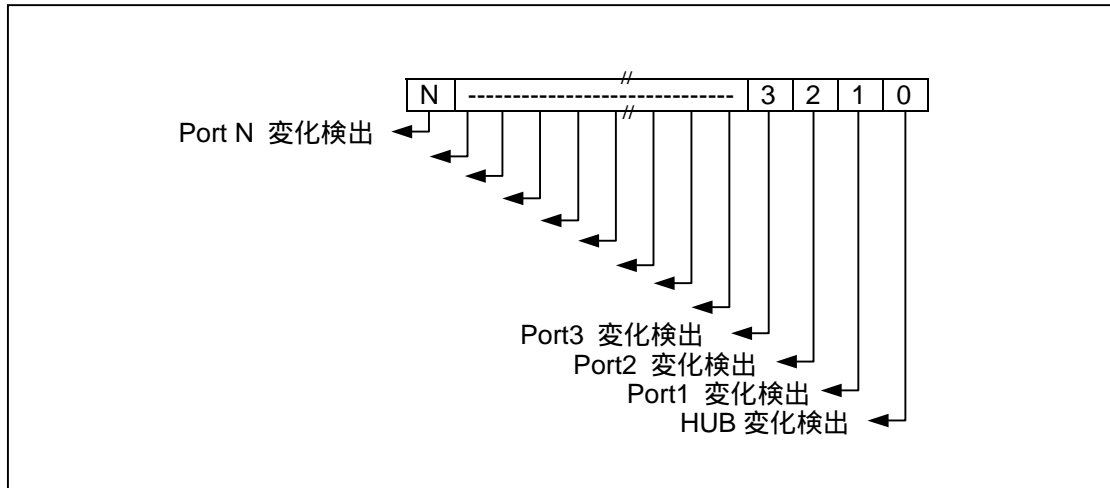


図 4.6 USB ハブ/ポートステータスエンドポイント1 データバッファ0

*¹ エンドポイントディスクリプタにてインターバル値を報告します。

4.6. ダウンポート過電流検出/過電流保護

USB仕様Ver2.0では、バスパワーハブのダウンポートの電力供給をON/OFF制御することが義務付けられています。汎用電流制御ICを使用しダウンポート電源のON/OFF、電流制限、過電流検出を行うH/W例を図 4.7に示します。汎用電流制御ICの機能例を表 4.4に示します。

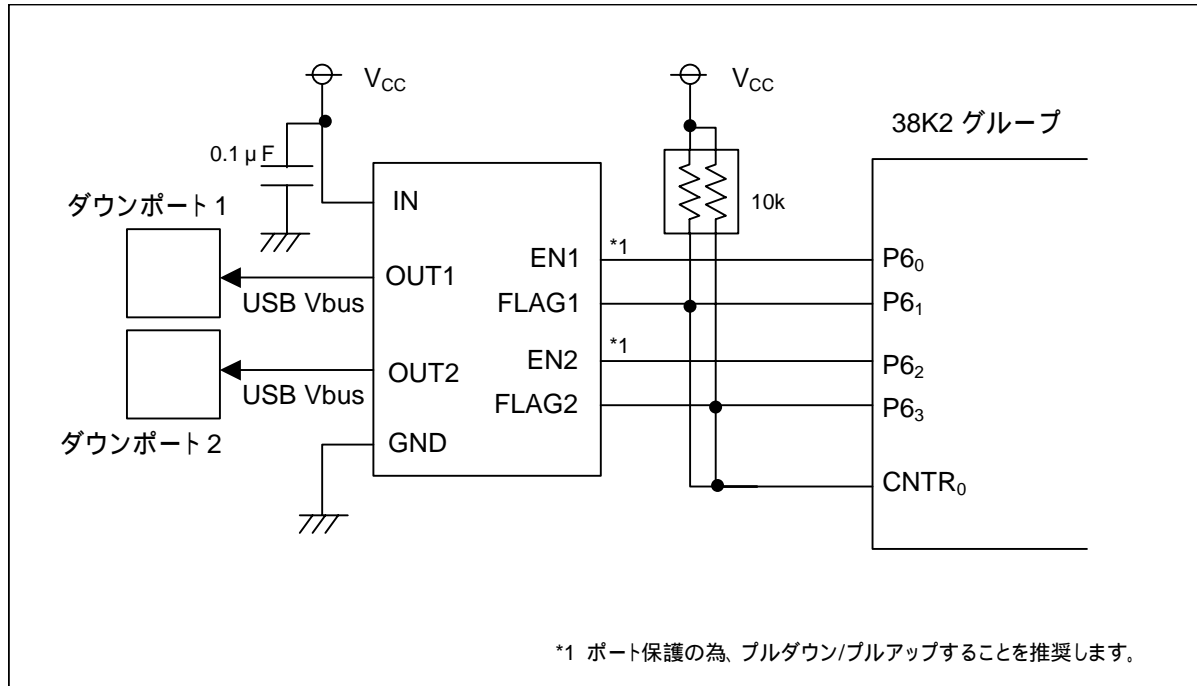


図 4.7 汎用電流制御 IC の接続例

表 4.4 汎用電流制御 IC の機能例

略称	機能
EN1	ダウンポート1の電源 SW
OUT1	ダウンポート1の電源出力
FLAG1	ダウンポート1の過電流検出(電流リミットを 1A にホールド)
EN2	ダウンポート2の電源 SW
OUT2	ダウンポート2の電源出力
FLAG2	ダウンポート2の過電流検出(電流リミットを 1A にホールド)
IN	電源供給端子
GND	GND

図 4.7にある電源制御ICから汎用ポート(P6₀、P6₂)およびCNTR₀端子に、ダウンポートの過電流を検出する手順例を以下に示します。S/W処理例は図 4.8に示します。

(1) 汎用ポートによる過電流検出

P6₀、P6₂を使用し、このポートが 1ms 以上”L”(電源制御 IC の仕様)の場合、過電流とみなします。検出はレベル安定のため数 ms 間チャタリング除去(回数はお客様のシステムに依存します)行ってください。

過電流検出時は、ダウンポートの電源出力を OFF し、ポートステータスはパワーオフステート(Powered Off)/過電流検出に設定します。

(2) CNTR₀ 端子による過電流検出

サスペンド時、過電流検出で復帰する為に、CNTR₀ 割り込み(外部要因割り込み)を使用します。

立ち下がりエッジ(H L)で復帰し、上記(1)と同様の処理を行い過電流を検出します。

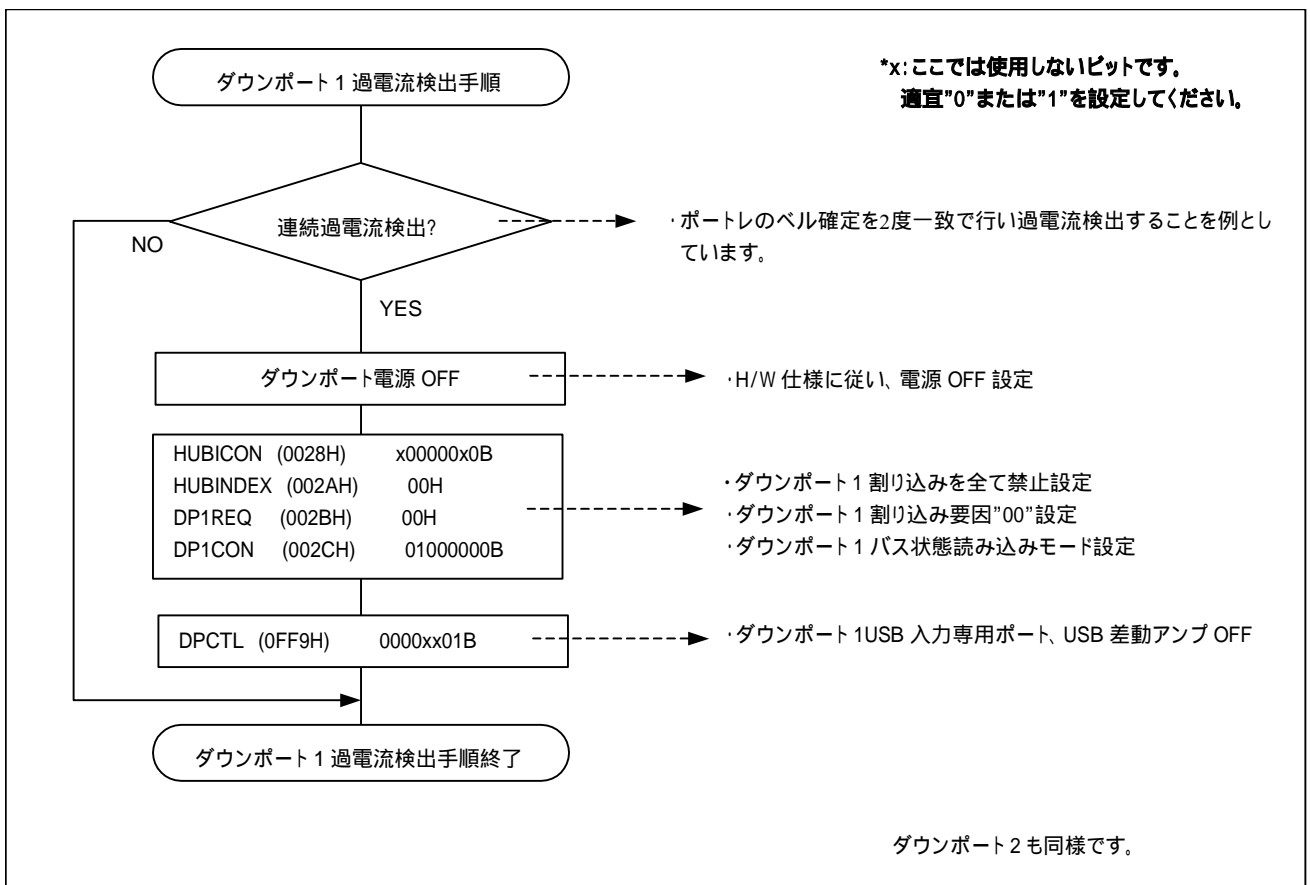
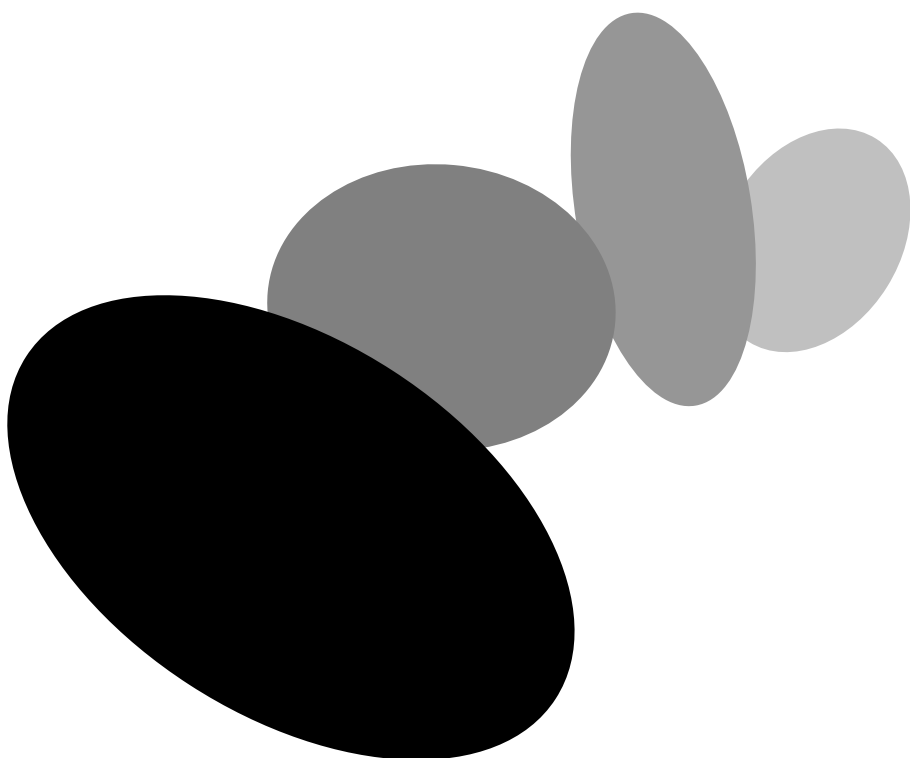


図 4.8 ダウンポート過電流検出時の処理手順例



第 5 章

USB ファンクション制御

本章は、USB ハブの内蔵ダウンポートにあたる USB ファンクション制御及びコンパウンドデバイス(USB ハブ+USB ファンクション)としての処理例について説明します。

5.1. USB ファンクションを使用するために

38K2グループはUSBファンクションアドレスを使用することで、内蔵ダウンポートに仮想的に接続されたデバイスとして動作が可能です。

USBファンクションのリセット、サスペンド、レジュームは、USBハブと同様、USBコンパウンドデバイスとして処理を行います。ただし、USBファンクションは、USBハブダウンポートに接続された擬似的なデバイスなため、ホストからはダウンポートに対するクラスリクエスト(ポートリクエスト)として制御されます。

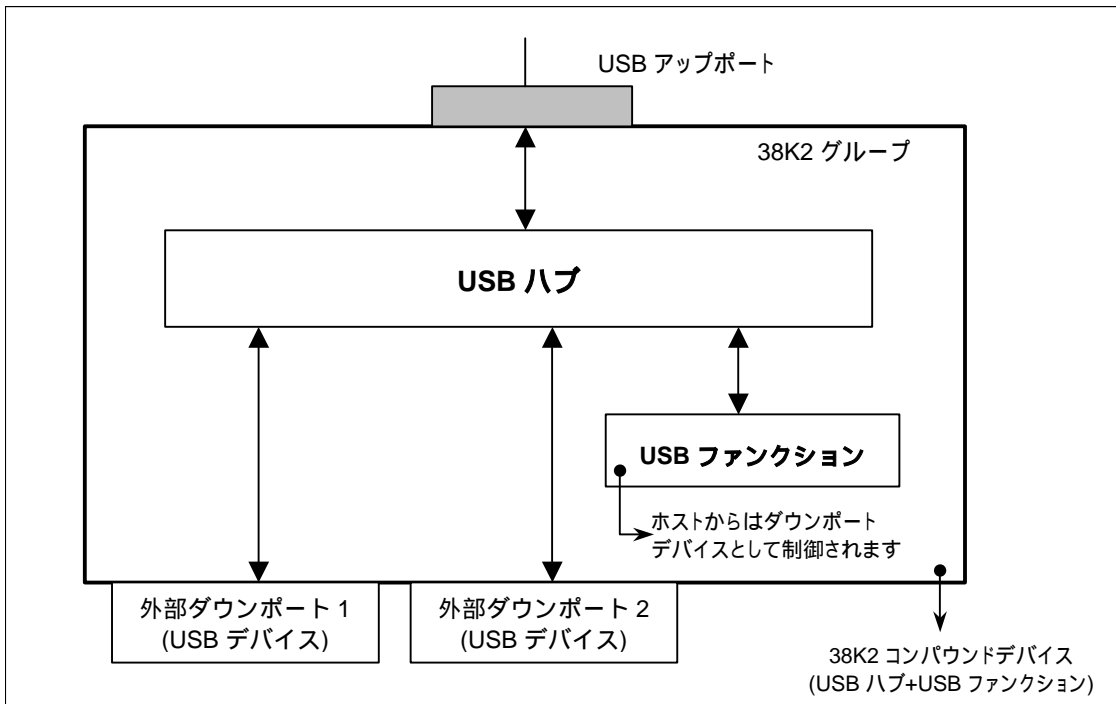


図 5.1 38K2 グループ内部イメージ

5.2. デバイスステート遷移

USBファンクションはUSB仕様Ver2.0で定義されたステートを持ち、ステート間を遷移します。38K2グループのUSBファンクションは、デバイスステートの遷移を、エンドポイント0ハブクラスリクエスト処理、エンドポイント0デバイス標準リクエスト処理、USBハブのUSBサスペンド割り込み要求、USBレジューム割り込み要求で行います。

USBファンクションのデバイスステート遷移図を図 5.2に示します。

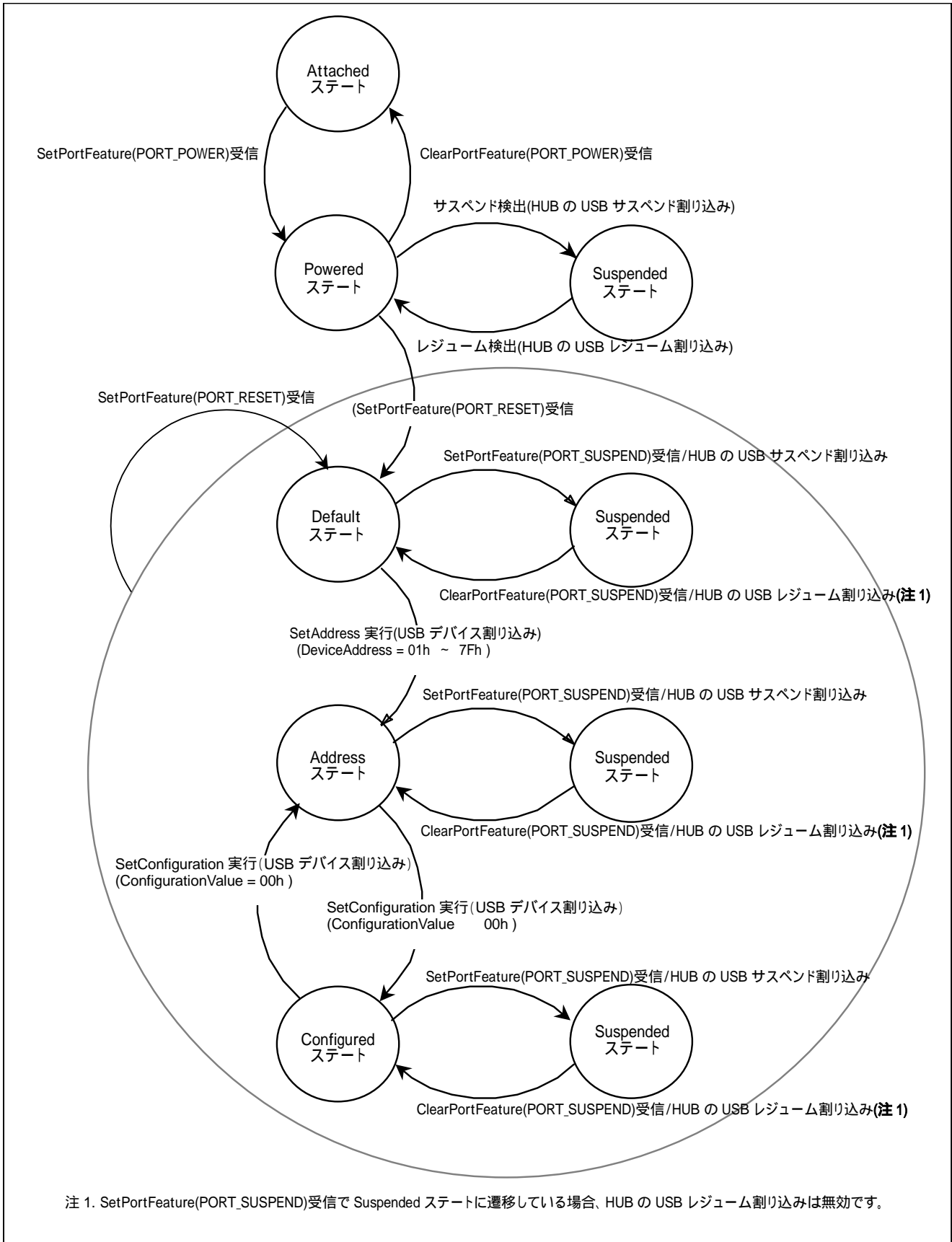


図 5.2 USB ファンクションのデバイスステート遷移

5.3. USB リセット(初期設定)

デバイス(USBハブ+USBファンクション)の初期設定手順例について説明します。

USBバスリセット割り込み受信時

USBファンクションのアドレス初期化(USBファンクションアドレス禁止)を実行します。
USBハブ処理同様、[2.3 USBバスリセット割り込み]を参照してください。

SetPortFeature(PORT_PESET)Request受信時

USBハブがConfigurationされると、ホストから、ダウンポートに対してRESETを実行するHUB RequestのSetPortFeature(PORT_PESET)Requestが送られてきます。USBファンクション(内蔵ダウンポート)に対してこのRequestを受信した場合、USBファンクションの初期化を実行します。

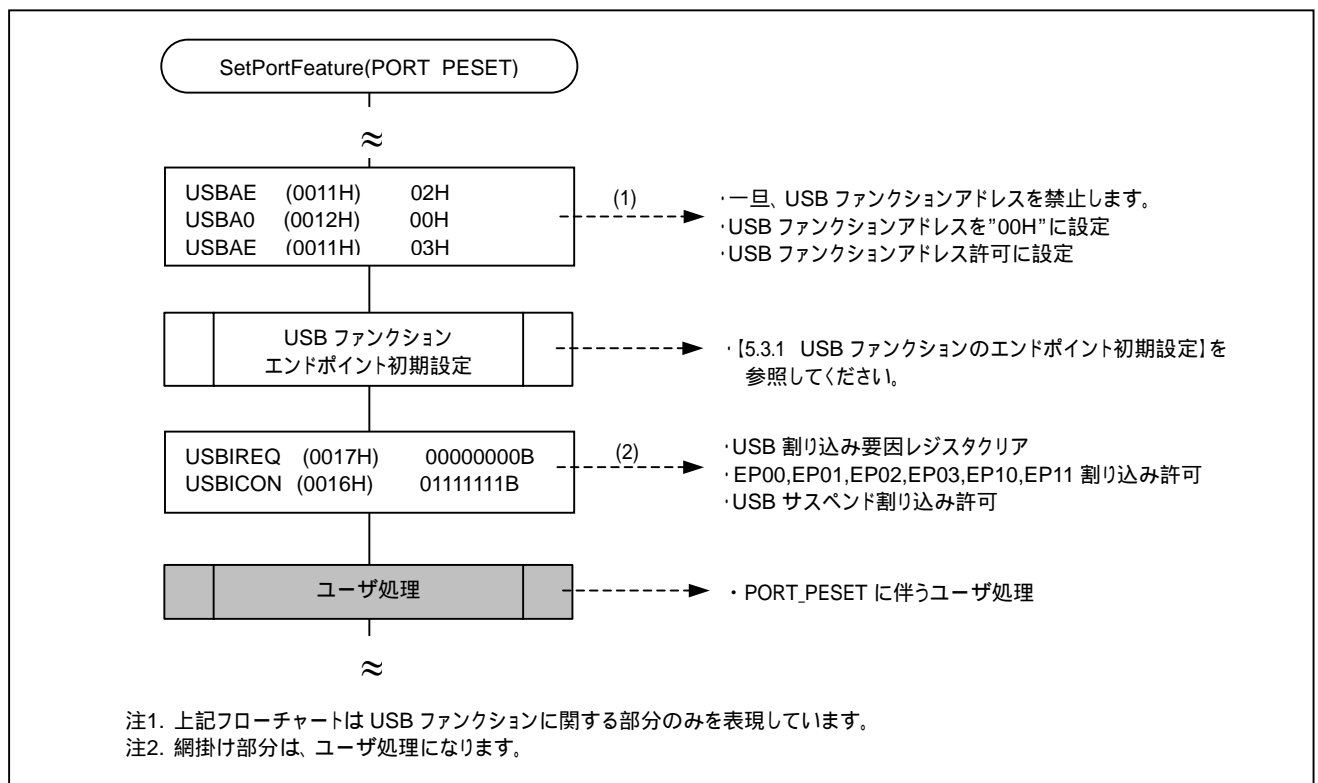


図 5.3 SetPortFeature(PORT_PESET)受信時の USB ファンクション初期設定手順例

【図 5.3 SetPortFeature(PORT_PESET)受信時のUSBファンクション初期設定手順例】の補足事項は以下の通りです。

(1) USBファンクションアドレス初期化

・USBA0レジスタにアドレスを設定する場合、USBAEレジスタのUSBファンクション許可ビット(AD0E)が"0" "1"に変化するとUSBA0レジスタの内容が有効になります。但し、ホストからのSET_ADDRESSの場合は、AD0E ビットが"1"の時、コントロール転送完了後にUSBA0レジスタの内容が自動的に有効になります(H/W制御)。

(2) USB関連割り込みの設定

・USB割り込み要因レジスタ(USBIREQ)をクリアします(USBモジュール(USBEビット="0")をリセットした場合には、自動的にクリアされます)。
・USB割り込み要因許可レジスタ(USBICON)のUSBサスペンド割り込み(SUSE)、USBファンクション/エンドポイント0割り込み(EP00E)、USBハブ/エンドポイント0割り込み(EP10E)を許可にします。USBファンクション/エンドポイント1~3割り込み(EP0xE)、USBハブ/エンドポイント1割り込み(EP11E)は、必要に応じて設定します。

5.3.1. USB ファンクションのエンドポイント初期設定

USBインデックスレジスタで設定するエンドポイントを指定した後、各エンドポイントの最大パケットサイズ(OUT転送使用時)、転送手順などを設定します。必要に応じて、USB割り込みの許可を行ってください。

各エンドポイントのバッファ領域の先頭アドレスを指定しますが、シングルバッファ時とダブルバッファ時で、アドレスが重ならないよう注意が必要です。詳細は[5.8.5 エンドポイント1~3バッファ領域設定]を参照してください。

USBファンクションのエンドポイント初期設定例を図 5.4に示します。



図 5.4 USBファンクション エンドポイント初期設定例

5.4. USB サスペンド

デバイス(USBハブ+USBファンクション)としてのサスペンド処理例について説明します。

USBサスペンド割り込み受信時

USBファンクションは、USBハブと同時にサスペンドステートに遷移し、低消費電力モードに移行します。USBハブ処理同様、[2.4.2 USBサスペンド割り込み]を参照してください。

サスペンドステートに遷移した場合、デバイス側の要因によりレジュームを行いたい場合、リモートウエイクアップ信号を送出しホストに対してレジューム要求を促します。リモートウエイクアップ機能をサポートしていて、ホストからリモートウエイクアップ許可されている場合には、ユーザシステム仕様に従い、ウエイクアップ条件とする割り込みを許可します。USBハブ処理同様、[2.4.3.1 リモートウエイクアップ]を参照してください。

SetPortFeature(PORT_SUSPEND)Request受信時

ホストは、USBハブダウンポートに接続されたデバイスをサスペンド状態にする場合、HUB RequestのSetPortFeature(PORT_SUSPEND)Requestを発行します。

38K2グループは、USBファンクション(内蔵ダウンポート)に対してこのRequestを受信した場合、ダウンポートステータスとして管理します。

5.5. USB レジューム

デバイス(USBハブ+USBファンクション)としてのレジューム処理例について説明します。

USBレジューム割り込み受信時

サスペンドステートの時、USBファンクションはコンパウンドデバイスとして、USBハブと同時にサスペンドステートを解除し、サスペンド前のステートに遷移します。USBハブ処理同様、[2.4.3 USBレジューム割り込み]を参照してください。

ClearSetPortFeature(PORT_SUSPEND)Request受信時

ホストは、USBハブダウンポートに接続されたデバイスをレジュームさせる場合、HUB RequestのClearPortFeature(PORT_SUSPEND)Requestを発行します。

38K2グループは、USBファンクション(内蔵ダウンポート)に対してこのRequestを受信した場合、ダウンポートステータスとして管理します。

5.6. USB ファンクション/エンドポイント割り込み

USBファンクションのエンドポイント x^{*1} 割り込みには以下の種類があります。

エンドポイント0 データの送受信終了時に割り込み発生

- エンドポイント0データバッファレディ割り込み
- コントロール転送完了割り込み
- ステータスステージ遷移割り込み
- エンドポイント0 SETUPバッファレディ割り込み
- エラー割り込み

エンドポイント x データの送受信終了時に割り込み発生

- エンドポイント x データバッファ0レディ割り込み
- エンドポイント x データバッファ1レディ割り込み
- エラー割り込み

USB ファンクション/エンドポイント x 割り込みが発生する条件

以下の全てが満たされた場合、USB ファンクション/エンドポイント x 割り込みが発生します。

- ・プロセッサステータスレジスタの割り込み禁止フラグ(I フラグ)が"0"(割り込み許可)
- ・割り込み制御レジスタ(ICON1)の USB デバイス割り込み許可ビットが"1"(許可状態)
- ・割り込み要求レジスタ(IREQ1)の USB デバイス割り込み要求ビットが"1"(要求あり)
- ・USB 割り込み要因許可レジスタ(USBICON)のエンドポイントに対応する USB ファンクション/エンドポイント x 割り込み許可ビット(EP0xE)が"1"(許可状態)
- ・USB 割り込み要因レジスタ(USBIREQ)のエンドポイントに対応する USB ファンクション/エンドポイント x 割り込みビット(EP0x)が"1"(要求あり)
このビットは、EP0x 割り込み要因レジスタ(EP0xREQ)の少なくとも 1 ビットが"1"セットされるとセットされません。S/W でセット/クリアすることはできません。
- ・エンドポイントに対応する(エンドポイントインデックスレジスタ(USBINDEX)で示されるエンドポイント値)、EP0x 割り込み要因レジスタ(EP0xREQ)の対応する割り込みビットが"1"(要求あり)
(EP0x 割り込み要因レジスタ(EP0xREQ)を参照する際は、エンドポイントインデックスレジスタ(USBINDEX)に対応するエンドポイント x を設定します。)

USB ファンクション/エンドポイント x 割り込み処理

- ・割り込み処理例については [3.2.3 エンドポイント 0 割り込み] と [5.8.6 エンドポイント x 割り込み] を参照してください。
- ・USB ファンクション/エンドポイント x 割り込みが受け付けられる、大元の USB デバイス割り込み要求フラグは、割り込み発生と同時にクリアされるため割り込み処理中にクリアする必要はありません。しかし、USB 割り込み要因レジスタ(USBIREQ) の USB ファンクション/エンドポイント x 割り込みビット(EP0x)は S/W でクリアすることができません。エンドポイントに対応する EP0x 割り込み要因レジスタ(EP0xREQ)を"00"クリアすることで、H/W クリアされます。

*1 5.6 章以降のエンドポイント x の" x "は"1"、"2"、"3"を示します。

5.7. USB SOF 割り込み

USB SOF割り込みは、アイソクロナス転送時に使用する割り込みです。

(1) USB SOF 割り込み要求発生要因

- ・USBデバイス制御ユニットがホストからSOFパケットを受信したとき、割り込み要求が発生します。
- ・割り込み制御レジスタ(ICON1)のUSB SOF割り込み許可ビットが"1"の時、ホストPC からSOFパケットが送信された時、USB SOF割り込みが発生します。SOFパケットが何らかの要因で破壊され、SOFパケットを正しく受け取れなかった時は、USB SOF割り込みが発生しません。

(2) USB SOF割り込みを受け付けた時の動作

ホストから受け取ったSOF パケットのフレームナンバー(11 ビット)は、フレームナンバーレジスタ(FNUML、FNUMH)にH/Wにて自動的に格納されます。

(3) USB SOF割り込みを使用するための設定

割り込み制御レジスタ(ICON1)のUSBバスリセット割り込み許可ビットを"1"の許可状態に設定します。

(4) USB SOF割り込みが発生する条件

以下の全てが満たされた場合、USB SOF 割り込みが発生します。

- ・プロセッサステータスレジスタの割り込み禁止フラグ(I フラグ)が"0"(割り込み許可)
- ・割り込み制御レジスタ(ICON1)の USB SOF 割り込み許可ビットが"1" (許可状態)
- ・割り込み要求レジスタ(IREQ1)のUSB SOF割り込み要求ビットが"1" (要求あり)

表 5.1 USB SOF 割り込み関連レジスタ

アドレス	略称	レジスタ名
003CH	IREQ1	割り込み要求レジスタ1
003EH	ICON1	割り込み制御レジスタ1

5.8. USB 送受信

USBファンクションのUSB送受信では、エンドポイント0はコントロール転送固定で使用します。エンドポイント1～3は、インタラプト転送、バルク転送、アイソクロナス転送に使用します。

5.8.1. エンドポイント設定レジスタ

USBファンクションのUSB送受信(エンドポイント)関連レジスタを表 5.2～表 5.4に示します。なお、エンドポイントインデックスレジスタ(USBINDEX)には、エンドポイント0および、エンドポイント1～エンドポイント3を使用する際に、図 5.5のように、エンドポイント値を設定してください。

表 5.2 エンドポイントインデックスレジスタ

アドレス	略称	レジスタ名
0018H	USBINDEX	エンドポイントインデックスレジスタ

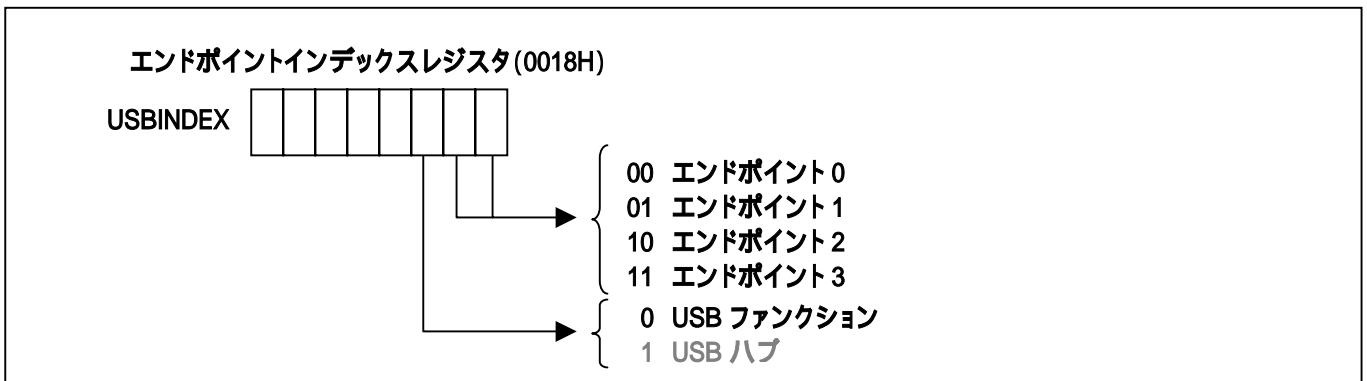


図 5.5 エンドポイントインデックスレジスタの設定

エンドポイント0(コントロール転送)設定に必要なレジスタを表 5.3に示します。

コントロール転送の最大パケットサイズは、常に8バイトに設定されます。EP00バッファ領域設定レジスタ(EP00BUF)にエンドポイント0バッファの先頭アドレスを設定してください。バッファは、コントロールコマンドバッファと、データバッファそれぞれ8バイトずつ確保できます。バッファに関する詳細は[3.2.2 エンドポイント0バッファ領域設定]を参照してください。

エンドポイント0レジスタを設定(参照)する際には、エンドポイントインデックスレジスタ(USBINDEX)を"00H"に設定してからアクセスしてください。

表 5.3 USB エンドポイント0 レジスタ

アドレス	略称	レジスタ名
0019H	EP00STG	EP00 ステージレジスタ
001AH	EP00CON1	EP00 制御レジスタ 1
001BH	EP00CON2	EP00 制御レジスタ 2
001CH	EP00CON3	EP00 制御レジスタ 3
001DH	EP00REQ	EP00 割り込み要因レジスタ
001EH	EP00BYT	EP00 送受信バイト数レジスタ
001FH	-	-
0FECH	-	-
0FEDH	EP00BUF	EP00 バッファ領域設定レジスタ

エンドポイント1~3(インタラプト転送、バルク転送、アイソクロナス転送---それぞれIN、OUT---)の設定に必要なレジスタを表 5.4に示します。

エンドポイント1~3のディスクリプタ設定にあわせて、EP0x設定レジスタ(EP0xCFG)で、送受信設定を行ってください。バッファの設定には、シングルバッファモードとDATA0とDATA1を振り分けるダブルバッファモードがあります。バッファ0の先頭アドレスをEP0xバッファ領域設定レジスタ(EP0xBUF)で設定してください。バッファ1の先頭アドレスは、EP0x設定レジスタ(EP0xCFG)のダブルバッファ先頭アドレス設定ビット(BSIZ01)で設定し、相対アドレスとして設定されます。バッファ設定に関する詳細は【5.8.5 エンドポイント1~3バッファ領域設定】を参照してください。

送受信の際の応答設定には、EP0x制御レジスタ1(EP0xCON1)を使用します。また、バッファの許可にEP0x制御レジスタ2(EP0xCON2)、EP0x制御レジスタ3(EP0xCON3)を使用します。

エンドポイントx(x=1~3)レジスタをアクセスする際には、エンドポイントインデックスレジスタ(USBINDEX)に使用するエンドポイント値(1~3)を設定してからアクセスしてください。

表 5.4 USB エンドポイントxレジスタ

アドレス	略称	レジスタ名
0019H	EP0xCFG	EP0x 設定レジスタ
001AH	EP0xCON1	EP0x 制御レジスタ 1
001BH	EP0xCON2	EP0x 制御レジスタ 2
001CH	EP0xCON3	EP0x 制御レジスタ 3
001DH	EP0xREQ	EP0x 割り込み要因レジスタ
001EH	EP0xBYT0	EP0x 送受信バイト数レジスタ 0
001FH	EP0xBYT1	EP0x 送受信バイト数レジスタ 1
0FECH	EP0xMAX	EP0x MAX パケットサイズレジスタ
0FEDH	EP0xBUF	EP0x バッファ領域設定レジスタ

5.8.2. エンドポイント 0

USBファクションのエンドポイント0動作は、USBハブのエンドポイント0動作と同じです。[3.2 エンドポイント0]を参照してください。

なお、文中のレジスタ名、ビットシンボルは参照しているフィールドが異なりますので、注意してください。例えば、バッファ設定に使用する「EP10バッファ領域設定レジスタ(EP10BUF)」は「EP00バッファ領域設定レジスタ(EP00BUF)」というように、数字の「10」を「00」に置き換えてお読みください。

5.8.3. エンドポイント 1～3

エンドポイント1～エンドポイント3では、インタラプト転送、バルク転送、アイソクロナス転送の3つの転送タイプが選べます。また、それぞれに、受信(OUT)と送信(IN)の2つの転送方向があります。

エンドポイント1～エンドポイント3のデータバッファをRAM領域に確保する必要があります。データバッファの先頭アドレスは、EP0xバッファ領域設定レジスタ(EP0xBUF)で設定します。詳細は、[5.8.5 エンドポイント1～3バッファ領域設定]を参照してください。

エンドポイント1～エンドポイント3の送受信設定では、各エンドポイントデスク립タに対応した、転送方向、転送タイプ、MAXパケットサイズを設定する必要があります。転送方向、転送タイプは、EP0x設定レジスタ(EP0xCFG)で設定します。MAXパケットサイズは、EP0xMAXパケットサイズレジスタ(EP0xMAX)で設定します。

エンドポイントxの各種転送時は、USBエンドポイントx割り込み(3要因)が発生します。詳細は、[5.8.6 エンドポイントx割り込み]を参照してください。

5.8.4. データ転送概要

データ転送は半二重転送で、少なくとも2つのパケット(トークンパケット、データパケット)により構成されます。ホストとデバイス間のデータ転送をデータパケット再送機能により保証する転送では、データパケットの後ろにハンドシェイクパケットが加わり、3パケット構成となります。転送種別は、ホストとデバイス間の通信エラーを検出せず、転送レートを保証する2パケット構成のアイソクロナス転送と、通信エラー検出行うが転送レートが保証されない3パケット構成のバルク転送、そして、通信エラー検出行い、転送レートを保証する3パケット構成のインタラプト転送、3種類があります。

データ転送を構成するトランザクション
データ転送は、以下のトランザクションで構成されます*1。なお、網掛けはデバイスがデータ送信する場合です。

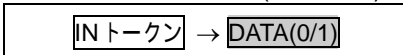
(1) バルク IN、インタラプト IN:

INトークン、データ(DATA0/1)及びハンドシェイクパケットにより構成されます。



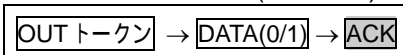
(2) アイソクロナス IN:

INトークン及びデータ(DATA0/1)により構成されます。



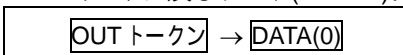
(3) バルク OUT、インタラプト OUT:

OUTトークン、データ(DATA0/1)及びハンドシェイクパケットにより構成されます。



(4) アイソクロナス OUT:

OUTトークン及びデータ(DATA0)により構成されます。



*1 (1)～(4)は、正常通信時を例としています。

データ転送の種類

データ転送は、以下のようなトランザクション構成*1で通信が行われます。

- (1) バルク IN 転送、インタラプト IN 転送:



- (2) アイソクロナス IN 転送:



- (3) バルク OUT 転送、インタラプト OUT 転送:



- (4) アイソクロナス OUT 転送:



5.8.5. エンドポイント 1~3 バッファ領域設定

データの送受信のために、各エンドポイントごとに、バッファ領域を確保します。

エンドポイント1~3のバッファの設定には、シングルバッファモードとダブルバッファモードがあります。バッファモードの選択は、EP0x設定レジスタ(EP01CFG)のバッファモード設定ビット(DBLB0x)で行います。

使用するエンドポイント1~3ごとに、対応するエンドポイントディスクリプタのMAXパケットサイズ以上のデータバッファ領域をRAM上に確保する必要があります。

各エンドポイントのデータバッファサイズは、IN/OUT共にMAX64バイト(シングルバッファモード時)になります。

シングルバッファモード

シングルバッファモードは、交互に送受信されるDATA0とDATA1をデータバッファ0で扱います。

使用するエンドポイント1~3ごとに、対応するエンドポイントディスクリプタのMAXパケットサイズ以上のデータバッファ0領域をRAM上に確保してください。

EP0xバッファ領域設定レジスタ(EP0xBUF)にデータバッファ0先頭アドレスを、図 5.6のように設定し、RAMに領域を確保する必要があります(例を図 5.7に示します)。

データバッファ0の先頭アドレスは、EP0xBUFに設定した値の20H倍になります。

バッファアクセスイメージを、図 5.8に示します。

*1 (1)~(4)は、正常通信時を例としています。なお、Handshake は省略しています。



図 5.6 エンドポイント x データバッファ 0



図 5.7 エンドポイント x データバッファ 0 設定例

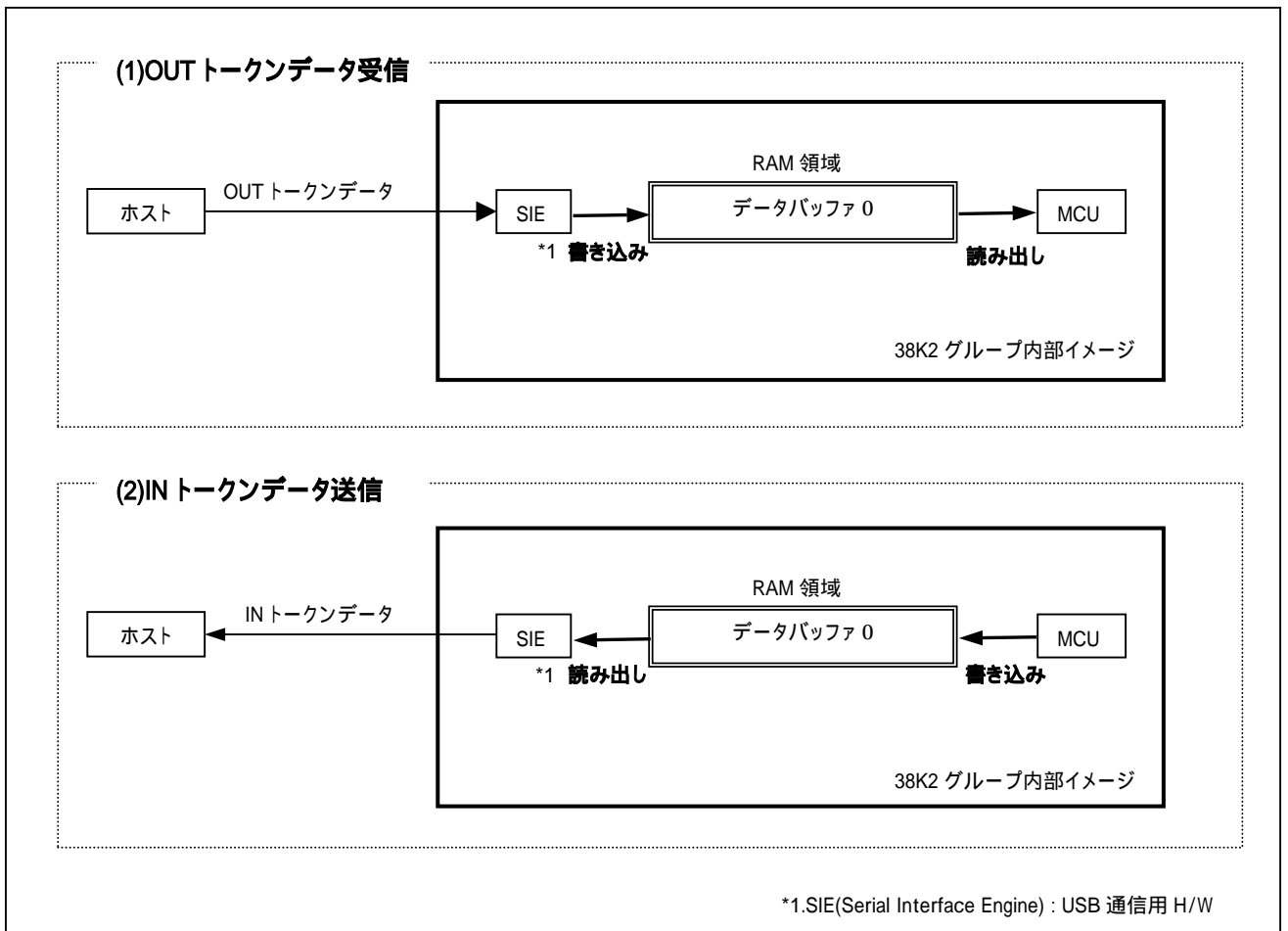


図 5.8 エンドポイント x データバッファ 0 アクセス

ダブルバッファモード

ダブルバッファモードは、交互に送受信されるDATA0をデータバッファ0に、DATA1をデータバッファ1に交互に振り分け扱います。

使用するエンドポイント1～3ごとに、対応するエンドポイントディスクリプタのMAXパケットサイズ以上のデータバッファ0領域とデータバッファ1領域をRAM上に確保してください。

EP0xバッファ領域設定レジスタ(EP0xBUF)にデータバッファ0先頭アドレスを、図 5.9のように設定し、RAMに領域を確保する必要があります。EP0x設定レジスタ(EP0xCFG)のダブルバッファ先頭アドレス設定ビットにデータバッファ1先頭アドレスを、図 5.9のように設定し、RAMに領域を確保する必要があります。(例を図 5.10に示します)

データバッファ0の先頭アドレスは、(EP0xBUFに設定した値)の20H倍になります。データバッファ1の先頭アドレスは、EP0xBUFに設定した値の20H倍にEP0xCFGの設定に対応した値を加えたアドレス値になります。

バッファアクセスイメージを、図 5.11に示します。

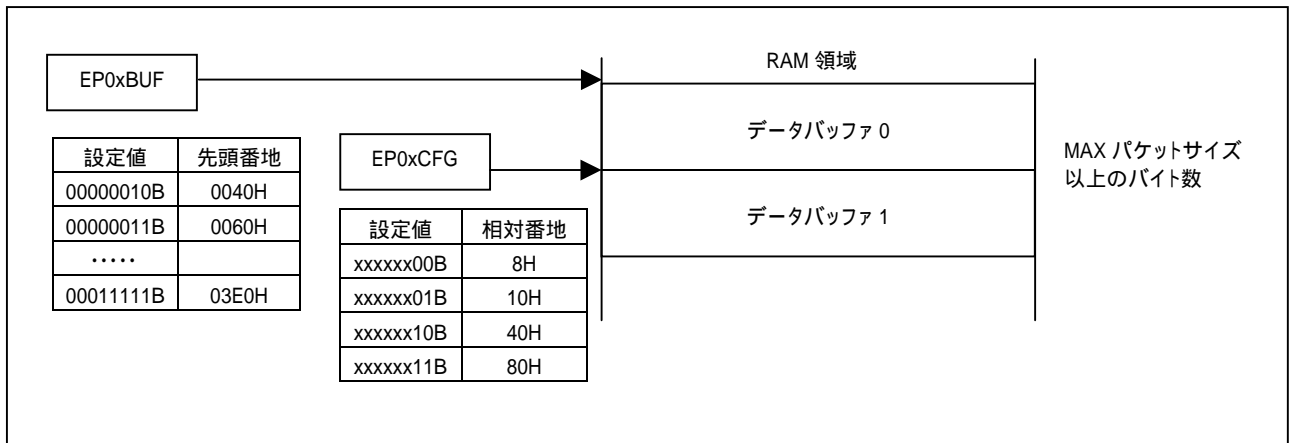


図 5.9 エンドポイントx データバッファ 0/1

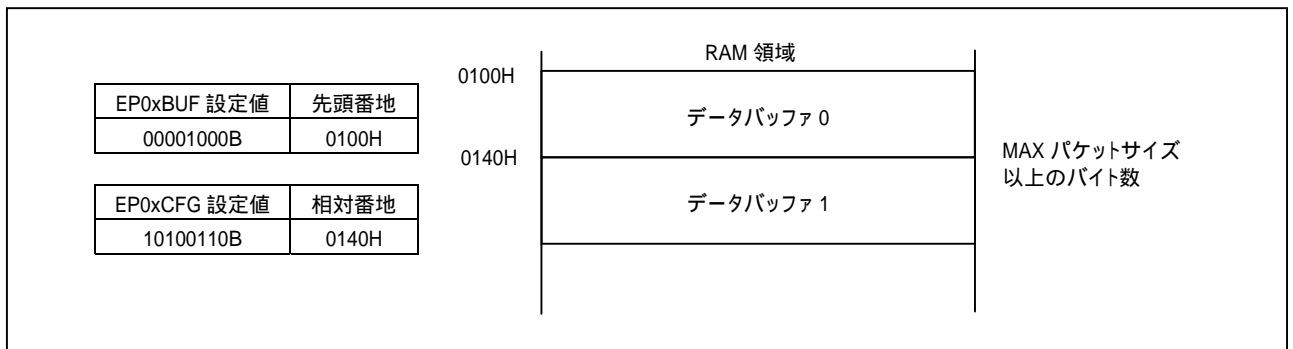


図 5.10 エンドポイントx データバッファ 0/1 設定例

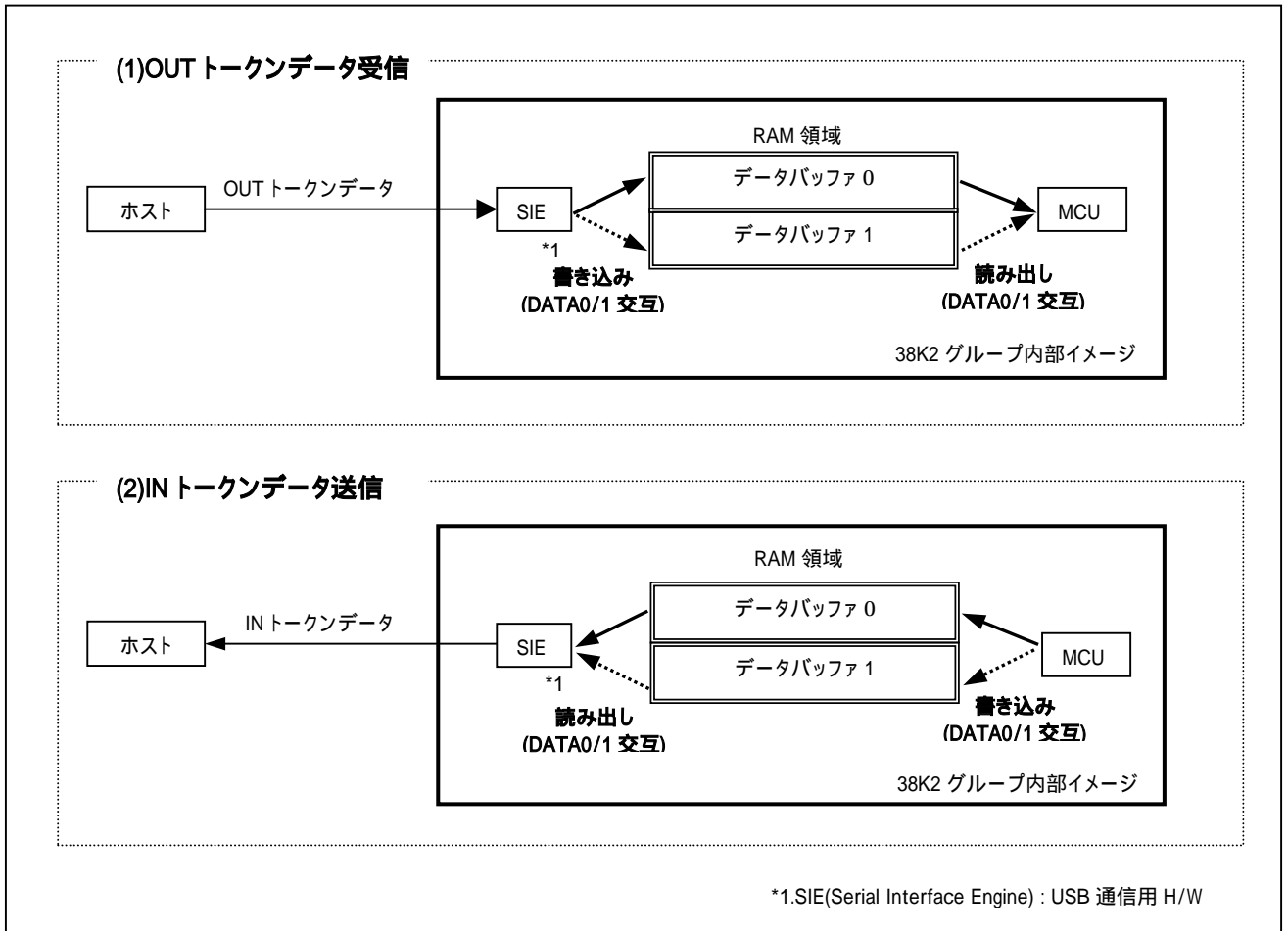


図 5.11 エンドポイント x データバッファ 0/1 アクセス

5.8.6. エンドポイント x 割り込み

エンドポイントx割り込みは、アイソクロナス転送、バルク転送、インタラプト転送時のデータフロー制御に使用する割り込みです。エンドポイントx割り込み要因レジスタを図 5.12に示します。

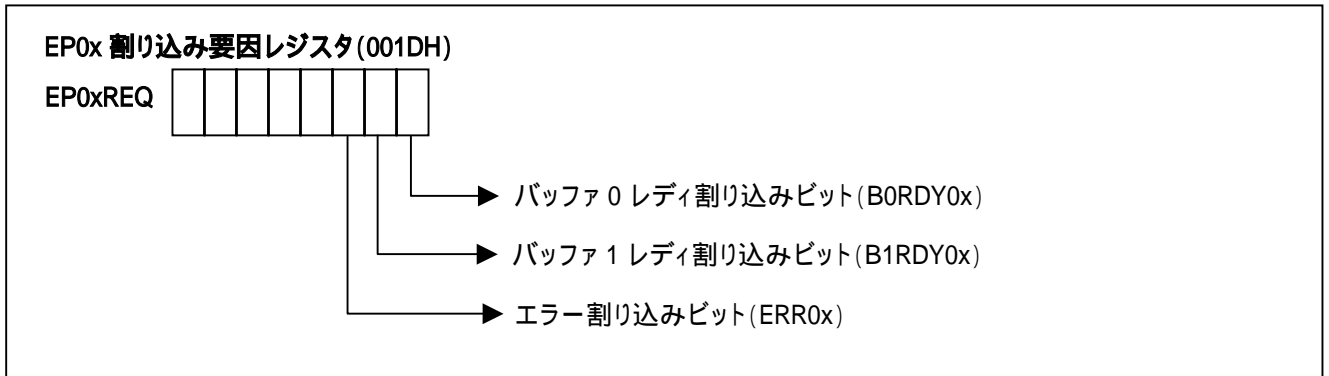


図 5.12 EP0x 割り込み要因レジスタ(EP0xREQ)

- (1) バッファ0レディ割り込みビット(B0RDY0x)
バッファ0がレディ状態(読み出し/書き込み許可状態)になると、“1”(H/Wによるセット)になります。
割り込みが発生した場合、本ビットはH/Wで自動的にクリアされない為、S/Wでクリアする必要があります。
- (2) バッファ1レディ割り込みビット(B1RDY0x)
ダブルバッファモード時、バッファ1がレディ状態(読み出し/書き込み許可状態)になると、“1”(H/Wによるセット)になります(シングルバッファモード時は無効)。
割り込みが発生した場合、本ビットはH/Wで自動的にクリアされない為、S/Wでクリアする必要があります。
- (3) エラー割り込みビット(ERR00)
セットされる条件は以下の通りです。
 - ・受信動作(OUT)において、MAXパケットエラーが発生した場合
なお、応答PIDは自動的にSTALL応答にセット(H/Wによるセット)されます。
 - ・アイソクロナス転送において正常送受信以外

エンドポイントx割り込み処理例を図 5.13に示します。各割り込み要因を判別して、エラー処理、送受信の設定、バッファの読み出し、書き込みを行ってください。

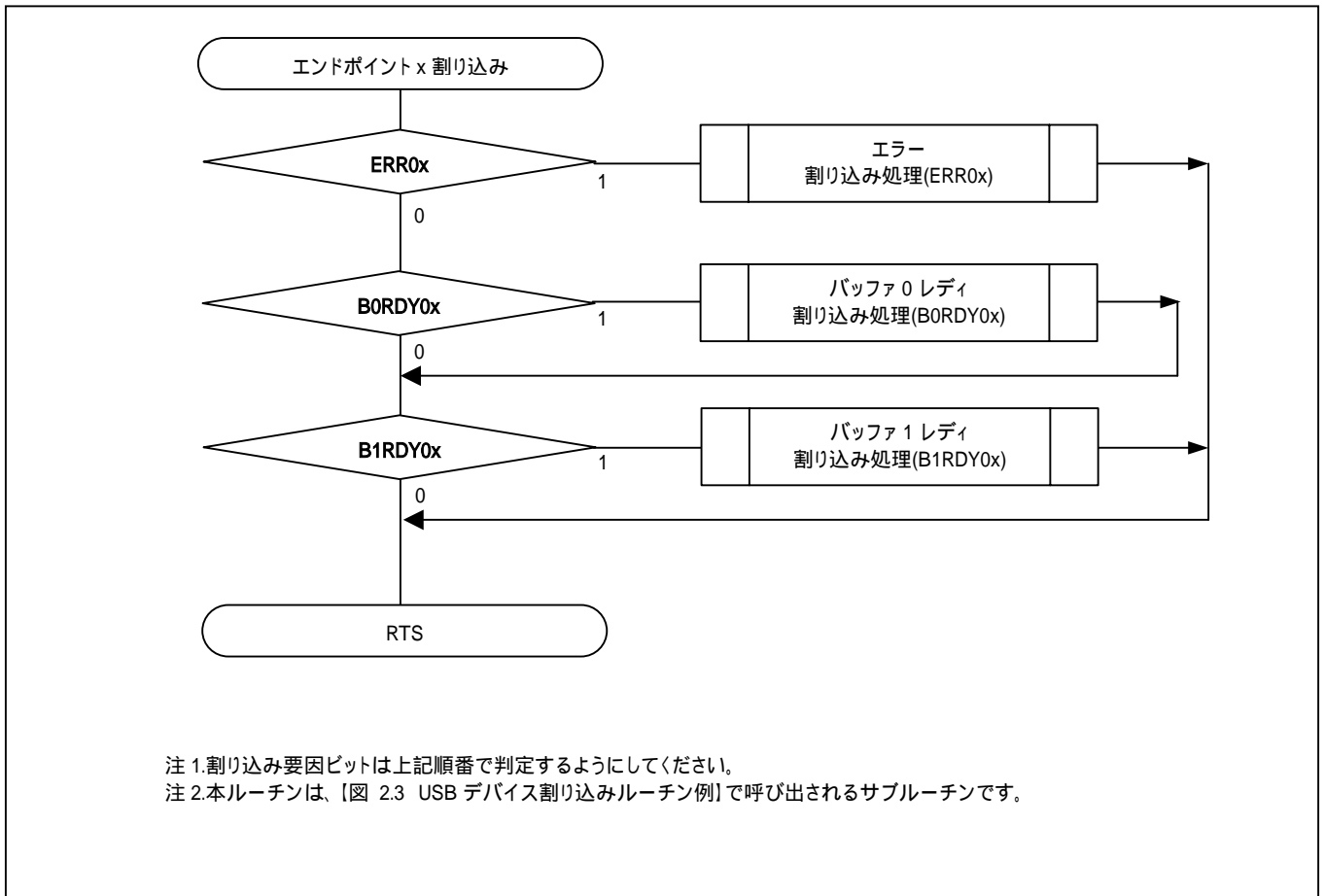


図 5.13 エンドポイントx 割り込み処理例

5.8.7. データ受信概要

(1) 受信設定

エンドポイントディスクリプタに合わせて、転送方向、転送タイプ、MAXパケットサイズを設定します。エンドポイント値も対応させてください。

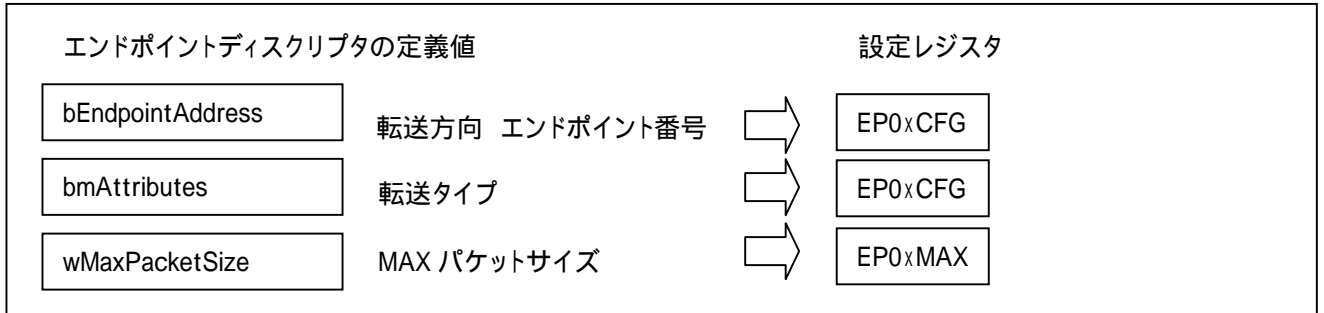


図 5.14 エンドポイントディスクリプタ

エンドポイントxの受信設定手順例を図 5.15に示します。

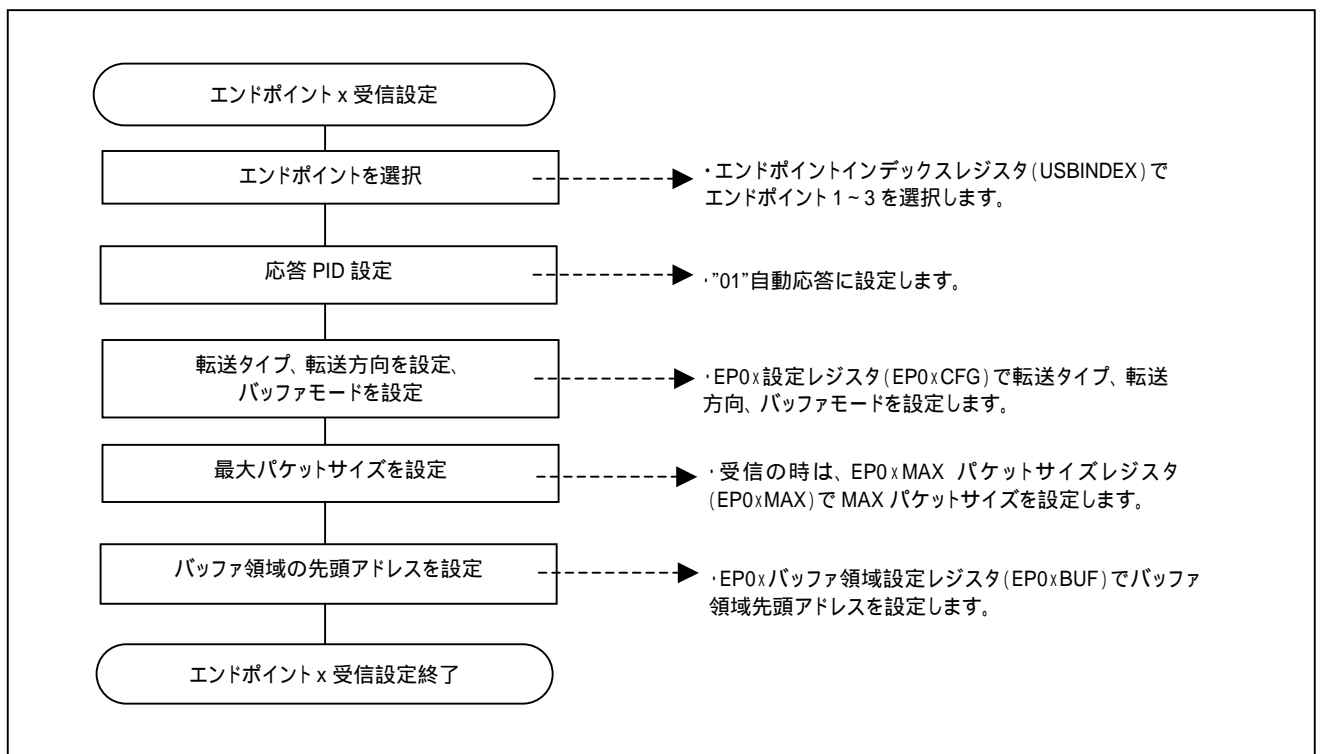


図 5.15 エンドポイント x 受信設定手順例

(2) 正常受信

シングルバッファモード

エンドポイントx がホストから有効なパケットを受信すると、エンドポイントxバッファ0レディ割り込みが発生します。EP0xバイト数レジスタ0(EP0xBYT0)へ受信データのバイト数がH/Wにて自動的にセットされますので、受信バイト数分だけデータバッファ0からデータを読み出し、その後、EP0x制御レジスタ2(EP0xCON2)のバッファ0許可ビット(B0VAL0x)を"1"にします。(このB0VAL0xビットは、正常受信時はH/Wにて自動的にクリアされます)

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)はクリアする必要があります。

ダブルバッファモード

エンドポイントx がホストから有効なパケットを受信すると、DATA0の場合、エンドポイントxバッファ0レディ割り込みが発生します。EP0xバイト数レジスタ0(EP0xBYT0)へ受信データのバイト数がH/Wにて自動的にセットされますので、受信バイト数分だけデータバッファ0からデータを読み出し、その後、EP0x制御レジスタ2(EP0xCON2)のバッファ0許可ビット(B0VAL0x)を"1"にします。DATA1の場合、エンドポイントxバッファ1レディ割り込みが発生します。EP0xバイト数レジスタ0(EP0xBYT0)へ受信データのバイト数がH/Wにて自動的にセットされますので、受信バイト数分だけデータバッファ1からデータを読み出し、その後、EP0x制御レジスタ3(EP0xCON3)のバッファ1許可ビット(B1VAL0x)を"1"にします。(B0VAL0xビット、B1VAL0xビットは、正常受信時はH/Wにて自動的にクリアされます)

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)、エンドポイントxバッファ1レディ割り込み(B1RDY0x)は各割り込み発生時にクリアする必要があります。

(3) 受信エラー(ERR0x割り込みが発生するケース)

エンドポイントxがホストからEP0xMAXパケットサイズレジスタ(EP0xMAX)で設定した最大OUTパケットサイズより多いデータを受信した場合(MAXパケットエラー)、無応答しERR0x割り込みが発生します。この時、EP0x制御レジスタ1(EP0xCON1)の応答PIDビット(PID0x)がH/Wにより自動的に"1x"(STALL応答)にセットされます。

次のOUTトークンでもMAXパケットエラーが発生した場合は、同じく、無応答しERR0x割り込みが発生します。MAXパケットエラーが発生していないIOUTトークンに対してはSTALL返答し続けます。STALLした場合、ホストCPUから、ClearFeatureでSTALL解除されない限り、通信が不能になります。また、通信を再開する時は、このPID0xビットを"01"に設定しない限り、STALLは解除されません。

アイソクロナス転送(IN/OUT)においては、正常送受信以外の場合、ERR0x割り込みが発生します。

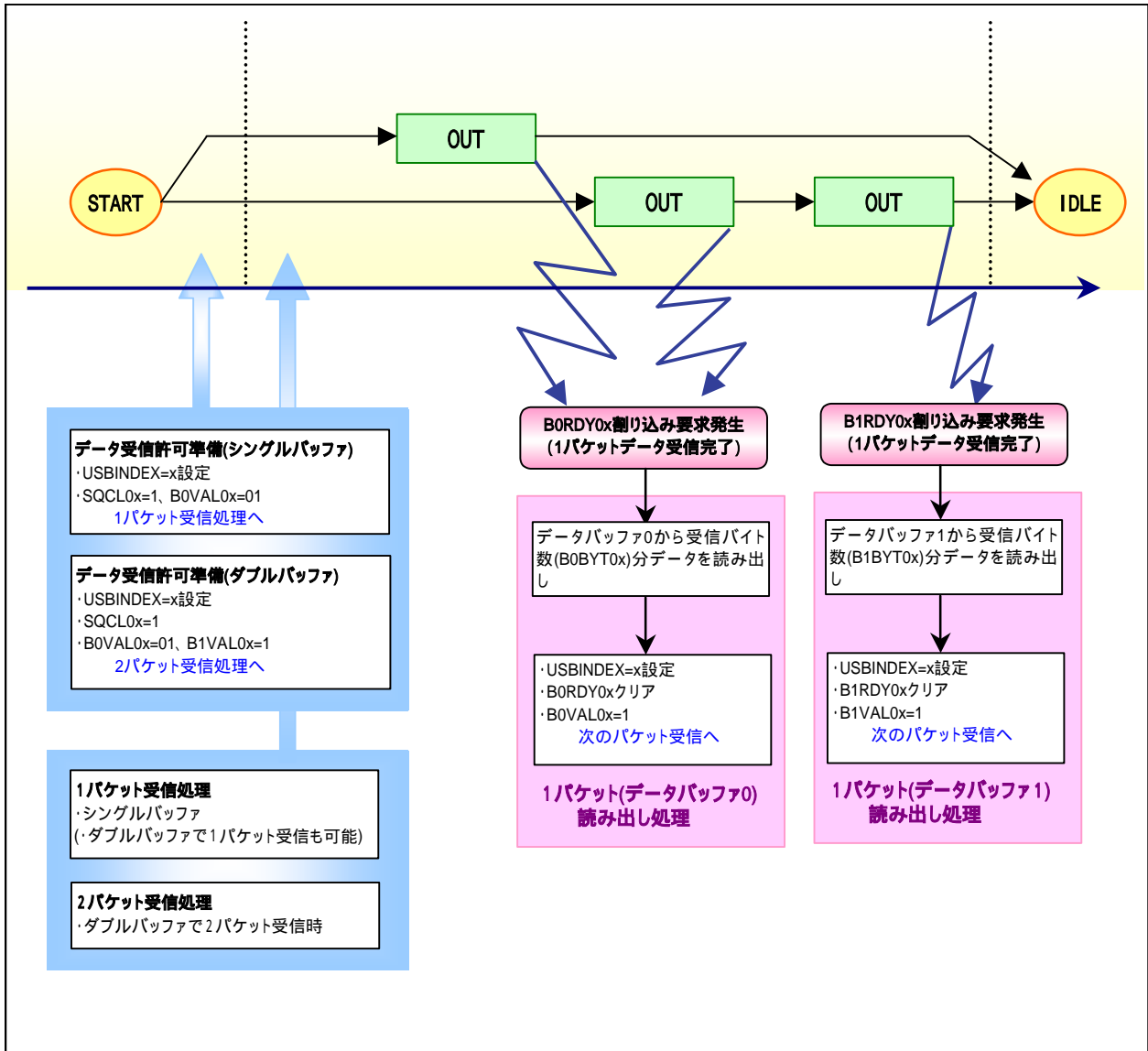


図 5.16 エンドポイント x データ受信例

5.8.8. バルク転送のデータ受信

(1) 転送タイプ設定

エンドポイントx OUTをバルク転送として使用する場合、EP0x設定レジスタ(EP0xCFG)でバルク転送の設定を行います。データ受信設定手順は図 5.15を参照してください。

(2) データ受信準備動作

シーケンスグルビットクリアビット(SQCL0x)を"1"に設定します。1"に設定することで、トグルビットがクリアされ、次のデータPIDがDATA0に初期化されます。

その後、バッファ0許可ビット(B0VAL0x)を"1"にセットし、データ受信可能状態に設定します。ダブルバッファモード時は、あわせて、バッファ1許可ビット(B1VAL0x)を"1"にセットし、データ受信可能状態に設定します。

(3) データ受信動作

エンドポイントxバルクデータ受信例を図 5.17に示します。

ホスト からデバイスへデータを送信するバルクOUT 転送はOUTランザクションを繰り返します。

エンドポイントx がホストから有効なパケットを受信すると、エンドポイントx バッファ0レディ割り込みまたはバッファ1レディ割り込み要求(ダブルバッファモード時のみ)が発生します。各ランザクションのハンドシェイクフェーズで、受信側が発行するACK パケットを送信側が正常に受信すると、次のデータフェーズのデータパケットのDATA0とDATA1をトグルします。

なお、正常に受信しなかった場合の応答は以下の通りです。

- ・受信したデータにエラーがある場合、MAXパケットエラーが発生した場合、無応答です。
- ・ストールしている場合、STALLハンドシェイクを返します。
(応答PIDビット(PID0x)が"1x"の場合、ストールします。)
- ・受信したデータにシーケンス・ビットの不一致があった場合、ACKパケットを返します。
- ・データバッファ0/1がフルの場合、NAKパケットを返します。

ホストが2パケットをそのまま同じトグルで送信してきた場合は、両パケットにACK を返しますが、2パケット目のデータはデータバッファに残りません。この場合、1パケット目にホストへ返したACK が欠落しており、ホストが同じデータを2パケット送信してきたと受け取ります。

エラー処理に関しては、USB仕様Ver2.0に準拠したエラーチェック(CRCチェック、BitStufingチェック等)をしています。バルクOUT転送において、エラーを検出した場合、無応答(ignore)になります。これらは全てH/W が行いますのでソフトウェアにて制御する必要はありません。

シングルバッファモードとダブルバッファモードでの補足事項は以下の通りです。

シングルバッファモード

エンドポイントx がホストから有効なパケットを受信すると、エンドポイントxバッファ0レディ割り込みが発生します。EP0xバイト数レジスタ0(EP0xBYT0)へ受信データのバイト数がH/Wにて自動的にセットされますので、受信バイト数分だけデータバッファ0からデータを読み出し、その後、EP0x制御レジスタ2(EP0xCON2)のバッファ0許可ビット(B0VAL0x)を"1"にします。(このB0VAL0xビットは、正常受信時はH/Wにて自動的にクリアされます)

DATA0 DATA1 DATA0・・・と受信するデータは、交互にデータバッファを読み出します。

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)はクリアする必要があります。

ダブルバッファモード

エンドポイントx がホストから有効なパケットを受信すると、DATA0の場合、エンドポイントxバッファ0レディ割り込みが発生します。EP0xバイト数レジスタ0(EP0xBYT0)へ受信データのバイト数がH/Wにて自動的にセットされますので、受信バイト数分だけデータバッファ0からデータを読み出し、その後、EP0x制御レジスタ2(EP0xCON2)のバッファ0許可ビット(B0VAL0x)を"1"にします。DATA1の場合、エンドポイントxバッファ1レディ割り込みが発生します。EP0xバイト数レジスタ1(EP0xBYT1)へ受信データのバイト数がH/Wにて自動的にセットされますので、受信バイト数分だけデータバッファ1からデータを読み出し、その後、EP0x制御レジスタ3(EP0xCON3)のバッファ1許可ビット(B1VAL0x)を"1"にします。(B0VAL0xビット、B1VAL0xビットは、正常受信時はH/Wにて自動的にクリアされます)

DATA0 DATA1 DATA0...と受信するデータは、DATA0はデータバッファ0を、DATA1はデータバッファ1を、交互に読み出します。

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)、エンドポイントxバッファ1レディ割り込み(B1RDY0x)は各割り込み発生時、クリアする必要があります。

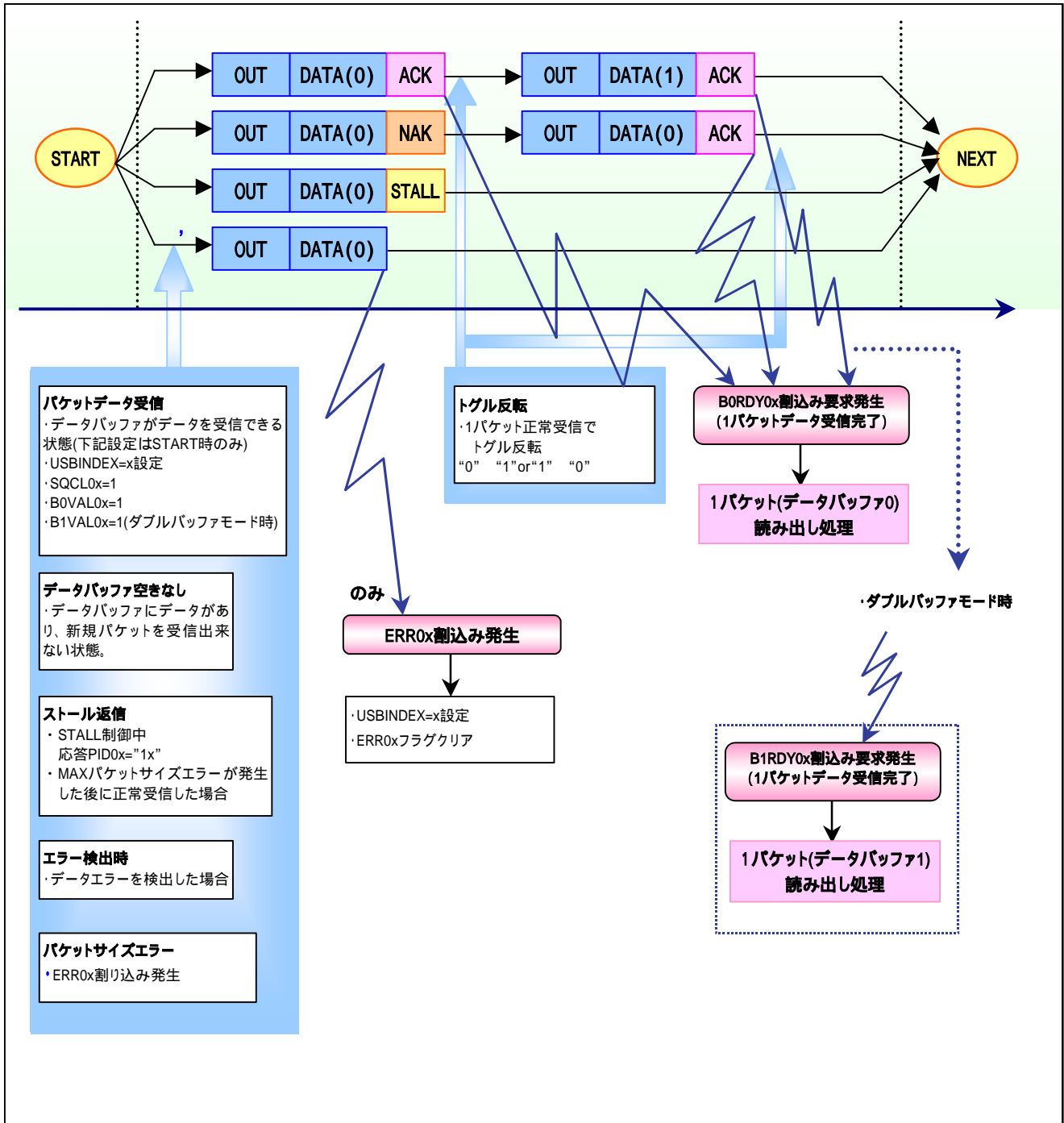


図 5.17 エンドポイント x バルク受信例

ダブルバッファモード時のS/W処理例

ダブルバッファモードを使用した場合、図 5.18に示すように、1パケット目の受信割り込み要求をペンディングしているうちに、次の2パケット目の受信割り込み要求が発生した場合、B0RDY0x割り込み要求とB1RDY0x割り込み要求の両方が発生します。

この時、2つの割り込み要求を処理する際、“DATA0 DATA1”あるいは“DATA1 DATA0”によって、読み出すデータバッファが変わる為、S/Wで、DATA0/DATA1のトグル管理を行い、読み出すデータバッファの順番を管理する必要があります。S/W処理例を図 5.18に示します。

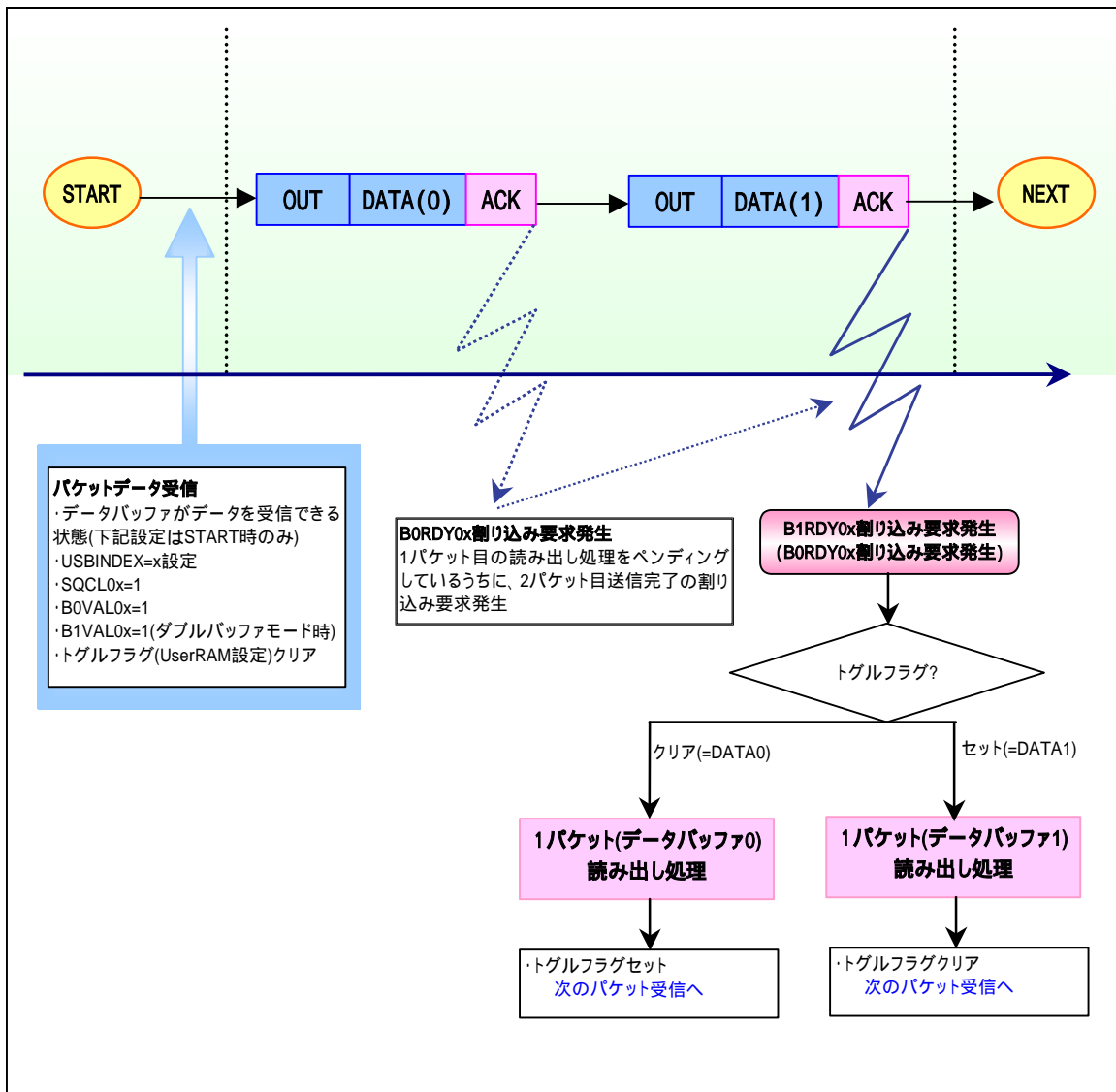


図 5.18 エンドポイント x バルク受信例(ダブルバッファモード)

5.8.9. インタラプト転送のデータ受信

(1) 転送タイプ設定

エンドポイントx OUTをインタラプト転送として使用する場合、EP0x設定レジスタ(EP0xCFG)でインタラプト転送の設定を行います。データ受信設定手順は【図 5.15 エンドポイントx受信設定手順例】を参照してください。

(2) データ受信準備動作

インタラプト転送時のデータ受信準備は、バルク転送時と同じです。【5.8.8 バルク転送のデータ受信】を参照してください。

(3) データ受信動作

インタラプト転送時のエンドポイントx OUT動作は、バルク転送時と同じです。【5.8.8 バルク転送のデータ受信】を参照してください。

5.8.10. アイソクロナス転送のデータ受信

(1) 転送タイプ設定

エンドポイントx OUTをアイソクロナス転送として使用する場合、EP0x設定レジスタ(EP0xCFG)でアイソクロナス転送の設定を行います。データ受信設定手順は[図 5.15 エンドポイントx受信設定手順例]を参照してください。

(2) データ受信準備動作

シーケンスグルビットクリアビット(SQCL0x)を"1"に設定します。1"に設定することで、トグルビットがクリアされ、次のデータPIDがDATA0に初期化されます。

その後、バッファ0許可ビット(B0VAL0x)を"1"にセットし、データ受信可能状態に設定します。ダブルバッファモード時は、あわせて、バッファ1許可ビット(B1VAL0x)を"1"にセットし、データ受信可能状態に設定します。

(3) データ受信動作

エンドポイントxアイソクロナスデータ受信例を図 5.19に示します。

ホストからデバイスへデータを転送するアイソクロナストランザクション(OUT)の繰り返しです。アイソクロナストランザクションはハンドシェイクフェーズを持ちません(ホストへACK やNAK を送信しません)。データパケットはDATA0のみです。DATA1とトグルはしません。

エンドポイントx がホストから有効なパケットを受信すると、エンドポイントx バッファ0レディ割り込みまたはバッファ1レディ割り込み要求(ダブルバッファモード時のみ)が発生します。

データバッファ0/1にデータがあり、新規パケットを受信できない場合、ERR0x割り込み(オーバーランエラーのイメージ)が発生します。

シングルバッファモードとダブルバッファモードでの補足事項は以下の通りです。

シングルバッファモード

エンドポイントx がホストから有効なパケットを受信すると、エンドポイントxバッファ0レディ割り込みが発生します。EP0xバイト数レジスタ0(EP0xBYT0)へ受信データのバイト数がH/Wにて自動的にセットされますので、受信バイト数分だけデータバッファ0からデータを読み出し、その後、EP0x制御レジスタ2(EP0xCON2)のバッファ0許可ビット(B0VAL0x)を"1"にします。(このB0VAL0xビットは、正常受信時はH/Wにて自動的にクリアされます)

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)はクリアする必要があります。

ダブルバッファモード

エンドポイントx がホストから有効なパケットを受信すると、偶数番目(0番目からSTART)のパケットの場合、エンドポイントxバッファ0レディ割り込みが発生します。EP0xバイト数レジスタ0(EP0xBYT0)へ受信データのバイト数がH/Wにて自動的にセットされますので、受信バイト数分だけデータバッファ0からデータを読み出し、その後、EP0x制御レジスタ2(EP0xCON2)のバッファ0許可ビット(B0VAL0x)を"1"にします。次の奇数番目のパケットの場合、エンドポイントxバッファ1レディ割り込みが発生します。EP0xバイト数レジスタ1(EP0xBYT1)へ受信データのバイト数がH/Wにて自動的にセットされますので、受信バイト数分だけデータバッファ1からデータを読み出し、その後、EP0x制御レジスタ3(EP0xCON3)のバッファ1許可ビット(B1VAL0x)を"1"にします。(B0VAL0xビット、B1VAL0xビットは、正常受信時はH/Wにて自動的にクリアされます)

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)、エンドポイントxバッファ1レディ割り込み(B1RDY0x)は各々割り込み発生時、クリアする必要があります。

ダブルバッファモード時のS/W処理例

ダブルバッファモードを使用した場合、図 5.18に示すように、1パケット目の受信割り込み要求をペンディングしているうちに、次の2パケット目の受信割り込み要求が発生した場合、B0RDY0x割り込み要求とB1RDY0x割り込み要求の両方が発生します。

この時、2つの割り込み要求を処理する際、読み出すデータバッファが変わる為、S/Wで、読み出すデータバッファの順番を管理する必要があります。アイソクロナス転送OUTにおいて、トグル動作はありませんが、S/W処理例としては、図 5.18を参考にしてください。

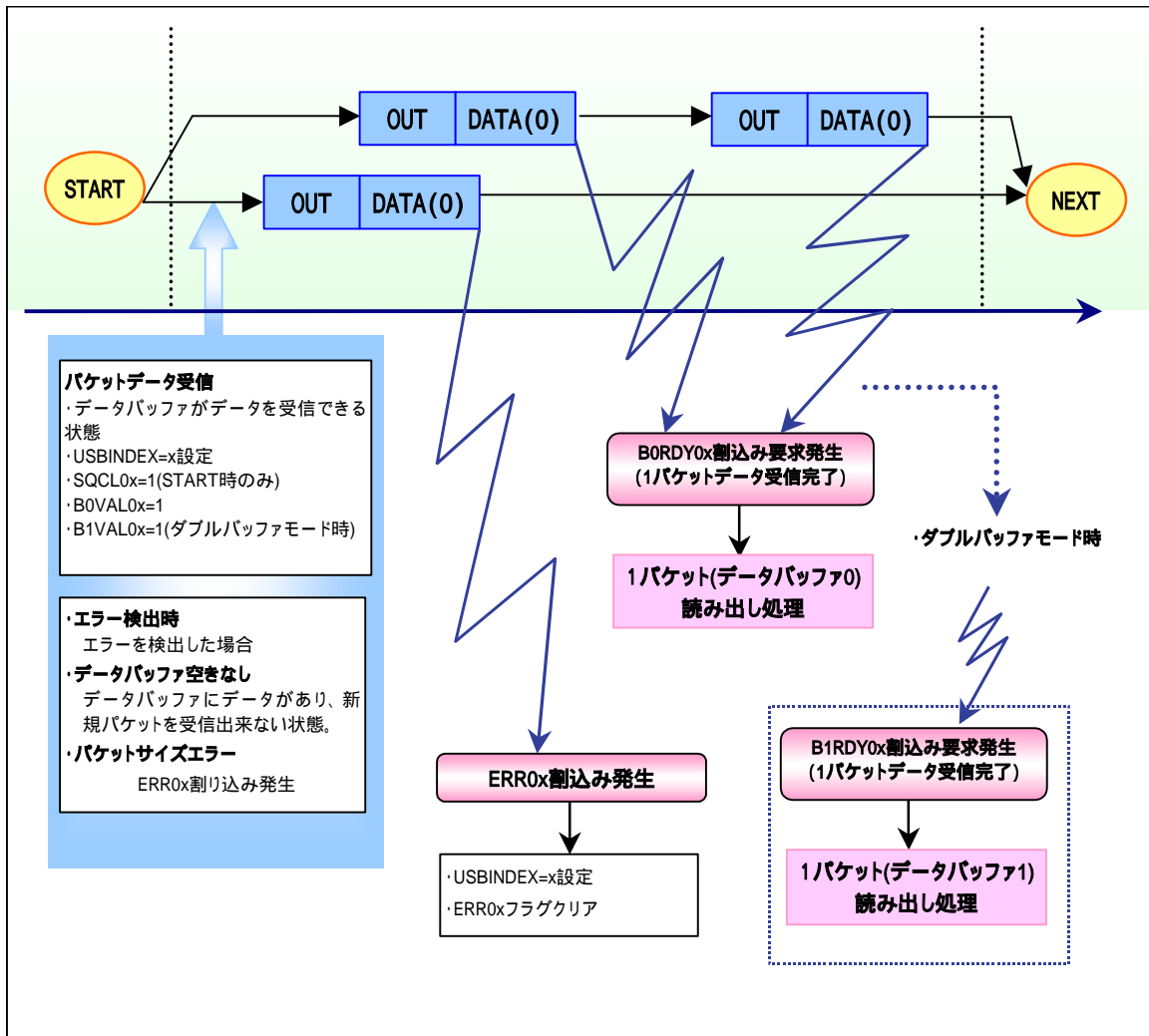


図 5.19 エンドポイントx アイソクロナスデータ受信例

5.8.11. データ送信概要

(1) 送信設定

エンドポイントディスクリプタに合わせて、転送方向、転送タイプを設定します。エンドポイント番号も対応させてください。

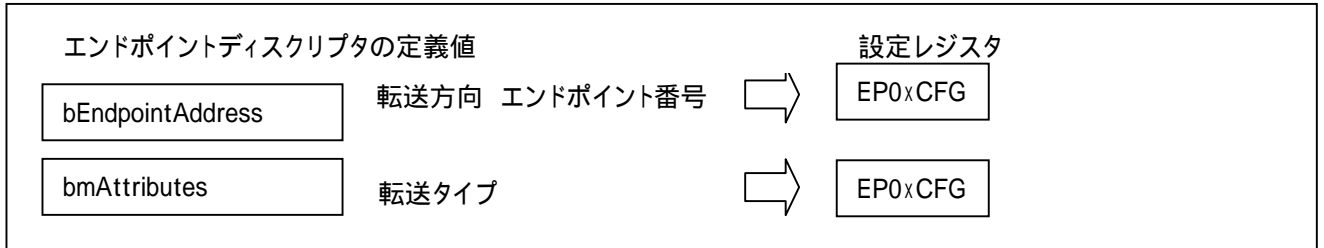


図 5.20 エンドポイントディスクリプタ

エンドポイントxの送信設定手順例を図 5.21に示します。

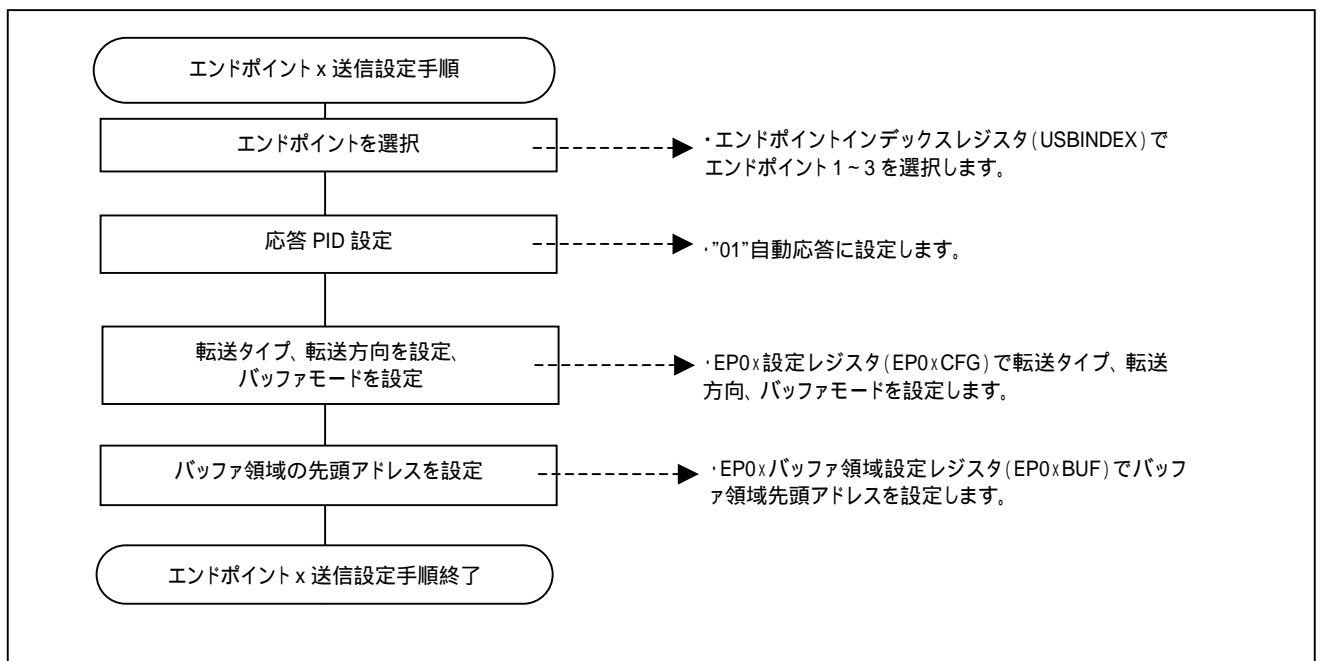


図 5.21 エンドポイント x 送信設定手順例

(2) 正常送信

シングルバッファモード

エンドポイントx がホストへパケットを送信する場合、ホストからのIN トークンに備えてデータバッファ0にパケットのデータを準備する必要があります。

1パケットのデータを準備するには、エンドポイントxがHALT状態ではなく、データバッファ0が空き状態であることを確認し、送信するパケットデータ数分だけデータバッファ0へデータを書き込んでからEP0x制御レジスタ2(EP0xCON2)のバッファ0許可ビット(B0VAL0x)を"1"にします。(このB0VAL0xビットは、正常受信時はH/Wにて自動的にクリアされます)

送信するパケットデータ数は、EP0xバイト数レジスタ0(EP0xBYT0)に設定する必要があります。

1パケットのデータ準備が終わると、ホストから送られてくる次のIN トークンでデータが送信されます。

そして、データの送信が完了すると、エンドポイントxバッファ0レディ割り込み要求が発生し、データバッファ0が1パケット分空きます。

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)はクリアする必要があります。

ダブルバッファモード

エンドポイントx がホストへパケットを送信する場合、ホストからのIN トークンに備えて、DATA0の場合、データバッファ0に、DATA1の場合、データバッファ1にパケットのデータを準備する必要があります。

パケットのデータを準備するには、エンドポイントxがHALT状態ではなく、データバッファ0が空き状態であることを確認し、DATA0の場合、送信するパケットデータ数分だけデータバッファ1へデータを書き込んでからEP0x制御レジスタ2(EP0xCON2)のバッファ0許可ビット(B0VAL0x)を"1"にします。(このB0VAL0xビットは、正常送信時にH/Wにて自動的にクリアされます)

送信するパケットデータ数は、EP0xバイト数レジスタ0(EP0xBYT0)に設定する必要があります。

DATA1の場合も同様に、送信するパケットデータ数分だけデータバッファ1へデータを書き込んでからEP0x制御レジスタ3(EP0xCON3)のバッファ1許可ビット(B1VAL0x)を"1"にします。(このB1VAL0xビットは、正常送信時にH/Wにて自動的にクリアされます)

送信するパケットデータ数は、EP0xバイト数レジスタ0(EP0xBYT1)に設定する必要があります。

1パケットのデータ準備が終わると、ホストから送られてくる次のIN トークンでデータが送信されます。

そして、データの送信が完了すると、エンドポイントxバッファ0レディ割り込み要求またはエンドポイントxバッファレディ割り込み要求が発生し、データバッファ0またはデータバッファ1が1パケット分空きます。

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)、エンドポイントxバッファ1レディ割り込み(B1RDY0x)は各割り込み発生時にクリアする必要があります。

(3) STALL応答

EP0x制御レジスタ1(EP0xCON1)の応答PIDビット(PID0x)を1x"(STALL応答)にセットします。STALL状態にあるエンドポイントxIN/OUTトークンに対してSTALL返答し続けます。STALLした場合、ホストCPUから、ClearFeatureでSTALL解除されない限り、通信が不能になります。通信を再開する時は、このPID0xビットを"01"に設定しない限り、STALLは解除されません。

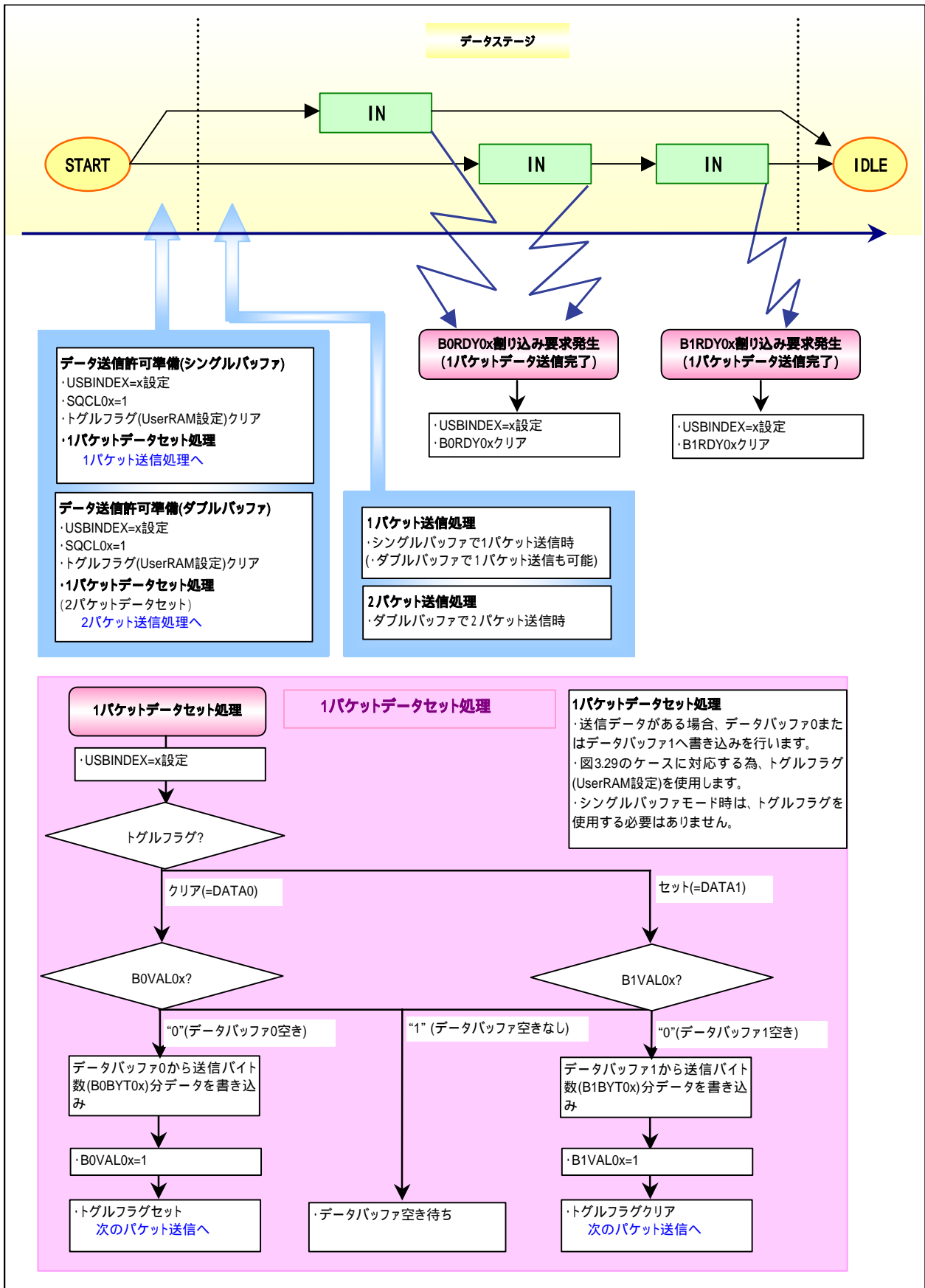


図 5.22 エンドポイントx データ送信例

5.8.12. バルク転送のデータ送信

(1) 転送タイプ設定

エンドポイントx INをバルク転送として使用する場合、EP0x設定レジスタ(EP0xCFG)でバルク転送の設定を行います。データ送信設定手順は【図 5.21 エンドポイントx送信設定手順例】を参照してください。

(2) データ送信準備動作

シーケンスグルビットクリアビット(SQCL0x)を"1"に設定します。1"に設定することで、トグルビットがクリアされ、次のデータPIDがDATA0に初期化されます。

(3) データ送信動作

エンドポイントxバルクデータ送信例を図 5.23に示します。

シングルバッファモードとダブルバッファモードでの補足事項は以下の通りです。

シングルバッファモード

エンドポイントx データバッファ0にデータがセットされていない状態で、ホストからのINTトークンを受信すると、自動的にNAKを返信します。

データを送信する為には、データバッファ0にパケットデータをセットする必要があります。エンドポイントxがHALT状態ではなく、データバッファ0が空き状態(BOVAL0xビット"0"で書き込み可能状態)であることを確認し、送信パケットデータをセットし、BOVAL0xビットを"1"にセットします(このBOVAL0xビットは、正常送信時、H/Wにて自動的にクリアされます)。

送信するパケットデータ数は、EP0xバイト数レジスタ0(EP0xBYT0)にセットします。

データをセットした後に、エンドポイントxがホストからINTトークンを受信すると、ホストへデータを送信します。その送信データパケットに対しホストからACK応答を受信すると、1パケット送信が完了してエンドポイントxバッファ0レディ割り込みが発生します。

バルク転送において、INエンドポイントに対してホストからACK応答を受信すると(正常送信時)トグルします。ホストからACKを受け取らなかった場合、次のINTトークンに対して同じトグルで同じデータを送信します。

DATA0 DATA1 DATA0...と送信するデータは、交互にデータバッファ0へ書き込みします。

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)は割り込み要求発生時にクリアする必要があります。

ダブルバッファモード

エンドポイントx データバッファ0またはデータバッファ1にデータがセットされていない状態で、ホストからのINTトークンを受信すると、自動的にNAKを返信します。

データを送信する為には、DATA0の場合、エンドポイントxがHALT状態ではなく、データバッファ0が空き状態(BOVAL0xビット"0"で書き込み可能状態)であることを確認し、送信パケットデータをセットし、BOVAL0xビットを"1"にセットします(このBOVAL0xビットは、正常送信時、H/Wにて自動的にクリアされます)。

送信するパケットデータ数は、EP0xバイト数レジスタ0(EP0xBYT0)にセットします。

DATA1の場合も同様に、エンドポイントxがHALT状態ではなく、データバッファ1が空き状態(B1VAL0xビット"0"で書き込み可能状態)であることを確認し、送信パケットデータをセットし、B1VAL0xビットを"1"にセットします(このB1VAL0xビットは、正常送信時、H/Wにて自動的にクリアされます)。

送信するパケットデータ数は、EP0xバイト数レジスタ1(EP0xBYT1)にセットします。

データをセットした後に、エンドポイントx がホストからINTトークンを受信すると、ホストへデータを送信します。

その送信データパケットに対しホストからのACK応答を受信すると、1パケット送信が完了して、DATA0ならエンドポイントxバッファ0レディ割り込み要求、DATA1ならエンドポイントxバッファ0レディ割り込み要求が発生し、それぞれのデータバッファが1パケット分空きます。

バルク転送において、INエンドポイントに対してホストからACK応答を受信すると(正常送信時)トグルします。ホストからACKを受け取らなかった場合、次のINTトークンに対して同じトグルで同じデータを送信します。

DATA0 DATA1 DATA0...と送信するデータは、DATA0はデータバッファ0へ、DATA1はデータバッファ1へと、交互に書き込みます。

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)、エンドポイントxバッファ1レディ割り込み(B1RDY0x)は各割り込み発生時にクリアする必要があります。

表 5.5

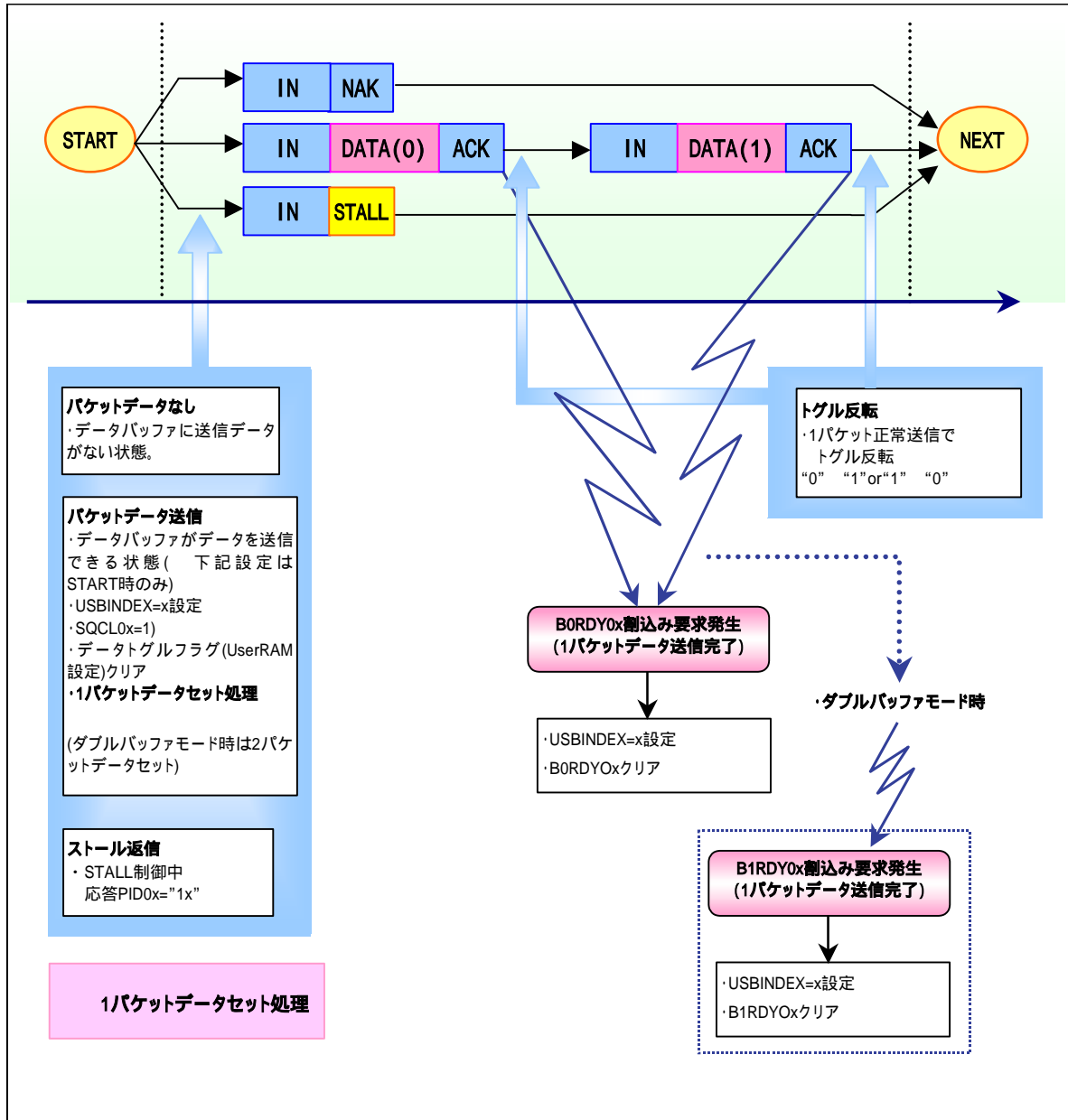


図 5.23 エンドポイントx バルクデータ送信例

ダブルバッファモード時のS/W処理例

ダブルバッファモードを使用した場合、図 5.24に示すように、1パケット目の送信割り込み要求をペンディングしているうちに、次の2パケット目の送信割り込み要求が発生した場合、B0RDY0x割り込み要求とB1RDY0x割り込み要求の両方が発生します。

この時、2つの割り込み要求を処理する際、“DATA0 DATA1”あるいは“DATA1 DATA0”によって、書き込むデータバッファが変わる為、S/Wで、DATA0/DATA1のトグル管理を行い、書き込むデータバッファの順番を管理する必要があります。S/W処理例を図 5.24に示します。

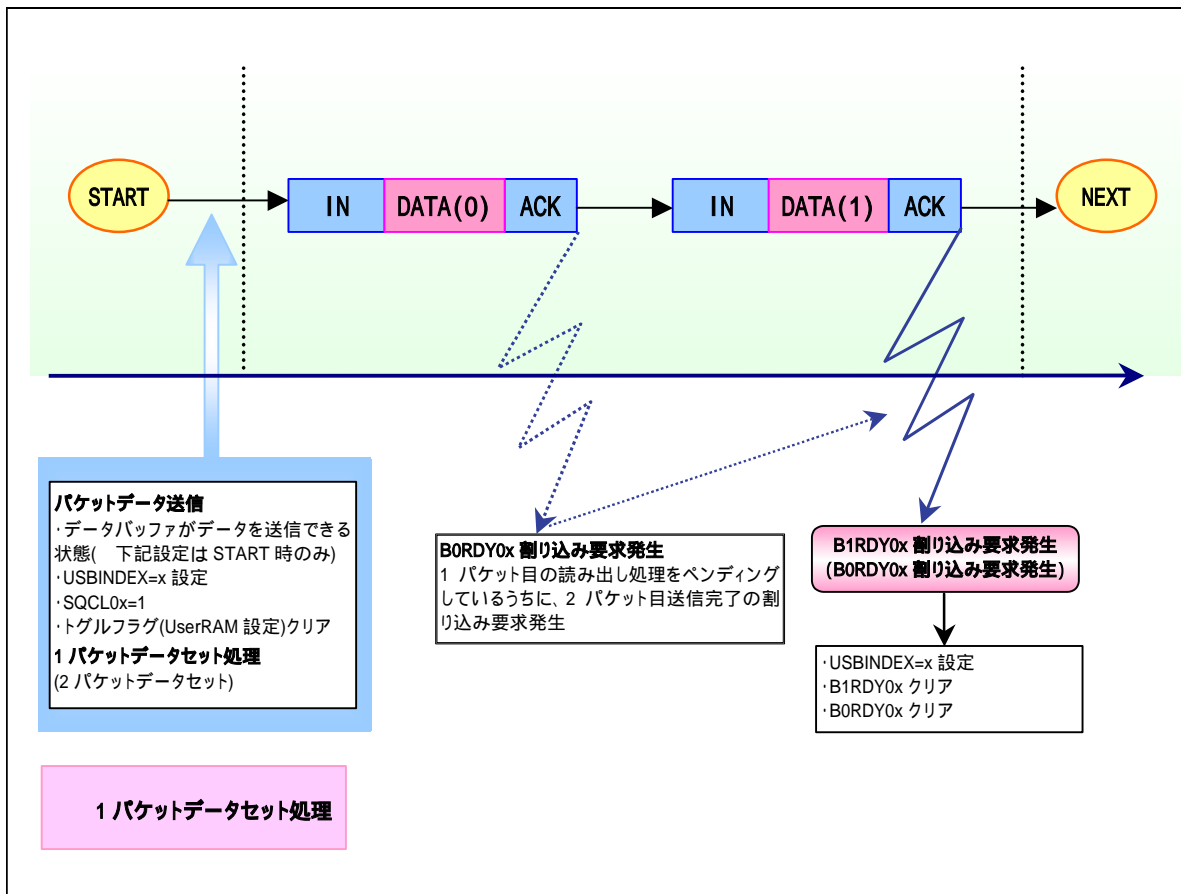


図 5.24 エンドポイントx バルクデータ送信例(ダブルバッファモード)

5.8.13. インタラプト転送のデータ送信

(1) 転送タイプ設定

エンドポイントx INをインタラプト転送として使用する場合、EP0x設定レジスタ(EP0xCFG)でインタラプト転送の設定を行います。データ送信設定手順は[図 5.21 エンドポイントx送信設定手順例]を参照してください。

(2) データ送信準備動作

インタラプト転送時のデータ送信準備は、バルク転送時と同じです。[5.8.12 バルク転送のデータ送信]を参照してください。

(3) データ送信動作

インタラプト転送時のエンドポイントxIN動作は、バルク転送時と同じです。[5.8.12 バルク転送のデータ送信]を参照してください。

5.8.14. アイソクロナス転送のデータ送信

(1) 転送タイプ設定

エンドポイントx INをアイソクロナス転送として使用する場合、EP0x設定レジスタ(EP0xCFG)でアイソクロナス転送の設定を行います。データ送信設定手順は[図 5.21 エンドポイントx送信設定手順例]を参照してください。

(2) データ送信準備動作

シーケンスグルビットクリアビット(SQCL0x)を"1"に設定します。1"に設定することで、トグルビットがクリアされ、次のデータPIDがDATA0に初期化されます。

(3) データ送信動作

エンドポイントxアイソクロナスデータ送信例をに図 5.25示します。

ホストへデータを転送するアイソクロナストランザクション(IN)の繰り返しです。アイソクロナストランザクションはハンドシェイクフェーズを持ちません。データパケットはDATA0とDATA1でトグルします。

注意) 38K2グループは、正常送信時、DATA0とDATA1でトグルします。

(USB仕様Ver2.0 [Chapter8.5.4 Isochronous Transactions]を参照してください。)

データバッファ0/1にデータがない状態でホストからINTトークンを受信すると、ERR0x割り込み(アンダーランエラーのイメージ)を発生します。パケットデータ作成時にデータをセットせず(EP0xBYT0/ EP0xBYT1レジスタは"0"セット)、B0VAL0x/ B1VAL0xビットを"1"にセットすることによって、ERR0x割り込みを発生させず、空のデータパケット(NULLデータ)を送信することができます。

シングルバッファモードとダブルバッファモードでの補足事項は以下の通りです。

シングルバッファモード

データを送信する為には、データバッファ0にパケットデータをセットする必要があります。エンドポイントxがHALT状態ではなく、データバッファ0が空き状態(B0VAL0xビット"0"で書き込み可能状態)であることを確認し、送信パケットデータをセットし、B0VAL0xビットを"1"にセットします(このB0VAL0xビットは、正常送信時、H/Wにて自動的にクリアされます)。

送信するパケットデータ数は、EP0xバイト数レジスタ0(EP0xBYT0)にセットします。

データをセットした後に、エンドポイントxがホストからINTトークンを受信すると、ホストへデータを送信します。1パケット送信が正常に完了した場合、エンドポイントxバッファ0レディ割り込みが発生します。

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)は割り込み要求発生時にクリアする必要があります。

ダブルバッファモード

データを送信する為には、偶数番目(0番目からSTART)のパケットの場合、エンドポイントxがHALT状態ではなく、データバッファ0が空き状態(B0VAL0xビット"0"で書き込み可能状態)であることを確認し、送信パケットデータをセットし、B0VAL0xビットを"1"にセットします(このB0VAL0xビットは、正常送信時、H/Wにて自動的にクリアされます)。

送信するパケットデータ数は、EP0xバイト数レジスタ0(EP0xBYT0)にセットします。

奇数番目のパケットの場合も同様に、エンドポイントxがHALT状態ではなく、データバッファ1が空き状態(B1VAL0xビット"0"で書き込み可能状態)であることを確認し、送信パケットデータをセットし、B1VAL0xビットを"1"にセットします(このB1VAL0xビットは、正常送信時、H/Wにて自動的にクリアされます)。

送信するパケットデータ数は、EP0xバイト数レジスタ1(EP0xBYT1)にセットします。

データをセットした後に、エンドポイントxがホストからINTトークンを受信すると、ホストへデータを送信します。1パケット送信が正常に完了した場合、DATA0ならエンドポイントxバッファ0レディ割り込み要求、DATA1ならエンドポイントxバッファ0レディ割り込み要求が発生し、それぞれのデータバッファが1パケット分空きます。

なお、エンドポイントxバッファ0レディ割り込み(B0RDY0x)、エンドポイントxバッファ1レディ割り込み(B1RDY0x)は各割り込み発生時にクリアする必要があります。

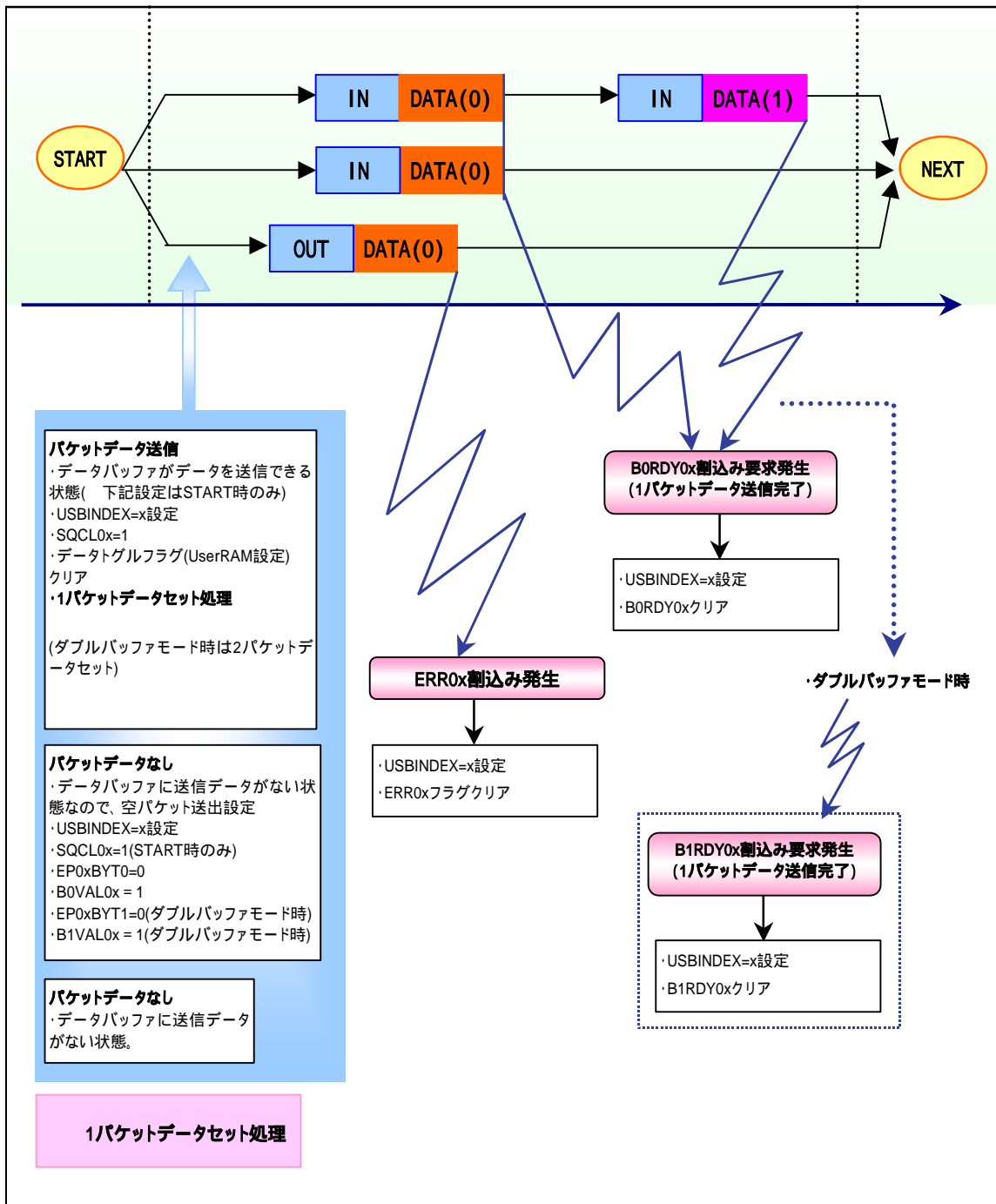
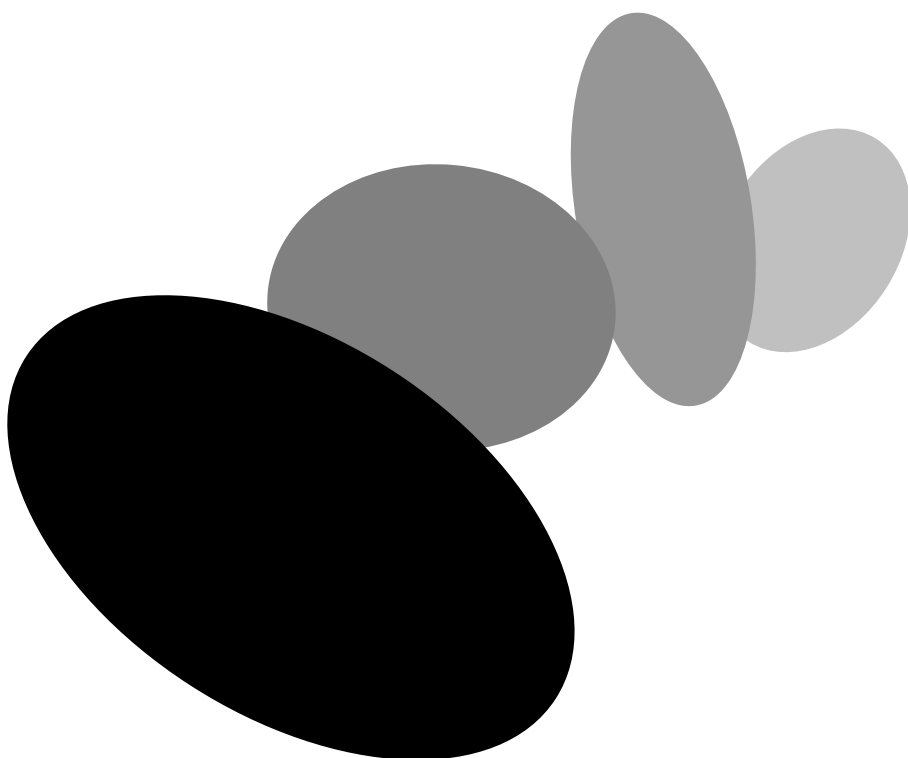


図 5.25 エンドポイントx アイソクロナスデータ送信例

ダブルバッファモード時のS/W処理例

ダブルバッファモードを使用した場合、図 5.24に示すように、1パケット目の送信割り込み要求をペンディングしているうちに次の2パケット目の送信割り込み要求が発生した場合、BORDY0x割り込み要求とB1RDY0x割り込み要求の両方が発生します。

この時、2つの割り込み要求を処理する際、"DATA0 DATA1"あるいは"DATA1 DATA0"によって、書き込むデータバッファが変わる為、S/Wで、DATA0/DATA1のトグル管理を行い、書き込むデータバッファの順番を管理する必要があります。S/W処理例としては、図 5.24を参考にしてください。



第 6 章

電源管理

本章は、電源供給方法による外付電源回路の違い、USB Vbus 検出方法、USB 周辺回路について説明します。

6.1. 電源供給

38K2グループの動作保証電圧範囲(V_{cc})は3.00 ~ 5.25V("L"仕様)です。

38K2 グループでは、システムクロック、内部クロック()により、動作保証電圧範囲(V_{cc})が異なります。関係を表6.1に示します。

表 6.1 クロックと電源電圧 V_{cc} の関係

外部発振	システムクロック	内部クロック	電源電圧 V_{cc}
6MHz または 12MHz	12MHz	6MHz (2 分周)	4.00 ~ 5.25
	8MHz	8MHz	4.00 ~ 5.25
	6MHz	6MHz	4.00 ~ 5.25 3.00 ~ 4.00

デバイスの電源供給方式は、以下の3通りあります。

- ◆セルフパワー方式:
電源コネクタや電池などによりマイコンの V_{cc} へ供給される場合
- ◆バスパワー方式
ホストPCより、USB Vbusラインを通し電源供給される場合
- ◆セルフ/バスパワー切り替え方式:
上記、セルフパワー方式、バスパワー方式を選択し供給する場合

6.2. 外付け電源回路

電源供給方法により、外付け電源回路は異なります。3.3V動作時、バスパワー方式、もしくはセルフ/バスパワー切り替え方式でホストPCから電源供給する場合には、USB Vbus(USBアップポートから供給されるバス電源電圧)から供給した電圧を3.3Vに降圧するため、レギュレータ等を接続する必要があります。また、セルフ/バスパワー切り替え方式の場合で、USBケーブルの抜き差しを検出する必要のあるシステム設計においては、USB Vbusを検出するための回路とソフトウェア処理が必要です。

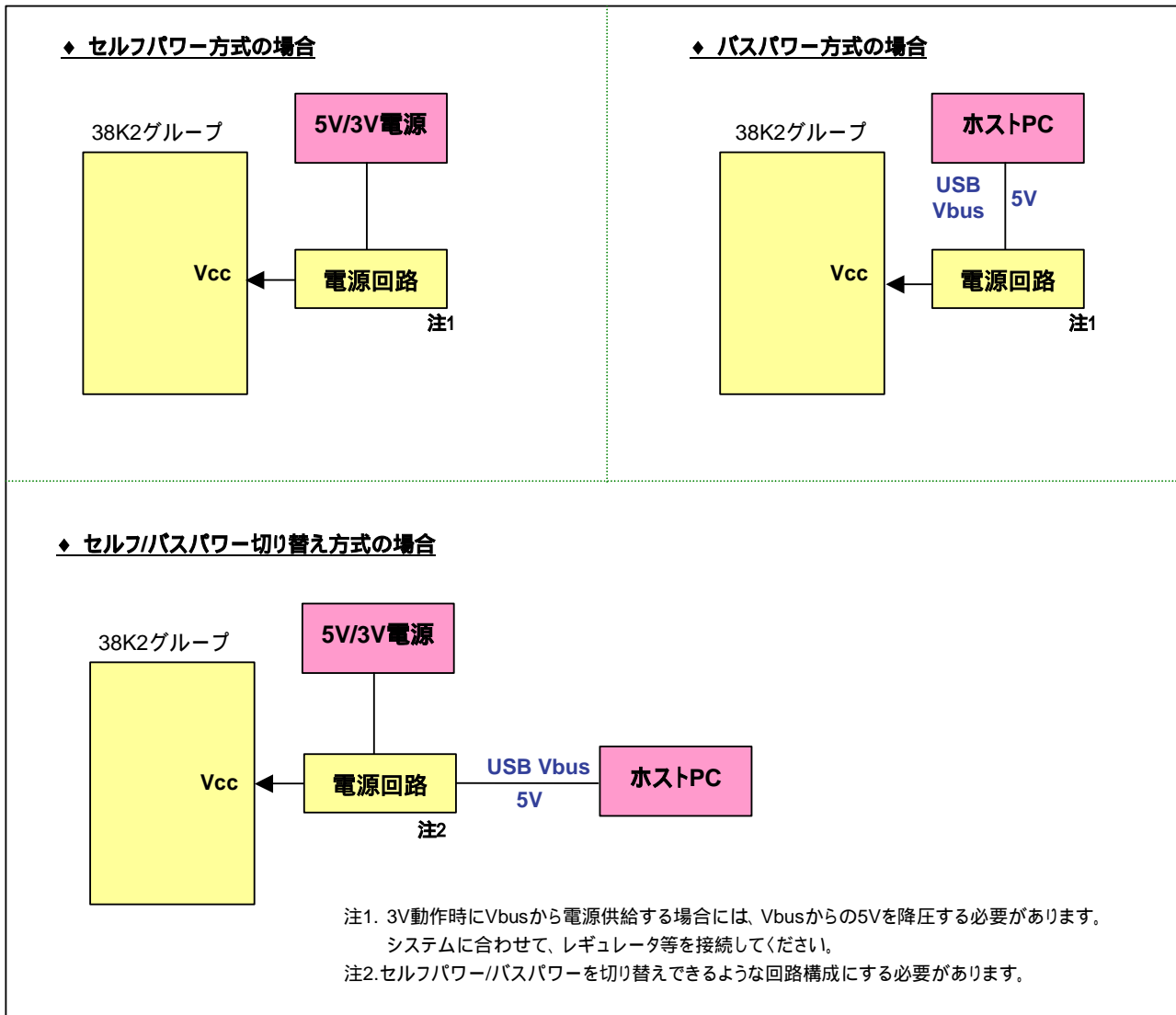


図 6.1 V_{cc} 端子周辺のブロック図

6.3. USB 周辺回路(5V/3V 動作時の違い)

動作電圧や電源供給の方法により、USB周辺回路、USB制御レジスタ(USBCON)の設定が異なります。38K2グループでは、システムクロック、内部クロック()により、動作保証電圧範囲(V_{CC})が異なります。関係を表 6.2に示します。また、 $V_{CC}=3.00 \sim 4.00V$ では、USB基準電圧回路を動作禁止にし、 $USBV_{REF}$ 端子から $3.00 \sim 3.60V$ を供給する必要があります。ただし、 $USBV_{REF}$ 電圧は V_{CC} を超えないよう注意してください。

表 6.2 クロックと電源電圧 V_{CC} とUSB基準電源 $USBV_{REF}$ の関係

外部発振	システムクロック	内部クロック	電源電圧 V_{CC}	USB基準電 $USBV_{REF}$
6MHz または 12MHz	12MHz	6MHz(2分周)	4.00 ~ 5.25	USB基準電圧回路動作許可
	8MHz	8MHz	4.00 ~ 5.25	
			4.00 ~ 5.25	
	6MHz	6MHz	3.00 ~ 4.00	USB基準電圧回路動作禁止 $USBV_{REF}$ へ直接 $3.00 \sim 3.60V$ を供給する必要あり

(1) 4.00 ~ 5.25V動作時

USB基準電圧制御回路を使用することができます。

◆USBデバイスブロック初期化時

USB基準電圧許可ビット(VREFE) = "1" : USB基準電圧回路動作許可

USB基準電圧制御ビット(VRECON) = "0" : ノーマルモード

◆USBサスペンド割り込み処理ルーチン内

USB基準電圧許可ビット(VREFE) = "1" : USB基準電圧回路動作許可

USB基準電圧制御ビット(VRECON) = "1" : 低消費電力モード

◆サスペンドからの復帰割り込み処理ルーチン内(USBレジューム割り込み または リモートウエイクアップ):

USB基準電圧許可ビット(VREFE) = "1" : USB基準電圧回路動作許可

USB基準電圧制御ビット(VRECON) = "0" : ノーマルモード

(2) 3.00 ~ 4.00V動作時

USB基準電圧制御回路を使用できないため、禁止に設定します。

◆USBデバイスブロック初期化時

USB基準電圧許可ビット(VREFE) = "0" : USB基準電圧回路動作禁止

$V_{CC}=3.00 \sim 3.60V$ の場合、 $USBV_{REF}$ は V_{CC} へ接続します。

USB周辺回路の接続例を図 6.2、図 6.3に示します。

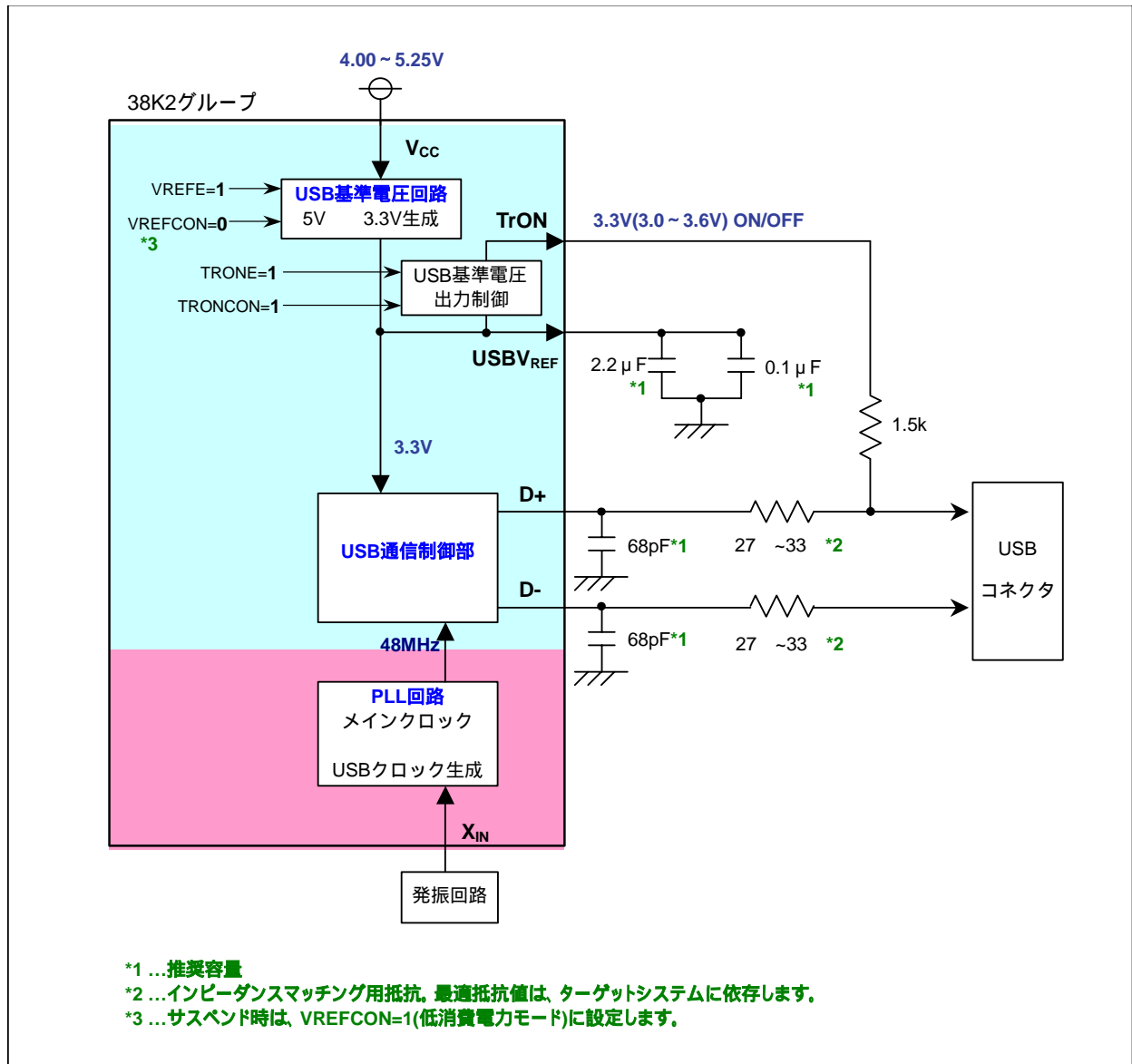


図 6.2 USB 周辺回路例(USB 基準回路許可の場合)

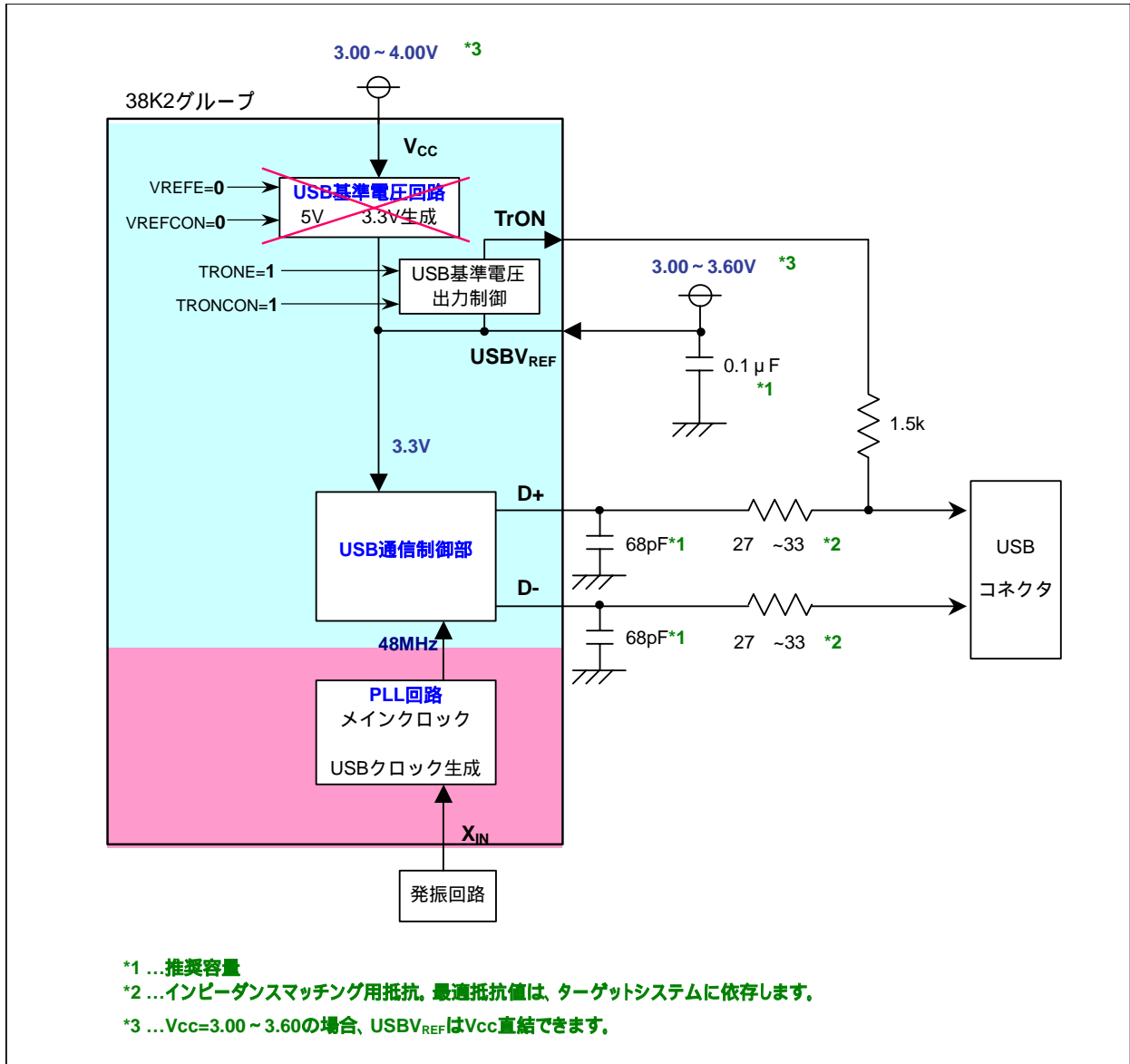


図 6.3 USB 周辺回路例(USB 基準回路禁止の場合)

6.4. USB ケーブルの接続/非接続

6.4.1. USB Vbus 検出の必要な場合

(1) USB基準電圧出力(TrON)のON/OFF制御

USB基準電圧出力(TrON)は、アップポートのプルアップ電圧出力端子です。本端子からは、内部または外部から供給されたUSB V_{REF} の電圧が出力されます。1.5k Ω の抵抗を介してD0+端子に接続します。

このTrON電圧出力は、USB制御レジスタ(USBCON)のビット1、TrON出力制御ビット(TRONCON)でON/OFFすることができます。ただし、通常、TrONはUSB Vbus電圧の検出後にONする必要があります。

(2) セルフパワー時のUSB Vbusライン検出

マイコンがセルフパワーで動作している時、アップポートがホストPCから切り離された状態では、USB Vbusが不定になります。この状態を検出した場合、TrON電圧出力をOFFしUSB機能を停止する必要があります。

なお、再び、USB Vbusを検出した場合、USBデバイスブロックの許可を実施します。

38K2グループは、上記制御する為のUSB Vbus検出をH/W的に行っていません。そのため、別途外付けH/Wを追加するか、USB Vbusを割り込みにアサインしF/WでON/OFFする必要があります。

6.4.2. USB Vbus 検出方法

USB Vbus検出にはコンパレータを使用してUSB Vbusの電圧を検出し、USB Vbusの状態変化を知る方法など種類の方法がありますが、本項では最も一般的な、USB VbusとINT端子を接続する方法について説明します。接続例を図 6.4に示します。

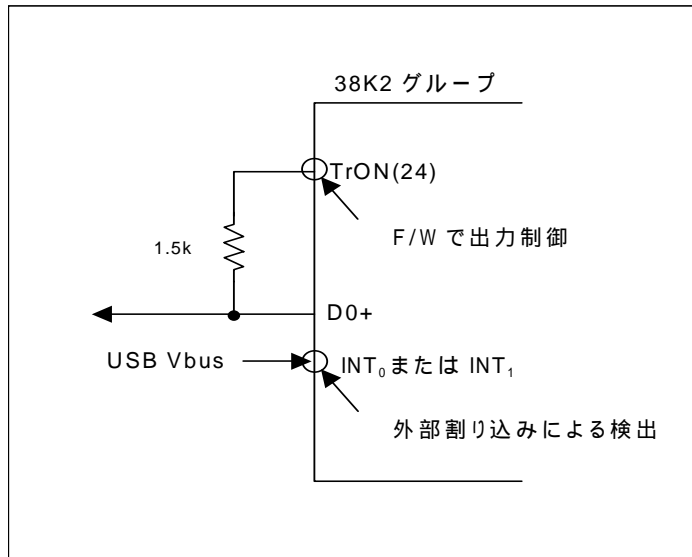


図 6.4 外部割り込みによるUSB Vbus検出例

(1) INT割り込みの設定

USB VbusとINT端子を図 6.4のように接続し、INT₀割り込み、またはINT₁割り込みにより、INT₀またはINT₁端子(USB Vbus入力端子として機能させます)の状態変化を検出します。“L” “H”の変化でUSBケーブルの接続を、“H” “L”の変化でUSBケーブルが抜かれたことを検知します。立ち上がり、立下がりのどちらのエッジを検出するかは、割り込みエッジ選択レジスタ(0FF316番地)のINT₀割り込みエッジ選択ビット、またはINT₁割り込みエッジ選択ビットで設定します。アクティブエッジを設定する際、割り込み要求ビットがセットされることがあります。割り込みを禁止し、割り込みエッジを設定した後割り込み要求ビットをクリアしてから割り込みを許可にしてください。

(2) USB Vbus検出方法

USB Vbus検出は波形安定のため数ms間チャタリング除去(回数はお客様のシステムに依存します)のうえ状態確認を行う必要があります。

◆USBケーブル接続の場合:

USB Vbusからの電源供給処理を行います。USBデバイスブロックが禁止状態であれば、USBデバイスブロックを許可し初期設定を行った後、エニュメレーション処理を行います。

◆USBケーブルを抜いた場合:

USBデバイスブロック、USBクロックの供給を禁止(PLL回路停止)します。

(3) USBサスペンド時のUSB Vbus検出

INT割り込みは38K2グループの内部クロック供給を停止していても発生します。内部クロック供給停止時のサスペンド状態におけるUSB Vbusポート入力は、サスペンド状態から復帰し、内部クロック供給を行った後でポートを確認します。

サスペンド割り込み処理ルーチンのサスペンドからの復帰割り込み設定の箇所に、USB Vbus検出用のINT割り込みの設定(割り込み要求レジスタの該当するビットを要求なしに、割り込み制御レジスタの該当するビットを許可)を追加してください。

改定履歴	38K2 グループ USB 応用技術資料
------	----------------------

Ver.No.	Date	改定内容
1.0	2002.12.16	初版発行
1.1	2006.10.03	・USB 機能を使用するシステム設計に関する注意事項追加 ・6.1.電源供給 動作保証電圧範囲の標準品の記載削除 ・表 6.1、表 6.2 内部クロック 12MHz の欄削除



ルネサス USB シングルチップマイクロコンピュータ
38K2 グループ
USB 応用技術資料 VER.1.1
株式会社ルネサス テクノロジ
株式会社ルネサスソリューションズ

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

Copyright 2006 **RENESAS** TECHNOLOGY Corp.
RENESAS SOLUTIONS Corp.