

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

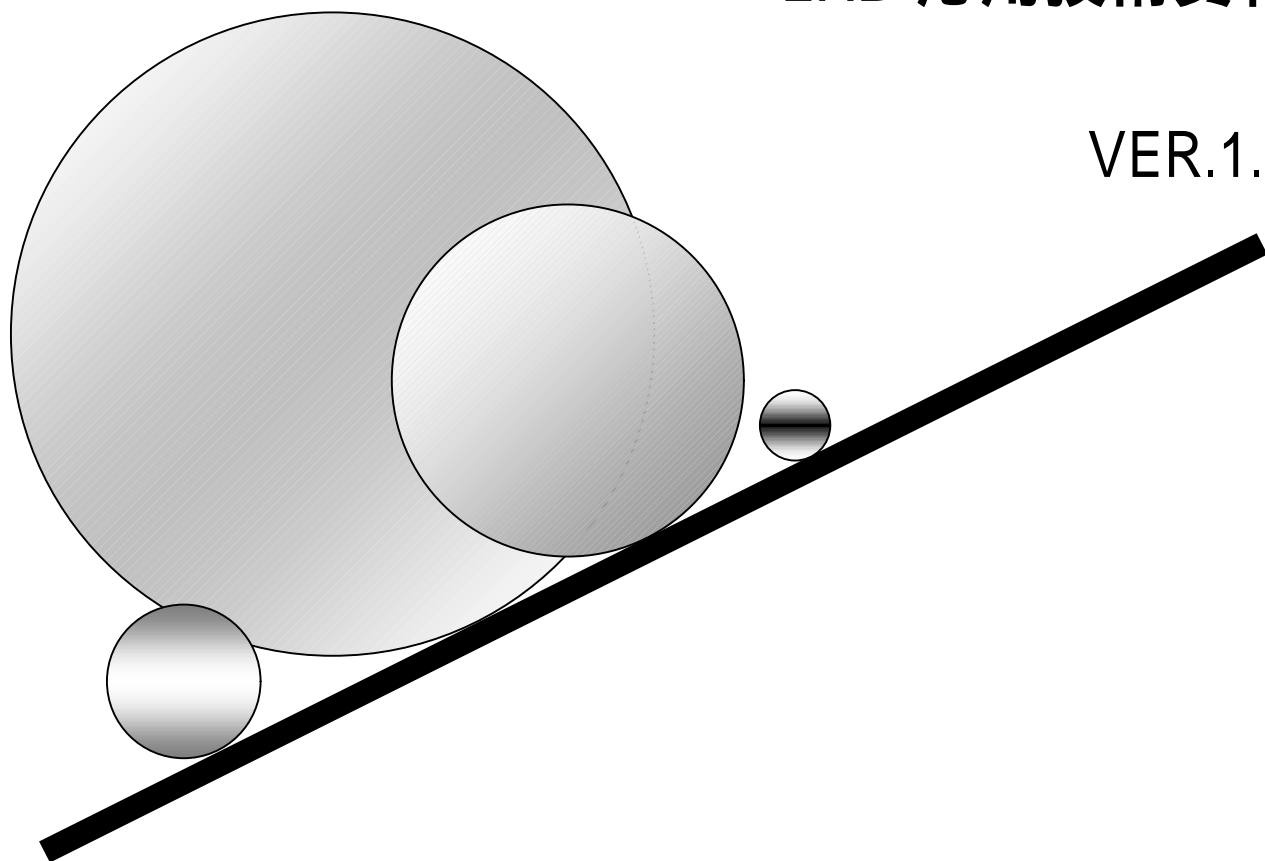
注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ルネサス USB シングルチップマイクロコンピュータ

38K0/38K2 **グループ**

**EXB 応用技術資料**

VER.1.1



#### 安全設計に関するお願い

- ・ 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意下さい。

#### 本書ご利用に際しての留意事項

- ・ 本書は、お客様が用途に応じた適切なルネサス半導体製品をご購入いただくための参考資料であり、本書中に記載の技術情報についてルネサステクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・ 本書に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサステクノロジは責任を負いません。
- ・ 本書に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本書発行時点のものであり、ルネサステクノロジは、予告なしに、本書に記載した製品または仕様を変更することがあります。ルネサス半導体製品のご購入に当たりますは、事前にルネサステクノロジまたは特約店へ最新の情報をご確認頂きますとともに、ルネサステクノロジ半導体情報ホームページ(<http://www.renesas.com/jpn>)などを通じて公開される情報に常にご注意下さい。
- ・ 本書に記載した情報は、正確を期すため、慎重に制作したのですが万一本書の記述誤りに起因する損害がお客様に生じた場合には、ルネサステクノロジはその責任を負いません。
- ・ 本書に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。ルネサステクノロジは、適用可否に対する責任を負いません。
- ・ 本書に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本書に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサステクノロジまたは特約店へご照会下さい。
- ・ 本書の転載、複製については、文書によるルネサステクノロジの事前の承諾が必要です。
- ・ 本書に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサステクノロジまたは特約店までご照会下さい。

|      |                           |
|------|---------------------------|
| 改定履歴 | 38K0/38K2 グループ EXB 応用技術資料 |
|------|---------------------------|

| Rev.No. | Date       | 改定内容         |
|---------|------------|--------------|
| 0.0     | 2001/10/18 | ドラフト発行       |
| 0.9     | 2001/12/5  | PDF ファイル初版発行 |
| 1.0     | 2002/11/26 | PDF 改定発行     |
| 1.1     | 2002/12/10 | 誤字修正         |
| 1.1     | 2003/4/7   | 社名変更         |

**関連資料**

ルネサスマイクロコンピュータ 38K0(38K2) グループ データシート

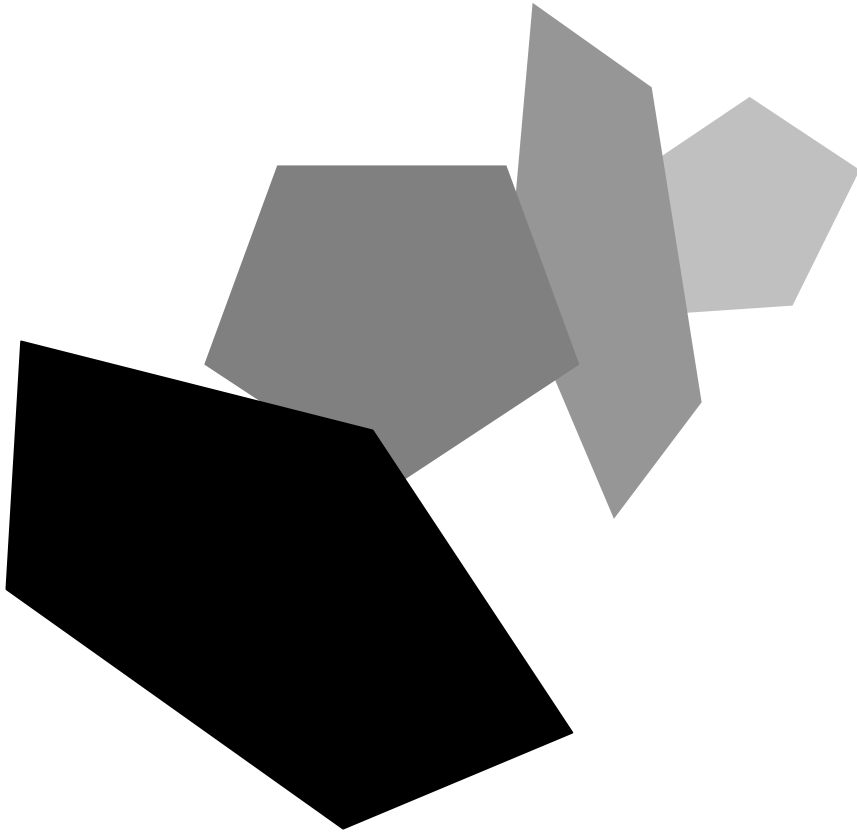
38K0(38K2) グループ USB 応用技術資料

**ルネサスUSBマイコンホームページ**

[http://www.renesas.com/jpn/products/mpumcu/specific/usb\\_mcu/index.html](http://www.renesas.com/jpn/products/mpumcu/specific/usb_mcu/index.html)

# - 目次 -

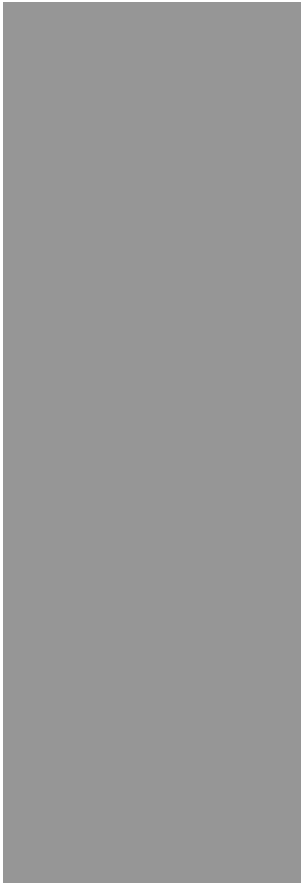
|  |    |
|--|----|
| <b>第 1 章</b> .....                               | 1  |
| EXB 概要.....                                      | 1  |
| 1.1 はじめに.....                                    | 2  |
| 1.2 EXB とは.....                                  | 2  |
| <b>第 2 章</b> .....                               | 4  |
| EXB の基本動作.....                                   | 4  |
| 2.1 端子説明.....                                    | 5  |
| 2.2 EXB の関連レジスタ.....                             | 6  |
| 2.2.1 割り込み制御レジスタ1.....                           | 7  |
| 2.2.2 割り込み要求レジスタ1.....                           | 7  |
| 2.2.3 EXB 割り込み要因許可レジスタ.....                      | 8  |
| 2.2.4 EXB 割り込み要因レジスタ.....                        | 9  |
| 2.2.5 外部 I/O コンフィギュレーションレジスタL (インデックス:00H).....  | 10 |
| 2.2.6 外部 I/O コンフィギュレーションレジスタH (インデックス:00H).....  | 11 |
| 2.2.7 送受信バッファレジスタ (インデックス:01H).....              | 12 |
| 2.2.8 メモリチャネル動作モードレジスタ (インデックス:02H).....         | 13 |
| 2.2.9 メモリアドレスカウンタ L/H (インデックス:03H).....          | 14 |
| 2.2.10 エンドアドレスレジスタ L/H (インデックス:04H).....         | 14 |
| 2.3 CPU チャネルモード.....                             | 15 |
| 2.3.1 CPU チャネル受信モード.....                         | 16 |
| 2.3.2 CPU チャネル送信モード.....                         | 19 |
| 2.4 メモリチャネルモード.....                              | 23 |
| 2.4.1 RAM の調停と内部クロック の制限事項.....                  | 25 |
| 2.4.2 メモリチャネル受信モード.....                          | 27 |
| 2.4.3 メモリチャネル送信モード.....                          | 32 |
| 2.5 EXBIREQ (ステータス) 読み出し機能.....                  | 37 |
| <b>第 3 章</b> .....                               | 38 |
| <b>付録</b> .....                                  | 38 |
| 3.1 接続例.....                                     | 39 |
| 3.2 USB (エンドポイント 01/02/03) 外部メイン MCU の転送制御例..... | 41 |
| 3.2.1 USB バッファの設定.....                           | 42 |
| 3.2.2 ダブルバッファの動作例.....                           | 44 |



# 第 1 章

## EXB 概要

---



## 1.1 はじめに

本書は、ルネサスマイクロコンピュータ 38K0/38K2 グループの外部バス機能 EXB に関する説明資料です。USB に関する説明は、別紙「38K0(38K2) グループ USB 応用技術資料」をご参照ください。

## 1.2 EXB とは

38K0/38K2 グループの外部バス機能 EXB(以下: EXB)とは、図 1.2(1)に示すように、38K0/38K2 が外部メイン MCU と 8ビットバスにて平行通信を行う機能のことです。この時、38K0/38K2 は、外部メイン MCU から外部メモリや、その他、周辺デバイスと同じようなスレーブデバイスとして扱われます。また、この時、理論上、内部クロック ÷5 Byte/s( =8MHz の場合、1.6MByte/s) のデータ転送を行うことが可能です。

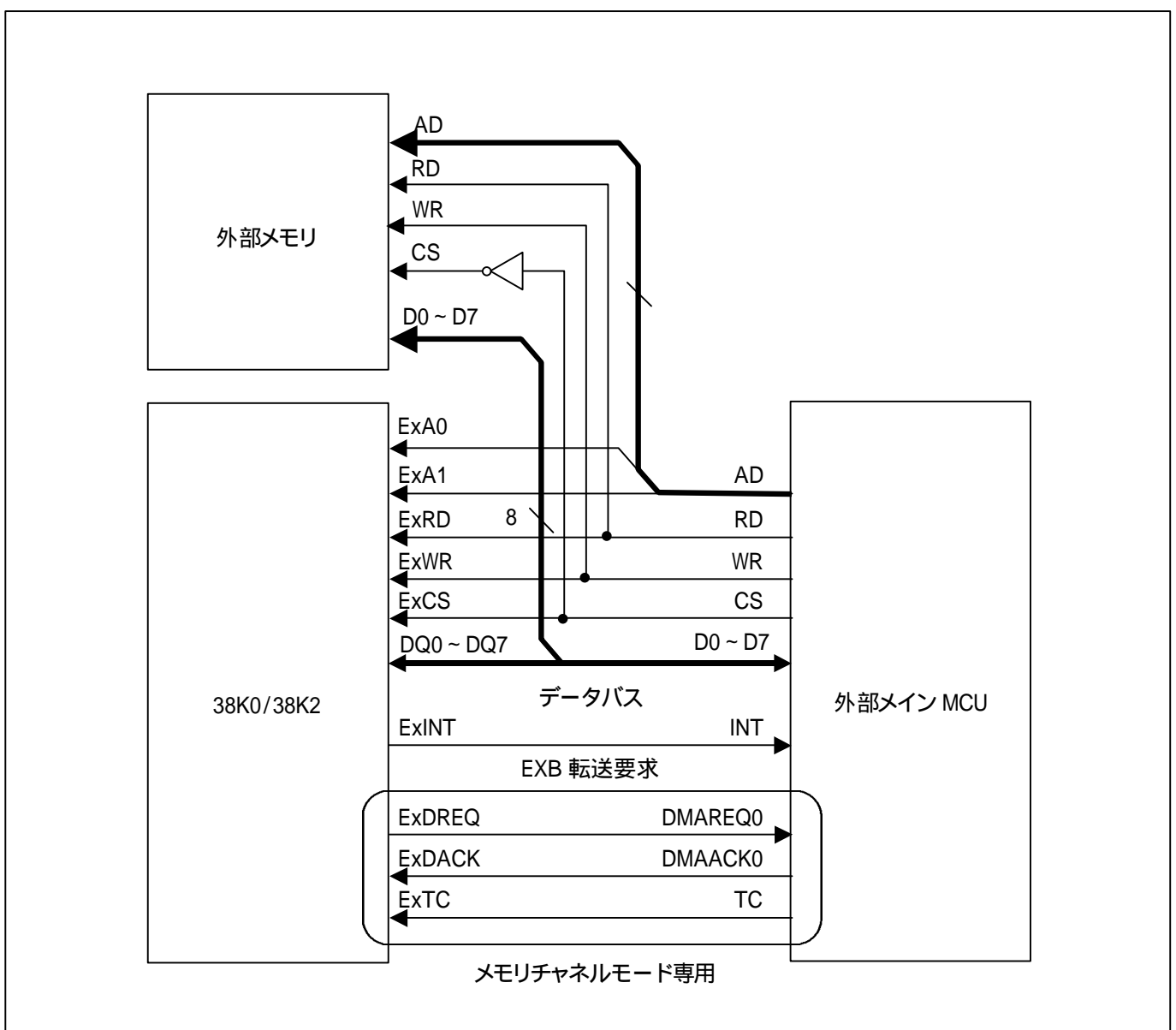


図 1.2(1) EXB の概念図(1)



EXB には、2つのモード CPUチャンネルモード(送信/受信) と メモリチャンネルモード(送信/受信) が存在します。以下に、その特長を示します。

### CPUチャンネルモード

- CPU から参照可能なデータを 1 バイトずつ転送
- 1 バイト転送ごとに CPU 内で割り込み (CPUチャンネル割り込み) を発生
- 1 バイト制御コードの送受信に適用可能

### メモリチャンネルモード

- RAM 領域に指定した先頭アドレスと最終アドレスの間の複数バイトを連続転送
- 指定数バイト転送後に CPU 内で割り込み (メモリチャンネル割り込み) を発生
- 転送形式は簡易 DMA に対応可能 (外部メイン MCU は、必ずしも DMA に対応する必要なし)
- データ情報の送受信に適用可能

38K0/38K2 は、これら EXB ならびに USB 機能を併用することにより、USB データ変換デバイスとして応用することが可能です (USB EXB 注1) の転送レートは、システム、F/W の処理方法、OS に依存しますが、実力で 約 640KByte/s 以上 ( =8MHz BULK 転送) を確保できる事を確認しています。 注2)

注1) EXB と USB は、H/W 的に連携していません。F/W による処理が必要です。

注2) 転送レートは、外部メイン MCU の速度、38K0/38K2 の内部クロック、OS (ドライバ) のポーリング頻度により変化します。理論値は、約 900KByte/s 程度です。

図 1.2(2) に EXB の概念図 (2) を示します。CPU チャンネルモードでは、CPU のレジスタが転送に介在し、メモリチャンネルモードでは、メモリチャンネルコントローラが転送を制御します。

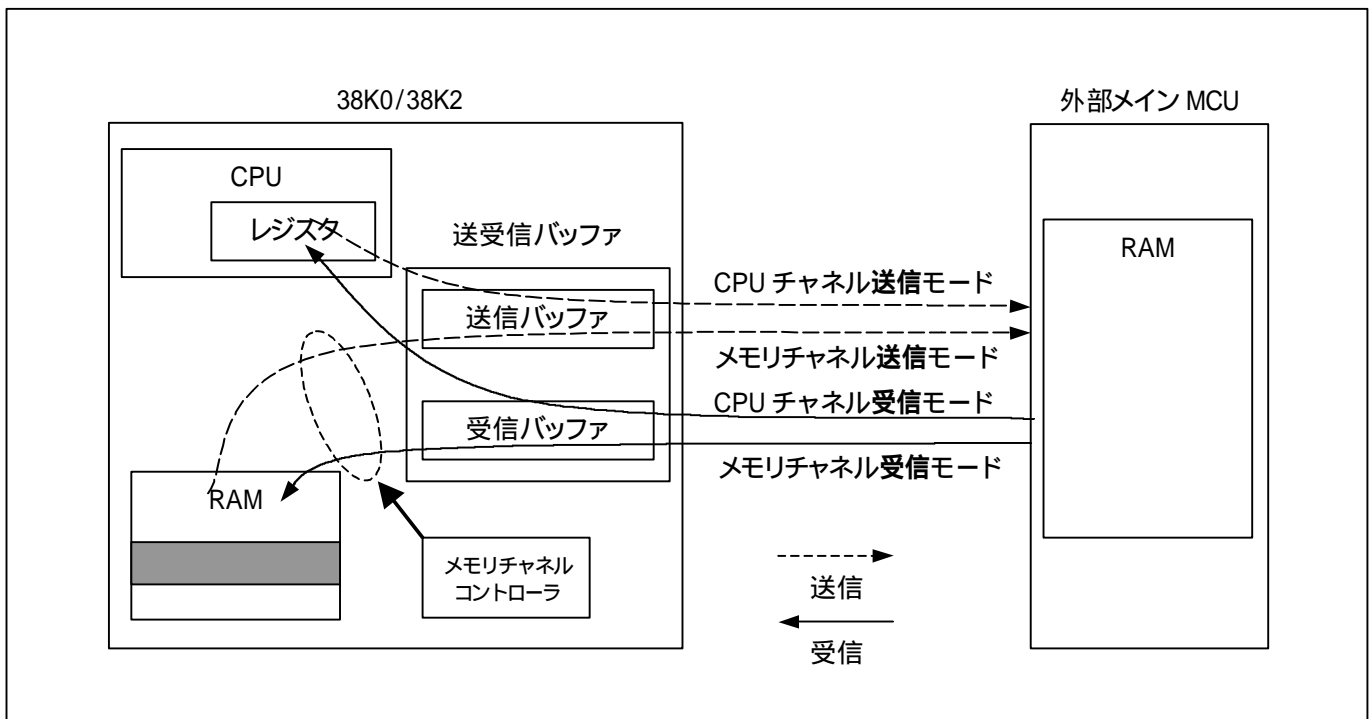
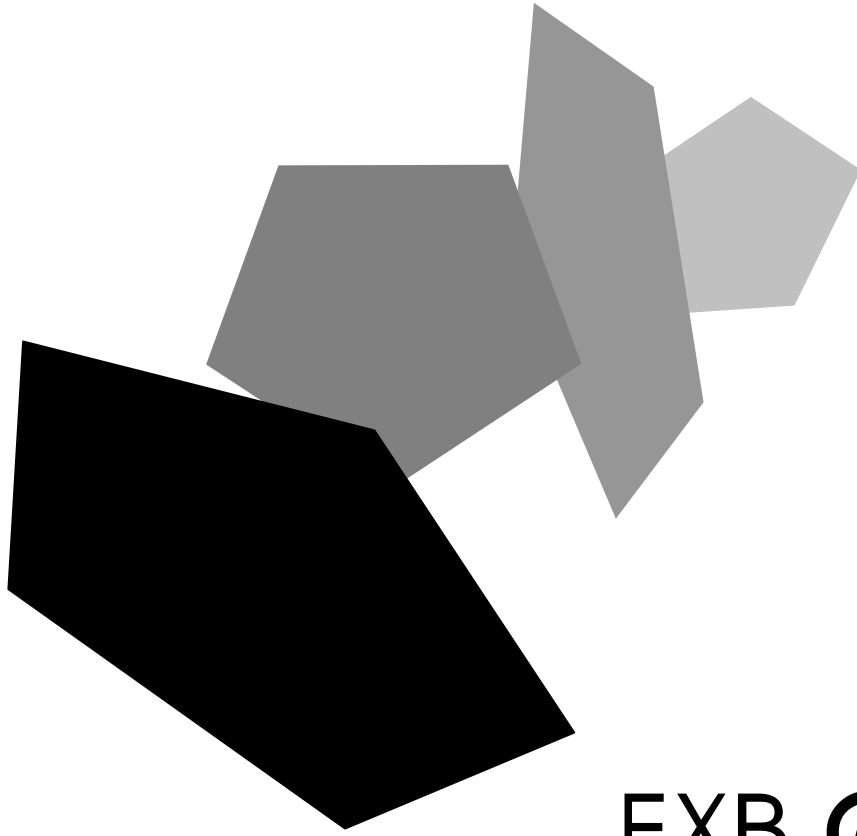


図 1.2(2) EXB の概念図(2)



## 第 2 章 EXB の基本動作

---



## 2.1 端子説明

38K0/38K2 における EXB 専用端子は、データバス 8 本を含め合計 17 本存在します。表 2.1 にその端子機能を示します。尚、このうち EXB に最低必要な端子は、表中白抜き□の 13 本です。

表 2.1 38K0/38K2 EXB 端子機能一覧

| 端子名(ピン番)              | 名称                 | 機能  |
|-----------------------|--------------------|---|
| ExA1 (54)             | ステータスリードセレクト入力     | 外部 EXB 割り込み端子(ExINT)に、CPU チャンネル割り込み要因、メモリチャンネル割り込み要因の両者を割り当てた場合、外部メイン MCU が、両者要因を判別するレジスタを読み出す制御端子です。   |
| ExINT (58)            | 外部 EXB 割り込みリクエスト出力 | 38K0/38K2 の EXB 割り込みリクエスト出力端子です。CPU チャンネルレディ、ならびにメモリチャンネルリクエスト発生時、"L"を出力します。これにより、外部メイン MCU は、38K0/38K2 の処理速度に同期することが可能です。  |
| ExCS (59)             | 外部チップセレクト入力        | チップセレクト端子です。<br>ExCS="L" の時、38K0/38K2 から(へ)データを RD(/WR)します。   |
| ExWR (60)             | 外部ライト信号入力          | EXB の WR 信号入力端子です。  |
| ExRD (61)             | 外部リード信号入力          | EXB の RD 信号入力端子です。  |
| ExA0 (62)             | 外部アドレス入力           | 38K0/38K2 の内部状態(CPU チャンネルモード/メモリチャンネルモード)に合わせて、外部メイン MCU が状態を設定する端子です。 <sup>注1)</sup><br>ExA0="H" の時、データバスの値は、CPU チャンネルモードで処理されます。<br>ExA0="L" の時、データバスの値は、メモリチャンネルモードで処理されます。<br>ExA1="H"、ExCS="L" で外部メイン MCU が ExRD した場合、EXB 割り込み要因レジスタ(EXBIREQ)が EXB データバス上に読み出されます。これにより、外部メイン MCU から、EXB 割り込みの要因(モード)を確認することが可能です。 |
| DQ0 ~ DQ7<br>(63 - 6) | 外部データバス            | EXB のデータバス(8ビット)端子です。   |
| ExDREQ (51)           | DMA リクエスト出力        | DMA に対応したリクエスト出力端子です。38K0/38K2 が、外部メイン MCU へメモリチャンネルリクエストを出力します。  |
| ExDACK (52)           | DMA アクノリッジ入力       | DMA に対応したアクノリッジ入力端子です。DMA リクエストに対し外部メイン MCU からアクノリッジを受け付けます。 <sup>注2)</sup>   |
| ExTC (53)             | ターミナルカウント入力        | DMA に対応したターミナルカウント入力端子です。38K0/38K2 がメモリチャンネルモードで動作中、外部メイン MCU が本端子にターミナルカウントを入力した場合、38K0/38K2 のメモリチャンネルモードを強制終了させることが可能です。38K0/38K2 は、ターミナルカウントを受信した場合、転送を中断しメモリチャンネル割り込みを発生します。  |

注1) アドレス入力 ExA0 端子は、予め ExA1 端子を用い EXB 割り込み要因レジスタ(EXBIREQ)を読み出し、割り込み要因を確認してから設定する必要があります。

注2) メモリチャンネルモードの場合、通常、外部メイン MCU は、ExCS="L"、ExA0="L" で ExRD/ExWR を実行しますが、外部コンフィギュレーションレジスタ H の設定により、この 3 つの機能を ExDACK 端子で代用させることが可能です。

## 2.2 EXB の関連レジスタ

EXB 関連レジスタは、インデックスレジスタ、レジスタウィンドウを含め合計 13 本存在します。そのうち、8本のレジスタは、同じレジスタウィンドウ(同じアドレス空間)に定義され、インデックスレジスタにて切り替えて使用します。更に EXB では、割り込みベクタ内(最上位)の割り込みに関する EXB 割り込み許可ビット、ならびに EXB 割り込み要因ビットが存在し、ここでは、これら EXB 関連レジスタ、ビットについて説明します。

表 2.2(1)に EXB 関連レジスタ、表 2.2(2)にインデックス切り替えレジスタの一覧を示します。

表 2.2(1) EXB 関連レジスタ一覧

| アドレス  | 略称       | レジスタ名             |
|-------|----------|-------------------|
| 0030H | EXBICON  | EXB 割り込み要因許可レジスタ  |
| 0031H | EXBIREQ  | EXB 割り込み要因レジスタ    |
| 0032H |          |                   |
| 0033H | EXBINDEX | インデックスレジスタ        |
| 0034H | EXBREG1  | レジスタウィンドウ1 (LOW)  |
| 0035H | EXBREG2  | レジスタウィンドウ2 (HIGH) |
|       | ...      |                   |
| 003CH | IREQ1    | 割り込み要求レジスタ1       |
| 003EH | ICON1    | 割り込み制御レジスタ1       |

ExA1="H"で外部バスから読み出すことが可能です。

表 2.2(2) インデックス切り替えレジスタ一覧

| インデックスレジスタ(0033H) | アドレス(ウィンドウ) | 略称          | レジスタ名                   |
|-------------------|-------------|-------------|-------------------------|
| 00H               | 0034H       | EXBCFGL     | 外部 I/O コンフィギュレーションレジスタL |
|                   | 0035H       | EXBCFGH     | 外部 I/O コンフィギュレーションレジスタH |
| 01H               | 0034H       | RXBUF/TXBUF | 送受信バッファレジスタ             |
|                   | 0035H       |             |                         |
| 02H               | 0034H       | MCHMOD      | メモリチャネル動作モードレジスタ        |
|                   | 0035H       |             |                         |
| 03H               | 0034H       | MEMADL      | メモリアドレスカウンタL            |
|                   | 0035H       | MEMADH      | メモリアドレスカウンタH(下位3ビットのみ)  |
| 04H               | 0034H       | ENDADL      | エンドアドレスレジスタL            |
|                   | 0035H       | ENDADH      | エンドアドレスレジスタH(下位3ビットのみ)  |

EXB 割り込み要因レジスタ(0031H)は、ExA1 端子="H"にすると、その内容が外部データバス(DQ0~DQ7)上に現れます。外部メイン MCU は、この外部バス状態を ExRD することにより、38K0/38K2 の EXB 割り込み要因レジスタ(0031H)の内容を知ることが可能です。

## 2.2.1 割り込み制御レジスタ1

図 2.2.1 に割り込み制御レジスタ1 (割り込みベクタ内の最上位の割り込み) の構成を示します。その他、割り込みに関しては、別紙「38K0(38K2)グループ データシート」をご参照ください。

| 割り込み制御レジスタ1 |                     | ICON1                  | [ 003EH ] |     |
|-------------|---------------------|------------------------|-----------|-----|
| ビット         | ビット名                | 機能                     | リセット      | R/W |
| 0           | USB バスリセット割り込み許可ビット | 0: 割り込み禁止<br>1: 割り込み許可 | 0         | R/W |
| 1           | USB SOF 割り込み許可ビット   | 0: 割り込み禁止<br>1: 割り込み許可 | 0         | R/W |
| 2           | USB デバイス割り込み許可ビット   | 0: 割り込み禁止<br>1: 割り込み許可 | 0         | R/W |
| 3           | EXB 割り込み許可ビット       | 0: 割り込み禁止<br>1: 割り込み許可 | 0         | R/W |
| 4           | INT0 割り込み許可ビット      | 0: 割り込み禁止<br>1: 割り込み許可 | 0         | R/W |
| 5           | タイマX 割り込み許可ビット      | 0: 割り込み禁止<br>1: 割り込み許可 | 0         | R/W |
| 6           | タイマ1 割り込み許可ビット      | 0: 割り込み禁止<br>1: 割り込み許可 | 0         | R/W |
| 7           | タイマ2 割り込み許可ビット      | 0: 割り込み禁止<br>1: 割り込み許可 | 0         | R/W |

図 2.2.1 割り込み制御レジスタ1 の構成

## 2.2.2 割り込み要求レジスタ1

図 2.2.2 に割り込み要求レジスタ1 (割り込みベクタ内の最上位の割り込み) の構成を示します。

| 割り込み要求レジスタ1 |                     | IREQ1                      | [ 003CH ] |     |
|-------------|---------------------|----------------------------|-----------|-----|
| ビット         | ビット名                | 機能                         | リセット      | R/W |
| 0           | USB バスリセット割り込み要求ビット | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0         | R/W |
| 1           | USB SOF 割り込み要求ビット   | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0         | R/W |
| 2           | USB デバイス割り込み要求ビット   | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0         | R/W |
| 3           | EXB 割り込み要求ビット       | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0         | R/W |
| 4           | INT0 割り込み要求ビット      | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0         | R/W |
| 5           | タイマX 割り込み要求ビット      | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0         | R/W |
| 6           | タイマ1 割り込み要求ビット      | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0         | R/W |
| 7           | タイマ2 割り込み要求ビット      | 0: 割り込み要求なし<br>1: 割り込み要求あり | 0         | R/W |

注1) 本レジスタには、“0”のみ書き込むことが可能です。

図 2.2.2 割り込み要求レジスタ1 の構成

## 2.2.3 EXB 割り込み要因許可レジスタ

図 2.2.3 に EXB 割り込み要因許可レジスタの構成を示します。

| EXB 割り込み要因許可レジスタ |                           | EXBICON             | [ 0030H ]                   |      |     |
|------------------|---------------------------|---------------------|-----------------------------|------|-----|
| ビット              | ビット名                      | 機能                  |                             | リセット | R/W |
| 0                | CPU チャネル受信許可ビット (RXB_ENB) | 0: 割り込み禁止           | 1: 割り込み許可 (受信バッファフル割り込み)    | 0    | R/W |
| 1                | CPU チャネル送信許可ビット (TXB_ENB) | 0: 割り込み禁止           | 1: 割り込み許可 (送信バッファエンプティ割り込み) | 0    | R/W |
| 2                | メモリチャネル動作許可ビット (MC_ENB)   | 0: 割り込み禁止           | 1: 割り込み許可 (メモリチャネル動作終了割り込み) | 0    | R/W |
| 7 - 3            | 不使用                       | 書き込み時は"0"を設定してください。 |                             | -    | -   |

注1) 各モードを許可する場合、一旦、対応するビットを"0"にしてください。

注2) 上記3ビットは、各々のモードを許可し、同時に"1"を設定しないでください。

図 2.2.3 EXB 割り込み要因許可レジスタの構成

### (1) CPU チャネル受信許可ビット(RXB\_ENB)

本ビットが"1" (割り込み許可) の場合、ExA0="H"、ExCS="L" で、38K0/38K2 が ExWR の立ち上がりを検出すると、外部バスの値を受信バッファレジスタに取り込み EXB 割り込み (受信バッファフル割り込み) を発生します。

### (2) CPU チャネル送信許可ビット(TXB\_ENB)

本ビットが"1" (割り込み許可) の場合、ExA0="H"、ExCS="L" で、38K0/38K2 が ExRD が立ち下がりを検出すると、送信バッファレジスタの値を外部バスに出力し EXB 割り込み (送信バッファエンプティ割り込み) を発生します。

尚、本ビットを"0" から"1"にした場合、その時、送受信バッファレジスタがエンプティと認識されるため、(ExRD に無関係に) 1 回目の EXB 割り込み要因が発生します。

### (3) メモリチャネル動作許可ビット(MC\_ENB)

メモリチャネルモードでは、1バイト転送ごとにメモリアドレスカウンタ (RAM バッファ領域の先頭アドレス) が"+1" ずつインクリメントします。このメモリアドレスカウンタがエンドアドレスレジスタ (RAM バッファ領域の最終アドレス)+1 になった場合、メモリチャネル動作を完了します。この時、本ビットが"1" (割り込み許可) の場合、EXB 割り込み (メモリチャネル動作終了割り込み) を発生します。

## 2.2.4 EXB 割り込み要因レジスタ

図 2.2.4 に EXB 割り込み要因レジスタの構成を示します。尚、本レジスタは、ExA1="H"、ExCS="L"で 38K0/38K2 が ExRD を検出すると、外部バスに出力されます(ステータスリード機能)。

| EXB 割り込み要因レジスタ |                               | EXBIREQ  | [ 0031H ] |          |          |
|----------------|-------------------------------|--|-----------|----------|----------|
| ビット            | ビット名                          | 機能   |           | リセット     | R/W      |
| 0              | 受信バッファフルビット<br>(RXB_FULL)     | 0: 割り込み要求なし<br>1: 受信バッファフル(割り込み発生)   |           | 0<br>注2) | -<br>注1) |
| 1              | 送信バッファエンptyビット<br>(TXB_EMPTY) | 0: 割り込み要求なし<br>1: 送信バッファエンpty(割り込み発生)  |           | 0<br>注3) | -<br>注1) |
| 3 - 2          | メモリチャネルステータスビット<br>(MC_STS)   | 00: メモリチャネル動作停止中<br>01: メモリチャネル動作中(外部アクセス未だなし)<br>10: メモリチャネル動作中(外部アクセス有り)<br>11: メモリチャネル動作終了<br>(メモリチャネル動作終了割り込み発生) |           | 00       | -<br>注1) |
| 7 - 4          | 不使用                           | 書き込み時は"0"を設定してください   |           | -        | -        |

注1) 本レジスタには、"0"も"1"も書き込むことができません。

注2) 本ビットは、受信バッファの読み出し、またはCPUチャネル受信を禁止する事により"0"となります。

注3) 本ビットは、送信バッファの書き込み、またはCPUチャネル送信を禁止する事により"0"となります。

図 2.2.4 EXB 割り込み要因レジスタの構成

EXB 割り込み要因レジスタは、参照用レジスタで直接 F/W で"0"や"1"を書き込むことができません。受信バッファフルビットは、受信バッファの読み出しにて、送信バッファエンptyビットは、送信バッファの書き込みにて"0"となります。また、EXB 割り込み要因許可レジスタ(EXBICON)のビット1を"0"にすることにより、本レジスタの全ビットが"0"となります。

尚、EXB 割り込み要求ビット(IREQ1のビット3)は F/W で"0"を書き込む事が可能です。

### (1) メモリチャネルステータスビット(MC\_STS)

メモリチャネルモードの状態を表すステータスビットです。

表 2.2.4 にメモリチャネルステータスビット(MC\_STS)の遷移を示します。

表 2.2.4 メモリチャネルステータスビット(MC\_STS)の遷移

| MC_STS | 状態  |
|--------|---|
| 00     | メモリチャネル動作禁止状態   |
| 01     | メモリチャネル動作許可で、まだ外部メインMCUから1回もExRD/ExWRされていない状態           |
| 10     | メモリチャネル動作許可で、外部メインMCUから1回以上はExRD/ExWRされたが、全転送は完了していない状態 |
| 11     | メモリチャネル動作許可で、全転送が完了している状態                               |

## 2.2.5 外部 I/O コンフィギュレーションレジスタL (インデックス:00H)

図 2.2.5 に外部コンフィギュレーションレジスタLの構成を示します。

| 外部 I/O コンフィギュレーションレジスタL EXBCFGL [ 0034H ] |  |   |      |     |
|---|--|---|------|-----|
| ビット                                       | ビット名   | 機能  | リセット | R/W |
| 0   | EXB 端子制御ビット<br>(P10 ~ P17, P33 ~ P37)<br>(EXB_CTR) | 0: 汎用ポート<br>1: EXB 機能端子 (P33=ExINT/P34=ExCS<br>/P35=ExWR/P36=ExRD/P37=ExA0)       | 0    | R/W |
| 3 - 1                                     | ExINT 端子制御ビット(P33)<br>(INT_CTR)                    | xx1: 受信バッファエンプティ出力<br>x1x: 送信バッファフル出力 <sup>注1)</sup><br>1xx: DMA リクエスト出力(メモリチャネル) | 000  | R/W |
| 4   | ExA1 端子制御ビット(P43)<br>(A1_CTR)                      | 0: 汎用ポート<br>1: A1 入力(EXBIREQ 読み出し制御ポート)   | 0    | R/W |
| 7 - 5                                     | 不使用  | 書き込み時は"0"を設定してください。   | -    | -   |

注1) ExINT 出力は、各出力の AND(いずれかのレディ信号が"L"で出力"L")となります。

図 2.2.5 外部 I/O コンフィギュレーションレジスタLの構成

### (1) EXB 端子制御ビット(EXB\_CTR)

本ビットが"1"の場合、P10 ~ P17 は外部バス DQ0 ~ DQ7、P33 は ExINT、P34 は ExCS、P35 は ExWR、P36 は ExRD、P37 は ExA0 となります。

### (2) ExINT 端子制御ビット(INT\_CTR)

本3ビットは ExINT 端子のレディ/リクエスト信号(Low アクティブ) 出力の要因を設定するビットです。各要因は同時に設定することができ、出力信号は AND 出力(いずれかのレディ信号の"L"で出力"L")となります。

### (3) ExA1 端子制御ビット(A1\_CTR)

本ビットが"1"の場合、P43 は ExA1(入力) 端子となり、EXBIREQ 読み出し制御端子となります。ExA1="H"、ExCS="L"で、38K0/38K2 が ExRD を検出すると、EXB 割り込み要因レジスタ(EXBIREQ) が外部バスに出力されま



## 2.2.6 外部 I/O コンフィギュレーションレジスタ H (インデックス: 00H)

図 2.2.6 に外部 I/O コンフィギュレーションレジスタ H の構成を示します。

| 外部 I/O コンフィギュレーションレジスタ H      EXBCFGH      [ 0035H ] |  |  |      |     |
|--|--|--|------|-----|
| ビット  | ビット名                                       | 機能   | リセット | R/W |
| 1 - 0  | ExDREQ/ExRxD 端子制御ビット<br>(P40)<br>(DRQ_CTR) | 00: 汎用ポート<br>01: 使用禁止<br>10: 受信バッファEMPTY出力<br>11: DMA リクエスト出力 (メモリチャンネル)                                 | 00   | R/W |
| 3 - 2  | ExDACK 端子制御ビット(P41)<br>(DAK_CTR)           | 00: 汎用ポート<br>01: 使用禁止<br>10: アクノリッジ入力(ExRD/ExWR 信号併用)<br>11: アクノリッジ入力(ExRD/ExWR 信号不要) <small>注1)</small> | 00   | R/W |
| 4  | ExTC 端子制御ビット(P42)<br>(TC_CTR)              | 0: 汎用ポート<br>1: ExTC (ターミナルカウント) 入力   | 0    | R/W |
| 7 - 5  | 不使用  | 書き込み時は"0"を設定してください。  | -    | -   |

注1)      11: アクノリッジ入力: ExRD/ExWR 信号不要モードは、外部バスに 38K0/38K2 のみ接続されているとき  
ExDACK で ExRD/ExWR を代用させる場合に使用することが可能です。

図 2.2.6 外部 I/O コンフィギュレーションレジスタ H の構成

### (1) ExDREQ/ExRxD 端子制御ビット(DRQ\_CTR)

本 2 ビットが"10"の場合、CPU チャンネル受信モードにおいて受信バッファEMPTY出力を本端子に割り付けます。"11"の場合、メモリチャンネルモードにおいて DMA リクエスト出力を本端子に割り付けます。

### (2) ExDACK 端子制御ビット(DAK\_CTR)

本 2 ビットが"10"の場合、メモリチャンネルモードにおいて、外部メイン MCU は、ExRD/ExWR 信号にてデータのリード/ライトを行う必要があります。"11"の場合、外部メイン MCU は、ExDACK 信号のみでデータのリード/ライトを行う事が可能です。

### (3) ExTC 端子制御ビット(TC\_CTR)

本ビットが"1"の場合、メモリチャンネルモードにおいて、外部メイン MCU は、ExTC 信号で転送を強制終了することが可能です。

## 2.2.7 送受信バッファレジスタ（インデックス:01H）

図 2.2.7 に送信バッファレジスタ、受信バッファレジスタの構成を示します。両レジスタは、極性が異なりますが同じアドレスに割り当てられています。

| 送信バッファレジスタ |       | RXBUF | [ 0034H ] |      |     |
|------------|-------|-------|-----------|------|-----|
| ビット        | ビット名  | 機能    |           | リセット | R/W |
| 7 - 0      | TXBUF |       |           | 00H  | W   |

| 受信バッファレジスタ |       | TXBUF                         | [ 0034H ] |      |     |
|------------|-------|-------------------------------|-----------|------|-----|
| ビット        | ビット名  | 機能                            |           | リセット | R/W |
| 7 - 0      | RXBUF | ExWR の立ち上がりのタイミングでデータを取り込みます。 |           | 00H  | R   |

注1) 本バッファは、メモリチャンネルモード時、メモリチャンネルコントローラも使用します。つまり、メモリチャンネルモードの動作中、CPU チャンネルモードにて本アドレスを読み書きした場合、メモリチャンネルモードの転送に影響が出る可能性がありますのでご注意ください。

図 2.2.7 送受信バッファレジスタの構成

送信/受信バッファレジスタは、EXB に送受信するデータを CPU チャンネルモードにおいて CPU が、または、メモリチャンネルモードにおいてメモリチャンネルコントローラが読み書きするレジスタです。

CPU チャンネル受信モードの場合、ExA0="H"、ExCS="L" で、38K0/38K2 が ExWR の立ち上がりを検出すると、外部バスの値を受信バッファに取り込みます。ただし、CPU チャンネル受信割り込みが許可されていない場合、この(割り込み)イベントは CPU に通知されません。

CPU チャンネル送信モードの場合、ExA0="H"、ExCS="L" で、38K0/38K2 が ExRD の立ち下がりを検出すると、送信バッファの値を外部バスに出力します。

尚、38K0/38K2 では、CPU チャンネル送信割り込みが許可されていない場合、F/W で送信バッファにデータを書き込むことができません。また、割り込み許可のイベントにて最初の一回目の割り込み(送信バッファ空き割り込み)要因が発生するため、この割り込みが不要な場合、送信バッファ書き込み後に EXB 割り込み要求フラグを"0"にしてください(但し、送信バッファ空きビットは直接"0"を書き込むことができません)。

## 2.2.8 メモリチャネル動作モードレジスタ (インデックス:02H)

図 2.2.8 にメモリチャネル動作モードレジスタの構成を示します。

| メモリチャネル動作モードレジスタ |                            | EXBCFGH  | [ 0034H ] |     |
|------------------|----------------------------|--|-----------|-----|
| ビット              | ビット名                       | 機能   | リセット      | R/W |
| 1 - 0            | メモリチャネル方向制御ビット<br>(MC_DIR) | 00: 動作禁止<br>01: 受信モード<br>10: 送信モード<br>11: 使用禁止 | 00        | R/W |
| 2                | バーストビット<br>(BURST)         | 0: サイクルモード<br>1: バーストモード                       | 0         | R/W |
| 7 - 3            | 不使用                        | 書き込み時は"0"を設定してください。                            | -         | -   |

図 2.2.8 メモリチャネル動作モードレジスタの構成

(1) メモリチャネル方向制御ビット(MC\_DIR)

本ビットにより、メモリチャネルモードのデータ転送方向(送信/受信)を設定することが可能です。

(2) バーストビット(BURST)

本ビットにより、メモリチャネルモードのDMA リクエスト(ExDREQ 端子) の出力タイプを設定することが可能です。本ビットが"0" の場合、サイクルモード(1 バイトごとに ExDREQ 端子が" H" )、"1" の場合、バーストモード(全ての転送が終了、または、ターミナルカウント(ExTC)を検出した場合、ExDREQ 端子が" H" ) の出力タイプとなります。

## 2.2.9 メモリアドレスカウンタ L/H (インデックス:03H)

図 2.2.9 にメモリアドレスカウンタ L/H の構成を示します。

| メモリアドレスカウンタL |        | MEMADL  | [ 0034H ] |      |     |
|--------------|--------|---|-----------|------|-----|
| ビット          | ビット名   | 機能  |           | リセット | R/W |
| 7 - 0        | (IM_A) | メモリチャネル動作の下位スタ - トアドレス設定レジスタです。<br>1回のRAMアクセスごとに値が"+1"します。 <sup>注1)</sup> |           | 00H  | R/W |

| メモリアドレスカウンタH |        | MEMADH  | [ 0035H ] |      |     |
|--------------|--------|---|-----------|------|-----|
| ビット          | ビット名   | 機能  |           | リセット | R/W |
| 2 - 0        | (IM_A) | メモリチャネル動作の上位 3 ビットスタ - トアドレス設定レジスタです。<br><sup>注1)</sup> |           | 000  | R/W |
| 7 - 3        | 不使用    | 書き込み時は"0"を設定してください。                                     |           | -    | -   |

注1) 本レジスタには、RAM領域のアドレスのみ指定してください。

図 2.2.9 メモリアドレスカウンタL/Hの構成

メモリアドレスカウンタ L/H は、メモリチャネルモードの転送領域の先頭アドレスを指定するレジスタです。本レジスタは、メモリチャネルモードの1バイトデータ転送ごとにインクリメント"+1"されるため、転送開始時に必ず元の値を設定し直してください。

尚、本レジスタは、RAM領域以外のアドレスは指定しないでください(SFRなど)。

## 2.2.10 エンドアドレスレジスタ L/H (インデックス:04H)

図 2.2.10 にエンドアドレスレジスタ L/H の構成を示します。

| エンドアドレスレジスタL |         | ENDADL  | [ 0034H ] |      |     |
|--------------|---------|---|-----------|------|-----|
| ビット          | ビット名    | 機能  |           | リセット | R/W |
| 7 - 0        | (END_A) | メモリチャネルモードの下位エンドアドレス設定レジスタです。<br><sup>注1)</sup> |           | 00H  | R/W |

| エンドアドレスレジスタH |         | ENDADH  | [ 0035H ] |      |     |
|--------------|---------|---|-----------|------|-----|
| ビット          | ビット名    | 機能  |           | リセット | R/W |
| 2 - 0        | (END_A) | メモリチャネルモードの上位 3 ビットエンドアドレス設定レジスタです。<br><sup>注1)</sup> |           | 000  | R/W |
| 7 - 3        | 不使用     | 書き込み時は"0"を設定してください。                                   |           | -    | -   |

注1) 本レジスタには、RAM領域のアドレスのみ指定してください。

図 2.2.10 エンドアドレスレジスタL/Hの構成

エンドアドレスレジスタ L/H は、メモリチャネルモード転送領域の最終アドレスを指定するレジスタです。本レジスタは、メモリアドレスカウンタ L/H のように変動しないため、一度、設定すれば再設定する必要はありません。尚、メモリアドレスカウンタがインクリメントし、本レジスタ+1の値になった場合、メモリチャネル動作を完了します。

尚、本レジスタは、RAM領域以外のアドレスは指定しないでください(SFRなど)。

## 2.3 CPU チャンネルモード

CPU チャンネルモードとは、CPU が送受信バッファレジスタのデータを1バイトずつ外部メイン MCU に転送するモードです。38K0/38K2 は、1 バイト転送ごとに割り込み (CPU チャンネル割り込み) を発生します。

図 2.3 に CPU チャンネルモードにおける EXB 転送例を示します。

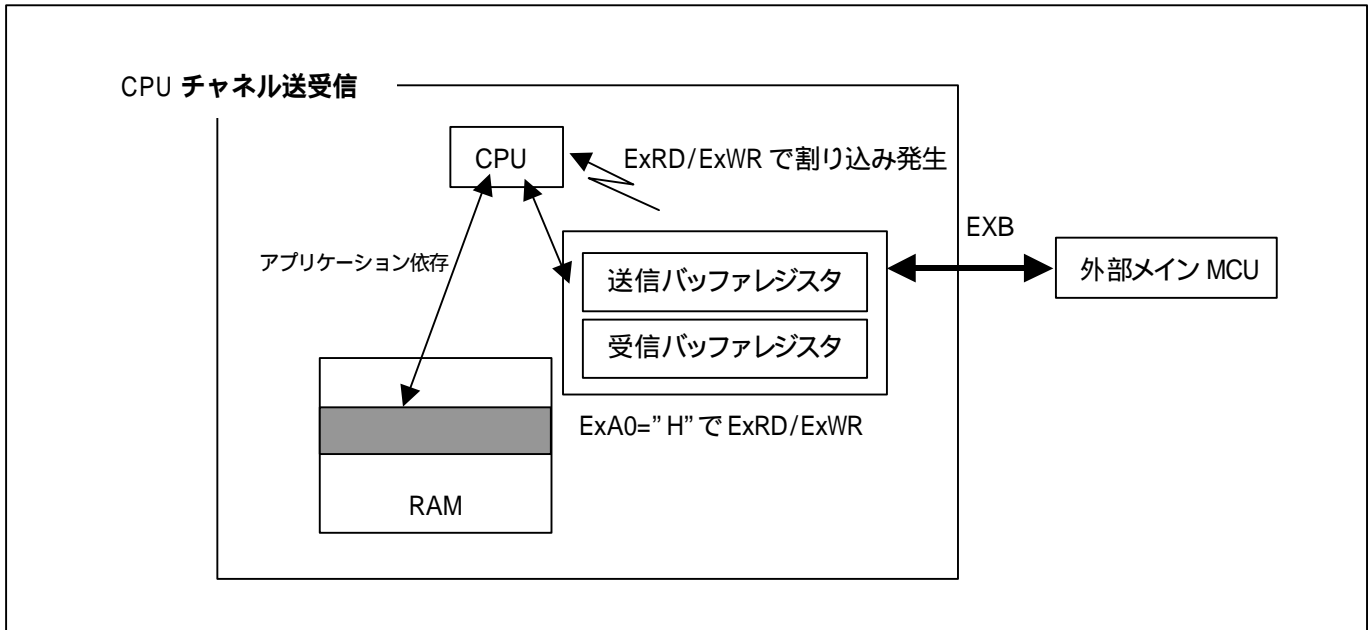


図 2.3 EXB 転送例

### 2.3.1 CPU チャネル受信モード

CPU チャネル受信モードは、外部メイン MCU から受信バッファレジスタに書き込まれたデータを、CPU が 1 バイトずつ処理するモードです。

図 2.3.1(1)に示すように、38K0/38K2 は、受信バッファがレディ(受信バッファempty)の場合、ExINT を“L”(外部 I/O コンフィギュレーションレジスタ L の設定に依存)として、外部メイン MCU に ExWR することを促します。その後、外部メイン MCU が ExA0=“H”、ExCS=“L”で ExWR を立ち上げた場合、38K0/38K2 は、DQ0 ~ DQ7 の 1 バイトを受信バッファレジスタに取り込み、ExINT を立ち上げ、CPU チャネル受信割り込みを発生します。

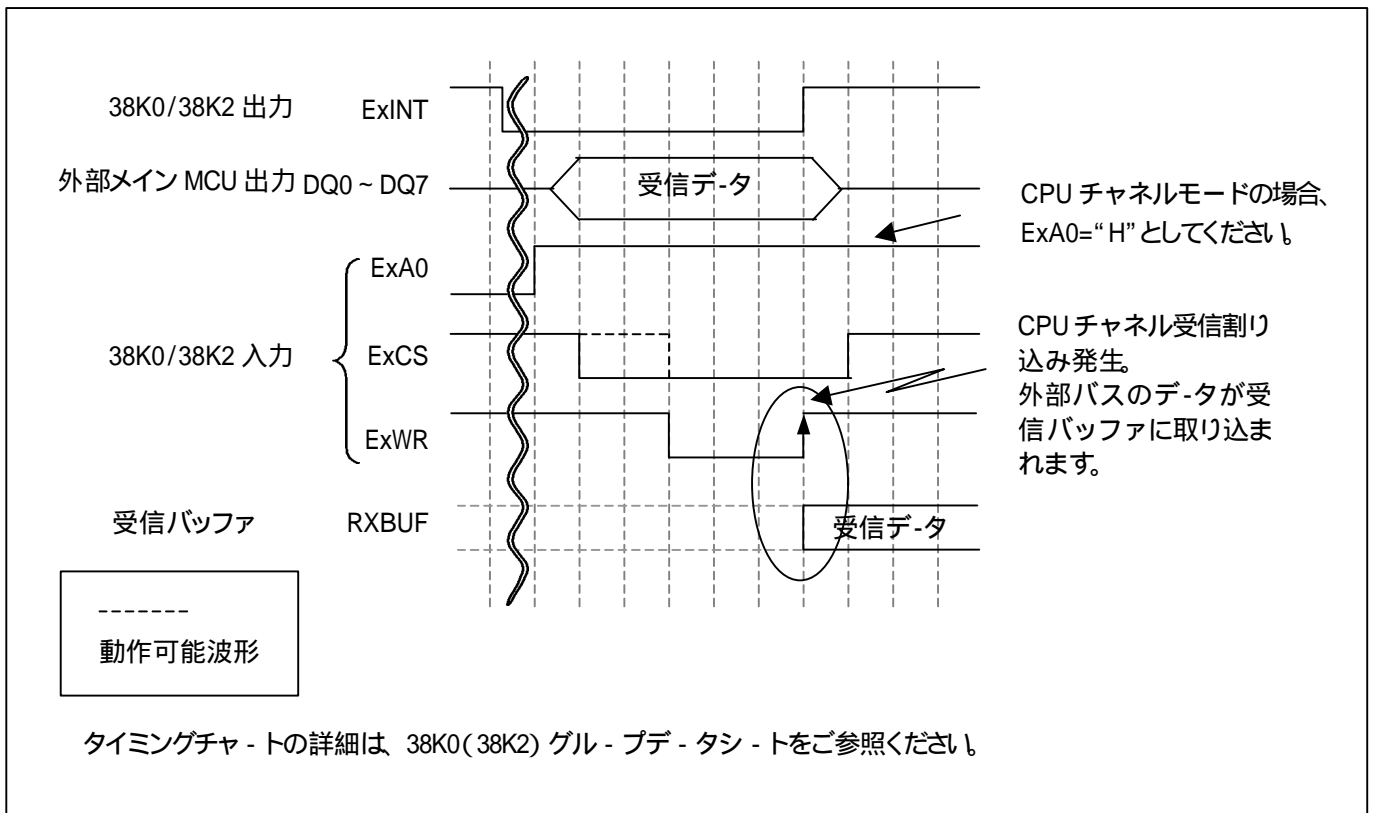


図 2.3.1(1) CPU チャネル受信モードのタイミング波形

図 2.3.1(2)に CPU チャンネル受信モード関連レジスタの設定を示します。

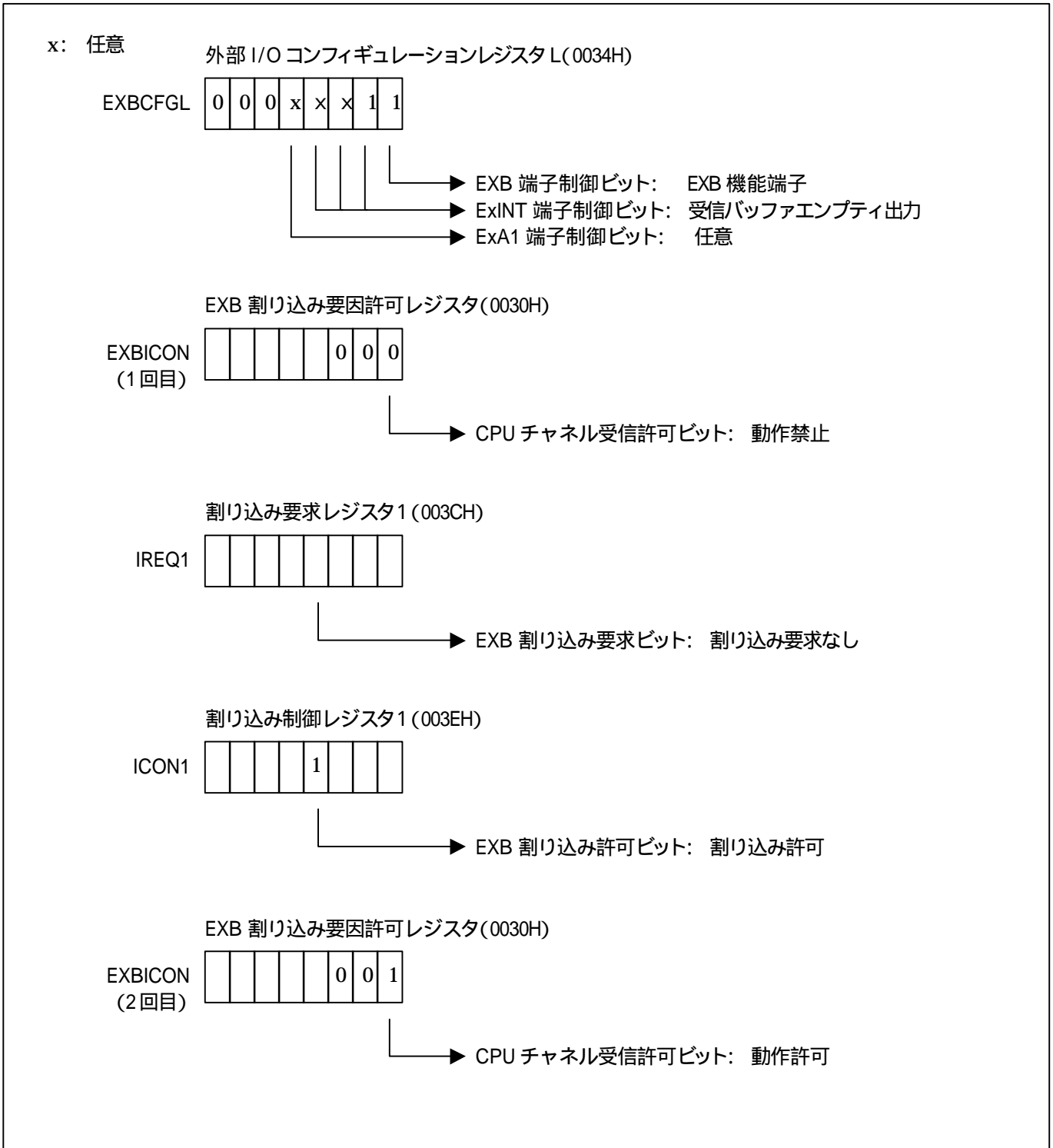


図 2.3.1(2) CPU チャンネル受信モード関連レジスタ

図 2.3.1(3)に CPU チャネル受信モードの制御例を示します。

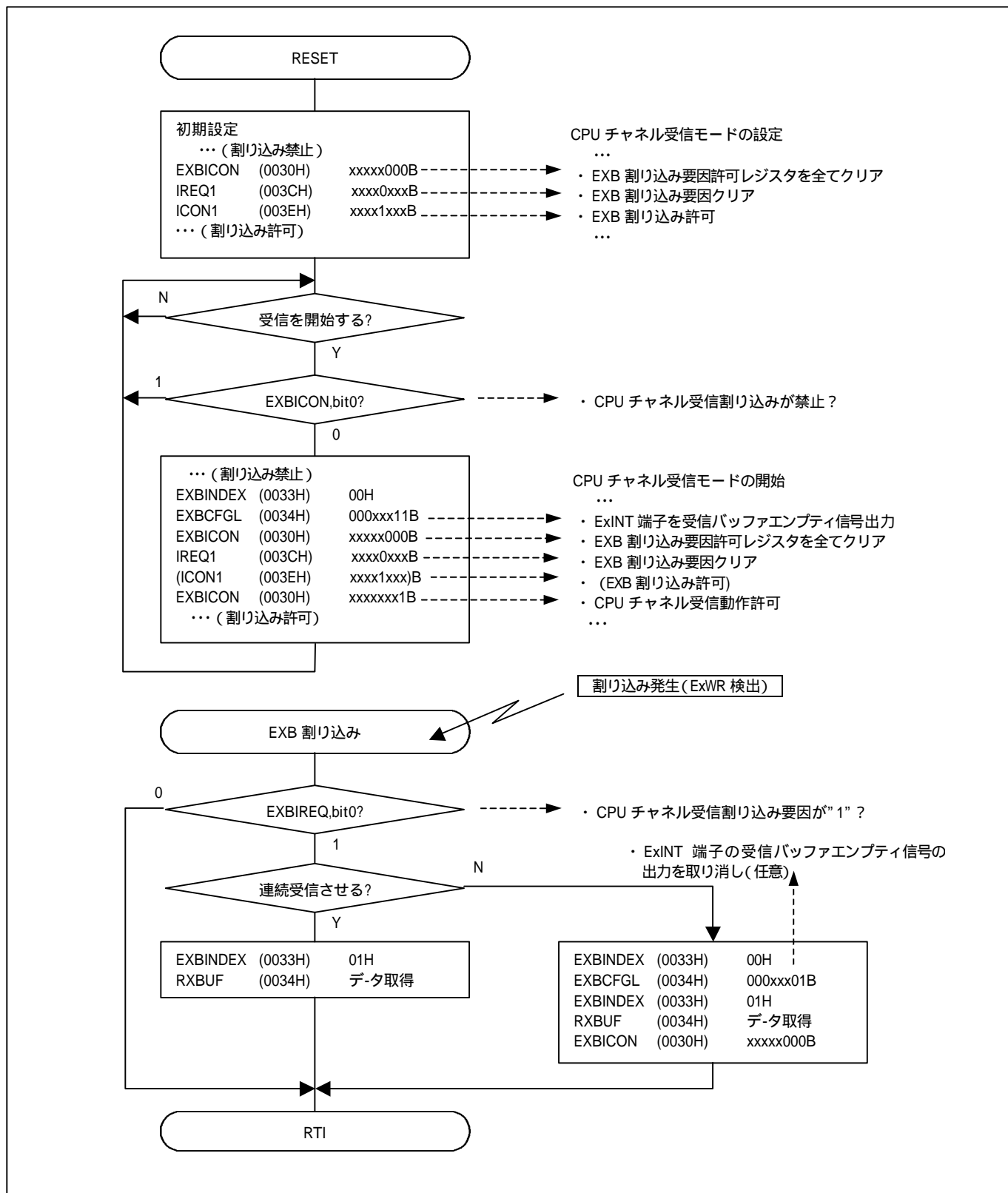


図 2.3.1(3) CPU チャネル受信モードの制御例



## 2.3.2 CPU チャネル送信モード

CPUチャネル送信モードは、外部メインMCUに出力されるデータを、CPUが1バイトずつ送信バッファレジスタに書き込むモードです。

図2.3.2(1)に示すように、38K0/38K2は、送信バッファに送信データを書き込むと、送信バッファがレディ(送信バッファフル)となり、ExINTを“L”(外部I/OコンフィギュレーションレジスタLの設定に依存)として、外部メインMCUにExRDすることを促します。その後、外部メインMCUがExA0=“H”、ExCS=“L”でExRDを立ち下げた場合、38K0/38K2は、送信バッファレジスタの1バイトをDQ0~DQ7に出力し、ExINTを立ち上げ、CPUチャネル送信割り込みを発生します。

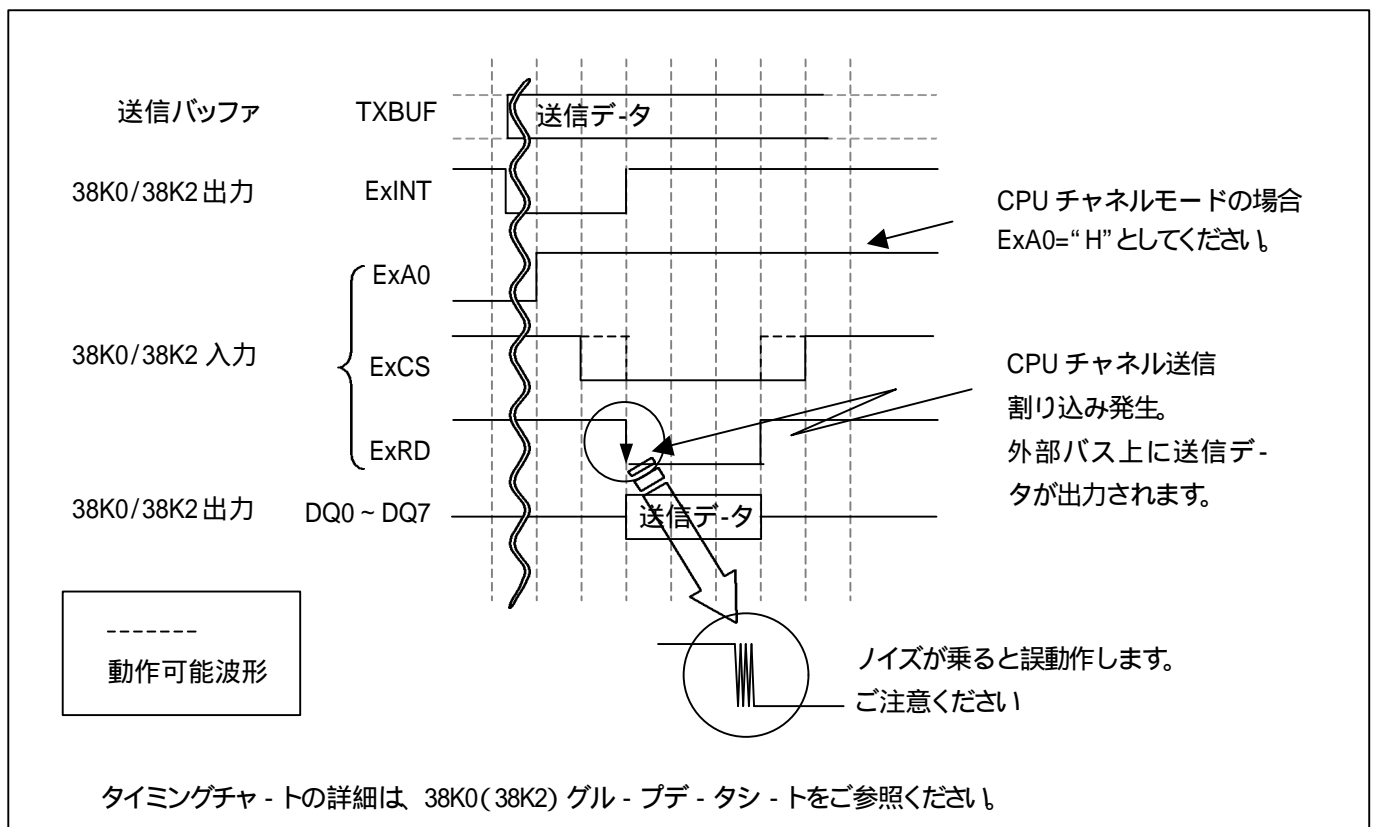


図 2.3.2(1) CPU チャネル送信モードのタイミング波形

尚、CPU チャネル送信モードでは、CPU チャネル送信割り込み要因を許可した場合、その時、38K0/38K2 は、一回目の(内部)割り込み要因を発生します(ExRD と無関係)。もし、この割り込みが不要な場合、図 2.3.2(2)に示すように、割り込み要因許可後に EXB 割り込み要求ビットを“0”にしてください(尚、送信バッファエンティビットは直接“0”にすることはできません)。

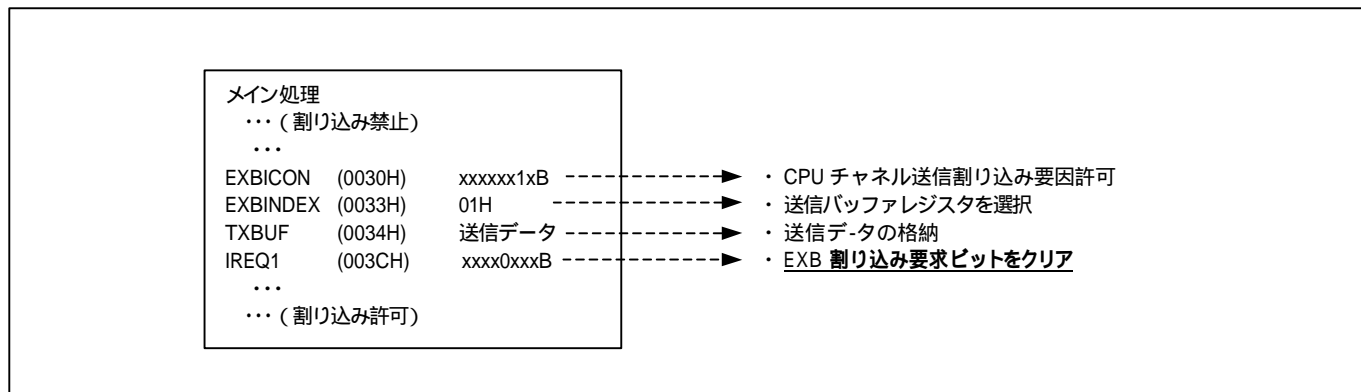


図 2.3.2(2) CPU チャネル送信モードの最初の割り込み要因のクリア

図 2.3.2(3)に CPU チャンネル送信モード関連レジスタの設定を示します。

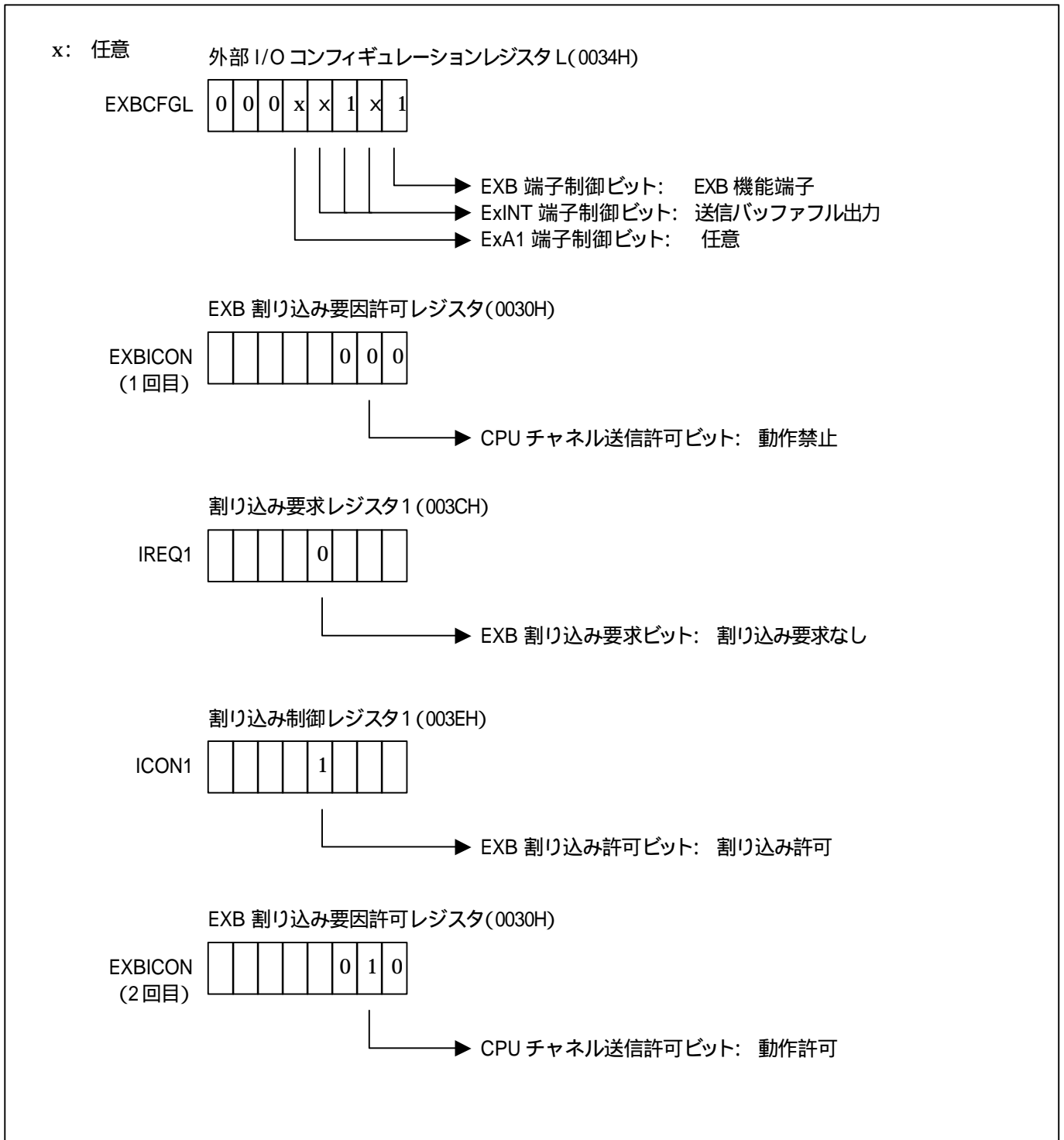


図 2.3.2(3) CPU チャンネル送信モード関連レジスタ

図 2.3.2(4)に CPU チャンネル送信モードの制御例を示します。

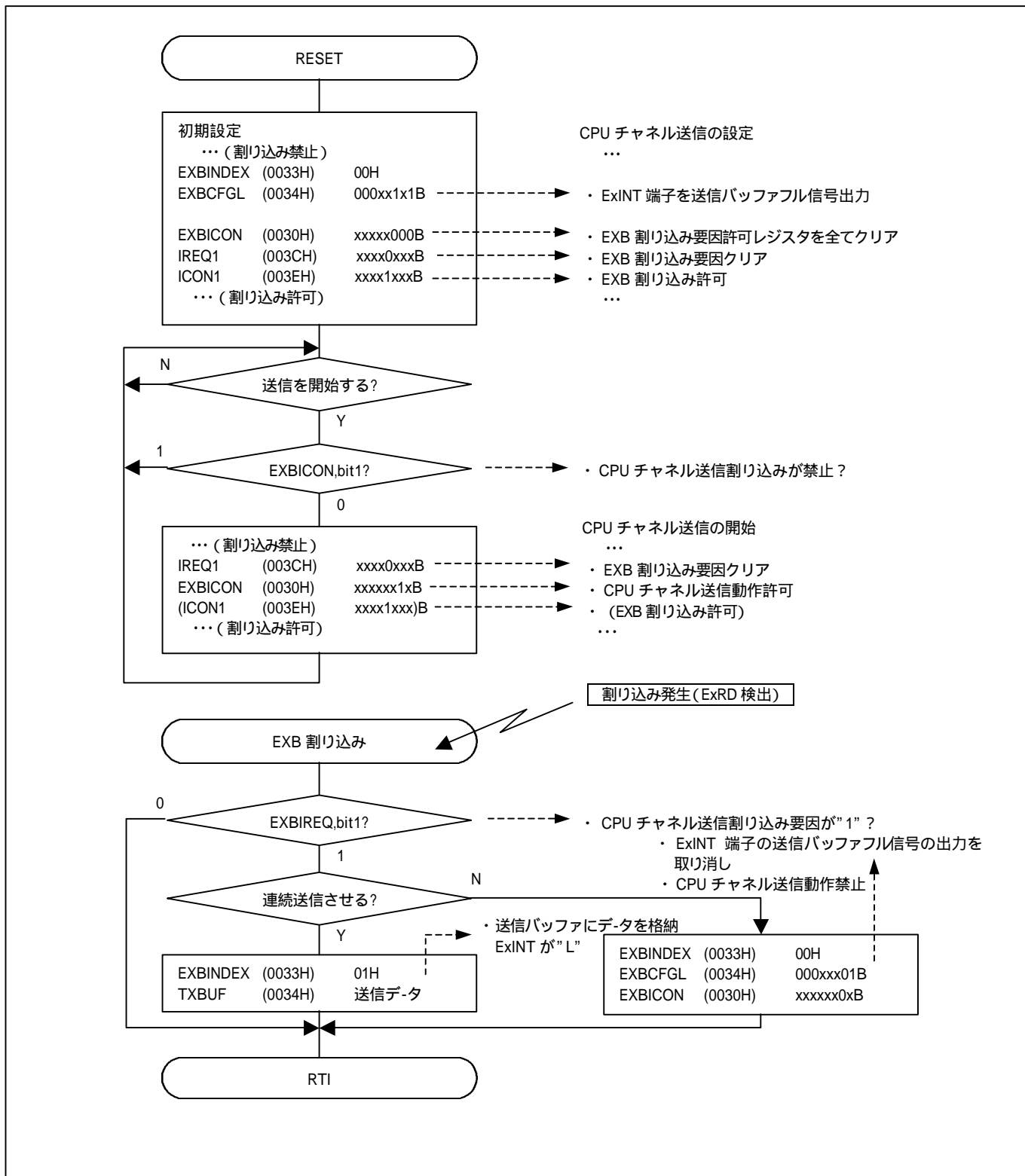


図 2.3.2(4) CPU チャンネル送信モードの制御例

## 2.4 メモリチャネルモード

メモリチャネルモードとは RAM 領域のデータを CPU の介在なしに連続転送するモードです。尚、本モードは、USB データを外部メイン MCU に(外部メイン MCU から)連続転送する事を目的とした機能です。

図 2.4(1)に、メモリチャネルモードにおける USB データの EXB 転送例を示します。

38K0/38K2 では、USB のエンドポイントのバッファに特定の RAM 領域を使用します。

38K0/38K2 は、USB の転送を終了した場合、USB デバイス割り込みを発生します。

CPU(F/W)は、これを受け、転送領域の RAM アドレスを指定し、メモリチャネルモードを実行します。

メモリチャネルモードでは、一旦、このモードを起動させると、メモリチャネルコントローラが転送データを自動的に送受信バッファレジスタに読み書きし、外部メイン MCU に(外部メイン MCU から)データを送信(受信)します。

38K0/38K2 は、指定された RAM の転送<sup>注1)</sup>が全て終了した場合、メモリチャネル割り込みを発生します。

注1) RAM の指定は、USB データの格納されている領域以外も指定可能です。

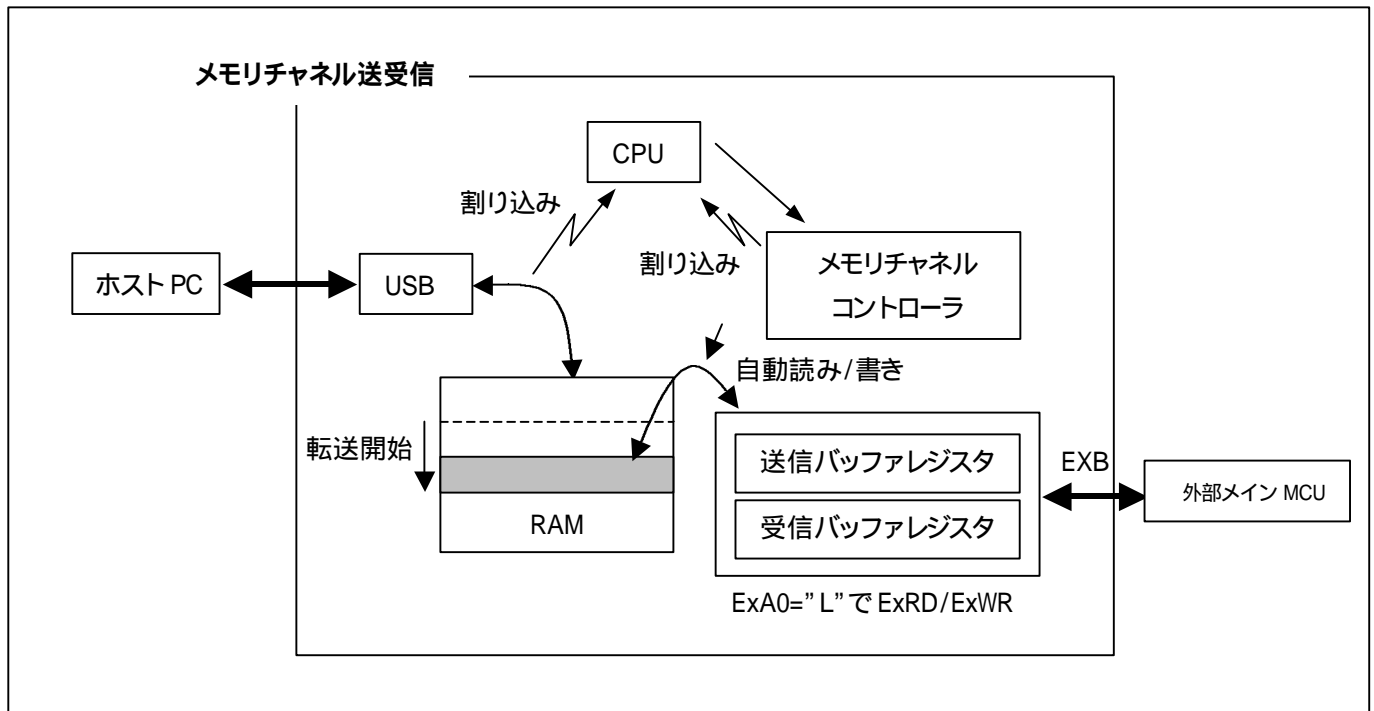


図 2.4(1) USB データの EXB 転送例

図 2.4(2)にメモリチャネル受信データの RAM 展開動作を示します。

メモリチャネルコントローラは、受信バッファにて受信したデータを指定された RAM 領域に 1 バイトずつ書き込みます。この時、メモリアドレスカウンタで設定した先頭アドレスは、1 バイトごと "+1" インクリメントします。このメモリアドレスカウンタがエンドアドレスレジスタの値+1 となった場合、38K0/38K2 は、メモリチャネル割り込みを発生します(メモリチャネル送信は、この流れと逆になります)。

このように、メモリチャネルモードでは、実行前に、転送領域の先頭アドレス、最終アドレス、ならびに転送開始を設定する必要があります。

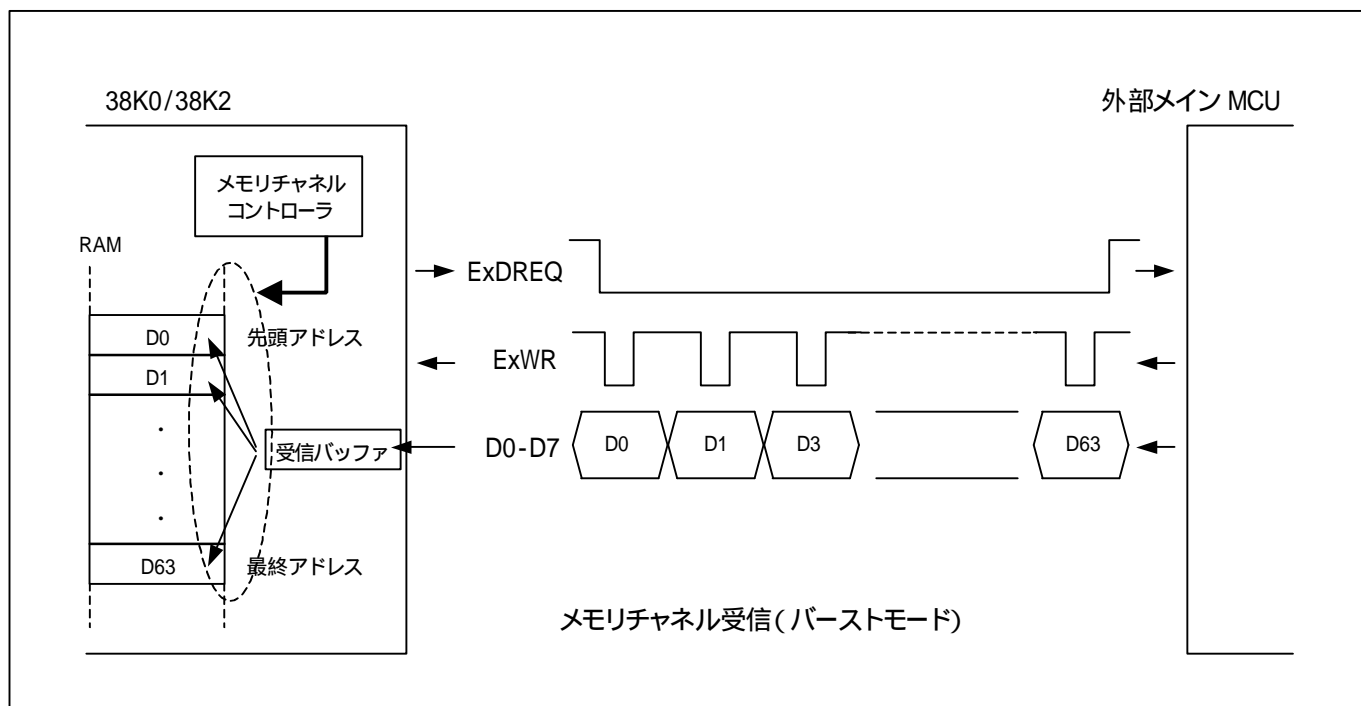


図 2.4(2) メモリチャネル受信データの RAM 展開動作

メモリチャネルモードの転送は、38K0/38K2 が ExDREQ 信号でリクエストを出力し、外部メイン MCU が ExDACK で応答する DMA 形式に対応しています(外部メイン CPU は、必ずしも DMA に対応する必要はありません)。

図 2.4(3)に、メモリチャネル転送を DMA 形式で行う場合の動作波形について示します。

EXB の DMA 形式は、バーストモードとサイクルモードの 2 つが存在します。バーストモードは、転送期間中、常に ExDREQ を“L”とし、サイクルモードは、1 バイト転送ごとに ExDREQ を“L” “H”とします。両者とも最終バイトの転送後、もしくは ExTC(ターミナルカウント入力) 検出後に、メモリチャネル割り込みを発生します。

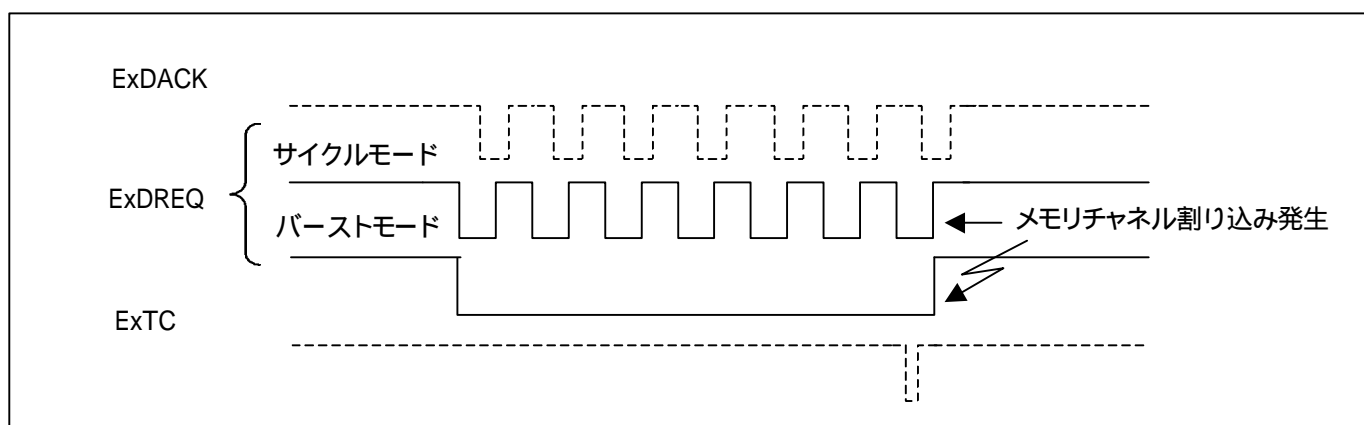


図 2.4(3) バーストモードとサイクルモード

## 2.4.1 RAM の調停と内部クロック の制限事項

38K0/38K2 グループでは RAM に USB、CPU、EXB、3つのブロックがアクセスします。しかし、RAM の出入口は1しかないため、3つのブロックは調停を結んでアクセスしています。この調停作業を行っているのが図 2.4.1(1)に示す RAM の調停回路です。

38K0/38K2では、USB、EXBのデータは、一旦、各ブロック専用のバッファに蓄えられ、自身のRAMアクセスの順番を待ってアクセスします。しかし、このアクセスサイクルは、内部クロック に同期しているため、非同期の各ブロックの転送処理が内部クロック に比べて高速な場合、RAM の読み書きがこれに追従できずデータが破損することがあります。そのため、図2.4.1(2)のように内部クロック は6MHz以上(USBのアクセスによる制限)、EXBのアクセスサイクルは1バイト5以上の間隔でアクセスしてください。この時、EXBは、理論上、1.2MByte/s(=6MHzの1/5)の転送レートが確保可能です。

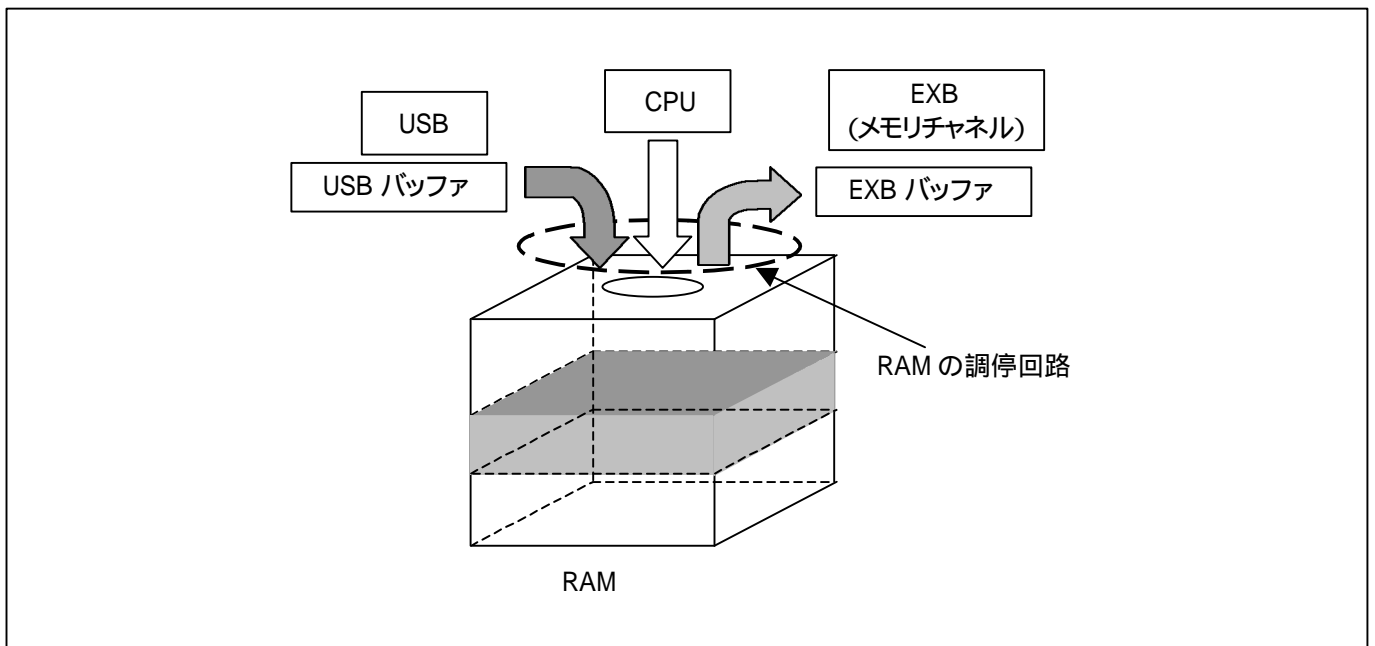


図 2.4.1(1) RAM の調停回路イメージ

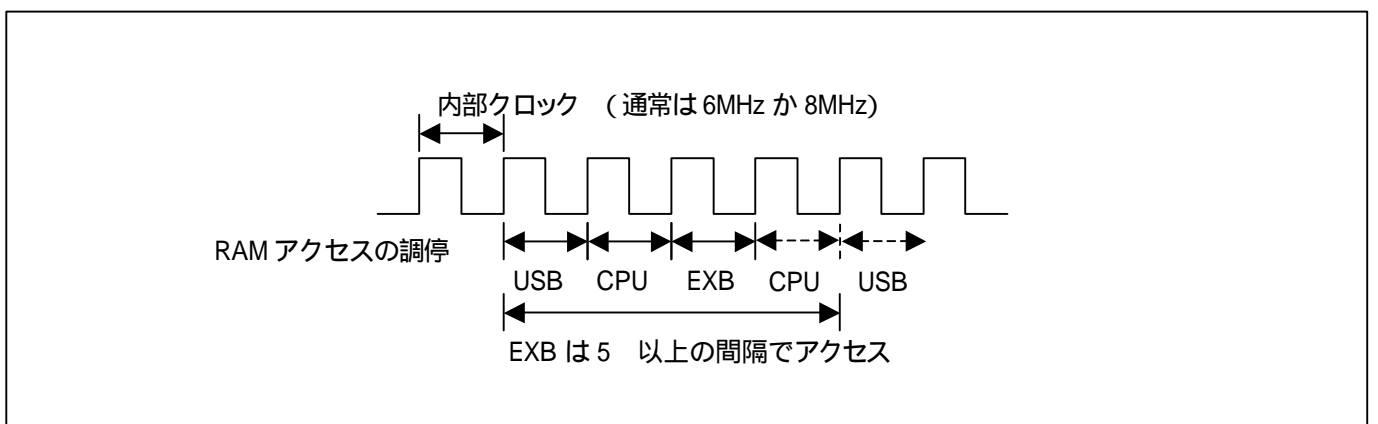


図 2.4.1(2) EXB のアクセス間隔

USB データ通信時の内部クロック の制限事項

USB(SIE: シリアルインタフェ - スエンジン)のリクエストは、内部クロック の次のクロックに同期され、RAM の調停回路へ送られます。その後、RAM は書き込みを完了し、USB(SIE)に 1 クロック分のアックを返します。次の USB の RAM への書き込みは、この後に受け付けられます。つまり、図 2.4.1(3)に示すように、USB の RAM への書き込みは、内部クロック の最高3クロック分が必要です。

一方、USB の転送レ - トは、 $12\text{MHz} \div 8 = 1.5\text{MByte/s}$  となるため、38K0/38K2 は、これを3クロックで1バイト処理すると考え、内部クロック は、USB の転送レートの3倍以上、 $1.5 \times 3 = 4.5\text{MHz}$  に設定する必要があります。つまり、USB 使用時、内部クロック の選択は、6MHz、8MHz のいずれかに限定されます。

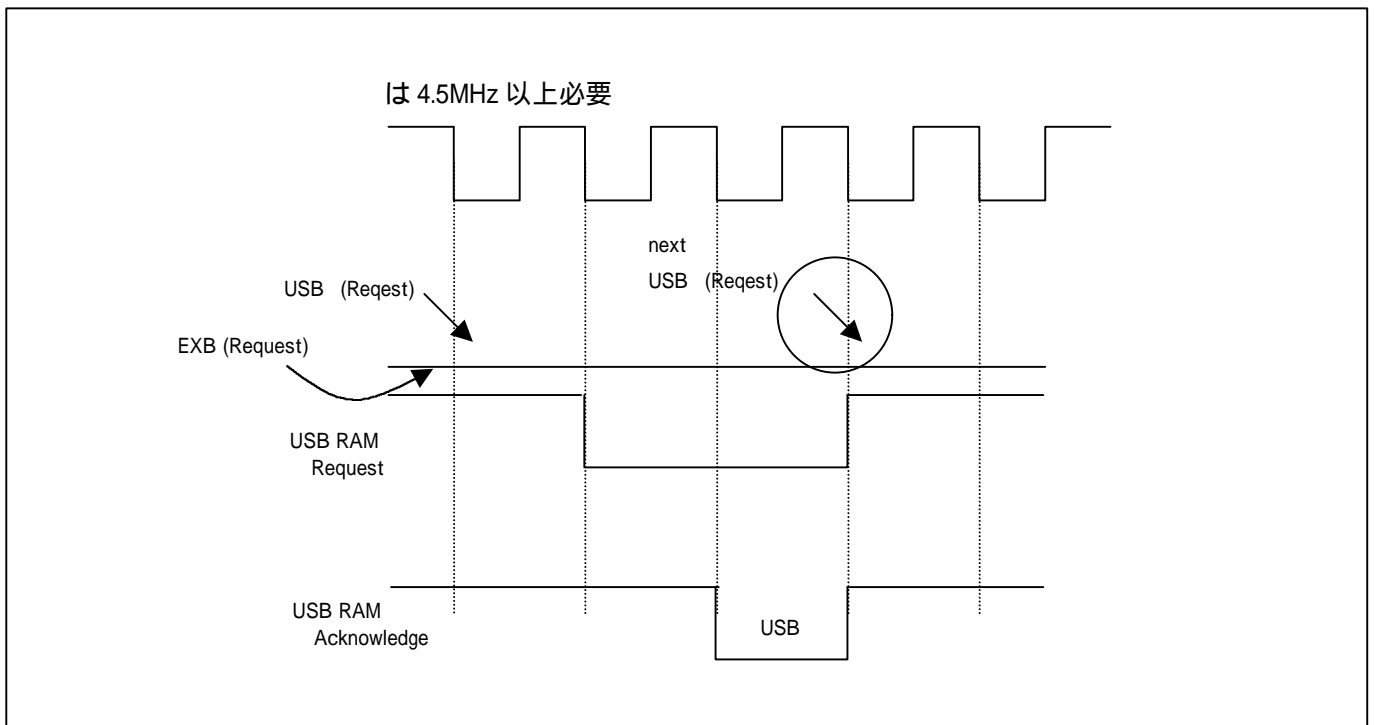


図 2.4.1(3) USB のみ使用時の内部クロック の最低周波数



## 2.4.2 メモリチャンネル受信モード

メモリチャンネル受信モードは、外部メイン MCU から受信したデータを、メモリチャンネルコントローラが自動的に RAM 領域へ展開し、38K0/38K2 は、全転送終了時にメモリチャンネル動作終了割り込みを発生します。

図 2.4.2(1)に示すように、メモリチャンネル転送には DMA 形式が使用可能です。38K0/38K2 が ExA0="L"、ExDREQ="L"、ExDACK="L"で ExWR の立ち上がりを検出すると、DQ0~DQ7 の 1 バイトは、一旦、受信バッファレジスタに取り込まれ、調停回路の順番を待って RAM に書き込まれます。38K0/38K2 は、この動作を数回繰り返し、全転送を完了したとき、メモリチャンネル動作終了割り込みを発生します。

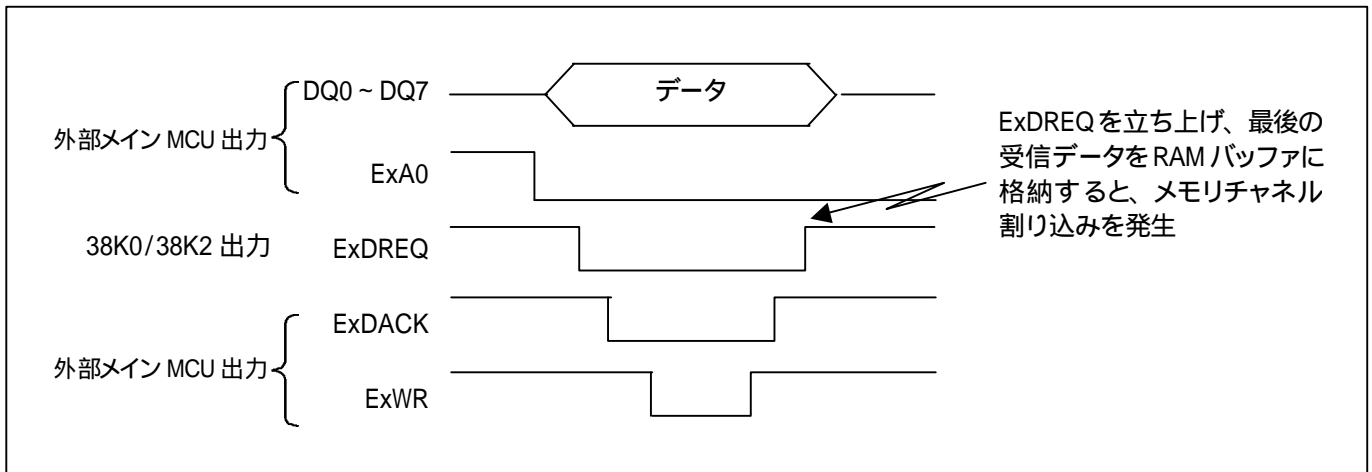


図 2.4.2(1) メモリチャンネル受信波形

メモリチャンネル受信では、RAM の領域指定を、メモリアドレスカウンタ、ならびにエンドアドレスカウンタにて設定します。メモリアドレスカウンタは受信領域の先頭アドレス、エンドアドレスカウンタは最終アドレスを示します。どちらも 11 ビットレジスタで、設定可能な RAM 領域の範囲は、マスク版 0040H ~ 043FH、フラッシュ版 0040H ~ 07FFH です。

図 2.4.2(2)に両レジスタの関係を示します。両レジスタで RAM の転送領域を設定した後、メモリチャンネル受信を動作させると、1 バイト転送ごとにメモリアドレスカウンタが " +1 " ずつインクリメントし始めます。38K0/38K2 は、この動作を数回繰り返し、その値がエンドアドレスカウンタ+1 になった場合、動作を完了しメモリチャンネル割り込みを発生します。

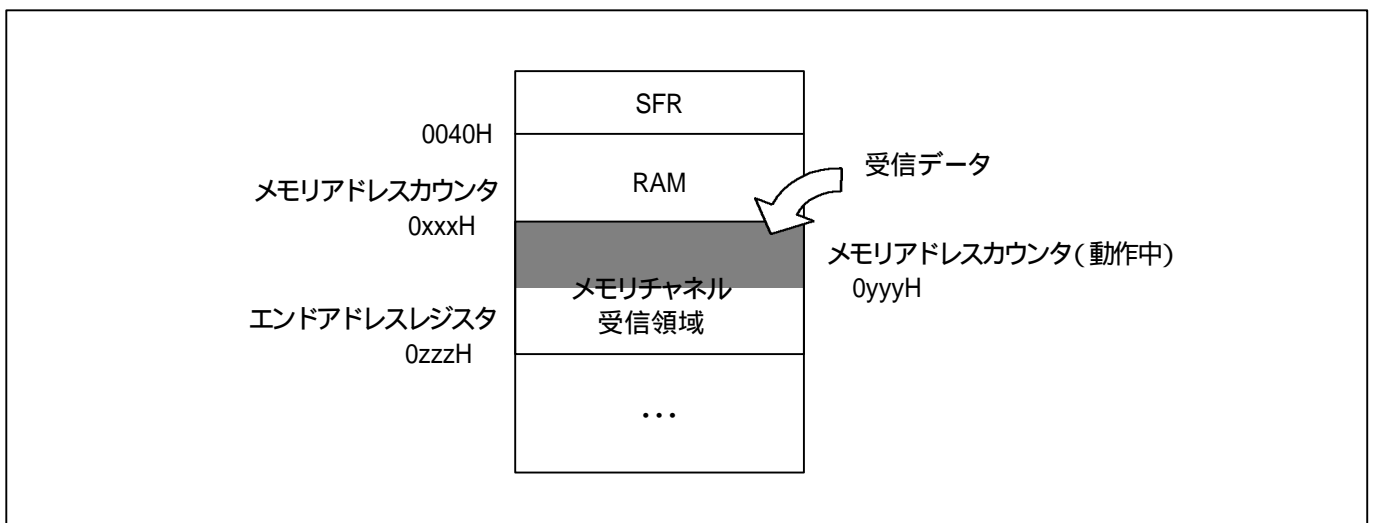


図 2.4.2(2) メモリチャンネルのアドレス設定

図 2.4.2(2)(3)にメモリチャネルモード関連レジスタの設定を示します。

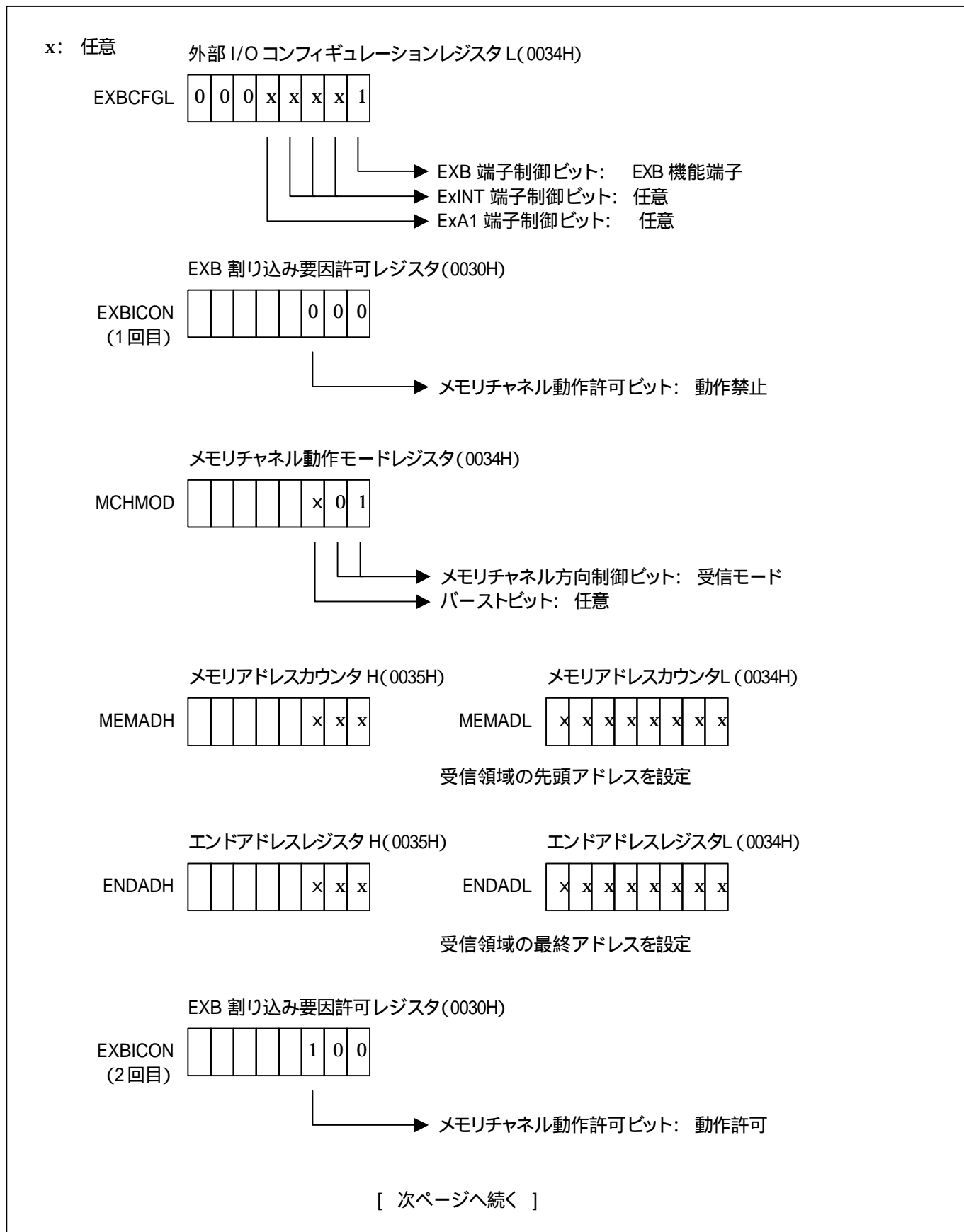


図 2.4.2(2) メモリチャネル受信モードの関連レジスタ

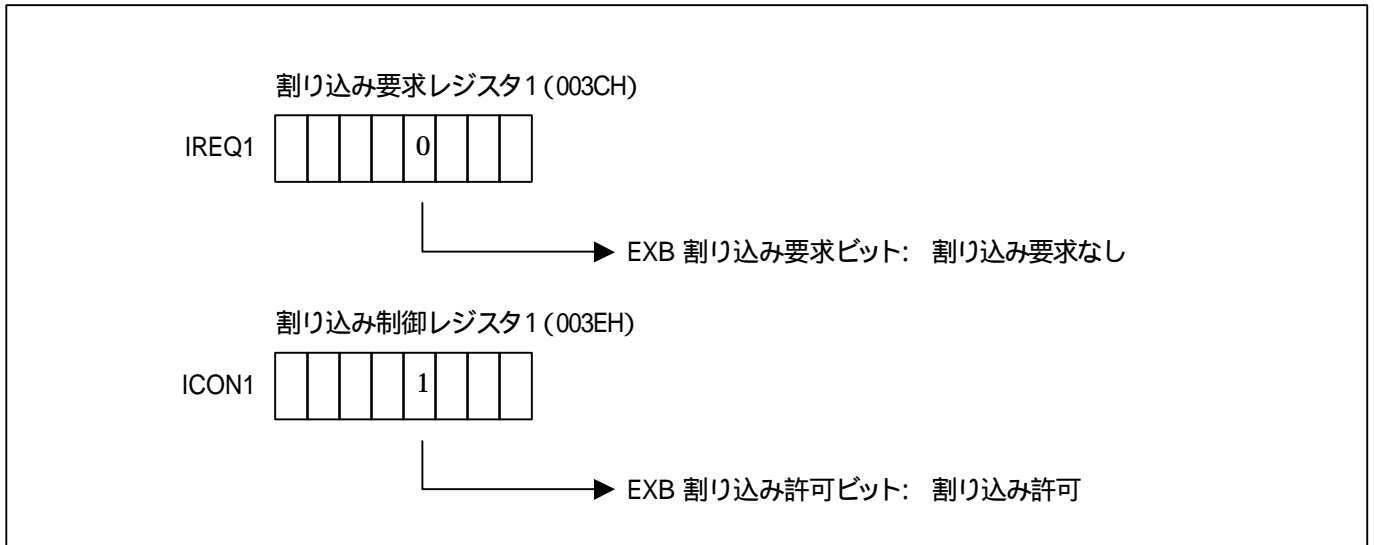


図 2.4.2(3) メモリチャネル受信モードの関連レジスタ

図 2.4.2(4)(5)にメモリチャネル受信モードの制御例を示します。

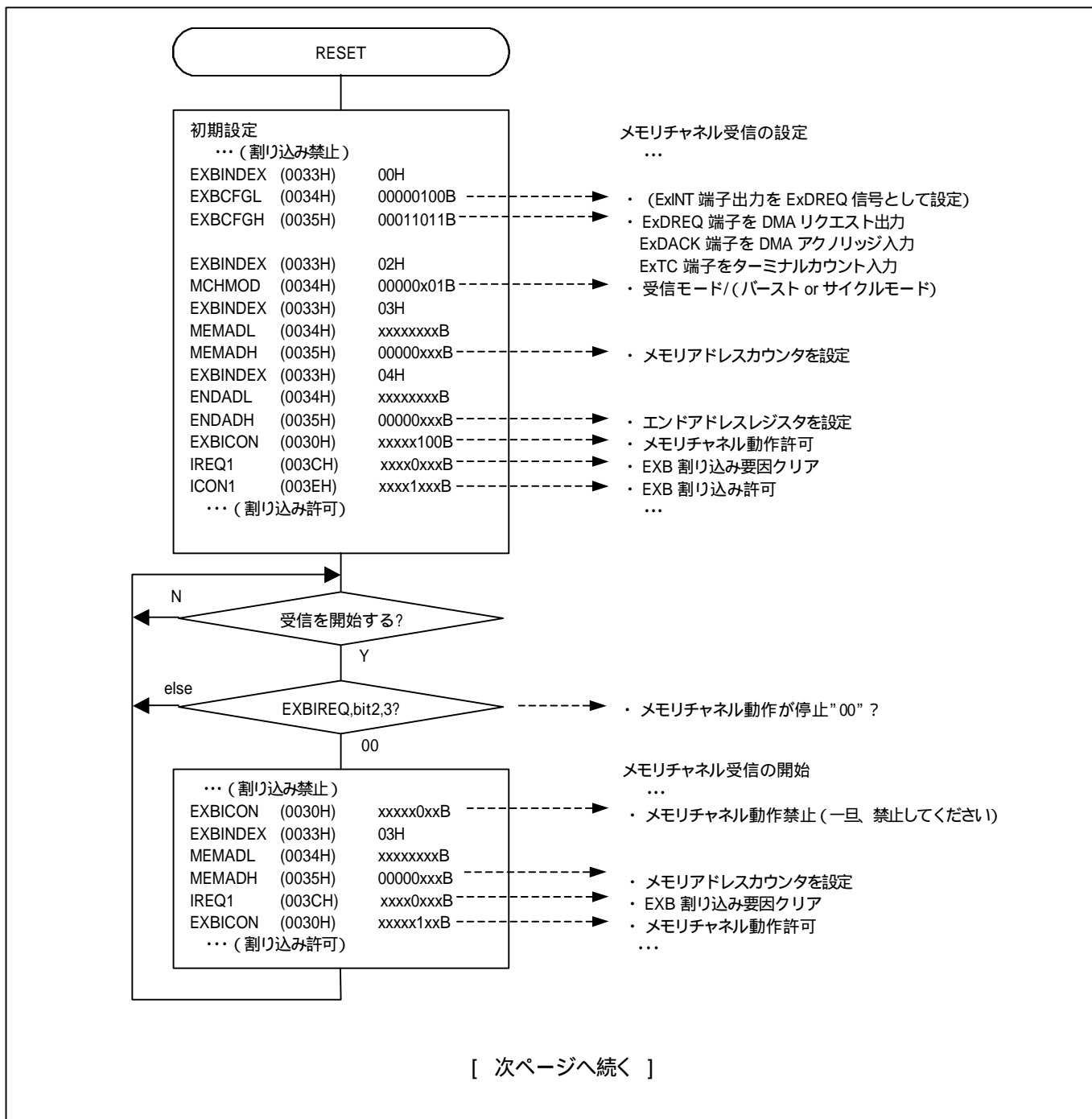


図 2.4.2(4) メモリチャネル受信モードの制御例

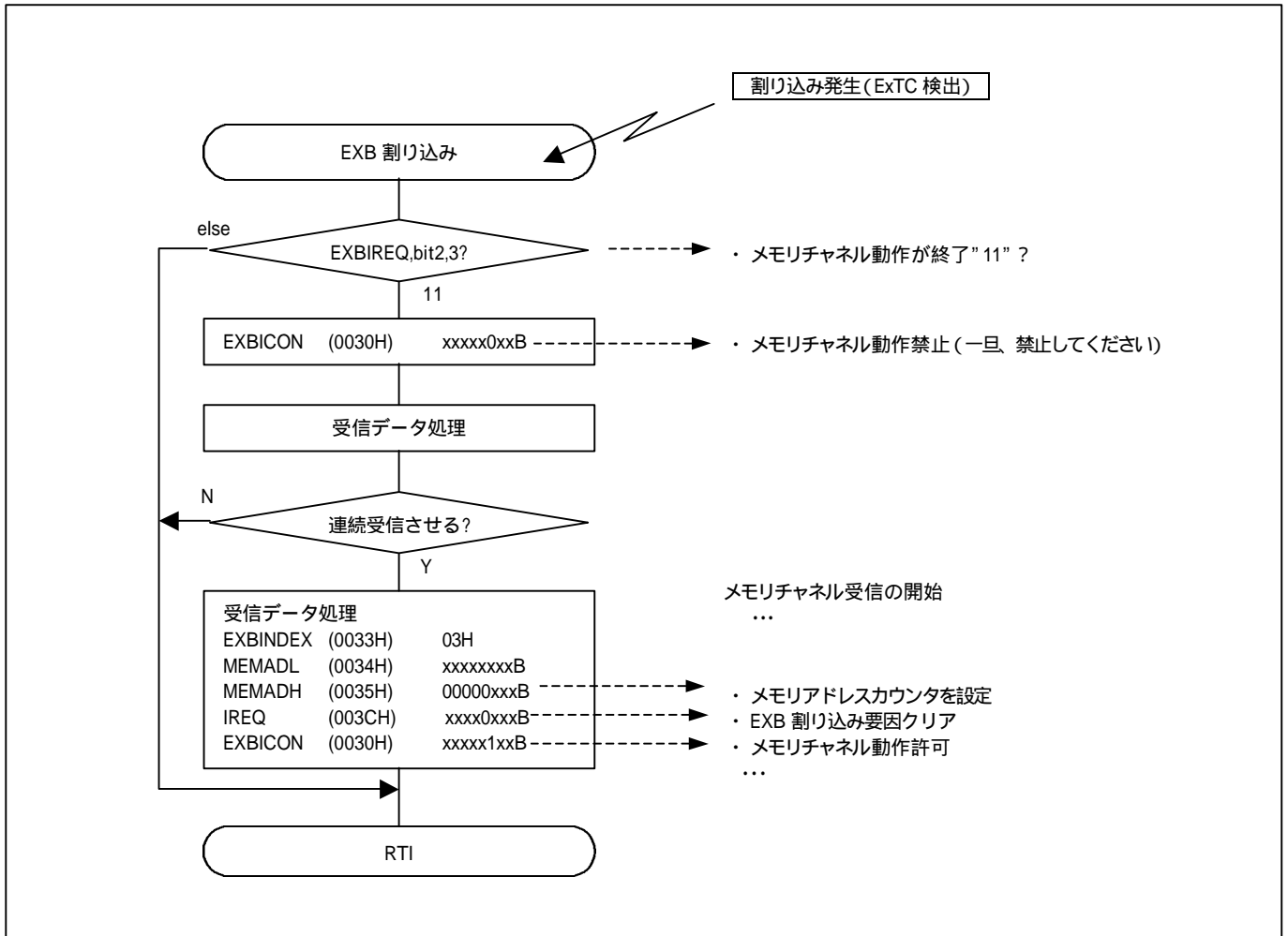


図 2.4.2(5) メモリチャネル受信モードの制御例

## 2.4.3 メモリチャンネル送信モード

メモリチャンネル送信モードでは、RAM 領域の複数データをメモリチャンネルコントローラが自動的に送信し、38K0/38K2 は、全転送終了時にメモリチャンネル動作終了割り込みを発生します。

図 2.4.3(1)に示すように、メモリチャンネル転送には DMA 形式が使用可能です。38K0/38K2 が ExA0="L"、ExDREQ="L"、ExDACK="L" で ExRD の立ち下りを検出すると、それまでに格納されたデータ送信バッファレジスタの 1 バイトが DQ0 ~ DQ7 に出力されます。38K0/38K2 は、この動作を数回繰り返し、全転送を完了した場合、メモリチャンネル動作終了割り込みを発生します。

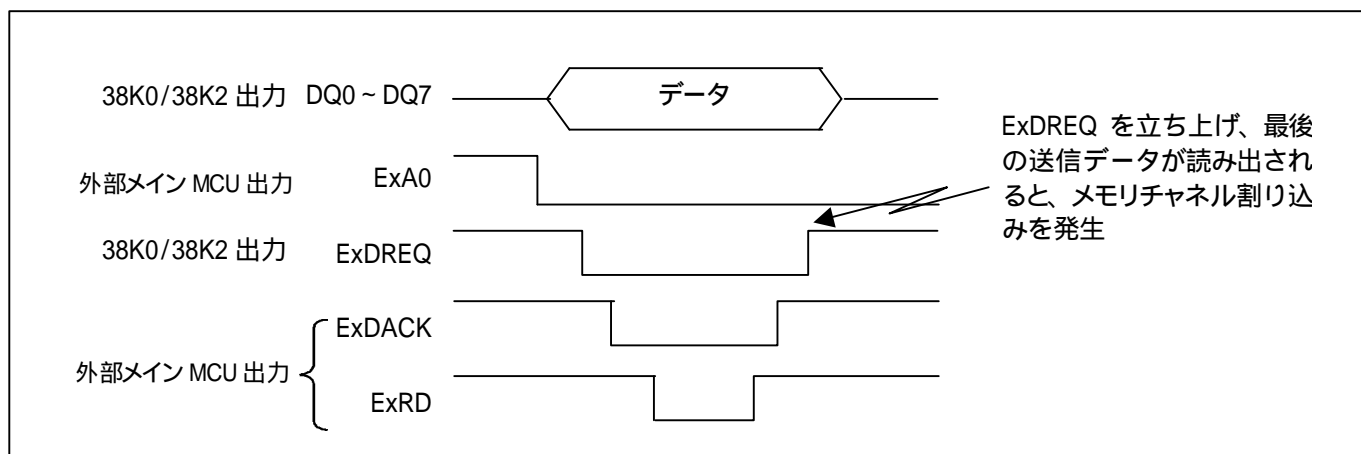


図 2.4.3(1) メモリチャンネル送信波形

メモリチャンネル送信では、RAM の領域指定を、メモリアドレスカウンタ、ならびにエンドアドレスカウンタにて設定します。メモリアドレスカウンタは送信領域の先頭アドレス、エンドアドレスカウンタは最終アドレスを示します。どちらも 11 ビットレジスタで、設定可能な RAM 領域の範囲は、マスク版 0040H ~ 043FH、フラッシュ版 0040H ~ 07FFH です。

図 2.4.3(2)に両レジスタの関係を示します。両レジスタで RAM の転送領域を設定した後、メモリチャンネル送信を動作させると 1 バイト転送ごとにメモリアドレスカウンタが "+1" ずつインクリメントし始めます。38K0/38K2 は、この動作を数回繰り返し、その値がエンドアドレスカウンタ+1 になった場合、動作を完了しメモリチャンネル割り込みを発生します。

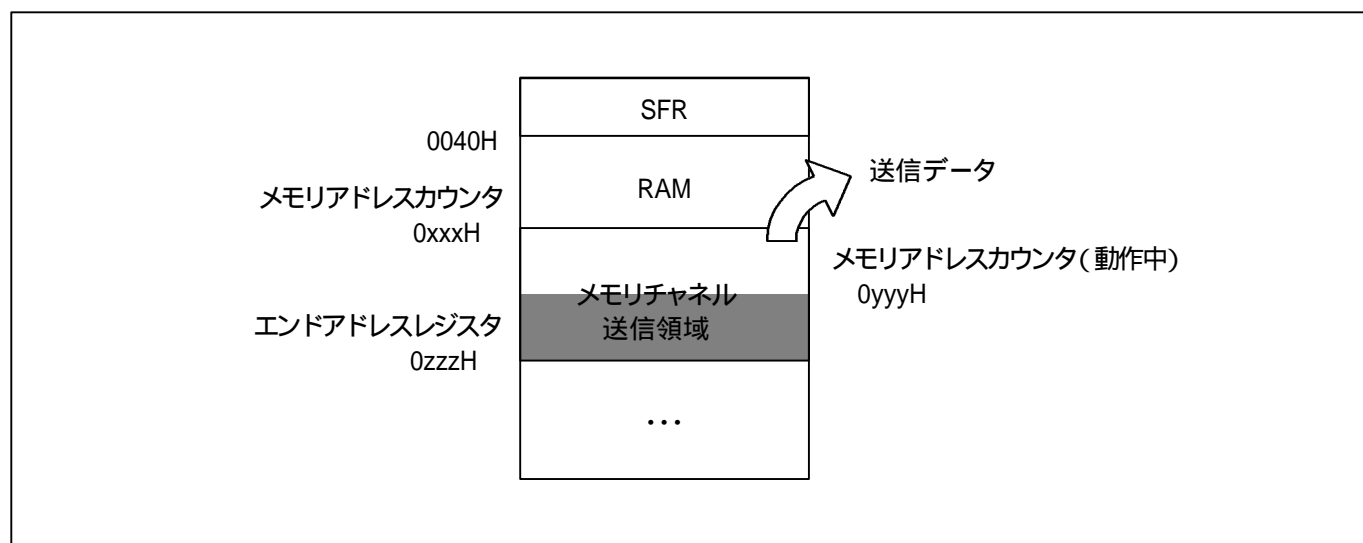


図 2.4.3(2) メモリチャンネルのアドレス設定

図 2.4.3(3)(4)にメモリチャンネルモード関連レジスタの設定を示します。

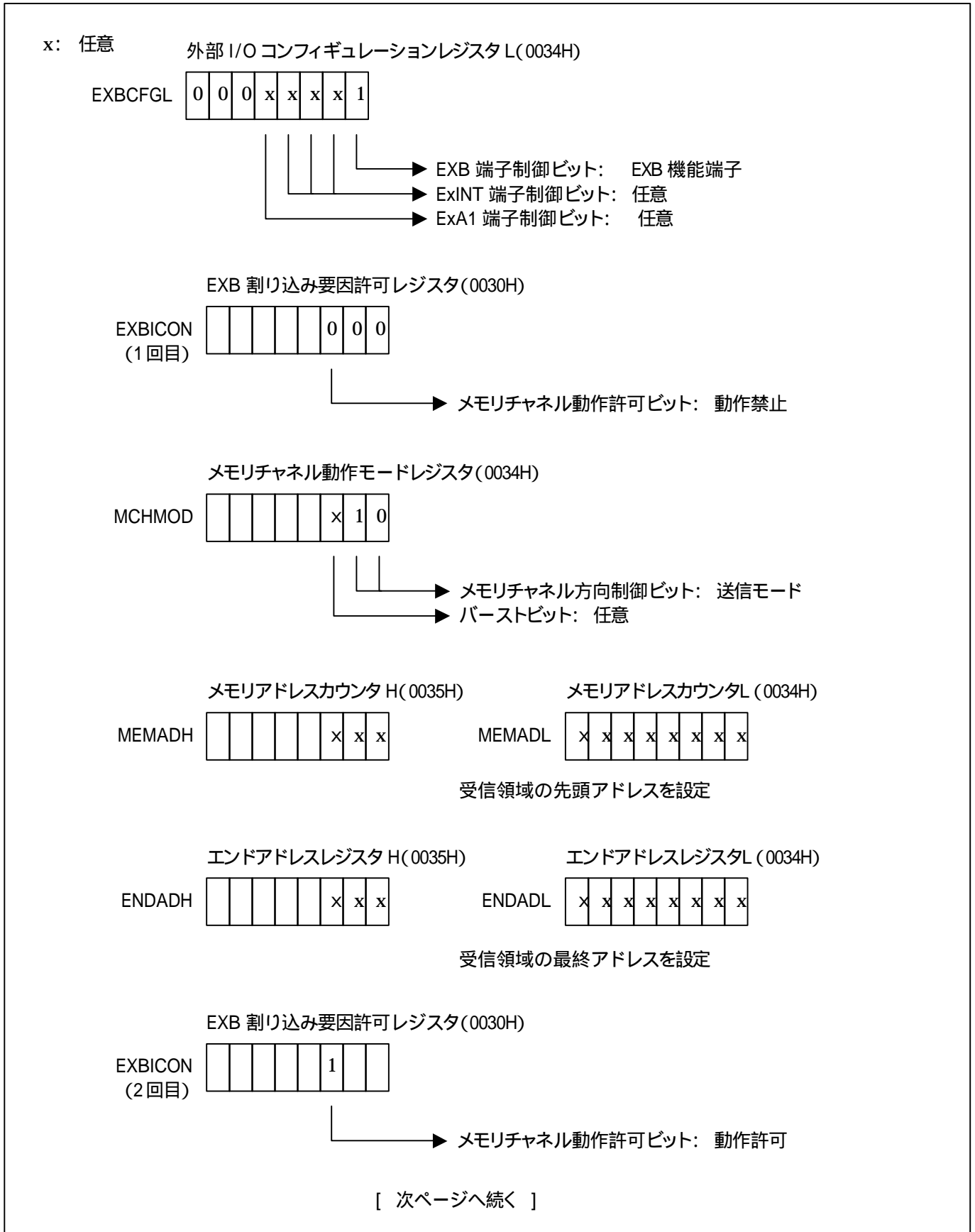


図 2.4.3(3) メモリチャンネル送信モードの関連レジスタ

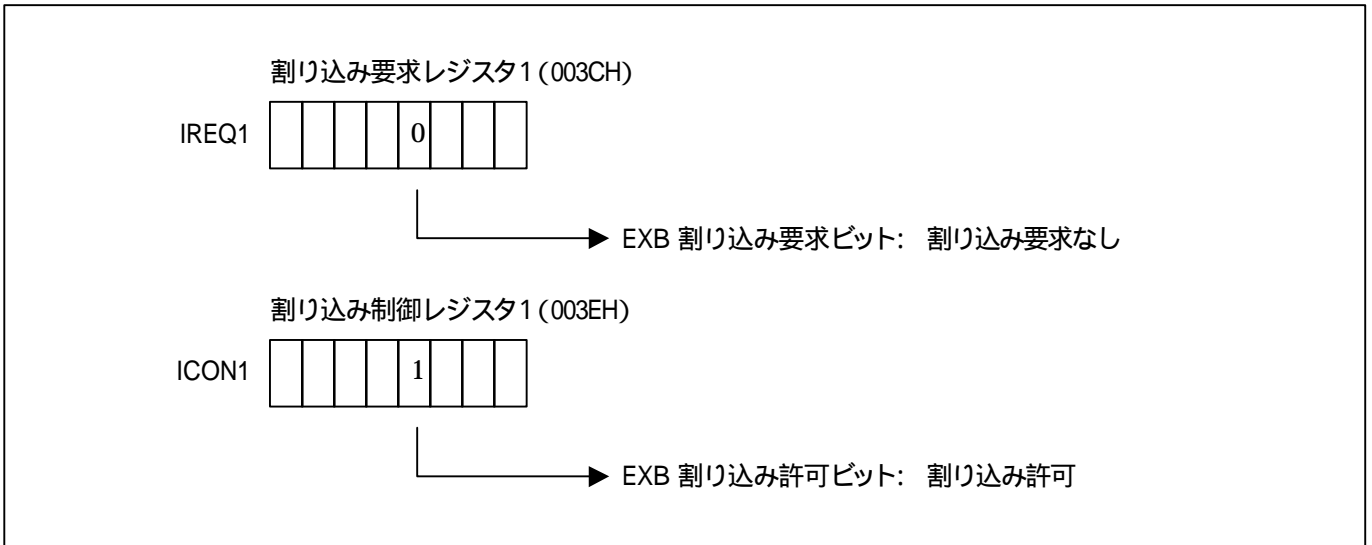


図 2.4.2(4) メモリチャネル送信モードの関連レジスタ



図 2.4.3(5)(6)にメモリチャネル送信モードの制御例を示します。

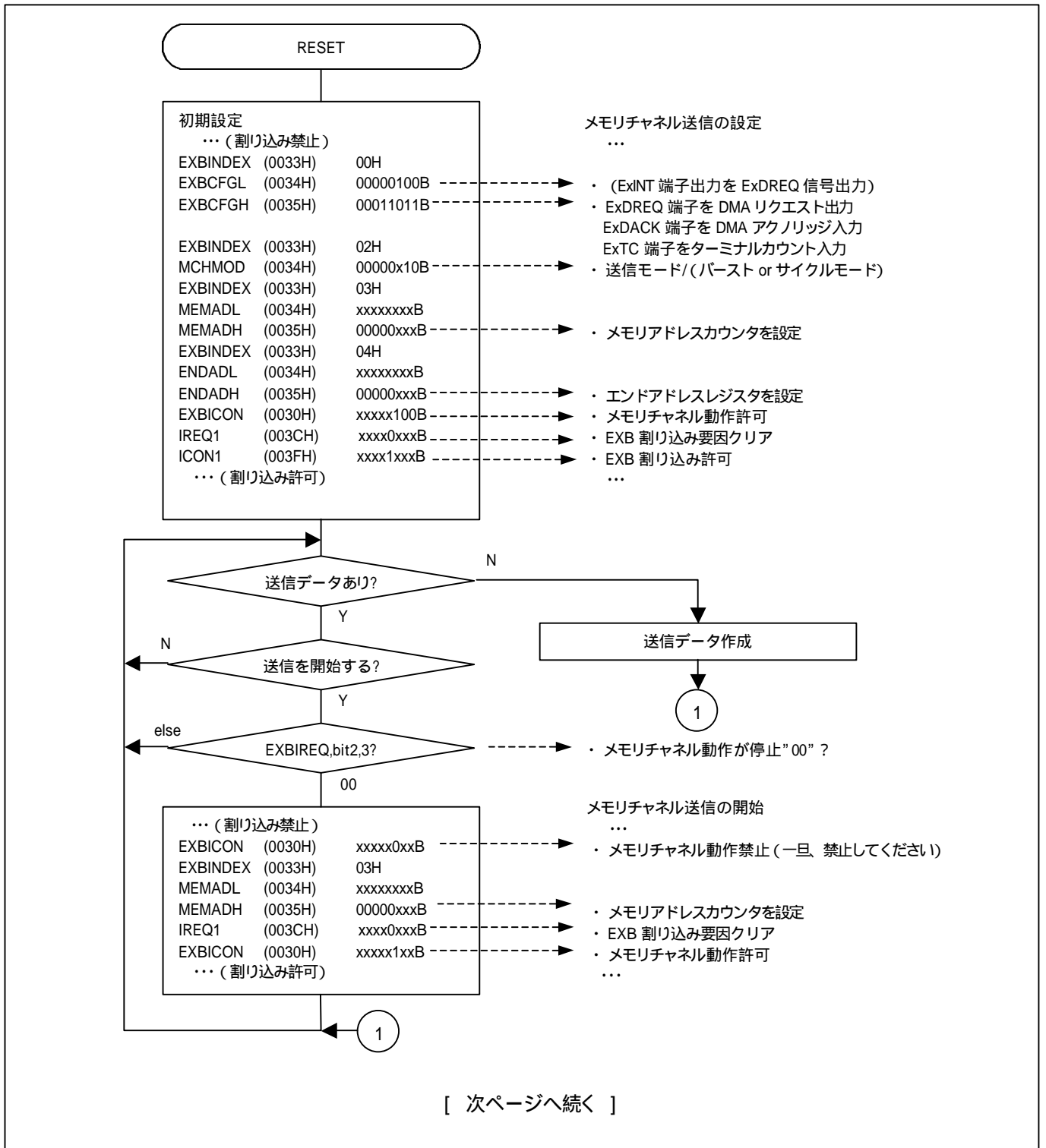


図 2.4.3(5) メモリチャネル送信モードの制御例

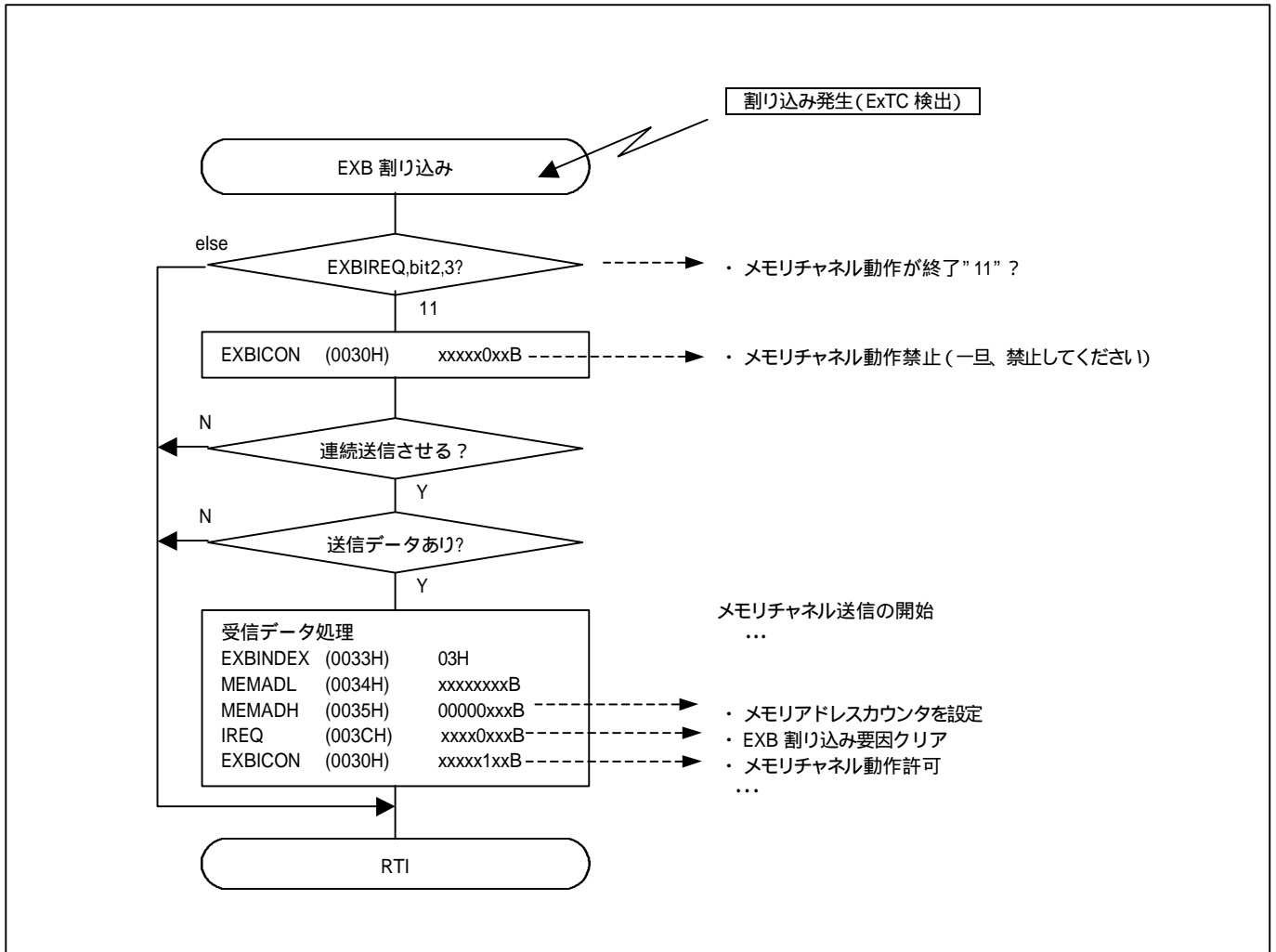


図 2.4.3(6) メモリチャネル送信モードの制御例

## 2.5 EXBIREQ(ステータス)読み出し機能

表 2.5(1)に示すように、EXB では CPU チャンネルモード、メモリチャンネルモードに合わせて外部メイン MCU から ExA0 端子を設定する必要があります。もし、外部メイン MCU がこの設定を誤って ExRD/ExWR した場合、38K0/38K2 は、データ破損等の不具合を生じる可能性があります。

そこで EXB では、表 2.5(2)、図 2.5 に示すように、このリクエスト判定を行うためのステータスレジスタを読み出せる機能を有しています。そのステータスレジスタは、EXB 割り込み要因レジスタ[EXBIREQ](0031H)と同じものです。38K0/38K2 が ExCS="L" で ExRD 信号を検出すると、この EXB 割り込み要因レジスタは、ステータスレジスタとして外部バスに出力されます。

この機能により、外部メイン MCU は ExINT 信号検出後に 38K0/38K2 が現在どのモードで動作中かを判定することが可能です。

表 2.5(1) ExA0 端子とモードの対応

| ExA0 | モード          |
|------|--------------|
| L    | メモリチャンネルモード  |
| H    | CPU チャンネルモード |

この対応が崩れると不具合を生じる可能性がある。

表 2.5(2) ExA1 端子と DQ0 ~ DQ7 の対応

| ExA1 | DQ0 ~ DQ7      |
|------|----------------|
| L    | 送受信データ         |
| H    | EXB 割り込み要因レジスタ |

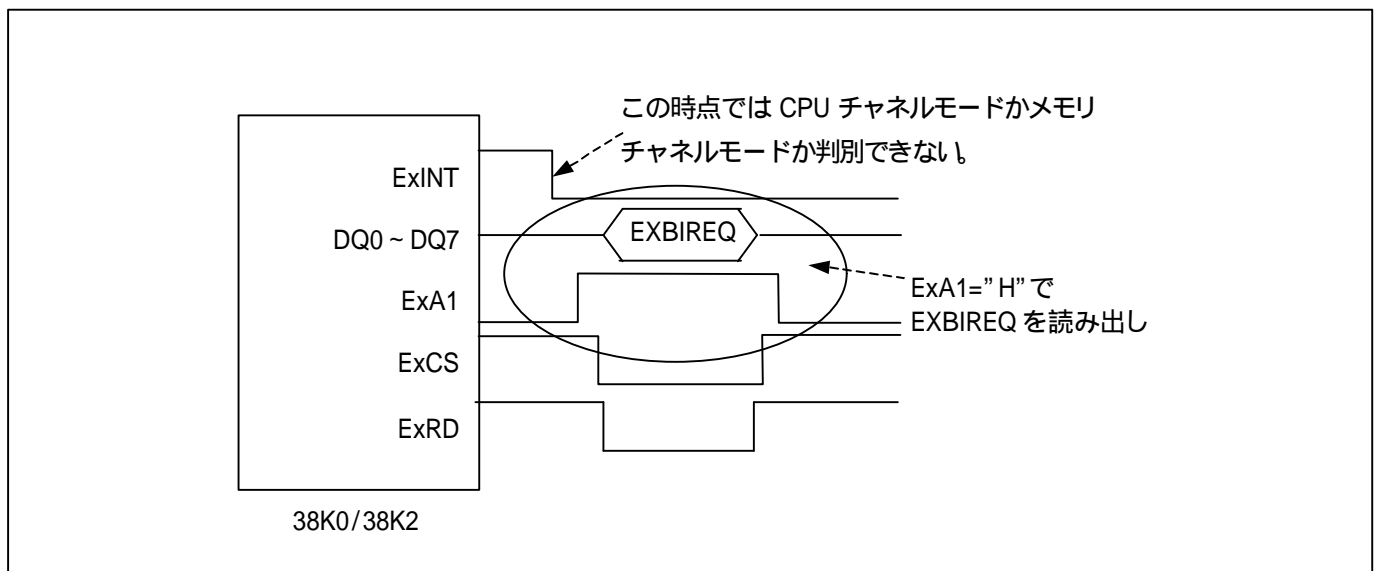
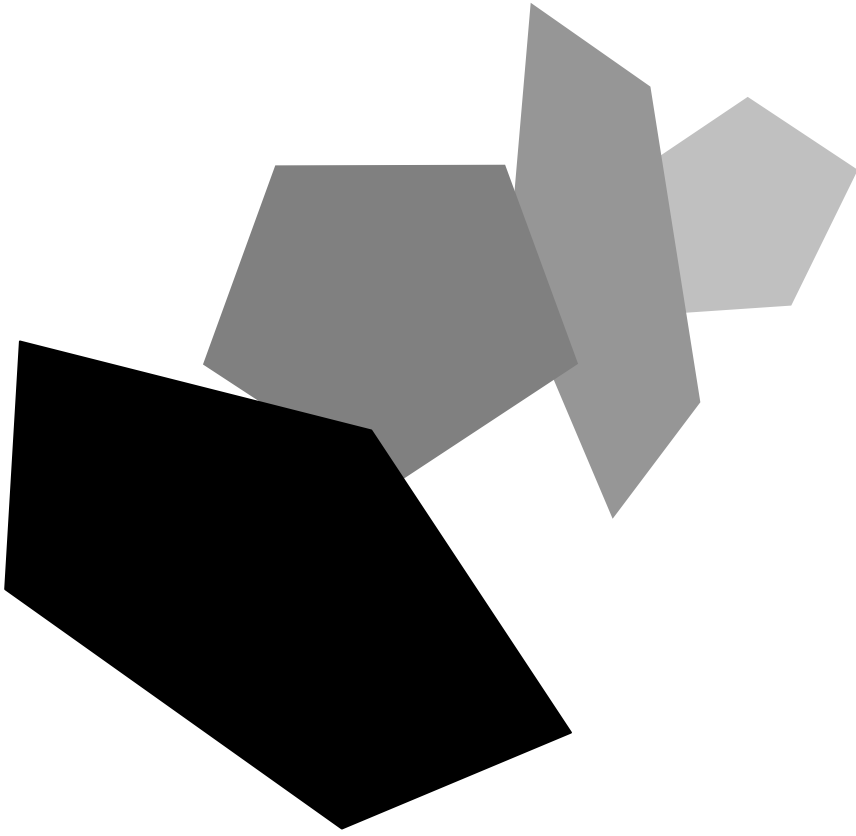
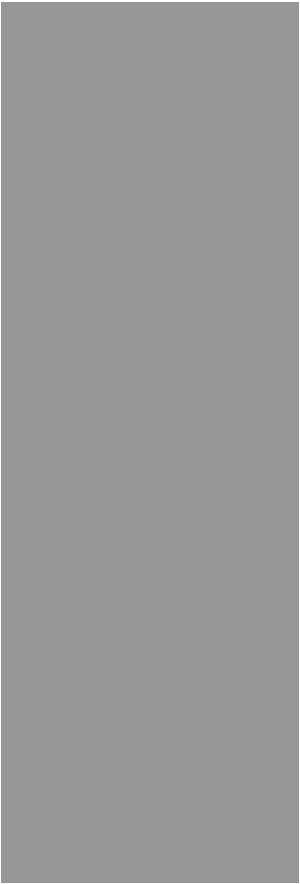


図 2.5 ExA1 端子の EXBIREQ 読み出し



# 第 3 章 付録



### 3.1 接続例

図 3.1(1)に EXB とルネサス 16 ビットマイコン M16C の接続例を示します。

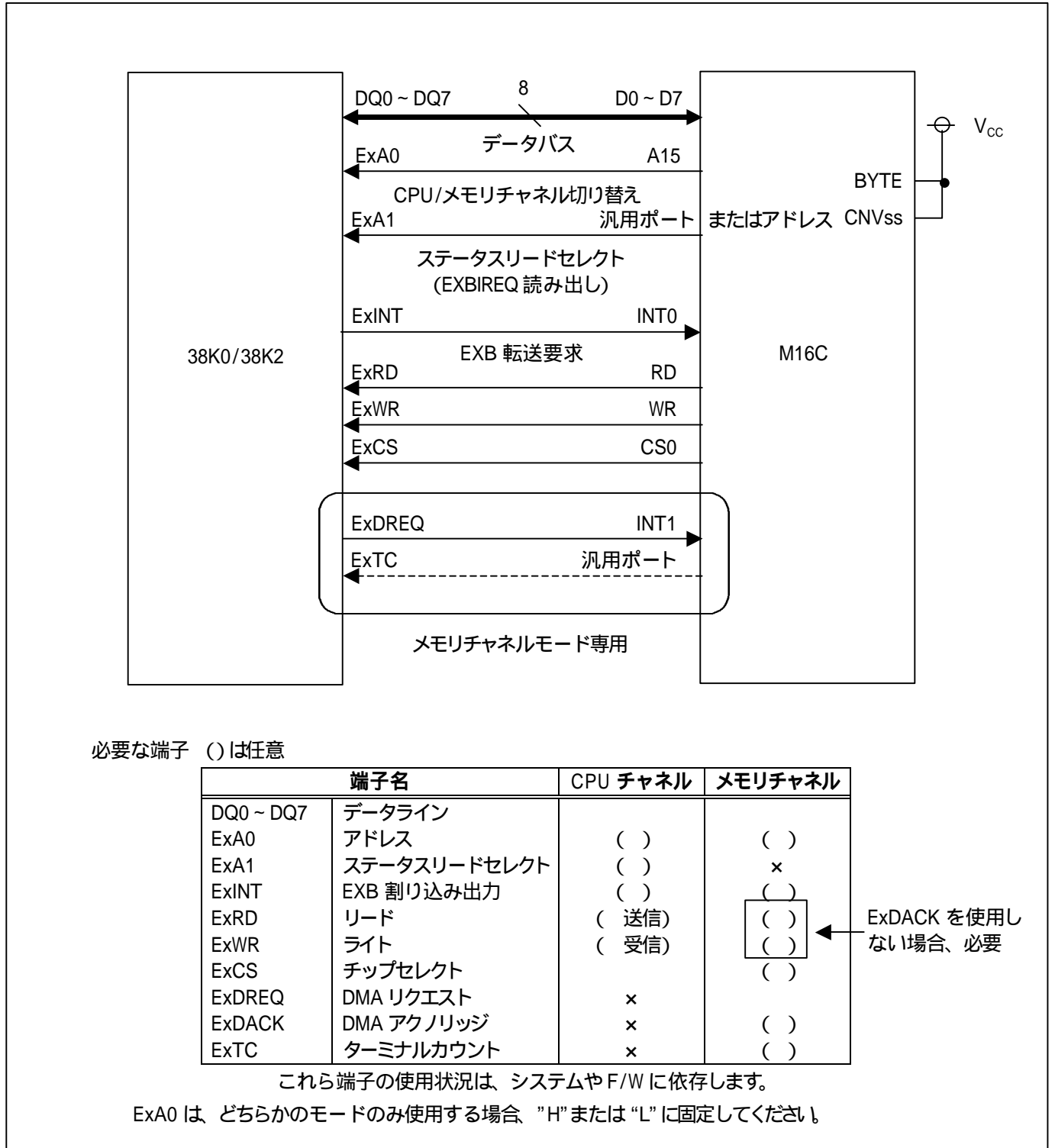
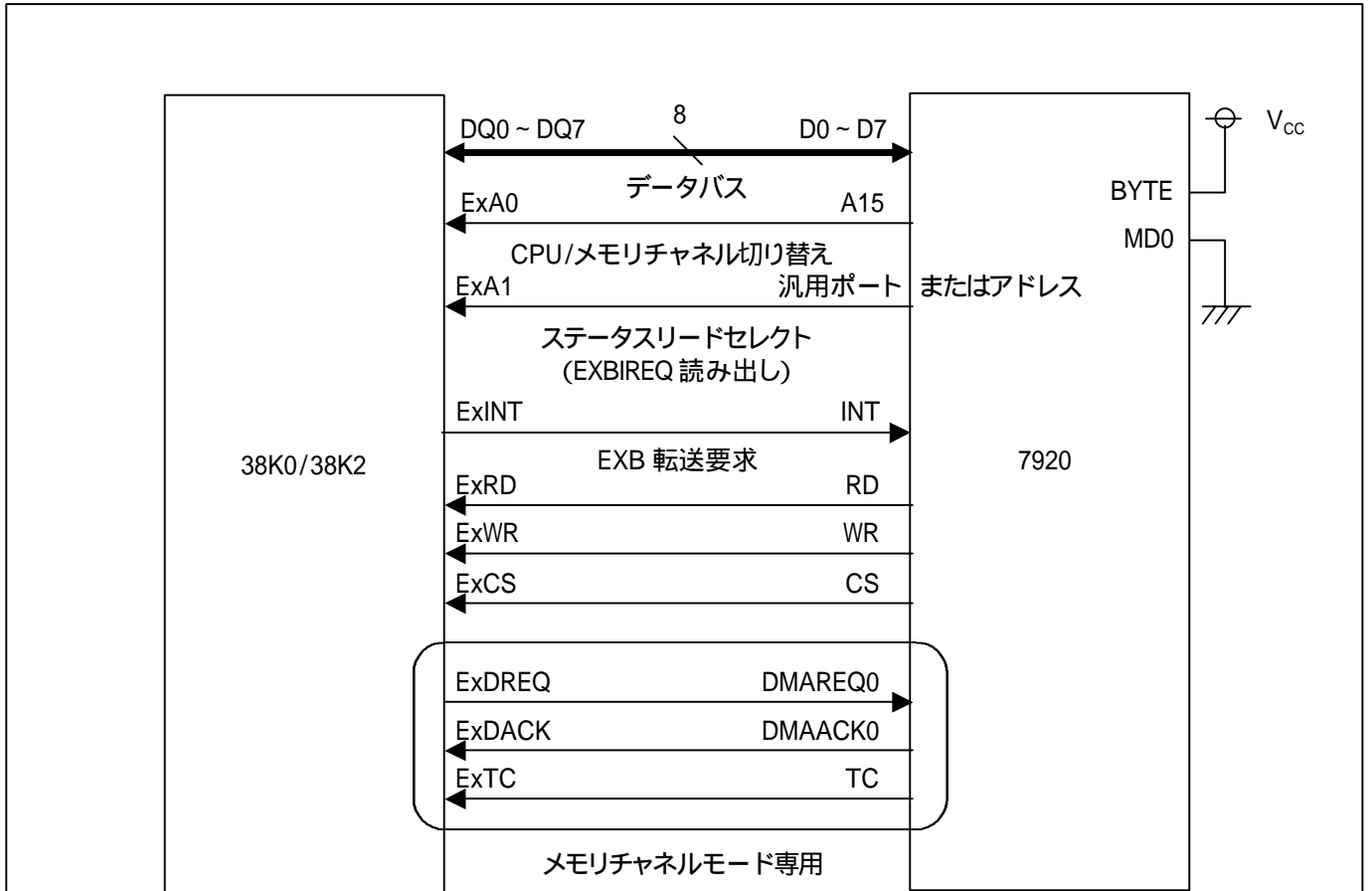


図 3.2(1) M16C の接続例

図 3.1(2)に EXBとルネサス 16 ビットマイコン 7920 の接続例を示します。



必要な端子 ( ) は任意

| 端子名       | CPU チャンネル  | メモリチャンネル |
|-----------|------------|----------|
| DQ0 ~ DQ7 | データライン     |          |
| ExA0      | アドレス       | ( )      |
| ExA1      | ステータスリード選択 | x        |
| ExINT     | EXB 割り込み出力 | ( )      |
| ExRD      | リード (送信)   | ( )      |
| ExWR      | ライト (受信)   | ( )      |
| ExCS      | チップ選択      | ( )      |
| ExDREQ    | DMA リクエスト  | x        |
| ExDACK    | DMA アクノリッジ | ( )      |
| ExTC      | ターミナルカウント  | x        |

ExDACK を使用しない場合は必要

これら端子の使用状況は、システムやF/Wに依存します。

ExA0 は、どちらかのモードのみ使用する場合、"H"または"L"に固定してください。

図 3.1(2) 7920 の接続例

### 3.2 USB(エンドポイント 01/02/03) 外部メイン MCU の転送制御例

38K0/38K2 グループの USB は、専用の FIFO メモリを持たないため、ホストへ(から)の送受信データは直接 RAM (指定された USB バッファの領域) へ展開されます。つまり、USB データは通常 RAM データと同等の扱いとなるため、これを外部メイン MCU へ(から)転送する場合、F/W の介在が必要です。しかし、ホストの USB のポ - リングは不定期に発生するため、F/W での EXB 転送の処理方法によって直接転送レ - トに影響します。

図 3.2 に 38K0/38K2 の EXB を使用した USB(エンドポイント 01/02/03) 外部メイン MCU 転送の概念図を示します。各エンドポイント(01/02/03) がデータ送受信を完了した場合、38K0/38K2 では、バッファレディ割り込みが発生します。F/W は、この割り込みをトリガとし外部メイン MCU へ(から)の EXB 転送を開始します。

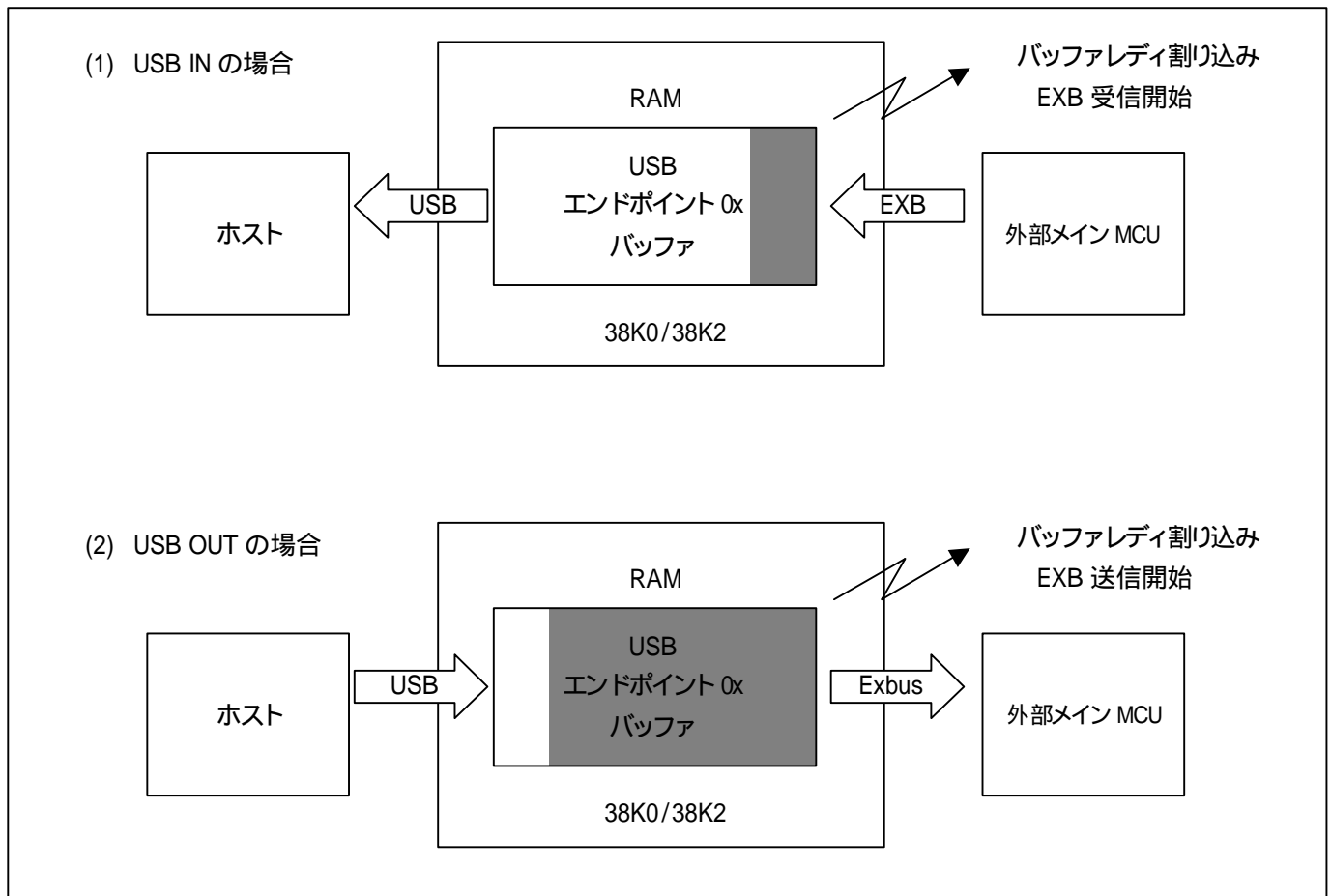


図 3.2 USB(エンドポイント 01/02/03) 外部メイン MCU のデータ転送概念図

#### (1) USB IN の場合

RAM 上のエンドポイント 0x のデータが USB によりホストに送信されます。

エンドポイント 0x のバッファが空になった場合、エンドポイント x バッファレディ割り込みが発生するため、EXB はこのイベントを確認後、外部メイン MCU からデータを受信します。

#### (2) USB OUT の場合

RAM 上のエンドポイント 0x のバッファにホストからのデータが受信されます。

エンドポイント 0x のバッファがフルになった場合、エンドポイント x バッファレディ割り込みが発生するため、EXB はこのイベントを確認後、外部メイン MCU へデータを送信します。

### 3.2.1 USB バッファの設定

RAM 上の USB バッファの領域は、図3.2.1(1)に示すように、各エンドポイントの EP0x バッファ領域設定レジスタ (EP0xBUF) [0FEDH] にて設定します。このレジスタは、各エンドポイントのバッファ領域の先頭アドレスを指定します。

| EP0x バッファ領域設定レジスタ |                           | EP0xBUF  | [ 0FEDH ] |     |
|-------------------|---------------------------|--|-----------|-----|
| ビット               | ビット名                      | 機能   | リセット      | R/W |
| 4 - 0             | EP0x 先頭アドレス設定ビット (BADD0x) | 設定値 × 32 バイト(20H)の絶対アドレスを設定します。<br>例) 00100 の場合<br>EP0x の先頭アドレスは、04H × 20H = 0080H | 00000     | R/W |
| 7 - 5             | 不使用                       | 書き込み時は"0"を設定してください   | -         | -   |

図3.2.1(1) EP0x バッファ領域設定レジスタ

1 つのエンドポイントは 2 つまで(1 つ 64 バイト)バッファを設定することが可能です(以下:ダブルバッファ)が更に、これらを含め転送タイプの設定などは、図3.2.1(2)に示すように、各エンドポイントの EP0x 設定レジスタ (EP0xCFG)[0019H]にて行います。

| EP0x 設定レジスタ |                              | EP0xCFG  | [ 0019H ] |     |
|-------------|------------------------------|--|-----------|-----|
| ビット         | ビット名                         | 機能   | リセット      | R/W |
| 1 - 0       | ダブルバッファ先頭アドレス設定ビット (BSIZE0x) | 00: 8Byte ギャップ<br>01: 16Byte ギャップ<br>10: 64Byte ギャップ<br>11: 128Byte ギャップ | 00        | R/W |
| 2           | バッファモード設定ビット (DBLB0x)        | 0: シングルバッファモード<br>1: ダブルバッファモード  | 0         | R/W |
| 3           | シーケンストグルビットクリアビット (SQCL0x)   | 0: トグルビットのクリア禁止<br>1: 次の PID が DATA0 になる                                 | 0         | R/W |
| 4           | インタラプトグルモード設定ビット (ITMD0x)    | 0: ノーマルモード<br>1: 連続トグルモード(インタラプト IN のみ)                                  | 0         | R/W |
| 5           | 転送方向ビット (DIR0x)              | 0: OUT<br>1: IN  | 0         | R/W |
| 7 - 6       | 転送タイプビット (TYP0x)             | 00: 転送禁止<br>01: バルク転送<br>10: インタラプト転送                                    | 0         | R/W |

図3.2.1(2) EP0x 設定レジスタ



(1) ダブルバッファ先頭アドレス設定ビット(BSIZE0x)

本 2 ビットは、エンドポイント一つで RAM 上に 2 つのバッファを持つ(バッファモード設定ビット[ビット 2]="1" の場合、1 つ目のバッファ(バッファ 0) の先頭アドレスと 2 つ目のバッファ(バッファ 1) の先頭アドレスの差分を設定するビットです。

図.3.2.1.(3)にダブルバッファ先頭アドレス設定ビット"11" の場合の例を示します。

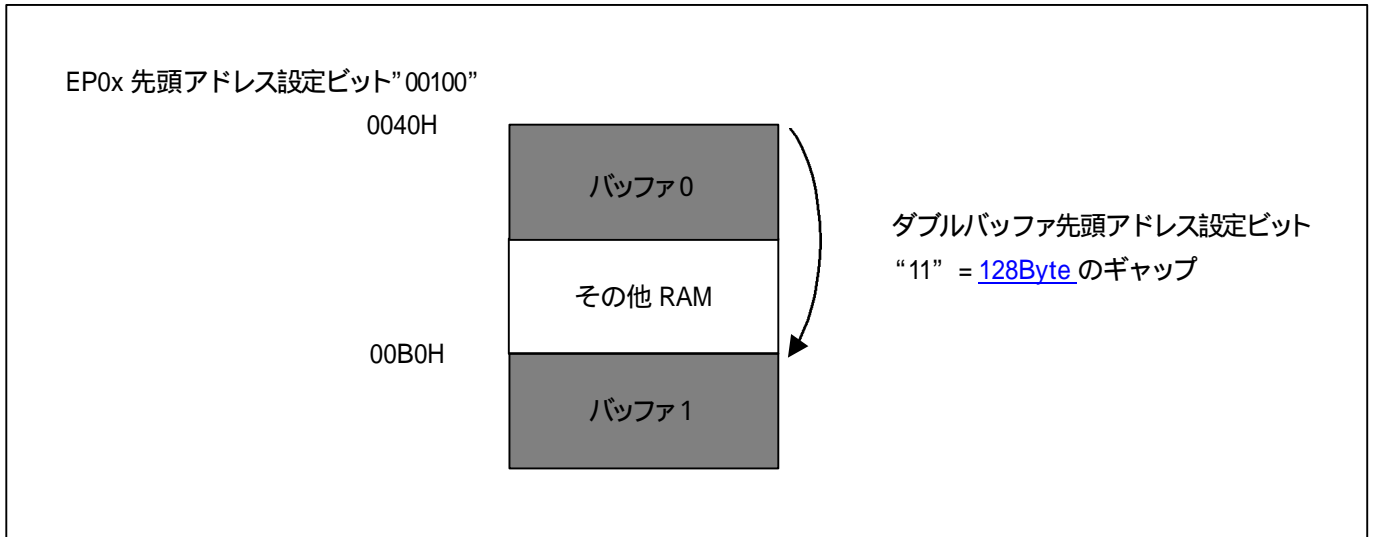


図.3.2.1.(3) EP0x のバッファ領域設定

(2) バッファモード設定ビット(DBLD0x)

本ビットが"1"の場合、そのエンドポイントはダブルバッファとして動作します。

### 3.2.2 ダブルバッファの動作例

USB の各エンドポイントは、ダブルバッファの場合、バッファ 0 バッファ 1 のデータ送受信毎に割り込みが発生します。この割り込みは、EP0x 割り込み要因レジスタ(EP0xREQ) [001DH]のバッファ 0 レディ割り込み(B0RDY0x)、ならびに、バッファ 1 レディ割り込み(B0RDY0x)です。38K0/38K2 では、これら割り込みを確認した後、EXB で外部メイン MCU へ(から)のデータ送信(受信)を開始します。さらに、バッファの全データ送信(受信)が完了した場合、EP0x 制御レジスタ 2(EP0xCON2)内のバッファ 0 許可ビット(B0VAL0x)、ならびに EP0x 制御レジスタ 3(EP0xCON3)内のバッファ 1 許可ビット(B1VAL0x)を”1”にします。この処理により、再び同じバッファに USB データが上書きできる状態となります。

図.3.2.2 に、BulkOut でダブルバッファを使用した例を示します。尚、バッファ 0 バッファ 1 へのアクセス順番は、“H/W トグル”(H/W が参照するトグル)、ならびに“F/W トグル”(F/W が参照するトグル)として示します。

#### 注意)

H/W トグル(USB が次にどちらにバッファにアクセスするか)は、直接 F/W からは参照できません。そのため H/W に同期した F/W トグルを別途管理する必要があります。尚、H/W トグルはシーケンストグルビットクリアビット(SQCL0x)により“0”(バッファ 0 からアクセス)となります。

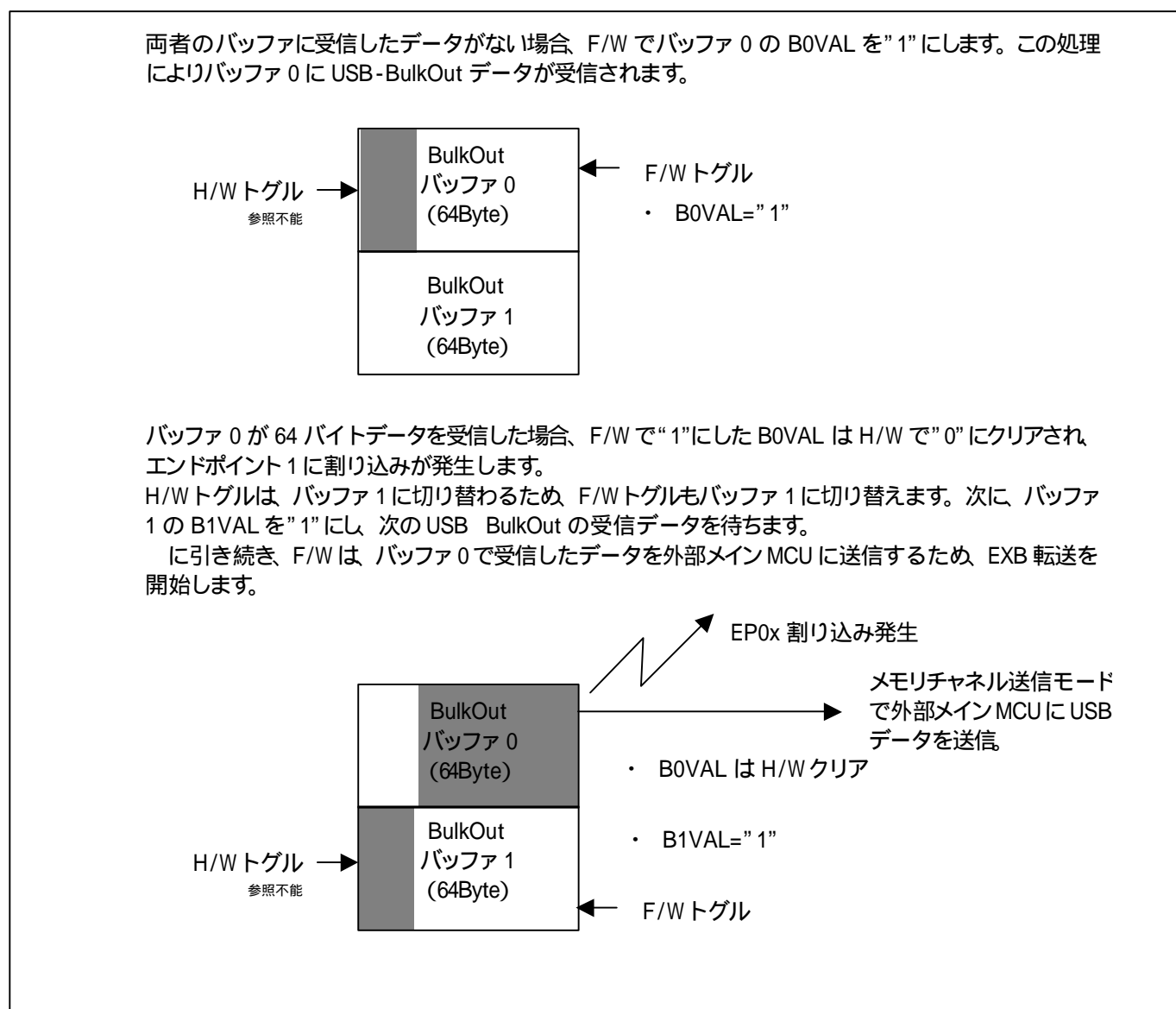


図.3.2.2 ダブルバッファの動作例



---

ルネサス USB シングルチップマイクロコンピュータ  
38K0/38K2 グループ  
EXB 応用技術資料 VER.1.1  
株式会社 ルネサステクノロジ  
株式会社 ルネサスソリューションズ

---

**禁無断転載**

本説明書の一部又は全部を、当初に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

Copyright 2003 RENESAS TECHNOLOGY Corp.  
RENESAS SOLUTIONS Corp.