

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

38D2グループ レジスタ一覧

1. 要約

この資料は38D2グループのレジスタについて説明しています。

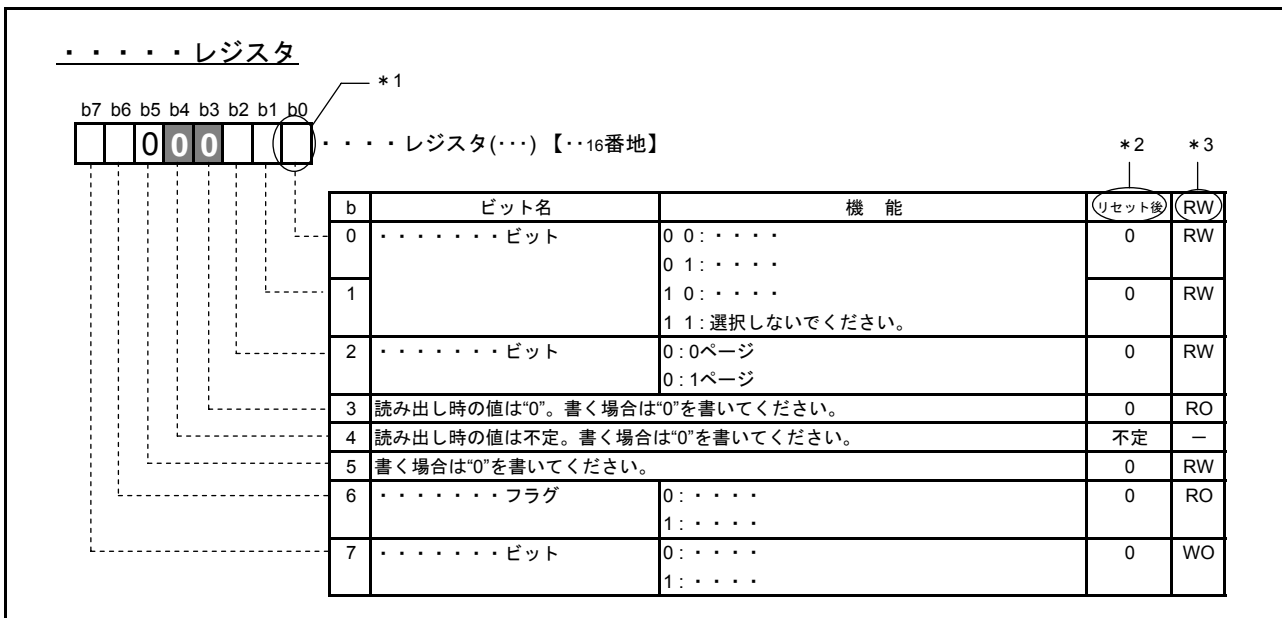
2. はじめに

この資料で説明するレジスタは次の条件での利用に適用されます。

- ・マイコン：38D2グループ

3. レジスタ構成図

このアプリケーションノートに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



- * 1
- 空白 :用途に応じて"0"又は"1"を設定してください。
 - 0 :書く場合は"0"を書いてください。
 - 1 :書く場合は"1"を書いてください。
 - x :特定のモード又は状態で使用しないビット。"0"又は"1"いずれでもよい。
 - :何も配置されていない。

- * 2
- 0 :リセット後"0"になる。
 - 1 :リセット後"1"になる。
 - 不定 :リセット後、不定になる。

- * 3
- RW :読み出し可能。書き込み可能。
 - RO :読み出し可能。書く場合の値は、それぞれのビットに依存します。
 - WO :書き込み可能。読み出し時の値は不定。
 - :読み出し時の値は不定。書く場合の値は、それぞれのビットに依存します。

4. 制御レジスタ一覧

ポートPiレジスタ

ポートPiレジスタ(Pi)(i = 0~5)
【000016,000216,000416,000616,000816,000A16番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|--------|--------------------------|-------|----|
| 0 | ポートPi0 | ●出力モード時 | 0 | RW |
| 1 | ポートPi1 | 書き込み：ポートラッチ | 0 | RW |
| 2 | ポートPi2 | 読み出し：ポートラッチ、又は周辺機能の出力(注) | 0 | RW |
| 3 | ポートPi3 | ●入力モード時 | 0 | RW |
| 4 | ポートPi4 | 書き込み：ポートラッチ | 0 | RW |
| 5 | ポートPi5 | 読み出し：端子の値 | 0 | RW |
| 6 | ポートPi6 | | 0 | RW |
| 7 | ポートPi7 | | 0 | RW |

注. 次のポートは、兼用の出力機能を選択している場合、その出力値を読みます。
P35/TXOUT1、P36/T2OUT/CKOUT、P40/OOUT0、P41/OOUT1、P46/RTP0、P47/RTP1、P52/T3OUT/PWM0、
P53/T4OUT/PWM1

図4.1 ポートPiレジスタの構成(i = 0~5)

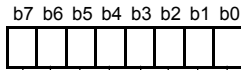
ポートP6レジスタ

ポートP6レジスタ(P6)
【000C16番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------------------------|------------------------|-------|----|
| 0 | ポートP60 | ●出力モード時 書き込み：ポートラッチ | 0 | RW |
| 1 | ポートP61 | 読み出し：ポートラッチ | 0 | RW |
| 2 | ポートP62 | ●入力モード時 書き込み：ポートラッチ | 0 | RW |
| 3 | 読み出し時の値は"0"。書く場合は"0"を書いてください。 | | 0 | RO |
| 4 | | | 0 | RO |
| 5 | | | 0 | RO |
| 6 | | | 0 | RO |
| 7 | | | 0 | RO |

図4.2 ポートP6レジスタの構成

ポートPi方向レジスタ



ポートPi方向レジスタ (PiD)(i=0~5)

【0001₁₆,0003₁₆,0005₁₆,0007₁₆,0009₁₆,000B₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|--------------|------------------------|-------|----|
| 0 | ポートPi0方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |
| 1 | ポートPi1方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |
| 2 | ポートPi2方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |
| 3 | ポートPi3方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |
| 4 | ポートPi4方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |
| 5 | ポートPi5方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |
| 6 | ポートPi6方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |
| 7 | ポートPi7方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |

ポートP3~P5は、PULLレジスタ(0FF0₁₆番地)により、プルアップ抵抗の制御ができます。

出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

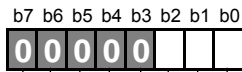
注2. ポートP5₅端子は、出力モード時、P5₅/TxD₁ Pチャネル出力禁止ビット(UART1制御レジスタ(001B₁₆番地)のビット4)で出力形式を選択できます。

注3. ポートP3₂端子は、出力モード時、P3₂/TxD₂ Pチャネル出力禁止ビット(UART2制御レジスタ(0FF1₁₆番地)のビット4)で出力形式を選択できます。

注4. VL端子入力選択ビット(LCD電源制御レジスタ(0014₁₆番地)のビット5)が"1"の場合、P2₆およびP2₇の設定は無効になります

図4.3 ポートPi方向レジスタの構成(i=0~5)

ポートP6方向レジスタ



ポートP6方向レジスタ(P6D)

【000D₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------------------------|------------------------|-------|----|
| 0 | ポートP6 ₀ 方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |
| 1 | ポートP6 ₁ 方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |
| 2 | ポートP6 ₂ 方向レジスタ | 0 : 入力モード 1 : 出力モード | 0 | WO |
| 3 | 読み出し時の値は"0"。書く場合は"0"を書いてください。 | | 0 | RO |
| 4 | | | 0 | RO |
| 5 | | | 0 | RO |
| 6 | | | 0 | RO |
| 7 | | | 0 | RO |

注1. ポートP6は、PULLレジスタ(0FF0₁₆番地)により、プルアップ抵抗の制御ができます。

出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

図4.4 ポートP6方向レジスタの構成

発振出力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0
000000 発振出力制御レジスタ(OSCOUT)【0010₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|---------------------------------|---|-------|----|
| 0 | P40/P41発振出力制御ビット | b1 b0 00: P41,P40=通常ポート 01: P41=通常ポート,P40=XOUT 10: P41=通常ポート,P40=XcOUT 11: P41=XcOUT,P40=XOUT | 0 | RW |
| 1 | | | 0 | RW |
| 2 | 書く場合は"0"を書いてください。"1"を書かないでください。 | | 0 | RW |
| 3 | | | 0 | RW |
| 4 | | | 0 | RW |
| 5 | | | 0 | RW |
| 6 | | | 0 | RW |
| 7 | | | 0 | RW |

- 注1. XcOUT端子からの信号を外部出力する機能が選択されている状態で、サブクロックが発振停止状態又はストップモードのとき、XcOUT外部出力信号は"H"レベルとなります。
- 注2. Xout端子からの信号を外部出力する機能が選択されている状態で、メインクロックが発振停止状態又はストップモードのとき、Xout外部出力信号は"H"レベルとなります。

図4.5 発振出力制御レジスタの構成

CPUモードレジスタ2

b7 b6 b5 b4 b3 b2 b1 b0
000000 CPUモードレジスタ2(CPUM2)【0011₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|---------------------------------|----------------|-------|----|
| 0 | オンチップオシレータ停止ビット (注1) | 0: 発振 1: 停止 | (注2) | RW |
| 1 | 書く場合は"0"を書いてください。"1"を書かないでください。 | | 0 | RW |
| 2 | 読み出し時の値は"0"。書く場合は"0"を書いてください。 | | 0 | RO |
| 3 | | | 0 | RO |
| 4 | | | 0 | RO |
| 5 | | | 0 | RO |
| 6 | 書く場合は"0"を書いてください。"1"を書かないでください。 | | 0 | RW |
| 7 | | | 0 | RW |

- 注1. ウォッチドッグタイマカウントソース選択ビット2 (ウォッチドッグタイマ制御レジスタ (0029₁₆番地) のビット5) でオンチップオシレータを選択している場合、このビットを"1"にしてもオンチップオシレータは停止しません。なお、低速モード時、QzROM版は、このビットの値に関わらずオンチップオシレータは停止します。フラッシュメモリ版では停止しませんので、このビットを"1"にして停止させてください。また、オンチップオシレータモード時、このビットを"1"にしても、フラッシュメモリ版では、オンチップオシレータの発振は停止しませんが、QzROM版では停止します。
- 注2. フラッシュメモリ版、QzROM版のOSCSEL端子=L時:1、QzROM版のOSCSEL端子=H時:0

図4.6 CPUモードレジスタ2の構成

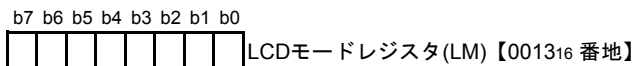
RRFレジスタ



| b | 機 能 | リセット後 | RW |
|---|----------|-------|----|
| 0 | DB4データ格納 | 0 | RW |
| 1 | DB5データ格納 | 0 | RW |
| 2 | DB6データ格納 | 0 | RW |
| 3 | DB7データ格納 | 0 | RW |
| 4 | DB0データ格納 | 0 | RW |
| 5 | DB1データ格納 | 0 | RW |
| 6 | DB2データ格納 | 0 | RW |
| 7 | DB3データ格納 | 0 | RW |

図4.7 RRFレジスタの構成

LCDモードレジスタ



| b | ビット名 | 機 能 | リセット後 | RW |
|---|-------------------------------|--|-------|----|
| 0 | 時分割選択ビット | b1 b0 0 0 : 選択しないでください 0 1 : 2時分割(COM ₀ 、COM ₁ 使用) 1 0 : 3時分割(COM ₀ ~COM ₂ 使用) 1 1 : 4時分割(COM ₀ ~COM ₃ 使用) | 0 | RW |
| 1 | | | 0 | RW |
| 2 | バイアス制御ビット | 0 : 1/3バイアス 1 : 1/2バイアス | 0 | RW |
| 3 | LCDイネーブルビット | 0 : LCD消灯 1 : LCD点灯 | 0 | RW |
| 4 | LCD駆動タイミング選択ビット | 0 : Aタイプ 1 : Bタイプ | 0 | RW |
| 5 | LCD回路分周器分周比選択ビット | b6 b5 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 8分周 | 0 | RW |
| 6 | | | 0 | RW |
| 7 | LCDCK用カウントソース 選択ビット (注) | 0 : f(X _{CIN})/32 1 : φSOURCE/8192 φSOURCE : f(X _{IN}) (2分周・4分周・8分周モード) f(X _{CIN}) (低速モード) f(OCO)/4 (オンチップオシレータモード) | 0 | RW |

注. LCDCKはLCDタイミングコントローラ用のクロックです。

図4.8 LCDモードレジスタの構成

LCD電源制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

| | | | | | | | |
|---|--|---|--|--|--|--|--|
| 0 | | 0 | | | | | |
|---|--|---|--|--|--|--|--|

 LCD電源制御レジスタ(VLCON)【0014₁₆番地】

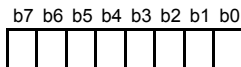
| b | ビット名 | 機能 | リセット後 | RW |
|---|---------------------------------|--|---------------------------------|----|
| 0 | LCD電源用分割抵抗制御ビット | 0: 内部分割抵抗をLCD電源回路から切り離す 1: 内部分割抵抗をLCD電源回路に接続する | 0 | RW |
| 1 | 分割抵抗選択ビット (注1) | b2 b1 10: ↑ 抵抗値大 01: 00: ↓ 抵抗値小 11: ↓ 抵抗値小 | 0 | RW |
| 2 | | | 0 | RW |
| 3 | | | 書く場合は"0"を書いてください。"1"を書かないでください。 | |
| 4 | | | 0 | RW |
| 5 | VL端子入力選択ビット | 0: 入力無効 1: VL入力機能有効 (注2) | 0 | RW |
| 6 | VL3接続ビット | 0: LCD内部VL3-Vcc間接続 1: LCD内部VL3-VL3端子間接続 | 0 | RW |
| 7 | 書く場合は"0"を書いてください。"1"を書かないでください。 | | 0 | RW |

注1. 外付け抵抗を使ってVL₁~VL₃に電圧を印加する場合には、分割抵抗選択ビット(RSEL)に"10₂"を書き込んでください。

注2. VL端子入力選択ビット(VLSEL)="1"の設定がポート2方向レジスタ(0005₁₆番地)およびセグメント出力禁止レジスタ2(0FF6₁₆番地)の設定より優先されます。

図4.9 LCD電源制御レジスタの構成

AD制御レジスタ



AD制御レジスタ(ADCON)【0015₁₆番地】

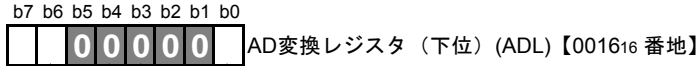
| b | ビット名 | 機能 | リセット後 | RW |
|---|--------------------|--|-------|------------|
| 0 | アナログ入力端子選択ビット | b2 b1 b0 0 0 0 : P4 ₀ /AN ₀ 0 0 1 : P4 ₁ /AN ₁ 0 1 0 : P4 ₂ /AN ₂ 0 1 1 : P4 ₃ /AN ₃ 1 0 0 : P4 ₄ /AN ₄ 1 0 1 : P4 ₅ /AN ₅ 1 1 0 : P4 ₆ /AN ₆ 1 1 1 : P4 ₇ /AN ₇ | 0 | RW |
| 1 | | | 0 | RW |
| 2 | | | 0 | RW |
| 3 | AD変換終了ビット | 0: 変換中 1: 変換終了 | 1 | RW (注1) |
| 4 | AD変換クロック選択ビット | 0: ϕ SOURCE/2 1: ϕ SOURCE/8 ϕ SOURCE : f(X _{IN}) (2分周・4分周・8分周モード) f(OCO)/4 (低速モード・ オンチップオシレータモード) | 0 | RW |
| 5 | ADKEY許可ビット (注2) | 0: 禁止 1: 許可 | 0 | RW |
| 6 | 10bit or 8bit 変換切替 | 0: 10bitAD 1: 8bitAD | 0 | RW |
| 7 | ADKEY選択ビット | 0: 無効 1: 有効 | 0 | RW |

注1. このビットは、プログラムで“0”にできますが、“1”にはできません。

注2. ADKEY許可ビットが“1”のとき、アナログ入力端子選択ビットは無効になります。ADKEY許可中はプログラムによるA/D変換は行わないでください。ADKEYを許可したことで、アナログ入力端子選択ビットの値が変化することはありません。

図4.10 AD制御レジスタの構成

AD変換レジスタ (下位)

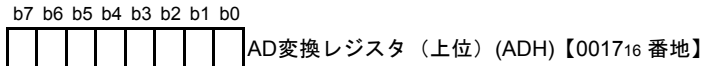


| b | ビット名 | 機 能 | リセット後 | RW |
|---|---|----------------|-----------|----|
| 0 | VREF 入力スイッチビット | 0: 自動 1: ON | 0 (注2) | RW |
| 1 | 読み出し時の値は"0"。書く場合は"0"を書いてください。 | | 0 | RO |
| 2 | | | 0 | RO |
| 3 | | | 0 | RO |
| 4 | | | 0 | RO |
| 5 | | | 0 | RO |
| 6 | 10bitAD時のA/D変換結果が読めます。 8bitAD時の読み出し時の値は不定。 | | 不定 | RO |
| 7 | 書く場合は"0"を書いてください。 | | 不定 | RO |

注1. A/D変換中はこのレジスタを読み出さないでください。
注2. 読み出し時は不定になります。

図4.11 AD変換レジスタ (下位) の構成

AD変換レジスタ (上位)

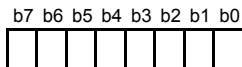


| b | 機 能 | リセット後 | RW | |
|---|-------------------------------------|-------|----|----|
| 0 | A/D変換結果が読めます。 | 不定 | RO | |
| 1 | 書く場合は "00 ₁₆ " を書いてください。 | 不定 | RO | |
| 2 | 10bitAD時 b7 b6 b5 b4 b3 b2 | | 不定 | RO |
| 3 | b9 b8 b7 b6 b5 b4 b3 b2 | | 不定 | RO |
| 4 | | | 不定 | RO |
| 5 | 8bitAD時 b7 b6 b5 b4 b3 b2 b1 b0 | | 不定 | RO |
| 6 | b7 b6 b5 b4 b3 b2 b1 b0 | | 不定 | RO |
| 7 | | | 不定 | RO |

注. A/D変換中はこのレジスタを読み出さないでください。

図4.12 AD変換レジスタ (上位) の構成

送信バッファレジスタ1

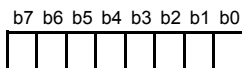


送信バッファレジスタ1 (TB1) 【0018₁₆番地】

| b | 機 能 | リセット後 | RW |
|---|--------------------------|-------|----|
| 0 | 送信データの書き込みを行うバッファレジスタです。 | 不定 | WO |
| 1 | 送信データを書いてください。 | 不定 | WO |
| 2 | | 不定 | WO |
| 3 | | 不定 | WO |
| 4 | | 不定 | WO |
| 5 | | 不定 | WO |
| 6 | | 不定 | WO |
| 7 | | 不定 | WO |

注: 受信バッファレジスタ1と同じ番地です。読み出しはできません。

受信バッファレジスタ1



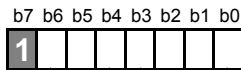
受信バッファレジスタ1 (RB1) 【0018₁₆番地】

| b | 機 能 | リセット後 | RW |
|---|--------------------------|-------|----|
| 0 | 受信データの読み出しを行うバッファレジスタです。 | 不定 | RO |
| 1 | 受信データが読めます。 | 不定 | RO |
| 2 | | 不定 | RO |
| 3 | | 不定 | RO |
| 4 | | 不定 | RO |
| 5 | | 不定 | RO |
| 6 | | 不定 | RO |
| 7 | | 不定 | RO |

注: 送信バッファレジスタ1と同じ番地です。書き込みはできません。

図4.13 送信バッファレジスタ1及び受信バッファレジスタ1の構成

シリアルI/O1ステータスレジスタ



シリアルI/O1ステータスレジスタ(SIO1STS)【0019₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------------------------|--|-------|----|
| 0 | 送信バッファエンティフラグ (TBE) (注1) | 0 : バッファレジスタフル状態 1 : バッファレジスタエンティ状態 | 0 | RO |
| 1 | 受信バッファフルフラグ (RBF) (注1、2) | 0 : バッファレジスタエンティ状態 1 : バッファレジスタフル状態 | 0 | RO |
| 2 | 送信シフトレジスタシフト終了フラグ(TSC) (注1) | 0 : 送信シフト中 1 : 送信シフト終了 | 0 | RO |
| 3 | オーバランエラーフラグ (OE) (注3) | 0 : オーバランエラーなし 1 : オーバランエラー発生 | 0 | RO |
| 4 | パリティエラーフラグ (PE) (注3) | 0 : パリティエラーなし 1 : パリティエラー発生 | 0 | RO |
| 5 | フレーミングエラーフラグ(FE) (注3) | 0 : フレーミングエラーなし 1 : フレーミングエラー発生 | 0 | RO |
| 6 | サミングエラーフラグ(SE) (注3) | 0 : (OE)U(PE)U(FE)=0 1 : (OE)U(PE)U(FE)=1 | 0 | RO |
| 7 | 読み出し時の値は“1”。書く場合は“1”を書いてください。 | | 1 | RO |

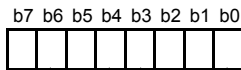
注1. 書く場合は“0”を書いてください。

注2. 受信バッファレジスタ1を読むと“0”になります。

注3. このレジスタへの書き込みで、このビットは“0”になります。書く場合は“0”を書いてください。

図4.14 シリアルI/O1ステータスレジスタの構成

シリアルI/O1制御レジスタ



シリアルI/O1制御レジスタ(SIO1CON)【001A16番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|---------------------------------|--|-------|----|
| 0 | BRG1カウントソース選択ビット(CSS) | 0: ϕ SOURCE 1: ϕ SOURCE/4 ϕ SOURCE: f(XIN) (2分周・4分周・8分周モード) f(XCIN) (低速モード) f(OCO)/4 (オンチップオシレータモード) | 0 | RW |
| 1 | シリアルI/O1同期クロック選択ビット(SCS) | クロック同期形シリアルI/Oモード時 0: BRG1出力の4分周 1: 外部クロック入力 UARTモード時 0: BRG1出力の16分周 1: 外部クロック入力の16分周 | 0 | RW |
| 2 | SRDY ₁ 出力許可ビット(SRDY) | 0: 出力禁止(P5 ₇ 端子: 入出力ポート) 1: 出力許可(P5 ₇ 端子: SRDY ₁ 出力端子) | 0 | RW |
| 3 | 送信割り込み要因選択ビット(TIC) | 0: 送信バッファレジスタが空になったとき(TBE=1) 1: 送信シフトレジスタのシフト動作終了時(TSC=1) | 0 | RW |
| 4 | 送信許可ビット(TE) | 0: 送信禁止 1: 送信許可 | 0 | RW |
| 5 | 受信許可ビット(RE) | 0: 受信禁止 1: 受信許可 | 0 | RW |
| 6 | シリアルI/O1モード選択ビット(SIOM) | 0: UARTモード 1: クロック同期形シリアルI/Oモード | 0 | RW |
| 7 | シリアルI/O1許可ビット(SIOE) | 0: シリアルI/O1禁止(P5 ₄ ~P5 ₇ 端子: 入出力ポート) 1: シリアルI/O1許可(P5 ₄ ~P5 ₇ 端子: シリアルI/O1機能端子) | 0 | RW |

図4.15 シリアルI/O1制御レジスタの構成

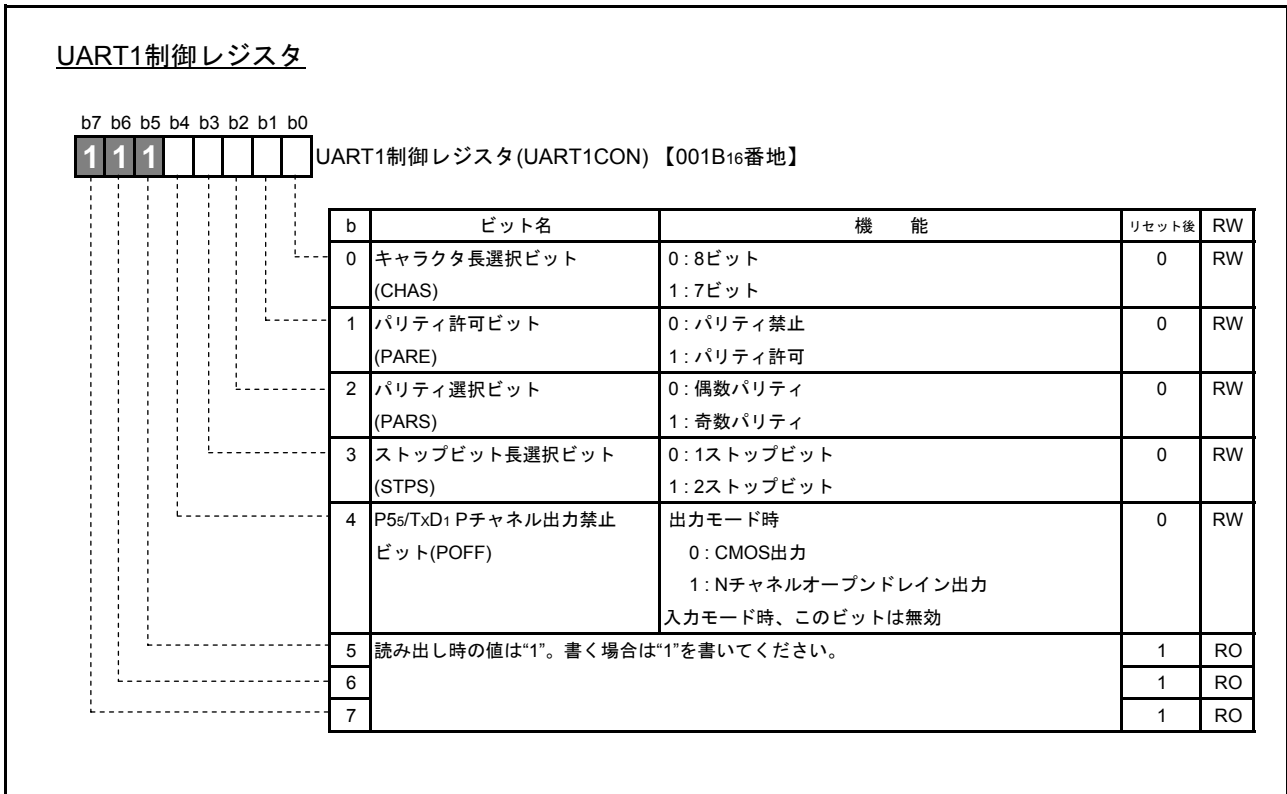


図4.16 UART1制御レジスタの構成

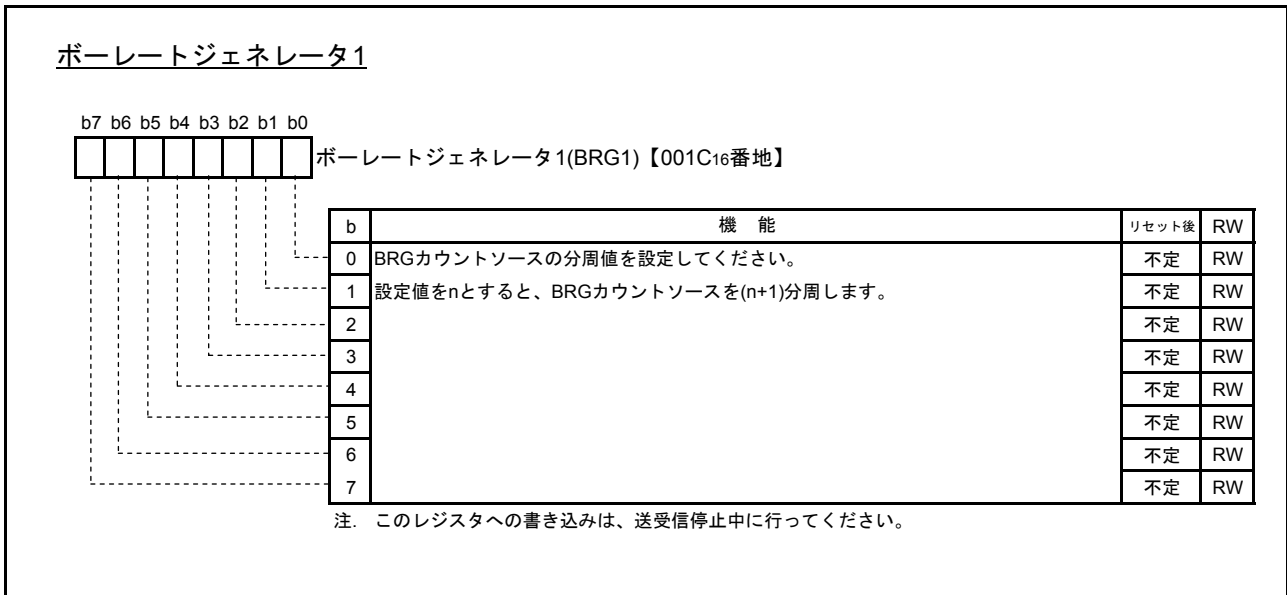
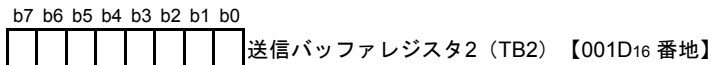


図4.17 ボーレートジェネレータ1の構成

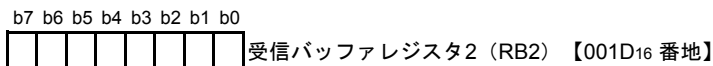
送信バッファレジスタ2



| b | 機 能 | リセット後 | RW |
|---|--------------------------|-------|----|
| 0 | 送信データの書き込みを行うバッファレジスタです。 | 不定 | WO |
| 1 | 送信データを書いてください。 | 不定 | WO |
| 2 | | 不定 | WO |
| 3 | | 不定 | WO |
| 4 | | 不定 | WO |
| 5 | | 不定 | WO |
| 6 | | 不定 | WO |
| 7 | | 不定 | WO |

注: 受信バッファレジスタ2と同じ番地です。読み出しはできません。

受信バッファレジスタ2

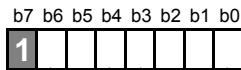


| b | 機 能 | リセット後 | RW |
|---|--------------------------|-------|----|
| 0 | 受信データの読み出しを行うバッファレジスタです。 | 不定 | RO |
| 1 | 受信データが読めます。 | 不定 | RO |
| 2 | | 不定 | RO |
| 3 | | 不定 | RO |
| 4 | | 不定 | RO |
| 5 | | 不定 | RO |
| 6 | | 不定 | RO |
| 7 | | 不定 | RO |

注: 送信バッファレジスタ2と同じ番地です。書き込みはできません。

図4.18 送信バッファレジスタ2及び受信バッファレジスタ2の構成

シリアル/O2ステータスレジスタ



シリアル/O2ステータスレジスタ(SIO2STS)【001E16番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------------------------|--|-------|----|
| 0 | 送信バッファエンティフラグ (TBE) (注1) | 0 : バッファレジスタフル状態 1 : バッファレジスタエンティ状態 | 0 | RO |
| 1 | 受信バッファフルフラグ (RBF) (注1、2) | 0 : バッファレジスタエンティ状態 1 : バッファレジスタフル状態 | 0 | RO |
| 2 | 送信シフトレジスタシフト終了フラグ(TSC) (注1) | 0 : 送信シフト中 1 : 送信シフト終了 | 0 | RO |
| 3 | オーバランエラーフラグ (OE) (注3) | 0 : オーバランエラーなし 1 : オーバランエラー発生 | 0 | RO |
| 4 | パリティエラーフラグ (PE) (注3) | 0 : パリティエラーなし 1 : パリティエラー発生 | 0 | RO |
| 5 | フレーミングエラーフラグ(FE) (注3) | 0 : フレーミングエラーなし 1 : フレーミングエラー発生 | 0 | RO |
| 6 | サミングエラーフラグ(SE) (注3) | 0 : (OE)U(PE)U(FE)=0 1 : (OE)U(PE)U(FE)=1 | 0 | RO |
| 7 | 読み出し時の値は“1”。書く場合は“1”を書いてください。 | | 1 | RO |

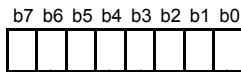
注1. 書く場合は“0”を書いてください。

注2. 受信バッファレジスタ2を読むと“0”になります。

注3. このレジスタへの書き込みで、このビットは“0”になります。書く場合は“0”を書いてください。

図4.19 シリアル/O2ステータスレジスタの構成

シリアルI/O2制御レジスタ



シリアルI/O2制御レジスタ(SIO2CON)【001F16番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|--------------------------|---|-------|----|
| 0 | BRG2カウントソース選択ビット(CSS) | 0: ϕ SOURCE 1: ϕ SOURCE/4 ϕ SOURCE : f(XIN) (2分周・4分周・8分周モード) f(XCIN) (低速モード) f(OCO)/4 (オンチップオシレータモード) | 0 | RW |
| 1 | シリアルI/O2同期クロック選択ビット(SCS) | クロック同期形シリアルI/Oモード時 0: BRG2出力の4分周 1: 外部クロック入力 UARTモード時 0: BRG2出力の16分周 1: 外部クロック入力の16分周 | 0 | RW |
| 2 | SRDY2出力許可ビット(SRDY) | 0: 出力禁止(P30端子: 入出力ポート) 1: 出力許可(P30端子: SRDY2出力端子) | 0 | RW |
| 3 | 送信割り込み要因選択ビット(TIC) | 0: 送信バッファレジスタが空になったとき(TBE=1) 1: 送信シフトレジスタのシフト動作終了時(TSC=1) | 0 | RW |
| 4 | 送信許可ビット(TE) | 0: 送信禁止 1: 送信許可 | 0 | RW |
| 5 | 受信許可ビット(RE) | 0: 受信禁止 1: 受信許可 | 0 | RW |
| 6 | シリアルI/O2モード選択ビット(SIOM) | 0: UARTモード 1: クロック同期形シリアルI/Oモード | 0 | RW |
| 7 | シリアルI/O2許可ビット(SIOE) | 0: シリアルI/O2禁止(P30~P33端子: 入出力ポート) 1: シリアルI/O2許可(P30~P33端子: シリアルI/O2機能端子) | 0 | RW |

図4.20 シリアルI/O2制御レジスタの構成

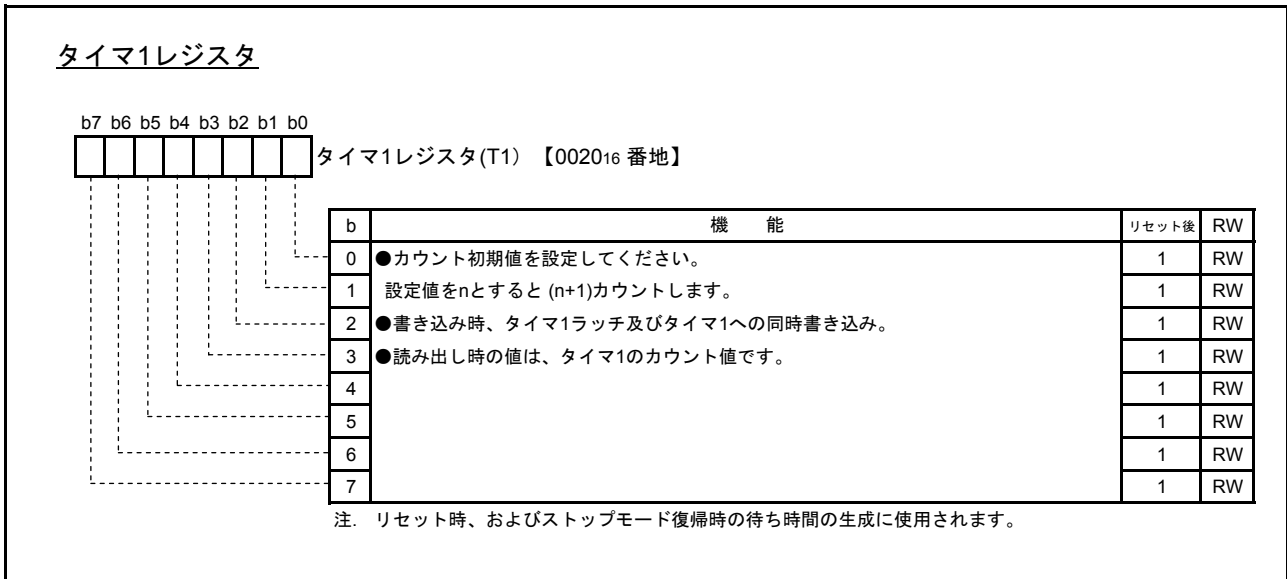


図4.21 タイマ1 レジスタの構成

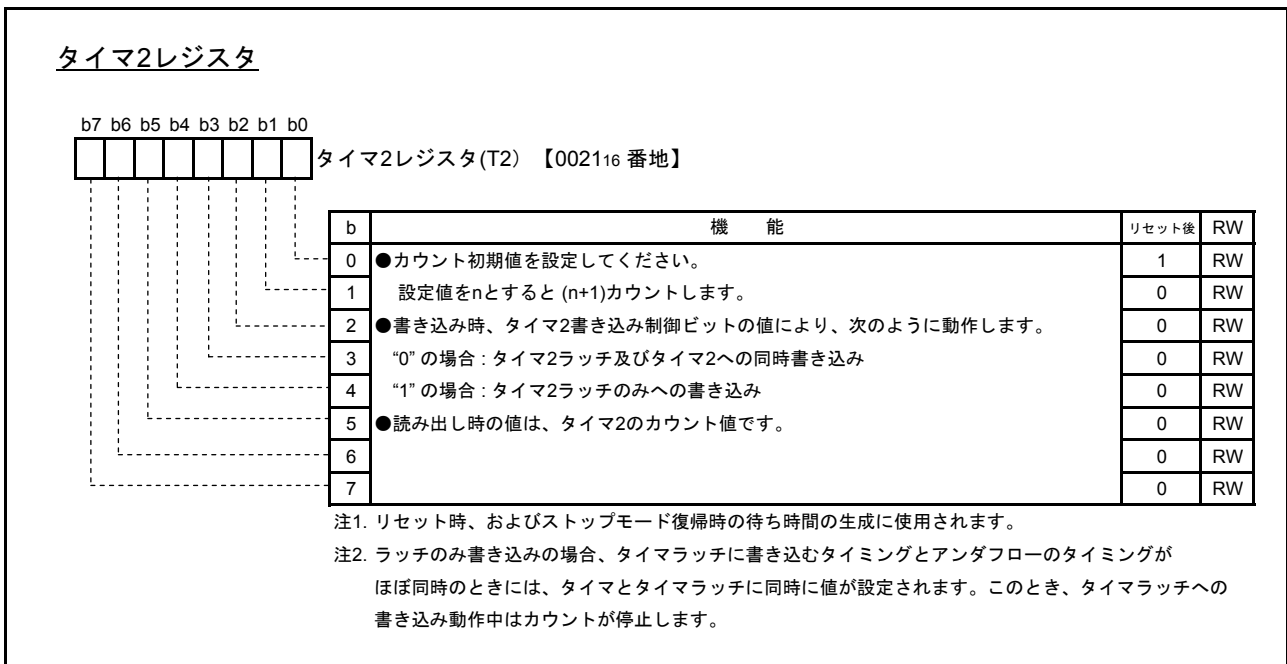
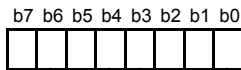


図4.22 タイマ2 レジスタの構成

タイマ3レジスタ



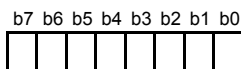
タイマ3レジスタ(T3) 【0022₁₆番地】

| b | 機 能 | リセット後 | RW |
|---|---------------------------------------|-------|----|
| 0 | ●カウント初期値を設定してください。 | 1 | RW |
| 1 | 設定値をnとすると (n+1)カウントします。 | 1 | RW |
| 2 | ●書き込み時、タイマ3書き込み制御ビットの値により、次のように動作します。 | 1 | RW |
| 3 | "0" の場合：タイマ3ラッチ及びタイマ3への同時書き込み | 1 | RW |
| 4 | "1" の場合：タイマ3ラッチのみへの書き込み | 1 | RW |
| 5 | ●読み出し時の値は、タイマ3のカウント値です。 | 1 | RW |
| 6 | | 1 | RW |
| 7 | | 1 | RW |

注. ラッチのみ書き込みの場合、タイマラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、タイマラッチへの書き込み動作中はカウントが停止します。

図4.23 タイマ3 レジスタの構成

タイマ4レジスタ



タイマ4レジスタ(T4) 【0023₁₆番地】

| b | 機 能 | リセット後 | RW |
|---|---------------------------------------|-------|----|
| 0 | ●カウント初期値を設定してください。 | 1 | RW |
| 1 | 設定値をnとすると (n+1)カウントします。 | 1 | RW |
| 2 | ●書き込み時、タイマ4書き込み制御ビットの値により、次のように動作します。 | 1 | RW |
| 3 | "0" の場合：タイマ4ラッチ及びタイマ4への同時書き込み | 1 | RW |
| 4 | "1" の場合：タイマ4ラッチのみへの書き込み | 1 | RW |
| 5 | ●読み出し時の値は、タイマ4のカウント値です。 | 1 | RW |
| 6 | | 1 | RW |
| 7 | | 1 | RW |

注. ラッチのみ書き込みの場合、タイマラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、タイマラッチへの書き込み動作中はカウントが停止します。

図4.24 タイマ4 レジスタの構成

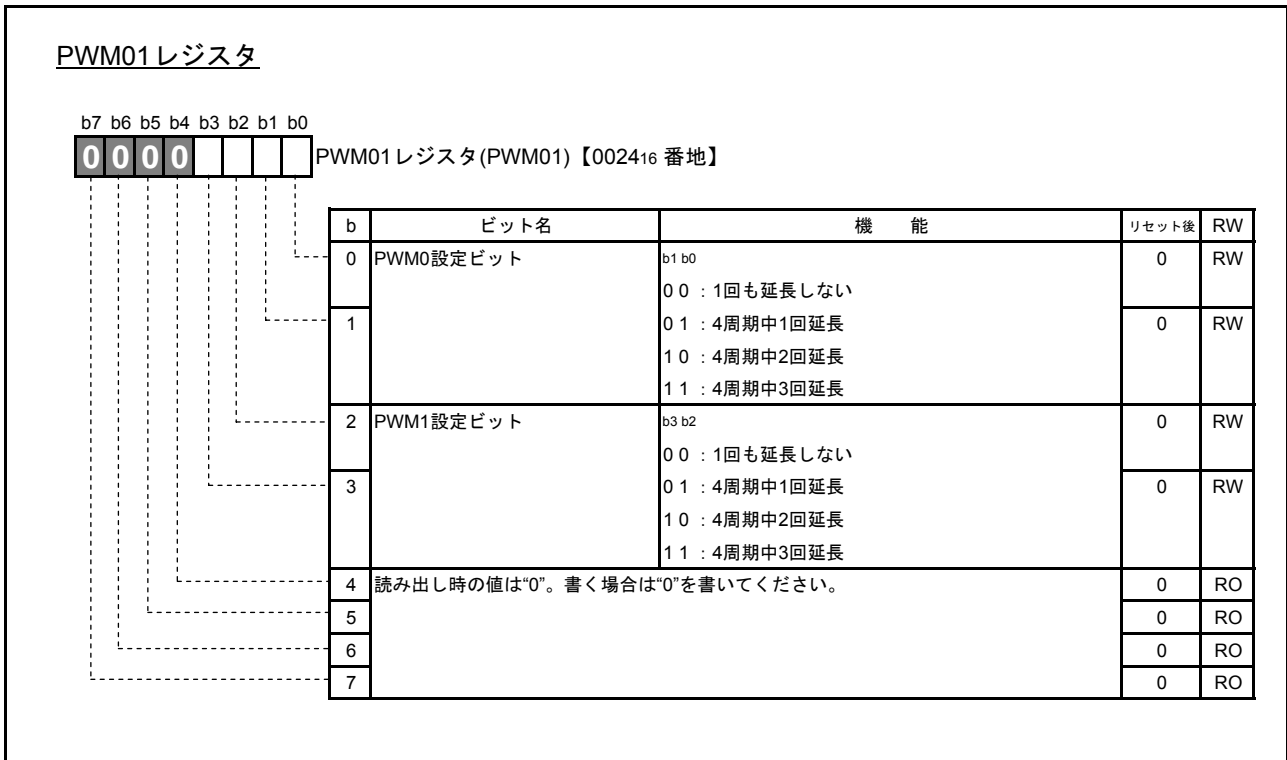


図4.25 PWM01レジスタの構成

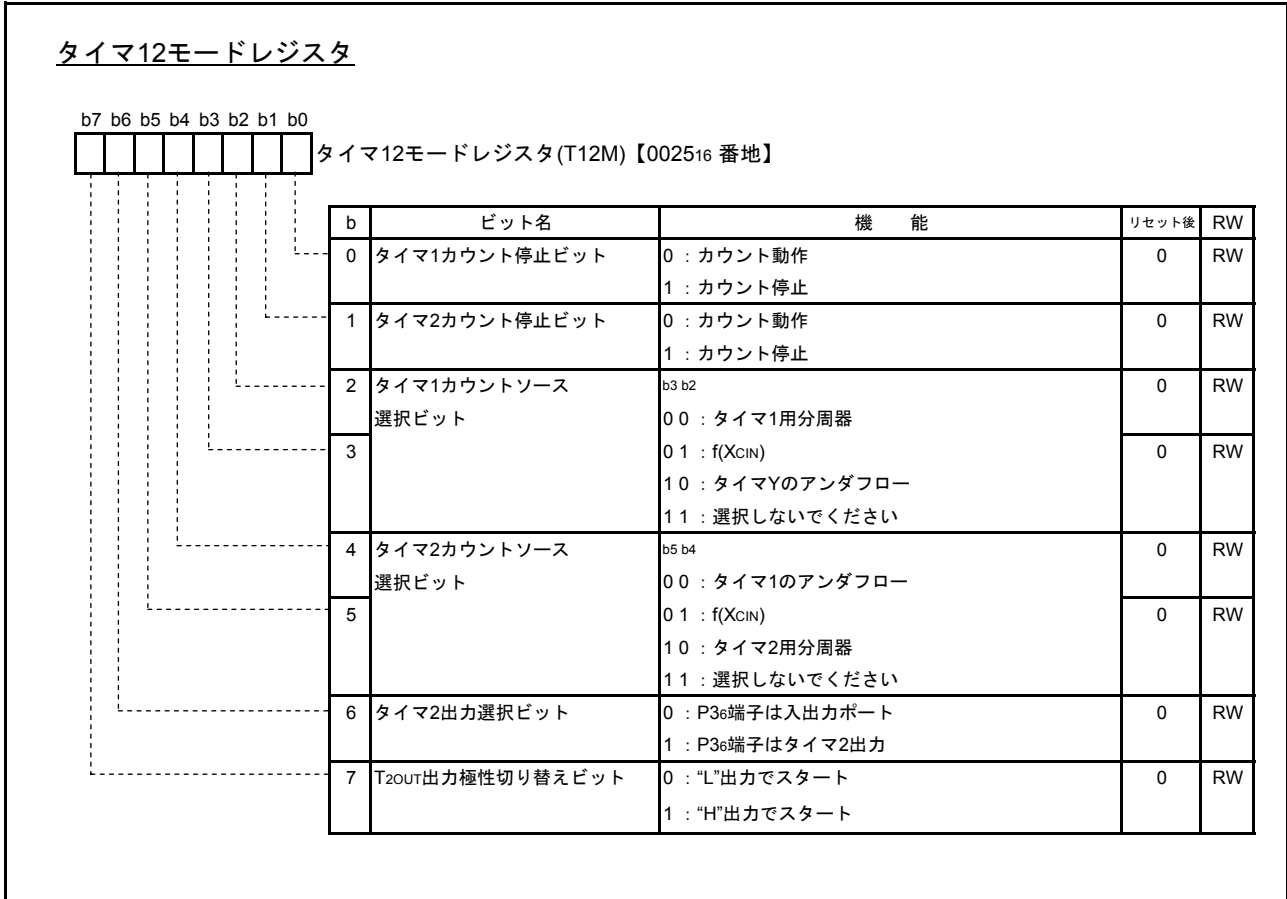
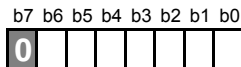


図4.26 タイマ12モードレジスタの構成

タイマ34モードレジスタ

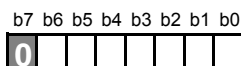


タイマ34モードレジスタ (T34M) 【0026₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------------------------|--|-------|----|
| 0 | タイマ3カウント停止ビット | 0 : カウント動作 1 : カウント停止 | 0 | RW |
| 1 | タイマ4カウント停止ビット | 0 : カウント動作 1 : カウント停止 | 0 | RW |
| 2 | タイマ3カウントソース 選択ビット | 0 : タイマ3用分周器 1 : タイマ2のアンダフロー | 0 | RW |
| 3 | タイマ4カウントソース 選択ビット | b4 b3 00 : タイマ4用分周器 01 : タイマ3のアンダフロー 10 : タイマ2のアンダフロー 11 : f(X _{IN}) | 0 | RW |
| 4 | | | 0 | RW |
| 5 | タイマ3動作モード選択ビット | 0 : タイマモード 1 : PWMモード | 0 | RW |
| 6 | タイマ4動作モード選択ビット | 0 : タイマモード 1 : PWMモード | 0 | RW |
| 7 | 読み出し時の値は"0"。書く場合は"0"を書いてください。 | | 0 | RO |

図4.27 タイマ34モードレジスタの構成

タイマ1234モードレジスタ

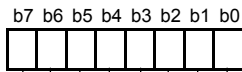


タイマ1234モードレジスタ (T1234M) 【0027₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------------------------|--------------------------------------|-------|----|
| 0 | T3OUT出力極性切り替えビット | 0 : "L"出力でスタート 1 : "H"出力でスタート | 0 | RW |
| 1 | T4OUT出力極性切り替えビット | 0 : "L"出力でスタート 1 : "H"出力でスタート | 0 | RW |
| 2 | タイマ3出力選択ビット | 0 : P52端子は入出力ポート 1 : P52端子はタイマ3出力 | 0 | RW |
| 3 | タイマ4出力選択ビット | 0 : P53端子は入出力ポート 1 : P53端子はタイマ4出力 | 0 | RW |
| 4 | タイマ2書き込み制御ビット | 0 : ラッチおよびタイマ同時書き込み 1 : ラッチのみ書き込み | 0 | RW |
| 5 | タイマ3書き込み制御ビット | 0 : ラッチおよびタイマ同時書き込み 1 : ラッチのみ書き込み | 0 | RW |
| 6 | タイマ4書き込み制御ビット | 0 : ラッチおよびタイマ同時書き込み 1 : ラッチのみ書き込み | 0 | RW |
| 7 | 読み出し時の値は"0"。書く場合は"0"を書いてください。 | | 0 | RO |

図4.28 タイマ1234モードレジスタの構成

タイマ1234分周選択レジスタ



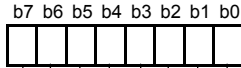
タイマ1234分周選択レジスタ(PRE1234)【0028₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------|--|-------|----|
| 0 | タイマ1分周選択ビット | b1 b0 00 : 1/16×φSOURCE 01 : 1/1×φSOURCE | 0 | RW |
| 1 | | 10 : 1/2×φSOURCE 11 : 1/256×φSOURCE | 0 | RW |
| 2 | タイマ2分周選択ビット | b3 b2 00 : 1/16×φSOURCE 01 : 1/1×φSOURCE | 0 | RW |
| 3 | | 10 : 1/2×φSOURCE 11 : 1/256×φSOURCE | 0 | RW |
| 4 | タイマ3分周選択ビット | b5 b4 00 : 1/16×φSOURCE 01 : 1/1×φSOURCE | 0 | RW |
| 5 | | 10 : 1/2×φSOURCE 11 : 1/256×φSOURCE | 0 | RW |
| 6 | タイマ4分周選択ビット | b7 b6 00 : 1/16×φSOURCE 01 : 1/1×φSOURCE | 0 | RW |
| 7 | | 10 : 1/2×φSOURCE 11 : 1/256×φSOURCE | 0 | RW |

注. φSOURCE : f(XIN) 2分周・4分周・8分周モード
f(XCIN) 低速モード
f(OCO)/4 オンチップオシレータモード

図4.29 タイマ1234分周選択レジスタの構成

ウォッチドッグタイマ制御レジスタ



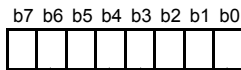
ウォッチドッグタイマ制御レジスタ(WDTCON)【0029₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|----------------------------------|--|-------|----|
| 0 | ウォッチドッグタイマH | | 1 | RO |
| 1 | | | 1 | RO |
| 2 | | | 1 | RO |
| 3 | | | 1 | RO |
| 4 | | | 1 | RO |
| 5 | ウォッチドッグタイマカウント ソース選択ビット2 (注1) | 0 : ϕ SOURCE 1 : $f(\text{OCO})/4$ (注2) ϕ SOURCE : f(X _{IN}) (2分周・4分周・8分周モード) f(X _{CIN}) (低速モード) f(OCO)/4 (オンチップオシレータモード) | 0 | RW |
| 6 | STP命令機能選択ビット (注1,2) | 0 : STP命令実行時、ストップモードへ移行 1 : STP命令実行時、内部リセット発生 | 0 | RW |
| 7 | ウォッチドッグタイマ カウントソース選択ビット (注1) | 0 : カウントソースの1024分周 1 : カウントソースの4分周 | 0 | RW |

- 注1. リセット解除後、1度だけ書き込みが可能です。書き込み後は、ロックされるため書き換えはできません。
- 注2. ウォッチドッグタイマカウントソース選択ビット2を"1"にしてオンチップオシレータを選択した場合、オンチップオシレータは強制的に発振し停止することはできません。
また、この時STP命令機能選択ビットは"1"にしてください。
- 注3. このレジスタへの書き込みで、ウォッチドッグタイマは"FF₁₆"になります。

図4.30 ウォッチドッグタイマ制御レジスタの構成

タイマXレジスタ（下位、上位）



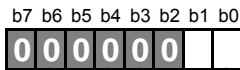
タイマXレジスタ（下位、上位）（TXL, TXH）【002A16, 002B16 番地】

| b | 機 能 | リセット後 | RW |
|---|---|-------|----|
| 0 | ●カウント初期値を設定してください。 設定値をnとすると (n+1)カウントします。 | 1 | RW |
| 1 | タイマXレジスタ(拡張)を設定すれば、18ビットのカウンタとして動作します。 ●書き込み時、タイマX書き込み制御ビットの値により、次のように動作します。 | 1 | RW |
| 2 | "0" の場合：タイマXラッチ及びタイマXへの同時書き込み "1" の場合：タイマXラッチのみへの書き込み | 1 | RW |
| 3 | なお、この動作は、タイマXカウント停止ビットの影響を受けません。 ●書き込み順序 | 1 | RW |
| 4 | タイマモード、パルス出力モード、イベントカウンタモード、パルス幅測定モード： 拡張、下位、上位 | 1 | RW |
| 5 | IGBT出力モード、PWMモード： コンペアレジスタ1、2、3、拡張、下位、上位 | 1 | RW |
| 6 | (コンペアレジスタの上位、下位の順序は決まっていない) ●読み出し時の値は、タイマXのカウント値です。 | 1 | RW |
| 7 | ●読み出し順序 拡張、上位、下位(コンペアレジスタの順序は決まっていない) | 1 | RW |

注: ラッチのみ書き込みの場合、上位側タイマラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。
このとき、上位側タイマラッチへの書き込み動作中はカウントが停止します。

図4.31 タイマXレジスタ（下位、上位）の構成

タイマXレジスタ (拡張)



タイマXレジスタ (拡張) (TXEX) 【002C₁₆ 番地】

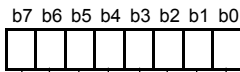
| b | 機 能 | リセット後 | RW |
|---|---|-------|----|
| 0 | <ul style="list-style-type: none"> ●カウント初期値を設定してください。設定値をnとすると (n+1)カウントします。 ●書き込み時、タイマX書き込み制御ビットの値により、次のように動作します。 "0" の場合：拡張ラッチ及び拡張カウンタへの同時書き込み "1" の場合：拡張ラッチのみへの書き込み | 0 | RW |
| 1 | <ul style="list-style-type: none"> ●書き込み順序 タイマモード、パルス出力モード、イベントカウンタモード、パルス幅測定モード：拡張、下位、上位 IGBT出力モード、PWMモード： コンペアレジスタ1、2、3、拡張、下位、上位 (コンペアレジスタの上位、下位の順序は決まっていない) ●読み出し時の値は、タイマXのカウント値です。 ●読み出し順序 拡張、上位、下位(コンペアレジスタの順序は決まっていない) | 0 | RW |
| 2 | 読み出し時の値は"0"。書く場合は"0"を書いてください。 | 0 | RO |
| 3 | | 0 | RO |
| 4 | | 0 | RO |
| 5 | | 0 | RO |
| 6 | | 0 | RO |
| 7 | | 0 | RO |

注1. リセット後、このレジスタに値が設定されるとタイマXは18ビットで動作します。

注2. IGBT出力モード、PWMモード設定時は、このレジスタには"1"を書かないでください。また、すでに"1"になっている場合は、必ず"0"を書いてから使用してください。

図4.32 タイマXレジスタ (拡張) の構成

タイマXモードレジスタ



タイマXモードレジスタ (TXM) 【002D₁₆ 番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|------------------------|---|-------|----|
| 0 | タイマX動作モードビット | b2 b1 b0 0 0 0 : タイマモード 0 0 1 : パルス出力モード 0 1 0 : IGBT出力モード 0 1 1 : PWMモード 1 0 0 : イベントカウンタモード 1 0 1 : パルス幅測定モード 1 1 0 : 選択しないでください 1 1 1 : 選択しないでください | 0 | RW |
| 1 | | | 0 | RW |
| 2 | | | 0 | RW |
| 3 | タイマX書き込み制御ビット | 0 : ラッチ及びタイマ同時書き込み 1 : ラッチのみ書き込み | 0 | RW |
| 4 | タイマXカウントソース 選択ビット | 0 : 分周器出力 1 : f(XCIN) | 0 | RW |
| 5 | イベントカウンタウィンド 制御用データ | 0 : イベントカウント許可 1 : イベントカウント禁止 | 0 | RW |
| 6 | タイマXカウント停止ビット | 0 : カウント動作 1 : カウント停止 | 0 | RW |
| 7 | タイマX出力1選択ビット | 0 : P35端子は入出力ポート 1 : P35端子はタイマX出力1 | 0 | RW |

図4.33 タイマXモードレジスタの構成

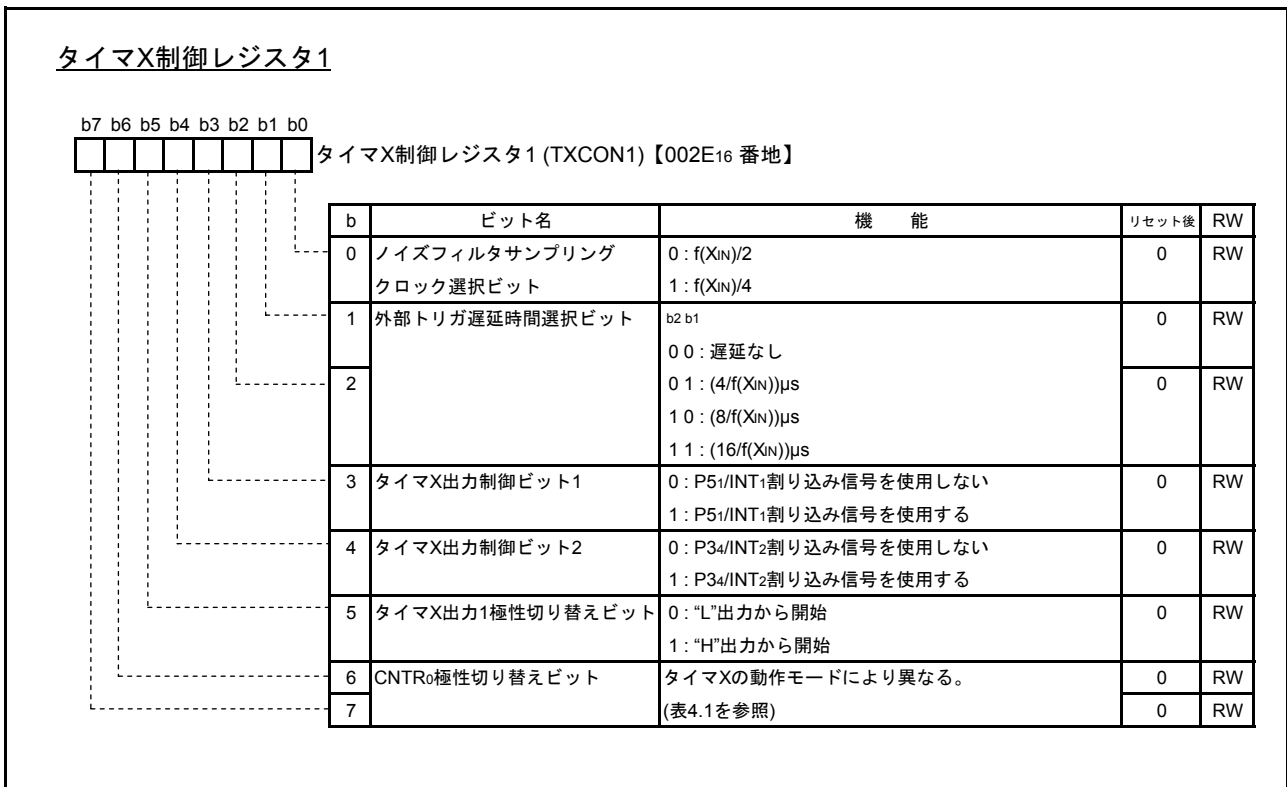


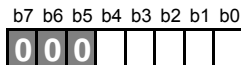
図4.34 タイマX制御レジスタ1の構成

表4.1 CNTR0極性切り替えビットの機能

| タイマX動作モード | 設定値 b7 b6 | タイマ機能/CNTR0端子の機能 | CNTR0割り込み要求発生要因 |
|-------------|--------------|---|---|
| タイマモード | 0 0 | 外部割り込み端子 | CNTR0の入力信号の立ち下がりエッジ (タイマのカウンタに影響なし) |
| | 0 1 | | CNTR0の入力信号の立ち上がりエッジ (タイマのカウンタに影響なし) |
| | 1 0 | | 入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウンタに影響なし) |
| | 1 1 | | 入力信号の立ち下がりエッジ (タイマのカウンタに影響なし) |
| パルス出力モード | 0 0 | | 入力信号の立ち上がりエッジ (タイマのカウンタに影響なし) |
| | 0 1 | | 入力信号の立ち下がりエッジ (タイマのカウンタに影響なし) |
| | 1 0 | | 入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウンタに影響なし) |
| | 1 1 | | 入力信号の立ち下がりエッジ (タイマのカウンタに影響なし) |
| IGBT出力モード | 0 0 | | 入力信号の立ち上がりエッジ (タイマのカウンタに影響なし) |
| | 0 1 | | 入力信号の立ち下がりエッジ (タイマのカウンタに影響なし) |
| | 1 0 | | 入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウンタに影響なし) |
| | 1 1 | | 入力信号の立ち下がりエッジ (タイマのカウンタに影響なし) |
| PWMモード | 0 0 | 入力信号の立ち下がりエッジ (タイマのカウンタに影響なし) | |
| | 0 1 | 入力信号の立ち上がりエッジ (タイマのカウンタに影響なし) | |
| | 1 0 | 入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウンタに影響なし) | |
| | 1 1 | 入力信号の立ち下がりエッジ (タイマのカウンタに影響なし) | |
| イベントカウンタモード | 0 0 | 立ち上がりエッジをカウント | 入力信号の立ち下がりエッジ |
| | 0 1 | 立ち下がりエッジをカウント | 入力信号の立ち上がりエッジ |
| | 1 0 | 両エッジをカウント | 入力信号の立ち下がりエッジと立ち上がりエッジ |
| | 1 1 | 両エッジをカウント | 入力信号の立ち下がりエッジと立ち上がりエッジ |
| パルス幅測定モード | 0 0 | "H"幅を測定 | 入力信号の立ち下がりエッジ |
| | 0 1 | "L"幅を測定 | 入力信号の立ち上がりエッジ |
| | 1 0 | | |
| | 1 1 | | 選択しないでください |

注. パルス幅測定モード時は、ビット7を"0"に設定してください。

タイマX制御レジスタ2

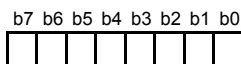


タイマX制御レジスタ2 (TXCON2) 【002F₁₆ 番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------------------------|--|-------|----|
| 0 | タイマX出力2選択ビット (P37) | 0: P37端子は入出力ポート 1: P37端子はタイマX出力2 | 0 | RW |
| 1 | タイマX出力2極性切り替えビット | 0: "L"出力から開始 1: "H"出力から開始 | 0 | RW |
| 2 | タイマX分周選択ビット | b3 b2 00: 1/16 × φSOURCE 01: 1/1 × φSOURCE 10: 1/2 × φSOURCE 11: 1/256 × φSOURCE φSOURCE: f(X _{IN}) (2分周・4分周・8分周モード) f(X _{CIN}) (低速モード) f(OCO)/4 (オンチップオシレータモード) | 0 | RW |
| 3 | | | | RW |
| 4 | IGBT用トリガ入力制御ビット | 0: ノイズフィルタサンプルクロック×1 外部トリガ遅延時間×1 1: ノイズフィルタサンプルクロック×2 外部トリガ遅延時間×1/2 | 0 | RW |
| 5 | 読み出し時の値は"0"。書く場合は"0"を書いてください。 | | 0 | RO |
| 6 | | | 0 | RO |
| 7 | | | 0 | RO |

図4.35 タイマX制御レジスタ2の構成

コンペアレジスタ1、2、3 (下位、上位)



コンペアレジスタ1 (下位、上位) (COMP1L,COMP1H) 【0030₁₆,0031₁₆ 番地】

コンペアレジスタ2 (下位、上位) (COMP2L,COMP2H) 【0032₁₆,0033₁₆ 番地】

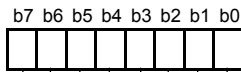
コンペアレジスタ3 (下位、上位) (COMP3L,COMP3H) 【0034₁₆,0035₁₆ 番地】

| b | 機能 | リセット後 | RW |
|---|---|-------|----|
| 0 | ●コンペアレジスタの値を設定してください。 | 0 | RW |
| 1 | ●書き込み順序(IGBT出力モード、PWMモード) | 0 | RW |
| 2 | コンペアレジスタ1、2、3、拡張、下位、上位 (コンペアレジスタの上位、下位の順序は決まっていない) | 0 | RW |
| 3 | | 0 | RW |
| 4 | ●読み出し順序 | 0 | RW |
| 5 | 拡張、上位、下位(コンペアレジスタの順序は決まっていない) | 0 | RW |
| 6 | | 0 | RW |
| 7 | | 0 | RW |

注: タイマXレジスタ設定値より小さい値を設定してください。また、00hを設定しないでください。

図4.36 コンペアレジスタ1、2、3 (下位、上位) の構成

タイマYレジスタ（下位、上位）



タイマYレジスタ（下位、上位）（TYL, TYH）【0036₁₆, 0037₁₆ 番地】

| b | 機 能 | リセット後 | RW |
|---|---|-------|----|
| 0 | ●カウント初期値を設定してください。 | 1 | RW |
| 1 | 設定値をnとすると (n+1)カウントします。 | 1 | RW |
| 2 | ●書き込み時、タイマY書き込み制御ビットの値により、次のように動作します。 | 1 | RW |
| 3 | "0" の場合：タイマYラッチ及びタイマYへの同時書き込み | 1 | RW |
| 4 | "1" の場合：タイマYラッチのみへの書き込み | 1 | RW |
| 5 | 下位、上位の順で書いてください。 | 1 | RW |
| 6 | なお、この動作は、タイマYカウント停止ビットの影響を受けません。 | 1 | RW |
| 7 | ●読み出し時の値は、タイマYのカウント値です。 上位、下位の順で読んでください。 | 1 | RW |

注. ラッチのみ書き込みの場合、上位側タイマラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。
このとき、上位側タイマラッチへの書き込み動作中はカウントが停止します。

図4.37 タイマYレジスタ（下位、上位）の構成

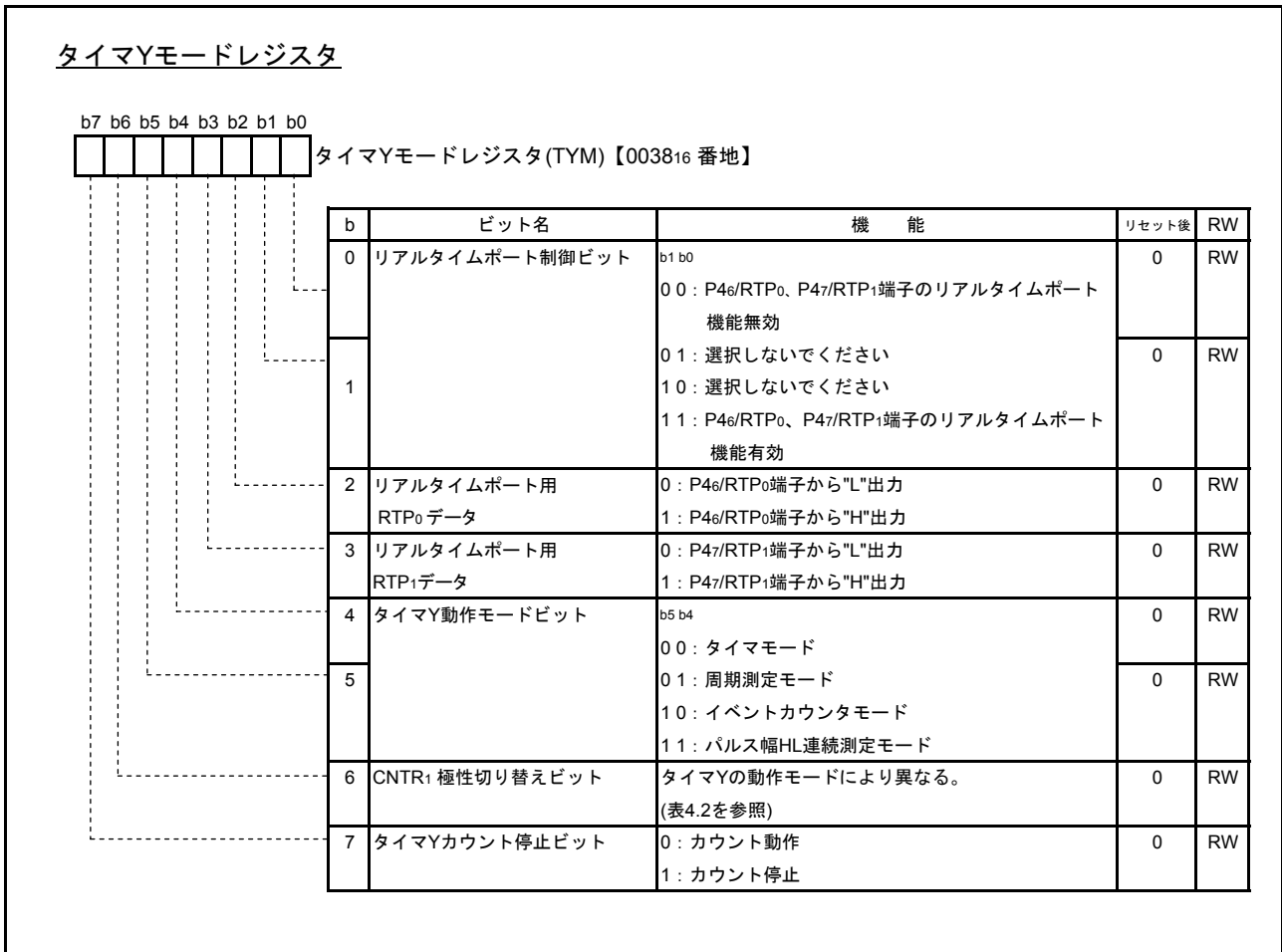
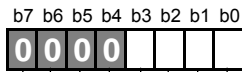


図4.38 タイマYモードレジスタの構成

表4.2 CNTR₁極性切り替えビットの機能

| タイマY動作モード | 設定値 | タイマ機能/CNTR ₁ 端子の機能 | CNTR ₁ 割り込み要求発生要因 |
|---------------|-----|-------------------------------|---|
| タイマモード | "0" | 外部割り込み端子 | CNTR ₁ の入力信号の立ち下がリエッジ (タイマのカウントに影響なし) |
| | "1" | | CNTR ₁ の入力信号の立ち上がりエッジ (タイマのカウントに影響なし) |
| 周期測定モード | "0" | 立ち下がりがー立ち下がりを測定 | 入力信号の立ち下がリエッジ |
| | "1" | 立ち上がりがー立ち上がりを測定 | 入力信号の立ち上がりエッジ |
| イベントカウンタモード | "0" | 立ち上がりエッジをカウント | 入力信号の立ち下がリエッジ |
| | "1" | 立ち下がリエッジをカウント | 入力信号の立ち上がりエッジ |
| パルス幅HL連続測定モード | "0" | "H"幅と"L"幅を測定 | 入力信号の立ち下がリエッジと立ち上がりエッジ |
| | "1" | | |

タイマY制御レジスタ

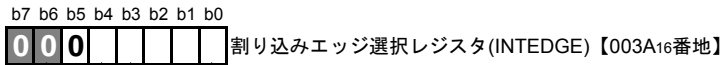


タイマY制御レジスタ(TYCON)【0039₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------------------------|--|-------|----|
| 0 | タイマY書き込み制御ビット | 0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み | 0 | RW |
| 1 | タイマYカウントソース選択ビット | 0: 分周器出力 1: f(XCIN) | 0 | RW |
| 2 | タイマY分周選択ビット | b3 b2 00: 1/16 × φSOURCE 01: 1/1 × φSOURCE 10: 1/2 × φSOURCE 11: 1/256 × φSOURCE φSOURCE: f(XIN) (2分周・4分周・8分周モード) f(XCIN) (低速モード) f(OCO)/4 (オンチップオシレータモード) | 0 | RW |
| 3 | | | 0 | RW |
| 4 | 読み出し時の値は“0”。書く場合は“0”を書いてください。 | | 0 | RO |
| 5 | | | 0 | RO |
| 6 | | | 0 | RO |
| 7 | | | 0 | RO |

図4.39 タイマY制御レジスタの構成

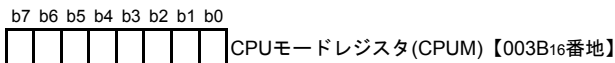
割り込みエッジ選択レジスタ



| b | ビット名 | 機能 | リセット後 | RW |
|---|--|--|-------|----|
| 0 | INT ₀ 割り込みエッジ選択ビット | 0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ | 0 | RW |
| 1 | INT ₁ 割り込みエッジ選択ビット | 0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ | 0 | RW |
| 2 | INT ₂ 割り込みエッジ選択ビット | 0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ | 0 | RW |
| 3 | INT ₂ /キー入力割り込み 切り替えビット | 0: INT ₂ 割り込み 1: キー入力割り込み | 0 | RW |
| 4 | タイマY/CNTR ₁ 割り込み 切り替えビット | 0: タイマY割り込み 1: CNTR ₁ 割り込み | 0 | RW |
| 5 | 書く場合は"0"を書いてください。"1"を書かないでください。 | | 0 | RW |
| 6 | 読み出し時の値は"0"。書く場合は"0"を書いてください。 | | 0 | RO |
| 7 | | | 0 | RO |

図4.40 割り込みエッジ選択レジスタの構成

CPUモードレジスタ



| b | ビット名 | 機能 | リセット後 | RW |
|---|--|---|-------|----|
| 0 | プロセッサモードビット | b1 b0 00: シングルチップモード 01: 選択しないでください 10: 選択しないでください 11: 選択しないでください | 0 | RW |
| 1 | | | 0 | RW |
| 2 | | | 0 | RW |
| 3 | | | 0 | RW |
| 4 | ポートXc切り替えビット (注4) | 0: 入出力ポート機能(発振停止) 1: X _{CIN} - X _{COU} T発振機能 | 0 | RW |
| 5 | X _{IN} - X _{OUT} 発振停止ビット (注5) | 0: 発振 1: 停止 | (注1) | RW |
| 6 | メインクロック分周比 選択ビット (注2) | 00: f(X _{IN})/2 (2分周モード) (注3) 01: f(X _{IN})/8 (8分周モード) 10: f(X _{IN})/4 (4分周モード) 11: オンチップオシレータ | 1 | RW |
| 7 | | | (注1) | RW |

注1. フラッシュメモリ版、QzROM版のOSCSEL端子=L時:1、QzROM版のOSCSEL端子=H時:0

注2. 内部システムクロック選択ビット(ビット3)が"0"の時のみ有効になります。

注3. 12.5MHz < f(X_{IN}) ≤ 16MHzは2分周モードでは使用できません。

注4. 低速モード時、ポートXc切り替えビットを"0"にすると、X_{CIN} - X_{COU}Tの発振は停止します。

注5. X_{IN}モード時、X_{IN} - X_{OUT}発振停止ビットを"1"にしても、X_{IN} - X_{OUT}の発振は停止しません。

図4.41 CPUモードレジスタの構成

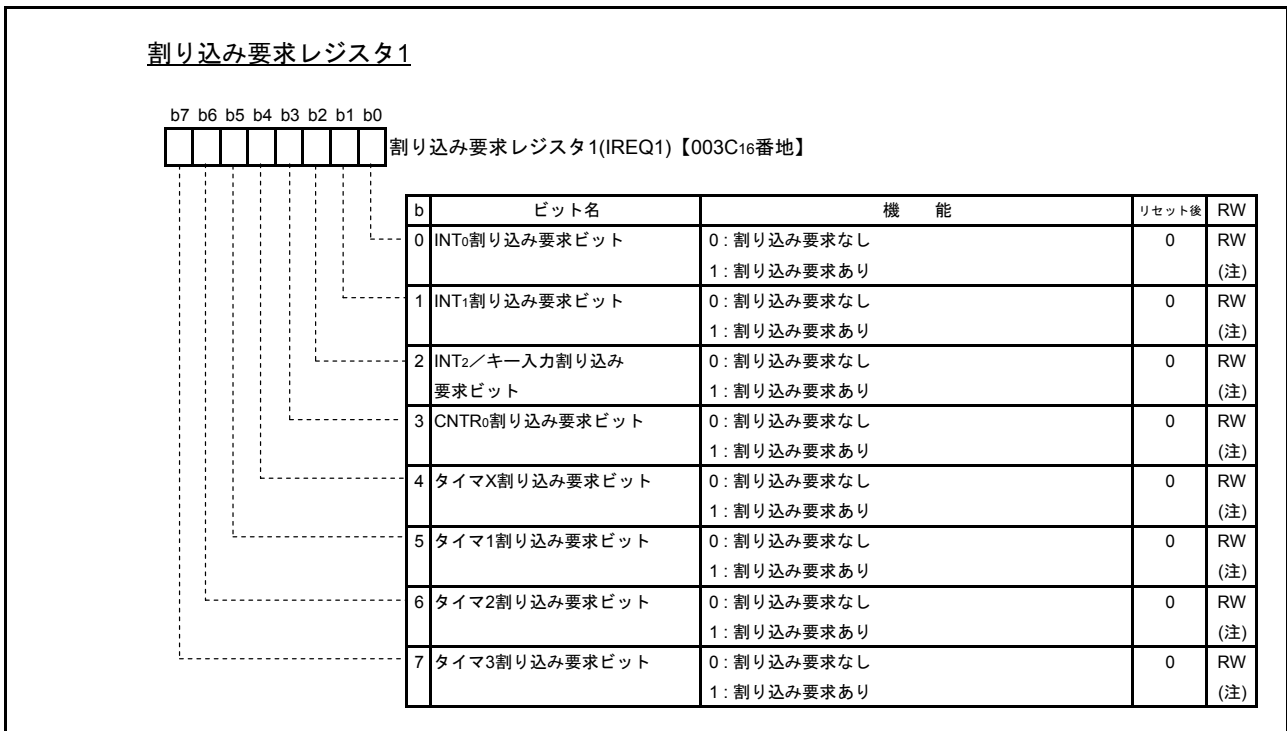


図4.42 割り込み要求レジスタ1の構成

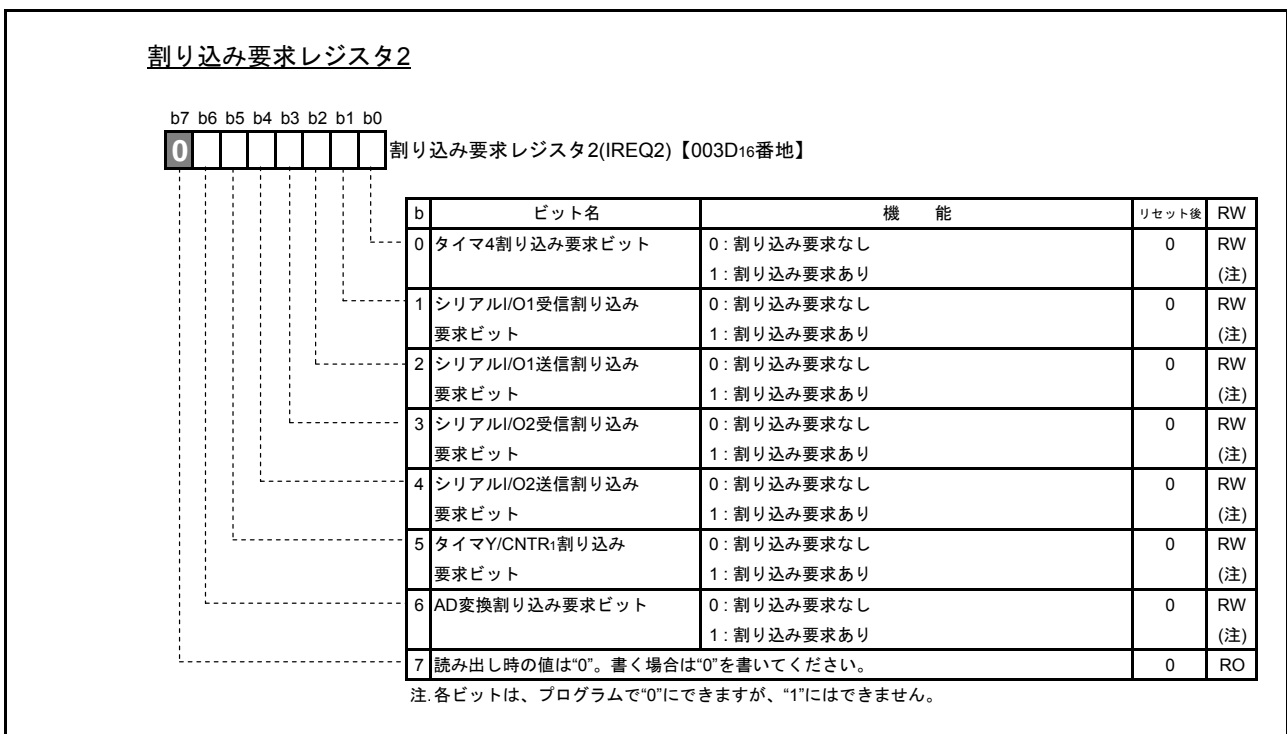


図4.43 割り込み要求レジスタ2の構成

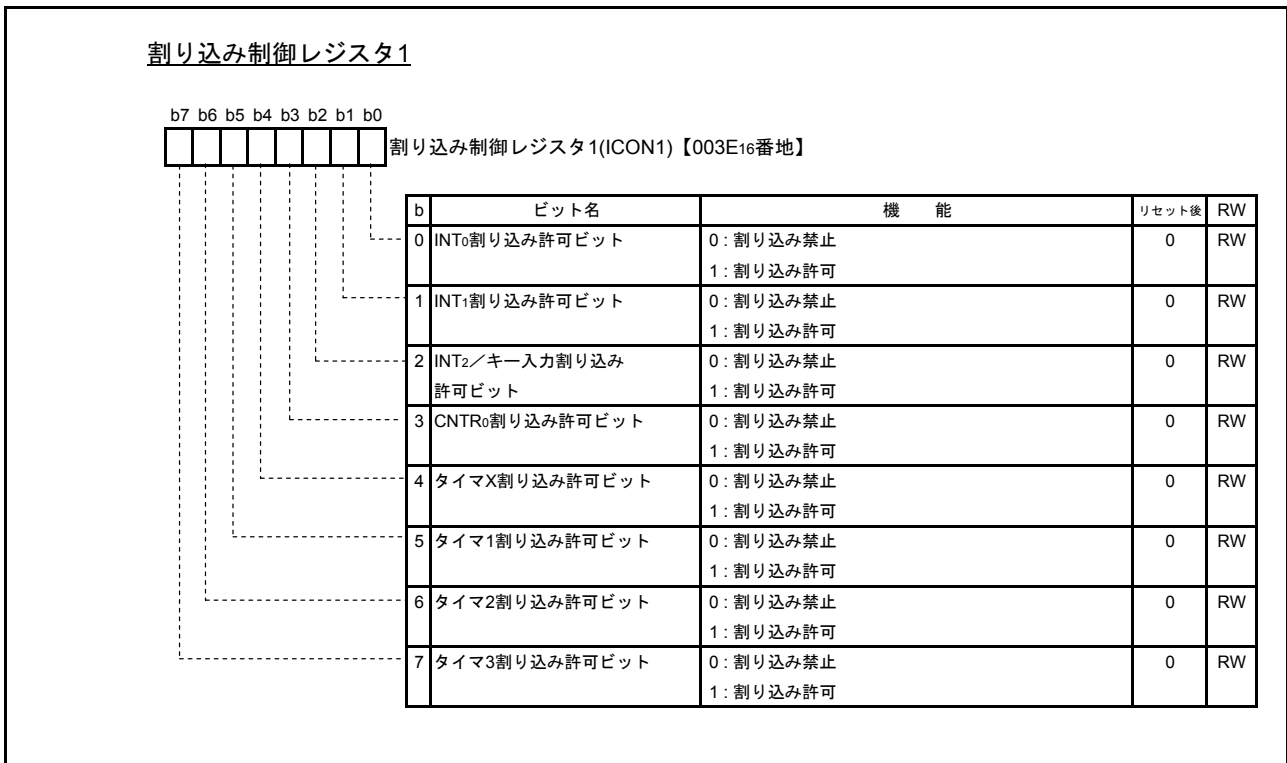


図4.44 割り込み制御レジスタ1の構成

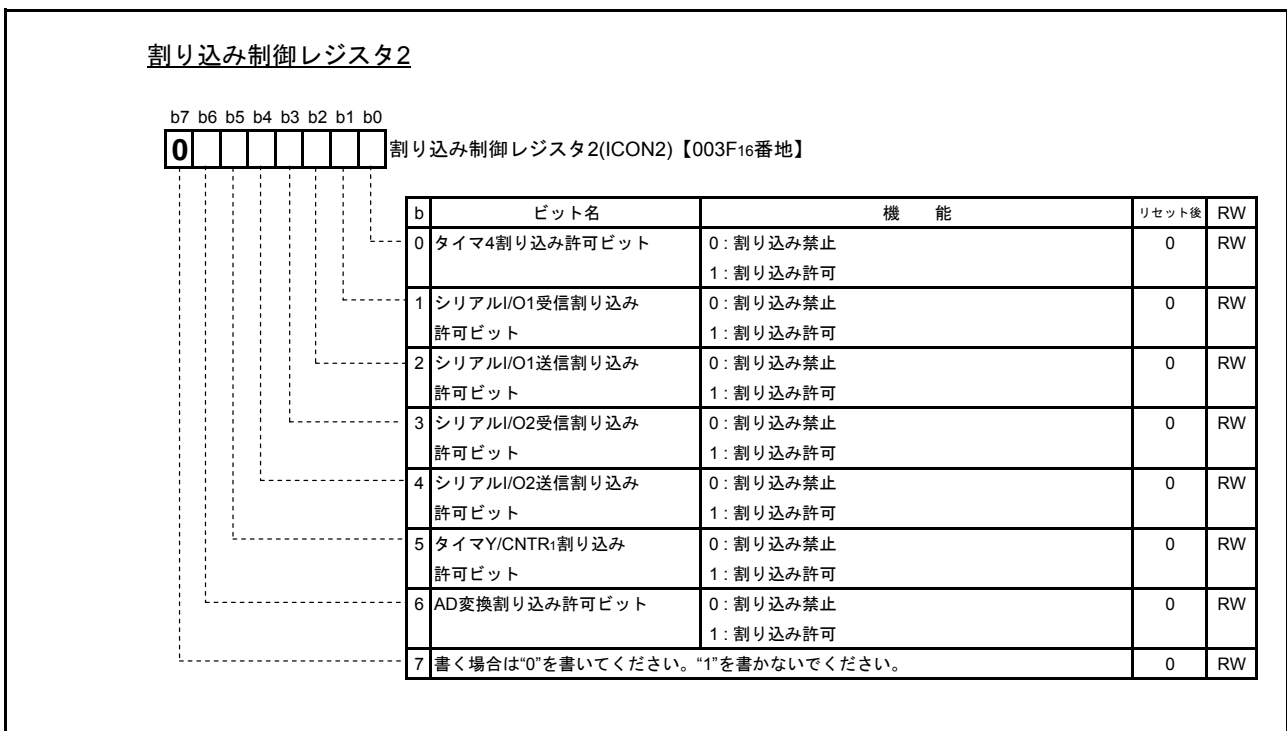


図4.45 割り込み制御レジスタ2の構成

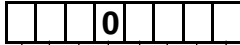
LCD表示用RAM

| ビット | | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | リセット後 | RW |
|-----------------------|--------|-------------------|------------------|------------------|-------------------|------------------|------------------|------------------|------------------|-------|----|
| | | COM ₃ | COM ₂ | COM ₁ | COM ₀ | COM ₃ | COM ₂ | COM ₁ | COM ₀ | | |
| 0040 ₁₆ 番地 | LRAM0 | SEG ₁ | | | SEG ₀ | | | | 不定 | RW | |
| 0041 ₁₆ 番地 | LRAM1 | SEG ₃ | | | SEG ₂ | | | | 不定 | RW | |
| 0042 ₁₆ 番地 | LRAM2 | SEG ₅ | | | SEG ₄ | | | | 不定 | RW | |
| 0043 ₁₆ 番地 | LRAM3 | SEG ₇ | | | SEG ₆ | | | | 不定 | RW | |
| 0044 ₁₆ 番地 | LRAM4 | SEG ₉ | | | SEG ₈ | | | | 不定 | RW | |
| 0045 ₁₆ 番地 | LRAM5 | SEG ₁₁ | | | SEG ₁₀ | | | | 不定 | RW | |
| 0046 ₁₆ 番地 | LRAM6 | SEG ₁₃ | | | SEG ₁₂ | | | | 不定 | RW | |
| 0047 ₁₆ 番地 | LRAM7 | SEG ₁₅ | | | SEG ₁₄ | | | | 不定 | RW | |
| 0048 ₁₆ 番地 | LRAM8 | SEG ₁₇ | | | SEG ₁₆ | | | | 不定 | RW | |
| 0049 ₁₆ 番地 | LRAM9 | SEG ₁₉ | | | SEG ₁₈ | | | | 不定 | RW | |
| 004A ₁₆ 番地 | LRAM10 | SEG ₂₁ | | | SEG ₂₀ | | | | 不定 | RW | |
| 004B ₁₆ 番地 | LRAM11 | SEG ₂₃ | | | SEG ₂₂ | | | | 不定 | RW | |

図4.46 LCD表示用RAMの構成

フラッシュメモリ制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0



フラッシュメモリ制御レジスタ0 (FMCRO) 【0FE0₁₆番地】

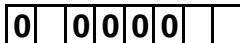
| b | ビット名 | 機 能 | リセット後 | RW |
|---|---------------------------------|--|-------|----|
| 0 | RY/BY ステータスフラグ | 0: ビジー (自動書込/自動消去中) 1: レディ | 1 | RO |
| 1 | CPU書き換えモード選択ビット (注1) | 0: CPU書き換えモード無効 1: CPU書き換えモード有効 | 0 | RW |
| 2 | ユーザブロック1E/W 許可ビット (注1、2) | 0: E/W禁止 (1800 ₁₆ -7FFF ₁₆) 1: E/W許可 (1800 ₁₆ -7FFF ₁₆) | 0 | RW |
| 3 | フラッシュメモリリセットビット (注3、4) | 0: フラッシュメモリ動作 1: フラッシュメモリリセット | 0 | RW |
| 4 | 書く場合は"0"を書いてください。"1"を書かないでください。 | | 0 | RW |
| 5 | ユーザROM領域選択ビット (注5) | 0: ブートROM領域アクセス 1: ユーザROM領域アクセス | 0 | RW |
| 6 | プログラムステータスフラグ | 0: 正常終了 1: エラー終了 | 0 | RO |
| 7 | イレーズステータスフラグ | 0: 正常終了 1: エラー終了 | 0 | RO |

- 注1. "1"にするときは、"0"を書いた後、続けて"1"を書いてください。
"0"にするときは、"0"を書いてください。
- 注2. CPU書き換えモード選択ビット (ビット1) が"1"のときだけ書けます。
- 注3. CPU書き換えモード選択ビットが"1"のときだけフラッシュメモリをリセットすることができます。
CPU書き換えモード選択ビットが"0"のときは"0"に固定してください。
- 注4. このビットを"1"にする (フラッシュメモリの制御回路をリセットする) と、
10 μs間フラッシュメモリにアクセスできません。
- 注5. このビットへの書き込みはRAM上のプログラムから実行してください。
- 注6. このレジスタはフラッシュメモリ版にのみあります。

図4.47 フラッシュメモリ制御レジスタ0の構成

フラッシュメモリ制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0



フラッシュメモリ制御レジスタ1 (FMCR1) 【0FE1₁₆番地】

| b | ビット名 | 機 能 | リセット後 | RW |
|---|---------------------------------|--|-------|----|
| 0 | イレーズサスペンド許可ビット (注1) | 0: サスペンド無効 1: サスペンド有効 | 0 | RW |
| 1 | イレーズサスペンド要求ビット (注2) | 0: イレーズ再開 (要求なし) 1: イレーズ中断 (要求あり) | 0 | RW |
| 2 | 書く場合は"0"を書いてください。"1"を書かないでください。 | | 0 | RO |
| 3 | | | 0 | RO |
| 4 | | | 0 | RO |
| 5 | | | 0 | RO |
| 6 | イレーズサスペンドフラグ | 0: イレーズ中 1: イレーズ中停止中 (イレーズサスペンドモード) | 1 | RO |
| 7 | 書く場合は"0"を書いてください。"1"を書かないでください。 | | 0 | RW |

- 注1. "1"にするときは、"0"を書いた後、続けて"1"を書いてください。
"0"にするときは、"0"を書いてください。
- 注2. イレーズサスペンド許可ビット(ビット0) が"1"のときだけ有効です。
- 注3. このレジスタはフラッシュメモリ版にのみあります。

図4.48 フラッシュメモリ制御レジスタ1の構成

フラッシュメモリ制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

010 0101

フラッシュメモリ制御レジスタ2 (FMCR2) 【0FE2₁₆番地】

| b | ビット名 | 機 能 | リセット後 | RW |
|---|-------------------|--|-------|----|
| 0 | | 書く場合は"1"を書いてください。"0"を書かないでください。 | 1 | RO |
| 1 | | 書く場合は"0"を書いてください。"1"を書かないでください。 | 0 | RO |
| 2 | | 書く場合は"1"を書いてください。"0"を書かないでください。 | 1 | RO |
| 3 | | 書く場合は"0"を書いてください。"1"を書かないでください。 | 0 | RO |
| 4 | ユーザブロック0E/W 許可ビット | 0: E/W禁止 (8000 ₁₆ -FFFF ₁₆) 1: E/W許可 (8000 ₁₆ -FFFF ₁₆) (注1、2) | 0 | RW |
| 5 | | 書く場合は"0"を書いてください。"1"を書かないでください。 | 0 | RO |
| 6 | | 書く場合は"1"を書いてください。"0"を書かないでください。 | 1 | RO |
| 7 | | 書く場合は"0"を書いてください。"1"を書かないでください。 | 0 | RO |

注1. "1"にするときは、"0"を書いた後、続けて"1"を書いてください。

"0"にするときは、"0"を書いてください。

注2. CPU書き換えモード選択ビット（フラッシュメモリ制御レジスタ0(0FE0₁₆番地)のビット1)が"1"のときだけ書けます。

注3. このレジスタはフラッシュメモリ版にのみあります。

図4.49 フラッシュメモリ制御レジスタ2の構成

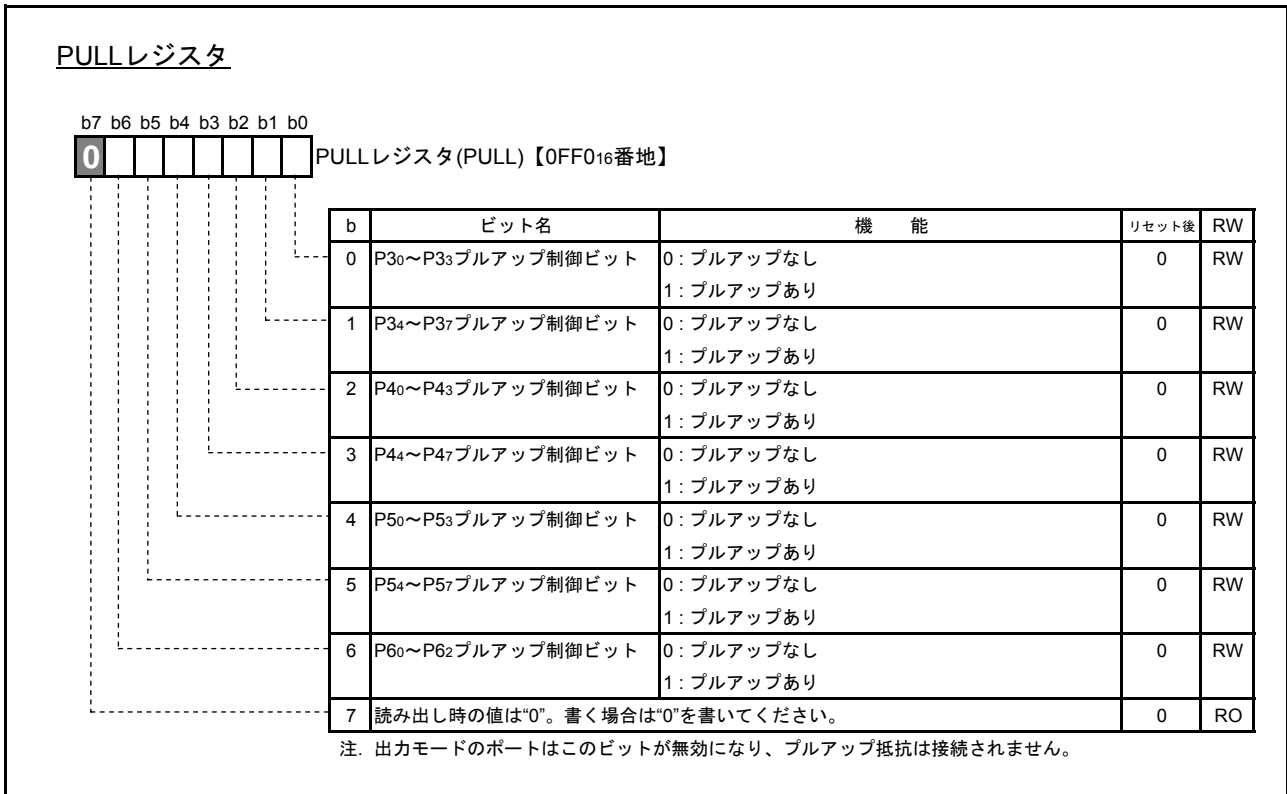


図4.50 PULLレジスタの構成

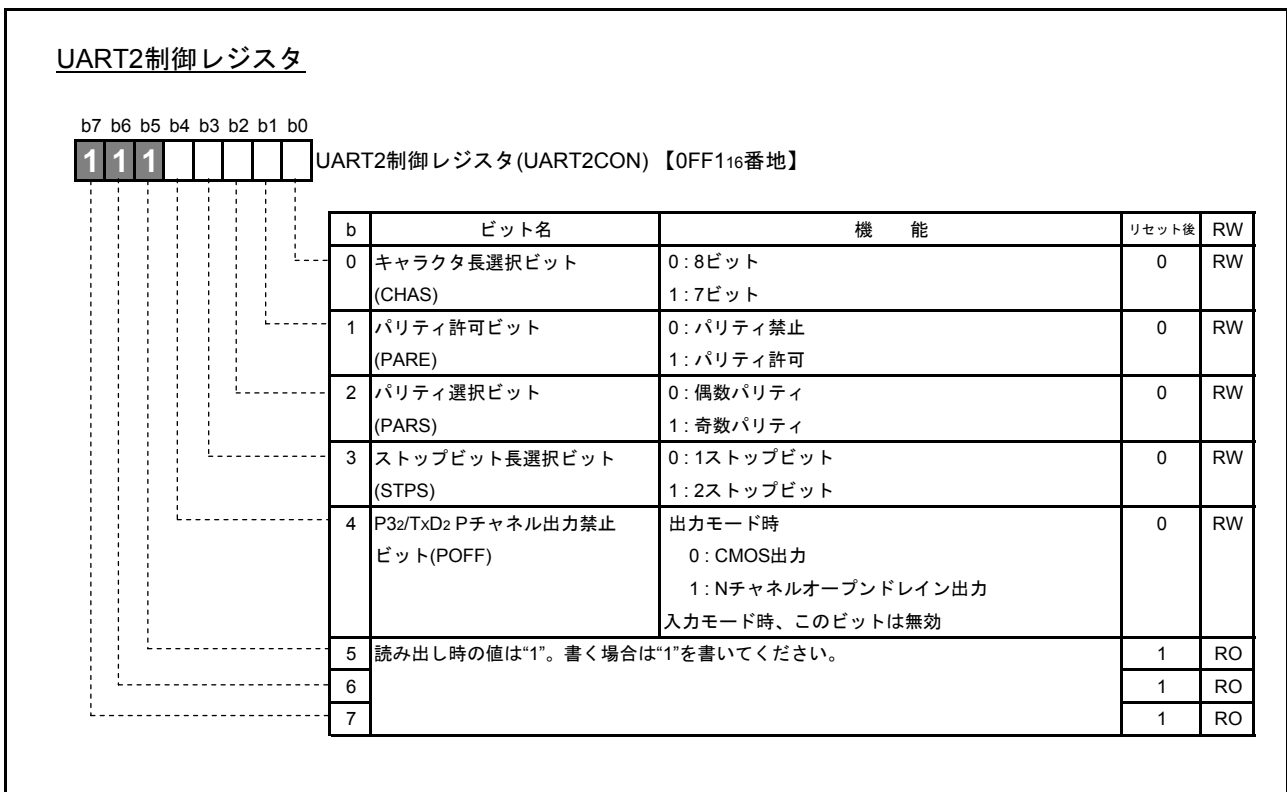
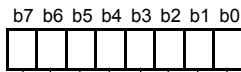


図4.51 UART2制御レジスタの構成

ポーレートジェネレータ2



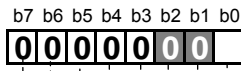
ポーレートジェネレータ2(BRG2)【0FF2₁₆番地】

| b | 機 能 | リセット後 | RW |
|---|----------------------------------|-------|----|
| 0 | BRGカウントソースの分周値を設定してください。 | 不定 | RW |
| 1 | 設定値をnとすると、BRGカウントソースを(n+1)分周します。 | 不定 | RW |
| 2 | | 不定 | RW |
| 3 | | 不定 | RW |
| 4 | | 不定 | RW |
| 5 | | 不定 | RW |
| 6 | | 不定 | RW |
| 7 | | 不定 | RW |

注: このレジスタへの書き込みは、送受信停止中に行ってください。

図4.52 ポーレートジェネレータ2の構成

クロック出力制御レジスタ



クロック出力制御レジスタ(CKOUT)【0FF3₁₆番地】

| b | ビット名 | 機 能 | リセット後 | RW |
|---|-----------------------------|---------------------------------|-------|----|
| 0 | P3 ₆ クロック出力制御ビット | 0: タイマ2出力 1: システムクロックφ出力 | 0 | RW |
| 1 | | 読み出し時の値は“0”。書く場合は“0”を書いてください。 | 0 | RO |
| 2 | | | 0 | RO |
| 3 | | 書く場合は“0”を書いてください。“1”を書かないでください。 | 0 | RW |
| 4 | | | 0 | RW |
| 5 | | | 0 | RW |
| 6 | | | 0 | RW |
| 7 | | | 0 | RW |

図4.53 クロック出力制御レジスタの構成

ポートP0方向レジスタを出力モードに設定している場合
セグメント出力禁止レジスタ0

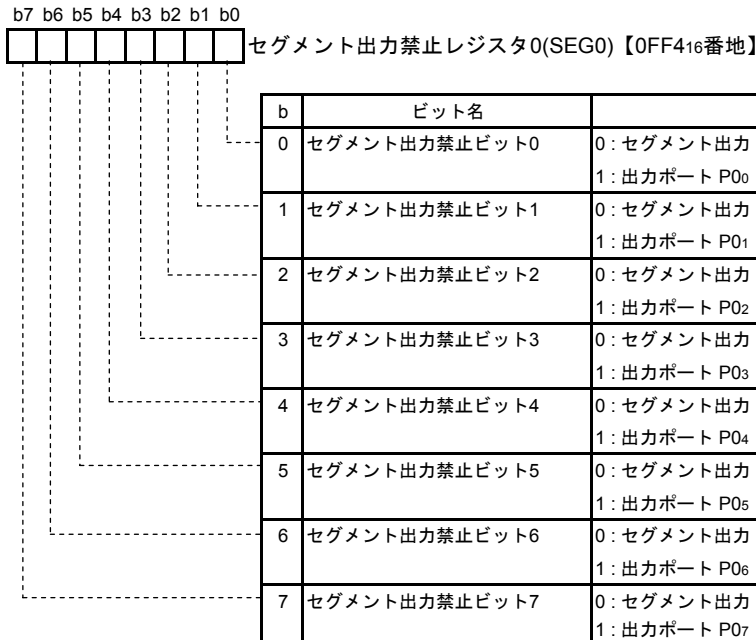


図4.54 セグメント出力禁止レジスタ0の構成

ポートP1方向レジスタを出力モードに設定している場合
セグメント出力禁止レジスタ1

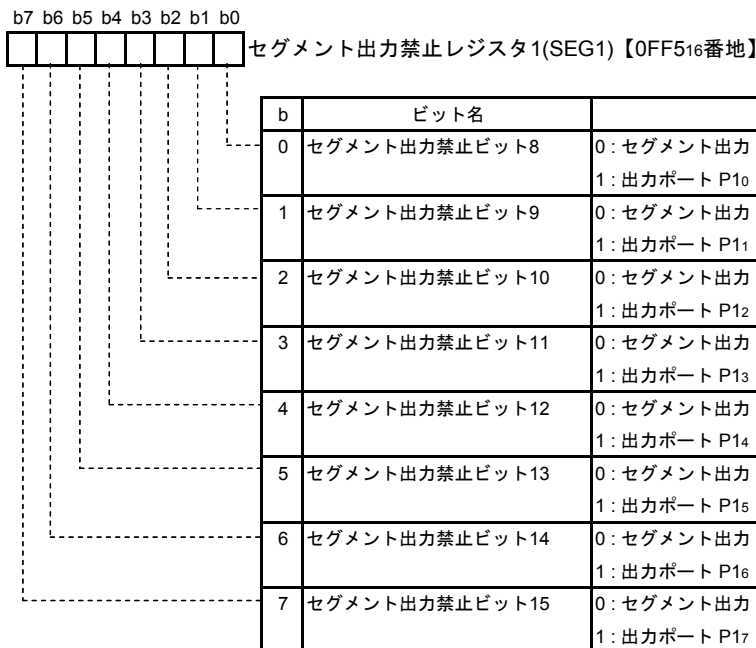



図4.55 セグメント出力禁止レジスタ1の構成

ポートP2方向レジスタを出力モードに設定している場合
セグメント出力禁止レジスタ2


b7 b6 b5 b4 b3 b2 b1 b0

 セグメント出力禁止レジスタ2(SEG2)【0FF6₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|---|--|-------|----|
| 0 | セグメント出力禁止ビット16 | 0: セグメント出力 SEG ₁₆ 1: 出力ポート P ₂₀ | 1 | RW |
| 1 | セグメント出力禁止ビット17 | 0: セグメント出力 SEG ₁₇ 1: 出力ポート P ₂₁ | 1 | RW |
| 2 | セグメント出力禁止ビット18 | 0: セグメント出力 SEG ₁₈ 1: 出力ポート P ₂₂ | 1 | RW |
| 3 | セグメント出力禁止ビット19 | 0: セグメント出力 SEG ₁₉ 1: 出力ポート P ₂₃ | 1 | RW |
| 4 | セグメント出力禁止ビット20 | 0: セグメント出力 SEG ₂₀ 1: 出力ポート P ₂₄ | 1 | RW |
| 5 | セグメント出力禁止ビット21 | 0: セグメント出力 SEG ₂₁ 1: 出力ポート P ₂₅ | 1 | RW |
| 6 | セグメント出力禁止ビット22 (注)1: 出力ポート P ₂₆ | 0: セグメント出力 SEG ₂₂ | 1 | RW |
| 7 | セグメント出力禁止ビット23 (注)1: 出力ポート P ₂₇ | 0: セグメント出力 SEG ₂₃ | 1 | RW |

注: VL端子入力選択ビット(LCD電源制御レジスタ(0014₁₆番地)のビット5)が"1"の場合、この設定は無効になります

図4.56 セグメント出力禁止レジスタ2の構成

ポートPj(j=0~2)方向レジスタを入力モードに設定している場合
セグメント出力禁止レジスタi(i=0~2)

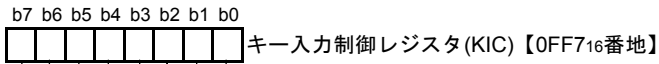
b7 b6 b5 b4 b3 b2 b1 b0

 セグメント出力禁止レジスタi(SEG_i)(i=0~2)【0FF4₁₆,0FF5₁₆,0FF6₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------------------------|--------------------------|-------|----|
| 0 | ポートPi ₀ ブルアップ制御 | 0: ブルアップなし 1: ブルアップあり | 1 | RW |
| 1 | ポートPi ₁ ブルアップ制御 | 0: ブルアップなし 1: ブルアップあり | 1 | RW |
| 2 | ポートPi ₂ ブルアップ制御 | 0: ブルアップなし 1: ブルアップあり | 1 | RW |
| 3 | ポートPi ₃ ブルアップ制御 | 0: ブルアップなし 1: ブルアップあり | 1 | RW |
| 4 | ポートPi ₄ ブルアップ制御 | 0: ブルアップなし 1: ブルアップあり | 1 | RW |
| 5 | ポートPi ₅ ブルアップ制御 | 0: ブルアップなし 1: ブルアップあり | 1 | RW |
| 6 | ポートPi ₆ ブルアップ制御 | 0: ブルアップなし 1: ブルアップあり | 1 | RW |
| 7 | ポートPi ₇ ブルアップ制御 | 0: ブルアップなし 1: ブルアップあり | 1 | RW |

注: VL端子入力選択ビット(LCD電源制御レジスタ(0014₁₆番地)のビット5)が"1"の場合、P₂₆およびP₂₇の設定は無効になります

図4.57 セグメント出力禁止レジスタiの構成(i=0~2)

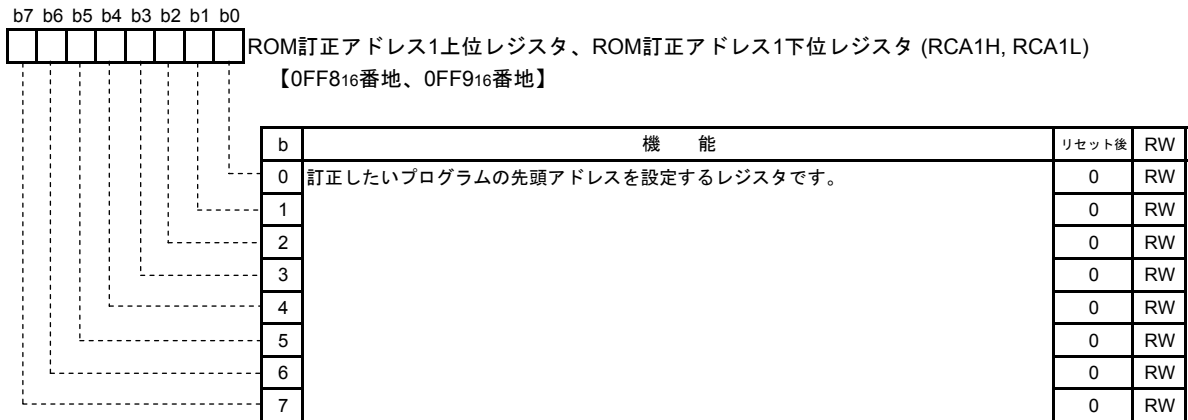
キー入力制御レジスタ



| b | ビット名 | 機 能 | リセット後 | RW |
|---|--------------|--------------------------------|-------|----|
| 0 | P54キー入力制御ビット | 0: キー入力割り込み禁止 1: キー入力割り込み許可 | 0 | RW |
| 1 | P55キー入力制御ビット | 0: キー入力割り込み禁止 1: キー入力割り込み許可 | 0 | RW |
| 2 | P56キー入力制御ビット | 0: キー入力割り込み禁止 1: キー入力割り込み許可 | 0 | RW |
| 3 | P57キー入力制御ビット | 0: キー入力割り込み禁止 1: キー入力割り込み許可 | 0 | RW |
| 4 | P00キー入力制御ビット | 0: キー入力割り込み禁止 1: キー入力割り込み許可 | 0 | RW |
| 5 | P01キー入力制御ビット | 0: キー入力割り込み禁止 1: キー入力割り込み許可 | 0 | RW |
| 6 | P02キー入力制御ビット | 0: キー入力割り込み禁止 1: キー入力割り込み許可 | 0 | RW |
| 7 | P03キー入力制御ビット | 0: キー入力割り込み禁止 1: キー入力割り込み許可 | 0 | RW |

図4.58 キー入力制御レジスタの構成

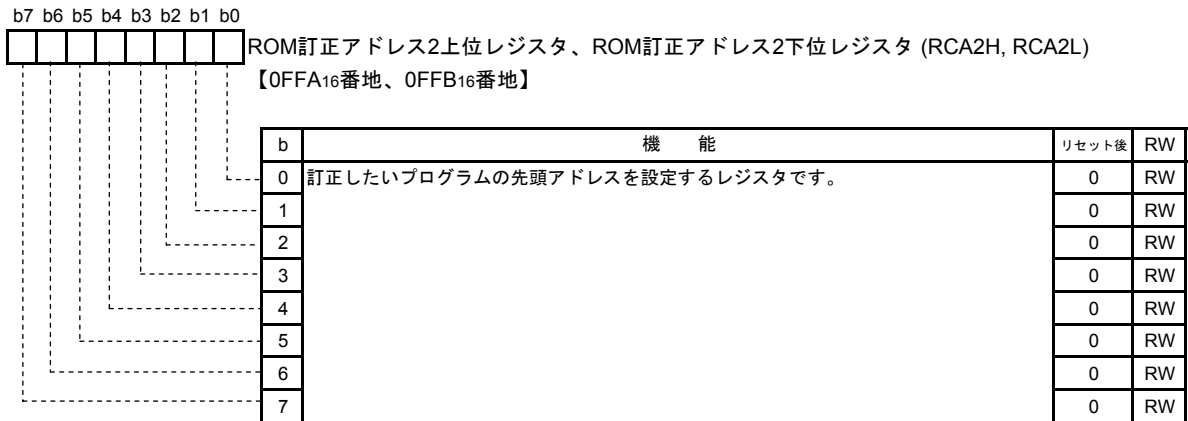
ROM訂正アドレス1上位レジスタ、ROM訂正アドレス1下位レジスタ



注1. ROM訂正アドレスは、各命令の先頭アドレス(オペコードのアドレス)を指定してください。
 注2. ROM訂正アドレスレジスタにはROM領域以外のアドレスを設定しないでください。
 また、ROM訂正アドレス1レジスタ、ROM訂正アドレス2レジスタには同一のアドレスを設定しないでください。

図4.59 ROM訂正アドレス1上位レジスタ、ROM訂正アドレス1下位レジスタの構成

ROM訂正アドレス2上位レジスタ、ROM訂正アドレス2下位レジスタ



注1. ROM訂正アドレスは、各命令の先頭アドレス(オペコードのアドレス)を指定してください。
 注2. ROM訂正アドレスレジスタにはROM領域以外のアドレスを設定しないでください。
 また、ROM訂正アドレス1レジスタ、ROM訂正アドレス2レジスタには同一のアドレスを設定しないでください。

図4.60 ROM訂正アドレス2上位レジスタ、ROM訂正アドレス2下位の構成

ROM訂正許可レジスタ

b7 b6 b5 b4 b3 b2 b1 b0
0 0 0 0 0 ROM訂正許可レジスタ(RCR)【0FFC₁₆番地】

| b | ビット名 | 機能 | リセット後 | RW |
|---|-------------------------------|----------------------------|-------|----|
| 0 | ROM訂正アドレス1許可ビット (RC0) | 0: 使用禁止 1: 使用許可 | 0 | RW |
| 1 | ROM訂正アドレス2許可ビット (RC1) | 0: 使用禁止 1: 使用許可 | 0 | RW |
| 2 | ROM訂正用メモリ選択ビット (RC2) | 0: RAM領域へ分岐 1: ROM領域へ分岐 | 0 | RW |
| 3 | 読み出し時の値は“0”。書く場合は“0”を書いてください。 | | 0 | RO |
| 4 | | | 0 | RO |
| 5 | | | 0 | RO |
| 6 | | | 0 | RO |
| 7 | | | 0 | RO |

注: ROM訂正機能を使用する場合は必ず、ROM訂正アドレスレジスタ設定後にROM訂正アドレス許可ビットを許可にしてください。

図4.61 ROM訂正許可レジスタの構成

5. 参考ドキュメント

データシート

38D2グループデータシート

(最新版をルネサステクノロジホームページから入手してください。)

テクニカルニュース／テクニカルアップデート

(最新の情報をルネサステクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサステクノロジホームページ
<http://japan.renesas.com/>

お問合せ先
<http://japan.renesas.com/inquiry>
csc@renesas.com

| | |
|------|-----------------|
| 改定記録 | 38D2グループ レジスタ一覧 |
|------|-----------------|

| Rev. | 発行日 | 改訂内容 | |
|------|-------------|-------|-------------------------------------|
| | | ページ | ポイント |
| 1.00 | 2007. 01.10 | — | 初版発行 |
| 2.00 | 2007. 04.20 | 5 | 図4.6 CPUモードレジスタ2 : 注改訂 |
| | | 27 | 図4.36 コンペアレジスタ1、2、3(下位、上位) : 注改訂 |
| | | 31 | 図4.41 CPUモードレジスタ : 注改訂 |
| | | 35、36 | 図4.47~4.49 フラッシュメモリ制御レジスタ0、1、2 : 追加 |
| 3.00 | 2007. 06.28 | 5 | 図4.6 CPUモードレジスタ2 : 注1改訂 |
| | | 29 | 図4.38 タイマYモードレジスタのビット1、0 : 改訂 |
| | | 31 | 図4.41 CPUモードレジスタ : 注4、5追加 |
| 4.00 | 2007. 08.08 | 5 | 図4.6 CPUモードレジスタ2 : 注1改訂 |
| | | 31 | 図4.41 CPUモードレジスタ : 注4改訂 |

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。