

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

38C5グループ レジスタ一覧

1. 要約

この資料は38C5グループのレジスタについて説明しています。

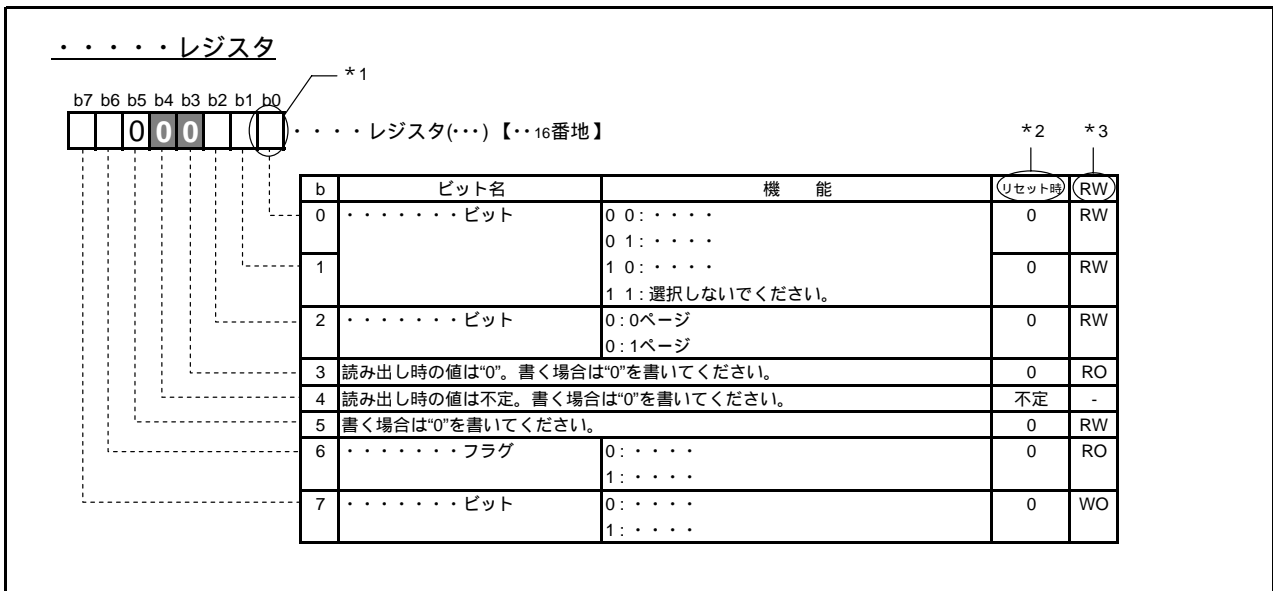
2. はじめに

この資料で説明するレジスタは次の条件での利用に適用されます。

- ・マイコン：38C5グループ

3. レジスタ構成図

このアプリケーションノートに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



- * 1
- 空白 :用途に応じて"0"又は"1"を設定してください。
 - 0 :書く場合は"0"を書いてください。
 - 1 :書く場合は"1"を書いてください。
 - x :特定のモード又は状態で使用しないビット。"0"又は"1"いづれでもよい。
 - :何も配置されていない。
- * 2
- 0 :リセット後"0"になる。
 - 1 :リセット後"1"になる。
 - 不定 :リセット後、不定になる。
- * 3
- RW :読み出し可能。書き込み可能。
 - RO :読み出し可能。書く場合の値は、それぞれのビットに依存します。
 - WO :書き込み可能。読み出し時の値は不定。
 - :読み出し時の値は不定。書く場合の値は、それぞれのビットに依存します。

4. 制御レジスタ一覧

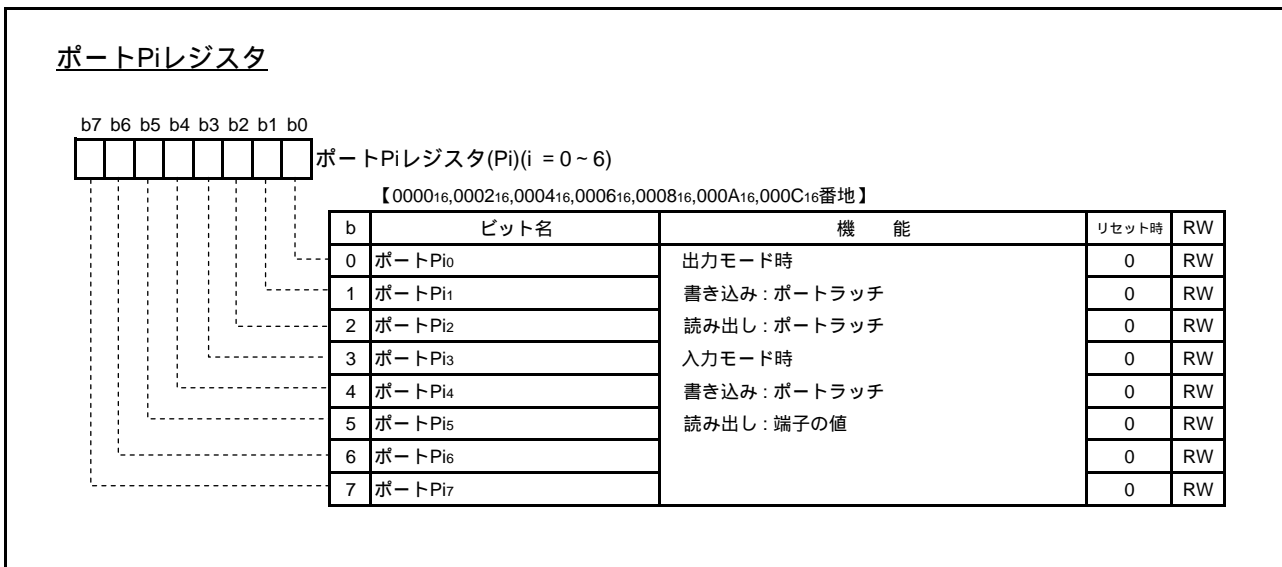


図4.1 ポートPiレジスタの構成(i = 0 ~ 6)

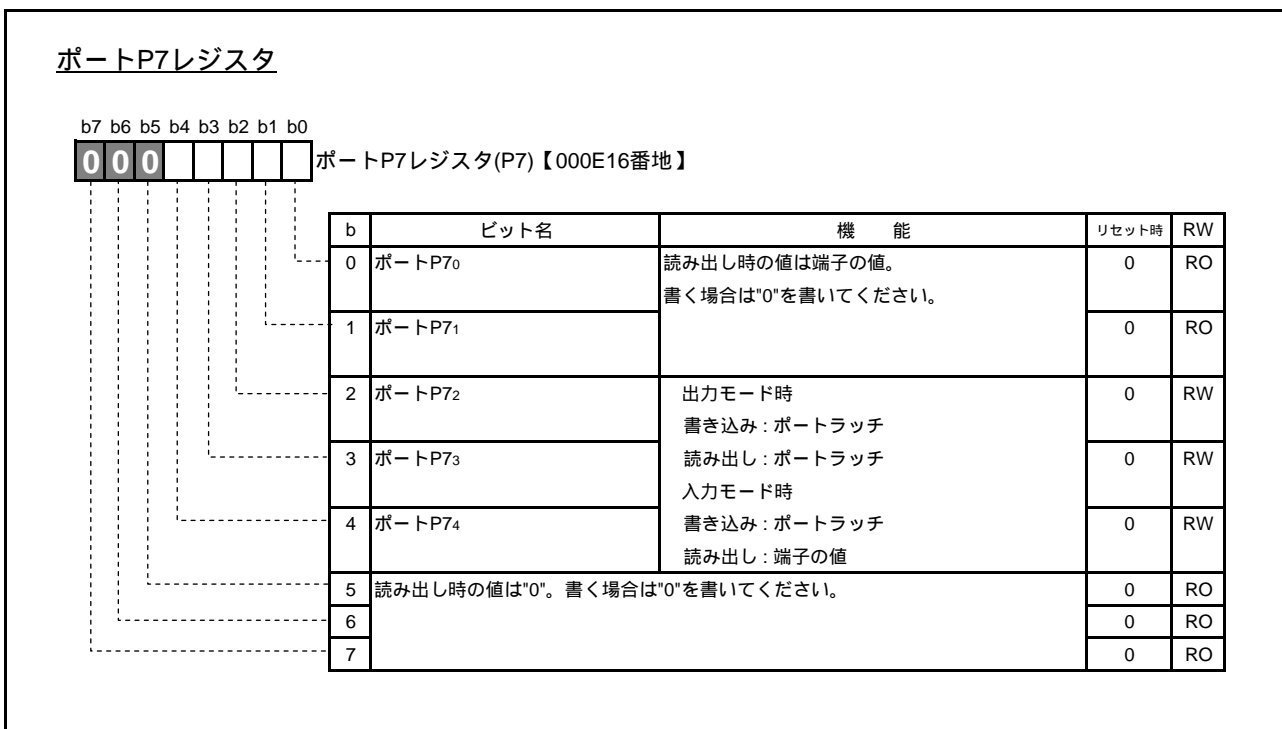
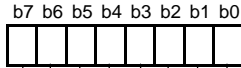


図4.2 ポートP7レジスタの構成

ポートPi方向レジスタ



ポートPi方向レジスタ(PiD)(i=0~6)

【0001₁₆,0003₁₆,0005₁₆,0007₁₆,0009₁₆,000B₁₆,000D₁₆ 番地】

b	ビット名	機能	リセット時	RW
0	ポートPi0方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
1	ポートPi1方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
2	ポートPi2方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
3	ポートPi3方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
4	ポートPi4方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
5	ポートPi5方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
6	ポートPi6方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
7	ポートPi7方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO

注1. ポートP0~P3は、入力モードに設定していると、セグメント出力禁止レジスタ0~2(0FF4₁₆~0FF6₁₆番地)により、プルアップ抵抗の制御ができます(図4.53、図4.54参照)。出力モードのポートはプルアップ抵抗は接続されません。

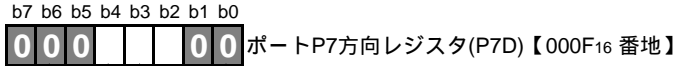
ポートP4~P6は、PULLレジスタ1~3(0FF0₁₆~0FF2₁₆番地)により、プルアップ抵抗の制御ができます。出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

注2. ポートP4₁端子は、出力モード時、P4₁/TxDP チャンネル出力禁止ビット(UART制御レジスタ(001B₁₆番地)のビット4)で出力形式を選択できます。

注3. ポートP4₅端子は、出力モード時、P4₅/SOUT₂ Pチャンネル出力禁止ビット(シリアル/O2制御レジスタ(001D₁₆番地)のビット4)で出力形式を選択できます。

図4.3 ポートPi方向レジスタの構成(i=0~6)

ポートP7方向レジスタ



b	ビット名	機能	リセット時	RW
0	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
1			0	RO
2	ポートP7 ₂ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
3	ポートP7 ₃ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
4	ポートP7 ₄ 方向レジスタ	0 : 入力モード 1 : 出力モード	0	WO
5	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
6			0	RO
7			0	RO

注. PULLレジスタ3(0FF2₁₆番地)により、プルアップ抵抗の制御ができます。
出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

図4.4 ポートP7方向レジスタの構成

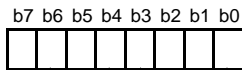
RRFレジスタ



b	ビット名	機能	リセット時	RW
0	DB4データ格納		0	RW
1	DB5データ格納		0	RW
2	DB6データ格納		0	RW
3	DB7データ格納		0	RW
4	DB0データ格納		0	RW
5	DB1データ格納		0	RW
6	DB2データ格納		0	RW
7	DB3データ格納		0	RW

図4.5 RRFレジスタの構成

LCDモードレジスタ1



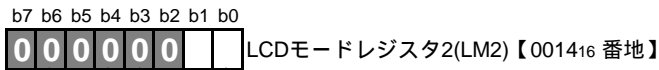
LCDモードレジスタ1(LM1)【0013₁₆番地】

b	ビット名	機能	リセット時	RW
0	時分割選択ビット	b2 b1 b0 0 0 0 : 1時分割(スタティック) (注) 0 0 1 : 2時分割(COM ₀ 、COM ₁ 使用) 0 1 0 : 3時分割(COM ₀ ~ COM ₂ 使用) 0 1 1 : 4時分割(COM ₀ ~ COM ₃ 使用) 1 0 0 : 選択しないでください 1 0 1 : 選択しないでください 1 1 0 : 選択しないでください 1 1 1 : 8時分割(COM ₀ ~ COM ₇ 使用)	0	RW
1			0	RW
2			0	RW
3	バイアス制御ビット (注)	0 : 1/3バイアス 1 : 1/2バイアス	0	RW
4	LCDイネーブルビット	0 : LCD消灯 1 : LCD点灯	0	RW
5	LCD回路分周器分周比選択ビット	b6 b5 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 8分周	0	RW
6			0	RW
7	LCDCK用カウントソース 選択ビット	0 : f(X _{CIN})/32 1 : φ SOURCE/8192 φ SOURCE : f(X _{IN}) (中/高速モード) f(X _{CIN}) (低速モード) Rosc/4 (オンチップオシレータモード)	0	RW

注. 時分割選択ビットで1時分割を選択する場合、バイアス制御ビットには“1”を書いてください。

図4.6 LCDモードレジスタ1の構成

LCDモードレジスタ2



b	ビット名	機 能	リセット時	RW
0	昇圧回路制御ビット	0: 昇圧回路禁止(入力ポートP7 ₀ /INT ₀₁ , P7 ₁ /INT ₁₁) 1: 昇圧回路許可	0	RW
1	VL3接続ビット	0: VL3-Vcc間接続 1: VL3-Vcc間開放	0	RW
2	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
3			0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

図4.7 LCDモードレジスタ2の構成

A/D制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



A/D制御レジスタ(ADCON)【0015₁₆番地】

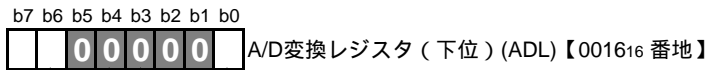
b	ビット名	機能	リセット時	RW
0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : P5 ₀ /AN ₀ 0 0 1 : P5 ₁ /AN ₁ 0 1 0 : P5 ₂ /AN ₂ 0 1 1 : P5 ₃ /AN ₃ 1 0 0 : P5 ₄ /AN ₄ 1 0 1 : P5 ₅ /AN ₅ 1 1 0 : P5 ₆ /AN ₆ 1 1 1 : P5 ₇ /AN ₇	0	RW
1			0	RW
2			0	RW
3	AD変換終了ビット	0 : 変換中 1 : 変換終了	1	RW
4	AD変換クロック選択ビット (注1)	0 : φ SOURCE/2 1 : φ SOURCE/8 φ SOURCE : f(X _{IN}) (中/高速モード) R _{osc} /4 (低速モード、 オンチップオシレータモード)	0	RW
5	ADKEY許可ビット (注2)	0 : 禁止 1 : 許可	0	RW
6	10bit or 8bit 変換切換	0 : 10bitAD 1 : 8bitAD	0	RW
7	ADKEY選択ビット	0 : 無効 1 : 有効	0	RW

注1. 低速モード、オンチップオシレータモード時は、"0"を選択してください。

注2. ADKEY許可ビットが"1"のとき、アナログ入力端子選択ビットは無効になりますが、
値が変化することはありません。
また、ADKEY許可ビットが"1"のとき、A/D変換終了ビットに"0"を書かないでください。

図4.8 A/D制御レジスタの構成

A/D変換レジスタ (下位)

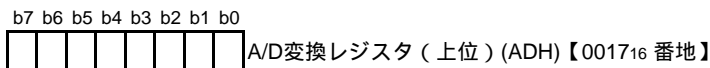


b	ビット名	機能	リセット時	RW
0	Vref 入力スイッチビット	0: 自動 1: ON	0	WO
1	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
2			0	RO
3			0	RO
4			0	RO
5			0	RO
6	10ビットA/Dモード時のA/D変換結果が読めます。 10ビットA/Dモード時 8ビットA/Dモード時の読み出し時の値は不定。 b7		不定	RO
7	書く場合は"0"を書いてください。 b1 b0		不定	RO

注. A/D変換中はこのレジスタを読み出さないでください。

図4.9 A/D変換レジスタ (下位) の構成

A/D変換レジスタ (上位)

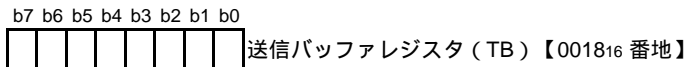


b	機能	リセット時	RW	
0	A/D変換結果が読めます。	不定	RO	
1	書く場合は "00 ₁₆ " を書いてください。 10ビットA/Dモード時		不定	RO
2	b7 b0		不定	RO
3	b9 b8 b7 b6 b5 b4 b3 b2		不定	RO
4			不定	RO
5	8ビットA/Dモード時		不定	RO
6	b7 b0		不定	RO
7	b7 b6 b5 b4 b3 b2 b1 b0		不定	RO

注. A/D変換中はこのレジスタを読み出さないでください。

図4.10 A/D変換レジスタ (上位) の構成

送信バッファレジスタ

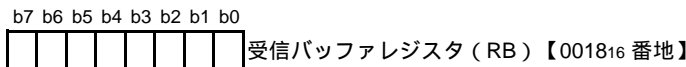


b	機 能	リセット時	RW
0	送信データの書き込みを行うバッファレジスタです。	不定	WO
1	送信データを書いてください。	不定	WO
2		不定	WO
3		不定	WO
4		不定	WO
5		不定	WO
6		不定	WO
7		不定	WO

注: 受信バッファレジスタと同じ番地です。読み出しはできません。

図4.11 送信バッファレジスタの構成

受信バッファレジスタ

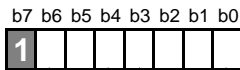


b	機 能	リセット時	RW
0	受信データの読み出しを行うバッファレジスタです。	不定	RO
1	受信データが読めます。	不定	RO
2		不定	RO
3		不定	RO
4		不定	RO
5		不定	RO
6		不定	RO
7		不定	RO

注: 送信バッファレジスタと同じ番地です。書き込みはできません。

図4.12 受信バッファレジスタの構成

シリアル/O1ステータスレジスタ



シリアル/O1ステータスレジスタ(SIO1STS)【0019₁₆番地】

b	ビット名	機能	リセット時	RW
0	送信バッファエンティフラグ (TBE) (注1)	0 : バッファフル状態 1 : バッファエンティ状態	0	RO
1	受信バッファフルフラグ (RBF) (注1、2)	0 : バッファエンティ状態 1 : バッファフル状態	0	RO
2	送信シフトレジスタシフト終了フラグ(TSC) (注1)	0 : 送信シフト中 1 : 送信シフト終了	0	RO
3	オーバランエラーフラグ (OE) (注3)	0 : オーバランエラーなし 1 : オーバランエラー発生	0	RO
4	パリティエラーフラグ (PE) (注3)	0 : パリティエラーなし 1 : パリティエラー発生	0	RO
5	フレーミングエラーフラグ(FE) (注3)	0 : フレーミングエラーなし 1 : フレーミングエラー発生	0	RO
6	サミングエラーフラグ(SE) (注3)	0 : (OE) (PE) (FE) = 0 1 : (OE) (PE) (FE) = 1	0	RO
7	読み出し時の値は“1”。書く場合は“1”を書いてください。		1	RO

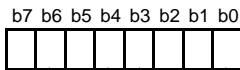
注1. 書く場合は“0”を書いてください。

注2. 受信バッファレジスタを読むと“0”になります。

注3. このレジスタへの書き込みで、このビットは“0”になります。書く場合は“0”を書いてください。

図4.13 シリアル/O1ステータスレジスタの構成

シリアルI/O1制御レジスタ



シリアルI/O1制御レジスタ(SIO1CON)【001A16番地】

b	ビット名	機能	リセット時	RW
0	BRGカウントソース選択ビット(CSS)	0: ϕ SOURCE 1: ϕ SOURCE/4 ϕ SOURCE : f(XIN) (中/高速モード) f(XCIN) (低速モード) Rosc/4 (オンチップオシレータモード)	0	RW
1	シリアルI/O1同期クロック選択ビット(SCS)	クロック同期形シリアルI/Oモード時 0: BRG出力の4分周 1: 外部クロック入力 UARTモード時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	RW
2	SRDY ₁ 出力許可ビット(SRDY)	0: 出力禁止(P4 ₃ 端子: 入出力ポート) 1: 出力許可(P4 ₃ 端子: SRDY ₁ 端子)	0	RW
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファレジスタが空になったとき (TBE=1) 1: 送信シフトレジスタのシフト動作終了時 (TSC=1)	0	RW
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	RW
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	RW
6	シリアルI/O1モード選択ビット(SIOM)	0: UARTモード 1: クロック同期形シリアルI/Oモード	0	RW
7	シリアルI/O1許可ビット(SIOE)	0: シリアルI/O1禁止 (P4 ₀ ~ P4 ₃ : 入出力ポート) 1: シリアルI/O1許可 (P4 ₀ ~ P4 ₃ : シリアルI/O1機能端子)	0	RW

図4.14 シリアルI/O1制御レジスタの構成

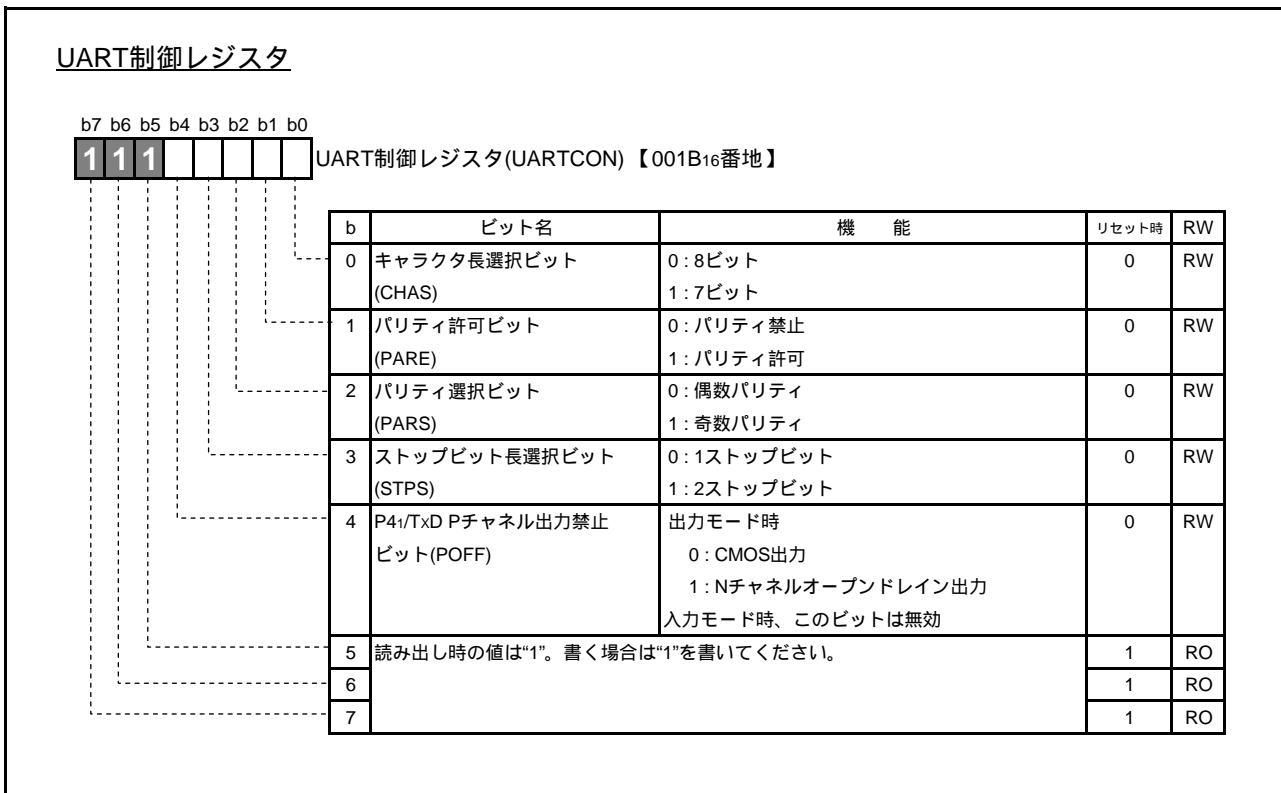


図4.15 UART制御レジスタの構成

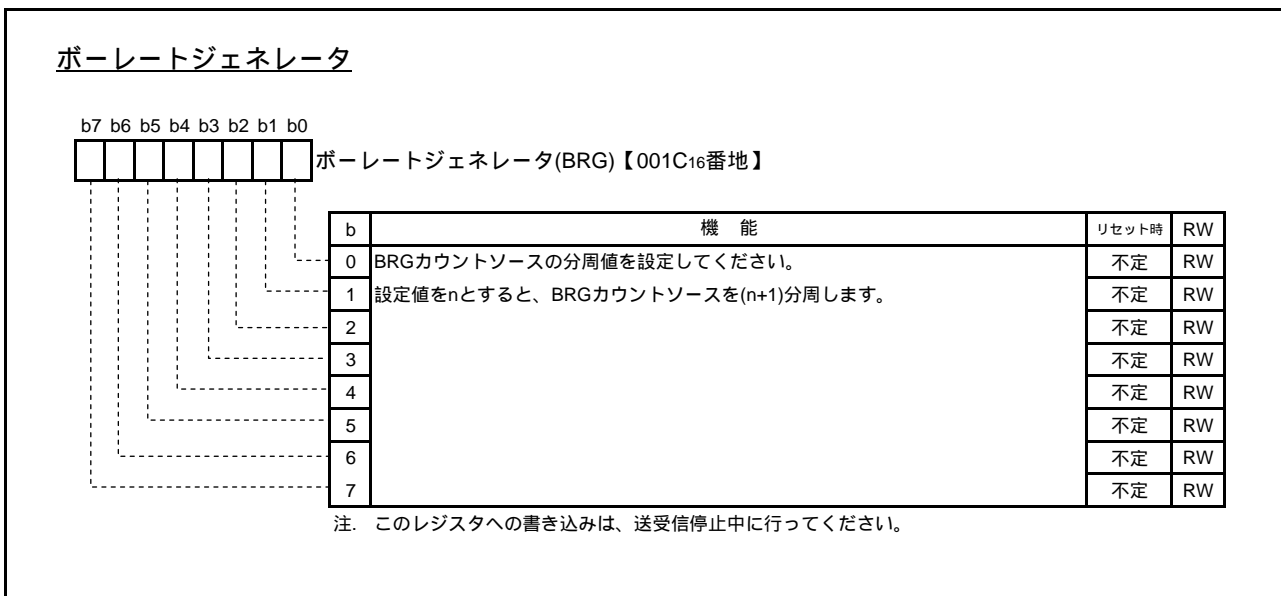


図4.16 ボーレートジェネレータの構成

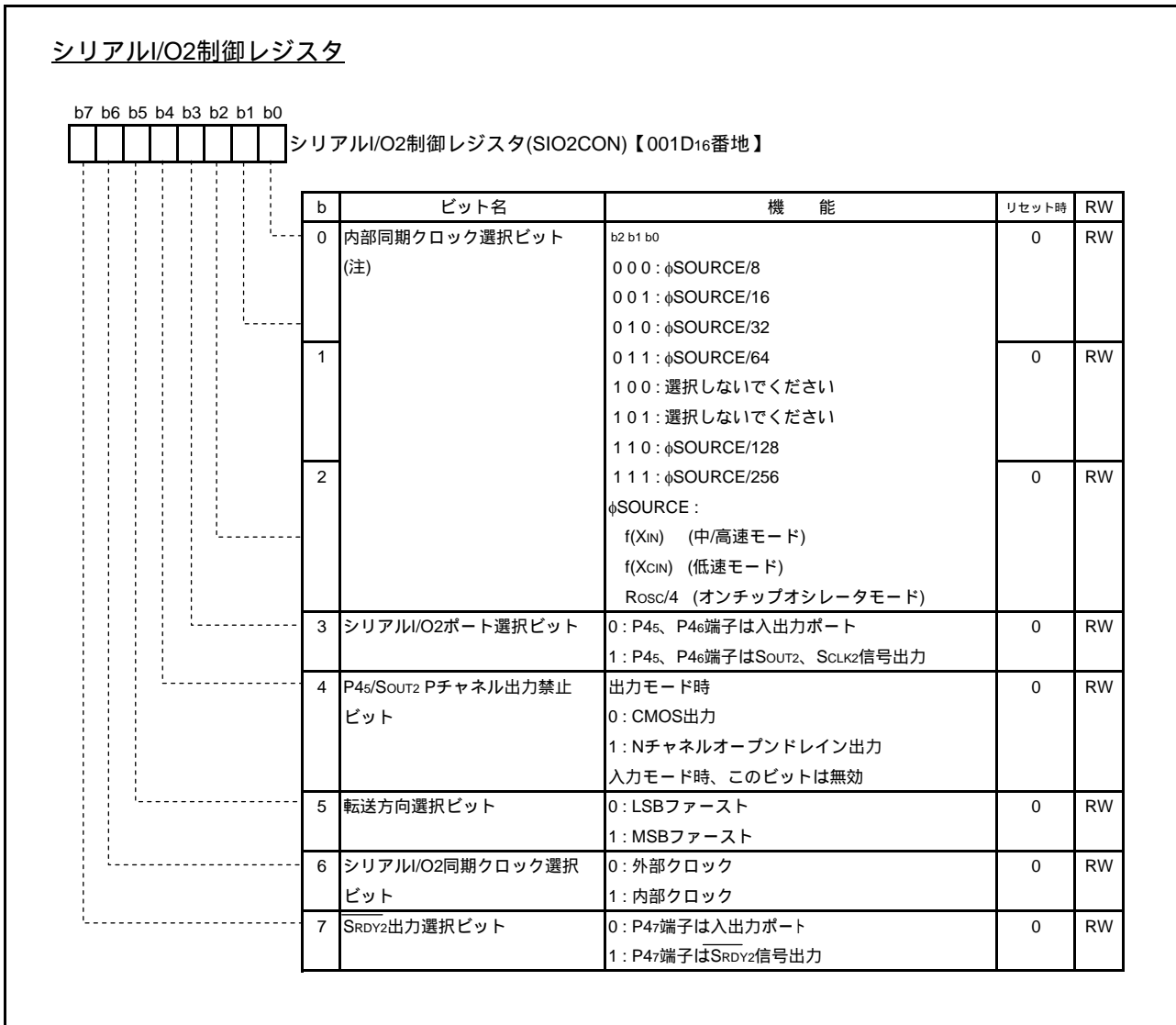


図4.17 シリアル/O2制御レジスタの構成

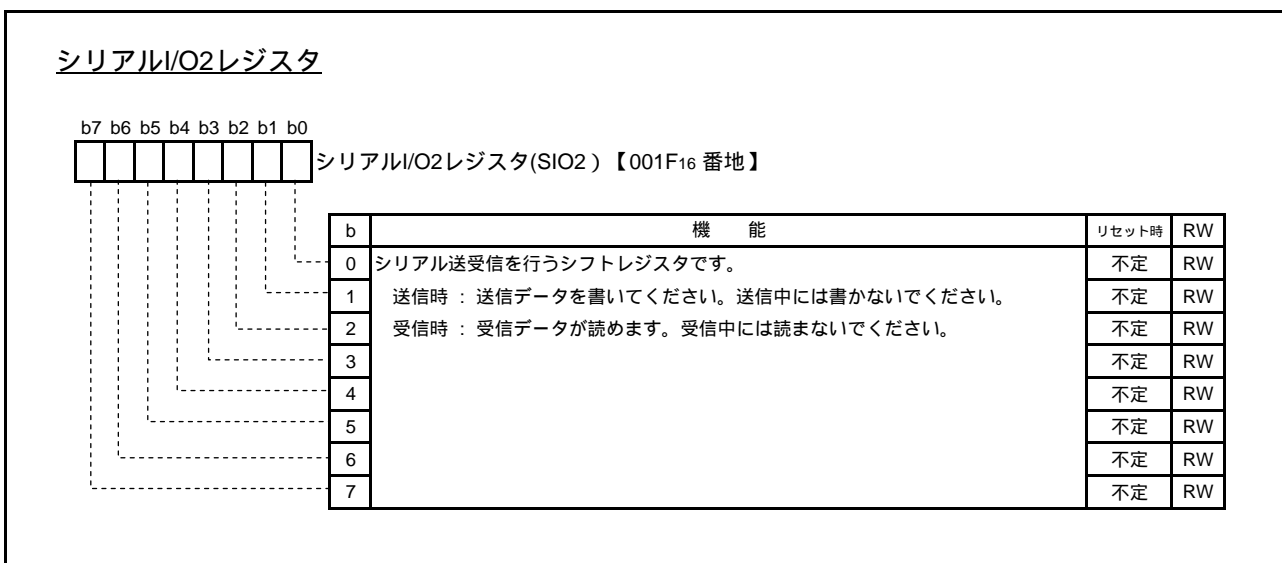
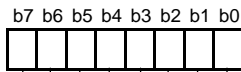


図4.18 シリアル/O2レジスタの構成

タイマ1レジスタ

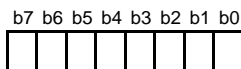


タイマ1レジスタ(T1)【0020₁₆番地】

b	機能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	書き込み時、タイマ1ラッチ及びタイマ1への同時書き込み。	1	RW
3	読み出し時の値は、タイマ1のカウント値です。	1	RW
4		1	RW
5		1	RW
6		1	RW
7		1	RW

図4.19 タイマ1 レジスタの構成

タイマ2レジスタ

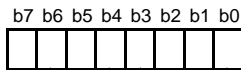


タイマ2レジスタ(T2)【0021₁₆番地】

b	機能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	0	RW
2	書き込み時、タイマ2書き込み制御ビットの値により、次のように動作します。	0	RW
3	"0" の場合：タイマ2ラッチ及びタイマ2への同時書き込み	0	RW
4	"1" の場合：タイマ2ラッチのみへの書き込み	0	RW
5	読み出し時の値は、タイマ2のカウント値です。	0	RW
6		0	RW
7		0	RW

図4.20 タイマ2 レジスタの構成

タイマ3レジスタ

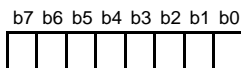


タイマ3レジスタ(T3)【0022₁₆番地】

b	機 能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	書き込み時、タイマ3書き込み制御ビットの値により、	1	RW
3	次のように動作します。	1	RW
4	"0" の場合：タイマ3ラッチ及びタイマ3への同時書き込み	1	RW
5	"1" の場合：タイマ3ラッチのみへの書き込み	1	RW
6	読み出し時の値は、タイマ3のカウント値です。	1	RW
7		1	RW

図4.21 タイマ3 レジスタの構成

タイマ4レジスタ



タイマ4レジスタ(T4)【0023₁₆番地】

b	機 能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	書き込み時、タイマ4書き込み制御ビットの値により、	1	RW
3	次のように動作します。	1	RW
4	"0" の場合：タイマ4ラッチ及びタイマ4への同時書き込み	1	RW
5	"1" の場合：タイマ4ラッチのみへの書き込み	1	RW
6	読み出し時の値は、タイマ4のカウント値です。	1	RW
7		1	RW

図4.22 タイマ4 レジスタの構成

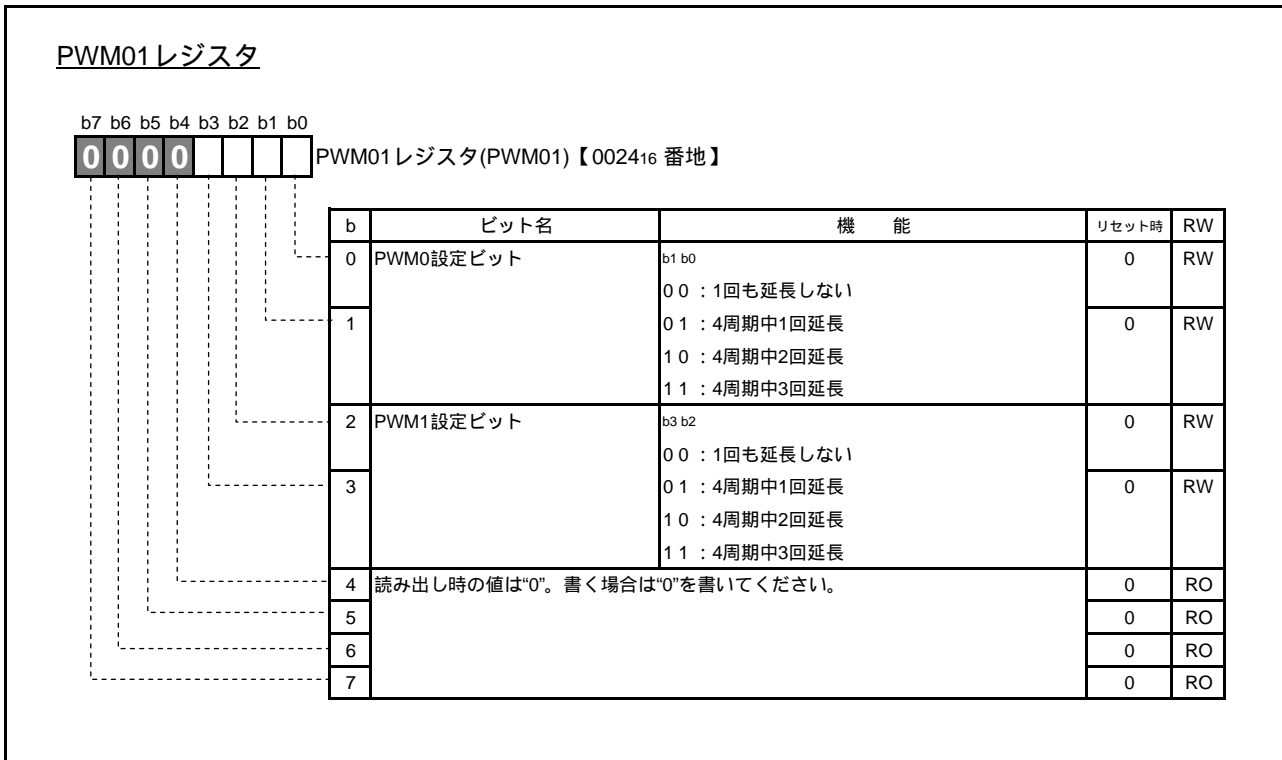


図4.23 PWM01レジスタの構成

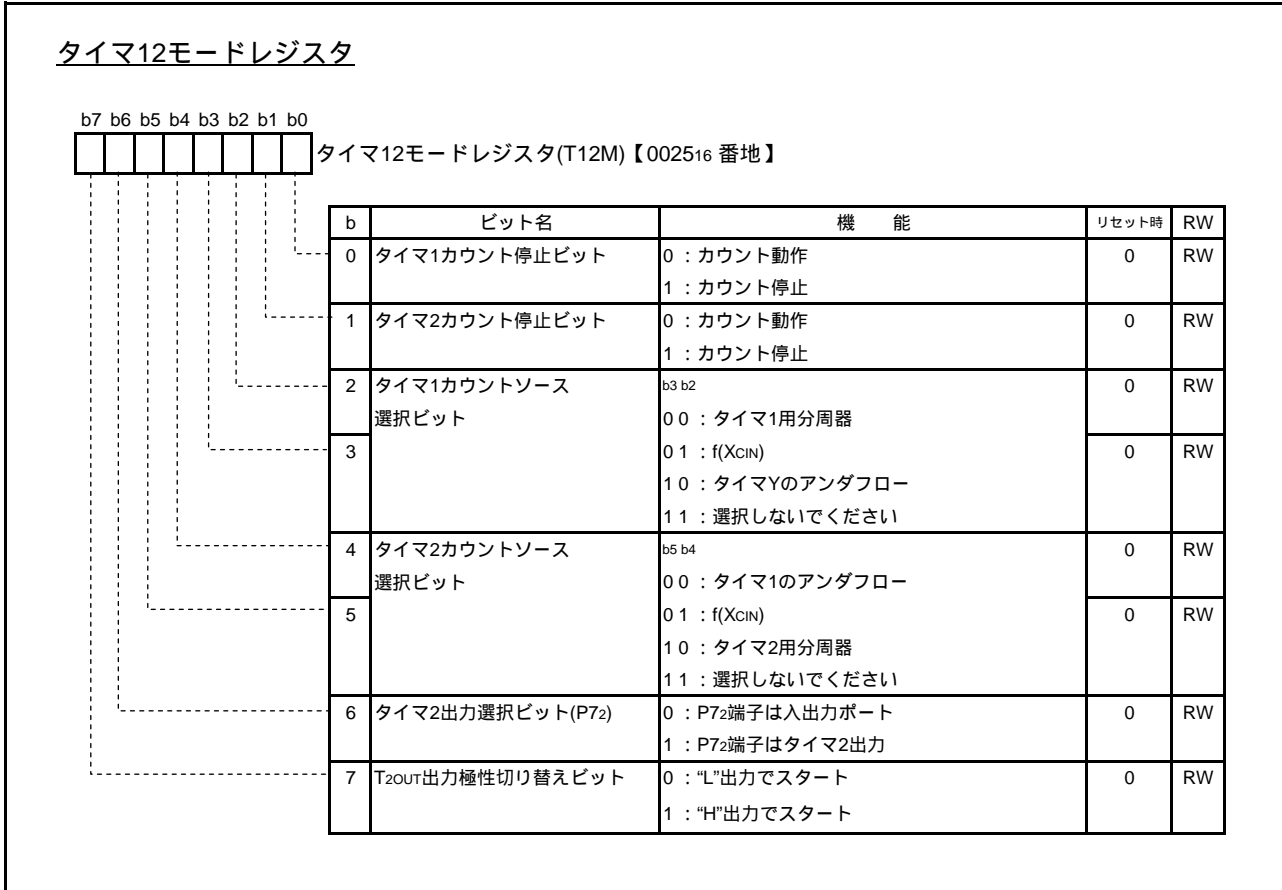
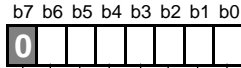


図4.24 タイマ12モードレジスタの構成

タイマ34モードレジスタ

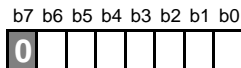


タイマ34モードレジスタ (T34M) 【0026₁₆ 番地】

b	ビット名	機 能	リセット時	RW
0	タイマ3カウント停止ビット	0 : カウント動作 1 : カウント停止	0	RW
1	タイマ4カウント停止ビット	0 : カウント動作 1 : カウント停止	0	RW
2	タイマ3カウントソース 選択ビット	0 : タイマ3用分周器 1 : タイマ2のアンダフロー	0	RW
3	タイマ4カウントソース 選択ビット	b4 b3 00 : タイマ4用分周器 01 : タイマ3のアンダフロー 10 : タイマ2のアンダフロー 11 : f(XIN)	0	RW
4			0	RW
5	タイマ3動作モード選択ビット	0 : タイマモード 1 : PWMモード	0	RW
6	タイマ4動作モード選択ビット	0 : タイマモード 1 : PWMモード	0	RW
7	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO

図4.25 タイマ34モードレジスタの構成

タイマ1234モードレジスタ

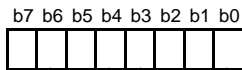


タイマ1234モードレジスタ (T1234M) 【0027₁₆ 番地】

b	ビット名	機 能	リセット時	RW
0	T3 _{OUT} 出力極性切り替えビット	0 : "L" 出力でスタート 1 : "H" 出力でスタート	0	RW
1	T4 _{OUT} 出力極性切り替えビット	0 : "L" 出力でスタート 1 : "H" 出力でスタート	0	RW
2	タイマ3出力選択ビット(P7 ₃)	0 : P7 ₃ 端子は入出力ポート 1 : P7 ₃ 端子はタイマ3出力	0	RW
3	タイマ4出力選択ビット(P7 ₄)	0 : P7 ₄ 端子は入出力ポート 1 : P7 ₄ 端子はタイマ4出力	0	RW
4	タイマ2書き込み制御ビット	0 : ラッチおよびタイマ同時書き込み 1 : ラッチのみ書き込み	0	RW
5	タイマ3書き込み制御ビット	0 : ラッチおよびタイマ同時書き込み 1 : ラッチのみ書き込み	0	RW
6	タイマ4書き込み制御ビット	0 : ラッチおよびタイマ同時書き込み 1 : ラッチのみ書き込み	0	RW
7	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO

図4.26 タイマ1234モードレジスタの構成

タイマ1234分周選択レジスタ



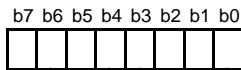
タイマ1234分周選択レジスタ(PRE1234)【0028₁₆番地】

b	ビット名	機能	リセット時	RW
0	タイマ1分周選択ビット	b1 b0 0 0 : 1/16 × φSOURCE 0 1 : 1/1 × φSOURCE 1 0 : 1/2 × φSOURCE 1 1 : 1/256 × φSOURCE	0	RW
1			0	RW
2	タイマ2分周選択ビット	b3 b2 0 0 : 1/16 × φSOURCE 0 1 : 1/1 × φSOURCE 1 0 : 1/2 × φSOURCE 1 1 : 1/256 × φSOURCE	0	RW
3			0	RW
4	タイマ3分周選択ビット	b5 b4 0 0 : 1/16 × φSOURCE 0 1 : 1/1 × φSOURCE 1 0 : 1/2 × φSOURCE 1 1 : 1/256 × φSOURCE	0	RW
5			0	RW
6	タイマ4分周選択ビット	b7 b6 0 0 : 1/16 × φSOURCE 0 1 : 1/1 × φSOURCE 1 0 : 1/2 × φSOURCE 1 1 : 1/256 × φSOURCE	0	RW
7			0	RW

注. φSOURCE : f(X_{IN}) 中/高速モード
f(X_{CIN}) 低速モード
Rosc/4 オンチップオシレータモード

図4.27 タイマ1234分周選択レジスタの構成

ウォッチドッグタイマ制御レジスタ



ウォッチドッグタイマ制御レジスタ(WDTCON)【0029₁₆番地】

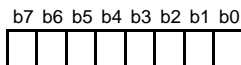
b	ビット名	機能	リセット時	RW
0	ウォッチドッグタイマH		1	RO
1			1	RO
2			1	RO
3			1	RO
4			1	RO
5			1	RO
6	STP命令禁止ビット (注1)	0 : STP命令許可 1 : STP命令禁止	0	RW
7	ウォッチドッグタイマ カウントソース選択ビット	0 : ϕ SOURCE/1024 1 : ϕ SOURCE/4 ϕ SOURCE : f(XIN) (中/高速モード) f(XCIN) (低速モード) Rosc/4 (オンチップオシレータモード)	0	RW

注1. このビットはプログラムで"1"にできますが、"0"にはできません。

注2. このレジスタへの書き込みでウォッチドッグタイマは"FF₁₆"になります。

図4.28 ウォッチドッグタイマ制御レジスタの構成

タイマXレジスタ (下位、上位)

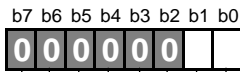


タイマXレジスタ (下位、上位) (TXL, TXH)【002A₁₆, 002B₁₆番地】

b	機能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	書き込み時、タイマX書き込み制御ビットの値により、次のように動作します。	1	RW
3	"0"の場合：タイマXラッチ及びタイマXへの同時書き込み	1	RW
4	"1"の場合：タイマXラッチのみへの書き込み	1	RW
5	なお、この動作は、タイマXカウント停止ビットの影響を受けません。	1	RW
6	書き込み順序	1	RW
7	タイマモード、パルス出力モード、イベントカウンタモード、パルス幅測定モード： 拡張、下位、上位 IGBT出力モード、PWMモード： コンペアレジスタ1、2、3、拡張、下位、上位 (コンペアレジスタの上位、下位の順序は決まっていない) 読み出し時の値は、タイマXのカウント値です。 読み出し順序 拡張、上位、下位(コンペアレジスタの順序は決まっていない)	1	RW

図4.29 タイマXレジスタ (下位、上位) の構成

タイマXレジスタ (拡張)



タイマXレジスタ (拡張) (TXEX) 【002C₁₆ 番地】

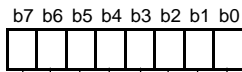
b	機能	リセット時	RW
0	カウント初期値を設定してください。 設定値をnとすると (n+1)カウントします。 書き込み時、タイマX書き込み制御ビットの値により、次のように動作します。 "0" の場合：拡張ラッチ及び拡張カウンタへの同時書き込み "1" の場合：拡張ラッチのみへの書き込み なお、この動作は、タイマXカウント停止ビットの影響を受けません。 書き込み順序 タイマモード、パルス出力モード、イベントカウンタモード、パルス幅測定モード： 拡張、下位、上位 IGBT出力モード、PWMモード： コンペアレジスタ1、2、3、拡張、下位、上位 (コンペアレジスタの上位、下位の順序は決まっていない) 読み出し時の値は、タイマXのカウント値です。 読み出し順序 拡張、上位、下位(コンペアレジスタの順序は決まっていない)	0	RW
1	読み出し時の値は"0"。書く場合は"0"を書いてください。	0	RO
2		0	RO
3		0	RO
4		0	RO
5		0	RO
6		0	RO
7		0	RO

注1. リセット後、このレジスタに値が設定されるとタイマXは18ビットで動作します。

注2. IGBT出力モード、PWMモード設定時は、このレジスタには"1"を書かないでください。また、すでに"1"になっている場合は、必ず"0"を書いてから使用してください。

図4.30 タイマXレジスタ (拡張) の構成

タイマXモードレジスタ



タイマXモードレジスタ (TXM) 【002D₁₆ 番地】

b	ビット名	機能	リセット時	RW
0	タイマX動作モードビット	b2 b1 b0 000 : タイマモード 001 : パルス出力モード 010 : IGBT出力モード 011 : PWMモード 100 : イベントカウンタモード 101 : パルス幅測定モード 110 : 選択しないでください 111 : 選択しないでください	0	RW
1			0	RW
2			0	RW
3	タイマX書き込み制御ビット	0 : ラッチ及びタイマ同時書き込み 1 : ラッチのみ書き込み	0	RW
4	タイマXカウントソース 選択ビット	0 : 分周器出力 1 : f(XCIN)	0	RW
5	イベントカウンタウインド 制御用データ	0 : イベントカウンタ許可 1 : イベントカウンタ禁止	0	RW
6	タイマXカウント停止ビット	0 : カウント動作 1 : カウント停止	0	RW
7	タイマX出力選択ビット(P6s)	0 : P6s端子は入出力ポート 1 : P6s端子はタイマX出力	0	RW

図4.31 タイマXモードレジスタの構成

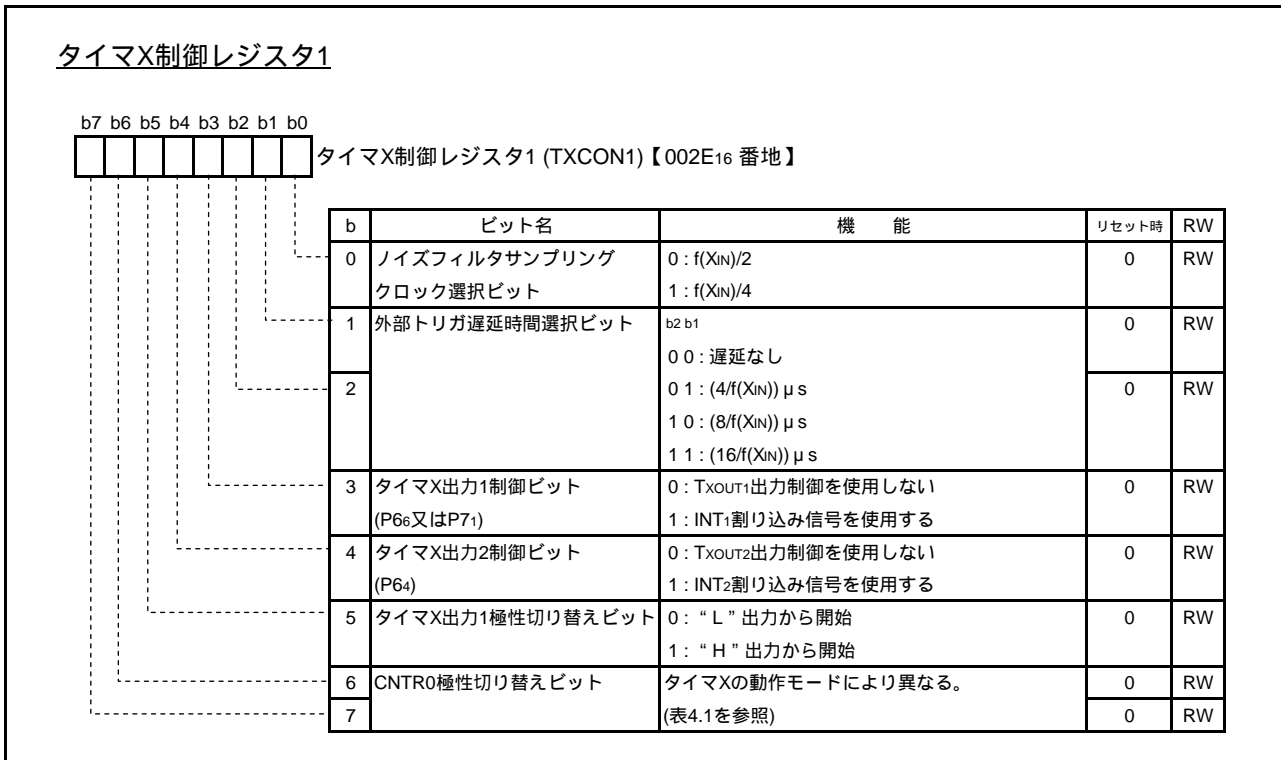


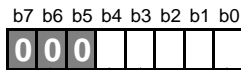
図4.32 タイマX制御レジスタ1の構成

表4.1 CNTR0極性切り替えビットの機能

タイマX動作モード	設定値 b7 b6	タイマ機能/CNTR0端子の機能	CNTR0割り込み要求発生要因
タイマモード	0 0	外部割り込み端子	CNTR0の入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	0 1		CNTR0の入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
	1 0		入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウントに影響なし)
	1 1		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
パルス出力モード	0 0		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	0 1		入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
	1 0		入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウントに影響なし)
	1 1		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
IGBT出力モード	0 0		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	0 1		入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
	1 0		入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウントに影響なし)
	1 1		入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
PWMモード	0 0	入力信号の立ち下がりエッジ (タイマのカウントに影響なし)	
	0 1	入力信号の立ち上がりエッジ (タイマのカウントに影響なし)	
	1 0	入力信号の立ち下がりエッジと立ち上がりエッジ (タイマのカウントに影響なし)	
	1 1	入力信号の立ち下がりエッジ (タイマのカウントに影響なし)	
イベントカウンタモード	0 0	立ち上がりエッジをカウント	入力信号の立ち下がりエッジ
	0 1	立ち下がりエッジをカウント	入力信号の立ち上がりエッジ
	1 0	両エッジをカウント	入力信号の立ち下がりエッジと立ち上がりエッジ
	1 1	両エッジをカウント	入力信号の立ち下がりエッジと立ち上がりエッジ
パルス幅測定モード	0 0	"H" 幅を測定	入力信号の立ち下がりエッジ
	0 1	"L" 幅を測定	入力信号の立ち上がりエッジ
	1 0		
	1 1		選択しないでください

注: パルス幅測定モード時は、ビット7を"0"に設定してください。

タイマX制御レジスタ2

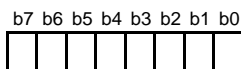


タイマX制御レジスタ2 (TXCON2) 【002F₁₆ 番地】

b	ビット名	機 能	リセット時	RW
0	タイマX出力2選択ビット (P6s)	0 : P6s端子は入出力ポート 1 : P6s端子はタイマX出力2	0	RW
1	タイマX出力2極性切り替えビット	0 : “ L ” 出力から開始 1 : “ H ” 出力から開始	0	RW
2	タイマX分周選択ビット	b3 b2 0 0 : 1/16 × φSOURCE 0 1 : 1/1 × φSOURCE 1 0 : 1/2 × φSOURCE 1 1 : 1/256 × φSOURCE φSOURCE : f(X _{IN}) (中/高速モード) f(X _{CIN}) (低速モード) Rosc/4 (オンチップオシレータモード)	0	RW
3				RW
4	IGBT用トリガ入力制御ビット	0 : ノイズフィルタサンプリックロック×1 外部トリガ遅延時間×1	0	RW
		1 : ノイズフィルタサンプリックロック×2 外部トリガ遅延時間×1/2		
5	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
6			0	RO
7			0	RO

図4.33 タイマX制御レジスタ2の構成

コンペアレジスタ1、2、3 (下位、上位)



コンペアレジスタ1 (下位、上位) (COMP1L,COMP1H) 【0030₁₆,0031₁₆ 番地】

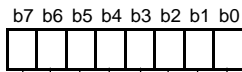
コンペアレジスタ2 (下位、上位) (COMP2L,COMP2H) 【0032₁₆,0033₁₆ 番地】

コンペアレジスタ3 (下位、上位) (COMP3L,COMP3H) 【0034₁₆,0035₁₆ 番地】

b	機 能	リセット時	RW
0	コンペアレジスタの値を設定してください。	0	RW
1	書き込み順序(IGBT出力モード、PWMモード)	0	RW
2	コンペアレジスタ1、2、3、拡張、下位、上位 (コンペアレジスタの上位、下位の順序は決まっていない)	0	RW
3		0	RW
4		0	RW
5		0	RW
6		0	RW
7		0	RW

図4.34 コンペアレジスタ1、2、3 (下位、上位) の構成

タイマYレジスタ（下位、上位）

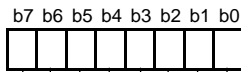


タイマYレジスタ（下位、上位）（TYL, TYH）【0036₁₆, 0037₁₆ 番地】

b	機能	リセット時	RW
0	カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	書き込み時、タイマY書き込み制御ビットの値により、次のように動作します。	1	RW
3	"0" の場合：タイマYラッチ及びタイマYへの同時書き込み	1	RW
4	"1" の場合：タイマYラッチのみへの書き込み	1	RW
5	下位、上位の順で書いてください。	1	RW
6	なお、この動作は、タイマYカウント停止ビットの影響を受けません。	1	RW
7	読み出し時の値は、タイマYのカウント値です。 上位、下位の順で読んでください。	1	RW

図4.35 タイマYレジスタ（下位、上位）の構成

タイマYモードレジスタ



タイマYモードレジスタ(TYM)【0038₁₆番地】

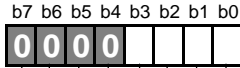
b	ビット名	機能	リセット時	RW
0	リアルタイムポート1制御ビット (P5 ₀)	0 : リアルタイム機能無効 1 : リアルタイム機能有効	0	RW
1	リアルタイムポート2制御ビット (P5 ₁)	0 : リアルタイム機能無効 1 : リアルタイム機能有効	0	RW
2	リアルタイムポート用 P5 ₀ データ	0 : "L"出力 1 : "H"出力	0	RW
3	リアルタイムポート用 P5 ₁ データ	0 : "L"出力 1 : "H"出力	0	RW
4	タイマY動作モードビット	b5 b4 00 : タイマモード 01 : 周期測定モード 10 : イベントカウンタモード 11 : パルス幅HL連続測定モード	0	RW
5			0	RW
6	CNTR ₁ 極性切り替えビット	タイマYの動作モードにより異なる。 (表4.2を参照)	0	RW
7	タイマYカウント停止ビット	0 : カウント動作 1 : カウント停止	0	RW

図4.36 タイマYモードレジスタの構成

表4.2 CNTR₁極性切り替えビットの機能

タイマY動作モード	設定値	タイマ機能	CNTR ₁ 割り込み要求発生要因
タイマモード	"0"	—	CNTR ₁ の入力信号の立ち下がりエッジ (タイマのカウントに影響なし)
	"1"	—	CNTR ₁ の入力信号の立ち上がりエッジ (タイマのカウントに影響なし)
周期測定モード	"0"	立ち下がり - 立ち下がり間を測定	入力信号の立ち下がりエッジ
	"1"	立ち上がり - 立ち上がり間を測定	入力信号の立ち上がりエッジ
イベントカウンタモード	"0"	立ち上がりエッジをカウント	入力信号の立ち下がりエッジ
	"1"	立ち下がりエッジをカウント	入力信号の立ち上がりエッジ
パルス幅HL連続測定モード	"0"	"H"幅と"L"幅を測定	入力信号の立ち下がりエッジと立ち上がりエッジ
	"1"		

タイマY制御レジスタ



タイマY制御レジスタ(TYCON)【0039₁₆番地】

b	ビット名	機能	リセット時	RW
0	タイマY書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
1	タイマYカウントソース選択ビット	0: 分周器出力 1: f(XCIN)	0	RW
2	タイマY分周選択ビット	b3 b2 0 0: 1/16 × φSOURCE 0 1: 1/1 × φSOURCE 1 0: 1/2 × φSOURCE 1 1: 1/256 × φSOURCE φSOURCE : f(XIN) (中/高速モード) f(XCIN) (低速モード) Rosc/4 (オンチップオシレータモード)	0	RW
3			0	RW
4	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
5			0	RO
6			0	RO
7			0	RO

図4.37 タイマY制御レジスタの構成

割り込みエッジ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



割り込みエッジ選択レジスタ(INTEDGE)【003A16番地】

b	ビット名	機能	リセット時	RW
0	INT ₀ 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
1	INT ₁ 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
2	INT ₂ 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
3	タイムY/CNTR ₁ 割り込み切り替えビット	0: タイムY割り込み 1: CNTR ₁ 割り込み	0	RW
4	INT ₀ 入力ポート切り替えビット	0: P6 ₂ から入力(INT ₀₀) 1: P7 ₀ から入力(INT ₀₁)	0	RW
5	INT ₁ 入力ポート切り替えビット	0: P6 ₆ から入力(INT ₁₀) 1: P7 ₁ から入力(INT ₁₁)	0	RW
6	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
7			0	RO

図4.38 割り込みエッジ選択レジスタの構成

CPUモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

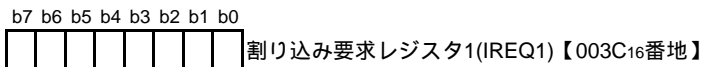


CPUモードレジスタ(CPUM)【003B16番地】

b	ビット名	機能	リセット時	RW
0	プロセッサモードビット	b1 b0 00: シングルチップモード 01: 選択しないでください 10: 選択しないでください 11: 選択しないでください	0	RW
1			0	RW
2	スタックページ選択ビット	0: 0ページ 1: 1ページ	0	RW
3	メインクロック選択ビット	0: X _{IN} 入力信号(X _{IN} - X _{OUT} 発振) 1: オンチップオシレータ	1	RW
4	ポートX _c 切り替えビット	0: 発振停止(入出力ポートP6 ₀ , P6 ₁) 1: X _{CIN} - X _{COU} T発振機能	0	RW
5	X _{IN} - X _{OUT} 発振停止ビット	0: 発振 1: 停止	1	RW
6	メインクロック分周比選択ビット	0: f (X _{IN})/2 (高速モード) 1: f (X _{IN})/8 (中速モード)	1	RW
7	内部システムクロック選択ビット	0: メインクロック選択 (中/高速モード、 オンチップオシレータモード) 1: X _{CIN} - X _{COU} T選択 (低速モード)	0	RW

図4.39 CPUモードレジスタの構成

割り込み要求レジスタ1

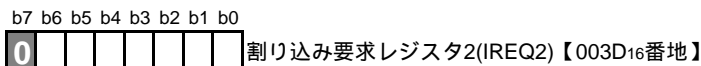


b	ビット名	機 能	リセット時	RW
0	INT ₀ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
1	INT ₁ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
2	INT ₂ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
3	キー入力割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
4	タイマX割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
5	タイマ1割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
6	タイマ2割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
7	タイマ3割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)

注: 各ビットは、プログラムで“0”にできますが、“1”にはできません。

図4.40 割り込み要求レジスタ1の構成

割り込み要求レジスタ2

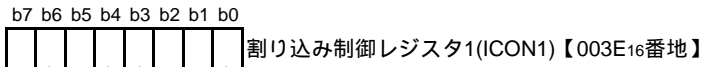


b	ビット名	機 能	リセット時	RW
0	タイマ4割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
1	シリアルI/O1受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
2	シリアルI/O1送信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
3	シリアルI/O2送受信割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
4	CNTR ₀ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
5	タイマY/CNTR ₁ 割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
6	AD変換割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	0	RW (注)
7	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO

注: 各ビットは、プログラムで“0”にできますが、“1”にはできません。

図4.41 割り込み要求レジスタ2の構成

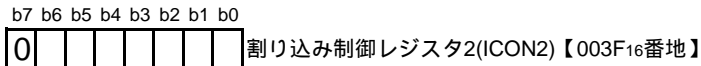
割り込み制御レジスタ1



b	ビット名	機 能	リセット時	RW
0	INT ₀ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
1	INT ₁ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
2	INT ₂ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
3	キー入力割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
4	タイマX割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
5	タイマ1割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
6	タイマ2割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
7	タイマ3割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW

図4.42 割り込み制御レジスタ1の構成

割り込み制御レジスタ2



b	ビット名	機 能	リセット時	RW
0	タイマ4割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
1	シリアルI/O1受信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
2	シリアルI/O1送信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
3	シリアルI/O2送受信割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
4	CNTR ₀ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
5	タイマY/CNTR ₁ 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
6	AD変換割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	0	RW
7	書く場合は"0"を書いてください。		0	RW

図4.43 割り込み制御レジスタ2の構成

LCD表示用RAM

ビット アドレス		7	6	5	4	3	2	1	0	リセット後	RW
						COM ₃	COM ₂	COM ₁	COM ₀		
0840 ₁₆ 番地	LRAM0								SEG ₀	不定	RW
0841 ₁₆ 番地	LRAM1								SEG ₁	不定	RW
0842 ₁₆ 番地	LRAM2								SEG ₂	不定	RW
0843 ₁₆ 番地	LRAM3								SEG ₃	不定	RW
0844 ₁₆ 番地	LRAM4								SEG ₄	不定	RW
0845 ₁₆ 番地	LRAM5								SEG ₅	不定	RW
0846 ₁₆ 番地	LRAM6								SEG ₆	不定	RW
0847 ₁₆ 番地	LRAM7								SEG ₇	不定	RW
0848 ₁₆ 番地	LRAM8								SEG ₈	不定	RW
0849 ₁₆ 番地	LRAM9								SEG ₉	不定	RW
084A ₁₆ 番地	LRAM10								SEG ₁₀	不定	RW
084B ₁₆ 番地	LRAM11								SEG ₁₁	不定	RW
084C ₁₆ 番地	LRAM12								SEG ₁₂	不定	RW
084D ₁₆ 番地	LRAM13								SEG ₁₃	不定	RW
084E ₁₆ 番地	LRAM14								SEG ₁₄	不定	RW
084F ₁₆ 番地	LRAM15								SEG ₁₅	不定	RW
0850 ₁₆ 番地	LRAM16								SEG ₁₆	不定	RW
0851 ₁₆ 番地	LRAM17								SEG ₁₇	不定	RW
0852 ₁₆ 番地	LRAM18								SEG ₁₈	不定	RW
0853 ₁₆ 番地	LRAM19								SEG ₁₉	不定	RW
0854 ₁₆ 番地	LRAM20								SEG ₂₀	不定	RW
0855 ₁₆ 番地	LRAM21								SEG ₂₁	不定	RW
0856 ₁₆ 番地	LRAM22								SEG ₂₂	不定	RW
0857 ₁₆ 番地	LRAM23								SEG ₂₃	不定	RW
0858 ₁₆ 番地	LRAM24								SEG ₂₄	不定	RW
0859 ₁₆ 番地	LRAM25								SEG ₂₅	不定	RW
085A ₁₆ 番地	LRAM26								SEG ₂₆	不定	RW
085B ₁₆ 番地	LRAM27								SEG ₂₇	不定	RW
085C ₁₆ 番地	LRAM28								SEG ₂₈	不定	RW
085D ₁₆ 番地	LRAM29								SEG ₂₉	不定	RW
085E ₁₆ 番地	LRAM30								SEG ₃₀	不定	RW
085F ₁₆ 番地	LRAM31								SEG ₃₁	不定	RW
0860 ₁₆ 番地	LRAM32								SEG ₃₂	不定	RW
0861 ₁₆ 番地	LRAM33								SEG ₃₃	不定	RW
0862 ₁₆ 番地	LRAM34								SEG ₃₄	不定	RW
0863 ₁₆ 番地	LRAM35								SEG ₃₅	不定	RW

未使用
(通常RAM
として使用可能)

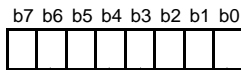
図4.44 LCD表示用RAMの構成(4COM x 36SEG時)

LCD表示用RAM

アドレス		ビット								リセット後	RW
		7	6	5	4	3	2	1	0		
		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0		
0840 ₁₆ 番地	LRAM0	SEG ₀								不定	RW
0841 ₁₆ 番地	LRAM1	SEG ₁								不定	RW
0842 ₁₆ 番地	LRAM2	SEG ₂								不定	RW
0843 ₁₆ 番地	LRAM3	SEG ₃								不定	RW
0844 ₁₆ 番地	LRAM4	SEG ₄								不定	RW
0845 ₁₆ 番地	LRAM5	SEG ₅								不定	RW
0846 ₁₆ 番地	LRAM6	SEG ₆								不定	RW
0847 ₁₆ 番地	LRAM7	SEG ₇								不定	RW
0848 ₁₆ 番地	LRAM8	SEG ₈								不定	RW
0849 ₁₆ 番地	LRAM9	SEG ₉								不定	RW
084A ₁₆ 番地	LRAM10	SEG ₁₀								不定	RW
084B ₁₆ 番地	LRAM11	SEG ₁₁								不定	RW
084C ₁₆ 番地	LRAM12	SEG ₁₂								不定	RW
084D ₁₆ 番地	LRAM13	SEG ₁₃								不定	RW
084E ₁₆ 番地	LRAM14	SEG ₁₄								不定	RW
084F ₁₆ 番地	LRAM15	SEG ₁₅								不定	RW
0850 ₁₆ 番地	LRAM16	SEG ₁₆								不定	RW
0851 ₁₆ 番地	LRAM17	SEG ₁₇								不定	RW
0852 ₁₆ 番地	LRAM18	SEG ₁₈								不定	RW
0853 ₁₆ 番地	LRAM19	SEG ₁₉								不定	RW
0854 ₁₆ 番地	LRAM20	SEG ₂₀								不定	RW
0855 ₁₆ 番地	LRAM21	SEG ₂₁								不定	RW
0856 ₁₆ 番地	LRAM22	SEG ₂₂								不定	RW
0857 ₁₆ 番地	LRAM23	SEG ₂₃								不定	RW
0858 ₁₆ 番地	LRAM24	SEG ₂₄								不定	RW
0859 ₁₆ 番地	LRAM25	SEG ₂₅								不定	RW
085A ₁₆ 番地	LRAM26	SEG ₂₆								不定	RW
085B ₁₆ 番地	LRAM27	SEG ₂₇								不定	RW
085C ₁₆ 番地	LRAM28	SEG ₂₈								不定	RW
085D ₁₆ 番地	LRAM29	SEG ₂₉								不定	RW
085E ₁₆ 番地	LRAM30	SEG ₃₀								不定	RW
085F ₁₆ 番地	LRAM31	SEG ₃₁								不定	RW
0860 ₁₆ 番地	LRAM32	未使用 (通常RAMとして使用可能)								不定	RW
0861 ₁₆ 番地	LRAM33									不定	RW
0862 ₁₆ 番地	LRAM34									不定	RW
0863 ₁₆ 番地	LRAM35									不定	RW

図4.45 LCD表示用RAMの構成(8COM x 32SEG時)

PULLレジスタ1



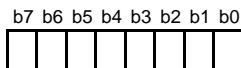
PULLレジスタ1(PULL1)【0FF0₁₆番地】

b	ビット名	機 能	リセット時	RW
0	P5 ₀ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
1	P5 ₁ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
2	P5 ₂ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
3	P5 ₃ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
4	P5 ₄ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
5	P5 ₅ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
6	P5 ₆ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
7	P5 ₇ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW

注. 出力モードのポートはこのビットが無効になり、プルアップ抵抗は接続されません。

図4.46 PULLレジスタ1の構成

PULLレジスタ2



PULLレジスタ2(PULL2)【0FF1₁₆番地】

b	ビット名	機 能	リセット時	RW
0	P6 ₀ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
1	P6 ₁ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
2	P6 ₂ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
3	P6 ₃ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
4	P6 ₄ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
5	P6 ₅ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
6	P6 ₆ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
7	P6 ₇ プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW

注. 出力モードのポートはこのビットが無効になり、プルアップ抵抗は接続されません。

図4.47 PULLレジスタ2の構成

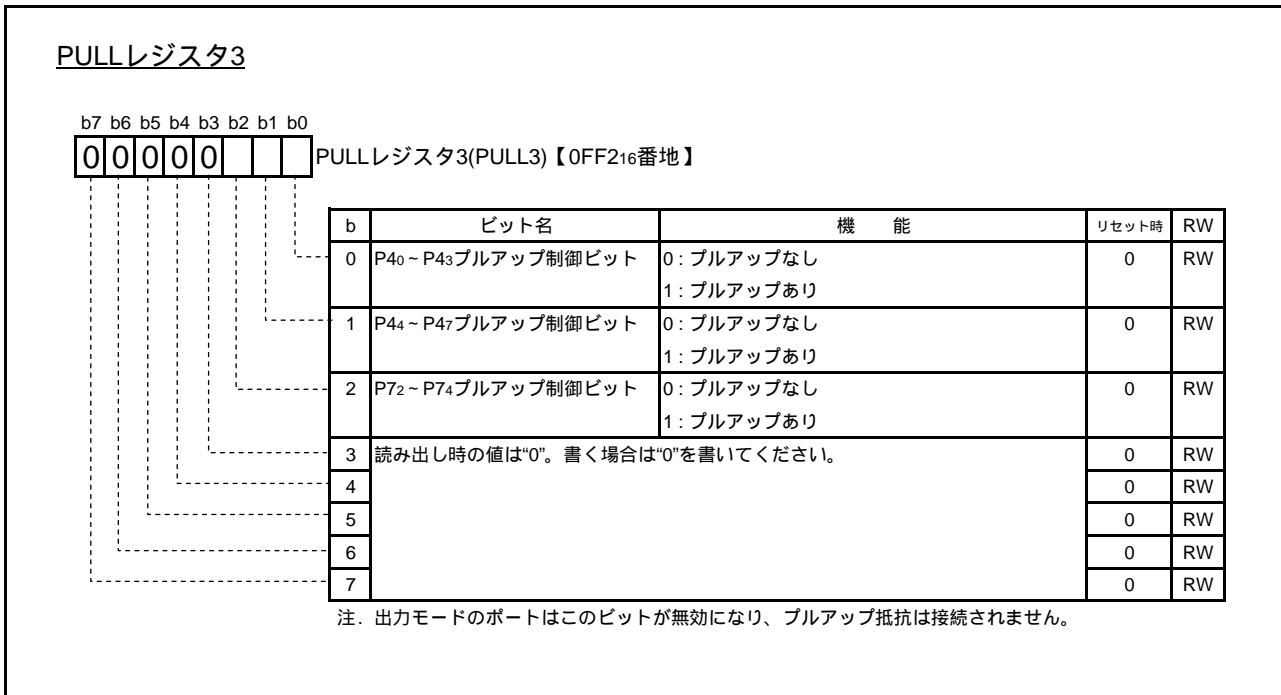


図4.48 PULLレジスタ3の構成

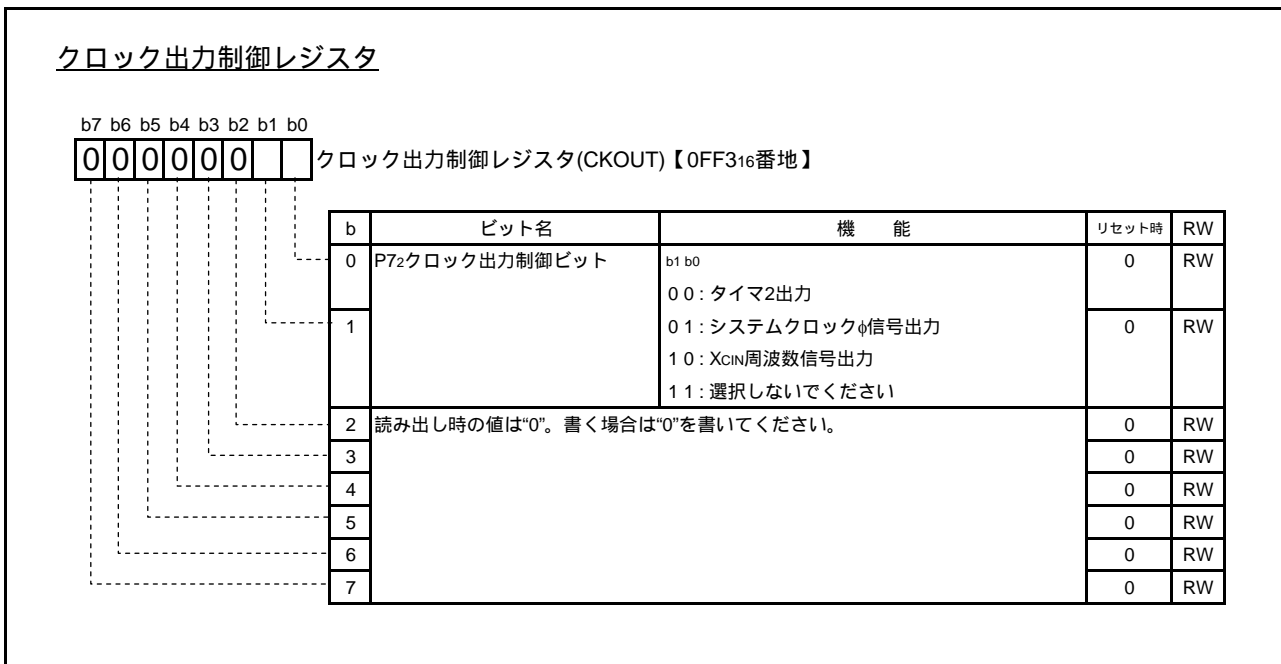
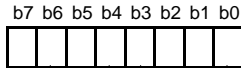


図4.49 クロック出力制御レジスタの構成

ポートP0方向レジスタを出力モードに設定している場合
セグメント出力禁止レジスタ0

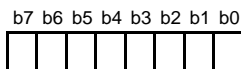


セグメント出力禁止レジスタ0(SEG0)【0FF4₁₆番地】

b	ビット名	機 能	リセット時	RW
0	セグメント出力禁止ビット0	0: セグメント出力 SEG ₈ 1: 出力ポート P0 ₀	1	RW
1	セグメント出力禁止ビット1	0: セグメント出力 SEG ₉ 1: 出力ポート P0 ₁	1	RW
2	セグメント出力禁止ビット2	0: セグメント出力 SEG ₁₀ 1: 出力ポート P0 ₂	1	RW
3	セグメント出力禁止ビット3	0: セグメント出力 SEG ₁₁ 1: 出力ポート P0 ₃	1	RW
4	セグメント出力禁止ビット4	0: セグメント出力 SEG ₁₂ 1: 出力ポート P0 ₄	1	RW
5	セグメント出力禁止ビット5	0: セグメント出力 SEG ₁₃ 1: 出力ポート P0 ₅	1	RW
6	セグメント出力禁止ビット6	0: セグメント出力 SEG ₁₄ 1: 出力ポート P0 ₆	1	RW
7	セグメント出力禁止ビット7	0: セグメント出力 SEG ₁₅ 1: 出力ポート P0 ₇	1	RW

図4.50 セグメント出力禁止レジスタ0の構成

ポートP2方向レジスタを出力モードに設定している場合
セグメント出力禁止レジスタ1



セグメント出力禁止レジスタ1(SEG1)【0FF5₁₆番地】

b	ビット名	機 能	リセット時	RW
0	セグメント出力禁止ビット8	0: セグメント出力 SEG ₀ 1: 出力ポート P2 ₀	1	RW
1	セグメント出力禁止ビット9	0: セグメント出力 SEG ₁ 1: 出力ポート P2 ₁	1	RW
2	セグメント出力禁止ビット10	0: セグメント出力 SEG ₂ 1: 出力ポート P2 ₂	1	RW
3	セグメント出力禁止ビット11	0: セグメント出力 SEG ₃ 1: 出力ポート P2 ₃	1	RW
4	セグメント出力禁止ビット12	0: セグメント出力 SEG ₄ 1: 出力ポート P2 ₄	1	RW
5	セグメント出力禁止ビット13	0: セグメント出力 SEG ₅ 1: 出力ポート P2 ₅	1	RW
6	セグメント出力禁止ビット14	0: セグメント出力 SEG ₆ 1: 出力ポート P2 ₆	1	RW
7	セグメント出力禁止ビット15	0: セグメント出力 SEG ₇ 1: 出力ポート P2 ₇	1	RW

図4.51 セグメント出力禁止レジスタ1の構成

ポートP1,3方向レジスタを出力モードに設定している場合
セグメント出力禁止レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0

0	0	0	0				
---	---	---	---	--	--	--	--

 セグメント出力禁止レジスタ2(SEG2)【0FF6₁₆番地】

b	ビット名	機能	リセット時	RW
0	セグメント出力禁止ビット16	0: セグメント出力 SEG16 ~ SEG19 1: 出力ポート P10 ~ P13	1	RW
1	セグメント出力禁止ビット17	0: セグメント出力 SEG20 ~ SEG23 1: 出力ポート P14 ~ P17	1	RW
2	セグメント出力禁止ビット18	0: セグメント出力 SEG24 ~ SEG27 1: 出力ポート P30 ~ P33	1	RW
3	セグメント出力禁止ビット19	0: セグメント出力 SEG28 ~ SEG31 1: 出力ポート P34 ~ P37	1	RW
4	書く場合は"0"を書いてください。		0	RW
5			0	RW
6			0	RW
7			0	RW

図4.52 セグメント出力禁止レジスタ2の構成

ポートPi(i=0,1)方向レジスタを入力モードに設定している場合
セグメント出力禁止レジスタi(i=0,1)

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

 セグメント出力禁止レジスタi(SEGi)(i=0,1)【0FF4₁₆,0FF5₁₆番地】

b	ビット名	機能	リセット時	RW
0	ポートPi ₀ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
1	ポートPi ₁ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
2	ポートPi ₂ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
3	ポートPi ₃ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
4	ポートPi ₄ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
5	ポートPi ₅ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
6	ポートPi ₆ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
7	ポートPi ₇ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW

注: 出力モードのポートはプルアップ抵抗は接続されません。

図4.53 セグメント出力禁止レジスタiの構成(i=0,1)

ポートP1,3方向レジスタを入力モードに設定している場合
セグメント出力禁止レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0
0 0 0 0

セグメント出力禁止レジスタ2(SEG2)【0FF6₁₆番地】

b	ビット名	機 能	リセット時	RW
0	ポートP10～P13 プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
1	ポートP14～P17プルアップ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
2	ポートP30～P33プルアップ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
3	ポートP34～P37プルアップ プルアップ制御	0: プルアップなし 1: プルアップあり	1	RW
4	書く場合は“0”を書いてください。		0	RW
5			0	RW
6			0	RW
7			0	RW

注. 出力モードのポートはプルアップ抵抗は接続されません。

図4.54 セグメント出力禁止レジスタ2の構成

キー入力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

キー入力制御レジスタ(KIC)【0FF7₁₆番地】

b	ビット名	機 能	リセット時	RW
0	P44キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
1	P45キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
2	P46キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
3	P47キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
4	P20キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
5	P21キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
6	P22キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW
7	P23キー入力制御ビット	0: キー入力割り込み禁止 1: キー入力割り込み許可	0	RW

図4.55 キー入力制御レジスタの構成

5. 参考ドキュメント

データシート
38C5グループデータシート

最新版をルネサス テクノロジ ホームページから入手してください。

6. ホームページとサポート窓口

ルネサス テクノロジ ホームページ
<http://www.renesas.com/jpn/products/mpumcu/index.html>

ルネサス製品全般に関するお問合せ先
カスタマ・サポート・センター：csc@renesas.com

アプリケーションノートに関する技術的なお問合せ先
740ファミリMCU技術サポート窓口：support_apl@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.10.15	-	初版発行

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。