

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# M16C/80グループ

## DMAを用いたブロック転送例

### 1.0 要約

転送先のアドレスと転送元のアドレスを共に変えて、メモリからメモリへDMA転送を行います。

このDMA転送は、2チャンネルのDMAに同時に転送要求が発生すると優先順位の高いDMAの転送を優先するという仕様を利用したものです。

使用する周辺機能は次のとおりです。

- タイマAのタイマモード
- DMAC 2チャンネル
- テンポラリRAM(0800<sub>16</sub>番地) 1バイト

### 2.0 はじめに

- 仕様
- (1) FFA000<sub>16</sub>番地から128バイトのメモリの内容をC00<sub>16</sub>番地から128バイトの領域へ転送します。転送は、タイマA0の割り込み要求が発生するたびに1データ(1バイト)行います。
  - (2) DMA0を転送元から内蔵メモリへの転送、DMA1を内蔵メモリから転送先への転送で使用します。

- 動作
- (1) タイマAの割り込み要求が発生します。DMA0の転送要求とDMA1の転送要求が同時に発生しますが、DMA0が優先して実行されます。
  - (2) 転送要求を受けてDMA0が転送元から内蔵メモリへ転送します。同時に、転送元アドレスがインクリメントします。
  - (3) 次にDMA1が転送要求を受けて内蔵メモリから転送先へ転送します。同時に、転送先アドレスがインクリメントします。

図1に動作タイミングを示します。

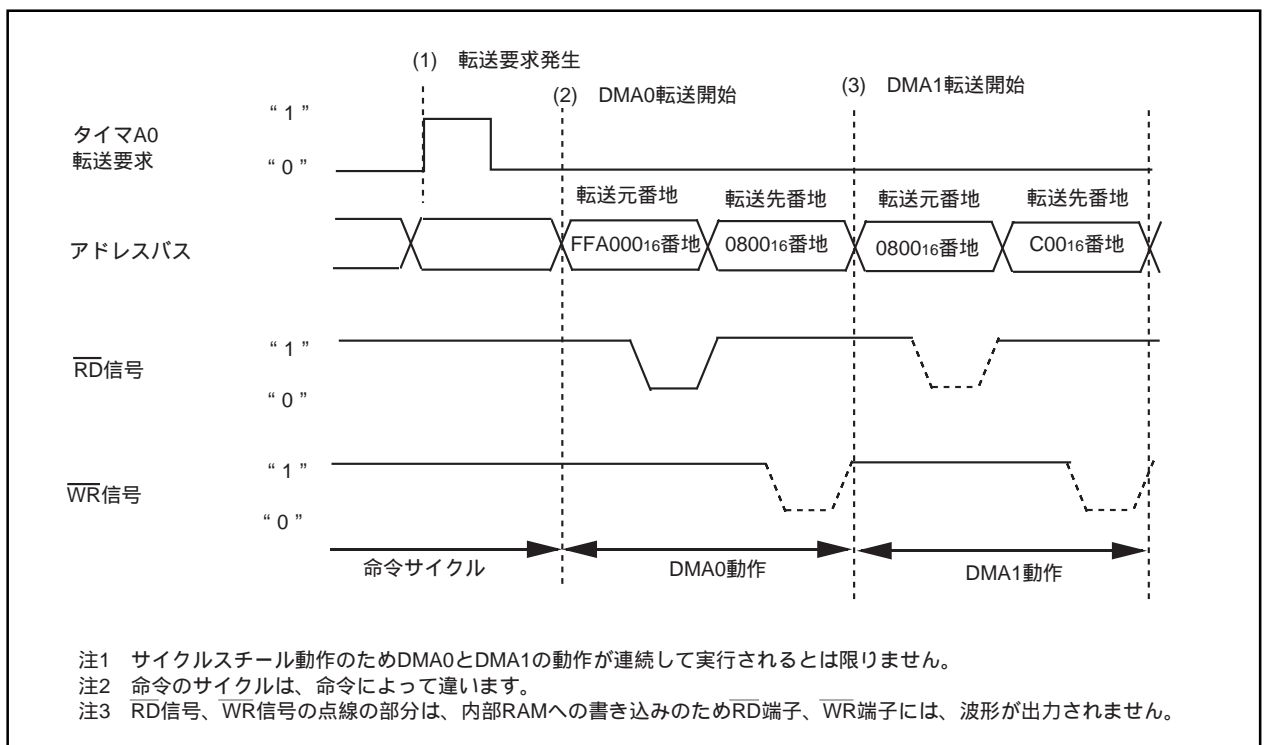


図1 DMAを用いたブロック転送の動作タイミング

図2にブロック図を示します。

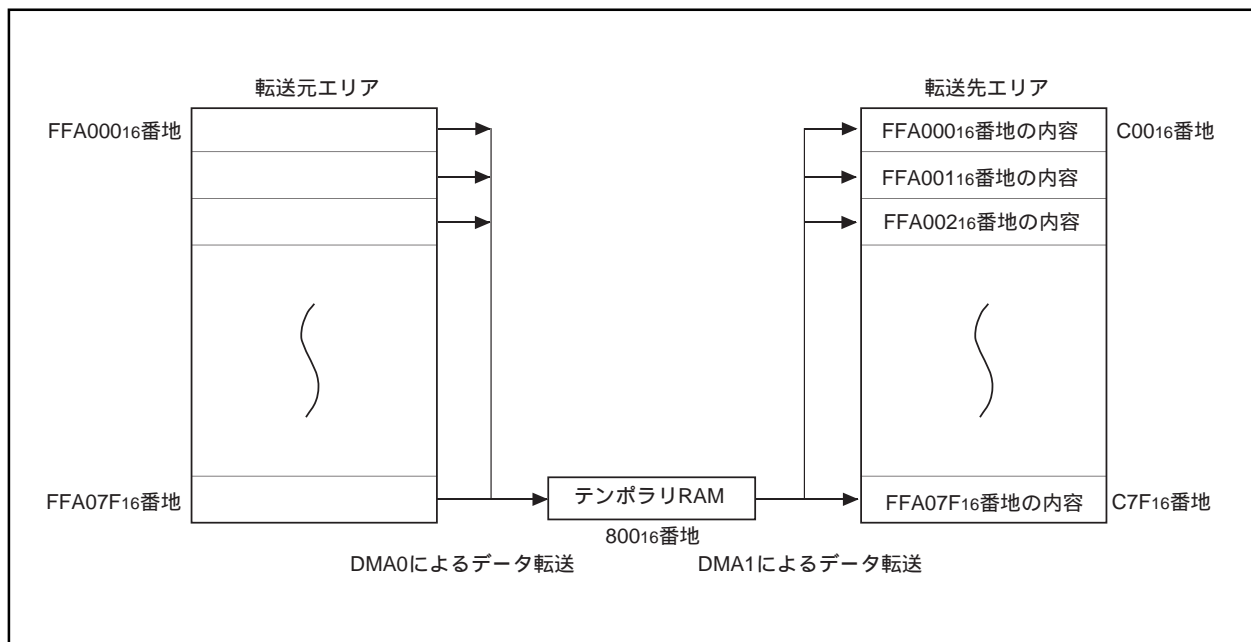


図2 DMAを用いたブロック転送のブロック図

3.0 設定手順

タイマA0の初期設定

タイマA0モードレジスタ TA0MR 【0356<sub>16</sub>番地】  
 0 0 : タイマモードを選択  
 ゲート機能選択ビット  
 b4 b3 : 0 0 : ゲート機能なし (TA0in端子は通常のポート端子)  
 タイマモードでは "0" を設定してください  
 カウントソース選択ビット  
 b7 b6 : 0 0 : f<sub>1</sub>

タイマA0レジスタ TA0 【0347,0346<sub>16</sub>番地】

b7	b6	カウントソース	カウントソースの周期
0	0	f <sub>1</sub>	50ns
0	1	f <sub>8</sub>	400ns
1	0	f <sub>32</sub>	1.6 μs
1	1	f <sub>C32</sub>	976.56 μs

DMA0の初期設定

DMA0要因選択レジスタ DM0SL 【0378<sub>16</sub>番地】  
 DMA要求要因選択ビット  
 0 0 0 1 1 : タイマA0  
 ソフトウェアDMA要求ビット  
 0 : ソフトウェアトリガは発生させない  
 DMA要求ビット  
 "1" を設定してください

b23	b16b15	b8 b7	b0	DMA0メモリアドレスレジスタ	DMA0	【CPU内部レジスタ】
FF16	A016	0016				
b7	b0 b7	b0		DMA0メモリアドレスリロードレジスタ	DRA0	【CPU内部レジスタ】
FF16	A016	0016				
b23	b16b15	b8 b7	b0	DMA0SFRアドレスレジスタ	DSA0	【CPU内部レジスタ】
0016	0816	0016				
b15	b8 b7	b0		DMA0転送カウントレジスタ	DCT0	【CPU内部レジスタ】
0016	8016					
b7	b0	b0		DMA0転送カウントリロードレジスタ	DRC0	【CPU内部レジスタ】
0016	8016					

DMA1の初期設定

DMA1要因選択レジスタ DM1SL 【0379<sub>16</sub>番地】  
 DMA要求要因選択ビット  
 0 0 0 1 1 : タイマA0  
 ソフトウェアDMA要求ビット  
 0 : ソフトウェアトリガは発生させない  
 DMA要求ビット  
 "1" を設定してください

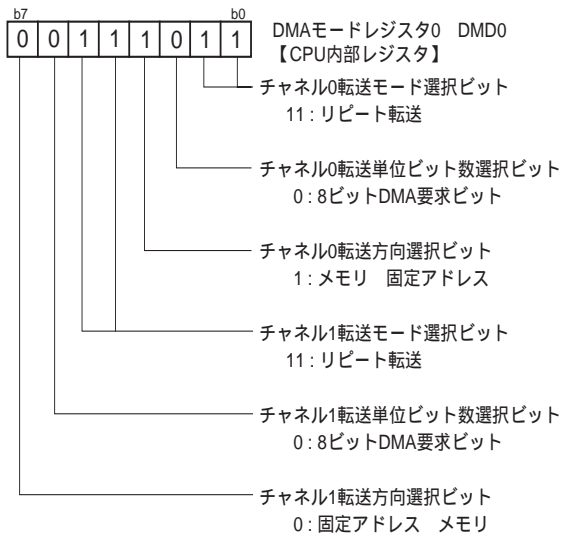
b23	b16b15	b8 b7	b0	DMA1メモリアドレスレジスタ	DMA1	【CPU内部レジスタ】
0016	0C16	0016				
b7	b0 b7	b0		DMA1メモリアドレスリロードレジスタ	DRA1	【CPU内部レジスタ】
0016	0C16	0016				
b23	b16b15	b8 b7	b0	DMA1SFRアドレスレジスタ	DSA1	【CPU内部レジスタ】
0016	0816	0016				
b15	b8 b7	b0		DMA1転送カウントレジスタ	DCT1	【CPU内部レジスタ】
0016	8016					
b7	b0	b0		DMA1転送カウントリロードレジスタ	DRC1	【CPU内部レジスタ】
0016	8016					

次ページへ続く

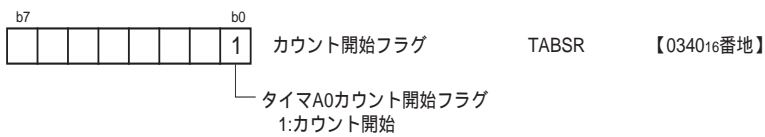
前ページから



### DMAモードレジスタの設定



### カウント開始



4.0 参考プログラム例

```

*****
;
;
; M16C/80 Program Collection
;
; FILE NAME : rjj05b0510_src.a30
; CPU      : M16C/80 Group
; FUNCTION : DMAC Applications
;           (Block transfer by using DMAC)
; HISTORY  : 2004.03.15 Ver 1.00
;
; Copyright(C)2003, Renesas Technology Corp.
; Copyright(C)2003, Renesas Solutions Corp.
; All rights reserved.
;
*****
;
; Include
*****
;
; .LIST      OFF      ;Stops outputting lines to the assembler list file
; .INCLUDE   sfr80100.inc ;Reads the file that defined SFR
; .LIST      ON       ;Starts outputting lines to the assembler list file
;
;
; Symbol definition
*****
RAM_TOP      .EQU    000400H ;Start address of RAM
RAM_END      .EQU    002BFFH ;End address of RAM
ROM_TOP      .EQU    0FFC000H ;Start address of ROM
FIXED_VECT_TOP .EQU    0FFFFDCH ;Start address of fixed vector
;
A_SRC_MEM    .EQU    0FFA000H ;Top address of source area (Block 1)
A_TMP_MEM    .EQU     0800H ;Address of temporary area
A_DST_MEM    .EQU     0C00H ;Top address of destination area
C_CNT_DMA    .EQU     128 ;DMA transfer counter
;
; Allocation of work RAM area
*****
;
; .SECTION   WORKRAM, DATA
; .ORG      RAM_TOP
;
; .ORG      A_TMP_MEM ;Temporary RAM area
v_Tmp_mem: .BLKB 1
;
; .SECTION   DMA_DST, DATA ;Destination area
; .ORG      A_DST_MEM
v_Dst_mem: .BLKB (C_CNT_DMA*1)
;
;
; Program area
*****
;
; =====
; Start up
; =====
;
; .SECTION   PROGRAM, CODE ;Declares section name and section type
; .ORG      ROM_TOP ;Declares start address
RESET:
; LDC      #RAM_END+1, ISP ;Sets initial value in stack pointer

```

```

; Sets Processor mode, System clock and Main clock division
MOV.B #03H, prcr ;Removes protect
MOV.B #10000000B, pm0 ; Single-chip mode
MOV.B #11000000B, pm1 ; Flash memory version
MOV.B #00001000B, cm0 ; Xcin-Xcout High
MOV.B #00100000B, cm1 ; Xin-Xout High
MOV.B #00010010B, mcd ; No division mode
MOV.B #00H, prcr ;Protects all registers
;
;=====
; DMAC (Block transfer by using DMAC)
;=====
; Disable the corresponding channel DMAi (DMA0 & DMA1)
STC dmd0, R0 ;Read DMA mode register
AND.B #11001100B, R0L
;
; || ++-----;Channel 0 transfer mode select bit (00:DMA0 inhibit)
; ++-----;Channel 1 transfer mode select bit (00:DMA1 inhibit)
LDC R0, dmd0 ;Disable DMA0 & DMA1
;
;-----
; Initialization of Timer A0
;-----
; Set up the peripheral used as the source of the DMA transfer
; (Note) At this time, the peripheral should remain disabled.
; Stop Timer A0 counting
BCLR ta0s
; Selecting timer mode and functions
MOV.B #00000000B, ta0mr
;
; |||||++-----;Selection of timer mode
; |||||+-----;This bit is invalid in M16C/80 series
; ||||+-----;Gate function select bit
; ||| (00 or 01:Gate function not available)
; ||+-----;Must always be "0" in timer mode
; ++-----;Count source select bit (00:f1)
; Clearing interrupt request bit and interrupt disabled
MOV.B #00000000B, ta0ic
; Setting divide ratio
MOV.W #04E1FH, ta0 ;(1ms @20MHz, f1)
;

```



```

-----
;
; Initialization of DMA0
;
-----
; Setting DMA0 request cause select register
MOV.B #10000011B, dm0sl
; | !++++-----;DMA request cause select bit (00011:Timer A0)
; | +-----;Software DMA request bit (0:Software trigger is not generated)
; | +-----;DMA request bit (Must write "1" to this bit)
;
; Setting DMA0 memory address register (Setting source memory address)
LDC #(A_SRC_MEM & 0FFFFFFh), dma0 ;DMA0 memory address
LDC #(A_SRC_MEM & 0FFFFFFh), dra0 ;DMA0 memory address reload
; Setting DMA0 SFR address register (Setting destination fixed address)
LDC #(v_Tmp_mem & 0FFFFFFh), dsa0 ;DMA0 SFR address
; Setting DMA0 transfer count register
LDC #(C_CNT_DMA & 0FFFFh), dct0 ;DMA0 transfer count
LDC #(C_CNT_DMA & 0FFFFh), drc0 ;DMA0 transfer count reload
;
;
-----
;
; Initialization of DMA1
;
-----
; Setting DMA1 request cause select register
MOV.B #10000011B, dm1sl
; | !++++-----;DMA request cause select bit (00011:Timer A0)
; | +-----;Software DMA request bit (0:Software trigger is not generated)
; | +-----;DMA request bit (Must write "1" to this bit)
;
; Setting DMA1 memory address register (Setting destination memory address)
LDC #(A_DST_MEM & 0FFFFFFh), dma1 ;DMA1 memory address
LDC #(A_DST_MEM & 0FFFFFFh), dra1 ;DMA1 memory address reload
; Setting DMA1 SFR address register (Setting source fixed address)
LDC #(v_Tmp_mem & 0FFFFFFh), dsa1 ;DMA1 SFR address
; Setting DMA0 transfer count register
LDC #(C_CNT_DMA & 0FFFFh), dct1 ;DMA1 transfer count
LDC #(C_CNT_DMA & 0FFFFh), drc1 ;DMA1 transfer count reload
;
;
; Selecting DMA mode register
OR.B #00111011B, ROL
; |!!!!+-----;Channel 0 transfer mode select bit (11:Repeat transfer)
; |!!!!+-----;Channel 0 transfer unit select bit (0:8bits)
; |!!!!+-----;Channel 0 transfer direction select bit (1:Memory to Fixed address)
; |!!!!+-----;Channel 1 transfer mode select bit (11:Repeat transfer)
; |!+-----;Channel 1 transfer unit select bit (0:8bits)
; |+-----;Channel 1 transfer mode select bit (0:Fixed address to Memory)
;
;
; Enable DMA0 & DMA1
; (Note1)
; At this point, if the number of elapsed cycles are less than 26, add code
; (NOP's or other processing) to make up some time.
; (Note2)
; After writing to the DMAi request cause select register, wait at least 8+6N BCLK cycles
; before enabling DMA.
; Where N is the number of other DMA channels that may generate a DMA request.
LDC R0, dmd0
;
; Setting count start flag
MOV.B #00000001B, tabsr
; +-----;Timer A0 count start flag
MAIN:
JMP MAIN
;

```

```

;=====
;   Dummy interrupt processing program
;=====
dummy:
    REIT

;
; *****
;   DMA source area
; *****
;
    .SECTION    SRC_DMA, ROMDATA
    .ORG        A_SRC_MEM
; DMA transmission data
    .BYTE 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h
    .BYTE 09h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh, 10h
    .BYTE 11h, 12h, 13h, 14h, 15h, 16h, 17h, 18h
    .BYTE 19h, 1Ah, 1Bh, 1Ch, 1Dh, 1Eh, 1Fh, 20h
    .BYTE 21h, 22h, 23h, 24h, 25h, 26h, 27h, 28h
    .BYTE 29h, 2Ah, 2Bh, 2Ch, 2Dh, 2Eh, 2Fh, 30h
    .BYTE 31h, 32h, 33h, 34h, 35h, 36h, 37h, 38h
    .BYTE 39h, 3Ah, 3Bh, 3Ch, 3Dh, 3Eh, 3Fh, 40h
    .BYTE 41h, 42h, 43h, 44h, 45h, 46h, 47h, 48h
    .BYTE 49h, 4Ah, 4Bh, 4Ch, 4Dh, 4Eh, 4Fh, 50h
    .BYTE 51h, 52h, 53h, 54h, 55h, 56h, 57h, 58h
    .BYTE 59h, 5Ah, 5Bh, 5Ch, 5Dh, 5Eh, 5Fh, 60h
    .BYTE 61h, 62h, 63h, 64h, 65h, 66h, 67h, 68h
    .BYTE 69h, 6Ah, 6Bh, 6Ch, 6Dh, 6Eh, 6Fh, 70h
    .BYTE 71h, 72h, 73h, 74h, 75h, 76h, 77h, 78h
    .BYTE 79h, 7Ah, 7Bh, 7Ch, 7Dh, 7Eh, 7Fh, 80h

;
; *****
;   Setting of fixed vector
; *****
;
    .SECTION    F_VECT, ROMDATA
    .ORG        FIXED_VECT_TOP
;
    .LWORD dummy ;Undefined instruction
    .LWORD dummy ;Overflow
    .LWORD dummy ;BRK instruction execution
    .LWORD dummy ;Address match
    .LWORD dummy ;
    .LWORD dummy ;Watchdog timer
    .LWORD dummy ;
    .LWORD dummy ;NMI
    .LWORD RESET ;Reset
;
    .END

```

## 5.0 参考ドキュメント

### データシート

M16C/80グループデータシート Rev.E3

(最新版をルネサステクノロジホームページから入手してください。)

### テクニカルアップデート/テクニカルニュース

(最新の情報をルネサステクノロジホームページから入手してください。)

## 6.0 ホームページとサポート窓口

### ルネサス テクノロジホームページ

<http://www.renesas.com/jpn/>

### M16CファミリMCU技術サポート窓口

E-mail: [support\\_apl@renesas.com](mailto:support_apl@renesas.com)

安全設計に関するお願い

- ・弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- ・本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
- ・本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- ・本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
- ・本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
- ・本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
- ・本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
- ・本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。