

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

3850Aグループ、R8C/35Aグループ

3850AグループとR8C/35Aグループの相違点

1. 要約

この資料は、3850AグループからR8C/35Aグループへ置き換えを行う際に、相違点を確認するための参考資料です。

各機能の詳細については、データシート、ハードウェアマニュアル、及びソフトウェアマニュアルを参照ください。

2. はじめに

この資料は次のマイコンに適用されます。

:3850Aグループ、R8C/35Aグループ

3. 概要比較

3.1 機能及び仕様の相違点

表3.1～表3.3に3850AグループとR8C/35Aグループの機能及び仕様の相違点を示します。

表3.1 3850AグループとR8C/35Aグループの相違点(1)

	3850Aグループ	R8C/35Aグループ
	QzROM, Mask, Flash	Flash
CPU (中央演算処理装置)	740ファミリコア ・基本命令数:71命令 ・最小命令実行時間: 0.32 μ s (f(XIN)=12.5MHz、高速モード時、 VCC=4.0~5.5V) ・動作モード:シングルチップモード	R8C CPUコア ・基本命令数:89命令 ・最小命令実行時間: 50ns (f(XIN)=20MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=1.8~5.5V) ・乗算器:16ビット×16ビット→32ビット ・積和演算命令: 16ビット×16ビット+32ビット→32ビット ・動作モード:シングルチップモード (アドレス空間:1Mバイト)
対象品種	M38503G4AFP/SP, M38503G4A-XXXFP/SP M38503M2A-XXXFP/SP, M38503M4A-XXXFP/SP M38504M6A-XXXFP/SP, M38507M8A-XXXFP/SP M38507F8AFP/SP	R5F21354ANFP, R5F21355ANFP R5F21356ANFP
パッケージ	PRSP0042GA-B(旧型名42P2R-E) :42Pin SSOP (8.4mm×17.5mm, 0.80mm pitch)	PLQP0052JA-A(旧型名52P6A-A) :52Pin LQFP (10.0mm×10.0mm, 0.65mm pitch)
ROMタイプ: ROM/RAMサイズ	8KB/512B(Mask)、16KB/512B(Mask, QzROM) 24KB/640B(Mask)、32KB/1KB(Mask, Flash)	16KB/1.5KB、24KB/2KB、32KB/2.5KB
電圧検出回路	・なし	・電圧検出3点 (電圧検出0、電圧検出1は 検出レベル選択可能)
パワーオンリセット	なし	あり
プログラマブル 入出力ポート	・CMOS入出力:34、プルアップ抵抗選択可能 ・大電流駆動ポート:8	・入力専用:1 ・CMOS入出力:47、プルアップ抵抗選択可能 ・大電流駆動ポート:47
クロック発生回路	・XIN-XOUT メインクロック(最大8MHz) ・XCIN-XCOUT サブクロック(32kHz) ・高速オンチップオシレータ(約4MHz) ・低速オンチップオシレータ(約250kHz) クロック分周比: 2, 8分周選択	・XIN-XOUT メインクロック(最大20MHz) ・XCIN-XCOUT サブクロック(32kHz) ・低速オンチップオシレータ(約125kHz) ・ウォッチドッグタイマ用低速オンチップオシレータ クロック分周比: 1, 2, 4, 8, 16分周選択
発振停止検出機能	なし	あり (発振停止検出時、割り込み要求発生)
低消費電力モード	・ウェイトモードあり ・ストップモードあり	・ウェイトモードあり (周辺機能クロック停止機能あり) ・ストップモードあり
割り込み	・割り込みベクタ数:14 ・割り込みベクトル番地、及び優先順位は固定	・割り込みベクタ数:69 ・固定ベクタテーブル、及び可変ベクタテーブル ・マスカブル割り込みは割り込み優先レベル による優先順位の変更が可能 (割り込み優先レベル:7レベル)

表3.2 3850AグループとR8C/35Aグループの相違点(2)

	3850Aグループ	R8C/35Aグループ
	QzROM,Mask,Flash	Flash
ウォッチドッグタイマ	・16ビット×1	・14ビット×1(プリスケアラ付) ・リセットスタート機能選択可能 (OFSレジスタのWDTONビット) ・ウォッチドッグタイマ用 低速オンチップオシレータ選択可能
タイマ	<タイマ1>8ビット×1(8ビットプリスケアラ付) ・タイマモード(周期タイマ)	<タイマRA>8ビット×1(8ビットプリスケアラ付) ・タイマモード(周期タイマ) ・パルス出力モード(周期毎のレベル反転出力) ・イベントカウンタモード ・パルス幅測定モード ・パルス周期測定モード
	<タイマ2>8ビット×1(8ビットプリスケアラ付) ・タイマモード(周期タイマ)	<タイマRB>8ビット×1(8ビットプリスケアラ付) ・タイマモード(周期タイマ) ・プログラマブル波形発生モード(PWM出力) ・プログラマブルワンシュット発生モード ・プログラマブルウェイトワンシュット発生モード
	<タイマX>8ビット×1(8ビットプリスケアラ付) ・タイマモード(周期タイマ) ・パルス出力モード(周期毎のレベル反転出力) ・イベントカウンタモード ・パルス幅測定モード	<タイマRC>16ビット×1 ・タイマモード(アウトプットコンペア機能4本) ・タイマモード(インプットキャプチャ機能4本) ・PWMモード(出力3本) ・PWM2モード(出力1本)
	<タイマY>8ビット×1(8ビットプリスケアラ付) ・タイマモード(周期タイマ) ・パルス出力モード(周期毎のレベル反転出力) ・イベントカウンタモード ・パルス幅測定モード	<タイマRD>16ビット×2 ・タイマモード(アウトプットコンペア機能4本)×2 ・タイマモード(インプットキャプチャ機能4本)×2 ・PWMモード(出力3本)×2 ・リセット同期PWMモード ・相補PWMモード ・PWM3モード
	<PWM>8ビット×1 カウントソース: Xin,Xin/2	<タイマRE> ・8ビットカウンタ、及び4ビットカウンタ リアルタイムクロックモード
シリアルインターフェース	2チャンネル(シリアルI/O1、シリアルI/O2) シリアルI/O1: UART又はクロック同期形 シリアルI/O2: クロック同期形	3チャンネル(UART0、UART1、UART2) UART0、1: UART又はクロック同期形 UART2: UART、クロック同期形、I2Cモード、 またはマルチプロセッサ通信機能
A/Dコンバータ	10ビット分解能×9チャンネル 低速モードで使用可能	10ビット分解能×8チャンネル (サンプル&ホールドあり、掃引モードあり)
コンパレータ	-	・コンパレータA: 2回路(電圧監視1、電圧監視2と兼用) ・コンパレータB: 2回路
リセット	・ハードウェアリセット ・ウォッチドッグタイマリセット	・ハードウェアリセット ・パワーオンリセット ・電圧監視0リセット ・ウォッチドッグタイマリセット ・ソフトウェアリセット

表3.2 3850AグループとR8C/35Aグループの相違点(3)

	3850Aグループ	R8C/35Aグループ
	QzROM,Mask,Flash	Flash
コールドスタート/ ウォームスタート 判定機能	なし	あり
リセット要因判別機能	なし	あり (ハードウェアリセット、ソフトウェアリセット、 ウォッチドッグタイマリセットの判別可能)
リセット及びストップ モード復帰時の 動作モード	リセット解除後: メインクロックの8分周クロック ストップモード復帰時: ストップモード直前に使用していたクロック	リセット解除後: 低速オンチップオシレータクロックの 分周なしクロック ストップモード復帰時: ストップモード直前に使用していた クロックの8分周クロック
フラッシュメモリ	<ul style="list-style-type: none"> ・プログラム、イレーズ電圧:VCC=4.5~5.5V ・プログラム、イレーズ回数: 100回(プログラムROM) ・プログラムセキュリティ: ROMコードプロテクト、IDコードチェック ・デバッグ機能: オンボードフラッシュ書換機能 	<ul style="list-style-type: none"> ・プログラム、イレーズ電圧:VCC=2.7~5.5V ・プログラム、イレーズ回数: 1,000回(プログラムROM) ・プログラムセキュリティ: ROMコードプロテクト、IDコードチェック ・デバッグ機能: オンチップデバッグ、オンボードフラッシュ 書き換え機能
機能設定ROM領域		<p>オプション機能選択レジスタ(FFFFh):</p> <ul style="list-style-type: none"> リセット後のWDTの起動/停止選択可能 ROMコードプロテクトの設定可能 電圧検出0レベル、及び有効/無効選択可能 カウントソース保護モード有効/無効選択可能 <p>オプション機能選択レジスタ(FFDBh):</p> <ul style="list-style-type: none"> WDTアンダフロー周期選択可能 WDTタイマリフレッシュ受付周期選択可能
電源電圧	1.8V~5.5V	1.8V~5.5V
消費電流	<p>標準6.0mA (VCC=5V、f(XIN)=12.5MHz、高速モード)</p> <p>標準2.0mA (VCC=5V、f(XIN)=8MHz、中速モード)</p> <p>標準10μA (VCC=3V、低速モード WIT命令実行時 (f(XCIN)=32.768kHz))</p> <p>標準0.1μA (VCC=5V、ストップモード、Ta=25°C)</p>	<p>標準6.5mA (VCC=5V、f(XIN)=20MHz)</p> <p>標準3.5mA (VCC=3V、f(XIN)=10MHz)</p> <p>標準3.5μA (VCC=3V、ウェイトモード (f(XCIN)=32.768kHz))</p> <p>標準2.0μA (VCC=5V、ストップモード、Ta=25°C)</p>
動作周囲温度	-20~85°C	-20~85°C(Nバージョン) -40~85°C(Dバージョン)

※上表は、相違点を示したものであり、すべての仕様や規格を示しているものではありません。
詳細仕様及び電気的特性を必ずデータシート、もしくはハードウェアマニュアルでご確認ください。

3.2 ピン配置比較

図3.1に3850Aグループピン配置図、図3.2にR8C/35Aグループピン配置図を示します。

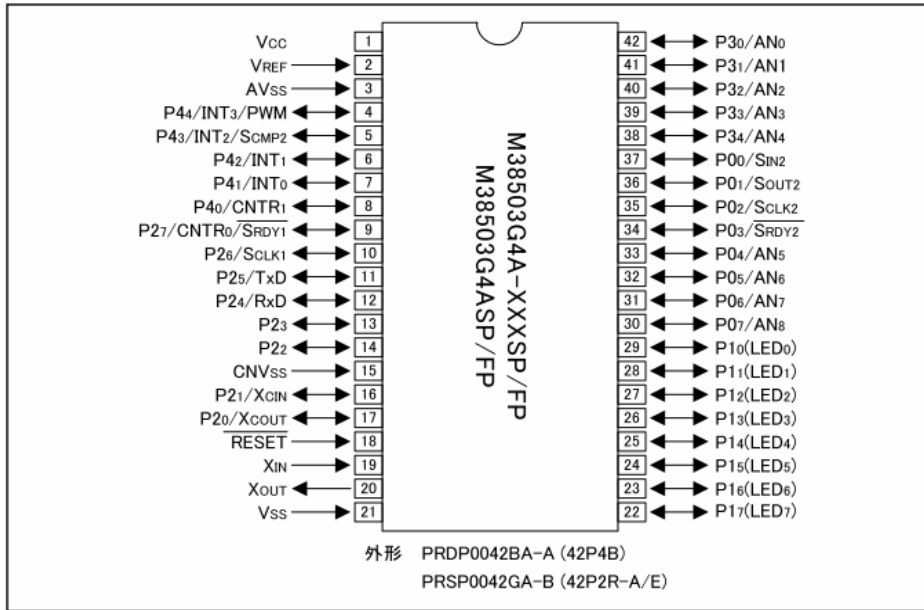


図3.1 3850Aグループピン配置図

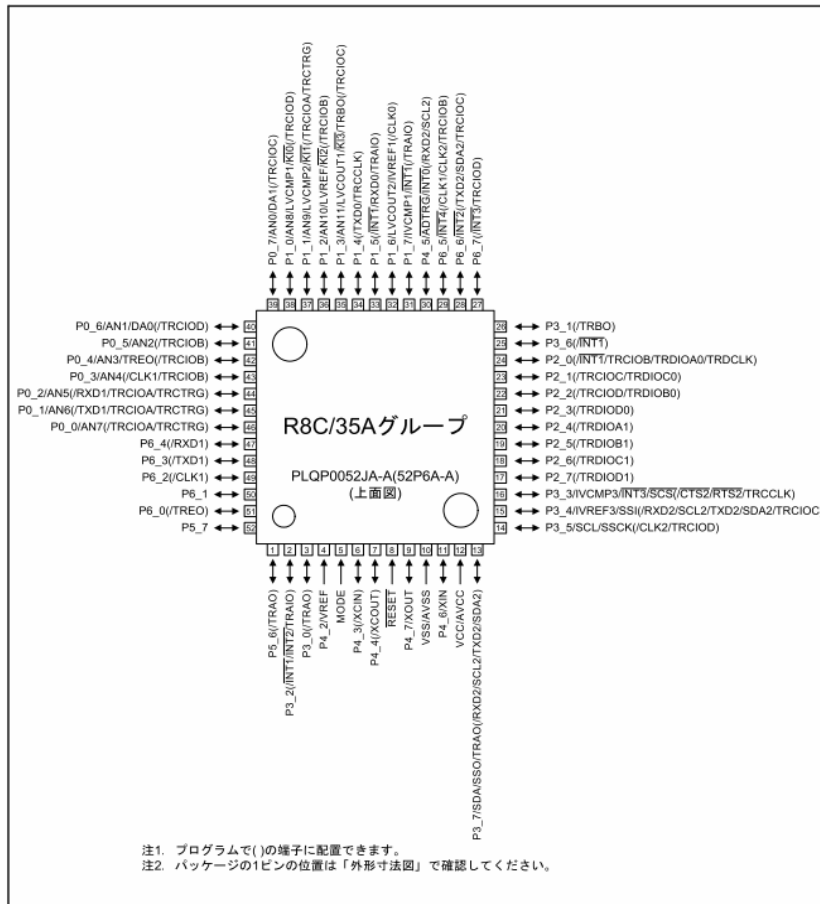


図3.2 R8C/35Aグループピン配置図

3.3 メモリ配置比較

図3.3に3850Aグループのメモリ配置図、図3.4にR8C/35Aグループのメモリ配置図を示します。

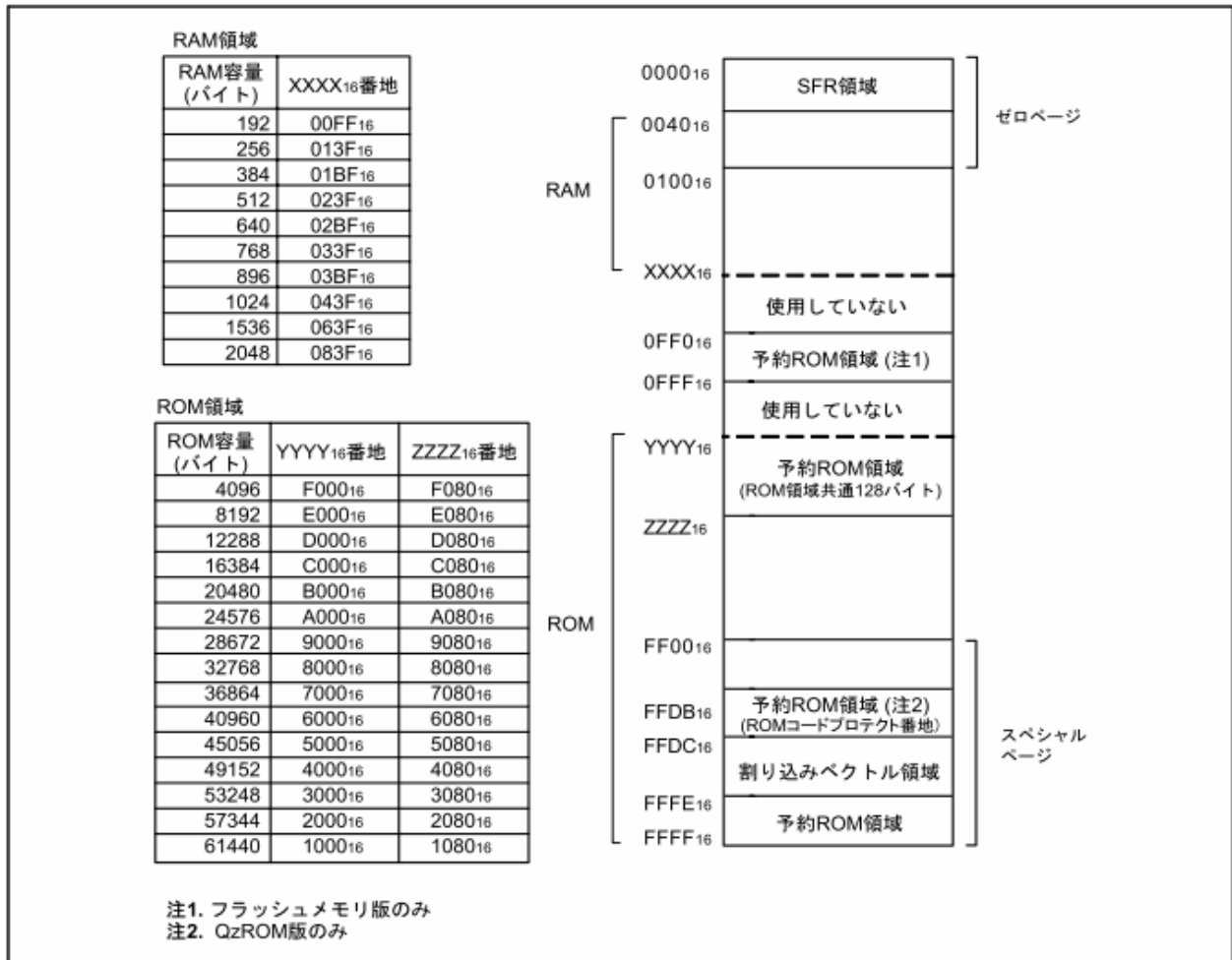


図3.3 3850Aグループのメモリ配置図

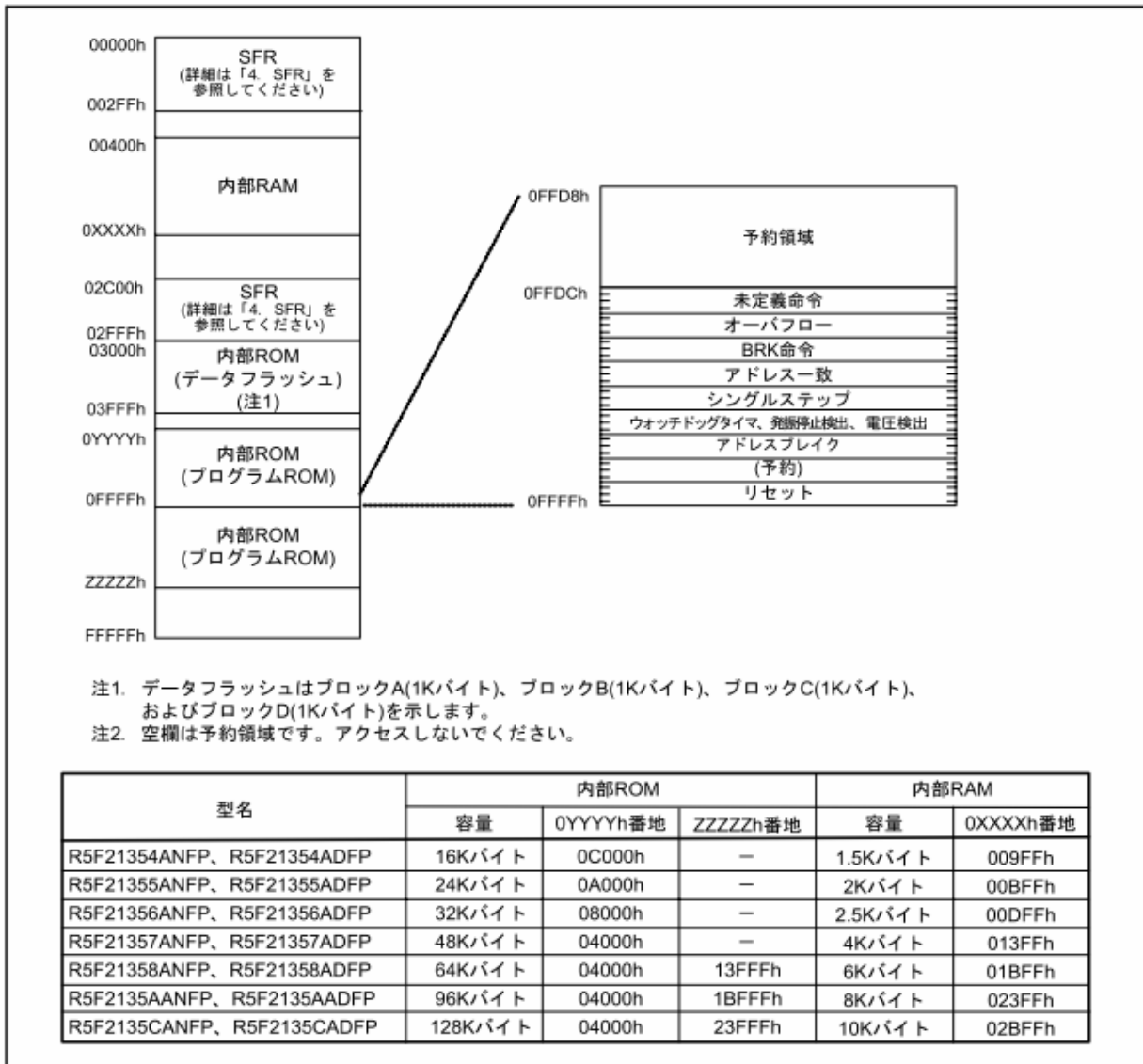


図3.4 R8C/35Aグループのメモリ配置図

3.4 割り込みの相違点

表3.4に3850AグループとR8C/35Aグループの割り込みの相違点を示します。

また、表3.5に3850Aグループの固定ベクタテーブル、表3.6にR8C/35Aの固定ベクタテーブル、表3.7にR8C/35Aの可変ベクタテーブルを示します。

表3.4 3850AグループとR8C/35Aグループの割り込みの相違点

	3850Aグループ	R8C/35Aグループ
割り込みベクタ数	14 (外部6要因、内部8要因、ソフトウェア1要因)	69 (外部割り込み入力:9 (INT×5、キー入力×4))
割り込みベクタテーブル	固定ベクタテーブル (1ベクタは2バイト)	固定ベクタテーブル、及び可変ベクタテーブル (1ベクタは4バイト)
割り込み優先レベル	固定	マスカブル割り込み:変更可能 (優先レベル選択ビット(ILVL2~ILVL0)により任意に設定可能) ノンマスカブル割り込み:固定
割り込み要求受付条件	・割り込み禁止フラグ(Iフラグ)・・・"0" ・割り込み要求ビット・・・"1" ・割り込み許可ビット・・・"1"	・割り込み許可フラグ(Iフラグ)・・・"1" ・割り込み要求ビット(IRビット)・・・"1" ・割り込み優先レベル > IPL (IPL:プロセッサ割り込み優先レベル)

表3.5 3850Aグループ固定ベクタテーブル

割り込み要因	優先順位	ベクトル番地(注1)	
		上位	下位
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆
INT0	2	FFFB ₁₆	FFFA ₁₆
予約	3	FFF9 ₁₆	FFF8 ₁₆
INT1	4	FFF7 ₁₆	FFF6 ₁₆
INT2	5	FFF5 ₁₆	FFF4 ₁₆
INT3/シリアルI/O2	6	FFF3 ₁₆	FFF2 ₁₆
予約	7	FFF1 ₁₆	FFF0 ₁₆
タイマX	8	FFEF ₁₆	FFEE ₁₆
タイマY	9	FFED ₁₆	FFEC ₁₆
タイマ1	10	FFEB ₁₆	FFEA ₁₆
タイマ2	11	FFE9 ₁₆	FFE8 ₁₆
シリアルI/O1受信	12	FFE7 ₁₆	FFE6 ₁₆
シリアルI/O1送信	13	FFE5 ₁₆	FFE4 ₁₆
CNTR0	14	FFE3 ₁₆	FFE2 ₁₆
CNTR1	15	FFE1 ₁₆	FFE0 ₁₆
A/D変換	16	FFDF ₁₆	FFDE ₁₆
BRK命令	17	FFDD ₁₆	FFDC ₁₆

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

注2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

表3.6 R8C/35Aグループ固定ベクタテーブル

割り込み要因	ベクトル番地(注1)
	番地(L)~番地(H)
未定義命令	0FFDCh~0FFDFh
オーバフロー	0FFE0h~0FFE3h
BRK命令	0FFE4h~0FFE7h
アドレス一致	0FFE8h~0FFEBh
シングルステップ(注1)	0FFECCh~0FFEFh
ウォッチドッグタイマ 発信停止検出 電圧監視1/コンパラレータA1 電圧監視2/コンパラレータA	0FFF0h~0FFF3h
アドレスブレイク(注1) (予約)	0FFF4h~0FFF7h 0FFF8h~0FFFBh
リセット	0FFFCh~0FFFFh

注1. 開発ツール専用の割り込みですので、
使用しないでください。

表11.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L)~番地(H)	ソフトウェア 割り込み番号
BRK命令(注2)	+0~+3(0000h~0003h)	0
フラッシュメモリエディ	+4~+7(0004h~0007h)	1
(予約)		2~5
INT4	+24~+27(0018h~001BFh)	6
タイマRC	+28~+31(001Ch~001Fh)	7
タイマRD0	+32~+35(0020h~0023h)	8
タイマRD1	+36~+39(0024h~0027h)	9
タイマRE	+40~+43(0028h~002Bh)	10
UART2送信/NACK2	+44~+47(002Ch~002Fh)	11
UART2受信/ACK2	+48~+51(0030h~0033h)	12
キー入力	+52~+55(0034h~0037h)	13
A/D変換	+56~+59(0038h~003Bh)	14
シンクロナスシリアルコミュニ ケーションユニット/I2Cバスイ ンタフェース(注2)	+60~+63(003Ch~003Fh)	15
(予約)		16
UART0送信	+68~+71(0044h~0047h)	17
UART0受信	+72~+75(0048h~004Bh)	18
UART1送信		19
UART1受信		20
INT2	+84~+87(0054h~0057h)	21
タイマRA	+88~+91(0058h~005Bh)	22
(予約)		23
タイマRB	+96~+99(0060h~0063h)	24
INT1	+100~+103(0064h~0067h)	25
INT3	+104~+107(0068h~006Bh)	26
(予約)		27
(予約)		28
INT0	+116~+119(0074h~0077h)	29
UART2バス衝突検出	+120~+123(0078h~007Bh)	30
(予約)		31
ソフトウェア(注3)	+128~+131(0080h~0083h) +164~+167(00A4h~00A7h)	32~41
(予約)		42~49
電圧監視1/コンパレータA1	+200~+203(00C8h~00CBh)	50
電圧監視2/コンパレータA2	+204~+207(00CCh~00CFh)	51
(予約)		52~55
ソフトウェア(注3)	+224~+227(00E0h~00E3h) +252~+255(00FCh~00FFh)	56~63

注1. INTBLレジスタが示す番地からの相対番地です。

注2. SSUIICSRレジスタのIICSELビットで選択出来ます。

注3. フラグによる禁止はできません。

4. 各機能比較

4.1 リセットの相違点

表4.1に3850AグループとR8C/35Aグループの各リセット名称と要因を示します。

表4.1 リセット名称と要因

3850Aグループ		R8C/35Aグループ	
リセットの名称	要因	リセット名称	要因
ハードウェアリセット	RESET端子の入力電圧が"L"	ハードウェアリセット	RESET端子の入力電圧が"L"
		パワーオンリセット	VCCの上昇 (RESET端子は抵抗を介してVCCへ接続(プルアップ)、必ず電圧監視0リセットを有効(OFSレジスタのLVDASビットを"0")にする必要あり)
		電圧監視0リセット	VCCの下降(監視電圧:Vdet0) (OFSレジスタのLVDASビットが"0"の場合)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー(FSROM2レジスタのビット1が"1"の場合)	ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー(PM1レジスタのPM12ビットが"1"の場合)
		ソフトウェアリセット	PM0レジスタのPM03ビットに"1"を書く

4.2 電圧検出回路の相違点

3850Aグループは電圧低下検出回路を内蔵していません。R8C/35Aグループは電圧検出0、電圧検出1、および電圧検出2の3回路を内蔵し、それぞれの回路では、VCC入力電圧の監視を行っています。

また、それぞれの電圧検出回路での監視結果に基づいて、R8C/35Aグループでは、電圧検出0リセット、電圧検出1割り込み、および電圧検出2割り込みを使用出来ます。

ただし、R8C/35Aグループの電圧監視1、電圧監視2は電圧検出回路をコンパレータA1、コンパレータA2と兼用しています。電圧監視1、電圧監視2とコンパレータA1、コンパレータA2はどちらかを選択して使用できます。

表4.2にそれぞれの電圧検出回路の仕様を示します。

表4.2 電圧検出回路の仕様

項目		R8C/35Aグループ		
		電圧検出0	電圧検出1	電圧検出2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	検出電圧	OFSレジスタで4レベルから選択可能	VD1LSレジスタで16レベルから選択可能	VCCまたはLVCMP2 選択時で異なる それぞれの値は固定
	モニタ	-	VW1CレジスタのVW1C3ビットにてVCCがVdet1より高いか低いモニタ可能	VCA1レジスタのVCA13ビットにてVCCがVdet2より高いか低いモニタ可能
電圧検出時の処理	割り込み	-	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクابلまたはマスクابلを選択可	ノンマスクابلまたはマスクابلを選択可
			Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求	Vdet2 > VCC(LVCMP2)、VCC(LVCMP2) > Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	なし	あり 有効/無効切り替え可 サンプリング周期： (fOCO-Sのn分周)×2 n: 1、2、4、8	あり 有効/無効切り替え可 サンプリング周期： (fOCO-Sのn分周)×2 n: 1、2、4、8	

4.3 入出力ポートの相違点

表4.3に3850Aグループの入出力ポートの概要、表4.4にR8C/35Aグループの入出力ポートの概要を示します。

表4.3 3850Aグループの入出力ポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗 (注1)	駆動能力 切り替え	入力レベル 切り替え
P0_0 ~ P0_7	入出力	COMS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を ポート単位で設定	なし	なし
P1_0 ~ P1_7	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を ポート単位で設定	なし	なし
P2_0、P2_1 P2_4 ~ P2_7	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を ポート単位で設定	なし	なし
P2_2、P2_3	入出力	Nchオープン ドレイン出力	入力/出力を 1ビット単位で設定	使用/未使用を ポート単位で設定	なし	なし
P3_0 ~ P3_4 (注2)	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 1ビット単位で設定	なし	なし
P4_0 ~ P4_4 (注2)	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 1ビット単位で設定	なし	なし

注1.内部プルアップ抵抗はポートの方向レジスタが入力に設定されているときのみ有効です。

出力に設定されているときは“プルアップあり”に設定してもポートはプルアップされません。

注2.ポートP3及びP4のビット5 ~ 7を読み出した場合、その内容は不定となります。

表4.4 R8C/35Aグループの入出力ポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗 (注2)	駆動能力 切り替え(注3)	入力レベル 切り替え(注1)
P0、P3、P6	入出力	COMS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 4ビット単位で設定	駆動能力の強/弱を 4ビット単位で設定	入力のしきい値を 8ビット単位で設定
P1、P2	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 4ビット単位で設定	駆動能力の強/弱を 1ビット単位で設定	入力のしきい値を 8ビット単位で設定
P4_3(注4)	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 1ビット単位で設定	駆動能力の強/弱を 1ビット単位で設定	入力のしきい値を 6ビット単位で設定
P4_4(注4)、P4_5 P4_6(注5)、 P4_7(注5)	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 4ビット単位で設定	駆動能力の強/弱を 4ビット単位で設定	
P4_2(注6)	入力	(出力機能 なし)	なし	なし	なし	
P5_6、P5_7	入出力	CMOS3 ステート	入力/出力を 1ビット単位で設定	使用/未使用を 2ビット単位で設定	駆動能力の強/弱を 2ビット単位で設定	入力のしきい値を 2ビット単位で設定

注1.入力のしきい値を3種類の電圧レベル(0.35VCC、0.50VCC、0.70VCC)から選択できます。

注2.P4_6、P4_7はXINクロック発振回路およびXCINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注3.A/Dコンバータを使用しない場合、入力専用ポートとして使用できます。

注4.XCINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注5.XINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注6.A/DコンバータおよびD/Aコンバータを使用しない場合、入力専用ポートとして使用できます。

4.4 クロック発生回路の相違点

表4.5に3850Aグループ、表4.6にR8C/35Aグループのクロック発生回路の概略仕様を示します。

表4.5 3850Aグループのクロック発生回路の概略仕様

項目	XINクロック 発振回路	XCINクロック 発振回路
用途	・内部クロック ・周辺機能のクロック源	・内部クロック ・周辺機能のクロック源
クロック周波数	0~12.5MHz	32.768kHz
接続できる発振子	・セラミック共振子 ・水晶発振子	・水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の開始と停止	あり	あり
リセット後の状態	発振	停止
その他	・外部クロック入力 可能 (注2) ・帰還抵抗内蔵	

注2.P2_0/XOUT 端子にクロック発生源を接続します。この場合、P2_1/XIN端子はI/Oポートとして使用できます。

表4.6 R8C/3GDグループのクロック発生回路の概略仕様

項目	XINクロック 発振回路	XCINクロック 発振回路	オンチップオシレータ	ウォッチドッグタイマ	
			低速オンチップ オシレータ	用低速オンチップ オシレータ	
用途	・CPUのクロック源 ・周辺機能の クロック源	・CPUのクロック源 ・周辺機能の クロック源	・CPUのクロック源 ・周辺機能の クロック源 ・XINクロック発振 停止時のCPU、 周辺機能の クロック源	・ウォッチドッグ タイマのクロック源	
クロック周波数	0~20MHz	32.768kHz	約125kHz	約125kHz	
接続できる発振子	・セラミック共振子 ・水晶発振子	・水晶発振子	-	-	
発振子の接続端子	XIN、XOUT(注1)	XCIN、XCOUT(注2)	-(注1)	-	
発振の開始と停止	あり	あり	あり	あり	
リセット後の状態	停止	停止	発振	停止 or 発振	
その他	・外部クロック入力 可能 (注3) ・帰還抵抗内蔵 (接続/非接続 選択可能)	・外部クロック入力 可能 (注4) ・帰還抵抗内蔵 (接続/非接続 選択可能)	-		

注1. XINクロック発振回路を使用せず、XCINクロック発振回路または、オンチップオシレータクロックをCPUクロックに使用する場合にはP4_6、P4_7を入出力ポートとして使うことができます

注2. XCINクロック発振回路を使用せず、XINクロック発振回路または、オンチップオシレータクロックをCPUクロックに使用する場合にはP4_3、P4_4を入出力ポートとして使うことができます

注3. P4_7/XOUT 端子にクロック発生源を接続します。この場合、P4_6/XIN端子は開放としてください。

注4. P4_3/XCIN 端子にクロック発生源を接続します。この場合、P4_4/XCOUT端子は開放としてください。

4.5 発振停止検出機能の相違点

表4.7にR8C/35Aグループの発振停止検出回路の仕様を示します。

表4.7 発振停止検出回路仕様

項目	R8C/35Aグループ
発振停止検出可能クロックと周波数域	$f(XIN) \geq 2\text{MHz}$
発振停止検出機能有効条件	OCD1~OCD0ビットを"11b"にする
発振停止検出時の動作	<ul style="list-style-type: none"> ・発振停止検出割り込み発生 ・次の状態になる <ol style="list-style-type: none"> 1.OCD2=1 (オンチップオシレータクロック選択) 2.OCD3=1 (XINクロック停止) 3.CM14=0 (低速オンチップオシレータ発振)
その他	XINクロックの周波数が2MHz未満の場合、この機能は使用できないため、OCD1~OCD0ビットを"00b"にする必要がある

4.6 ウォッチドッグタイマの相違点

表4.8に3850AグループとR8C/35Aグループのウォッチドッグタイマの仕様を示します。

表4.8 ウォッチドッグタイマ仕様

項目	3850Aグループ	R8C/35Aグループ	
		カウントソース保護モード無効時	カウントソース保護モード有効時
構成	ウォッチドッグタイマH: 8ビット ウォッチドッグタイマL: 8ビット から成る16ビットダウンカウンタ	14ビットダウンカウンタ、及びプリスケアラ(分周器: 1/2、1/16、1/128)	
カウントソース	(ウォッチドッグタイマL) 次のいずれかを選択可能 ・メインクロックの16分周 ・サブクロックの16分周 (ウォッチドッグタイマH) 次のいずれかを選択可能 ・ウォッチドッグタイマLの アンダフロー信号 ・ウォッチドッグタイマLのカウント ソースに選択しているクロック	CPUクロック 次のいずれかを選択可能 ・CPUクロックの2分周 ・CPUクロックの16分周 ・CPUクロックの128分周	ウォッチドッグタイマ用 低速オンチップオシレータクロック
カウント開始条件	WDTCNレジスタへの任意データ 書き込みによりカウントを開始	次のいずれかを選択可能 ・リセット後、自動的にカウントを開始 ・WDTSLレジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード	ストップモード、ウェイトモード	-
ウォッチドッグタイマ 初期条件	・リセット ・WDTCNレジスタ への 任意データの書き込み	・リセット ・WDTRレジスタに"00h"、続いて"FFh"を書く(注1) (受付期間の設定あり) ・アンダフロー	
アンダフロー時の 動作	ウォッチドッグタイマリセット	・ウォッチドッグタイマ割り込み ・ウォッチドッグタイマリセット	ウォッチドッグタイマリセット
アンダフロー周期	ウォッチドッグタイマH: "FFh" ウォッチドッグタイマL: "FFh"	次のいずれかを選択可能 ・"03FFh" ・"0FFFh" ・"1FFFh" ・"3FFFh"	

注1.WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

4.7 タイマの相違点

3850グループは8ビットタイマ4本(8ビットプリスケアラ付)。

また、R8C/35Aグループは8ビットプリスケアラ付8ビットタイマを2本と、16ビットタイマを3本と、4ビットカウンタ、8ビットカウンタを持つタイマを1本内蔵しています。

表4.9にそれぞれの8ビットタイマの仕様、表4.10に16ビットタイマ、及び4ビットカウンタと8ビットカウンタを持つタイマの仕様を示します。

表4.9 8ビットタイマの仕様

項目	3850Aグループ		R8C/35Aグループ	
	タイマ1、タイマ2	タイマX、タイマY	タイマRA	タイマRB
構成	8ビットプリスケアラ付 8ビットタイマ (タイマラッチ付)	8ビットプリスケアラ付 8ビットタイマ (タイマラッチ付)	8ビットプリスケアラ付 8ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付 8ビットタイマ (リロードレジスタ付)
カウント	ダウンカウント	ダウンカウント	ダウンカウント	ダウンカウント
カウントソース	・メインクロックの 16分周 ・XCINクロック (注1)	・メインクロックの 2分周 ・メインクロックの16分周 (注3)	f1、f2、f8、fOCO fC32、fC	f1、f2、f8 タイマRAアンダフロー
機能	内部のカウント ソースのカウント	タイマモード	タイマモード	タイマモード
	外部のカウント ソースのカウント	-	イベントカウンタモード	イベントカウンタモード
	外部パルス幅/ 周期測定	-	パルス幅測定 モード	・パルス幅測定モード ・パルス周期測定モード
	PWM出力	-	パルス出力モード (注2)	・パルス出力モード (注2) ・イベントカウンタモード (注2)
	ワンショット波形 出力	-	-	-
	時計	タイマモード (XCIN入カクロック カウントのみ)	-	タイマモード (fC32カウントのみ)
入力端子	-	CNTR0、CNTR1	TRAIO	INT0
出力端子	-	CNTR0、CNTR1	TRAO TRAIO	TRBO
関連する割り込み	タイマ1割り込み タイマ2割り込み	タイマX割り込み タイマY割り込み	タイマRA割り込み	タイマRB割り込み INT0割り込み
タイマ停止	なし	あり	あり	あり

注1.タイマ1、2 はプリスケアラ12 の出力をカウントします。

注2. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

注3.タイマXはプリスケアラXの出力を、タイマYはプリスケアラYの出力をカウントします。

4.8 シリアルインターフェースの相違点

3850Aグループは2チャンネル、R8C/35Aグループは4チャンネル(UART0,1、UART2、SSUorI2Cバス)のシリアルインターフェースを持ちます。

表4.10、表4.11に各シリアルインターフェースのクロック同期形シリアルI/Oモードの仕様を、クロック非同期形シリアルI/Oモード(UARTモード)の仕様を表4.12に示します。

また、R8C/3GDグループのUART2は特殊モード(I2Cモード)、及びマルチプロセッサ機能も持ちます。

表4.10 クロック同期形シリアルI/Oモードの仕様(1)

項目	3850Aグループ		R8C/35Aグループ	
	シリアルI/O1	シリアルI/O2	UART0, 1	UART2
転送データフォーマット	転送データ長: 8ビット		転送データ長: 8ビット	
転送クロック	(内部クロック使用時) • $fi/(4(n+1))$ fi=ΦSOURCE、 ΦSOURCE/4 n=BRGレジスタの設定値 (00h~FFh) (外部クロック使用時) • P2_6/SCLK1端子からの入力	(内部クロック使用時) • $fi/8, fi/16, fi/32, fi/64,$ fi/128, fi/256 fi=Xin, Xcin (外部クロック使用時) • P0_2/SCLK2端子からの入力	(内部クロック使用時) • $fi/(2(n+1))$ fi=f1、f8、f32、fC n=UjBRGレジスタの設定値 (00h~FFh) (j=0~1) (外部クロック使用時) • CLK0端子からの入力	(内部クロック使用時) • $fi/(2(n+1))$ fi=f1、f8、f32、fC n=U2BRGレジスタの設定値 (00h~FFh) (外部クロック使用時) • CLK2端子からの入力
送信開始条件	• TE=1 (送信許可) (注1) • TBE=0 (TBLレジスタにデータあり)	(内部クロック使用時) シリアルI/O2レジスタ書き込みタイミング (外部クロック使用時) 転送クロック入力タイミング	(UiC1レジスタの設定) (注2) • TE=1 (送信許可) • TI=0 (UiTBレジスタにデータあり) (i=0~1)	(U2C1レジスタの設定) (注2) • TE=1 (送信許可) • TI=0 (U2TBLレジスタにデータあり) • CTS2端子の入力"L" (CTS機能選択時)
受信開始条件	• RE=1 (受信許可) (注1) • TE=1 (送信許可) • TBE=0 (TBLレジスタにデータあり)	(内部クロック使用時) シリアルI/O2レジスタ書き込みタイミング (外部クロック使用時) 転送クロック入力タイミング	(UiC1レジスタの設定) (注2) • RE=1 (受信許可) • TE=1 (送信許可) • TI=0 (UiTBレジスタにデータあり) (i=0~1)	(U2C1レジスタの設定) (注2) • RE=1 (受信許可) • TE=1 (送信許可) • TI=0 (U2TBLレジスタにデータあり)
割り込み要求発生タイミング	(送信時、次の何れかを選択) • データ送信開始時 • データ送信完了時 (受信時) • データ受信完了時	任意転送ビットで選択したビット数 (1~8ビット)を転送後	(送信時、次の何れかを選択) • データ送信開始時 • データ送信完了時 (受信時) • データ受信完了時	
エラー検出	オーバーランエラー	—	オーバーランエラー	
選択機能	• P2_7端子機能選択 (SRDY or 入出力ポート) • P2_5 Pチャンネル出力禁止選択	• P0_3端子機能選択 (SRDY or 入出力ポート) • P0_1, P0_2 Pチャンネル出力禁止選択	• CLK極性選択 • 連続受信モード選択 • シリアルデータ論理切り替え (UART2のみ)	

注1. 外部クロックを選択している場合、外部クロックが"H"の状態条件を満たしてください。

注2. 外部クロックを選択している場合、U0C0レジスタのCKPOLビットが"0"(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが"H"の状態、CKPOLビットが"1"(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが"L"の状態条件を満たしてください。

表4.11 クロック同期形シリアルI/Oモードの仕様(2)

項目	R8C/35Aグループ	
	SSU	I2Cバス
転送データフォーマット	転送データ長: 8~16ビット	転送データ長: 8ビット
転送クロック	(内部クロック使用時) ・f1/4, f1/8, f1/16, f1/32, f1/64, f1/128, f1/256 (外部クロック使用時) SSCK端子から入力	(内部クロック使用時) ・f1/28, f1/40, f1/48, f1/56, f1/64, f1/80, f1/96, f1/100, f1/112, f1/128, f1/160, f1/200, f1/224, f1/256 (外部クロック使用時) ・SCL端子から入力
送信開始条件	・TE=1 (送信許可) ・SSTDRLレジスタに 送信データ書き込み	・ICE=1 (転送動作可能状態) ・TRS=1 (送信許可) ・TDRE=1を確認 ・ICDRTに送信データ書き込み
受信開始条件	・RE=1 (受信許可) ・SSRDRLレジスタのダミーリード	・ICE=1 (転送動作可能状態) ・MST=1 (受信可能)
割り込み要求発生 タイミング	(送信時、次の何れかを選択) ・データ送信開始時 ・データ送信完了時 (受信時) ・データ受信完了時	・送信データエンプティ ・送信終了 ・受信データフル ・オーバーランエラー
エラー検出	・オーバーランエラー	・オーバーランエラー

表4.12 UARTモードの仕様

項目	3850Aグループ	R8C/35Aグループ	
	シリアルI/O1	UART0,1	UART2
転送データフォーマット	キャラクタビット: 7、8ビット選択可 スタートビット: 1ビット パリティビット: 偶数、奇数、 無し選択可 ストップビット: 1、2ビット選択可	キャラクタビット: 7、8、9ビット選択可 スタートビット: 1ビット パリティビット: 偶数、奇数、無し選択可 ストップビット: 1、2ビット選択可	
転送クロック	(内部クロック使用時) ・ $f_i/(16(n+1))$ $f_i = \Phi\text{SOURCE}$ 、 $\Phi\text{SOURCE}/4$ $n = \text{BRGLレジスタの設定値}$ (00h~FFh) (外部クロック使用時) ・ $f_{\text{EXT}}/(16(n+1))$ $f_{\text{EXT}} = \text{P0_6/SCLK}$ からの入力 $n = \text{BRGLレジスタの設定値}$ (00h~FFh)	(内部クロック使用時) ・ $f_i/(16(n+1))$ $f_i = f_1$ 、 f_8 、 f_{32} 、 f_C $n = \text{UjBRGLレジスタの設定値}$ (00h~FFh) ($j=0\sim 1$) (外部クロック使用時) ・ $f_{\text{EXT}}/(16(n+1))$ $f_{\text{EXT}} = \text{CLK0}$ 端子からの入力 $n = \text{U0BRGLレジスタの設定値}$ (00h~FFh)	(内部クロック使用時) ・ $f_i/(16(n+1))$ $f_i = f_1$ 、 f_8 、 f_{32} 、 f_C $n = \text{U2BRGLレジスタの設定値}$ (00h~FFh) (外部クロック使用時) ・ $f_{\text{EXT}}/(16(n+1))$ $f_{\text{EXT}} = \text{CLK2}$ 端子からの入力 $n = \text{U2BRGLレジスタの設定値}$ (00h~FFh)
送信開始条件	・TE=1 (送信許可) ・TBE=0 (TBレジスタにデータあり)	(UiC1レジスタの設定) ・TE=1 (送信許可) ・TI=0 (U0TBレジスタにデータあり) ($i=0\sim 1$)	(U2C1レジスタの設定) ・TE=1 (送信許可) ・TI=0 (U2TBレジスタにデータあり) ・CTS2端子の入力"L" (CTS機能選択時)
受信開始条件	・RE=1 (受信許可) ・スタートビットの検出	(UiC1レジスタの設定) ・RE=1 (受信許可) ・スタートビットの検出 ($i=0\sim 1$)	(U2C1レジスタの設定) ・RE=1 (受信許可) ・スタートビットの検出
割り込み要求発生 タイミング	(送信時、次の何れかを選択) ・データ送信開始時 ・データ送信完了時 (受信時) ・データ受信完了時	(送信時、次の何れかを選択) ・データ送信開始時 ・データ送信完了時 (受信時) ・データ受信完了時	
エラー検出	・オーバーランエラー ・フレーミングエラー ・パリティエラー ・サミングエラー	・オーバーランエラー ・フレーミングエラー ・パリティエラー ・エラーサムフラグ	

4.9 A/Dコンバータの相違点

3850Aグループ、R8C/35Aグループ共に10ビット分解能のA/Dコンバータを1回路持ちます。

表4.13に3850Aグループ、R8C/35AグループのA/Dコンバータの仕様を示します。

表4.13 A/Dコンバータの仕様

項目	3850Aグループ	R8C/35Aグループ
A/D変換方式	逐次比較変換方式(容量結合増幅器)	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧	0V~VCC (注1)	0V~AVCC (注1)
動作クロックΦAD	高速モード時: f(Xin)/2(注2) 中速モード時: f(Xin)/8(注2) 低速モード時: 自己発振回路(注2)	fAD、fAD/2、fAD/4、fAD/8 (注3) (fAD=f1 またはfOCO-F)
分解能	8ビットまたは10ビット選択可能	8ビットまたは10ビット選択可能
サンプル&ホールド	なし	あり
絶対精度	Ta=-20~85°C、2.7≤Vcc≤5.5Vの場合、 ±4LSB Ta=-20~85°C、2.2≤Vcc<2.7Vの場合、 ±5LSB	AVCC=Vref=5V、ΦAD=20MHzのとき ・分解能8ビットの場合±2LSB ・分解能10ビットの場合±3LSB AVCC=Vref=3.3V、ΦAD=16MHzのとき ・分解能8ビットの場合±2LSB ・分解能10ビットの場合±5LSB AVCC=Vref=3.0V、ΦAD=10MHzのとき ・分解能8ビットの場合±2LSB ・分解能10ビットの場合±5LSB AVCC=Vref=2.2V、ΦAD=5MHzのとき ・分解能8ビットの場合±2LSB ・分解能10ビットの場合±5LSB
動作モード	単発モード	・単発モード ・繰り返しモード0 ・繰り返しモード1 ・単掃引モード ・繰り返し掃引モード
アナログ入力端子	9本(AN0~AN8)	8本(AN0、AN1、AN5、AN6、AN8~AN11)
A/D変換開始条件	・ソフトウェアトリガ	・ソフトウェアトリガ ・タイマRCからのトリガ ・外部トリガ
1端子あたりの変換速度	高速モード、中速モード ・2tc(Xin) tc=61(最大) 低速モード ・40μs(標準)	ΦAD=fADの場合、 最短43ΦADサイクル

注1.アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2.高速モード、中速モードの場合、f(Xin)を500kHz以上にしてください。

低速モードの場合、内蔵自己発振回路を使用するので、f(Xin)、f(Xcin)の下限周波数の制限はありません。

また、A/D変換中は、ΦADが250kHz以上になるようにΦSOURCEの値を設定してください。

注3.4.0V≤AVCC≤5.5Vのとき、ΦADの周波数を20MHz以下にしてください。

3.2V≤AVCC<4.0Vのとき、ΦADの周波数を16MHz以下にしてください。

3.0V≤AVCC<3.2Vのとき、ΦADの周波数を10MHz以下にしてください。

2.2V≤AVCC<3.0Vのとき、ΦADの周波数を5MHz以下にしてください。

ΦADの周波数は2MHz以上にしてください。

4.10 コンパレータ仕様

R8C/35AグループはコンパレータA、及びコンパレータBを持つ。
 コンパレータA、コンパレータBは共にリファレンス入力電圧と、アナログ入力電圧の比較を行います。
 コンパレータAにはコンパレータA1とコンパレータA2があり、それぞれ独立して動作できます。
 また、コンパレータBにはコンパレータB1とコンパレータB3があり、それぞれ独立して動作できます。
 コンパレータB1とコンパレータB3の動作は同じです。
 表4.14にコンパレータAの仕様、表4.15にコンパレータBの仕様を示します。

表4.14 コンパレータAの仕様

項目	コンパレータA1	コンパレータA2
アナログ入力電圧	LVCMP1端子への入力電圧	LVCMP2端子への入力電圧
リファレンス入力電圧	LVREF端子への入力電圧	
比較対象	上昇または下降してリファレンス入力電圧を通過したか	
比較結果のモニタ	VW1CレジスタのVW1C3ビット	VCA1レジスタのVCA13ビット
	リファレンス入力電圧より高いか低い	
割り込み	コンパレータA1割り込み (ノンマスクابلまたはマスクابل 割り込み選択可)	コンパレータA2割り込み (ノンマスクابلまたはマスクابل 割り込み選択可)
	リファレンス入力電圧 > LVCMP1端子 への入力電圧、LVCMP1端子への 入力電圧 > リファレンス入力電圧の 両方、またはどちらかで割り込み要求	リファレンス入力電圧 > LVCMP1端子 への入力電圧、LVCMP1端子への 入力電圧 > リファレンス入力電圧の 両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替えあり サンプリング時間: (fOCO-Sのn分周)×2 n: 1、2、4、8	
比較結果の出力	LVCOUT1端子から出力 (比較結果をそのまま出力するか、 反転して出力するか選択できる)	LVCOUT2端子から出力 (比較結果をそのまま出力するか、 反転して出力するか選択できる)

表4.15 コンパレータBの仕様

項目	仕様
アナログ入力電圧	IVCMPi端子への入力電圧 i=1、3
リファレンス入力電圧	IVREFi端子への入力電圧 i=1、3
比較対象	リファレンス入力電圧よりアナログ入力電圧が高いか低い
比較結果のモニタ	・リファレンス入力よりアナログ入力の電圧が高い場合、 INTCMPレジスタのINTiCOUTビット="1" i=1、3 ・リファレンス入力よりアナログ入力の電圧が低い場合、 INTCMPレジスタのINTiCOUTビット="0" i=1、3
割り込み	比較結果が変化したとき
デジタルフィルタ	有効/無効切り替えあり サンプリング時間: f1、f8、f32

5. 参考ドキュメント

データシート

3850Aグループ データシート

R8C/35Aグループ ハードウェアマニュアル

(最新版をルネサステクノロジホームページから入手してください。)

テクニカルニュース／テクニカルアップデート

(最新の情報をルネサステクノロジホームページから入手してください。)

ホームページとサポート窓口

ルネサス テクノロジホームページ
<http://japan.renesas.com/>

お問合せ先
<http://japan.renesas.com/inquiry>
csc@renesas.com

改訂記録	3850Aグループ、R8C/35Aグループ 3850AグループとR8C/35Aグループの相違点
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2009. .	-	初版発行

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事事業の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

D039444