

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## 3823グループ レジスタ一覧

### 1. 要約

この資料は3823グループのレジスタについて説明しています。

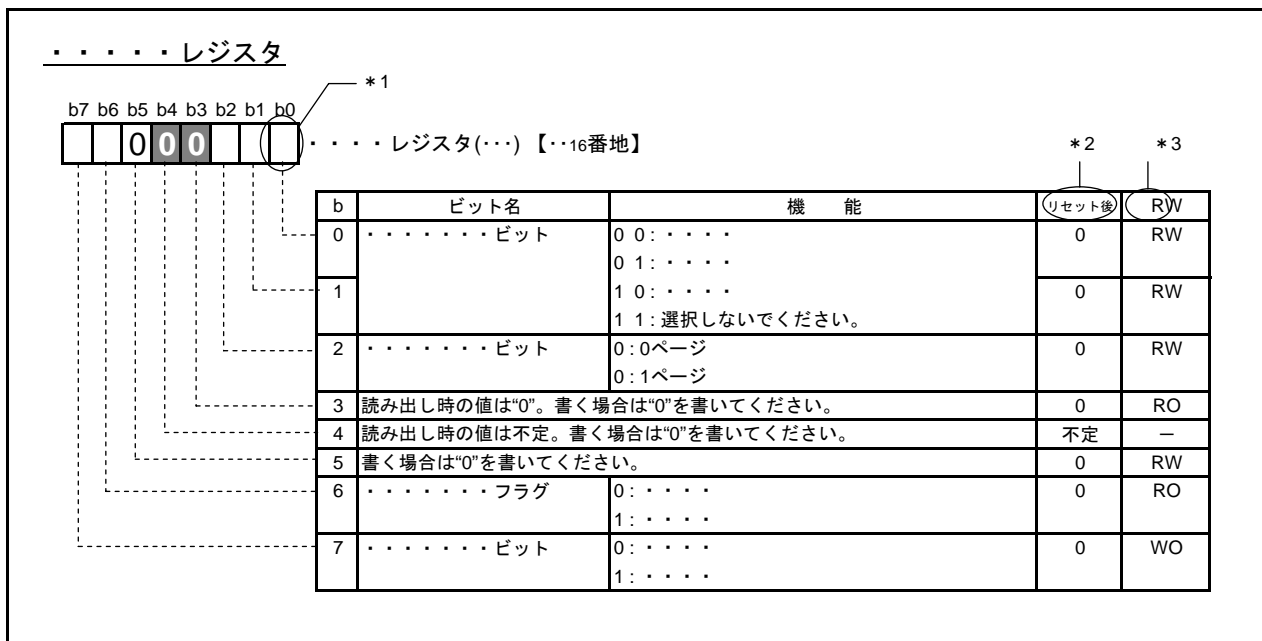
### 2. はじめに

この資料で説明するレジスタは次の条件での利用に適用されます。

- ・マイコン : 3823グループ

### 3. レジスタ構成図

このアプリケーションノートに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。



\* 1

- 空白 : 用途に応じて"0"又は"1"を設定してください。
- 0 : 書く場合は"0"を書いてください。
- 1 : 書く場合は"1"を書いてください。
- x : 特定のモード又は状態で使用しないビット。"0"又は"1"いずれでもよい。
- : 何も配置されていない。

\* 2

- 0 : リセット後"0"になる。
- 1 : リセット後"1"になる。
- 不定 : リセット後、不定になる。

\* 3

- RW : 読み出し可能。書き込み可能。
- RO : 読み出し可能。書く場合の値は、それぞれのビットに依存します。
- WO : 書き込み可能。読み出し時の値は不定。

- : 読み出し時の値は不定。書く場合の値は、それぞれのビットに依存します。

4. レジスタの説明

**ポートPiレジスタ**

ポートPiレジスタ (Pi) (i=0~2,5,6)  
【000016,000216,000416,000A16,000C16番地】

b	ビット名	機能	リセット後	RW
0	ポートPi0	●出力モード時	不定	RW
1	ポートPi1	書き込み：ポートラッチ	不定	RW
2	ポートPi2	読み出し：ポートラッチ、又は周辺機能の出力(注)	不定	RW
3	ポートPi3	●入力モード時	不定	RW
4	ポートPi4	書き込み：ポートラッチ	不定	RW
5	ポートPi5	読み出し：端子の値	不定	RW
6	ポートPi6		不定	RW
7	ポートPi7		不定	RW

注. 次のポートは、兼用の出力機能を選択している場合、その出力値を読みます。  
P52/RTP0、P53/RTP1、P54/CNTR0、P56/Tout

図4.1 ポートPiレジスタの構成(i=0~2,5~6)

**ポートPi方向レジスタ**

ポートPi方向レジスタ (PiD) (i=2,5,6)  
【000516,000B16,000D16番地】

b	ビット名	機能	リセット後	RW
0	ポートPi0方向レジスタ	0：入力モード 1：出力モード	0	WO
1	ポートPi1方向レジスタ	0：入力モード 1：出力モード	0	WO
2	ポートPi2方向レジスタ	0：入力モード 1：出力モード	0	WO
3	ポートPi3方向レジスタ	0：入力モード 1：出力モード	0	WO
4	ポートPi4方向レジスタ	0：入力モード 1：出力モード	0	WO
5	ポートPi5方向レジスタ	0：入力モード 1：出力モード	0	WO
6	ポートPi6方向レジスタ	0：入力モード 1：出力モード	0	WO
7	ポートPi7方向レジスタ	0：入力モード 1：出力モード	0	WO

注 出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

図4.2 ポートPi方向レジスタの構成(i=2,5,6)

ポートPi方向レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ポートPi方向レジスタ (PiD) (i=0,1)

【0001<sub>16</sub>,0003<sub>16</sub>,番地】

b	ビット名	機能	リセット後	RW
0	ポートP <sub>io</sub> ~P <sub>iz</sub> 方向レジスタ	0: 入力モード 1: 出力モード	0	WO
1	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
2			0	RO
3			0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

注 出力モードのポートはプルダウン制御ビットが無効になり、プルダウン抵抗は接続されません。

図4.3 ポートPi方向レジスタの構成(i=0,1)

ポートP3レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

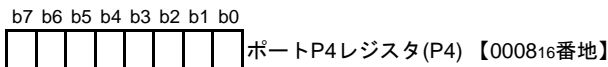


ポートP3レジスタ (P3) 【0006<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
1			0	RO
2			0	RO
3			0	RO
4	ポートP <sub>34</sub>	読み出し時の値は端子の値。 書く場合は"0"を書いてください。	不定	RO
5	ポートP <sub>35</sub>		不定	RO
6	ポートP <sub>36</sub>		不定	RO
7	ポートP <sub>37</sub>		不定	RO

図4.4 ポートP3レジスタの構成

ポートP4レジスタ

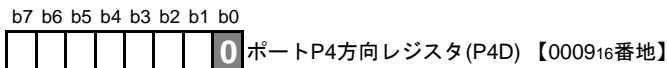


b	ビット名	機能	リセット後	RW
0	ポートP4 <sub>0</sub>	読み出し時の値は端子の値。 書く場合は"0"を書いてください。	不定	RO
1	ポートP4 <sub>1</sub>	●出力モード時 書き込み：ポートラッチ	不定	RW
2	ポートP4 <sub>2</sub>		不定	RW
3	ポートP4 <sub>3</sub>	読み出し：ポートラッチ、又は周辺機能の出力(注) ●入力モード時	不定	RW
4	ポートP4 <sub>4</sub>		不定	RW
5	ポートP4 <sub>5</sub>	書き込み：ポートラッチ	不定	RW
6	ポートP4 <sub>6</sub>		不定	RW
7	ポートP4 <sub>7</sub>	読み出し：端子の値	不定	RW

注. P4<sub>1</sub>/φは、兼用の出力機能を選択している場合、その出力値を読みます。

図4.5 ポートP4レジスタの構成

ポートP4方向レジスタ



b	ビット名	機能	リセット後	RW
0	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
1	ポートP4 <sub>1</sub> 方向レジスタ	0: 入力モード 1: 出力モード	0	WO
2	ポートP4 <sub>2</sub> 方向レジスタ	0: 入力モード 1: 出力モード	0	WO
3	ポートP4 <sub>3</sub> 方向レジスタ	0: 入力モード 1: 出力モード	0	WO
4	ポートP4 <sub>4</sub> 方向レジスタ	0: 入力モード 1: 出力モード	0	WO
5	ポートP4 <sub>5</sub> 方向レジスタ	0: 入力モード 1: 出力モード	0	WO
6	ポートP4 <sub>6</sub> 方向レジスタ	0: 入力モード 1: 出力モード	0	WO
7	ポートP4 <sub>7</sub> 方向レジスタ	0: 入力モード 1: 出力モード	0	WO

注1. ポートP4<sub>5</sub>,P4<sub>7</sub>端子は、出力モード時、P4<sub>5</sub>/TxD,P4<sub>7</sub>/SRDY/Sout Pチャネル出力禁止ビット (UART制御レジスタ(001B16番地)のビット4)およびPチャネル出力禁止選択ビット (周辺機能拡張レジスタ(003016番地)のビット2,3)で出力形式を選択できます。

2. 出力モードのポートはプルアップ制御ビットが無効になり、プルアップ抵抗は接続されません。

図4.6 ポートP4方向レジスタの構成

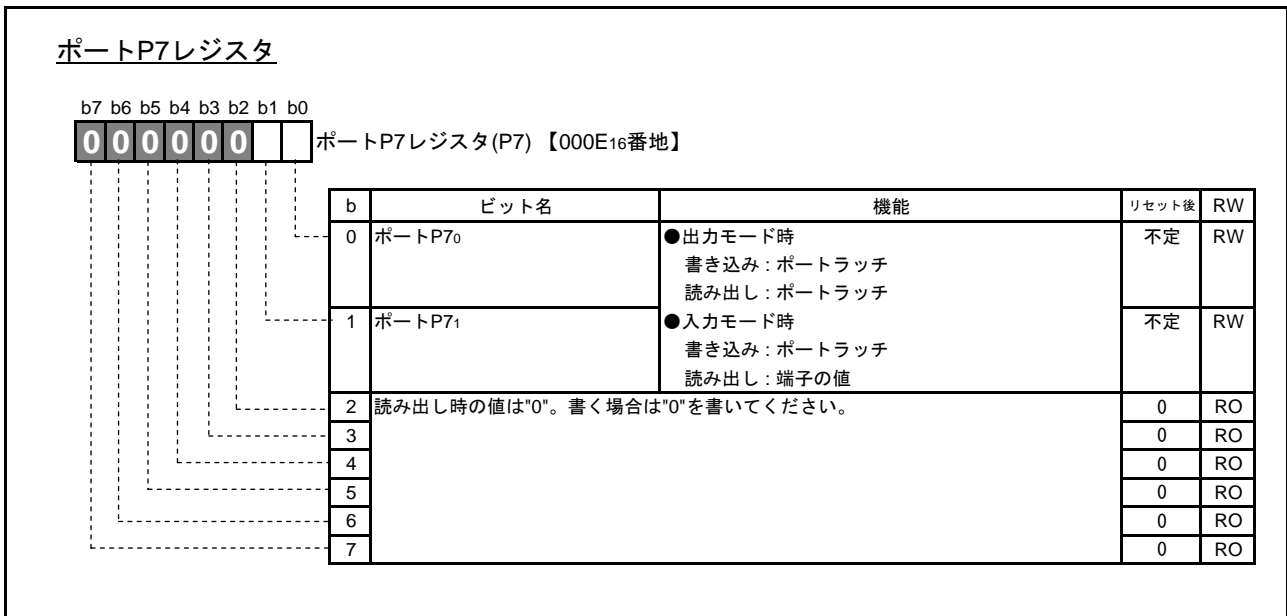


図4.7 ポートP7レジスタの構成

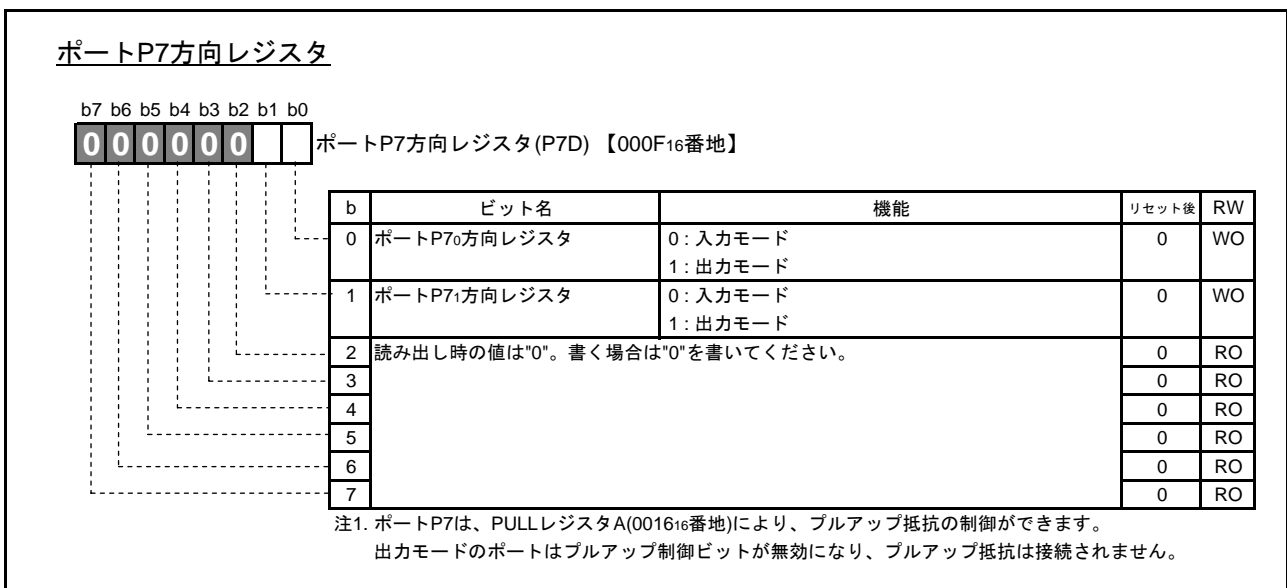


図4.8 ポートP7方向レジスタの構成

ROM訂正アドレス1上位レジスタ、ROM訂正アドレス1下位レジスタ

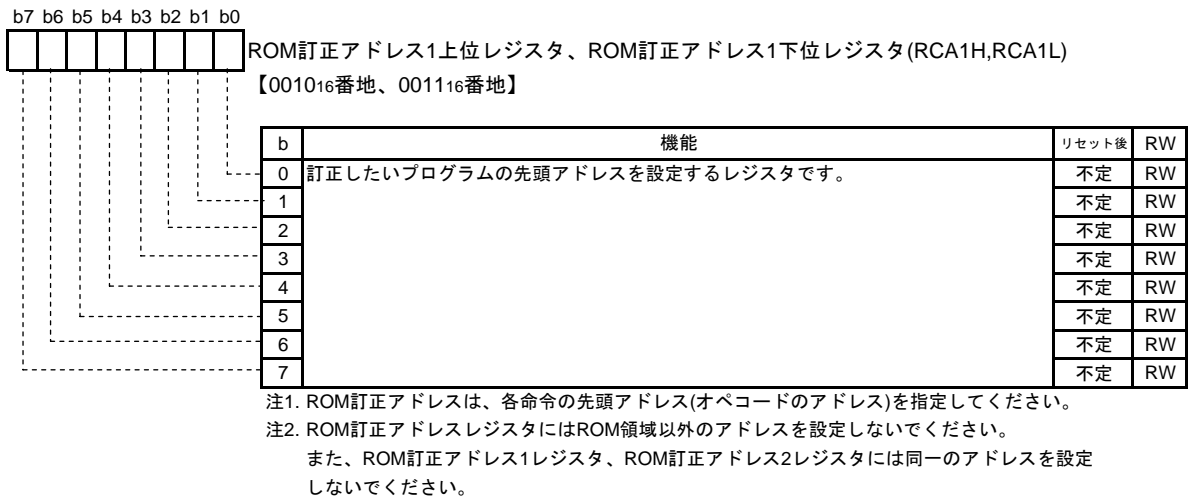


図4.9 ROM訂正アドレス1上位レジスタ、ROM訂正アドレス1下位レジスタの構成

ROM訂正アドレス2上位レジスタ、ROM訂正アドレス2下位レジスタ

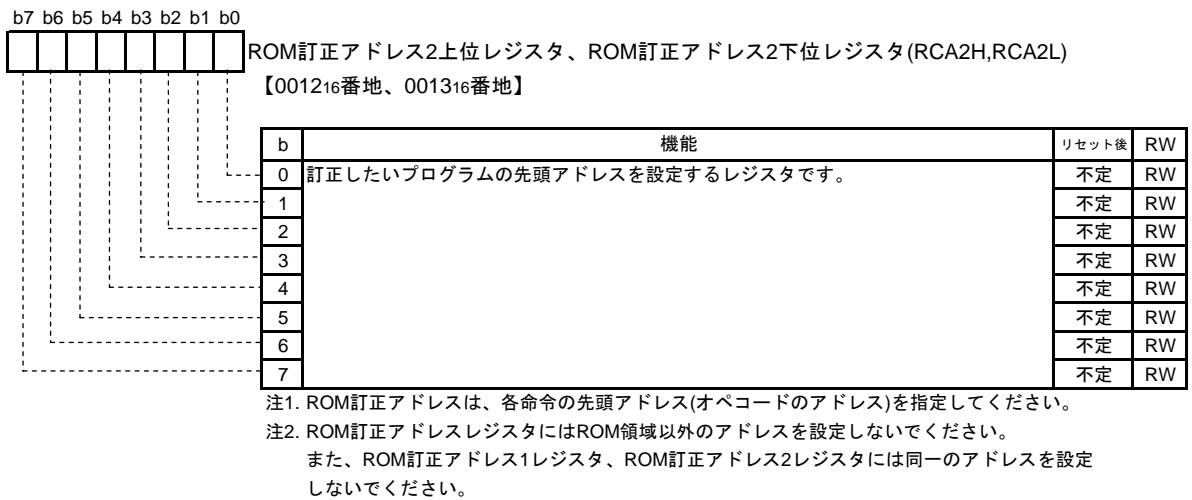


図4.10 ROM訂正アドレス2上位レジスタ、ROM訂正アドレス2下位レジスタの構成



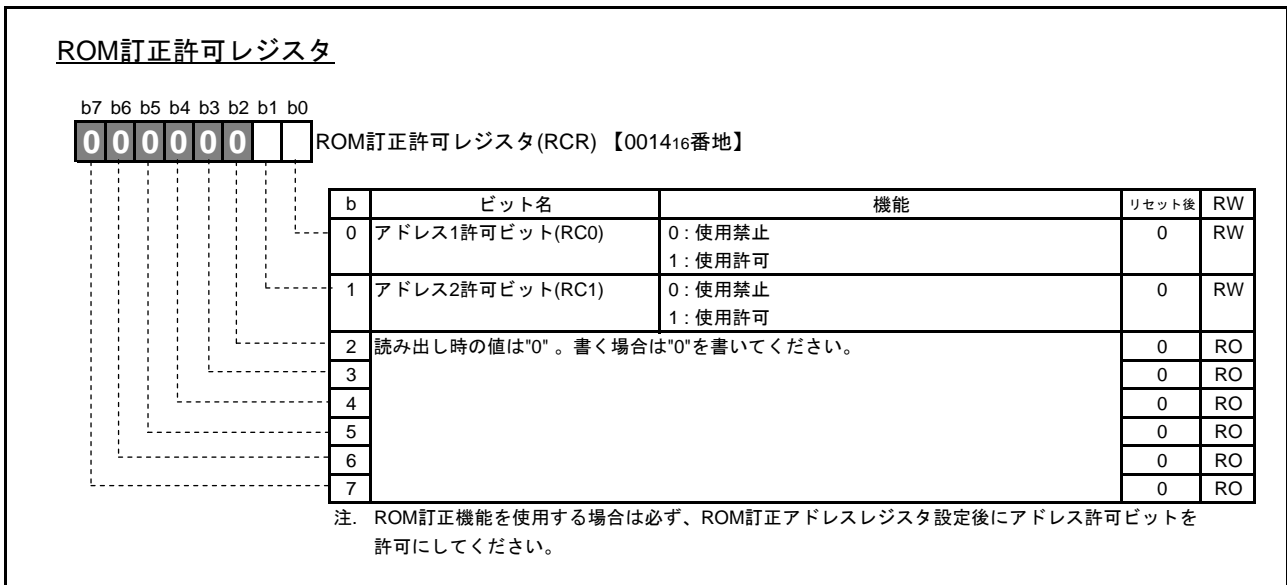


図4.11 ROM訂正許可レジスタの構成

### PULLレジスタA

b7 b6 b5 b4 b3 b2 b1 b0

0 0 0

PULLレジスタA(PULLA) 【0016<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	ポートP0 <sub>0</sub> ~P0 <sub>7</sub> プルダウン制御ビット (注1)	0: プルダウンなし 1: プルダウンあり	1	RW
1	ポートP1 <sub>0</sub> ~P1 <sub>7</sub> プルダウン制御ビット (注1)	0: プルダウンなし 1: プルダウンあり	1	RW
2	ポートP2 <sub>0</sub> ~P2 <sub>7</sub> プルアップ制御ビット (注2)	0: プルアップなし 1: プルアップあり	0	RW
3	ポートP3 <sub>4</sub> ~P3 <sub>7</sub> プルダウン制御ビット (注1)	0: プルダウンなし 1: プルダウンあり	1	RW
4	ポートP7 <sub>0</sub> 、P7 <sub>1</sub> プルアップ制御ビット (注2)	0: プルアップなし 1: プルアップあり	0	RW
5	読み出し時の値は "0"。書く場合は"0"を書いてください。		0	RO
6			0	RO
7			0	RO

- 注1. 出力モードのポートはこのビットが無効になり、プルダウン抵抗は接続されません。  
また、セグメント出力許可ビット0~5(セグメント出力許可レジスタ(0038<sub>16</sub>番地)のビット0~5)で  
セグメント出力を選択している端子はこのビットが無効になり、プルダウン抵抗は接続されません。
- 注2. 出力モードのポートはこのビットが無効になり、プルアップ抵抗は接続されません。

図4.12 PULLレジスタAの構成

### PULLレジスタB

b7 b6 b5 b4 b3 b2 b1 b0

0 0

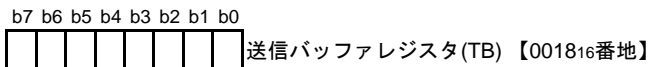
PULLレジスタB(PULLB) 【0017<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	ポートP4 <sub>1</sub> ~P4 <sub>3</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
1	ポートP4 <sub>4</sub> ~P4 <sub>7</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
2	ポートP5 <sub>0</sub> ~P5 <sub>3</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
3	ポートP5 <sub>4</sub> ~P5 <sub>7</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
4	ポートP6 <sub>0</sub> ~P6 <sub>3</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
5	ポートP6 <sub>4</sub> ~P6 <sub>7</sub> プルアップ制御ビット	0: プルアップなし 1: プルアップあり	0	RW
6	読み出し時の値は "0"。書く場合は"0"を書いてください。		0	RO
7			0	RO

- 注. 出力モードのポートはこのビットが無効になり、プルアップ抵抗は接続されません。

図4.13 PULLレジスタBの構成

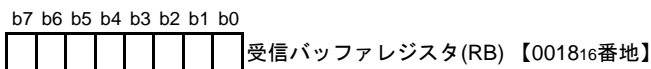
送信バッファレジスタ



b	機能	リセット後	RW
0	送信データの書き込みを行うバッファレジスタです。	不定	WO
1	送信データを書いてください。	不定	WO
2		不定	WO
3		不定	WO
4		不定	WO
5		不定	WO
6		不定	WO
7		不定	WO

注. 受信バッファレジスタと同じ番地です。読み出しはできません。

受信バッファレジスタ

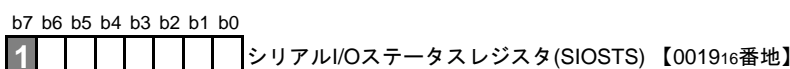


b	機能	リセット後	RW
0	受信データの読み出しを行うバッファレジスタです。	不定	RO
1	受信データが読めます。	不定	RO
2		不定	RO
3		不定	RO
4		不定	RO
5		不定	RO
6		不定	RO
7		不定	RO

注. 送信バッファレジスタと同じ番地です。書き込みはできません。

図4.14 送信バッファレジスタ及び受信バッファレジスタの構成

シリアルI/Oステータスレジスタ



b	ビット名	機能	リセット後	RW
0	送信バッファエンプティフラグ (TBE) (注1)	0 : バッファレジスタフル状態 1 : バッファレジスタエンプティ状態	0	RO
1	受信バッファフルフラグ (RBF) (注1、2)	0 : バッファレジスタエンプティ状態 1 : バッファレジスタフル状態	0	RO
2	送信シフトレジスタシフト終了フラグ(TSC) (注1)	0 : 送信シフト中 1 : 送信シフト終了	0	RO
3	オーバランエラーフラグ (OE) (注3)	0 : オーバランエラーなし 1 : オーバランエラー発生	0	RO
4	パリティエラーフラグ (PE) (注3)	0 : パリティエラーなし 1 : パリティエラー発生	0	RO
5	フレーミングエラーフラグ(FE) (注3)	0 : フレーミングエラーなし 1 : フレーミングエラー発生	0	RO
6	サミングエラーフラグ(SE) (注3)	0 : (OE)U(PE)U(FE)=0 1 : (OE)U(PE)U(FE)=1	0	RO
7		読み出し時の値は"1"。書く場合は"1"を書いてください。	1	RO

注1. 書く場合は"0"を書いてください。

注2. 受信バッファレジスタを読むと"0"になります。

注3. このレジスタへの書き込みで、このビットは"0"になります。書く場合は"0"を書いてください。

図4.15 シリアルI/Oステータスレジスタの構成

シリアルI/O制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



シリアルI/O制御レジスタ(SIOCON) 【001A<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	BRGカウントソース選択ビット(CSS)	0: f(X <sub>IN</sub> ) (低速モード時はf(SUB)) (注1) 1: f(X <sub>IN</sub> )/4 (低速モード時はf(SUB)/4) (注1)	0	RW
1	シリアルI/O同期クロック選択ビット(SCS)	クロック同期形シリアルI/Oモード時 0: BRG出力の4分周 1: 外部クロック入力 UARTモード時 0: BRG出力の16分周 1: 外部クロック入力の16分周	0	RW
2	SRDY,Sout出力許可ビット(SRDY)	0: 出力禁止(P4 <sub>7</sub> 端子: 入出力ポート) 1: 出力許可(P4 <sub>7</sub> 端子: SRDY,Sout出力) (注2)	0	RW
3	送信割り込み要因選択ビット(TIC)	0: 送信バッファレジスタが空になったとき (TBE=1) 1: 送信シフトレジスタのシフト動作終了時 (TSC=1)	0	RW
4	送信許可ビット(TE)	0: 送信禁止 1: 送信許可	0	RW
5	受信許可ビット(RE)	0: 受信禁止 1: 受信許可	0	RW
6	シリアルI/Oモード選択ビット(SIOM)	0: UARTモード 1: クロック同期形シリアルI/Oモード	0	RW
7	シリアルI/O許可ビット(SIOE)	0: シリアルI/O禁止 (P4 <sub>4</sub> ~P4 <sub>7</sub> 端子: 入出力ポート) 1: シリアルI/O許可 (P4 <sub>4</sub> ~P4 <sub>7</sub> 端子: シリアルI/O機能端子)	0	RW

注1. f(SUB)は低速モード時の源発振周波数です。X<sub>CIN</sub>、またはオンチップオシレータの発振周波数を示します。

注2. Sout出力にする場合は、同期形シリアルI/O出力端子選択ビット(周辺機能拡張レジスタ(0030<sub>16</sub>番地)のビット1)を"1"にしてください。また、そのときに送信を禁止する場合は、送信許可ビットとSRDY,Sout出力許可ビットを"0"にしてください。  
SRDY出力にする場合は、同期形シリアルI/O出力端子選択ビット(周辺機能拡張レジスタ(0030<sub>16</sub>番地)のビット1)を"0"にしてください。

図4.16 シリアルI/O制御レジスタの構成

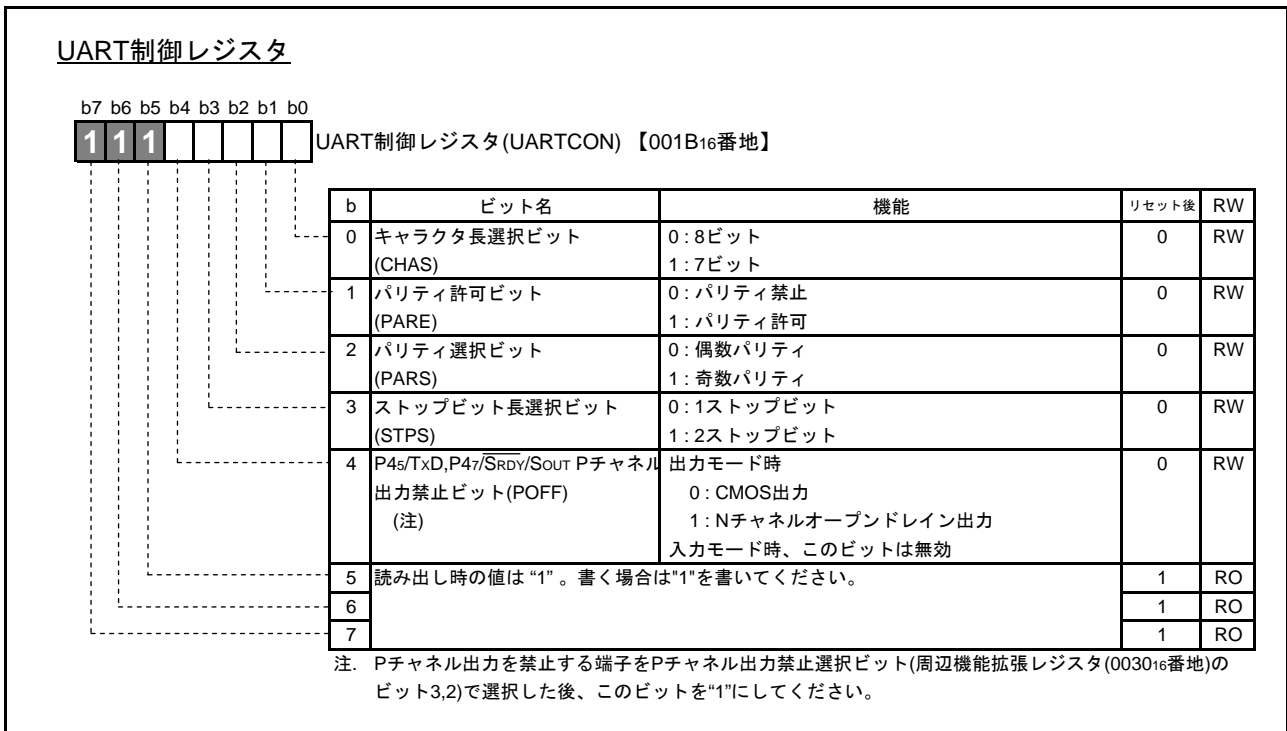


図4.17 UART制御レジスタの構成

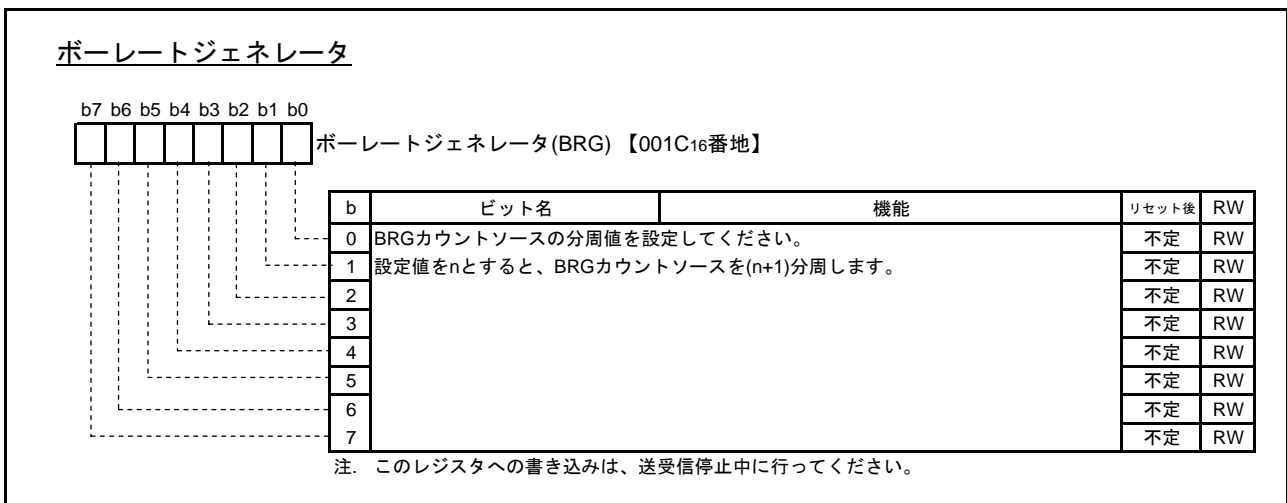


図4.18 ボーレートジェネレータの構成

**タイマX上位レジスタ、タイマX下位レジスタ**

b7 b6 b5 b4 b3 b2 b1 b0 タイマX上位レジスタ(TXH)、タイマX下位レジスタ(TXL) 【0021<sub>16</sub>番地、0020<sub>16</sub>番地】

b	機 能	リセット後	RW
0	• カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	• 書き込み時、タイマX書き込み制御ビットの値により、次のように動作します。	1	RW
3	"0" の場合：タイマXラッチ及びタイマXへの同時書き込み	1	RW
4	"1" の場合：タイマXラッチのみへの書き込み	1	RW
5	下位、上位の順で書いてください。	1	RW
6	なお、この動作は、タイマX停止制御ビットの影響を受けません。	1	RW
7	• 読み出し時の値は、タイマXのカウント値です。 上位、下位の順で読んでください。	1	RW

注：ラッチのみ書き込みの場合、上位側タイマラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときには、タイマとタイマラッチに同時に値が設定されます。このとき、上位側タイマに望ましくない値が設定されることがあります。

図4.19 タイマX上位レジスタ、タイマX下位レジスタの構成

**タイマY上位レジスタ、タイマY下位レジスタ**

b7 b6 b5 b4 b3 b2 b1 b0 タイマY上位レジスタ(TYH)、タイマY下位レジスタ(TYL) 【0023<sub>16</sub>番地、0022<sub>16</sub>番地】

b	機 能	リセット後	RW
0	• カウント初期値を設定してください。	1	RW
1	設定値をnとすると (n+1)カウントします。	1	RW
2	• 書き込み時、タイマYラッチ及びタイマYへの同時書き込み。	1	RW
3	下位、上位の順で書いてください。	1	RW
4	• 読み出し時の値は、タイマYのカウント値です。	1	RW
5	上位、下位の順で読んでください。	1	RW
6		1	RW
7		1	RW

図4.20 タイマY上位レジスタ、タイマY下位レジスタの構成

タイマ1レジスタ

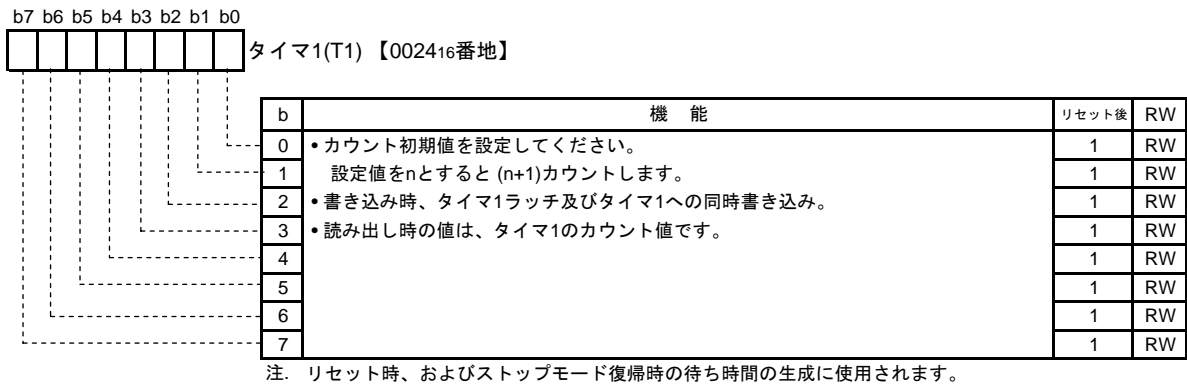


図4.21 タイマ1レジスタの構成

タイマ2レジスタ

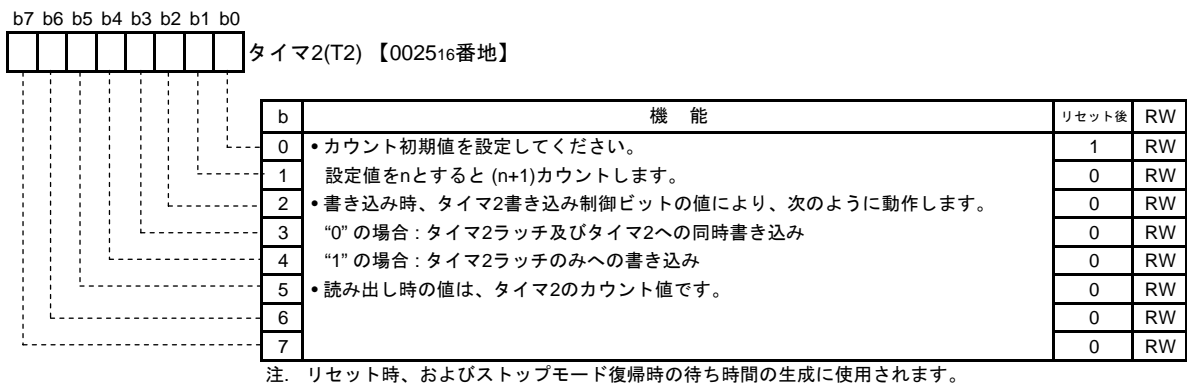


図4.22 タイマ2レジスタの構成

タイマ3レジスタ

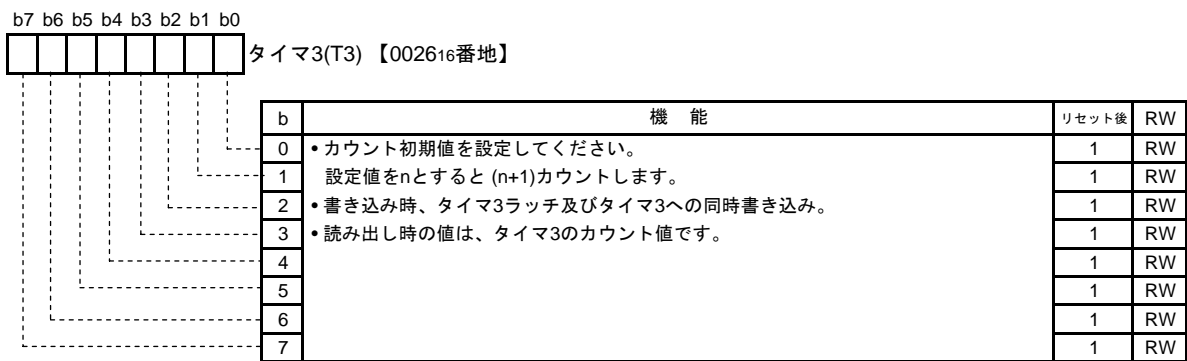


図4.23 タイマ3レジスタの構成

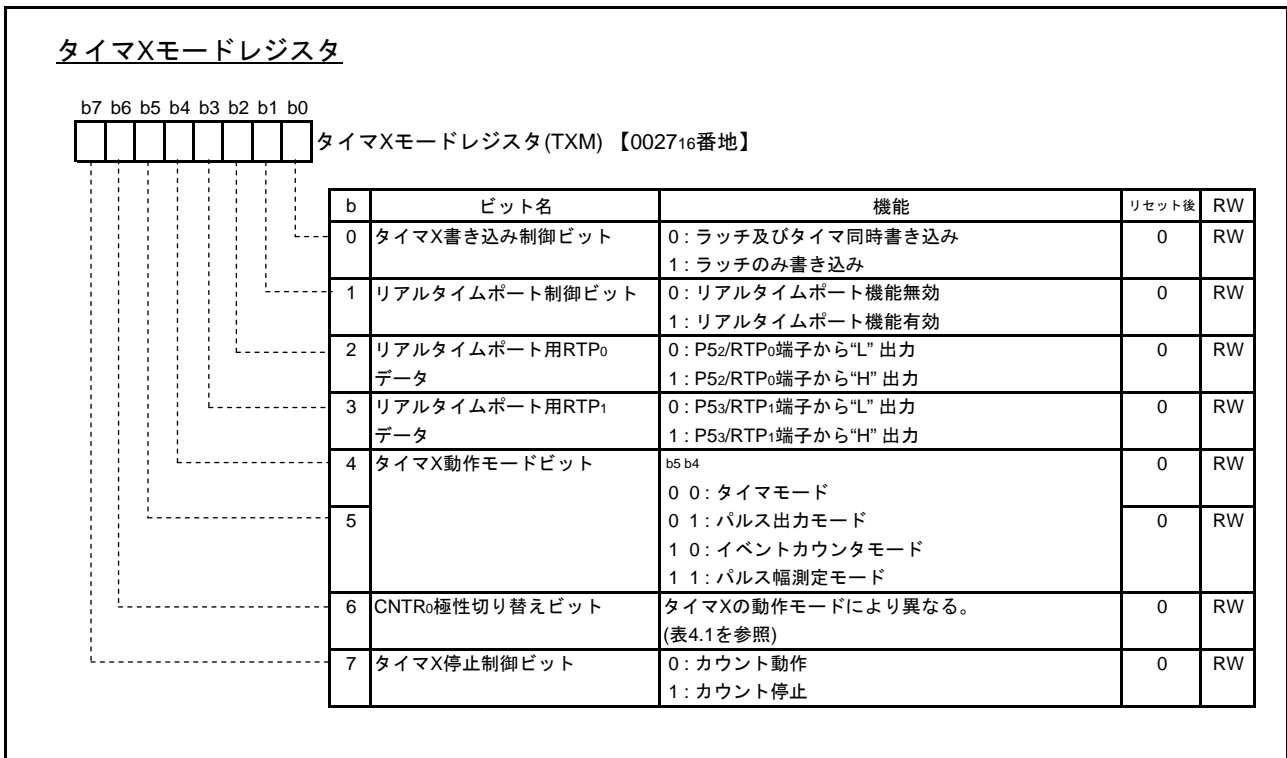


図4.24 タイマXモードレジスタの構成

表4.1 CNTR<sub>0</sub>極性切り替えビットの機能

タイマX動作モード	設定値	タイマ機能/CNTR <sub>0</sub> 端子の機能	CNTR <sub>0</sub> 割り込み要求発生要因
タイマモード	“0”	外部割り込み端子	CNTR <sub>0</sub> の入力信号の立ち下がリエッジ (タイマのカウントに影響なし)
	“1”		CNTR <sub>0</sub> の入力信号の立ち上がリエッジ (タイマのカウントに影響なし)
パルス出力モード	“0”	パルス出力開始: “H” から出力	出力信号の立ち下がリエッジ
	“1”	パルス出力開始: “L” から出力	出力信号の立ち上がリエッジ
イベントカウンタモード	“0”	立ち上がリエッジをカウント	入力信号の立ち下がリエッジ
	“1”	立ち下がリエッジをカウント	入力信号の立ち上がリエッジ
パルス幅測定モード	“0”	“H” 幅を測定	入力信号の立ち下がリエッジ
	“1”	“L” 幅を測定	入力信号の立ち上がリエッジ



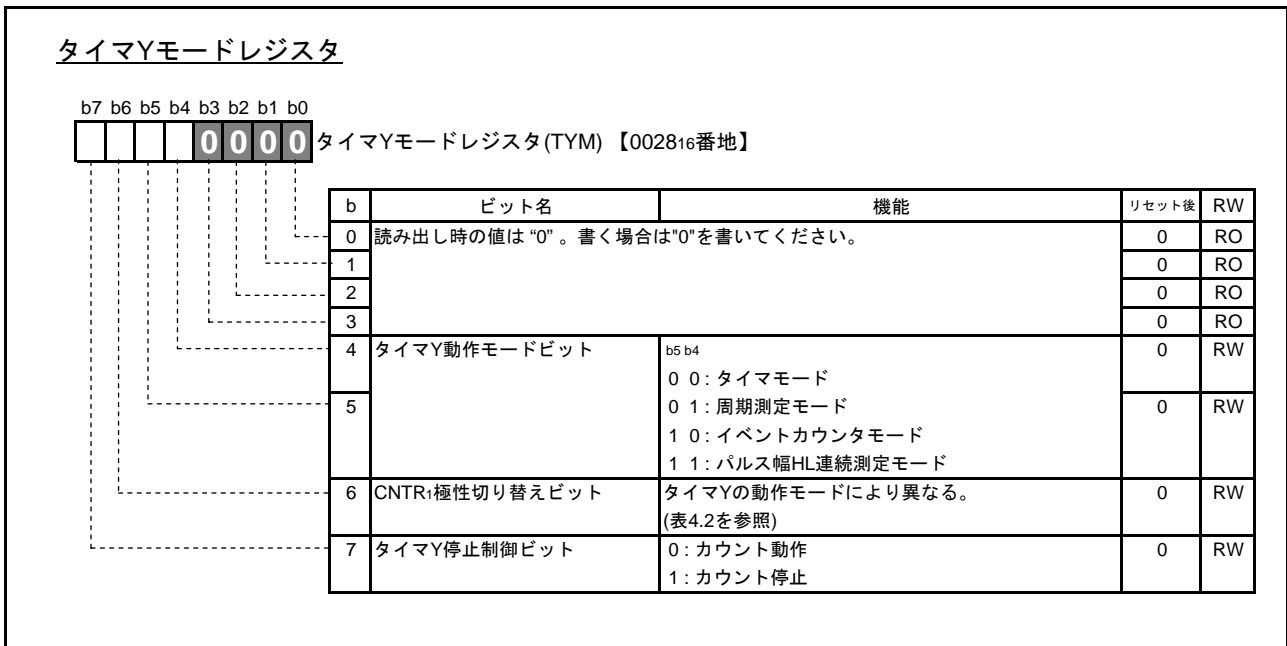


図4.25 タイマYモードレジスタの構成

表4.2 CNTR<sub>1</sub>極性切り替えビットの機能

タイマY動作モード	設定値	タイマ機能/CNTR <sub>1</sub> 端子の機能	CNTR <sub>1</sub> 割り込み要求発生要因
タイマモード	"0"	外部割り込み端子	CNTR <sub>1</sub> の入力信号の立ち下がリエッジ (タイマのカウントに影響なし)
	"1"		CNTR <sub>1</sub> の入力信号の立ち上がリエッジ (タイマのカウントに影響なし)
周期測定モード	"0"	立ち下がりー立ち下がり間を測定	入力信号の立ち下がリエッジ
	"1"	立ち上がりー立ち上がり間を測定	入力信号の立ち上がリエッジ
イベントカウンタモード	"0"	立ち上がりエッジをカウント	入力信号の立ち下がリエッジ
	"1"	立ち下がリエッジをカウント	入力信号の立ち上がリエッジ
パルス幅HL連続測定モード	"0"	"H" 幅と "L" 幅を測定	入力信号の立ち下がリエッジと立ち上がリエッジ
	"1"		

タイマ123モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

00

タイマ123モードレジスタ(T123M) 【0029<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	Tout出力極性切り替えビット	0: "H" レベルで出力開始 1: "L" レベルで出力開始	0	RW
1	Tout出力制御ビット	0: Tout出力禁止(P5 <sub>6</sub> 端子: 入出力ポート) 1: Tout出力許可(P5 <sub>6</sub> 端子: Tout出力端子)	0	RW
2	タイマ2書き込み制御ビット	0: ラッチ及びタイマ同時書き込み 1: ラッチのみ書き込み	0	RW
3	タイマ2カウントソース選択ビット	0: タイマ1の出力信号 1: f(X <sub>IN</sub> )/16 (2, 4, 8分周モード時) f(SUB)/16 (低速モード時) (注1)	0	RW
4	タイマ3カウントソース選択ビット	0: タイマ1の出力信号 1: f(X <sub>IN</sub> )/16 (2, 4, 8分周モード時) f(SUB)/16 (低速モード時) (注1)	0	RW
5	タイマ1カウントソース選択ビット	0: f(X <sub>IN</sub> )/16 (2, 4, 8分周モード時) f(SUB)/16 (低速モード時) (注1) 1: f(SUB) (注1)	0	RW
6	読み出し時の値は "0"。書く場合は"0"を書いてください。		0	RO
7			0	RO

注1. f(SUB)は低速モード時の源発振周波数です。X<sub>CIN</sub>、またはオンチップオシレータの発振周波数を示します。

低速モード時の内部システムクロックφはf(SUB)の2分周です。

注2. タイマ1~3のカウントソースを設定した後、タイマ1、2、3の順に、タイマレジスタに値を設定してください。

図4.26 タイマ123モードレジスタの構成

φ出力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

00000000

φ出力制御レジスタ(CKOUT) 【002A<sub>16</sub>番地】

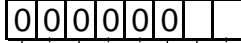
b	ビット名	機能	リセット後	RW
0	φ出力制御ビット	0: ポート機能 (P4 <sub>1</sub> 端子: 入出力ポート) 1: 内部システムクロックφ出力または X <sub>CIN</sub> 周波数信号出力 (注) (P4 <sub>1</sub> 端子: φ出力端子)	0	RW
1	読み出し時の値は "0"。書く場合は"0"を書いてください。		0	RO
2			0	RO
3			0	RO
4			0	RO
5			0	RO
6			0	RO
7			0	RO

注. X<sub>CIN</sub>周波数信号を出力するときは、出力クロック選択ビット(周辺機能拡張レジスタ(0030<sub>16</sub>番地)のビット4)とポートP4<sub>1</sub>方向レジスタを"1"にしてください。

図4.27 φ出力制御レジスタの構成

CPUモード拡張レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



CPUモード拡張レジスタ(EXPCM) 【002B<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	オンチップオシレータ制御ビット	0: オンチップオシレータ不使用 1: オンチップオシレータ使用 (注1)	0	RW
1	4分周モード制御ビット (注2)	0: 2分周モード $\phi=f(X_{IN})/2$ 1: 4分周モード $\phi=f(X_{IN})/4$	0	RW
2	書く場合は"0"を書いてください。		0	RW
3			0	RW
4			0	RW
5			0	RW
6			0	RW
7			0	RW

注1. XCIN-XCOUTの発振に関係なく、低速モード時の動作クロックにオンチップオシレータが選択されます。

注2. メインクロック分周比選択ビット(CPUモードレジスタ(003B<sub>16</sub>番地)のビット6)が"0"のときのみ有効です。

システムクロック $\phi$ を $f(X_{IN})$ の4分周にする場合、このビットを"1"に設定した後でメインクロック分周比選を"0"にしてください。メインクロック分周比選択ビットで"1"(8分周モード)を選択しているとき、内部システムクロック選択ビット(CPUモードレジスタのビット7)が"1"のときは、4分周モード制御を"0"に設定してください。

図4.28 CPUモード拡張レジスタの構成

テンポラリデータレジスタ0

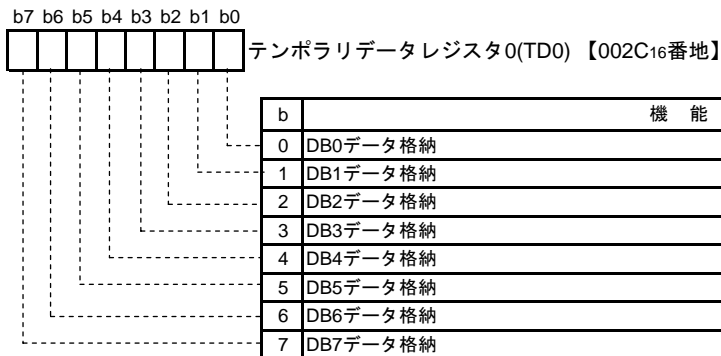


図4.29 テンポラリレジスタ0の構成

テンポラリデータレジスタ1

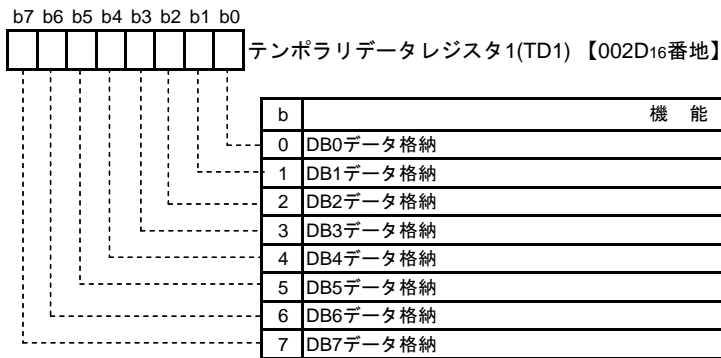


図4.30 テンポラリレジスタ1の構成

テンポラリデータレジスタ2

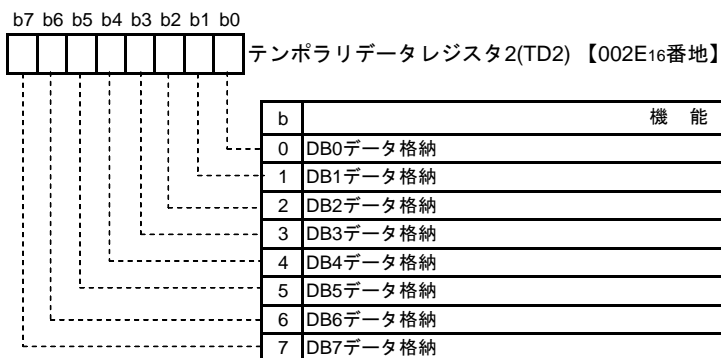


図4.31 テンポラリレジスタ2の構成

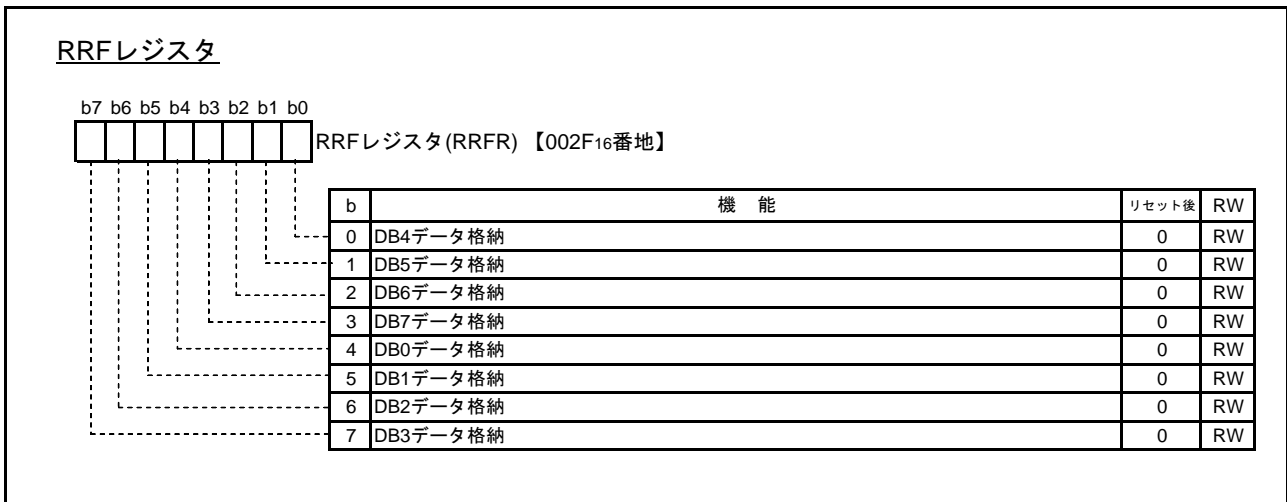


図4.32 RRFレジスタの構成

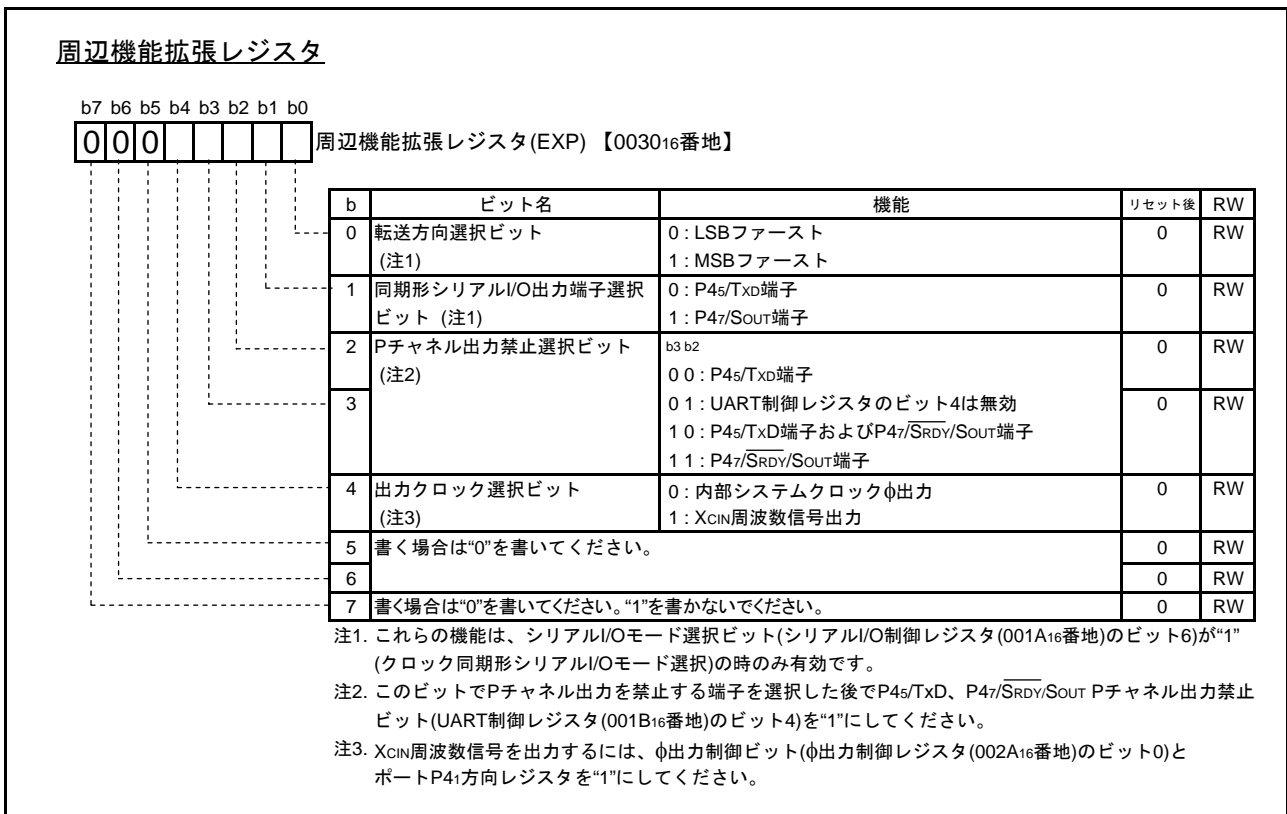


図4.33 周辺機能拡張レジスタの構成

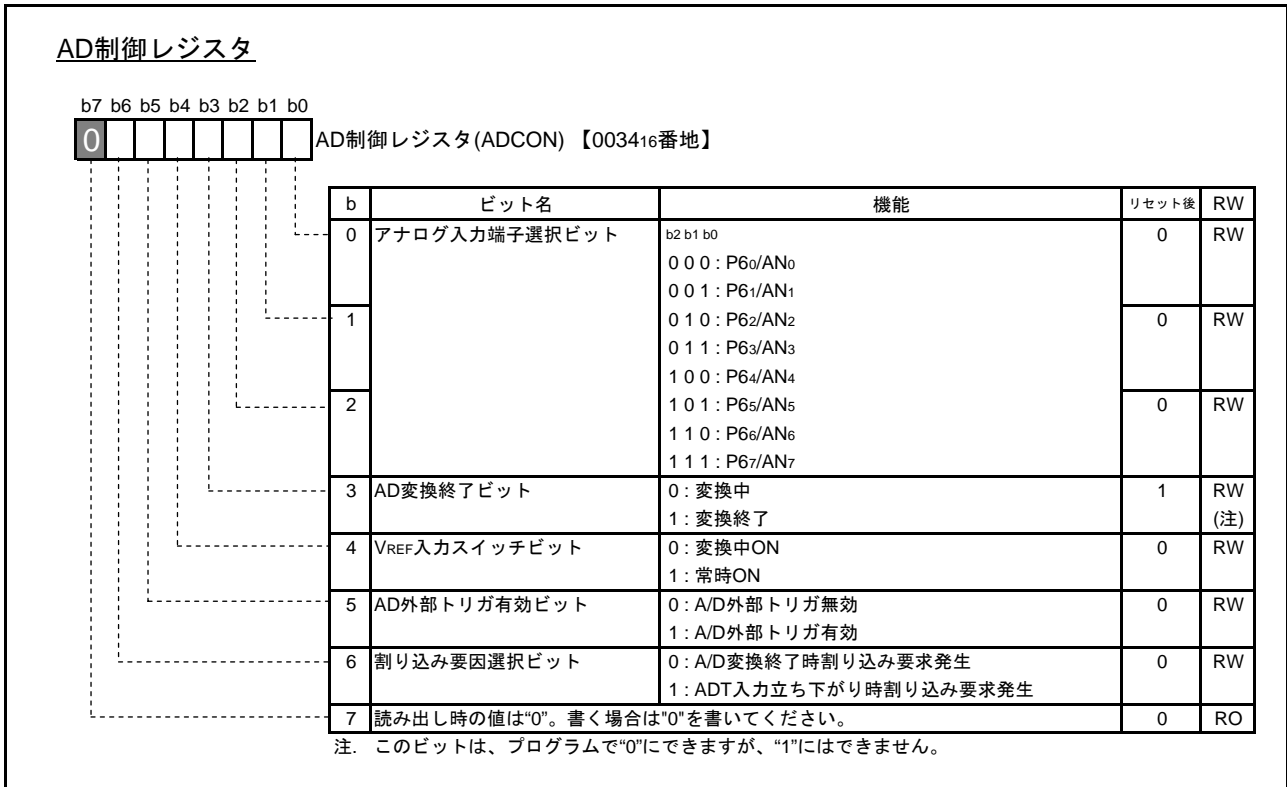


図4.34 AD制御レジスタの構成

AD変換上位レジスタ

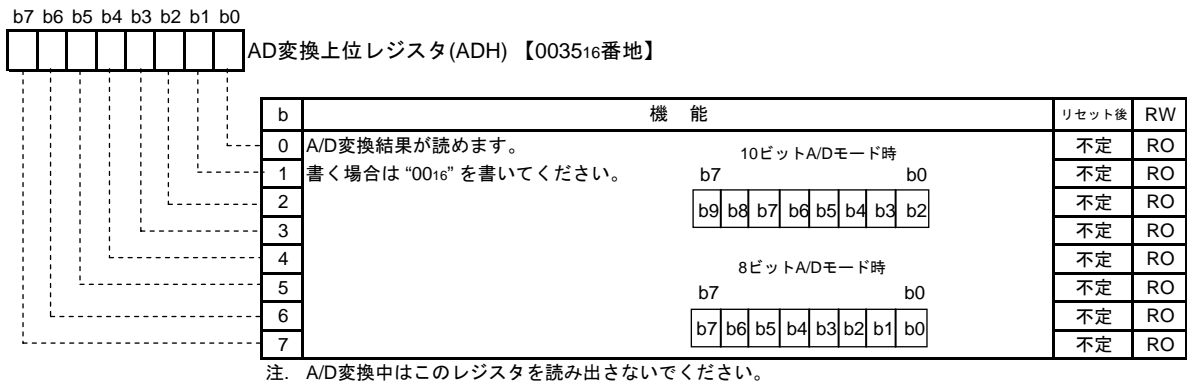


図4.35 AD変換上位レジスタの構成

AD変換下位レジスタ

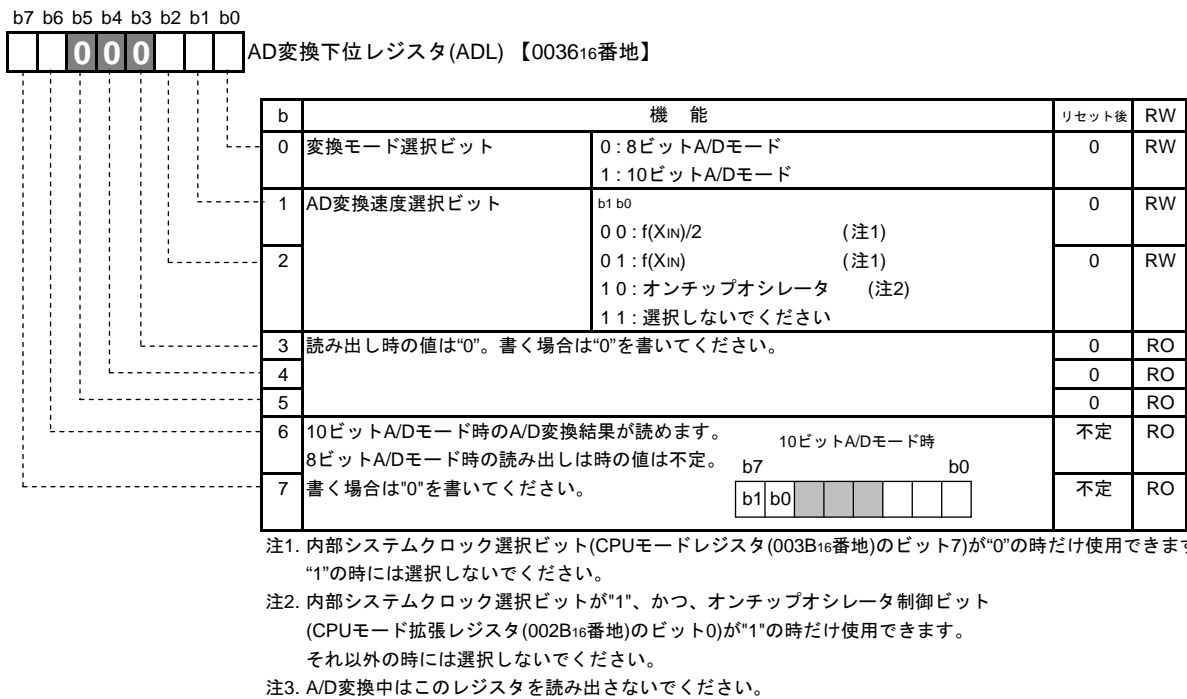


図4.36 AD変換下位レジスタの構成

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



ウォッチドッグタイマ制御レジスタ(WDTCON) 【0037<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	ウォッチドッグタイマH		1	RW
1			1	RW
2			1	RW
3			1	RW
4			1	RW
5			1	RW
6	STP命令機能選択ビット(注1)	0: STP命令実行時、ストップモードへ移行 1: STP命令実行時、内部リセット発生	0	RW
7	ウォッチドッグタイマ カウントソース選択ビット(注1)	0: $f(X_{IN})/1024$ (低速モード時は $f(SUB)/1024$ ) 1: $f(X_{IN})/4$ (低速モード時は $f(SUB)/4$ )	0	RW

注1. リセット解除後、1度だけ書き込みが可能です。書き込み後は、ロックされるため書き換えはできません。

注2. このレジスタへの書き込みで、ウォッチドッグタイマは "FF<sub>16</sub>" になります。

図4.37 ウォッチドッグタイマ制御レジスタの構成



セグメント出力許可レジスタ

b7 b6 b5 b4 b3 b2 b1 b0  

 セグメント出力許可レジスタ(SEG) 【0038<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW
0	セグメント出力許可ビット0	0: 入力ポートP34~P37 1: セグメント出力SEG <sub>12</sub> ~SEG <sub>15</sub>	0	RW
1	セグメント出力許可ビット1	0: 入出力ポートP0 <sub>0</sub> , P0 <sub>1</sub> 1: セグメント出力SEG <sub>16</sub> , SEG <sub>17</sub>	0	RW
2	セグメント出力許可ビット2	0: 入出力ポートP0 <sub>2</sub> ~P0 <sub>7</sub> 1: セグメント出力SEG <sub>18</sub> ~SEG <sub>23</sub>	0	RW
3	セグメント出力許可ビット3	0: 入出力ポートP1 <sub>0</sub> , P1 <sub>1</sub> 1: セグメント出力SEG <sub>24</sub> , SEG <sub>25</sub>	0	RW
4	セグメント出力許可ビット4	0: 入出力ポートP1 <sub>2</sub> 1: セグメント出力SEG <sub>26</sub>	0	RW
5	セグメント出力許可ビット5	0: 入出力ポートP1 <sub>3</sub> ~P1 <sub>7</sub> 1: セグメント出力SEG <sub>27</sub> ~SEG <sub>31</sub>	0	RW
6	読み出し時の値は“0”。書く場合は“0”を書いてください。		0	RO
7	書く場合は“0”を書いてください。“1”を書かないでください。		0	RW

図4.38 セグメント出力許可レジスタの構成

LCDモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0  

 LCDモードレジスタ(LM) 【0039<sub>16</sub>番地】

b	ビット名	機能	リセット後	RW	
0	時分割選択ビット	b1 b0 00: 選択しないでください	0	RW	
1		01: 2時分割(COM <sub>0</sub> , COM <sub>1</sub> 使用) 10: 3時分割(COM <sub>0</sub> ~COM <sub>2</sub> 使用) 11: 4時分割(COM <sub>0</sub> ~COM <sub>3</sub> 使用)	0	RW	
2		バイアス制御ビット	0: 1/3バイアス 1: 1/2バイアス	0	RW
3		LCDイネーブルビット	0: LCD消灯 1: LCD点灯	0	RW
4	書く場合は“0”を書いてください。“1”を書かないでください。		0	RW	
5	LCD回路分周器分周比選択ビット	b6 b5 00: 1分周	0	RW	
6		01: 2分周 10: 4分周 11: 8分周	0	RW	
7	LCDCK用カウントソース選択ビット (注1、2)	0: f(SUB)/32 1: f(X <sub>IN</sub> )/8192 (2, 4, 8分周モード時) f(SUB)/8192 (低速モード時)	0	RW	

注1. LCDCKはLCDタイミングコントローラ用のクロックです。

注2. f(SUB)は低速モード時の源発振周波数です。X<sub>CIN</sub>、またはオンチップオシレータの発振周波数を示します。

図4.39 LCDモードレジスタの構成

割り込みエッジ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



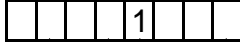
割り込みエッジ選択レジスタ(INTEDGE) 【003A16番地】

b	ビット名	機能	リセット後	RW
0	INT <sub>0</sub> 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
1	INT <sub>1</sub> 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
2	INT <sub>2</sub> 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
2	INT <sub>3</sub> 割り込みエッジ選択ビット	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	RW
4	読み出し時の値は"0"。書く場合は"0"を書いてください。		0	RO
5			0	RO
6			0	RO
7			0	RO

図4.40 割り込みエッジ選択レジスタの構成

CPUモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0



CPUモードレジスタ(CPUM) 【003B16番地】

b	ビット名	機能	リセット後	RW
0	プロセッサモード選択ビット	b1 b0 00: シングルチップモード 01: 選択しないでください 10: 選択しないでください 11: 選択しないでください	0	RW
1			0	RW
2	スタックページ選択ビット	0: 0ページ 1: 1ページ	0	RW
3	書く場合は"1"を書いてください。"0"を書かないでください。		1	RW
4	ポートXc切り替えビット (注3)	0: 入出力ポート機能(発振停止) 1: XCIN-XCOUT発振機能	0	RW
5	メインクロック(XIN-XOUT) 停止ビット(注4)	0: 発振 1: 停止	0	RW
6	メインクロック分周比選択 ビット	0: f(XIN)/2 (2分周モード) またはf(XIN)/4 (4分周モード) (注1) 1: f(XIN)/8 (8分周モード)	1	RW
7	内部システムクロック選択 ビット	0: XIN-XOUT選択 (2, 4, 8分周モード) 1: XCIN-XCOUT またはオンチップオシレータ選択(低速モード) (注2)	0	RW

注1. システムクロックφをf(XIN)の4分周にする場合、4分周モード制御ビット(CPUモード拡張レジスタ(002B16番地)のビット1)を"1"に設定した後でこのビットを"0"にしてください。

注2. 低速モードでオンチップオシレータを使用する場合は、オンチップオシレータ制御ビット(CPUモード拡張レジスタのビット0)を"1"に設定した後でこのビットを"1"にしてください。

注3. 低速モード時(システムクロックφはXCIN)、ポートXc切り替えビットを"0"にするとXCIN - XCOUTの発振は停止します。

注4. 2/4/8分周モード時、メインクロック(XIN - XOUT)停止ビットを"1"にしても、XIN - XOUTの発振は停止しません。

図4.41 CPUモードレジスタの構成



図4.42 割り込み要求レジスタ1の構成

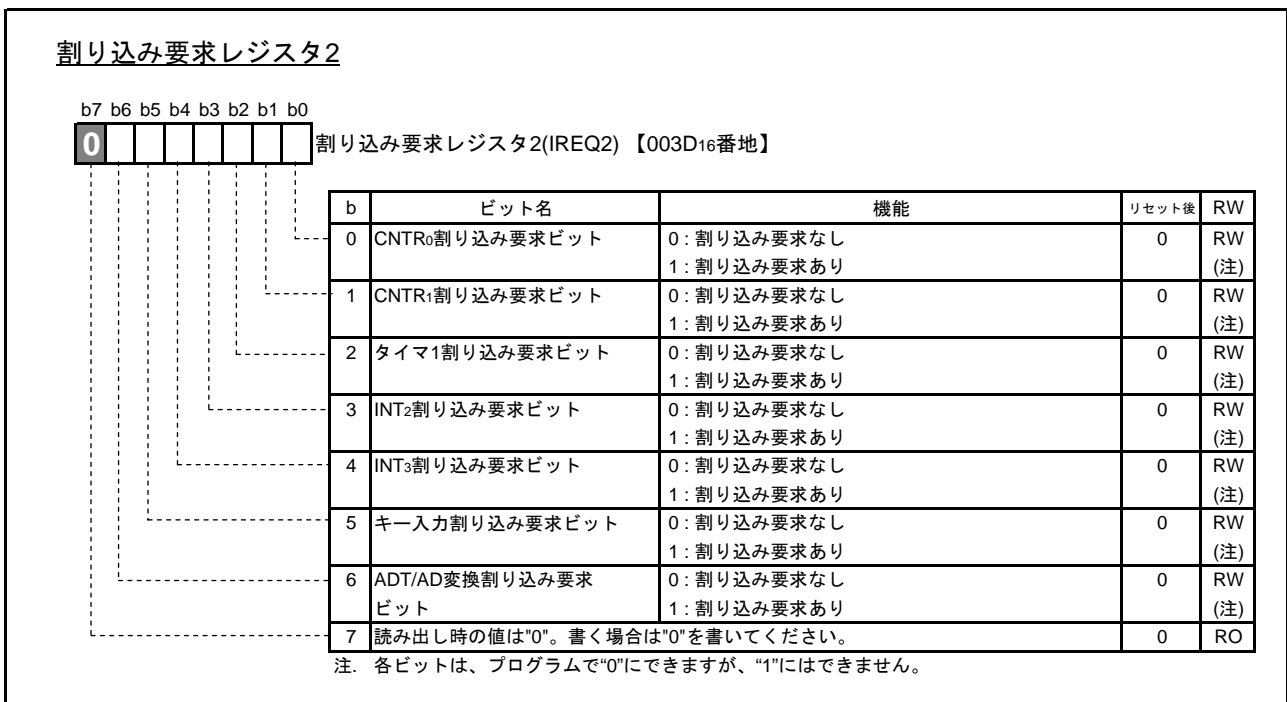


図4.43 割り込み要求レジスタ2の構成



図4.44 割り込み制御レジスタ1の構成

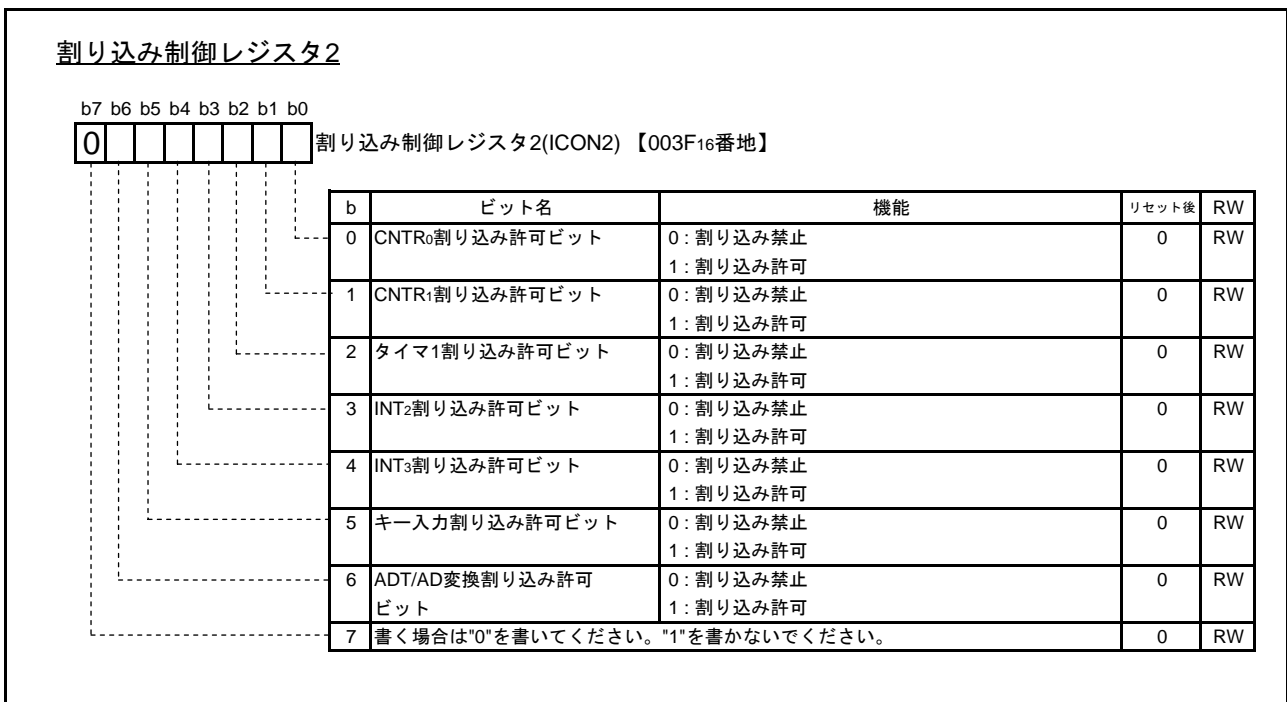


図4.45 割り込み制御レジスタ2の構成

LCD表示用RAM

アドレス \ ビット		7	6	5	4	3	2	1	0	リセット後	RW
		COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0		
0040 <sub>16</sub> 番地	LRAM0	SEG <sub>1</sub>			SEG <sub>0</sub>				不定	RW	
0041 <sub>16</sub> 番地	LRAM1	SEG <sub>3</sub>			SEG <sub>2</sub>				不定	RW	
0042 <sub>16</sub> 番地	LRAM2	SEG <sub>5</sub>			SEG <sub>4</sub>				不定	RW	
0043 <sub>16</sub> 番地	LRAM3	SEG <sub>7</sub>			SEG <sub>6</sub>				不定	RW	
0044 <sub>16</sub> 番地	LRAM4	SEG <sub>9</sub>			SEG <sub>8</sub>				不定	RW	
0045 <sub>16</sub> 番地	LRAM5	SEG <sub>11</sub>			SEG <sub>10</sub>				不定	RW	
0046 <sub>16</sub> 番地	LRAM6	SEG <sub>13</sub>			SEG <sub>12</sub>				不定	RW	
0047 <sub>16</sub> 番地	LRAM7	SEG <sub>15</sub>			SEG <sub>14</sub>				不定	RW	
0048 <sub>16</sub> 番地	LRAM8	SEG <sub>17</sub>			SEG <sub>16</sub>				不定	RW	
0049 <sub>16</sub> 番地	LRAM9	SEG <sub>19</sub>			SEG <sub>18</sub>				不定	RW	
004A <sub>16</sub> 番地	LRAM10	SEG <sub>21</sub>			SEG <sub>20</sub>				不定	RW	
004B <sub>16</sub> 番地	LRAM11	SEG <sub>23</sub>			SEG <sub>22</sub>				不定	RW	
004C <sub>16</sub> 番地	LRAM12	SEG <sub>25</sub>			SEG <sub>24</sub>				不定	RW	
004D <sub>16</sub> 番地	LRAM13	SEG <sub>27</sub>			SEG <sub>26</sub>				不定	RW	
004E <sub>16</sub> 番地	LRAM14	SEG <sub>29</sub>			SEG <sub>28</sub>				不定	RW	
004F <sub>16</sub> 番地	LRAM15	SEG <sub>31</sub>			SEG <sub>30</sub>				不定	RW	

図4.46 LCD表示用RAMの構成

## 5. 参考ドキュメント

データシート

3823グループデータシート

最新版をルネサス テクノロジ ホームページから入手してください。

テクニカルニュース/テクニカルアップデート

最新版をルネサス テクノロジ ホームページから入手してください。

## ホームページとサポート窓口

ルネサス テクノロジホームページ  
<http://japan.renesas.com/>

お問合せ先  
<http://japan.renesas.com/inquiry>  
[csc@renesas.com](mailto:csc@renesas.com)

改訂記録		3823グループ レジスタ一覧	
Rev.	発行日	改定内容	
		ページ	ポイント
1.00	2006.12.22	—	初版発行
2.00	2007.08.08	17	図4.28 CPUモード拡張レジスタ:ビット1改訂、注2 改訂
		22	図4.37 ウォッチドッグタイマ制御レジスタ:ビット7改訂
		24	図4.41 CPUモードレジスタ:注3、4追加

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのある機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合があります）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。