

RA ファミリ、M16C ファミリ

M16C から RA への置き換えガイド クロック同期式シリアル通信編

要旨

本アプリケーションノートでは、M16C ファミリのシリアル I/O のクロック同期形シリアル I/O モードに相当する RA ファミリの SCI のクロック同期式モードへの置き換えについて説明しています。

対象デバイス

- RA ファミリ
- M16C ファミリ

M16C ファミリから RA ファミリへの置き換え例として、RA ファミリは RA6M3 グループを、M16C ファミリは M16C/65C シリーズを用いて説明しています。本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

表 RA ファミリと M16C ファミリ間の用語差異

項目	RA	M16C ファミリ
シリアルコミュニケーションインタフェースの略称(以下、SCI)	SCI	シリアル I/O
クロック同期式シリアル通信のモード名称	クロック同期式モード	クロック同期形シリアル I/O モード
クロック同期式通信のクロック入出力端子の名称(以下、SCK 端子)	SCKi 端子	CLKi 端子
シリアルコミュニケーションインタフェースの動作クロック(以下、クロックソース)	クロックソース	カウントソース
周辺機能の動作クロック	周辺モジュールクロック (PCLKA、PCLKB、PCLKC、PCLKD)	周辺機能クロック (f1、fOCO40M、fOCO-F、fOCO-S、fC32)
送信バッファ	TDR レジスタ	UiTB レジスタ
送信シフトレジスタ	TSR レジスタ	UART 送信シフトレジスタ
受信バッファ	RDR レジスタ	UiRB レジスタ
送信割り込み	TXI 割り込み	UARTi 送信割り込み (送信バッファ空)
送信完了割り込み	TEI 割り込み	UARTi 送信割り込み (送信完了)
受信完了割り込み	RXI 割り込み	UARTi 受信割り込み
端子に周辺機能の入出力を選択する機能	I/O ポート	機能選択レジスタ、 入力機能選択レジスタ ^(注1)

注1 M32C グループ、R32C グループのみあります。

目次

1. クロック同期式シリアル通信の機能相違点	3
2. 使用する周辺機能	4
3. クロック同期式シリアル通信の相違点	4
3.1 マスタ送受信動作時の相違点	5
3.1.1 マスタ送受信動作時のタイミング相違点	5
3.1.2 マスタ送受信動作時での設定手順の相違点	7
3.2 マスタ送信動作時の相違点	11
3.2.1 マスタ送信動作時のタイミングの相違点	11
3.2.2 マスタ送信動作時での設定手順の相違点	13
3.3 スレーブ受信動作時の相違点	15
3.3.1 スレーブ受信動作時のタイミングの相違点	16
3.3.2 スレーブ受信動作時での設定手順の相違点	18
3.4 ビットレートの算出方法について	20
4. 付録	21
4.1 M16C ファミリから RA ファミリへ置き換えるときのポイント	21
4.1.1 割り込み	21
4.1.2 入出力ポート	22
4.1.3 モジュールストップ機能	22
4.2 Flexible Software Package (FSP)	23
5. 参考ドキュメント	24
改訂記録	25

1. クロック同期式シリアル通信の機能相違点

表 1-1 にクロック同期式シリアル通信の機能相違点を示します。

表 1-1 クロック同期式シリアル通信の機能相違点

項目	RA	M16C
動作クロックソース	PCLKA (注1)	f1、fOCO40M、fOCO-F、fOCO-S、fC32 から選択可能
データ長	8 ビット	8 ビット
データフォーマット	LSB ファースト/MSB ファーストから選択可能	LSB ファースト/MSB ファーストから選択可能
ハードウェアフロー制御	あり(選択可能)	あり(選択可能)
CTS/RTS 分離機能	なし	あり(UART0)
割り込み要因	送信データエンプティ(TXI)割り込み 送信終了(TEI)割り込み 受信データフル(RXI)割り込み 受信エラー(TRI)割り込み	送信割り込み 受信割り込み
エラー検出	オーバランエラー	オーバランエラー
クロック極性選択	あり(選択可能)	あり(選択可能)
転送クロック複数端子出力	なし	あり(UART1)
ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵	なし
データ論理切り替え	あり	あり
TXD、RXD 入出力極性切り替え	なし	あり

注 1 RA6M3 の場合。

2. 使用する周辺機能

表 2-1 にクロック同期式シリアル通信での動作例に対して使用する周辺機能およびモードを示します。

表 2-1 クロック同期式シリアル通信での動作例に対して使用する周辺機能およびモード

No	動作例	RA (RA6M3)		M16C		参照
		周辺機能	モード	周辺機能	モード	
1	クロック同期式 シリアル通信 (マスタ送受信動作)	SCI	クロック同期式 モード	シリアル I/O	クロック同期形 シリアル I/O モード	3.1
2	クロック同期式 シリアル通信 (マスタ送信動作)					3.2
3	クロック同期式 シリアル通信 (スレーブ受信動作)					3.3

3. クロック同期式シリアル通信の相違点

RA ファミリ、M16C ファミリのクロック同期式シリアル通信の相違点を、「表 3-1 クロック同期式シリアル通信の条件」に示す条件を例に説明します。

表 3-1 クロック同期式シリアル通信の条件

項目	送受信条件
周辺機能の動作クロック	16MHz
通信速度	100kbps
データフォーマット	LSB ファースト
ハードウェアフロー制御	なし
使用チャネル	RA ファミリ : SCIO M16C ファミリ : UART0

3.1 マスタ送受信動作時の相違点

クロック同期式のマスタ送受信を行う場合の相違点について説明します。

3.1.1 マスタ送受信動作時のタイミング相違点

図 3-1 に RA ファミリと M16C ファミリの送受信タイミング相違点(3 バイトずつ送受信する場合)を、表 3-2 に RA ファミリと M16C ファミリの各タイミングでの動作および処理内容の相違点(3 バイトずつ送受信する場合)を示します。

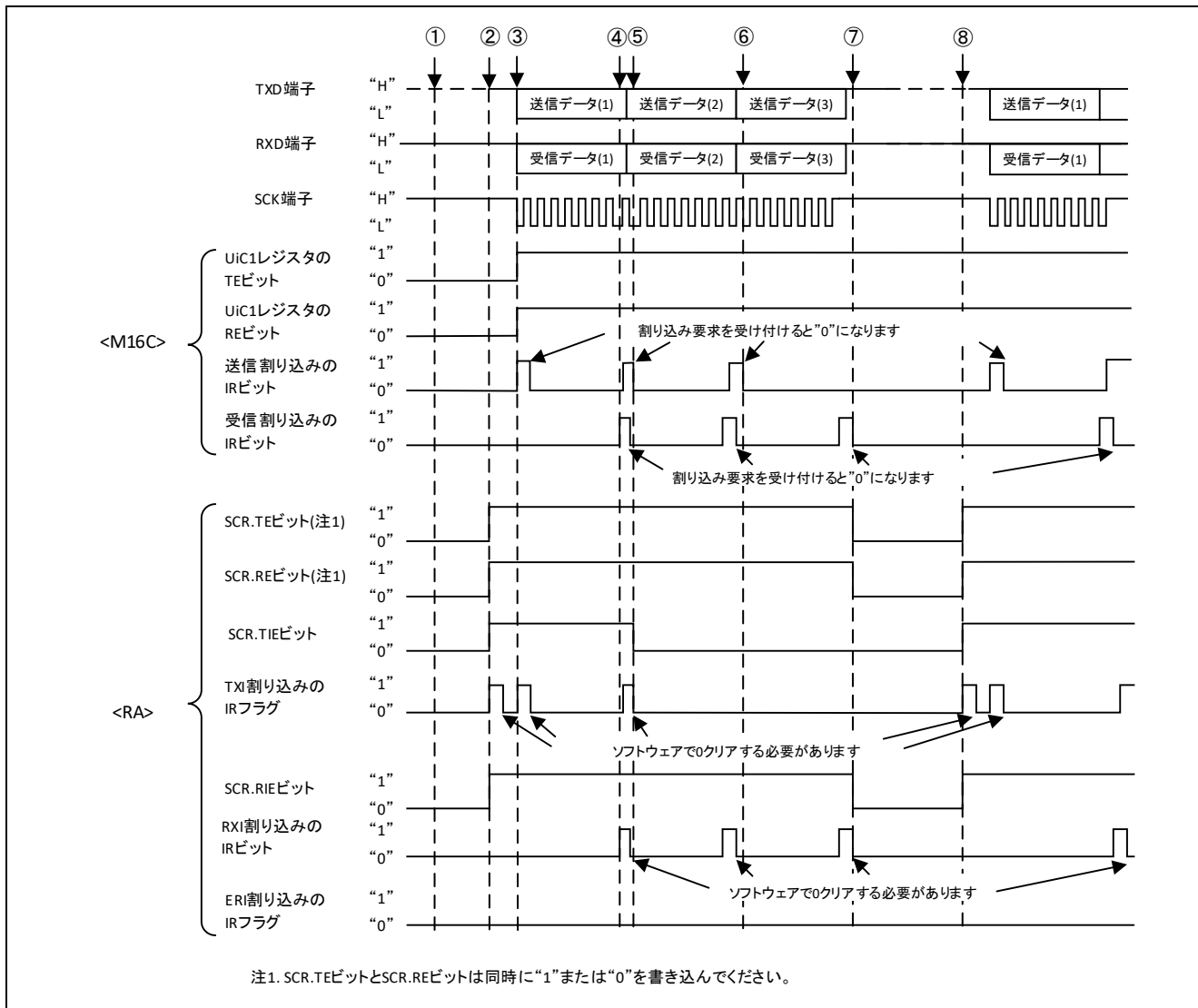


図 3-1 RA ファミリと M16C ファミリの送受信タイミング相違点(3 バイトずつ送受信する場合)

受信エラーが発生した場合の相違点については、「3.3.1 スレーブ受信動作時のタイミングの相違点」を参照してください。

表 3-2 RA ファミリと M16C ファミリの各タイミングでの動作および処理内容の相違点(3 バイトずつ送受信する場合)

No	タイミング	RA (RA6M3)	M16C
1	送信開始前	SCR.TE ビットを“1”(送信許可)に設定するまで、TXD 端子はハイインピーダンスになります。	端子状態はシリアル I/O モードを選択したときに確定します。
2	送受信開始時	送受信許可のため、以下のビットを設定します。 SCR.TE ビットを“1” SCR.RE ビットを“1” また、割り込み許可のため、以下のビットを設定します。 SCR.TIE ビットを“1” SCR.RIE ビットを“1” また、ICU および NVIC で以下の割り込みを許可します。 TXI 割り込み RXI 割り込み ERI 割り込み SCR.TE ビットを“1”にしたことにより、送信割り込み(TXI 割り込み)の IR フラグが“1”になります。送信割り込みで 1 バイト目の送信データを書き込みます。	TE ビットを“1”(送信許可)に設定します。 TE ビットを“1”にしても送信割り込みは発生しません。メイン処理などで 1 バイト目のデータを書き込みます。
3	送信シフトレジスタに送信データ転送時	送信割り込みの IR フラグ(IR ビット)が“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込みます。	
4	受信完了時	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、受信割り込み(RXI 割り込み)の IR ビット(フラグ)が“1”になります。 受信割り込み処理で、受信バッファから値を読み出します。	
5	最終データ書き込み時の送信割り込み	3 バイト目の送信データを書き込み後、SCR.TIE ビットを“0”(TXI 割り込み要求を禁止)、ICU および NVIC で TXI 割り込みを禁止にします。	—
6	最終データ書き込み後の送信割り込み	— (送信割り込みは発生しません)	送信データを書き込まずに、割り込み処理を終了します。
7	最終データの受信完了割り込み	受信割り込み処理で、受信データを読み出したあと、SCR.TE ビットと RE ビットを同時に“0”(送受信禁止)にします。 また、RIE ビットを“0”(RXI 割り込み要求を禁止)、ICU および NVIC で RXI 割り込み、ERI 割り込みを禁止にします。 送信禁止にすると、TXD 端子がハイインピーダンスになります。	No.4「受信完了時」と同じ処理を行います。
8	再度送受信開始時	No.2「送受信開始時」と同じ処理を行います。	メイン処理などで次のデータを書き込みます。

3.1.2 マスタ送受信動作時での設定手順の相違点

送受信動作時の初期設定手順の相違点を表 3-3 に、送受信動作時の送信割り込み処理内容の相違点を表 3-4 に、送受信動作時の受信割り込み処理内容の相違点を表 3-5 に、送受信動作時の ERI 割り込み処理内容の相違点を表 3-6 に示します。

表 3-3 送受信動作時の初期設定手順の相違点

手順		RA (RA6M3)	M16C
1	モジュールストップ状態を解除 ^(注1)	R_BSP_MODULE_START(FSP_IP_SCI, 0);	— (モジュールストップ機能なし)
2	I/O ポート機能の設定 ^(注2)	R_PMISC->PWPR_b.BOWI = 0; R_PMISC->PWPR_b.PFSWE = 1; R_PFS->PORT[1].PIN[0].PmnPFS_b.PMR = 0; R_PFS->PORT[1].PIN[1].PmnPFS_b.PMR = 0; R_PFS->PORT[1].PIN[2].PmnPFS_b.PMR = 0; R_PFS->PORT[1].PIN[0].PmnPFS_b.PSEL = 0x04; R_PFS->PORT[1].PIN[1].PmnPFS_b.PSEL = 0x04; R_PFS->PORT[1].PIN[2].PmnPFS_b.PSEL = 0x04; R_PFS->PORT[1].PIN[0].PmnPFS_b.PMR = 1; R_PFS->PORT[1].PIN[1].PmnPFS_b.PMR = 1; R_PFS->PORT[1].PIN[2].PmnPFS_b.PMR = 1; R_PMISC->PWPR_b.PFSWE = 0; R_PMISC->PWPR_b.BOWI = 1;	— (処理なし) ^(注3)
3	送受信モード等の設定	R_SCI0->SCR_b.CKE = 0; R_SCI0->SIMR1 = 0x00; R_SCI0->SPMR = 0x00; R_SCI0->SMR = 0x80; R_SCI0->SCMR = 0xF2;	uclksel0=0x00; pclk1 = 1; u0mr = 0x01; u0c0 = 0x10; ucon = 0x00; u0c1 = 0x00;
4	ビットレートの設定 ^(注4)	R_SCI0->BRR = 39;	u0brg = 79;
5	割り込み優先レベル設定	NVIC->IP[0] = 0x00000000; NVIC->IP[1] = 0x00000000; NVIC->IP[2] = 0x00000000; (注8)	s0tic = 0x01; s0ric = 0x01;
6	割り込み要求をクリア	R_ICU->IELSR_b[0].IR = 0; R_ICU->IELSR_b[1].IR = 0; R_ICU->IELSR_b[2].IR = 0; (注9)	
7	周辺機能割り込み要求を許可 ^(注5)	R_SCI0->SCR = 0xF0; ^(注6)	
8	送受信許可		u0c1 = 0x05;
9	割り込み要求を許可 ^(注5)	NVIC->ICPR[0] = 0x00000007; ^(注7) NVIC->ISER[0] = 0x00000007; R_ICU->IELSR[0] = 0x00000174; /* SCI0_RXI */ R_ICU->IELSR[1] = 0x00000175; /* SCI0_TXI */ R_ICU->IELSR[2] = 0x00000177; /* SCI0_ERI */ (注8)	asm("fset i");
10	1 バイト目の送信データ書き込み	— (処理なし)	/* u0tb レジスタに 1 バイト目のデータを書き込む */

- 注 1 モジュールストップ機能については、「4.1.3 モジュールストップ機能」を参照してください。
- 注 2 RA ファミリの端子設定については、「4.1.2 入出力ポート」を参照してください。本設定例では、RA6M3 の P100、P101、P102 をそれぞれ RXD0、TXD0、SCK0 機能として用います。
- 注 3 M32C/80 シリーズ、R32C/100 シリーズでは、機能選択レジスタで端子機能の選択を行ってください。
- 注 4 RA ファミリと M16C ファミリでビットレートの算出方法が異なります。詳細は「3.4 ビットレートの算出方法について」を参照してください。
- 注 5 割り込み要求を許可にする方法が異なります。詳細は「4.1.1 割り込み」を参照してください。
- 注 6 SCR.TE ビットと SCR.RE ビットは同時に“1”(送信許可、受信許可)にしてください。
- 注 7 受信エラー割り込みの仕様はマイコンにより異なります。詳細はユーザーズマニュアル ハードウェア編(以下、UMH)を参照ください。
- 注 8 RXI、TXI、ERI 割り込みにそれぞれ IRQ 番号 0、1、2 を使う場合。

表 3-4 送受信動作時の送信割り込み処理内容の相違点

手順	RA (RA6M3)	M16C
1 割り込み要求をクリア	R_ICU->IELSR_b[1].IR = 0; (注 1)	— (処理なし)
2 送信データの書き込み	/* SCR.TDR レジスタに送信データ */ /* を書き込む */	if (送信するデータあり?) {
3 最終データ書き込み確認	if (最終データ書き込み済み?) {	/* u0tb レジスタに 1 バイト目の */ /* データを書き込む */ }
4 送信割り込みの禁止 (最終データ書き込み後のみ)	NVIC->ICER[0] = 0x00000002; (注 1) R_SCI0->SCR_b.TIE = 0; while (0 != R_SCI0->SCR_b.TIE) { } }	— (処理なし)

注 1 TXI 割り込みに IRQ 番号 1 を使う場合。

表 3-5 送受信動作時の受信割り込み処理内容の相違点

手順		RA (RA6M3)	M16C
1	割り込み要求をクリア	R_ICU->IELSR_b[0].IR = 0; (注 1)	— (処理なし)
2	受信データの読み出し	/* SCIO.RDR レジスタから受信データ */ /* を読み出し */	/* u0rb レジスタから受信データを読み出し */
3	受信エラー判定	— (処理なし)(注 2)	if(受信エラー発生?) {
4	受信エラー発生時の処理		/* エラー発生時の処理を記載 */
5	受信エラーのクリア (受信禁止)		re_u0c1 = 0; u0mr = u0mr & 0xf8; }
6	最終データの受信確認	if (最終データの受信?) {	— (処理なし)(注 3)
7	送受信禁止、および受信割り込みの禁止 (最終データ受信後のみ)	R_SCIO->SCR = (R_SCIO->SCR & 0x0F); (注 4) while (0x00 != (R_SCIO->SCR & 0xF0)) { } }	

注 1 RXI 割り込みに IRQ 番号 0 を使う場合。

注 2 RA ファミリでは受信エラー発生時、ERI 割り込みが発生するため、RXI 割り込みではエラー処理は不要です。

注 3 M16C ファミリでは、受信割り込みを禁止にする必要はありません。

注 4 SCR.TE ビットと SCR.RE ビットは同時に “0” (送信禁止、受信禁止)にしてください。

表 3-6 送受信動作時の ERI 割り込み処理内容の相違点

手順		RA (RA6M3)	M16C
1	割り込み要求発生元の確認	do { while ((0 != R_SCI0->SCR_b.RIE) && (0x00 != (R_SCI0->SSR & 0x38))) {	__(注1)
2	受信エラー発生時の処理	/* エラー発生時の処理を記載 */	
3	受信バッファのダミーリード	dummy = R_SCI0->RDR;	
4	受信禁止	R_SCI0->SCR = (R_SCI0->SCR & 0x0B);(注2) while (0x00 != (R_SCI0->SCR & 0xF4)) { }	
5	割り込み要求をクリア	R_ICU->IELSR_b[0].IR = 0; (注4) R_ICU->IELSR_b[1].IR = 0;	
6	受信エラーのクリア	dummy = R_SCI0->SSR;(注3) R_SCI0->SSR = 0xC0; while (0x00 != (R_SCI0->SSR & 0x38)) { }	
7	IR フラグの確認	} R_ICU->IELSR_b[2].IR = 0; (注4) }while(0 != R_ICU->IELSR_b[2].IR);	

注1 M16C ファミリでは、受信エラー発生時に個別の割り込みは発生しません。受信割り込み内でエラー判定および処理を行います。

注2 SCR.TE ビットと SCR.RE ビットは同時に"0"(送信禁止、受信禁止)にしてください。

注3 PER フラグ(パリティエラーフラグ)、FER フラグ(フレーミングエラーフラグ)、ORER フラグ(オーバランエラーフラグ)をクリアする場合は、事前に"1"の状態を読み出す必要があります。

注4 RXI、TXI、ERI 割り込みにそれぞれ IRQ 番号 0、1、2 を使う場合。

3.2 マスタ送信動作時の相違点

クロック同期式のマスタ送信を行う場合の相違点について説明します。

3.2.1 マスタ送信動作時のタイミングの相違点

図 3-2 に RA ファミリと M16C ファミリの送信タイミング相違点(3 バイトずつ送信する場合)を、表 3-7 に RA ファミリと M16C ファミリの各タイミングでの動作および処理内容の相違点(3 バイトずつ送信する場合)を示します。

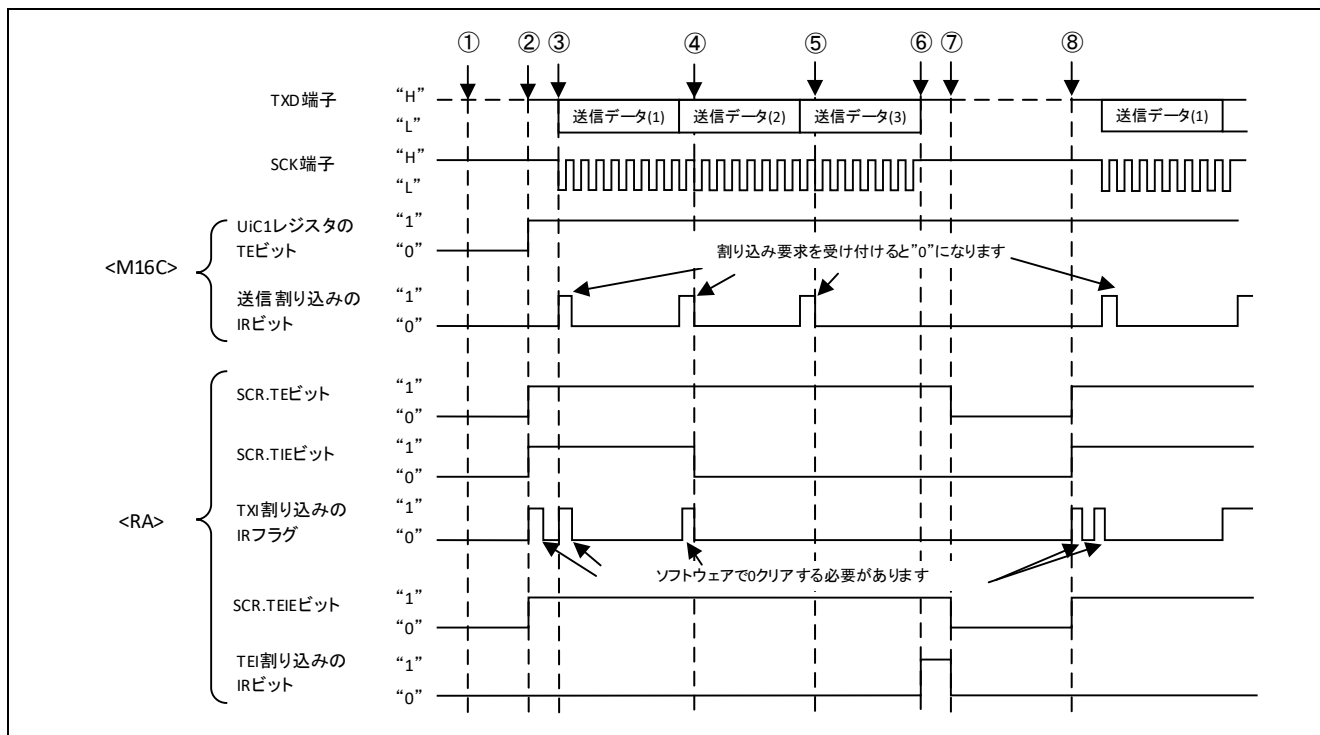


図 3-2 RA ファミリと M16C ファミリの送信タイミング相違点(3 バイトずつ送信する場合)

表 3-7 RA ファミリと M16C ファミリの各タイミングでの動作および処理内容の相違点(3 バイトずつ送信する場合)

No	タイミング	RA (RA6M3)	M16C
1	送信開始前	SCR.TE ビットを“1”(送信許可)に設定するまで、TXD 端子はハイインピーダンスになります	端子状態はシリアル I/O モードを選択したときに確定します。
2	送信開始時	SCR.TE ビットに“1”に、TIE ビットに“1”(TXI 割り込み要求を許可)に、TEIE ビットに“1”(TEI 割り込み要求を許可)に、ICU および NVIC で TXI 割り込みを許可に設定します。 SCR.TE ビットを“1”にすると、送信割り込み(TXI 割り込み)の IR フラグが“1”になります。送信割り込みで 1 バイト目の送信データを書き込みます。	TE ビットを“1”(送信許可)に設定します。 TE ビットを“1”にしても送信割り込みは発生しません。メイン処理などで 1 バイト目のデータを書き込みます。
3	送信シフトレジスタに送信データ転送時	送信割り込みの IR フラグ(IR ビット)が“1”になり、送信割り込みが発生します。送信割り込み処理で、2 バイト目のデータを書き込みます。	
4	最終データ書き込み時の送信割り込み	TEI 割り込みを許可に、SCI.TIE ビットを“0”(TXI 割り込み要求を禁止)、ICU および NVIC で TXI 割り込みを禁止にします。	—
5	最終データ書き込み後の送信割り込み	— (送信割り込みは発生しません)	送信データを書き込まずに、割り込み処理を終了します。
6	送信終了時	送信完了割り込みが発生します。	—
7	送信完了割り込み処理	送信完了割り込み処理で、SCR.TE ビットを“0”(送信禁止)、TEIE ビットを“0”(TEI 割り込み要求を禁止)、ICU および NVIC で送信完了割り込みを禁止にして、送信を禁止にします。送信禁止にすると、TXD 端子がハイインピーダンスになります。	
8	再度送信開始時	No.2「送信開始時」と同じ処理を行います。	メイン処理などで次のデータを書き込みます。

3.2.2 マスタ送信動作時での設定手順の相違点

表 3-8 に送信動作時の初期設定手順の相違点を、表 3-9 に送信動作時の送信割り込み処理内容の相違点を、表 3-10 に送信動作時の送信完了割り込み処理内容の相違点を示します。

表 3-8 送信動作時の初期設定手順の相違点

手順		RA (RA6M3)	M16C
1	モジュールストップ状態を解除 ^(注1)	R_BSP_MODULE_START(FSP_IP_SCI, 0);	— (モジュールストップ機能なし)
2	I/O ポート機能の設定 ^(注2)	R_PMISC->PWPR_b.B0WI = 0; R_PMISC->PWPR_b.PFSWE = 1; R_PFS->PORT[1].PIN[0].PmnPFS_b.PMR = 0; R_PFS->PORT[1].PIN[1].PmnPFS_b.PMR = 0; R_PFS->PORT[1].PIN[2].PmnPFS_b.PMR = 0; R_PFS->PORT[1].PIN[0].PmnPFS_b.PSEL = 0x04; R_PFS->PORT[1].PIN[1].PmnPFS_b.PSEL = 0x04; R_PFS->PORT[1].PIN[2].PmnPFS_b.PSEL = 0x04; R_PFS->PORT[1].PIN[0].PmnPFS_b.PMR = 1; R_PFS->PORT[1].PIN[1].PmnPFS_b.PMR = 1; R_PFS->PORT[1].PIN[2].PmnPFS_b.PMR = 1; R_PMISC->PWPR_b.PFSWE = 0; R_PMISC->PWPR_b.B0WI = 1;	— (処理なし) ^(注3)
3	送信モード等の設定	R_SCI0->SCR_b.CKE = 0; R_SCI0->SIMR1 = 0x00; R_SCI0->SPMR = 0x00; R_SCI0->SMR = 0x80; R_SCI0->SCMR = 0xF2;	uclksel0 = 0x00; pclk1 = 1; u0mr = 0x01; u0c0 = 0x10; ucon = 0x00; u0c1 = 0x00;
4	ビットレートの設定 ^(注4)	R_SCI0->BRR = 39;	u0brg = 79;
5	割り込み優先レベル設定	NVIC->IP[0] = 0x00000000; NVIC->IP[1] = 0x00000000; ^(注6)	s0tic = 0x01;
6	割り込み要求をクリア	R_ICU->IELSR_b[0].IR = 0; R_ICU->IELSR_b[1].IR = 0; ^(注6)	
7	周辺機能割り込み要求を許可 ^(注5)	R_SCI0->SCR = 0xA4;	
8	送信許可		u0c1 = 0x01;
9	割り込み要求を許可 ^(注5)	NVIC->ICPR[0] = 0x00000003; NVIC->ISER[0] = 0x00000001; R_ICU->IELSR[0] = 0x00000175; /* SCI0_TXI */ R_ICU->IELSR[1] = 0x00000176; /* SCI0_TEI */ ^(注6)	asm("fset i");
10	1 バイト目の送信データ書き込み	— (処理なし)	/* u0tb レジスタに 1 バイト目のデータを書き込む */

注1 モジュールストップ機能については、「4.1.3 モジュールストップ機能」を参照してください。

注2 RA ファミリの端子設定については、「4.1.2 入出力ポート」を参照してください。本設定例では、RA6M3 の P100、P101、P102 をそれぞれ RXD0、TXD0、SCK0 機能として用います。

注3 M32C/80 シリーズ、R32C/100 シリーズでは、機能選択レジスタで端子機能の選択を行ってください。

注4 RA ファミリと M16C ファミリでビットレートの算出方法が異なります。詳細は「3.4 ビットレートの算出方法について」を参照してください。

注5 割り込み要求を許可にする方法が異なります。詳細は「4.1.1 割り込み」を参照してください。

注6 TXI、TEI 割り込みにそれぞれ IRQ 番号 0、1 を使う場合。

表 3-9 送信動作時の送信割り込み処理内容の相違点

手順	RA (RA6M3)	M16C
1 割り込み要求をクリア	R_ICU->IELSR_b[0].IR = 0; (注1)	— (処理なし)
2 送信データの書き込み	/* SCR.TDR レジスタに送信データ */ /* を書き込む */	if (送信するデータあり?) {
3 最終データ書き込み確認	if (最終データ書き込み済み?) {	/* u0tb レジスタに送信データ */ /* を書き込む */ }
4 TXI 割り込みの禁止 (最終データ書き込み後のみ)	NVIC->ICER[0] = 0x00000001; (注1) R_SCI0->SCR_b.TIE = 0; while (0 != R_SCI0->SCR_b.TIE) { }	— (処理なし)(注2)
5 送信完了割り込みを許可 (最終データ書き込み後のみ)	NVIC->ISER[0] = 0x00000002; (注1) }	

注1 TXI 割り込みに IRQ 番号 0 を使う場合。

注2 M16C では、送信割り込みを禁止にする必要はありません。

表 3-10 送信動作時の送信完了割り込み処理内容の相違点

手順	RA (RA6M3)	M16C
1 割り込み要求発生元の確認	do { while ((0 != R_SCI0->SCR_b.TEIE) && (0 != R_SCI0->SSR_b.TEND)) {	—(注1)
2 送信禁止	R_SCI0->SCR_b.TE = 0; while (0 != R_SCI0->SCR_b.TE) { }	
3 TEI 割り込みの禁止	R_SCI0->SCR_b.TEIE = 0; while (0 != R_SCI0->SCR_b.TEIE) { }	
4 IR フラグの確認	} R_ICU->IELSR_b[1].IR = 0; (注2) }while(0 != R_ICU->IELSR_b[1].IR);	

注1 送信割り込み要因に送信バッファ空を選択した場合、送信完了時に割り込みは発生しません。

注2 TEI 割り込みに IRQ 番号 1 を使う場合。

3.3 スレーブ受信動作時の相違点

RA ファミリと M16C ファミリで受信許可になる条件が異なります。RA ファミリと M16C ファミリの受信許可条件の相違点を表 3-11 に示します。

表 3-11 RA ファミリと M16C ファミリの受信許可条件の相違点

設定	RA (RA6M3)	M16C
マスタ動作時	SCR.TE ビットを“1”、SCR.RE ビットを“1”にした場合、送信バッファにダミーデータを書き込むと受信許可状態になり、SCK 端子から 1 バイト分の同期クロックが出力されます。SCR.TE ビットを“0”、SCR.RE ビットを“1”にした場合、設定時に受信許可状態となり CTS 機能が無効、もしくは CTSn 端子入力が Low のとき、SCK 端子から同期クロックを出力し続けます。	TE ビットを“1”、RE ビットを“1”に設定します。 ^(注1) 連続受信モードが禁止の場合、送信バッファにダミーデータを書き込むと、1 バイト分の同期クロックが出力されます。 連続受信モードが許可の場合、受信バッファを読み出すと、1 バイト分の同期クロックが出力されます。
スレーブ動作時	SCR.RE ビットを“1”にすると、受信許可状態になります。SCK 端子に同期クロックが入力されると、受信動作を開始します。 ^(注1)	TE ビットを“1”、RE ビットを“1”に設定します。 ^(注2) 連続受信モードが禁止の場合、送信バッファにダミーデータを書き込むと、受信許可状態になります。 連続受信モードが許可の場合、受信バッファを読み出すと、受信許可状態になります。 受信許可状態のとき、SCK 端子に同期クロックが入力されると、受信動作を開始します。

注 1 SCR.TE ビットも“1”にした場合は、SCK 端子に同期クロックが入力される前に送信バッファにダミーデータを書き込んでください。

注 2 M16C ファミリでは、受信動作のみ行う場合でも TE ビットを“1”にする必要があります。

3.3 節では、RA ファミリは TE=0、RE=1 での条件、M16C ファミリは TE=1、RE=1、連続受信モード禁止での条件で、スレーブ受信動作を行う場合の相違点を示します。

3.3.1 スレーブ受信動作時のタイミングの相違点

データ受信時に、他の割り込みで受信割り込みが待たされた場合の例を説明します。

図 3-3 に RA ファミリと M16C ファミリのタイミング相違点(受信時)を、表 3-12 に RA ファミリと M16C ファミリの各タイミングでの動作および処理内容の相違点(受信時)を示します。

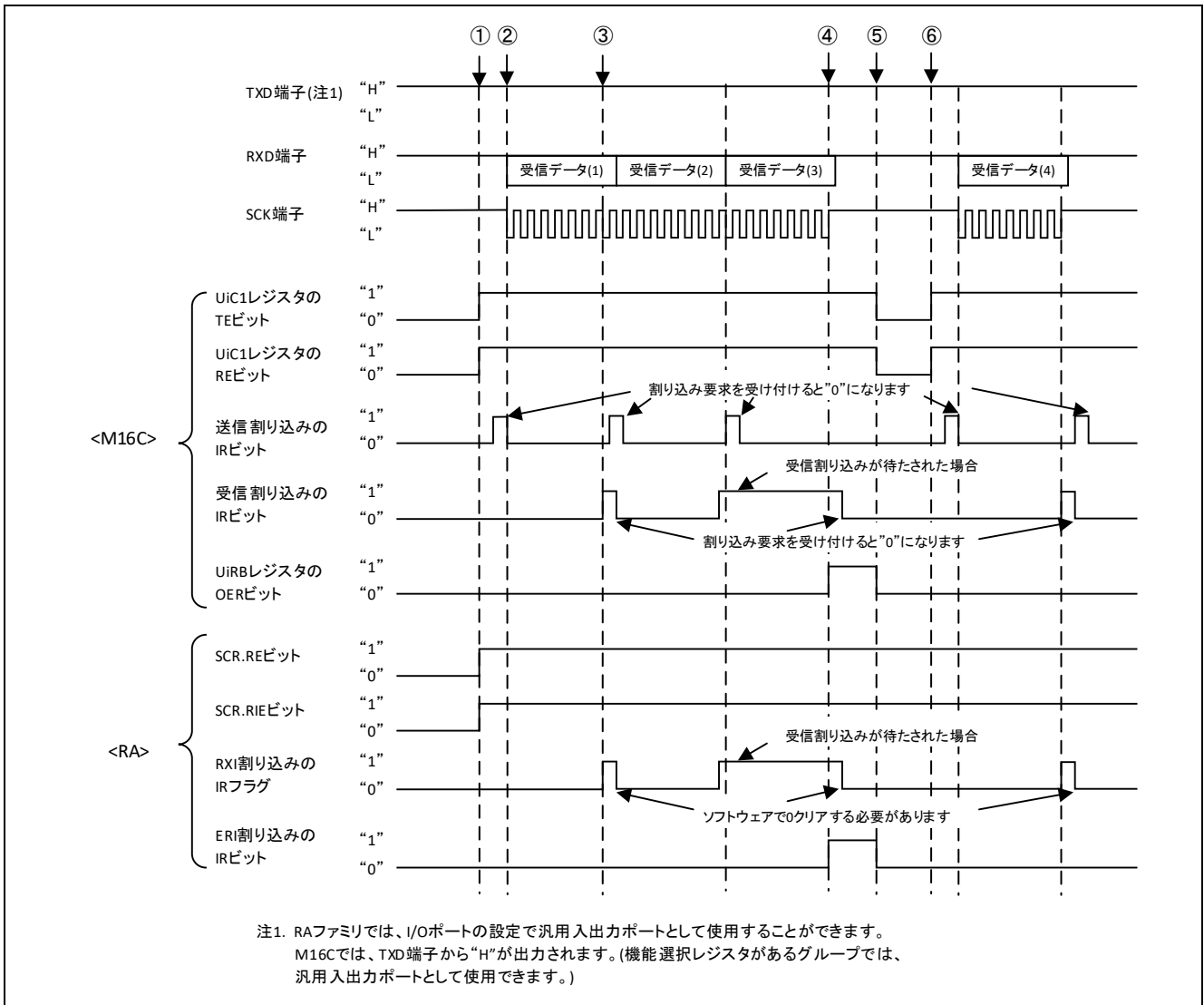


図 3-3 RA ファミリと M16C ファミリのタイミング相違点(受信時)

表 3-12 RA ファミリと M16C ファミリの各タイミングでの動作および処理内容の相違点(受信時)

No	タイミング	RA (RA6M3)	M16C
1	受信許可設定	SCR.RE ビットを“1”(受信許可)に、RIE ビットを“1”(RXI 割り込み要求を許可)に、ICU および NVIC で RXI 割り込みを許可、ERI 割り込みを許可して、受信許可状態にします。	TE ビットを“1”(送信許可)、RE ビットを“1”(受信許可)にした後、送信バッファにダミーデータを書き込みます。送信シフトレジスタに送信データが転送されると、送信割り込みの IR ビットが“1”になり、送信割り込みが発生します。送信割り込み処理で再度送信バッファにダミーデータを書き込みます。
2	受信開始	SCK 端子にクロックが入力されると、受信動作を開始します。	
3	受信完了時	1 バイトのデータを受信すると、受信データが受信バッファに取り込まれ、受信割り込み(RXI 割り込み)の IR フラグ(IR ビット)が“1”になり、受信割り込みが発生します。受信割り込み処理で、受信バッファから値を読み出します。	
4	受信エラー発生時	オーバランエラー発生時、ERI 割り込みが発生します。ERI 割り込み処理で、受信エラー処理を行います。	オーバランエラー発生時、受信バッファ(UiRB レジスタ)の OER ビットが“1”になります。
5	受信エラーフラグのクリア	SSR レジスタのエラーフラグを読み出し後、“0”を書き込み、エラーフラグをクリアします。	TE ビットを“0”(送信禁止)、RE ビットを“0”(受信禁止)に、UiMR レジスタの SMD2~SMD0 ビットを“000”(シリアルインタフェースは無効)にします。
6	再度受信許可設定時		UiMR レジスタの SMD2~SMD0 ビットを“001”(クロック同期形シリアル I/O モード)、TE ビットおよび RE ビットを“1”に設定した後、送信バッファにダミーリードを書き込むと、受信許可状態となります。

3.3.2 スレーブ受信動作時での設定手順の相違点

表 3-13 に受信動作時の初期設定手順の相違点を、表 3-15 に受信動作時の受信割り込み処理内容の相違点を、表 3-16 に受信動作時の ERI 割り込み処理内容の相違点を示します。

表 3-13 受信動作時の初期設定手順の相違点

手順	RA (RA6M3)	M16C
1 モジュールストップ状態を解除 ^(注 1)	R_BSP_MODULE_START(FSP_IP_SCI, 0);	— (モジュールストップ機能なし)
2 I/O ポート機能の設定 ^(注 2)	R_PMISC->PWPR_b.BOWI = 0; R_PMISC->PWPR_b.PFSWE = 1; R_PFS->PORT[1].PIN[0].PmnPFS_b.PMR = 0; R_PFS->PORT[1].PIN[2].PmnPFS_b.PMR = 0; R_PFS->PORT[1].PIN[0].PmnPFS_b.PSEL = 0x04; R_PFS->PORT[1].PIN[2].PmnPFS_b.PSEL = 0x04; R_PFS->PORT[1].PIN[0].PmnPFS_b.PMR = 1; R_PFS->PORT[1].PIN[2].PmnPFS_b.PMR = 1; R_PMISC->PWPR_b.PFSWE = 0; R_PMISC->PWPR_b.BOWI = 1;	— (処理なし) ^(注 3)
3 受信モード等の設定	R_SCI0->SCR_b.CKE = 2; R_SCI0->SMR = 0x80; R_SCI0->SCMR = 0xF2; R_SCI0->SEMR = 0x00;	u0mr = 0x09; u0c0 = 0x10; ucon = 0x00; u0c1 = 0x00;
4 割り込み優先レベル設定	NVIC->IP[0] = 0x00000000; NVIC->IP[1] = 0x00000000; ^(注 6)	s0tic = 0x01; s0ric = 0x01;
5 割り込み要求をクリア	R_ICU->IELSR_b[0].IR = 0; R_ICU->IELSR_b[1].IR = 0; ^(注 6)	
6 周辺機能割り込み要求を許可 ^(注 4)	R_SCI0->SCR = 0x50;	
7 送受信許可		u0c1 = 0x05;
8 割り込み要求を許可 ^(注 4)	NVIC->ICPR[0] = 0x00000007; ^(注 5) NVIC->ISER[0] = 0x00000007; R_ICU->IELSR[0] = 0x00000174; /* SCI0_RXI */ R_ICU->IELSR[1] = 0x00000177; /* SCI0_ERI */ ^(注 6)	asm("fset i");
9 送信バッファへのダミーデータ書き込み	— (処理なし)	/* u0tb レジスタにダミーデータ */ /* を書き込む */

注 1 モジュールストップ機能については、「4.1.3 モジュールストップ機能」を参照してください。

注 2 RA ファミリの端子設定については、「4.1.2 入出力ポート」を参照してください。本設定例では、RA6M3 の P100、P102 をそれぞれ RXD0、SCK0 機能として用います。

注 3 M32C/80 シリーズ、R32C/100 シリーズでは、機能選択レジスタで端子機能の選択を行ってください。

注 4 割り込み要求を許可にする方法が異なります。詳細は「4.1.1 割り込み」を参照してください。

注 5 受信エラー割り込みの仕様はマイコンにより異なります。詳細はユーザーズマニュアル ハードウェア編(以下、UMH)を参照ください。

注 6 RXI、ERI 割り込みにそれぞれ IRQ 番号 0、1 を使う場合。

表 3-14 受信動作時の送信割り込み処理内容の相違点

手順		RA (RA6M3)	M16C
1	送信データの書き込み	— (処理なし)	/* u0tb レジスタにダミーデータ */ /* を書き込む */

表 3-15 受信動作時の受信割り込み処理内容の相違点

手順		RA (RA6M3)	M16C
1	割り込み要求をクリア	R_ICU->IELSR_b[0].IR = 0; (注 1)	— (処理なし)
2	受信データの読み出し	/* SCIO.RDR レジスタから */ /* 受信データを読み出し */	/* u0rb レジスタから受信データ */ /* を読み出し */
3	受信エラー判定	— (処理なし)(注 2)	if(受信エラー発生?) {
4	受信エラー発生時の処理		/* エラー発生時の処理を記載 */
5	受信エラーのクリア (受信禁止)		re_u0c1 = 0; u0mr = u0mr & 0xf8; }

注 1 RXI 割り込みに IRQ 番号 0 を使う場合。

注 2 RA ファミリでは受信エラー発生時、ERI 割り込みが発生するため、RXI 割り込みではエラー処理は不要です。

表 3-16 受信動作時の ERI 割り込み処理内容の相違点

手順		RA (RA6M3)	M16C
1	割り込み要求発生元の確認	do { while ((0 != R_SCIO->SCR_b.RIE) && (0x00 != (R_SCIO->SSR & 0x38))) {	__(注 1)
2	受信エラー発生時の処理	/* エラー発生時の処理を記載 */	
3	受信バッファのダミーリード	dummy = R_SCIO->RDR;	
4	受信禁止	R_SCIO->SCR_b.RE = 0; while (0 != R_SCIO->SCR_b.RE) { }	
5	受信エラーのクリア	dummy = R_SCIO->SSR; (注 2) R_SCIO->SSR = 0xc0; while (0x00 != (R_SCIO->SSR & 0x38)) { }	
6	IR フラグの確認	} R_ICU->IELSR_b[1].IR = 0; (注 3) }while(0 != R_ICU->IELSR_b[1].IR);	

注 1 M16C ファミリでは、受信エラー発生時に個別の割り込みは発生しません。受信割り込み内でエラー判定および処理を行います。詳細は「表 3-15 受信動作時の受信割り込み処理内容の相違点」を参照してください。

注 2 PER フラグ(パリティエラーフラグ)、FER フラグ(フレーミングエラーフラグ)、ORER フラグ(オーバーランエラーフラグ)をクリアする場合は、事前に“1”の状態を読み出す必要があります。

注 3 ERI 割り込みに IRQ 番号 1 を使う場合。

3.4 ビットレートの算出方法について

RA ファミリと M16C ファミリでビットレートの算出方法が異なります。

表 3-17 ビットレートの算出方法の相違点

項目	RA (RA6M3)	M16C
内部クロック使用時	クロックソース / 4(N+1) (注1) クロックソース: PCLK、PCLK/4、 PCLK/16、PCLK/64 N: BRR レジスタの設定値	クロックソース / 2(n+1) クロックソース : f1SIO、 f2SIO、f8SIO、f32SIO n : UiBRG レジスタの設定値
外部クロック使用時	fEXT fEXT : SCKi 端子からの入力	fEXT fEXT : CLKi 端子からの入力

注1 UMH の「BRR レジスタの設定値 N とビットレート B の関係」の式より

$$\begin{aligned}
 B &= \text{PCLK} / (8 \times 2^{2n-1} \times (N + 1)) \\
 &= \text{PCLK} / (4 \times 2^{2n} \times (N + 1)) \\
 &= (\text{PCLK} / 2^{2n}) / (4 \times (N + 1)) \\
 &= \text{クロックソース} / (4 \times (N + 1))
 \end{aligned}$$

4. 付録

4.1 M16C ファミリから RA ファミリへ置き換えるときのポイント

M16C ファミリから RA ファミリへ置き換えるときのポイントについて、以下に示します。

4.1.1 割り込み

RA ファミリでは、下記の条件を満たすときに割り込みを受け付けることができます。

- 割り込みセットイネーブルレジスタ (NVIC) を設定する。
- IELSRn.IELS[8:0]ビットを割り込み要因として設定する。

表 4-1 に、RA ファミリと M16C ファミリの割り込みの発生条件についての比較表を示します。

表 4-1 RA ファミリと M16C ファミリの割り込みの発生条件についての比較表

項目	RA	M16C
I フラグ	-	I フラグを“1”(許可)にすると、マスクブル割り込みの受け付けが許可されます。
割り込み要求フラグ	周辺機能から割り込み要求があると、“1”(割り込み要求あり)になります。	
割り込み優先レベル	NVIC->IP レジスタで設定します。	ILVL2~ILVL0 ビットで設定します。
割り込み要求許可	NVIC->ISER レジスタで設定します。	-
周辺機能の割り込み許可	R_ICU->IELSR レジスタで設定します。	-

詳細は、ユーザーズマニュアル ハードウェア編の割り込みコントローラユニット(ICU)、CPU、使用する周辺機能の章を参照ください。

Arm® NVIC の内部レジスタについては、ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D) を参照してください。

4.1.2 入出力ポート

RA ファミリでは、周辺機能の入出力信号を端子に割り当てるには、I/O ポートの PFS レジスタの設定を行う必要があります。

RA ファミリの端子の入出力制御を行う前に以下の2つのビットの設定を行ってください。

- PSEL ビット：該当端子に割り当てる周辺機能の選択
- PMR ビット：該当端子に汎用入出力ポート/周辺機能を割り当てるかの選択

表 4-2 に RA ファミリと M16C ファミリの周辺機能端子の入出力設定についての比較表を示します。

表 4-2 RA ファミリと M16C ファミリの周辺機能端子の入出力設定についての比較表

機能	RA	M16C
端子の機能選択	PSEL ビットを設定することで、周辺機能の入出力を複数の端子から選択して割り付けることができます。	M16C ファミリにはありません。 ^(注1) 各周辺機能のモードを設定すると、周辺機能の入出力端子として割り付けられます。
汎用入出力ポート/周辺機能の切り換え	PMR ビットを設定することで、対象端子を I/O ポートとして使用するか、周辺機能として使用するかを選択できます。	

注1 M32C ファミリ、R32C ファミリには、同様の機能のレジスタがあります。

詳細は、ユーザーズマニュアル ハードウェア編の I/O ポートの章を参照ください。

4.1.3 モジュールストップ機能

RA ファミリでは、周辺モジュールごとに機能を停止させることが可能です。

使用しない周辺モジュールをモジュールストップ状態へ遷移させることで、消費電力を低減することができます。

リセット解除後は、一部を除く全てのモジュールがモジュールストップ状態になっています。

モジュールストップ状態のモジュールのレジスタは、読み書きできません。

詳細は、ユーザーズマニュアル ハードウェア編の消費電力低減機能の章を参照ください。

4.2 Flexible Software Package (FSP)

Renesas RA ファミリの Flexible Software Package (FSP) は、RA ファミリを用いた組み込みシステムを開発するためのソフトウェアパッケージです。

プログラミングとデバッグを簡単かつ迅速に行うための直感的なコンフィグレータおよびインテリジェントなコード生成をサポートします。

- RA Flexible Software Package Documentation
 - [Serial Communications Interface \(SCI\) SPI \(r_sci_spi\)](#)
 - [Serial Peripheral Interface \(r_spi\)](#)
- HAL Driver Example Project
 - [sci_spi HAL Driver - Example Project](#)
 - [spi HAL Driver - Example Project](#)

5. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

RA6M3 グループ ユーザーズマニュアル ハードウェア編 (R01UH0886)

M16C/65C グループ ユーザーズマニュアル ハードウェア編 (R01UH0093)

RA6M3 グループ、M16C/65C グループ以外の製品をご使用の場合は、それぞれのユーザーズマニュアルハードウェア編を参照してください。

(最新版をルネサスエレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサスエレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

Renesas Flexible Software Package (FSP) User's Manual (R11UM0155EU, <https://renesas.github.io/fsp/>)

M16C シリーズ,R8C ファミリ C コンパイラパッケージ V5.45

C コンパイラユーザーズマニュアル Rev.3.00

(最新版をルネサスエレクトロニクスホームページから入手してください。)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

www.renesas.com

お問合せ先

www.renesas.com/contact/

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2022.06.24	-	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通管制（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。