

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド 割り込み編

要旨

本アプリケーションノートは、R8C/36M グループの割り込みから RA ファミリの割り込みコントロールユニット(ICU)への置き換えについて説明しています。

本アプリケーションノートでは、R8C/36M グループと性能が近い RA2L1 グループの割り込みコントロールユニット(ICU)と比較します。

RA2L1 グループ以外の製品のご使用を検討される場合は、各 RA 製品のユーザーズマニュアル ハードウェア編を参照ください。

対象デバイス

RA2L1 グループ、R8C/36M グループ

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。また、マイコン仕様と電気的特性についてはユーザーズマニュアル ハードウェア編とテクニカルアップデートを参照してください。

目次

1. R8C/36M グループと RA2L1 グループの相違点	3
1.1 割り込み全般	3
1.2 INT 割り込みの相違点	4
1.3 キー入力割り込みの相違点	4
2. レジスタの対比	5
2.1 割り込み全般	5
2.2 HNF 割り込みに関するレジスタ	6
2.3 キー入力割り込みに関するレジスタ	6
3. 割り込み動作の設定比較	7
3.1 マスカブル割り込み	7
3.1.1 R8C/36M グループ	7
3.1.2 RA2L1 グループ	8
3.2 INT 割り込み	10
3.2.1 R8C/36M グループ	10
3.2.2 RA2L1 グループ	12
3.3 キー入力割り込み	13
3.3.1 R8C/36M グループ	13
3.3.2 RA2L1 グループ	13
3.4 割り込み優先順位	14
3.4.1 R8C/36M グループ	14
3.4.2 RA2L1 グループ	14
3.5 レジスタ退避	14
3.5.1 R8C/36M グループ	14
3.5.2 RA2L1 グループ	14
4. 割り込みベクタ	15
4.1 R8C/36M グループ	15
4.1.1 固定ベクタテーブル	15
4.1.2 可変ベクタテーブル	15
4.2 RA2L1 グループ	17
5. 参考ドキュメント	20

1. R8C/36M グループと RA2L1 グループの相違点

1.1 割り込み全般

割り込み全般に関する相違点を表 1.1 に示します。

表 1.1 割り込み全般に関する相違点

項目	R8C/36M グループ	RA2L1 グループ
マスカブル割り込み	周辺機能割り込み(注 1)	周辺機能割り込み 外部端子割り込み CPU(NVIC)への割り込み要求 DTC 制御
ノンマスカブル 割り込み	・ソフトウェア割り込み 未定義命令(UND 命令) オーバフロー(INTO 命令) BRK 命令 INT 命令	—
	・特殊割り込み ウォッチドッグタイマ 発振停止検出 電圧監視 1/コンパレータ A1(注 2) 電圧監視 2/コンパレータ A2(注 2) シングルステップ(注 3) アドレスブレイク(注 3) アドレス一致	NMI 端子割り込み WDT アンダーフロー/リフレッシュエラー (注 4) IWDT アンダーフロー/リフレッシュエラー (注 4) 低電圧検出 1(注 4) 低電圧検出 2(注 4) RPEST RECCST CPU スタックポインタモニタエラー 発振停止検出割り込み(注 4) バススレーブ MPU エラー バスマスタ MPU エラー
割り込み優先レベル	レベル 0~7(注 5)	レベル 0~255(注 6)(注 7)
ベクタテーブルの 種類	・固定ベクタテーブル ・可変ベクタテーブル	可変ベクタテーブル
ベクタテーブルの アドレス	・固定ベクタテーブル：固定 ・可変ベクタテーブル：可変 (ユーザ任意)	ベクタテーブル：可変

注 1. 周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。

注 2. CMPA レジスタの IRQ1SEL、IRQ2SEL ビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。

注 3. 開発ツール専用の割り込みですので、使用しないでください。

注 4. マスカブル割り込みとしても使用可能です。マスカブル割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 と電圧監視 2 の割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。

注 5. レベル 0 が低優先順位(割り込み禁止)、レベル 7 が高優先順位です。

注 6. レベル 255 が低優先順位、レベル 0 が高優先順位です。

注 7. Arm の最大設定可能範囲です。設定の詳細は「ARM® Cortex®-M23 Processor Technical Reference Manual (ARM DDI 0550C)」を参照してください。

1.2 INT 割り込みの相違点

INT 割り込みの相違点を表 1.2 に示します。

表 1.2 INT 割り込みの相違点

項目	R8C/36M グループ	RA2L1 グループ
INT 割り込み端子	INT0~INT4(表 1.3 参照)	IRQ0~IRQ7(表 1.4 参照)

表 1.3 R8C/36M グループの INT 割り込み端子構成

端子名	割り当てる端子
INT0	P4_5
INT1	P1_5、P1_7、P2_0、P3_2 または P3_6
INT2	P3_2 または P6_6
INT3	P3_3 または P6_7
INT4	P6_5

表 1.4 RA2L1 グループの外部割り込み端子構成(注 1)

端子名	割り当てる端子
IRQ 0	P206、P400、P105
IRQ 1	P205、P101、P104
IRQ 2	P100、P213
IRQ 3	P110、P212
IRQ 4	P402、P111、P411
IRQ 5	P401、P302、P410
IRQ 6	P301、P409
IRQ 7	P015、P408

注 1. P105, P205, P410, P411, P402 は 48 ピン製品では使用できません。

1.3 キー入力割り込みの相違点

キー入力割り込みの相違点を表 1.5 に示します。

表 1.5 割り込み全般に関する相違点

項目	R8C/36M グループ	RA2L1 グループ
キー入力割り込み端子	KI0~KI3(表 1.6 参照)	KR00~KR07(表 1.7 参照)

表 1.6 R8C/36M グループのキー入力割り込み端子構成

端子名	割り当てる端子
KI0	P1_0
KI1	P1_1
KI2	P1_2
KI3	P1_3

表 1.7 RA2L1 グループのキー割り込み端子構成

端子名	割り当てる端子
KR00	P100
KR01	P101
KR02	P102
KR03	P103
KR04	P104
KR05(注 1)	P105
KR06(注 1)	P106
KR07(注 1)	P107

注 1. KR07~KR05 は 48 ピン製品では使用できません。

2. レジスタの対比

2.1 割り込み全般

割り込みに関するレジスタの対比表を表 2.1 に示します。

表 2.1 割り込み関連レジスタ対比

設定項目	R8C/36M グループ	RA2L1 グループ
割り込み優先レベル選択	割り込み制御レジスタの ILVL0~ILVL2 ビット	NVIC_IPRi レジスタの PRI_Nj ビット
割り込み要求フラグ	割り込み制御レジスタの IR ビット	IELSRp レジスタの IR ビット
割り込み処理の制御	割り込み制御レジスタの ILVL0~ILVL2 ビット (優先レベル 0 で割り込み禁止)	NMIER レジスタ IELSRp レジスタの IELS[4:0]ビット (0x00 セットで対応する割り込み禁止)
マスカブル割り込み許可制御	FLG レジスタの I フラグ	NVIC_ISERn レジスタ IELSRp レジスタの IELS[4:0]ビット
プロセッサ割り込み優先レベル指定	FLG レジスタ IPL	BASEPRI レジスタ

i = 0 ~ 123

j = 0 ~ 3

n = 0 ~ 15

p = 0 ~ 31

2.2 INT 割り込みに関するレジスタ

INT 割り込みに関するレジスタの対比表を表 2.2 に示します

表 2.2 INT 割り込みに関するレジスタ対比

設定項目	R8C/36M グループ	RA2L1 グループ
INT 入力極性 切り替え	- INTiIC レジスタの POL ビット - INTEN レジスタの INTjPL ビット - INTEN1 レジスタの INT4PL ビット	IRQCRk レジスタの IRQMD ビット
INT 端子選択	INTSR レジスタ	PmnPSF レジスタの ISEL ビット
INT 入力許可	- INTEN レジスタの INTjEN ビット - INTEN1 レジスタの INT4EN ビット	IELSRp レジスタ IELS[4:0] ビット
INT 入力 フィルタ選択	- INTF レジスタの INTjF0、INTjF1 ビット - INTF1 レジスタの INT4F0、INT4F1 ビット	- IRQCRk レジスタの FCLKSEL ビット - IRQCRk レジスタの FLTEN ビット

i = 0 ~ 4

j = 0 ~ 3

k = 0 ~ 7

m = 0 ~ 8

n = 0 ~ 15

p = 0 ~ 31

2.3 キー入力割り込みに関するレジスタ

キー入力割り込みに関するレジスタの対比表を表 2.3 に示します。

表 2.3 キー入力割り込みに関するレジスタ対比

設定項目	R8C/36M グループ	RA2L1 グループ
キー入力極性選択	KIEN レジスタの KIjPL ビット	KRCTL レジスタの KREG ビット
キー入力許可	KIEN レジスタの KIjEN ビット	KRM レジスタの KIMCk ビット

j = 0 ~ 3

k = 0 ~ 7

3. 割り込み動作の設定比較

3.1 マスカブル割り込み

3.1.1 R8C/36M グループ

R8C/36M グループでは、マスカブル割り込みの許可/禁止は、FLG レジスタの I フラグ、IPL、各割り込み制御レジスタの ILVL0~ILVL2 ビットで設定します。また、割り込み要求の有無は、各割り込み制御レジスタの IR ビットに示されます。

I フラグの設定を表 3.1 に、IPL の設定を表 3.2 に示します。割り込み制御レジスタの IR ビットの説明を表 3.3 に、割り込み優先レベル選択ビットの設定を表 3.4 に示します。

表 3.1 I フラグ

I フラグ	マスカブル割り込み許可/禁止
0	禁止
1	許可

表 3.2 IPL

IPL	許可される割り込み優先レベル
000b	レベル 1 以上を許可
001b	レベル 2 以上を許可
010b	レベル 3 以上を許可
011b	レベル 4 以上を許可
100b	レベル 5 以上を許可
101b	レベル 6 以上を許可
110b	レベル 7 以上を許可
111b	全てのマスカブル割り込みを禁止

表 3.3 割り込み要求ビット

IR	割り込み要求ビット
0	割り込み要求なし
1	割り込み要求あり

表 3.4 割り込み優先レベル選択ビット

ILVL2	ILVL1	ILVL0	割り込み優先レベル	優先順位
0	0	0	レベル 0(割り込み禁止)	—
0	0	1	レベル 1	低い ↓ 高い
0	1	0	レベル 2	
0	1	1	レベル 3	
1	0	0	レベル 4	
1	0	1	レベル 5	
1	1	0	レベル 6	
1	1	1	レベル 7	

割り込み要求が受け付けられる条件を次に示します。

- I フラグ=1
- IR ビット=1
- 割り込み優先レベル>IPL

3.1.2 RA2L1 グループ

RA2L1 グループでは、マスカブル割り込みの許可/禁止を NVIC_ISERn(n=0~15)レジスタと、IELSRn(0~31)レジスタの IELS[4:0]ビットにて設定します。

割り込みの優先順位指定は、NVIC_IPRn(n=0~123)レジスタの PRI_Nm(m=0~3)ビット、許可される割り込み優先レベルは BASEPRI レジスタにて設定します。

割り込み要求の有無は、IELSRn(0~31)レジスタの IR ビットに示されます。

NVIC_ISERn(n=0~15)レジスタの設定を表 3.5 に、IELSRn(0~31)レジスタの IELS[4:0]ビットの設定を表 3.6 に示します。NVIC_IPRn(n=0~123)レジスタの PRI_Nm(m=0~3)ビットの設定を表 3.7 に、BASEPRI レジスタの設定を表 3.8 に、IR ビットの内容を表 3.9 に示します。

表 3.5 NVIC_ISERn(n=0~15)レジスタ

SETENA	割り込み要求受け付けの許可/禁止
0	禁止
1	許可

表 3.6 IELSRn(0~31)レジスタの IELS[4:0]ビット

IELS[4:0]	例外番号に対応する割り込みの設定
0x00	対応する例外番号(16+n)の割り込み動作禁止
0x01~0x1F	対応する例外番号(16+n)の割り込みを設定(注 1)

注1 設定される割り込みについては、ユーザマニュアル ハードウェア編の「表 12.5 入力リンク選択」を参照してください。

表 3.7 NVIC_IPRn(n=0~123)レジスタの PRI_Nm(m=0~3)ビット

割り込み優先順位	割り込み優先レベル	優先順位
0	レベル 0	高い ↓ 低い
1	レベル 1	
2	レベル 2	
⋮	⋮	
254	レベル 254	
255	レベル 255	

表 3.8 BASEPRI レジスタ

BASEPRI	許可される割り込み優先レベル
0	BASEPRI によるマスキングを無効
1	レベル 1 以上を禁止
2	レベル 2 以上を禁止
.	.
.	.
.	.
254	レベル 254 以上を禁止
255	レベル 255 を禁止

表 3.9 IELSRn(0~31)レジスタの IR ビット

IR	割り込み要求ビット
0	割り込み要求なし
1	割り込み要求あり

割り込み要求が受け付けられる条件を次に示します。

- 割り込み要求受付=1
- 例外番号に対する割り込み設定=任意の割り込みに設定
- 割り込み優先レベル<BASEPRI
- IR フラグ=1

3.2 INT 割り込み

3.2.1 R8C/36M グループ

R8C/36M グループでは、INT 割り込みの許可/禁止は INTEN レジスタの INTjEN ビット、INTEN1 レジスタの INT4EN ビットで設定します(j = 0~3)。INTi 入力許可/禁止設定を表 3.10 に示します(i = 0~4)。

入力極性は INTEN レジスタの INTjPL ビット、INTEN1 レジスタの INT4PL ビットと INTiIC レジスタの POL ビットで設定します。INTi 入力極性選択を表 3.11 に、極性切り替え選択を表 3.12 に示します。

また、INTi 入力フィルタを INTF レジスタ、INTF1 レジスタで設定します。INTi 入力フィルタ設定を表 3.13 に示します。

INT1~INT3 割り込みは、INTSR レジスタで割り当て端子を選択できます。各割り当て端子の設定を表 3.14~表 3.16 に示します。

表 3.10 INTi 割り込みの許可/禁止選択

INTiEN	INTi 入力許可/禁止選択
0	禁止
1	許可

i = 0~4

表 3.11 INTi 入力極性選択

INTiPL(注 1、2)	INTi 入力極性選択
0	片エッジ
1	両エッジ

i = 0~4

注 1. INTiPL ビットを“1”(両エッジ)にする場合、INTiIC レジスタの POL ビットを“0”(立ち下がリエッジを選択)にしてください(i = 0~4)。

注 2. POL ビットを変更すると、IR ビットが“1”(割り込み要求あり)になることがあります。

表 3.12 極性切り替え選択

POL(注 1)	有効エッジ選択
0	立ち下がリエッジを選択
1	立ち上がりエッジを選択(注 2)

注 1. POL ビットを変更すると、IR ビットが“1”(割り込み要求あり)になることがあります。

注 2. INTiPL ビットを“1”(両エッジ)にする場合、INTiIC レジスタの POL ビットを“0”(立ち下がリエッジを選択)にしてください(i = 0~4)。

表 3.13 INT_i入力フィルタ選択

INT _i F0	INT _i F1	INT _i 入力フィルタ選択
0	0	フィルタなし
0	1	フィルタあり、f1 でサンプリング
1	0	フィルタあり、f8 でサンプリング
1	1	フィルタあり、f32 でサンプリング

i = 0~4

表 3.14 INT1割り込み入力端子選択

INT1SEL0	INT1SEL1	INT1SEL2	INT1端子選択
0	0	0	P1_7 に割り当てる
0	0	1	P1_5 に割り当てる
0	1	0	P2_0 に割り当てる
0	1	1	P3_6 に割り当てる
1	0	0	P3_2 に割り当てる

表 3.15 INT2割り込み入力端子選択

INT2SEL0	INT2端子選択
0	P6_6 に割り当てる
1	P3_2 に割り当てる

表 3.16 INT3割り込み入力端子選択

INT3SEL0	INT3SEL1	INT3端子選択
0	0	P3_3 に割り当てる
0	1	設定しないでください
1	0	P6_7 に割り当てる
1	1	設定しないでください

3.2.2 RA2L1 グループ

RA2L1 グループでは、IRQ0～IRQ7 端子の有効エッジを IRQCRk レジスタの IRQMD ビットで設定します (k=0～7)。IRQMD ビットでの有効エッジの選択を表 3.17 に示します。

また、IRQ 端子の入力フィルタを IRQCRk レジスタの FCLKSEL ビットと FLTEN ビットで設定します (k=0～7)。FCLKSEL ビットの設定を表 3.18 に、FLTEN ビットの設定を表 3.19 に示します。

IRQ0～IRQ7 端子は、使用するポートを選択できます。各割り当て端子の設定は、ユーザマニュアル ハードウェア編 「表 17.5～表 17.9 入出力端子機能のレジスタ設定」を参照してください。

表 3.17 IRQn 端子の有効エッジの選択

IRQMD [1]	IRQMD [0]	IRQn 端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	立ち上がり、立ち下がりの両エッジ
1	1	Low レベル

n = 0～7

表 3.18 IRQ 端子のデジタルフィルタサンプリングクロック選択

FCLKSEL [1]	FCLKSEL [0]	IRQ 端子のデジタルフィルタサンプリングクロック選択
0	0	PCLKB
0	1	PCLKB / 8
1	0	PCLKB / 32
1	1	PCLKB / 64

表 3.19 IRQ 端子のデジタルフィルタ有効/無効選択

FLTEN	IRQ 端子のデジタルフィルタ有効/無効選択
0	無効
1	有効

3.3 キー入力割り込み

3.3.1 R8C/36M グループ

R8C/36M グループでは、キー入力割り込みの許可/禁止を KIEN レジスタの KIJEN ビットで、入力極性を KIEN レジスタの KIJPL ビットで設定します($j = 0 \sim 3$)。

キー入力許可ビットの設定を表 3.20 に、キー入力極性選択の設定を表 3.21 に示します。

表 3.20 キー入力の許可/禁止選択

KIJEN	キー入力許可
0	禁止
1	許可

$j = 0 \sim 3$

表 3.21 キー入力極性選択

KIJPL	キー入力極性選択
0	立ち下がリエッジ
1	立ち上がリエッジ

$j = 0 \sim 3$

3.3.2 RA2L1 グループ

RA2L1 グループでは、キー割り込みの許可/禁止を KRM レジスタの KIMCK ビットで設定します($k = 0 \sim 7$)。また、検出エッジの選択を KRCTL レジスタの KREG ビットで設定します

キー割り込みモード制御の設定を表 3.22 に、検出エッジ選択の設定を表 3.23 に示します。

表 3.22 キー割り込みモード制御

KIMCK	キー割り込みモード制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

$k = 0 \sim 7$

表 3.23 検出エッジ選択

KREG	検出エッジ選択
0	立ち下がリエッジ
1	立ち上がリエッジ

$k = 0 \sim 7$

3.4 割り込み優先順位

3.4.1 R8C/36M グループ

R8C/36M グループでは、1 命令実行中に 2 つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。ただし、優先レベルが同じ設定値の場合はハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

特殊割り込みの優先順位はハードウェアで設定されています。

3.4.2 RA2L1 グループ

RA2L1 グループでは、複数のマスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込みから受け付けられます。また、優先順位が同じ割り込みが同時に発生した場合は、例外番号が低いものが優先的に受け付けられます。

3.5 レジスタ退避

3.5.1 R8C/36M グループ

R8C/36M グループでは、FLG レジスタとプログラムカウンタ(PC)をスタックに退避します。スタックに PC の上位 4 ビットと FLG レジスタの上位 4 ビット(IPL)、下位 8 ビットの合計 16 ビットをはじめに退避し、次に PC の下位 16 ビットを退避します。

3.5.2 RA2L1 グループ

RA2L1 グループでは、マスカブル割り込み要求が受け付けられると、RETPSR、ReturnAddress、LR、R12、R3~R0 の順にスタックに退避します。

4. 割り込みベクタ

R8C/36M グループと RA2L1 グループでは、割り込みベクタの構成が異なります。R8C/36M グループは固定ベクタテーブルと可変ベクタテーブルからなり、RA2L1 グループは固定ベクタテーブルからなります。

4.1 R8C/36M グループ

4.1.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh 番地から 0FFFFh 番地に配置されています。1 ベクタは 4 バイトです。固定ベクタテーブルを表 4.1 に示します。

表 4.1 固定ベクタテーブル

割り込み要因	ベクタ番地	備考
未定義命令	0FFDCh~0FFDFh	UND 命令で割り込み
オーバフロー	0FFE0h~0FFE3h	INTO 命令で割り込み
BRK 命令	0FFE4h~0FFE7h	0FFE6h 番地の内容が FFh の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致割り込み	0FFE8h~0FFEBh	
シングルステップ(注 1)	0FFECCh~0FFEFh	
ウォッチドッグタイマ 発振停止検出 電圧監視 1/コンパレータ A1(注 2) 電圧監視 2/コンパレータ A2(注 3)	0FFF0h~0FFF3h	
アドレスブレイク(注 1)	0FFF4h~0FFF7h	
(予約)	0FFF8h~0FFFBh	
リセット	0FFFCCh~0FFFFh	

注 1. 開発ツール専用の割り込みですので、使用しないでください。

注 2. 電圧監視 1/コンパレータ A1 割り込みは CMPA レジスタの IRQ1SEL ビットが“0” (ノンマスクブル割り込み)の場合です。

注 3. 電圧監視 2/コンパレータ A2 割り込みは CMPA レジスタの IRQ2SEL ビットが“0” (ノンマスクブル割り込み)の場合です。

4.1.2 可変ベクタテーブル

INTB レジスタに設定された先頭番地から 256 バイトが可変ベクタテーブルの領域となります。可変ベクタテーブルを表 4.2 に示します。

表 4.2 可変ベクタテーブル

割り込み要因	ベクタ番地 番地(L)~番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ
BRK 命令(注 1)	+0~+3(0000h~0003h)	0	
フラッシュメモリレディ	+4~+7(0004h~0007h)	1	FMRDYIC
—(予約)		2~5	—
INT4	+24~+27(0018h~001BFh)	6	INT4IC
タイマ RC	+28~+31(001Ch~001Fh)	7	TRCIC
タイマ RD0	+32~+35(0020h~0023h)	8	TRD0IC
タイマ RD1	+36~+39(0024h~0027h)	9	TRD1IC
タイマ RE	+40~+43(0028h~002Bh)	10	TREIC
UART2 送信/NACK2	+44~+47(002Ch~002Fh)	11	S2TIC
UART2 受信/ACK2	+48~+51(0030h~0033h)	12	S2RIC
キー入力	+52~+55(0034h~0037h)	13	KUPIC
A/D 変換	+56~+59(0038h~003Bh)	14	ADIC
シンクロナスシリアルコミュニ ケーションユニット/ I ² C バスインタフェース(注 2)	+60~+63(003Ch~003Fh)	15	SSUIC/ IICIC
タイマ RF コンペア 1	+64~+67(0040h~0043h)	16	CMP1IC
UART0 送信	+68~+71(0044h~0047h)	17	S0TIC
UART0 受信	+72~+75(0048h~004Bh)	18	S0RIC
UART1 送信	+76~+79(004Ch~004Fh)	19	S1TIC
UART1 受信	+80~+83(0050h~0053h)	20	S1RIC
INT2	+84~+87(0054h~0057h)	21	INT2IC
タイマ RA	+88~+91(0058h~005Bh)	22	TRAIC
—(予約)		23	—
タイマ RB	+96~+99(0060h~0063h)	24	TRBIC
INT1	+100~+103(0064h~0067h)	25	INT1IC
INT3	+104~+107(0068h~006Bh)	26	INT3IC
タイマ RF	+108~+111(006Ch~006Fh)	27	TRFIC
タイマ RF コンペア 0	+112~+115(0070h~0073h)	28	CMP0IC
INT0	+116~+119(0074h~0077h)	29	INT0IC
UART2 バス衝突検出	+120~+123(0078h~007Bh)	30	U2BCNIC
タイマ RF キャプチャ	+124~+127(007Ch~007Fh)	31	CAPIC
ソフトウェア(注 1)	+128~+131(0080h~0083h)~ +164~+167(00A4h~00A7h)	32~41	—
—(予約)		42	—
タイマ RG	+172~+175(00ACh~00AFh)	43	TRGIC
—(予約)		44~49	—
電圧監視 1/コンパレータ A1(注 3)	+200~+203(00C8h~00CBh)	50	VCMP1IC
電圧監視 2/コンパレータ A2(注 3)	+204~+207(00CCh~00CFh)	51	VCMP2IC
—(予約)		52~55	—
ソフトウェア(注 1)	+224~+227(00E0h~00E3h)~ +252~+255(00FCh~00FFh)	56~63	—

注 1. I フラグによる禁止はできません。

注 2. SSUIICSR レジスタの IICSEL ビットで選択できます。

注 3. マスカブル割り込みの場合です。

4.2 RA2L1 グループ

RA2L1 グループのベクタテーブルには、例外番号、IRQ 番号、ベクタオフセット、要因が設定されています。ベクタテーブルを表 4.3 に示します。

表 4.3 ベクタテーブル(1/2)

例外番号	IRQ 番号	ベクタ オフセット	要因	内容
0	—	0x000	Arm	初期スタックポインタ
1	—	0x004	Arm	初期プログラムカウンタ(リセットベクタ)
2	—	0x008	Arm	ノンマスカブル割り込み(NMI)
3	—	0x00C	Arm	ハード障害
4	—	0x010	Arm	予約
5	—	0x014	Arm	予約
6	—	0x018	Arm	予約
7	—	0x01C	Arm	予約
8	—	0x020	Arm	予約
9	—	0x024	Arm	予約
10	—	0x028	Arm	予約
11	—	0x02C	Arm	スーパーバイザコール(SVCall)
12	—	0x030	Arm	予約
13	—	0x034	Arm	予約
14	—	0x038	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	0x03C	Arm	システムティックタイマ(SysTick)
16	0	0x040	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	0x044	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	0x048	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	0x04C	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	0x050	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	0x054	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	0x058	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	0x05C	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	0x060	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント

RA ファミリ, R8C/36M グループ

R8C から RA ファミリへの置き換えガイド 割り込み編

25	9	0x064	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	0x068	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント

表 4.4 ベクタテーブル(2/2)

例外番号	IRQ 番号	ベクタ オフセット	要因	内容
27	11	0x06C	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	0x070	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	0x074	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	0x078	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	0x07C	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	0x080	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	0x084	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	0x088	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	0x08C	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
36	20	0x090	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	0x094	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	0x098	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	0x09C	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0x0A0	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0x0A4	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0x0A8	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0x0AC	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0x0B0	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0x0B4	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0x0B8	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0x0BC	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント

5. 参考ドキュメント

ユーザーズマニュアル

- RA2L1 グループ ユーザーズマニュアル ハードウェア編
(最新版をルネサス エレクトロニクスホームページから入手してください。)
- ARM® Cortex®-M23 Processor Technical Reference Manual (ARM DDI 0550C)
- R8C/36M グループ ユーザーズマニュアル ハードウェア編
(最新版をルネサス エレクトロニクスホームページから入手してください。)
- テクニカルアップデート
(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

- Renesas Flexible Software Package (FSP) User's Manual (R11UM0155EU)

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<https://www.renesas.com/>

お問合せ先

www.renesas.com/contact/

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Mar.27.24	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。