

# ルネサス RA ファミリ

## RA8 クイックデザインガイド

### 要旨

このドキュメントでは、よくある質問に回答し、ハードウェアマニュアルを見直さなければ見落とされる可能性のある MCU の細かな点を指摘するものです。本書は、ハードウェアマニュアルの代わりとなるものではなく、多くのエンジニアが自身の設計を開始する時、必要な重要な項目を紹介し、マニュアルを補完することを目的としています。また、アプリケーションの観点から、設計上の決定事項を論じています。

### 動作確認デバイス

#### RA8 シリーズ

本クイックデザインガイドで言及されている機能の一部は、RA8 MCU のすべてのグループに搭載されているとは限りません。各 MCU グループにおいて利用可能な機能の詳細については、該当デバイスのユーザーズマニュアルを参照してください。

### 目次

1. 電源	5
1.1 デュアル VCC 電源ドメイン	7
1.2 DCDC モード	7
1.3 外部 VDD モード	8
1.4 参考文献	9
2. エミュレータサポート	11
2.1 SWD インタフェース	12
2.2 JTAG インタフェース	13
2.3 トレースデータインタフェース	14
2.4 エミュレータインタフェースを介した SCI ブートモードの使用	15
2.5 マルチエミュレータインタフェース	16
2.6 エミュレータ接続用のソフトウェア設定	17
2.6.1 SWD および JTAG インタフェース	17
2.6.2 トレースポート	17
3. MCU の動作モード	18
4. オプション設定メモリ	20
4.1 オプション設定メモリのレジスタ	22
5. クロック発生回路	27
5.1 リセット条件	27
5.2 クロック周波数要件	28
5.2.1 USB 通信の要件	28

5.2.2	イーサネットコントローラの要件	29
5.2.3	ROM またはデータフラッシュのプログラミングと消去の要件	29
5.2.4	SDRAM コントローラの要件	29
5.2.5	MIPI D-PHY の要件	29
5.3	クロック発生回路(CGC)の消費電力の低減	29
5.4	システムクロック制御レジスタの書き込み	29
5.5	クロック設定の例	30
5.6	HOCO の精度	30
5.7	フラッシュインタフェースクロック	31
5.8	基板設計	31
5.9	外部の水晶振動子の選択	31
6.	リセット要因とリセット回路	32
6.1	RES#端子リセット	32
6.2	パワーオンリセット	32
6.3	電圧監視リセット	33
6.4	独立ウォッチドッグタイマリセット	33
6.5	ウォッチドッグタイマリセット	33
6.6	ディープソフトウェアスタンバイリセット	33
6.7	ソフトウェアリセット	33
6.8	その他のリセット	33
6.9	コールド/ウォームスタートの決定	34
6.10	リセット要因の特定	34
7.	セキュリティ機能	35
7.1	TrustZone®テクノロジーの実装	35
7.1.1	Arm®のセキュリティ帰属	35
7.1.2	TrustZone®境界の設定	35
7.2	デバイスのライフサイクル管理	40
7.3	ファーストステージブートローダー (FSBL) とセキュアブート	41
7.4	その他のセキュリティ機能	41
7.4.1	セキュアキーインジェクション	41
7.4.2	セキュアファクトリプログラミング	41
7.4.3	ルネサスセキュア IP (RSIP-E51A)	41
7.4.4	アプリケーションと OEM BL アンチロールバック	41
7.4.5	オンザフライ復号 (DOTF)	42
7.4.6	改ざん検出端子	42
7.4.7	ポインタ認証およびブランチャターゲット識別(PACBTI)	42

8. メモリ.....	43
8.1 内蔵メモリ.....	45
8.1.1 SRAM.....	45
8.1.2 スタンバイ SRAM.....	46
8.1.3 周辺 I/O レジスタ.....	47
8.1.4 内蔵フラッシュメモリ.....	47
8.1.5 密接合メモリ(TCM).....	50
8.2 外部メモリ.....	50
8.2.1 32 ビットまたは 16 ビットメモリの使用.....	51
8.2.2 外部 OSPI デバイスの使用.....	51
8.3 データの配置.....	53
8.4 エンディアンの制限.....	53
8.5 メモリプロテクションユニット.....	53
8.6 Cortex®-M85 キャッシュ.....	54
9. レジスタライトプロテクション.....	55
10. I/O ポート設定.....	56
10.1 マルチファンクションポート機能選択の設計方法.....	56
10.2 ポートを GPIO として使用する方法.....	57
10.2.1 内蔵プルアップ抵抗.....	58
10.2.2 オープンドレイン出力.....	58
10.2.3 ポート駆動能力.....	58
10.3 ポート周辺機能の設定と使用方法.....	59
10.4 IRQ 端子の設定と使い方.....	60
10.5 未使用端子.....	62
10.6 存在しない端子.....	62
10.7 電気的特性.....	62
11. モジュールストップ機能.....	63
12. 割り込みコントローラユニット.....	64
13. 低消費電力モード.....	66
14. 外部バス.....	69
14.1 バス幅とアドレス/データマルチプレクス.....	69
14.2 バス信号の駆動能力.....	69
14.3 バスエラー.....	69
15. MIPI サブシステム.....	70

---

15.1	MIPI DSI .....	71
15.2	MIPI PHY .....	72
16.	一般的なレイアウトの実践.....	73
16.1	デジタルドメインとアナログドメイン .....	73
16.2	アナログ信号に関する注意事項 .....	74
16.3	高速信号設計の考慮事項 .....	75
16.4	信号グループの選択 .....	75
	改訂履歴 .....	78

## 1. 電源

RA ファミリには、デジタル電源とアナログ電源があります。電源は次のピンを使用します。

表 1 デジタル電源

記号	機能名	説明
VCC、VCC2	電源	電源端子。システム電源に接続してください。この端子は 0.1 $\mu$ F のコンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
VCC_DCDC	スイッチングレギュレータ (DCDC) 用電源	スイッチングレギュレータ用電源端子。全ての VCC_DCDC 端子をまとめて接続し、100nF コンデンサ 1 つと 22 $\mu$ F コンデンサ 1 つを介して VSS_DCDC に接続します。100nF コンデンサは VCC_DCDC 端子の近くに配置してください。
VLO	スイッチングレギュレータ (DCDC) 用電源	スイッチングレギュレータ用端子。 2. 2 $\mu$ H のインダクタを介して VCL に接続します。インダクタの出力を、インダクタの近くにある 47 $\mu$ F のコンデンサを介して VSS_DCDC に接続します。
VSS	グランド	グランド端子。システム電源 (0V) に接続してください。
VCL	電源	この端子には内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは VCL 端子近くに配置してください。
VBATT	バッテリーバックアップ用電源	バックアップ電源端子。VCC 断時、RTC、サブクロックオシレータ、バックアップレジスタ、改ざん検出、VBATT_R 端子の電圧降下検出用に電力を供給します。バッテリーバックアップ機能を使用しない場合は、VCC に接続してください。
VSS_DCDC	スイッチングレギュレータ (DCDC) 用グランド	グランド端子。システム電源 (0V) に接続してください
VCC_USB	USB FS 用電源	USB FS 用電源端子。VCC に接続してください。VCC_USB 端子の近くに配置された 0.1 $\mu$ F コンデンサを介して、VSS_USB に接続してください。
VSS_USB	USB FS 用グランド	USB FS 用グランド端子。VSS に接続してください。
VCC_USBHS <sup>1</sup>	USB HS 用電源	USB HS 用電源端子。VCC に接続してください。VCC_USBHS 端子の近くに配置された 0.01 $\mu$ F のセラミックコンデンサを介して VSS1_USBHS および VSS2_USBHS に接続してください。 また、47 $\mu$ F の電解コンデンサを介して VSS1_USBHS および VSS2_USBHS に接続してください。
VSS1_USBHS <sup>1</sup> 、 VSS2_USBHS <sup>1</sup>	USB HS グランド	USB HS 用のグランド端子です。VSS に接続してください。
VCC18_MIPI <sup>2</sup>	MIPI 用電源	MIPI インタフェース用電源端子。1. 8V 電源に接続してください。VCC18_MIPI 端子の近くに配置された 0.1 $\mu$ F のコンデンサを介して VSS_MIPI に接続してください。
VSS_MIPI <sup>2</sup>	MIPI 用グランド	MIPI インタフェース用グランド端子。VSS に接続してください。

注：1 USB HIGH-SPEED を備えたデバイスのみ

注：2 MIPI インタフェースを備えたデバイスのみ

表 2 アナログ電源

記号	機能名	説明
AVCC0	アナログ電源	アナログ電圧源端子。それぞれのモジュールのアナログ電源端子として使用されます。ADC、DAC、高速アナログコンパレータを使用しない場合は VCC に接続してください。
AVSS0	アナロググランド	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
VREFH0	12 ビット ADC 用リファレンス電圧	ADC12 (ユニット 0) 用のアナログリファレンス電圧源端子。ADC12 (ユニット 0) を使用しない場合は AVCC0 に接続してください。
VREFL0	12 ビット ADC 用リファレンス電圧	ADC12 用のアナログリファレンスグランド端子。ADC12 (ユニット 0) を使用しない場合は AVSS0 に接続してください。
VREFH	12 ビット ADC および DAC アナログ用電源	ADC12 (ユニット 1) と D/A コンバータ用のアナログリファレンス電圧源端子。ADC12 (ユニット 1) および D/A コンバータを使用しない場合は VCC に接続してください。
VREFL	12 ビット ADC および DAC アナログ用グランド	ADC12 および D/A コンバータのアナログリファレンスグランド端子。ADC12 (ユニット 1) および D/A コンバータを使用しない場合は VSS に接続してください。
IVREFn	ACMPHS リファレンス用電圧入力	コンパレータ用リファレンス電圧入力端子。
AVCC_USBHS <sup>1</sup>	USB HS アナログ電源	USB ハイスピード用アナログ電源。絶縁インダクタまたはフェライトを介してシステム電源に接続してください。VSS1_USBHS および VSS2_USBHS に 10 $\mu$ F のコンデンサを介して接続してください。
USBHS_RREF <sup>1</sup>	USB HS 用電流リファレンス	USB HS 用のリファレンス電流源端子 2.2k $\Omega$ ( $\pm 1\%$ ) の抵抗を介して VSS2_USBHS 端子に接続してください。
AVCC_MIPI <sup>2</sup>	MIPI 用アナログ電源	MIPI インタフェースアナログ電源。この端子をシステム電源に接続してください。0.1 $\mu$ F のコンデンサを介して VSS に接続してください。

注：1 USB High-speed を備えたデバイスのみ。

注：2 MIPI インタフェースを備えたデバイスのみ

## 1.1 デュアル VCC 電源ドメイン

RA8 シリーズには、VCC と VCC2 の 2 つの電源電圧があります。これらの電源電圧は、電圧が異なる外部電源から供給することもできます。各電源電圧は、内部で複数の周辺機能と I/O ブロックに使用されます。

各電源電圧の許容電圧範囲の詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「電気的特性」の章にある表「推奨動作条件」を参照してください。

VCC に関連する周辺機能には、USB と SDRAM の両方が含まれます。これらの周辺機能のいずれかを使用する場合、VCC に 3.3V を接続する必要があります。ただし、高速動作な一部周辺機能では、より低い電圧が必要な場合があります。例えば、オクタシリアルペリフェラル IF (OSPI) を有するメモリデバイスでは、低消費電力と性能向上のために、メモリデバイスの I/O 電圧が 1.8V であることがよくあります。この場合、VCC2 をより低電圧な 1.8V の外部電源に接続できます。

どの MCU ポートが VCC、VCC2 どちらの電源電圧に対応しているかは、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「I/O ポート」章の「I/O ポート機能」の表を参照してください。各電源電圧に関連する個々のポートは、ご使用の RA8 シリーズによって異なる場合があります。VCC、VCC2 に異なる電圧供給レベルを接続する場合は、各電源電圧に関連するすべてのポートが該当する電圧レベルで正しく動作することを確認してください。

VCC と VCC2 をそれぞれ異なる電源電圧に接続する場合は、1 つの例外を除き、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「内部電圧レギュレータ」章に従ってください。同章の図では、VCC と VCC2 が同じ外部の電源電圧に接続されていることを示しています。ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編に記載されているバイパスコンデンサは VCC および VCC2 端子に必ず実装してください。

## 1.2 DCDC モード

DCDC モードでは、VDD は VLO 出力および外部インダクタ/コンデンサを介して VCL から供給されます。DCDC モードには、VDD の外部電源が不要で、すべての電源投入タイミングがマイクロコントローラ内で処理されるという利点があります。ただし、このモードをサポートするためには、外部に部品追加が必要なため、コストとボードスペースの検討が必要となる可能性があります。

DCDC モードでは、電力損失を最小限に抑え、電力効率を最大限とするため、直流抵抗が 100mΩ 以下の 2.2μH のインダクタを使用することを推奨します。また、VCC と VCC\_DCDC は短絡する必要があります。

DCDC モードを実現するには

- VCC および VCC2 端子:各端子をシステムの電源に接続してください。各端子を 0.1μF のコンデンサを介して VSS に接続してください。コンデンサは各端子の近くに配置してください。
- VCC\_DCDC 端子 :端子をシステムの電源に接続してください。端子を並列の 22μF と 0.1μF の積層セラミックコンデンサを介して VSS\_DCDC に接続してください。コンデンサは端子近くに配置してください
- VCL 端子 :端子を 0.22μF のコンデンサを介して VSS に接続してください。コンデンサは端子の近くに配置してください。
- VLO 端子 :各端子を外部インダクタ及びコンデンサに接続してください。2.2μH のインダクタ及び 47μF のコンデンサは端子近くに配置してください。このコンデンサは VSS\_DCD に接続してください。

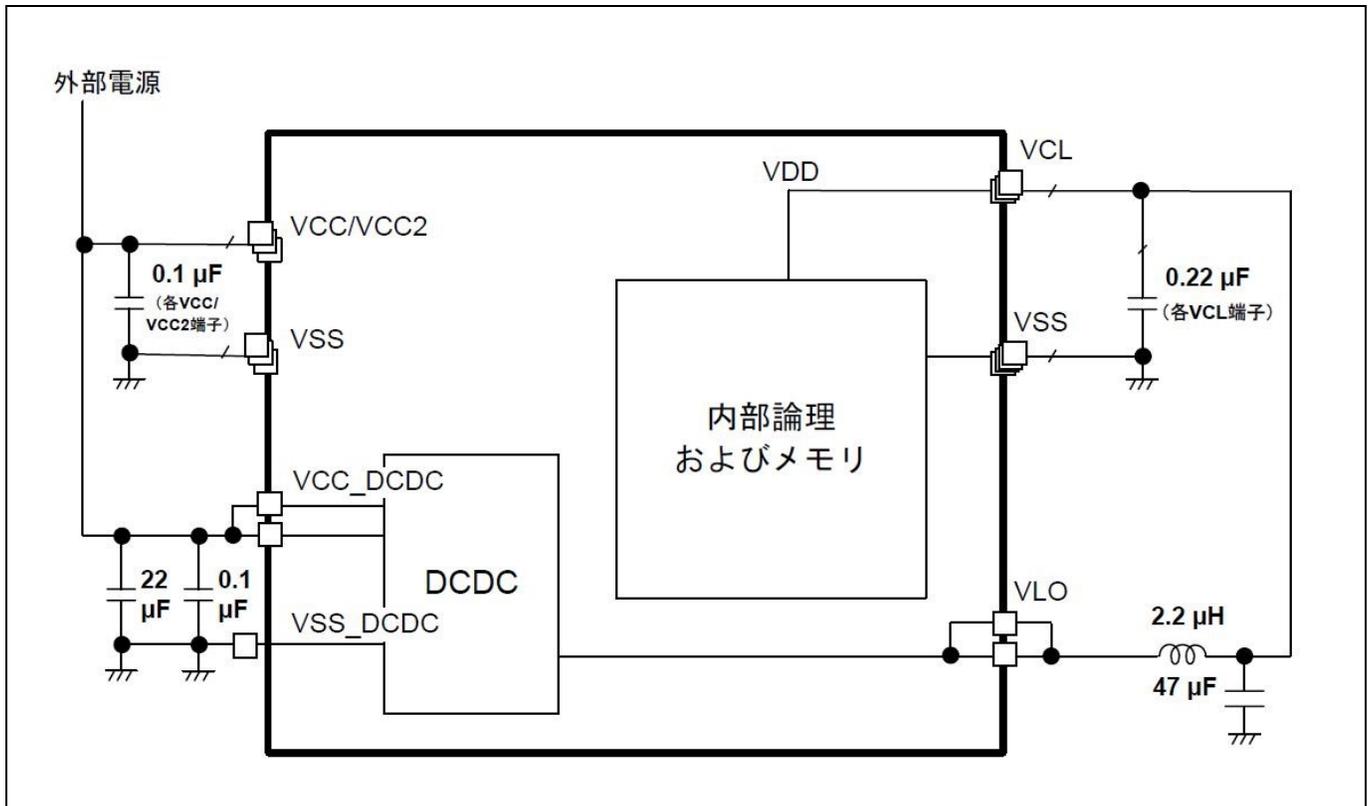


図1 DCDC モード設定

VCC\_DCDC と VLO は、寄生インダクタンスと寄生抵抗の影響を受けやすいため、ESR が低く、寄生インダクタンスの低いデバイスと配線してください。VCC、VCC2、VCL は VCC\_DCDC と VLO ほどセンシティブではないので、標準的な部品を使用することができます。推奨部品を以下に示します。

表3 DCDC モード時 推奨の追加部品

部品の種類	値	製造元	製造元部品番号
インダクタ	2.2μH	TDK	SPM5020T-2R2M-LR
コンデンサ	47μF	Murata	GRM32ER70J476KE20#
コンデンサ	22μF	Murata	GRM31CR70J226KE19#

### 1.3 外部 VDD モード

外部 VDD モードでは、VDD は外部電源を介して VCL から供給されます。外部 VDD モードは、DCDC モードよりも必要な部品が少なく済み、VCC/VCC2 から独立して柔軟に調整できます。

ただし、考慮する必要がある追加のタイミング要件があります。

外部 VDD モードでは、電源オン/オフのシーケンスを含め、VDD の電圧は常に VCC の電圧以下でなければなりません。

さらに、以下のいずれかの手順に従う必要があります。

- VCL を上げる前に、VCC および VCC2 を最小 VCC 電圧まで上げる必要があります。選択したデバイスの特定のタイミング要件については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編を参照してください。
- RES 端子が Low の状態で VCC と VCC2 電圧を上げ、VCL 電圧が上がリ、一定時間経過後に RES 端子を解放してください。タイミングについては、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編を参照してください。

外部 VDD モードを実行するには

- VCC および VCC2 端子: 各端子をシステム電源に接続してください。各端子を  $0.1\mu\text{F}$  のコンデンサを介して VSS に接続し、コンデンサは端子の近くに配置してください。
- VCC\_DCDC 端子 : 各端子をシステム電源に接続してください。各端子を  $0.1\mu\text{F}$  コンデンサを介して VSS\_DCDC に接続し、コンデンサは端子の近くに配置してください。
- VCL 端子 : 各端子をシステム電源に接続してください。各端子を  $0.22\mu\text{F}$  コンデンサを介して VSS に接続し、コンデンサを端子の近くに配置してください。
- VLO 端子 : 端子をオープンにしておきます。

注: 外部 VDD モードを使用する場合、多くの動作モードは使用できません。低速モード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード 1、2、3、およびバッテリーバックアップ機能は、サポートされません。

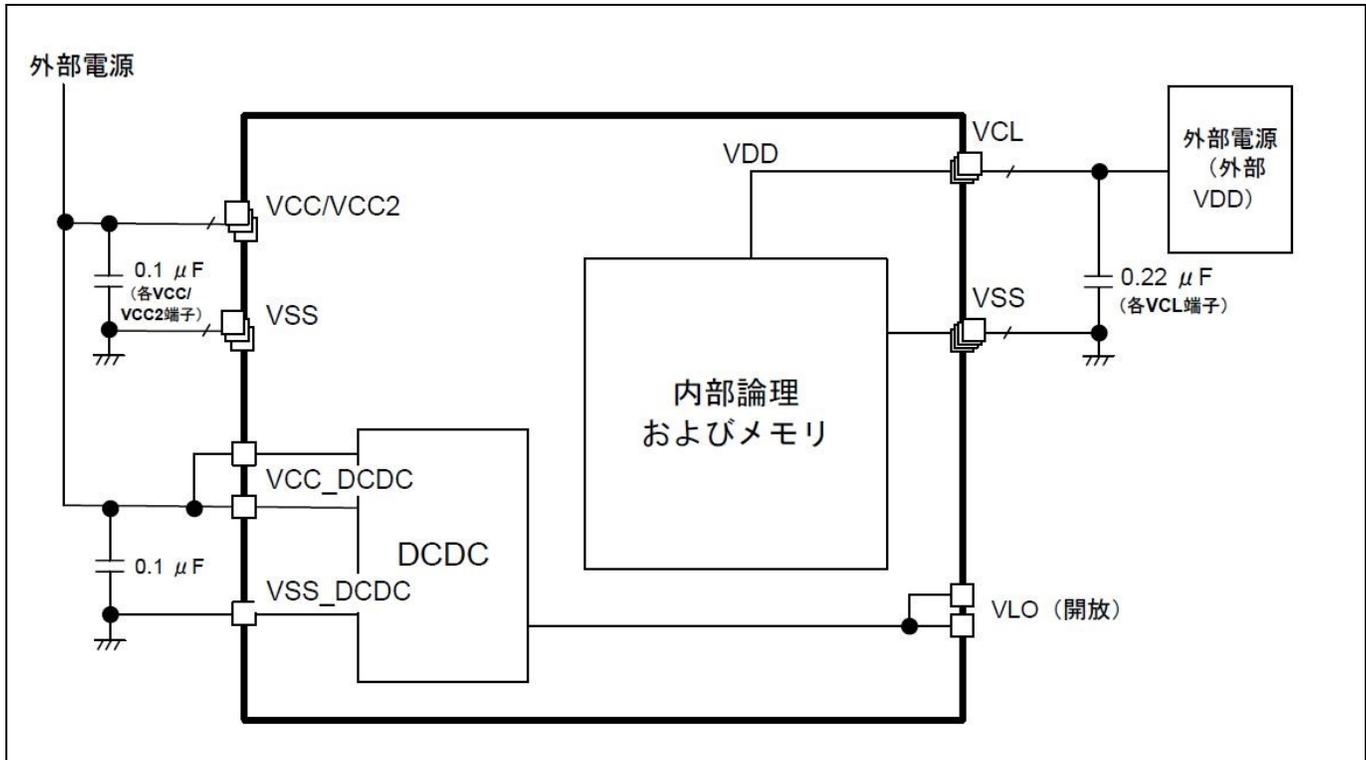


図 2 外部 VDD モード設定

## 1.4 参考文献

RA8 シリーズの電源に関する詳細は、以下のドキュメントを参照してください。:

- R01UH0994JJ0100 RA8M1 グループ ユーザーズマニュアル ハードウェア編
- R01UH0995EJ0110 RA8D1 グループ ユーザーズマニュアル ハードウェア編
- R01UH1129EJ0100 RA8E1 グループ ユーザーズマニュアル ハードウェア編
- R01UH1130EJ0100 RA8E2 グループ ユーザーズマニュアル ハードウェア編

「概要」の章では、各パッケージの電源端子と推奨バイパスコンデンサの一覧を示しています。

「リセット」の章では、パワーオンリセットと他のリセットソースとの区別方法について説明します。

「プログラマブル電圧検出」の章では、VCC 端子に入力される電圧レベルを監視する PVD 回路の詳細について説明します。検出レベルはソフトウェアプログラミングで選択できます。「オプション設定メモリ」の章では、起動時に電圧検出回路を自動的に有効にする方法についても説明しています。

「バッテリーバックアップ機能」の章では、バッテリーバックアップにより RTC とサブクロック発振器を継続動作させる方法を説明します。

オンチップ ADC (Analog to Digital Converter) または DAC (Digital to Analog Converter) を使用する場合は、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「12 ビット A/D コンバータ (ADC12)」および「12 ビット D/A コンバータ (DAC12)」を参照してください。

表 4 RA8 シリーズ ユーザーズマニュアルハードウェア編の概要例

章名	説明
概要	各パッケージの電源端子と終端およびバイパス処理に関する注意事項を示します。端子機能表を参照してください。
電気的特性	シンボルのパラメータ情報と値 (単位付き) を提供します。例えば AVCC_MIP1 シンボルは、MIP1 PHY のアナログ電源電圧の許容最大定格は、-0.3~+4.0V です。各シンボルの一般的な定格は、AC、DC、または機能モジュール固有の特性として、後述の章で確認できます。
リセット	パワーオンリセットとこれを他のリセットソースと区別する方法について説明します。
プログラマブル電圧検出	電源の監視に使用できるプログラマブル電圧検出回路の詳細について説明します。
低消費電力モード	低消費電力モードを使用すると、MCU の消費電力を削減できます。動作モードが MCU とメモリ、周辺機能にどのように影響するかは、本章を参照してください。
バッテリーバックアップ機能	RTC とサブクロックオシレータにバッテリーバックアップを提供する方法を示します。
12 ビット A/D コンバータ 12 ビット D/A コンバータ	これらの章は、オンチップ A/D または D/A コンバータ用にフィルタリングされた電源を供給する方法の詳細を示しています。
クロック発生回路	PCB 設計の推奨事項を含め、利用可能なクロックの構成および使用方法について詳しく説明します。

## 2. エミュレータサポート

RA MCU デバイスは、SWD または JTAG 通信を使用したデバッグと、SCI または USB Full-Speed（以下 FS）通信を使用したシリアルプログラミングをサポートしています。

SWD または JTAG エミュレータインタフェースは、Arm®標準の 10 ピンと 20 ピンソケットに接続する必要があります。SWD および JTAG インタフェースは、TrustZone®バウンダリを設定して、MCU ブートファームウェアにアクセスすることもできます。RA8 の TrustZone®バウンダリ設定の詳細は、7.1.2 を参照してください。

Arm®仕様に準拠するため、JTAG、SWD、SCI 信号にはプルアップ抵抗が必要です。適切なプルアップ抵抗がないと、インタフェースが正しく機能しない場合があります。しかし、RA8 シリーズのデバイスには、これらの信号に対してデフォルトで有効になっている入力プルアップ抵抗があります。入力プルアップ抵抗が有効な場合、これらの信号に外部抵抗は必要ありません。

エミュレータは製品開発やプロトタイピングには便利ですが、設計が本番環境に移行すると不要になる場合があります。エミュレータが不要になった場合は、ご使用の RA8 シリーズのユーザーズマニュアルハードウェア編の「I/O ポート」の章の「未使用端子の処理」に従ってポートを設定してください。本書の 10.5 も参照してください。

注：MCU がブートモードで動作している間は、デバッグ機能は利用できません。

2.1 SWD インタフェース

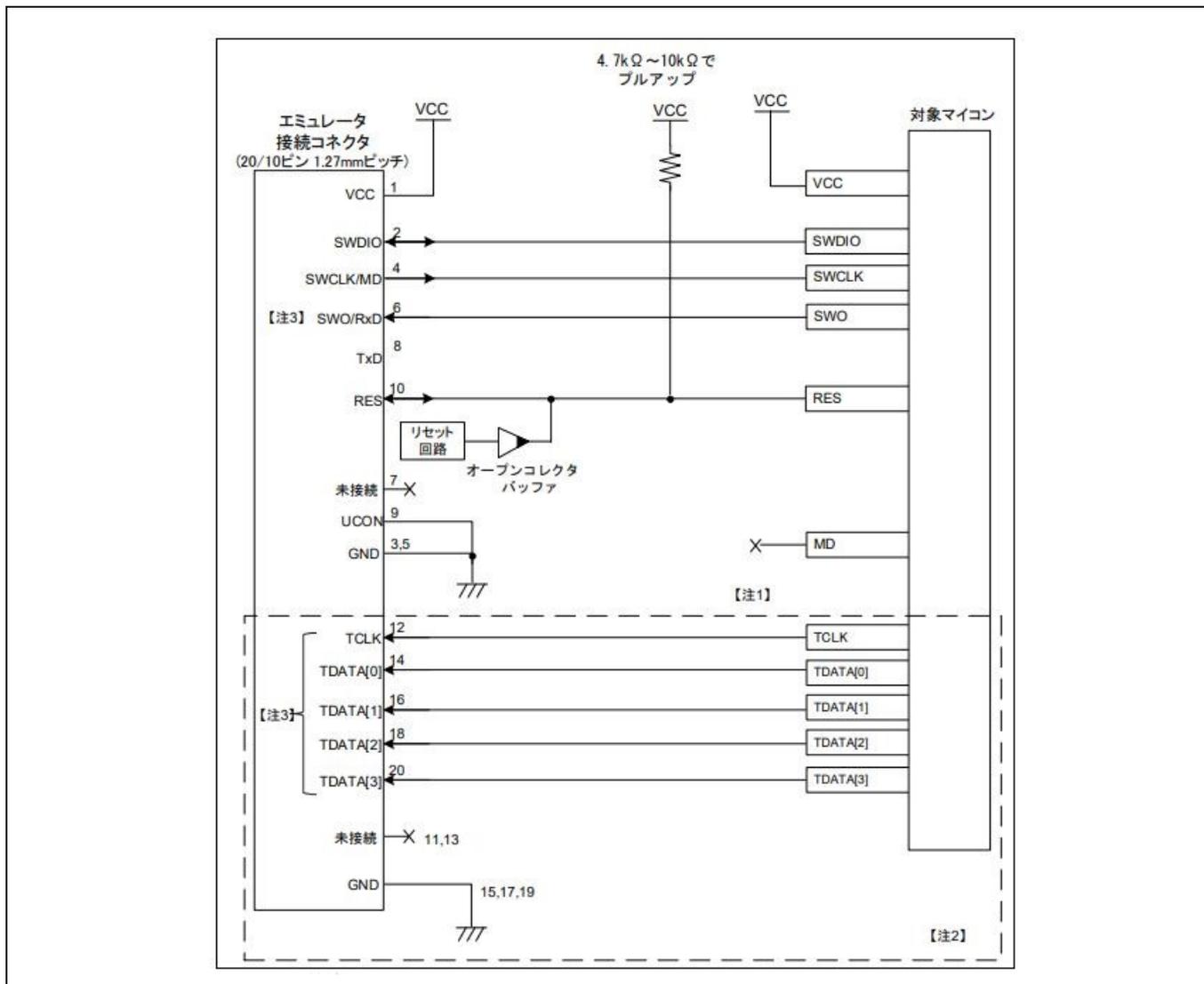


図3 SWD インタフェース接続

注:1 ユーザシステムのリセット回路の出力はオープンコレクタである必要があります。

2.2 JTAG インタフェース

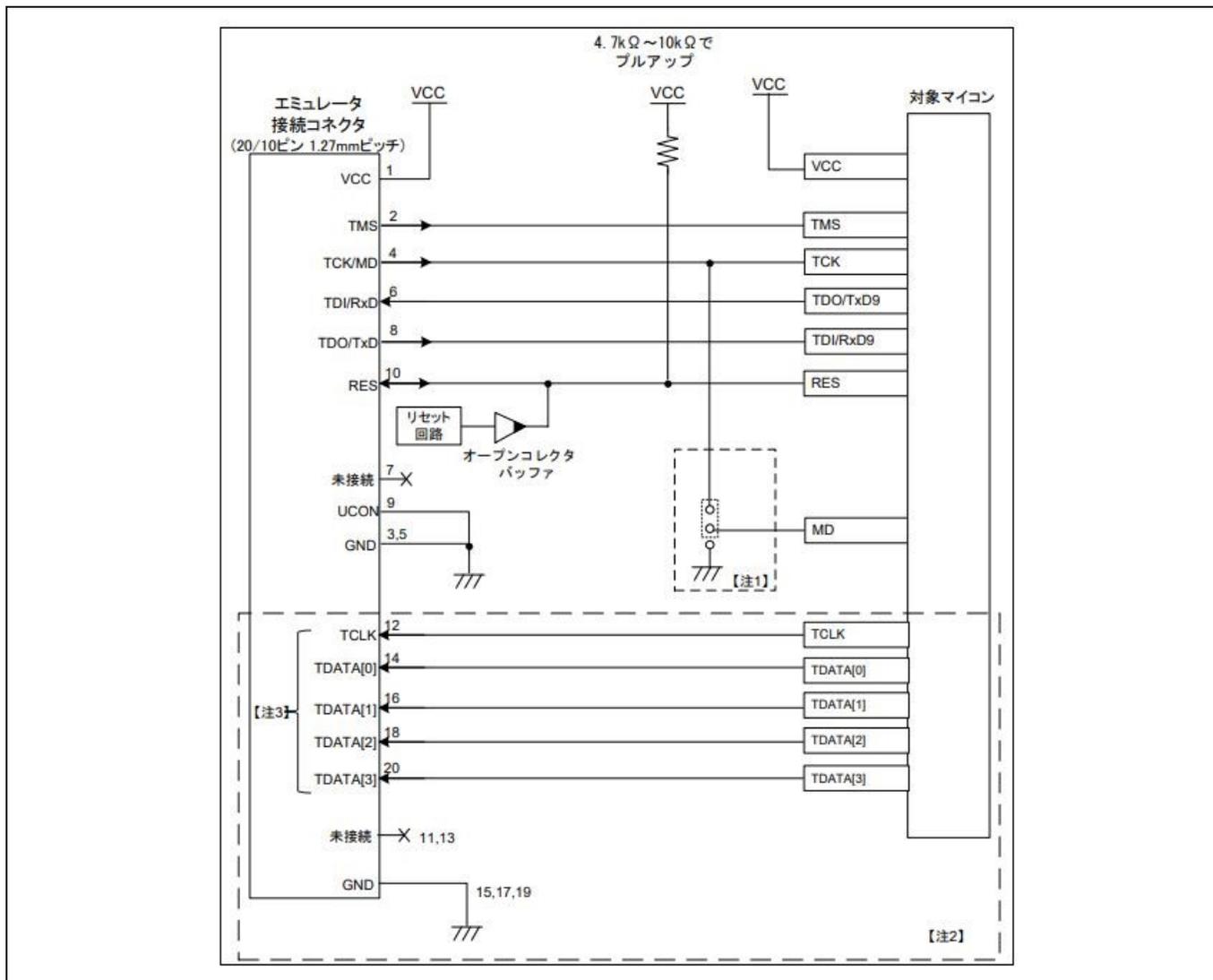


図4 JTAG インタフェース接続

注:1 ユーザシステムのリセット回路の出力はオープンコレクタである必要があります。

2.3 トレースデータインタフェース

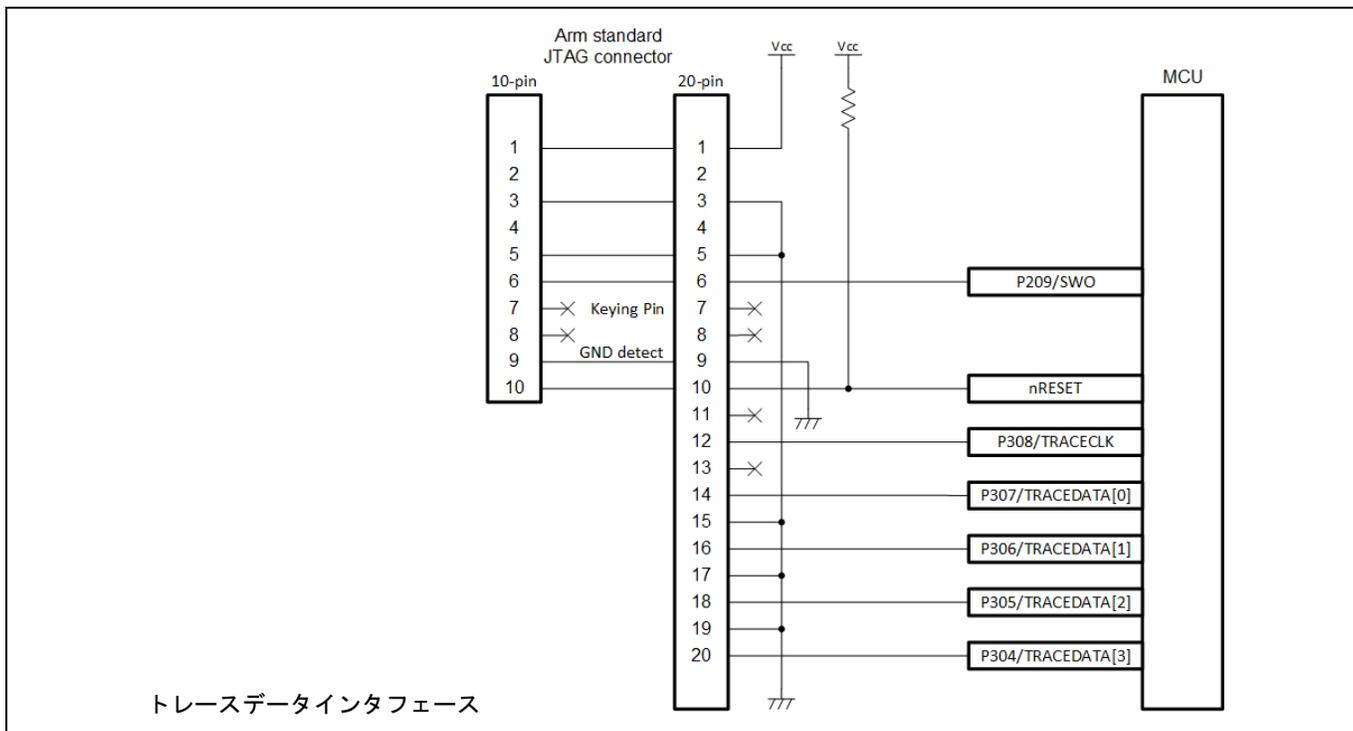


図5 トレースデータインタフェース

トレースポートインタフェースユニット (TPIU) とシリアルワイヤ出力 (SWO) はトレース出力を提供します。トレース出力は、インストルメンテーショントレースマクロ (ITM) または Arm® エンベデッドトレースマクロ (ETM.) から供給できます。詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「概要」の章の「CoreSight ATB ファネル」を参照してください。

## 2.4 エミュレータインタフェースを介した SCI ブートモードの使用

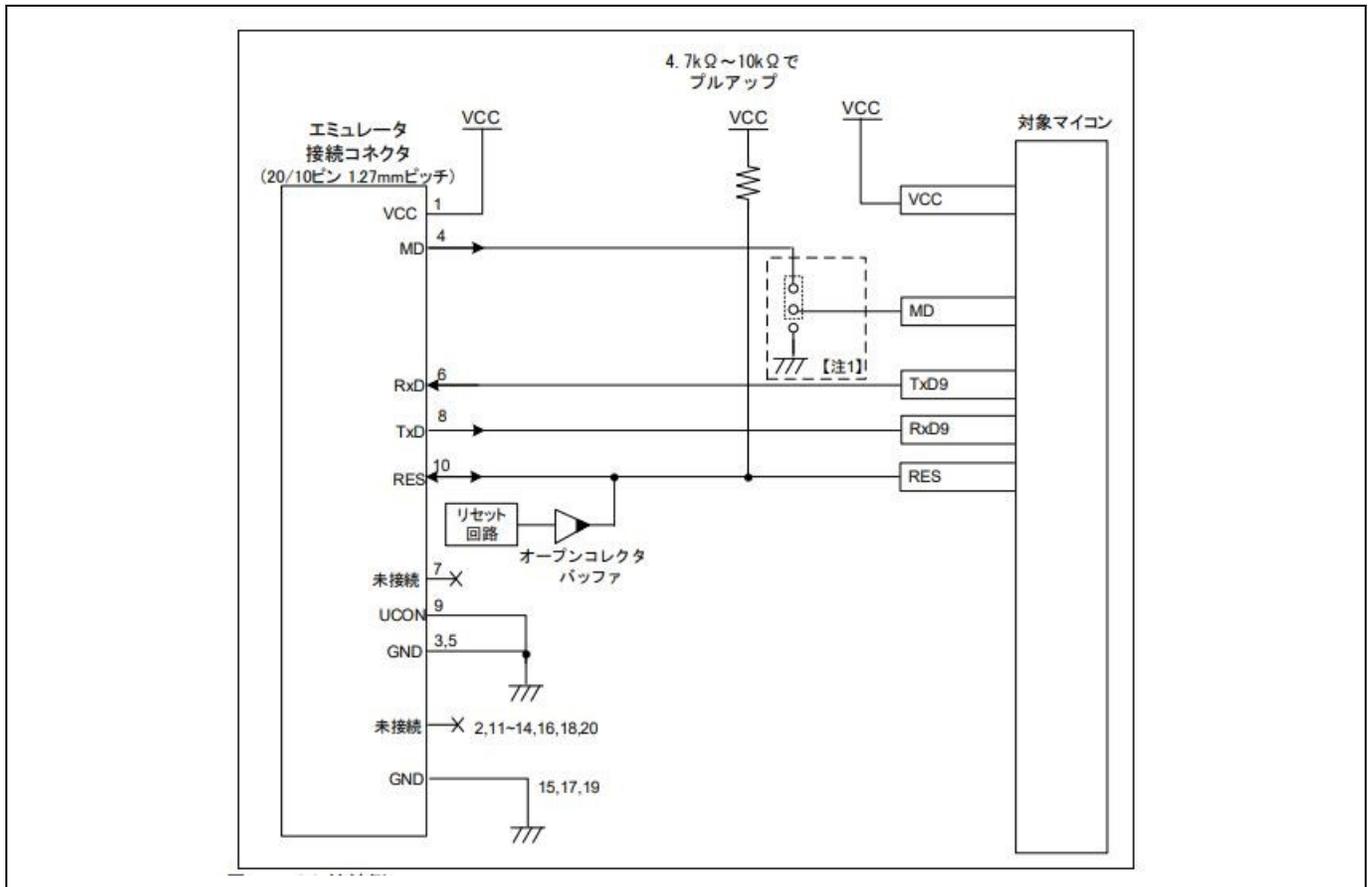


図 6 デバッグコネクタを介した SCI 接続を使用したシリアルプログラミングインタフェース

注:

1. ユーザシステムのリセット回路の出力はオープンコレクタでなければなりません。
2. SCI ブート端子を JTAG コネクタ経由で MCU ブートモードにアクセスするには、図 6 に従って、P201/MD と SCI TXD、RXD 端子を JTAG コネクタに接続します。
3. この設定は、デバッグコネクタのインタフェースを単純化するのに役立ちます。JTAG コネクタで SCI インタフェースが使用される場合、ルネサスツールは IDE、J-Link ドライバを介して MD 端子を制御し、ブートモードにアクセスする便利な方法を提供します。この場合、デバッグは MD 端子を Low にして MCU をブートモードとし、ブートモードにアクセスし MD 端子を High に設定してから MCU をリセット解除します。
4. SCI ブートモードをスタンドアロンハードウェアインタフェースとしてアクセスする場合、ブートモードにアクセスする前に手動で MD 端子を Low にしてください。

RA8 デバイスの場合、IDAU と DLM レジスタは JTAG または SWD を使用してアクセスすることもできます。これらのレジスタにアクセスするために SCI ブートモードは必要ありません。

2.5 マルチエミュレータインタフェース

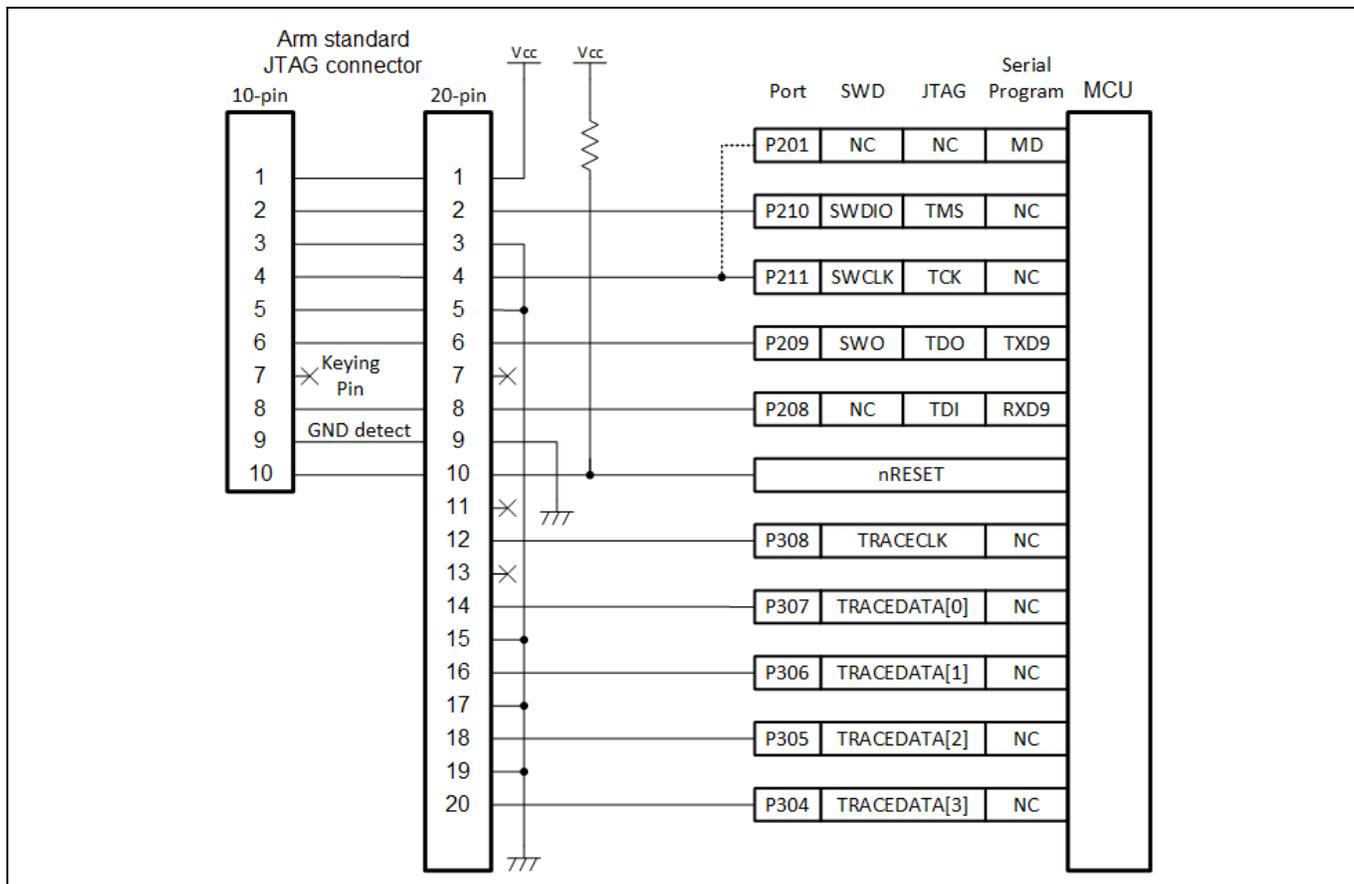


図 7 複数のエミュレータインタフェース接続

注:1 ターゲット上のリセット回路はオープンコレクタにしてください。  
 nRESET 信号をプルアップしてください。  
 パワーオンリセット回路の動作に影響を与えるため、この信号にコンデンサを接続しないでください。

P201/MD から P211/SWCLK/TCK への接続は、使用するエミュレータの種類によって異なります。  
 接続の詳細については、各エミュレータのユーザーズマニュアルを参照してください。

## 2.6 エミュレータ接続用のソフトウェア設定

### 2.6.1 SWD および JTAG インタフェース

ソフトウェアデバッグコントロールが無効でない限り、SWD 端子と JTAG 端子はリセット後のデフォルト状態です。

表 5 SWD/JTAG 端子

端子	P210	P209	P208	P211
機能	TMS/SWDIO	TDO/SWO	TDI	TCK/SWCLK

### 2.6.2 トレースポート

4 ビットのトレースポートインタフェースユニット (TPIU) とシリアルワイヤ出力 (SWO) は、RA8 デバイスのトレース出力を提供します。

デバッグスクリプトで使用する前に、トレースポートとクロックを有効にする必要があります。トレースポート機能を使用する場合、トレース端子を他の機能に使用しないでください。

表 6 トレースポート

端子	P304	P305	P306	P307	P308	P209
機能	TDATA3	TDATA2	TDATA1	TDATA0	TCLK	SWO

トレースポートは、ルネサスフレキシブルソフトウェアパッケージ (FSP) の端子コンフィギュレータを使用して実行時に有効にすることもできますが、この場合、一部のトレースデータが失われる可能性があります。

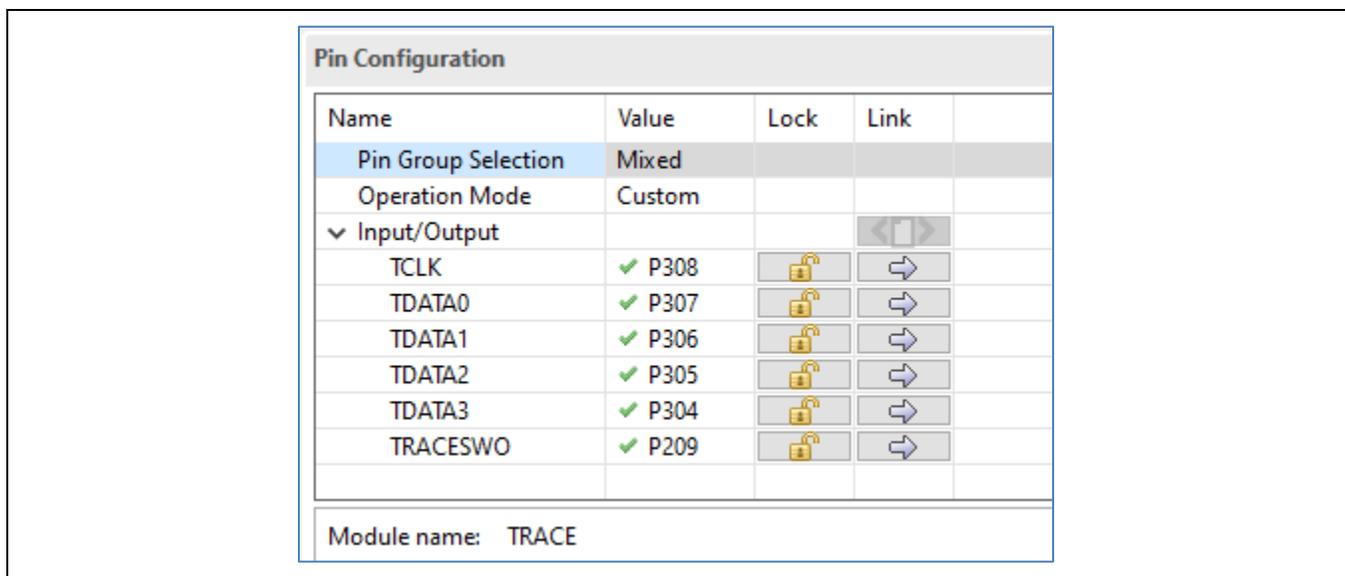


図 8 FSP コンフィギュレータを使用したランタイムでのトレースポートの有効化

3. MCU の動作モード

RA8 シリーズは、リセット後にシングルチップモード/JTAG ブートモードまたは SCI/USB ブートモードのいずれかに遷移します。ブートモードは MD 端子によって選択されます。

表 7 リセット時に使用可能な動作モード

モード設定端子 (MD)	動作モード	内蔵フラッシュメモリ	外部バス
1	シングルチップモード/ JTAG ブートモード	有効	無効
0	SCI/USB ブートモード	有効	無効

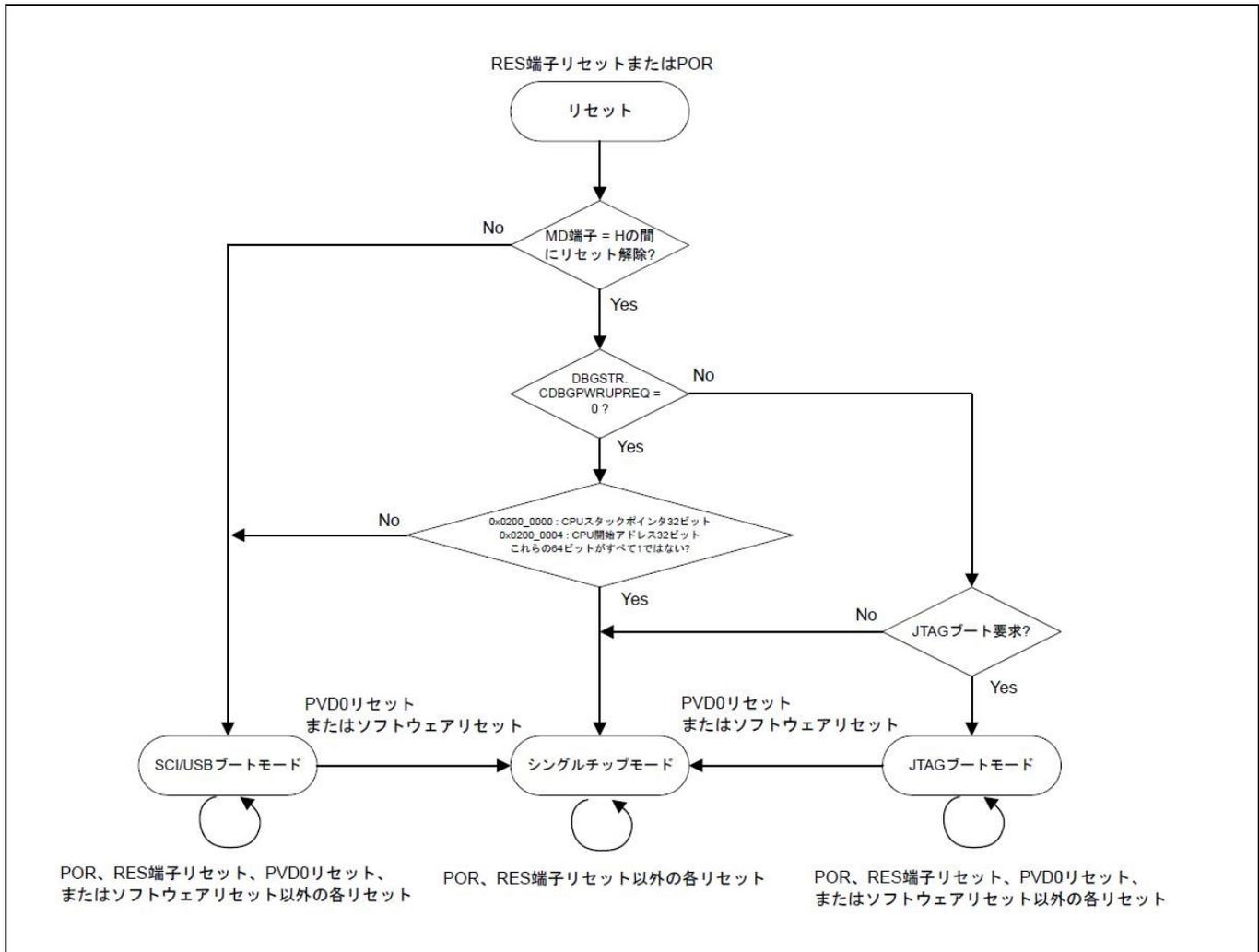


図 9 動作モードとモード遷移の関係

一般的な外部のブートモード回路は、MD 端子の接続を VCC またはグラウンドに切り替えるためにジャンパと数本の抵抗で構成されます。

一部のエミュレータは MD 端子の制御をサポートしています。MD 端子の制御をサポートするエミュレータの場合、P201/MD 端子をエミュレータコネクタの SCK/TCK 端子に接続します。詳細については、ご使用のエミュレータのユーザーズマニュアルを参照してください。

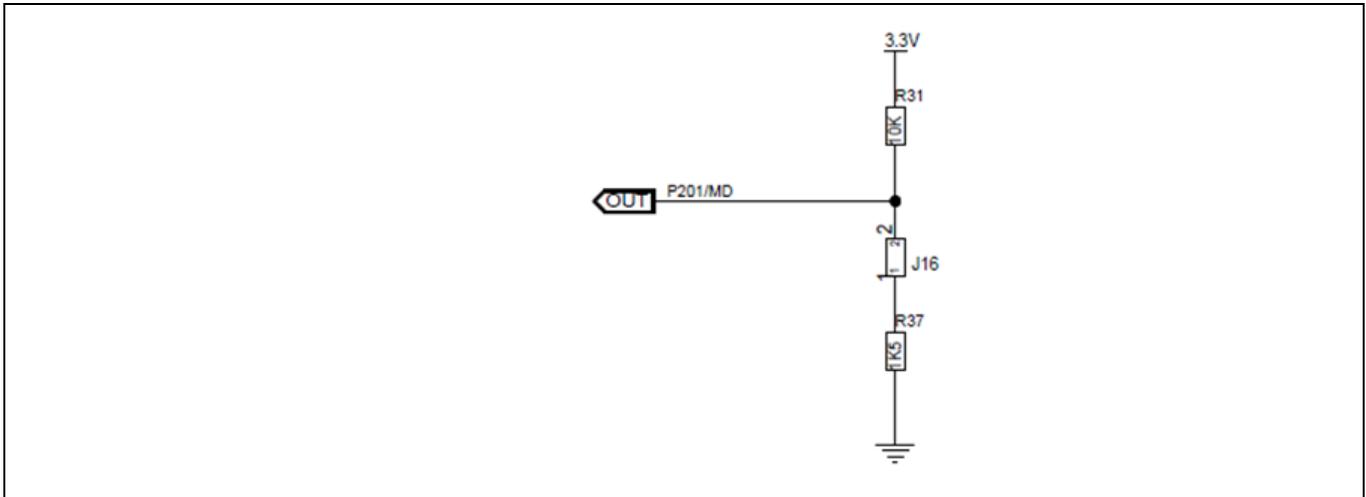


図 10 MCU ブートモード選択の標準回路

#### 4. オプション設定メモリ

オプション設定メモリはリセット後の MCU の状態を決定します。フラッシュメモリのコンフィギュレーション設定領域とプログラムフラッシュ領域に割り当てられています。設定方法は2つの領域で異なります。Cortex®-M85 ベースのデバイスにおいて、オプション設定メモリはサイズとレイアウトが異なる場合があります。

レジスタの詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「オプション設定メモリ」の章を参照してください。

オプション設定メモリのレジスタは、コードフラッシュメモリ内でアドレス空間が不連続にレイアウトされており、内部フラッシュメモリの予約領域に近い場所に配置されている場合があります。このため、不注意により、オプション設定メモリに誤ってデータを保存し、内部フラッシュメモリの予約領域に書き込むことで、正常な動作ができなくなる可能性があります。このため、バイナリ作成時にコンパイラによって発生するマップファイルまたは S レコードファイルを確認し、内部フラッシュメモリをプログラムする前に、これらの場所に不要なデータが書き込まれていないことを確認することをお勧めします。

たとえば、オプション設定メモリのレジスタ設定により、リセット直後、独立ウォッチドッグタイマ (IWDG) を有効にすることができます。この時、誤ってデータをオプション設定メモリレジスタに書き込みしてしまうと、無効であるべき IWDG が気づかぬうちにオンにしてしまい、デバッグとボードの通信に問題が生じる可能性があります。さらに、コードフラッシュオプション設定メモリのセキュリティ属性は、実行時に適用される値に影響する可能性があるため、ユーザは必要な値がオプション設定メモリにプログラムされていることを確認する必要があります。

以下の図は、Cortex®-M85 デバイスである RA8M1 のオプション機能選択レジスタで設定されるオプション設定メモリを示しています。

0x3703_0400	予約領域 (注 <sup>2</sup> )	非セキュア
0x3703_0050	内蔵フラッシュ (オプション設定メモリ)	
0x3700_3000	予約領域 (注 <sup>2</sup> )	
0x3700_0000	内蔵フラッシュ (データフラッシュ)	
0x3600_0400	予約領域 (注 <sup>2</sup> )	
0x3600_0000	スタンバイSRAM	
0x320E_0000	予約領域 (注 <sup>2</sup> )	
0x3200_0000	内蔵SRAM	
0x3001_0000	予約領域 (注 <sup>2</sup> )	
0x3000_0000	DTCM	
0x2703_0400	予約領域 (注 <sup>2</sup> )	
0x2703_0050	内蔵フラッシュ (オプション設定メモリ)	
0x2700_3000	予約領域 (注 <sup>2</sup> )	
0x2700_0000	内蔵フラッシュ (データフラッシュ)	
0x2600_0400	予約領域 (注 <sup>2</sup> )	
0x2600_0000	スタンバイSRAM	
0x220E_0000	予約領域 (注 <sup>2</sup> )	
0x2200_0000	内蔵SRAM	
0x2001_0000	予約領域 (注 <sup>2</sup> )	
0x2000_0000	DTCM	
	予約領域 (注 <sup>2</sup> )	
0x1300_A300	予約領域 (注 <sup>2</sup> )	CPU用 非セキュア コーラブル
0x1300_A100	内蔵フラッシュ (オプション設定メモリ)	
0x1300_81B4	予約領域 (注 <sup>2</sup> )	
0x1300_80F0	内蔵フラッシュ (ファクトリフラッシュ)	
0x122F_8000	予約領域 (注 <sup>2</sup> )	
0x1200_0000	内蔵フラッシュ (コードフラッシュ) (読み出し専用) (注 <sup>1</sup> )	
	予約領域 (注 <sup>2</sup> )	
0x1001_0000	予約領域 (注 <sup>2</sup> )	
0x1000_0000	ITCM	
	予約領域 (注 <sup>2</sup> )	
	予約領域 (注 <sup>2</sup> )	他のバス マスタ用 セキュア
	予約領域 (注 <sup>2</sup> )	
	予約領域 (注 <sup>2</sup> )	非セキュア
	予約領域 (注 <sup>2</sup> )	

図 11 オプション機能選択レジスタのメモリマップ例

## 4.1 オプション設定メモリのレジスタ

以下はオプション設定メモリのレジスタ概要です。MCU を最初にプログラミングして起動する前に、これらのレジスタが適切に設定されていることを確認してください。確認するには、マップファイルと出力ファイル(16 進数または S レコード形式を使用)を見直し、オプション設定メモリのレジスタにプログラムされた値を確認します。「メモリ使用量」ビューに関する図 12 を参照してください。

### MCU サブシステム制御設定

- OFS0 レジスタ
  - IWDTC のスタートモード、タイムアウト時間、クロック分周比、ウィンドウ処理、アンダーフロー時に割り込み or リセット、低電力モード時の動作
  - WDT のスタートモード、タイムアウト時間、クロック分周比、ウィンドウ処理、アンダーフロー時の割り込み or リセット、低電力モード時の動作
- OFS1 レジスタ
  - リセット後の PVDO 起動設定
  - リセット後の HOCO 起動設定
  - ソフトウェアデバッグ制御
  - TCM、CACHE の ECC 機能の無効/有効
- OFS2 レジスタ
  - DCDC の無効/有効
- コードフラッシュメモリ設定
  - SAS レジスタ
    - スタートアップ領域の選択と保護
  - DUALSEL レジスタ
    - リセット時のコードフラッシュメモリのデュアルモード/リニアモード選択
  - BANKSEL レジスタ
    - 次のリセット時のバンクスワップを制御します。
  - BPS、PBPS レジスタ
    - コードフラッシュメモリの選択されたブロックの消去とプログラミング機能を無効にします。PBPS がフラッシュ消去とプログラミングを無効に設定されると、元に戻すことはできないことに注意してください。

### ファームウェア検証および更新制御レジスタ

- FSBLCTRLx レジスタ
  - FSBLCTRL0 : FSBL の有効/無効、FSBL クロック速度を選択
  - FSBLCTRL1 : コードフラッシュメモリの先頭に存在するユーザアプリケーションの検証タイプと、ブートステータスを報告するかどうかを設定します : セキュアブートまたは CRC
  - FSBLCTRL2 : FSBL エラーステータスの報告に使用されるポートとピン番号を選択します。  
これらのレジスタは、図 13 に示すように BSP スタック構成を使用して設定できます。
- SACCx レジスタ
  - FSBL がセキュアブートで動作しているときにアプリケーションを検証するためのコード証明書が保存されるコードフラッシュメモリの場所を構成します。
  - SACC0/1 は MCU 開始領域とバンクモードに基づいて FSBL によって選択されます。この選択プロセスを理解するには、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「セキュアブート」を参照してください。
  - コード証明書は、OEM\_BL 検証鍵ペアの秘密部分を使用して署名され、そのフォーマットはルネサス独自のものです。コード証明書の内容は、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「コード証明書の詳細」の表に記載されています。
- SAMR レジスタ
  - FSBL は、SAMR レジスタで指定された SRAM アドレスに測定レポートを保存します。
- HOEMRTPK レジスタ
  - このレジスタは MCU ブートファームウェアによってのみプログラム可能です。コードイメージが検証された後にプログラムされます。このレジスタには処理されたハッシュ値が保存されます。
- CFGDxLOCK レジスタ
  - データフラッシュ内の対応するロック可能コンフィギュレーションデータ領域の書き込み保護を指定します。保護が有効になっている場合、決して元に戻すことができないことに注意してください。

- ARCLS レジスタ
  - アンチロールバックカウンタロック機能を制御します。このロック機能は有効で、決して元に戻すことはできないことに注意してください。このレジスタは、ルネサスフラッシュプログラミング (RFP) ツールを使用して設定できます。
- ARCCS レジスタ
  - 非セキュアアプリケーションのアンチロールバックカウンタの動作を設定します。この設定を無効にすると、「カウンタの増分」または「カウンタの読み取り」コマンドを発行できなくなることに注意してください。このレジスタは、ルネサスフラッシュプログラミング (RFP) ツールを使用して設定できます。
- ARC\_SEcN レジスタ
  - セキュアアプリケーション用アンチロールバックカウンタ
- ARC\_NSECn レジスタ
  - 非セキュアアプリケーション用アンチロールバックカウンタ
- ARC\_OEMBLn レジスタ
  - OEMBL 用アンチロールバックカウンタ

The screenshot shows the IDE's memory usage interface. At the top left, a legend lists memory sections: プログラム (2584 bytes), 定数 (0 bytes), 初期化済みデータ (8 bytes), 未初期化データ (120 bytes), データ (48 bytes), スタック (1024 bytes), and その他 (968 bytes). The top right panel, titled 'メモリ領域使用量 | アドレス空間使用量', displays bar charts for FLASH (2016KB, 1% used), RAM (896KB, 1% used), and OPTION\_SETTING\_S (256B, 81% used). The main table below lists memory sections with columns for Section, Group, Start Address, End Address, Size, Alignment, Attributes, and Load Address. The bottom table shows object files with columns for Object File, Start Address, End Address, Size, Section, and Group.

セクション	グループ	先頭アドレス (VMA...)	最終アドレス	サイズ (バイト)	アライメント数	属性	ロードアドレス (LMA)
.sdram	未初期化データ	0x68000000	---	0	---	---	---
.qspi_non_retentive	その他	0x60000000	---	0	---	---	0x02000A20
.qspi_flash	その他	0x60000000	---	0	---	---	---
.ospi_device_1_non_retentive	その他	0x90000000	---	0	---	---	0x02000A20
.OSPI_DEVICE_1_NO_LOAD	その他	0x90000000	---	0	---	---	---
.OSPI_DEVICE_1	その他	0x90000000	---	0	---	---	---
.ospi_device_0_non_retentive	その他	0x80000000	---	0	---	---	0x02000A20
.OSPI_DEVICE_0_NO_LOAD	その他	0x80000000	---	0	---	---	---
.OSPI_DEVICE_0	その他	0x80000000	---	0	---	---	---
.option_setting_sas	その他	0x0300A134	0x0300A137	4	---	---	---
.option_setting_s	その他	0x0300A200	0x0300A2CF	208	---	---	---
.option_setting_ofs	その他	0x0300A100	0x0300A113	20	---	---	---
.option_setting_ns	その他	0x0300A100	---	0	---	---	---
.option_setting_data_flash_s	その他	0x27030080	0x2703035F	736	---	---	---
.ns_buffer	その他	0x22000480	---	0	---	---	---
.noinit	データ	0x22000008	0x22000037	48	---	---	---
.nocache_sdram	その他	0x68000000	---	0	---	---	---
.nocache	その他	0x22000040	---	0	---	---	---
.itcm_data	その他	0x00000000	---	0	---	---	0x02000A20
.iplt	定数	0x02000A18	---	0	---	---	---
.igot.plt	定数	0x22000008	---	0	---	---	0x02000A20
.id_code	その他	0x00000000	---	0	---	---	---

オブジェクト・ファイル	先頭アドレス	最終アドレス	サイズ (バイト...)	セクション	グループ
./ra/board/ra8m1_ek/board_init.o	0x02000838	0x0200083F	4	.text	プログラム
./ra/bsp/src/bsp/cmsis/Device/RENESAS/Source/startup.o	0x02000000	0x0200003B	64	.text	プログラム
./ra/bsp/src/bsp/cmsis/Device/RENESAS/Source/startup.o	0x020006BC	0x020006BF	4	.text	プログラム
./ra/bsp/src/bsp/cmsis/Device/RENESAS/Source/startup.o	0x020006C0	0x020006CB	12	.text	プログラム
./ra/bsp/src/bsp/cmsis/Device/RENESAS/Source/startup.o	0x220000B0	0x2200004F	1024	.stack_dummy	スタック
./ra/bsp/src/bsp/cmsis/Device/RENESAS/Source/system.o	0x020006D0	0x02000837	360	.text	プログラム
./ra/bsp/src/bsp/cmsis/Device/RENESAS/Source/system.o	0x220000AC	0x220000AF	4	.bss	未初期化データ
./ra/bsp/src/bsp/mcu/all/bsp_clocks.o	0x020002EC	0x0200034F	100	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_clocks.o	0x02000350	0x02000353	4	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_clocks.o	0x02000358	0x02000483	300	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_clocks.o	0x02000484	0x02000533	176	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_clocks.o	0x22000008	0x22000033	44	.noinit	データ
./ra/bsp/src/bsp/mcu/all/bsp_common.o	0x02000868	0x020008B7	80	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_delay.o	0x02000538	0x02000543	12	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_delay.o	0x02000544	0x02000597	84	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_group_irq.o	0x02000598	0x020005DB	68	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_group_irq.o	0x22000060	0x2200009F	64	.bss	未初期化データ
./ra/bsp/src/bsp/mcu/all/bsp_io.o	0x220000A0	0x220000A3	4	.bss	未初期化データ
./ra/bsp/src/bsp/mcu/all/bsp_irq.o	0x020005DC	0x02000607	44	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_irq.o	0x0200094C	0x02000A0B	192	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_register_protection.o	0x02000608	0x02000667	96	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_register_protection.o	0x02000668	0x020006B8	84	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_register_protection.o	0x02000A0C	0x02000A13	8	.text	プログラム
./ra/bsp/src/bsp/mcu/all/bsp_register_protection.o	0x220000A4	0x220000AB	8	.bss	未初期化データ
./ra/bsp/src/bsp/mcu/all/bsp_register_protection.o	0x0300A100	0x0300A103	4	.option_setting	その他

図 12 プログラムされたオプション設定アドレスの場所を特定するためのメモリ使用量ビューの使用例

objdump コマンドでもオプション設定メモリの設定を確認できます。以下はオプション設定レジスタをダンプする例です。

```
arm-none-eabi-objdump.exe -s --start-address=0x0300A100 --stop-address=0x0300A300 elf_from_gcc.elf
```

ルネサス FSP コンフィギュレータは、RA8M1 MCU の場合、次の図のように BSP 設定でオプションメモリの設定をサポートしています。

EK-RA8M1		
Settings	Property	Value
	▼ R7FA8M1AHECBD	
	part_number	R7FA8M1AHECBD
	rom_size_bytes	2064384
	ram_size_bytes	917504
	data_flash_size_bytes	12288
	package_style	BGA
	package_pins	224
	▼ RA8M1	
	series	8
	▼ RA8M1 Family	
	> Security	
	▼ OFS0 register settings	
	> Independent WDT	
	> WDT0	
	▼ OFS1_SEL register settings	
	Voltage Detection 0 Level Security Attribution	VDSEL setting loads from OFS1_SEC
	Voltage Detection 0 Circuit Start Security Attribution	PVDAS setting loads from OFS1_SEC
	Voltage Detection 0 Low Power Consumption Security Attribution	PVDLPSEL setting loads from OFS1_SEC
	WDT/IWDT Software Debug Control Security Attribution	SWDBG setting loads from OFS1_SEC
	Tightly Coupled Memory (TCM)/Cache ECC Security Attribution	INITECCEN setting loads from OFS1_SEC
	▼ OFS1 register settings	
	Voltage Detection 0 Circuit Start	Voltage monitor 0 reset is disabled after reset
	Voltage Detection 0 Level	1.60 V
	Voltage Detection 0 Low Power Consumption	Voltage monitor 0 Low Power Consumption Disabled
	HOCO Oscillation Enable	HOCO oscillation is disabled after reset
	WDT/IWDT Software Debug Control	Disabled (WDT and IWDT continue operating while the CPU is in the debug state)
	Tightly Coupled Memory (TCM)/Cache ECC	Disable ECC function for TCM and Cache
	▼ OFS2 register settings	
	DCDC	Enabled
	> Block Protection Settings (BPS)	
	> Permanent Block Protection Settings (PBPS)	
	> First Stage Bootloader (FSBL)	
	▼ Clocks	
	HOCO FLL Function	Disabled
	Clock Settling Delay	Enabled
	Sleep Mode Entry and Exit Delays	Enabled
	RTOS Sleep Mode Entry and Exit Delays	Enabled
	MSTP Change Delays	Enabled
	Settling Delay (us)	150
	> Cache settings	
	Dual Bank Mode	Disabled
	Main Oscillator Wait Time	8163 cycles
	▼ RA Common	
	Main stack size (bytes)	0x400
	Heap size (bytes)	0
	MCU Vcc (mV)	3300
	Parameter checking	Disabled
	Assert Failures	Return FSP_ERR_ASSERTION
	Error Log	No Error Log
	Clock Registers not Reset Values during Startup	Disabled
	Main Oscillator Populated	Populated
	PFS Protect	Enabled
	C Runtime Initialization	Enabled
	Early BSP Initialization	Disabled
	Main Oscillator Clock Source	Crystal or Resonator
	Subclock Populated	Populated
	Subclock Drive (Drive capacitance availability varies by MCU)	Standard/Normal mode
	Subclock Stabilization Time (ms)	1000

図 13 RA8M1 MCU の FSP コンフィギュレーションにおけるオプションメモリ設定例

## 5. クロック発生回路

RA8 シリーズには5つのプライマリオシレータがあります。このうち4つはメインシステムクロックソースとして使用できます。より高いクロック精度が必要な一般的なシステムでは、メインクロックは外部の水晶またはクロックで駆動されます。この入力には PLLn (n=1, 2) に送られ、最終的に PLL クロックに逡倍された後、GPU クロック (GPUCLK)、システムクロック (IGLK)、フラッシュクロック (FCK)、周辺モジュールクロック (PCLKn)、外部バスクロック、トレースクロックに供給されます。SCI クロック、SPI クロック、オクタ SPI クロック、CANFD クロック、LCD クロック、USB クロック、I3C クロックを生成するために、追加のセレクタと分周器が使用されます。「クロック発生回路ブロック図」については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「クロック発生回路」の章を参照してください。

各クロックには特定の許容誤差とタイミング値があります。周波数とクロックタイミングの仕様については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「電気的特性」の章の「AC 特性」を参照してください。各クロック周波数の関係については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「クロック発生回路」の章を参照してください。

表 8 RA8 オシレータ

オシレータ	入力ソース	頻度	主要用途
メインクロック (MOSC)	外部水晶/振動子 (EXTAL, XTAL)	8MHz ~ 48MHz	PLL1 入力、PLL2 入力、メインシステムクロック、CLKOUT、CAN クロック、CAC クロック、MIPI-PHY クロック、USB-PHY クロック
	外部クロック (EXTAL)	最大 48MHz	
サブクロック (SOSC)	外部水晶/振動子 (XCIN, XCOUT)	32.768kHz	リアルタイムクロック、低消費電力モードのシステムクロック、CLKOUT、AGT クロック、CAC クロック、ULPT クロック、RTC クロック
	外部クロック (EXCIN)	32.768kHz	
高速オンチップ (HOCO)	オンチップオシレータ	16/18/20/32/48MHz	PLL1 入力、PLL2 入力、インシステムクロック、CLKOUT、CAC クロック
中速オンチップ (MOCO)	オンチップオシレータ	8MHz	起動時システムクロック、CLKOUT、CAC クロック
低速オンチップ (LOCO)	オンチップオシレータ	32.768kHz	低消費電力モード (ソフトウェアスタンバイおよびディープソフトウェアスタンバイモード 1) およびメインオシレータ停止検出時のメインシステムクロック、AGT クロック、CAC クロック、リアルタイムクロック、ULPT クロック、ウォッチドッグタイマクロック

### 5.1 リセット条件

リセット後、RA8 シリーズは中速オンチップオシレータ (MOCO) をメインクロックソースとして動作を開始します。リセット時、メインオシレータと PLL1、PLL2 はデフォルトでオフになっています。HOCO と IWDT の動作は、オプション設定メモリ (セクション 4 参照) の設定によって決まります。

## 5.2 クロック周波数要件

各クロックの周波数を指定するビットは、ご使用の RA8 シリーズのユーザーズマニュアルハードウェア編「クロック発生回路」の章の「内部クロック」の各サブセクションで指定されています。サブセクションで指定されているレジスタ値を確認することで、クロック回路が目的のクロック周波数を生成するように正しく設定されているかどうかを確認することができます。

ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「クロック生成回路」の章の「概要」に、使用可能な周波数範囲を含め、すべてのクロックソースの仕様が詳しく記載されています。同章の表「内部クロックのクロック生成回路仕様」に詳細が記載されています。MCU が正しく動作するためには、ユーザはその表の注意事項を守る必要があります。その他の詳細は、ご使用の RA8 シリーズのユーザーズマニュアルハードウェア編「電気的特性」の章の「AC 特性」に記載されています。

表 9 RA8M1 MCU 内部クロックの周波数範囲例 (1/3)

クロック周波数 [MHz]	CPUCLK <sup>2</sup>	ICLK <sup>1</sup>	PCLKA <sup>1</sup>	PCLKB	PCLKC	PCLKD	PCLKE
最大	480	240	120	60	60	120	240
最小	-	-	-	-	-	-	-

注 1：イーサネットコントローラを使用する場合、ICLK と PCLKA の周波数は同じで、少なくとも 12.5MHz である必要があります。

注 2：最大 CPUCLK 周波数はパッケージタイプと動作ジャンクション温度によって異なります。CPUCLK が 360MHz を超える場合は、PLL1 クロックソースに MOSC を使用する必要があります。

表 9 RA8M1 MCU 内部クロックの周波数範囲例 (2/3)

クロック周波数 [MHz]	FCLK <sup>1</sup>	BCLK	EBCLK	SDCLK	UCLK	USB60CLK	DCLK
最大	60	120	60	120	48	60	120
最小	4	-	-	-	48	60	-

注 1：FCLK は、ROM またはデータフラッシュの書き込みや消去時に少なくとも 4MHz の周波数で動作する必要があります。

表 9 RA8M1 MCU 内部クロックの周波数範囲例 (3/3)

クロック周波数 [MHz]	OCTACLK	CANFDCLK	LCCLK	I3CCLK	MIPICLK	SCICLK	SPICLK
最大	200	80	240	200	48	120	120
最小	-	-	-	-	-	-	-

### 5.2.1 USB 通信の要件

RA ファミリの一部で使用可能な USB2.0 フルスピードモジュール (USBFS) と USB2.0 ハイスピードモジュール (USBHS) は、48MHz の USB クロック信号 (USBCLK) を必要とします。USBHS モジュールをクラシックオンリーモード (CL オンリーモード) で使用する場合は、60MHz のクロックを供給する必要があります。

CL オンリーモードで動作していない場合、メイン発振器 (MOSC) は USB-PHY クロック (USBMCLK) の動作クロックソースとして使用されます。USB-PHY クロックが外部ソースから発生する場合、メインクロック発振器の周波数は 12MHz、20MHz、24MHz、48MHz のいずれかに制限されます。これは次の 2 つの要因によるものです。

- (1) USBHS モジュールの PLL 回路で使用できる逡倍比と分周比には制限があります。
- (2) USB 機能モジュールには 48MHz のクロック入力が必要です。CL オンリー動作時は USBMCLK を供給する必要ありません。

CL オンリーモードで動作する場合、2 つの内部動作クロックがあります。

- USB クロック USBCLK は 48MHz のクロックで、USBFS モジュールまたは USBHS を CL オンリーモードで使用する場合に供給する必要があります。USBHS が CL オンリーモードで動作していない場合は、USBCLK は必要ありません。
- USB クロック USB60CLK は、USBHS モジュールを CL オンリーモードで使用する場合に供給する必要がある 60MHz クロックです。USBHS が CL オンリーモードで動作していない場合、USB60CLK は必要ありません。

### 5.2.2 イーサネットコントローラの要件

イーサネットコントローラ (ETHERC) およびイーサネット DMA コントローラ (EDMAC) を使用する場合、PCLKA は 12.5MHz~120MHz の範囲内である必要があります。

### 5.2.3 ROM またはデータフラッシュのプログラミングと消去の要件

内蔵 ROM やデータフラッシュへのプログラミングや消去を行うには、FCLK が少なくとも 4MHz である必要があります。

### 5.2.4 SDRAM コントローラの要件

SDCLK は外部バス BCLK から供給されます。SDCLK をシステムクロック (ICLK) より高い周波数に設定しないでください。

### 5.2.5 MIPI D-PHY の要件

MIPI D-PHY のクロックは、メインクロック発振器から直接供給されます。PCLKA は、D-PHY モジュールの内部タイミングを制御するカウンタ回路のリファレンスクロックに使用されます。MIPI 機能を使用するには PCLKA が 40MHz 以上である必要があります。また、システムの動作電力制御モードを High-Speed モードに設定する必要があります。

## 5.3 クロック発生回路 (CGC) の消費電力の低減

電力を節約するために、未使用のクロック (例えば BCLK) の分周器を可能な限り高い値に設定します。また、クロックを使用しない場合は、適切なレジスタを設定してクロックが停止していることを確認してください。各クロックソースを制御するレジスタを以下の表に示します。

表 10 クロックソース設定レジスタ

オシレータ	レジスタ	説明
メインクロック	MOSCCR	メインクロック発振器動作/停止
サブクロック	SOSCCR	サブクロック発振器動作/停止
高速オンチップ (HOCO)	HOCOCR	HOCO 動作/停止
中速オンチップ (MOCO)	MOCOCR	MOCO 動作/停止
低速オンチップ (LOCO)	LOGOCR	LOCO 動作/停止

## 5.4 システムクロック制御レジスタの書き込み

システムクロック分周コントロールレジスタ (SCKDIVCR)、システムクロック分周コントロールレジスタ 2 (SCKDIVCR2)、システムクロックソースコントロールレジスタ (SCKSCR) の各ビットフィールドへの書き込みには注意が必要です。詳細はご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「クロック設定」に記載されています。

また、「クロックの設定」に記載されている手順は必ず従ってください。この手順例は、クロック周波数を変更しても正常な処理に支障がないことを確認するものです。

SCKSCR でクロックソースを変更する場合も同じく「クロックの設定」の手順に従ってください。手順例では、動作を継続する前にクロック発振出力が安定していることを確認します。

推奨される待ち時間の測定方法は、Nop などの命令サイクルをカウントしてソフトウェアで行うことです。ワーストケースを考慮して、必要な待ち時間が確実に経過するようにしてください。

## 5.5 クロック設定の例

ルネサス FSP は、RA8 シリーズ向けに以下のようなシンプルで視覚的なクロック設定ツールを提供しています。このツールは、設定条件がデバイスの仕様に違反している場合にハイライト表示されます。

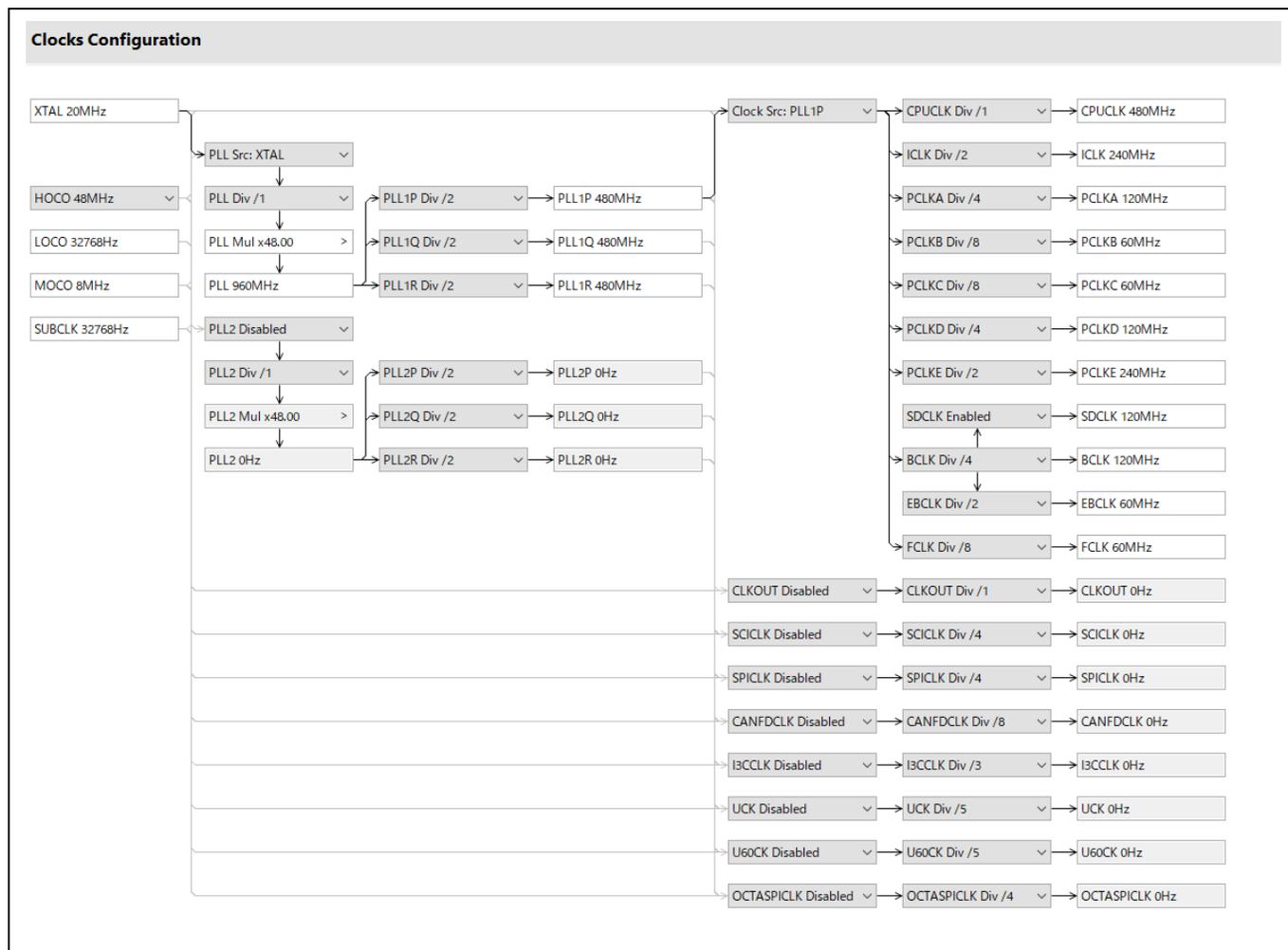


図 14 ルネサス FSP コンフィギュレータを使用したクロックの設定

## 5.6 HOCO の精度

内蔵の高速オンチップオシレータ (HOCO) は、16MHz、18MHz、20MHz、32MHz、または 48MHz で動作し、精度は $\pm 1.8\%$ です。HOCO の精度は、周波数ロックループ (FLL) 機能を有効にすることで向上し、クロック精度は最大 $\pm 0.25\%$ になります。詳細は、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「電気的特性」を参照してください。

HOCO は PLL 回路への入力として使用することができます。HOCO をこのように使用する場合、外部に水晶振動子は必要ありません。これは、スペースの制約やその他の制限により PCB 設計の部品数を減らす必要がある場合に利点となります。しかし、クロック精度によるパフォーマンスとのトレードオフとなるため、アプリケーションに応じて評価する必要があります。

## 5.7 フラッシュインタフェースクロック

フラッシュインタフェースクロック (FCLK) は、内部フラッシュ (コードフラッシュ、データフラッシュ) のプログラミングと消去時、およびデータフラッシュからの読み出し時の動作クロックとして使用されます。したがって、FCLK の周波数設定はデータフラッシュからの読み出し時間に直接影響します。ユーザのプログラムがデータフラッシュからの読み出し、または内部フラッシュへのプログラミングや消去を実行する場合は、最大の FCLK 周波数を使用することを推奨します。

なお、FCLK 周波数はコードフラッシュからの読み出しや SRAM への読み書きには影響しないことに注意してください。

## 5.8 基板設計

クロック発生回路の使用に関する詳細とボード設計の推奨事項については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「クロック発生回路」の「使用上の注意」を参照してください。

一般に、水晶振動子とコンデンサ及び抵抗は、MCU クロック端子 (XTAL/EXTAL、XCIN/XCOUT) のできるだけ近くに配置してください。水晶振動子と MCU の間に他の信号を配線しないでください。接続ビアの数は最小限にしてください。

## 5.9 外部の水晶振動子の選択

外部の水晶振動子をメインクロック用ソースとして使用できます。この水晶振動子は、MCU の EXTAL 端子と XTAL 端子の間に接続されます。水晶振動子の周波数は、メインクロック発振器の周波数範囲内である必要があります。

この水晶振動子の選択は、それぞれのボード設計に大きく依存します。RA8 シリーズのデバイスでの使用に適した水晶振動子の選択肢が豊富にあるため、選択した水晶振動子の電気的特性を慎重に評価して、特定の実装要件を決定してください。

次の図は、水晶振動子の一般的な接続例です。

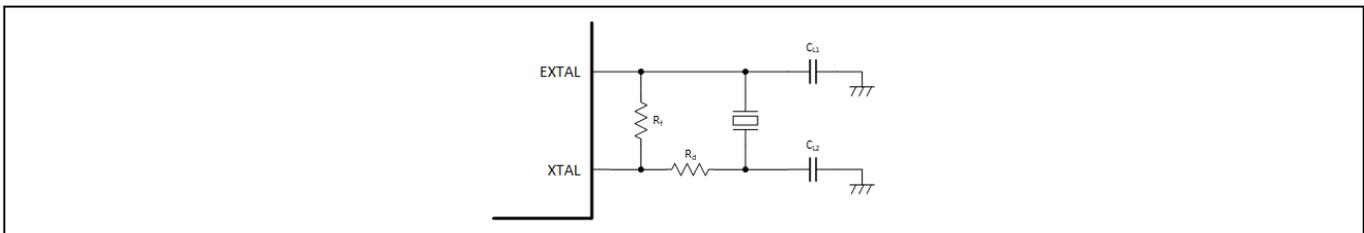


図 15 水晶振動子の接続例

水晶振動子および関連するコンデンサを選択するときは、慎重に評価する必要があります。水晶振動子のメーカーが推奨する場合は、外部帰還抵抗 ( $R_f$ ) とダンピング抵抗 ( $R_d$ ) を追加してください。

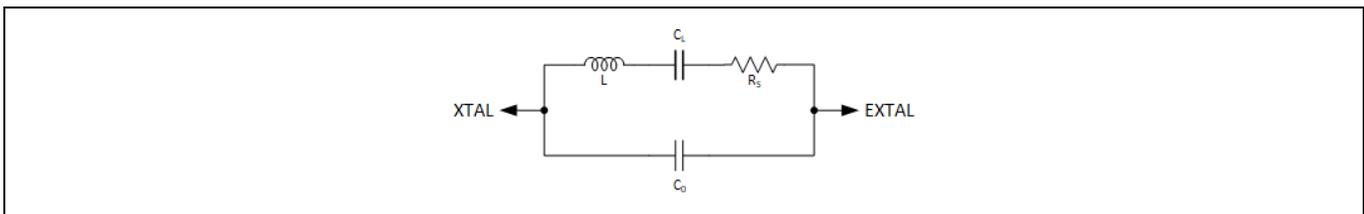


図 16 水晶振動子の等価回路

$C_1$  と  $C_2$  のコンデンサ容量の選択は、内部クロックの精度に影響します。 $C_1$  と  $C_2$  の値の影響を理解するには、上図の水晶振動子の等価回路を使用して回路をシミュレートする必要があります。より正確な結果を得るには、水晶振動子と C, R 間の配線の浮遊容量も考慮に入れる必要があります。

RA デバイスのクロック回路設計の詳細については、[www.renesas.com](http://www.renesas.com) で入手できるアプリケーションノート「RA ファミリ サブクロック回路設計ガイド」を参照してください。

## 6. リセット要因とリセット回路

リセットは 13 種類あります。

表 11 Arm® Cortex®-M85 デバイスのリセット

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット (POR)	VCC 端子電圧の下降 (電圧検出: VPOR)
電圧監視 0 リセット	VCC 端子電圧の下降 (電圧検出: Vdet0)
電圧監視 1 リセット	VCC 端子電圧の下降 (電圧検出: Vdet1)
電圧監視 2 リセット	VCC 端子電圧の下降 (電圧検出: Vdet2)
独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラー (CPU)
CPU ロックアップリセット	CPU ロックアップ時に発生
バスエラーリセット	バスエラー (MSAUエラー、MMPUエラー、不正アドレスエラー、STZFエラー、スレーブバスエラー、バッファ書き込みエラー)
共通メモリエラーリセット	SRAM エラー (SRAM およびスタンバイ SRAM の ECC エラーまたはパリティエラー)
VBATT_POR リセット	VBATT_R 端子電圧の下降 (電圧検出: VPDR (BATR))
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
ソフトウェアリセット	レジスタ設定 (ソフトウェアリセットビット: AIRCR.SYSRESETREQ を使用)

### 6.1 RES#端子リセット

RES#端子が Low になると、すべての処理が中断され、MCU はリセット状態に入ります。実行中の MCU をリセットする場合、RES#端子は指定された時間以上、Low である必要があります。詳細なタイミング要件については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「電気的特性」章の「リセットタイミング」を参照してください。

デバッグサポートに関連するリセット回路の詳細については、このドキュメントのセクション 2「エミュレータサポート」も参照してください。詳細については、各エミュレータのユーザーズマニュアルに参照してください。例えば、ルネサスの E2 エミュレータの使用方法については、「E2 エミュレータ、E2 エミュレータ Lite ユーザーズマニュアル別冊 (RA デバイス接続時の注意事項)」(資料番号 R20UT4686) を参照してください。

### 6.2 パワーオンリセット

パワーオンリセット (POR) が発生するには 2 つの条件があります。

1. 電源投入時に RES#端子が High であること
2. VCC が VPOR を下回っているときに RES#端子が High であること

VCC がパワーオンリセット電圧 (VPOR) を超え、パワーオンリセット時間 (tPOR) が経過すると、RA8 シリーズはパワーオンリセット状態から解放されます。パワーオンリセット時間は、外部電源、MCU が安定するまでの時間です。電圧レベルとタイミングの詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「電気的特性」章の「POR および PVD 特性」を参照してください

POR 回路は、RES#端子が VCC と同時に High であることを前提としていますので、リセット端子にコンデンサを配置しないでください。これにより、RES#端子の上昇時間が VCC に対して遅くなり、POR 回路がパワーオン状態を正しく認識できなくなります。

電源 (VCC) が VPOR 以下になったときに RES#端子が High の場合、パワーオンリセットが発生します。VCC が VPOR を超えて上昇し、tPOR が経過すると、チップはパワーオン状態から解放されます。

パワーオンリセット後、RSTSRO の PORF ビットは 1 に設定されます。端子リセット後、PORF は「0」にクリアされます。

### 6.3 電圧監視リセット

RA8 シリーズには、電圧低下時の危険な動作から MCU を保護できる回路が含まれており、複数のリファレンス電圧 (Vdet0、Vdet1、Vdet2 など) をチェックします。電源電圧が各リファレンス電圧を下回ると、割り込みまたはリセットを発生できます。検出電圧 Vdet0 は 8 段階から選択可能です。Vdet1、Vdet2 はそれぞれ監視電圧が異なる 13 レベルから選択可能です。

Vcc の電圧低下から、VCC が Vdet0、Vdet1、または Vdet2 を超えると、安定化時間が経過した後に電圧監視リセット解除となります。

リセット後の Vdet0 を使用した低電圧検出は、OFS1.PVDAS レジスタビットの設定によって有効または無効にできます。

Vdet1 または Vdet2 を使用した電圧検出は、パワーオンリセット後は無効になります。PVDmCMPCR レジスタを使用して、電圧監視を有効にし、検出電圧を設定してください。詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「プログラマブル電圧検出 (PVD)」の章を参照してください。

PVD リセット後は RSTSRO の PVDnRF (n= 0、1、2) ビットが「1」に設定されます。

### 6.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマ (IWDT) のアンダーフローにより内部リセットもしくは NMI の発行が可能です。

この時、IWDT ステータスレジスタ IWDTSR のアンダーフロービット UNDF が「1」に設定されます。リセット信号は 1 カウントサイクル出力され、その後 IWDT リセットが解除されます。

### 6.5 ウォッチドッグタイマリセット

ウォッチドッグタイマ (WDT) のアンダーフローで内部リセットもしくは NMI の発行が可能です。

この時、WDT ステータスレジスタ WDTSR のアンダーフローフラグビットが「1」に設定されます。リセット信号が 1 カウントサイクル出力された後、WDT リセットが解除されます。

### 6.6 ディープソフトウェアスタンバイリセット

このリセットは、ディープソフトウェアスタンバイモードが割り込みによって解除されたときに発生する内部リセットです。

ディープソフトウェアスタンバイモードが解除されると、ディープソフトウェアスタンバイリセットが発行され、クロックの発振が開始されます。割り込みを受けつけると、ディープソフトウェアスタンバイ解除待機時間 (tDSBYWT) が経過した後、本リセットが解除され、通常の処理が開始されます。ディープソフトウェアスタンバイモードの詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「低消費電力モード」を参照してください。

ディープソフトウェアスタンバイリセットの後、割り込みを発生させることができ、DPSIFRn レジスタの対応するフラグが「1」に設定されます。

### 6.7 ソフトウェアリセット

本リセットは、AIRCR レジスタの SYSRESETREQ ビットに 1 を書き込むことによって発生される内部リセットです。ソフトウェアリセットを使用する場合は、ソフトウェアリセットコマンドを発行する前に、まずウォッチドッグタイマが動作していることを確認してください。

ソフトウェアリセットが発生されると、RSTSRI の SWRF ビットが「1」に設定されます。tRESW2 経過後、内部ソフトウェアリセットは終了し、CPU はリセット例外処理を開始します。

### 6.8 その他のリセット

MCU 内のほとんどの周辺機能は、特定の障害条件下でリセットを発生することができます。これらのリセットを有効にするためには、ハードウェア構成は必要ありません。各周辺機能に対してリセットが発生する条件の詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の関連する章を参照してください。

## 6.9 コールド/ウォームスタートの決定

RA8 シリーズでは、リセットの要因をユーザが判断することができます。RSTSR2 の CWSF フラグは、パワーオンリセットによるリセット処理（コールドスタート）か、動作中のリセット信号入力によるリセット処理（ウォームスタート）かを示しています。

パワーオンリセットが発生した場合、フラグは「0」に設定されます。それ以外の場合は「0」になりません。ソフトウェア経由で「1」が書き込まれると、フラグは「1」に設定されます。「0」が書き込まれた場合でも、「0」に設定されません。

## 6.10 リセット要因の特定

RA8 シリーズでは、リセットの要因を特定することができます。RSTSR0、RSTSR1、RSTSR3 を読み出して、どのリセットが発生源であるかを判断します。特定処理の流れについては、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「リセット発生源の決定」を参照してください。

次のコードサンプルは、ルネサス FSP の CMSIS ベースのレジスタ構造を使用して、リセットソースがソフトウェアリセット、ディープソフトウェアスタンバイ、またはパワーオンリセットのいずれであるかを判定する方法を示しています。

```
/* Deep Software Standby Reset */
if(1 == R_SYSTEM->RSTSR0_b.DPSRSTF)
{
    /* Do something */
}
/* Power on Reset */
if(1 == R_SYSTEM->RSTSR0_b.PORF)
{
    /* Do something */
}
/* Software Reset */
if(1 == R_SYSTEM->RSTSR1_b.SWRF)
{
    /* Do something */
}
```

## 7. セキュリティ機能

RA8 シリーズには高度なセキュリティ機能が搭載されています。このセクションでは、機能を簡単に紹介します。これらの機能を使用する際の操作フローについては、ルネサスの GitHub で公開されている関連アプリケーションプロジェクトやサンプルプロジェクトを参照してください。

また、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「セキュリティ機能」も参照してください。

### 7.1 TrustZone®テクノロジーの実装

RA8 シリーズには、Arm®TrustZone® (TZ) セキュリティ機能が搭載されています。Arm®TrustZone®テクノロジーは、システムとアプリケーションをセキュアと非セキュアのドメインに分割します。セキュアなアプリケーションはセキュアなトランザクションと非セキュアなトランザクションの両方を発行できますが、非セキュアなアプリケーションは非セキュアなトランザクションしか発行できません。セキュアトランザクションはセキュアなメモリとリソースにのみアクセスでき、非セキュアトランザクションは非セキュアなメモリとリソースにのみアクセスできます。セキュアトランザクションはセキュア領域アドレスのみを使用して発行でき、非セキュアトランザクションは非セキュア領域アドレスのみを使用して発行できます。TZ 実装の詳細については、Arm®のドキュメント、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「セキュリティ機能」のセクション、およびこのセクションの参考資料を参照してください。RA8 シリーズは、TZ をサポートする他の RA6/RA4 Cortex®-M33 MCU と比較して、新しい Arm®セキュリティ機能を実装しています。例えば、SAU (Secure Attribution Unit) が含まれています。

外部 RAM および外部デバイス領域に TrustZone®フィルタがないことに注意してください。したがって、セキュリティ属性ユニット (SAU) で外部メモリ領域がセキュアに設定され、非セキュア状態の CPU からアクセスする場合にのみアクセスできません。それ以外の場合は、外部デバイス領域へのアクセスが可能になります。

—CPU 以外のバスマスタからのアクセス

—セキュア CPU からのアクセス

—SAU で外部メモリ領域をノンセキュア属性に設定した場合のノンセキュア CPU からのアクセス

#### 7.1.1 Arm®のセキュリティ帰属

Armv8.1-M の TrustZone®実装は、セキュリティ属性ユニット (SAU) と実装定義属性ユニット (IDAU) で構成されます。

IDAU はアドレスビット「28」によって、コード領域、SRAM 領域、周辺領域をセキュアエイリアス領域と非セキュアエイリアス領域に定義します。セキュアコード領域とセキュアな SRAM 領域には NSC セキュリティ属性が割り当てられます。IDAU で定義されたセキュリティマップはハードウェアで固定され、ソフトウェアで変更することはできません。マスタセキュリティ属性ユニット (MSAU) は、CPU 以外のバスマスタのシステム固有セキュリティアドレスマップを定義する IDAU です。セキュリティ属性ユニット (SAU) は、アドレスのセキュリティを定義するプログラム可能なユニットです。ルネサス IDE は SAU を設定する便利な方法を提供します (セクション 7.1.2 を参照)。アドレスが実装定義属性ユニット (IDAU) と SAU の両方で定義された領域にマッピングされる場合、最も高いセキュリティレベルの領域が選択されます。

#### 7.1.2 TrustZone®境界の設定

TrustZone®境界は、MCU ブートモードを使用してのみ設定できます。開発段階では、以下の方法で TrustZone®セキュア境界領域を設定できます。

1. e2studio を使用すると、デバッグ接続の開始時に TrustZone®の境界を設定することができます。この機能はデフォルトのデバッグ接続で有効になっています。

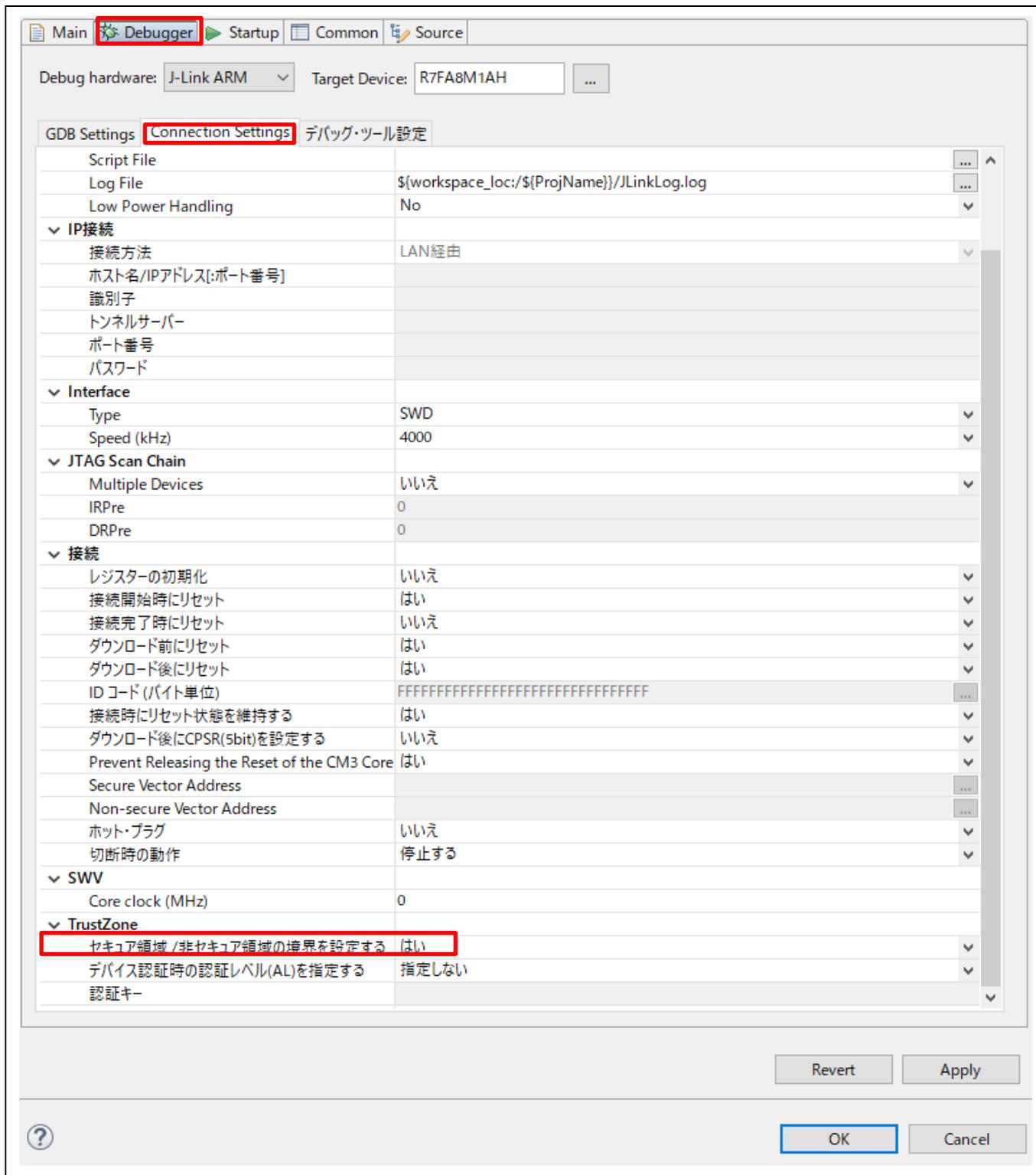


図 17 デバッグ起動セッション中の TrustZone®リージョンの設定

サポートされているデバッガは、アプリケーションイメージをダウンロードしてデバッグセッションを開始する前に、MCU ブートモードにアクセスして TrustZone®境界を設定することができます。例えば、e2studio を使用する場合、ユーザは図 18 に示すように、3 つの異なるデバッガのいずれかを使用して TrustZone®境界を設定することができます。

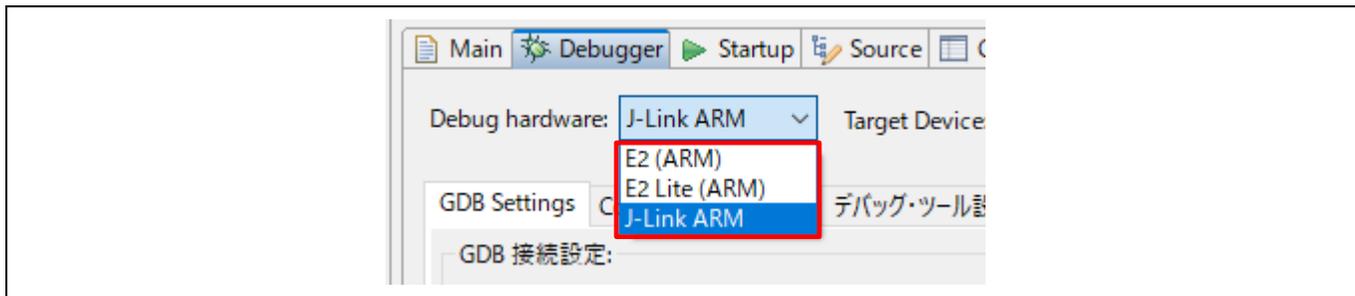


図 18 サポートされているデバッガ

ハードウェアセットアップ要件は、選択したデバッガによって異なります。

- E2 および E2Lite 接続を選択した場合、標準 ARM JTAG および SWD インタフェースを使用して、E2 および E2Lite エミュレータを使用して TrustZone®境界を設定できます。
- J-Link ARM 接続を選択した場合、JTAG と SWD インタフェースの両方を使用してブートモードにアクセスすることができます。JTAG および SWD インタフェースによるブートモードへのアクセスは、RA8 シリーズでサポートされる新機能です。TrustZone®プロジェクトでは、リセット端子を解放してユーザアプリケーションを起動する前に、どちらのインタフェースでも TrustZone®境界を設定できます。

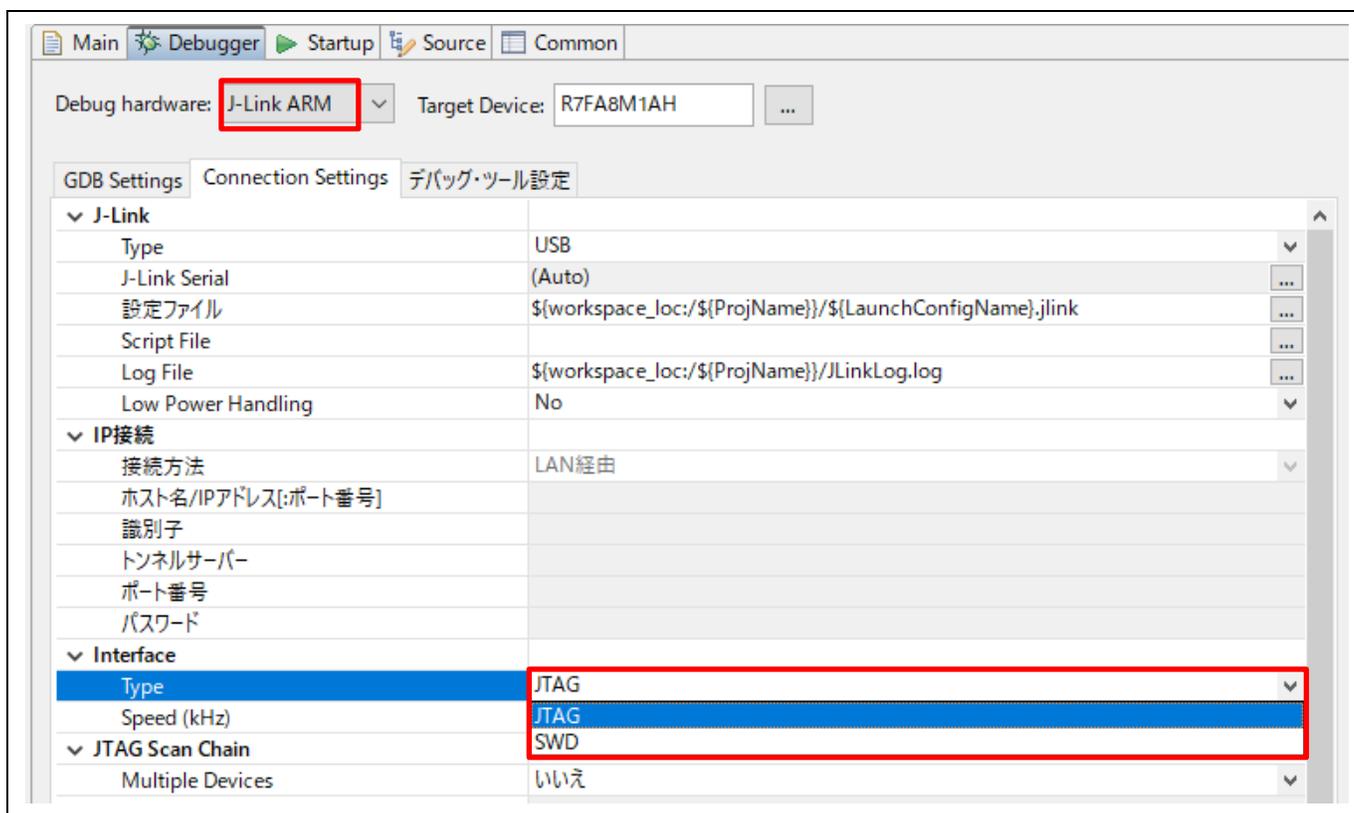


図 19 J-Link デバッガの接続設定

- J-Link デバッガを使用する場合、ルネサスのデバッグインタフェースは SCI ブートモードインタフェースを通したブートモードアクセスもサポートしています。この場合、MD 端子と SCI ブートモード端子を表 12 に従ってデバッガインタフェースに接続する必要があります。

表 12 SCI ブートモードをサポートするデバッガ接続の端子配置

端子番号	SWD	JTAG	SCI を使用したシリアルプログラミング
1	VCC	VCC	VCC
2	P210/SWDIO	P210/TMS	NC
4	P211/SWCLK P201/MD とワイヤード OR	P211/TCK P201/MD とワイヤード OR	P201/MD
6	P209/SWO	P209/TDO	P209/TXD9
8	NC	P208/TDI	P208/RXD9
9	GNDdetect	GNDdetect	GNDdetect
10	nRESET	nRESET	nRESET
12	P308/TCLK	P308/TCLK	NC
14	P307/TDATA[0]	P307/TDATA[0]	NC
16	P306/TDATA[1]	P306/TDATA[1]	NC
18	P305/TDATA[2]	P305/TDATA[2]	NC
20	P304/TDATA[3]	P304/TDATA[3]	NC
3、5、15、 17、19	GND	GND	GND
7	NC	NC	NC
11、13	NC	NC	NC

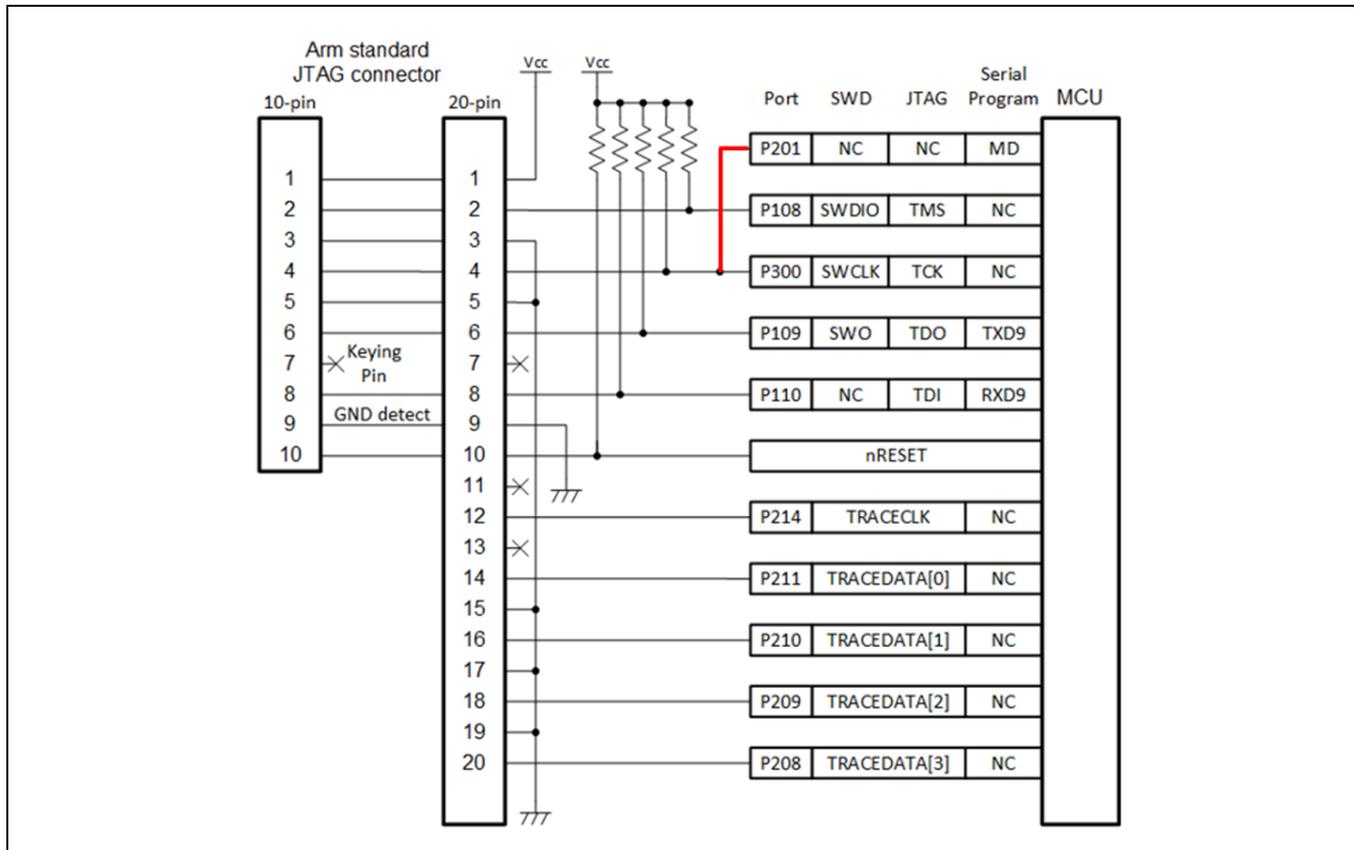


図 20 Trustzone®をサポートする MCU のエミュレータ接続

2. Keil MDK および IAR EWARM の場合、ユーザはルネサスデバイスパーティションマネージャ (RDPM) を使用して TrustZone®境界を手動で設定する必要があります。RDPM ツールは、RASC のインストール時にインストールされる RASC クイックスタートガイドの説明に従って Keil MDK および IAR EWARM に統合できます。

RDPM は、e2Studio のインストール時に e2Studio に自動的にインストールされます。ユーザは e2studio を使用する際に、RDPM を使用して TrustZone®の境界を別の手順として設定することも選択できます。この場合、ユーザはデバッグ構成で TrustZone®セットアップオプションを無効にすることができます。この設定の場所は、図 17 を参照してください。

RDPM は、図 21 に示すように、ブートモードにアクセスするときに 2 種類の接続をサポートしています。ユーザがデバッグヘッダを介して SCI 接続にアクセスしたい場合は、図 20 に示すように SCI 接続を提供する必要があります。

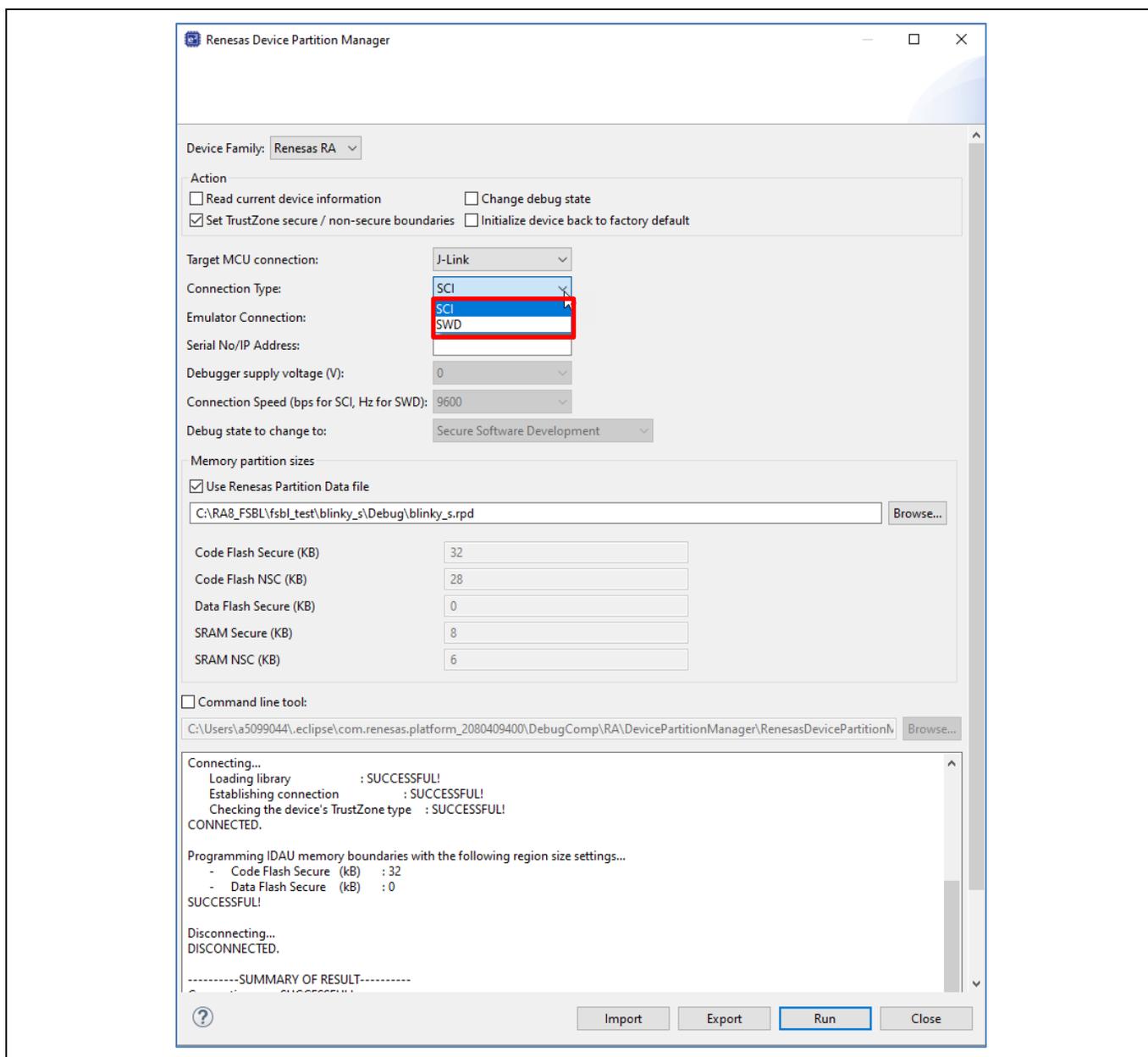


図 21 RDPM 使用時の接続タイプ

## 7.2 デバイスのライフサイクル管理

RA8 デバイスライフサイクル管理は RA MCU ファミリ独自の機能です。RA8 シリーズでは、デバイスライフサイクルは認証デバッグから分離されており、RA Cortex®-M33 MCU で使用されている DLM とは異なります。

RA8 DLM システムの概念については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「デバイスライフサイクル管理」を参照してください。RA8 DLM システムを利用するには、アプリケーションプロジェクト R11AN0785 (Renesas RA Family Device Lifecycle Management for RA8 MCUs) に記載されている手順に従ってください。

## 7.3 ファーストステージブートローダ (FSBL) とセキュアブート

ルネサス RA8 シリーズは、オンチップで不変のファーストステージブートローダ (FSBL) を提供します。アプリケーションコードを認証するための Root Of Trust が安全に実装されます。FSBL の動作はオプション設定レジスタによって管理されます。開発段階で使用されるレジスタは、BSP タブのプロパティ設定を使用して構成できます。

FSBL を有効にすると、OEM ブートローダ (OEM\_BL) または通常のアプリケーション (ブートローダ機能を持たない) の整合性と真正性を、アプリケーションの実行可能メモリから検証することができます。OEM\_BL または通常のアプリケーションは、最初にプログラムされたときと実行前に検証されます

RA8 シリーズの場合、OEM\_BL を確立するために FSP MCU ブートモジュールを使用するか、独自のカスタムブートローダを使用することができます。

セキュアブート操作の仕様については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「セキュアブート」を参照してください。セキュアブート機能の使用例については、アプリケーションプロジェクト R11AN0774 (RA8 マイコンシリーズファーストステージブートローダを使用したアプリケーション設計) を参照してください。

## 7.4 その他のセキュリティ機能

### 7.4.1 セキュアキーインジェクション

RA8 シリーズのセキュアキーインジェクション機能は、Cortex®-M33 ベースのセキュアキーインジェクションに似ていますが、新しい DLM システムをサポートするため、例えばセキュアブートに関連するキータイプが組み込まれています。ユーザは、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の表「挿入可能なキー」を参照して、サポートされているキーの種類を理解することができます。ルネサスは、これらのキーの発生、挿入、および使用についてユーザにガイドするためのアプリケーションプロジェクトを提供します。

### 7.4.2 セキュアファクトリプログラミング

セキュアファクトリプログラミングは、RA8 シリーズ向けの新機能です。この機能は、暗号化されたファームウェアイメージをプログラムすることをサポートしています。イメージはルネサス DLM サーバーでラップされたイメージ暗号化キーで暗号化されています。この機能により、非セキュアな環境でも安全なファームウェアプログラミングが可能となります。ルネサスは、この機能を利用するユーザをサポートするためのアプリケーションプロジェクトを提供します。

### 7.4.3 ルネサスセキュア IP (RSIP-E51A)

RA8 シリーズには、暗号化操作を高速化するためのルネサスセキュア IP (RSIP-E51A) が搭載されています。RSIP-E51A の機能の詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「ルネサスセキュア IP (RSIP-E51A)」を参照してください。RSIP の機能を示すサンプルプロジェクトは、ルネサス GitHub リポジトリで提供されます。RSIP-E51A は、互換モードと保護モードの 2 つの動作モードをサポートしています。これら 2 つの異なるモードを理解するには、アプリケーションノート R11AN0498 を参照してください。これら 2 つの動作モードの利用方法をガイドするアプリケーションプロジェクトも提供されます。

### 7.4.4 アプリケーションと OEM BL アンチロールバック

RA8 シリーズはアプリケーションファームウェアバージョンのアンチロールバックをサポートしています。3 つのアンチロールバックカウンタが 3 つの異なる使用ケースをサポートします : OEM ブートローダ (OEM BL) 、セキュアアプリケーション、非セキュアアプリケーションです。それぞれの制御レジスタと設定方法については、オプション設定メモリのセクション 4 を参照してください。

### 7.4.5 オンザフライ復号 (DOTF)

オンザフライ復号化は RA8 シリーズの新しいセキュリティ機能です。この機能により、機密性の高い外部コードやデータを外部オクタ SPI デバイスに保存できます (セクション 8.2.2.3 も参照)。コードやデータは、事前に保存された既知のキーまたは実行時に発生したキーを使用して暗号化されます。この機能の動作の詳細については、アプリケーションプロジェクト R11AN0773 を参照してください。

### 7.4.6 改ざん検出端子

RA8 シリーズには、最大 3 つの「改ざん検出端子」が存在します。端子の入力が変化すると、現在時刻を RTC に保存し、割り込みを発生させることができます。改ざんイベントの検出後、VBATT バックアップレジスタは初期化されます。

### 7.4.7 ポインタ認証およびブランチターゲット識別 (PACBTI)

これは Armv8.1-M アーキテクチャでサポートされているセキュリティ機能です。この機能を有効にすると、関数呼び出しのリターンアドレスが戻る前に認証され、間接分岐命令の有効な行き先が指定されます。この機能を使用するには、使用するコンパイラでサポートされている必要があります。FSP は、デフォルトでこの機能を有効にしません。この機能の有無と有効化方法については、IDE とコンパイラを参照してください。

## 8. メモリ

RA8 シリーズは、0x0000\_0000~0xFFFF\_FFFF の 4GB リニアアドレス空間をサポートし、プログラム、データ、外部メモリバスインタフェースがマッピングされます。一部の RA8 シリーズには SDRAM コントローラがあり、外部メモリバスに接続された SDRAM にアクセスできます。プログラムメモリとデータメモリはアドレス空間を共有しますが、それぞれへのアクセスには個別のバスが使用されるため、性能が向上し、プログラムとデータは同一サイクルでのアクセスが可能になります。メモリマップ内には、オンチップ RAM、周辺 I/O レジスタ、プログラム ROM、データフラッシュ、外部メモリの領域があります。

RA8 メモリの使用法の詳細については、アプリケーションノート「Getting Started with RA8 Memory Architecture, Configurations and Topologies」を参照してください。

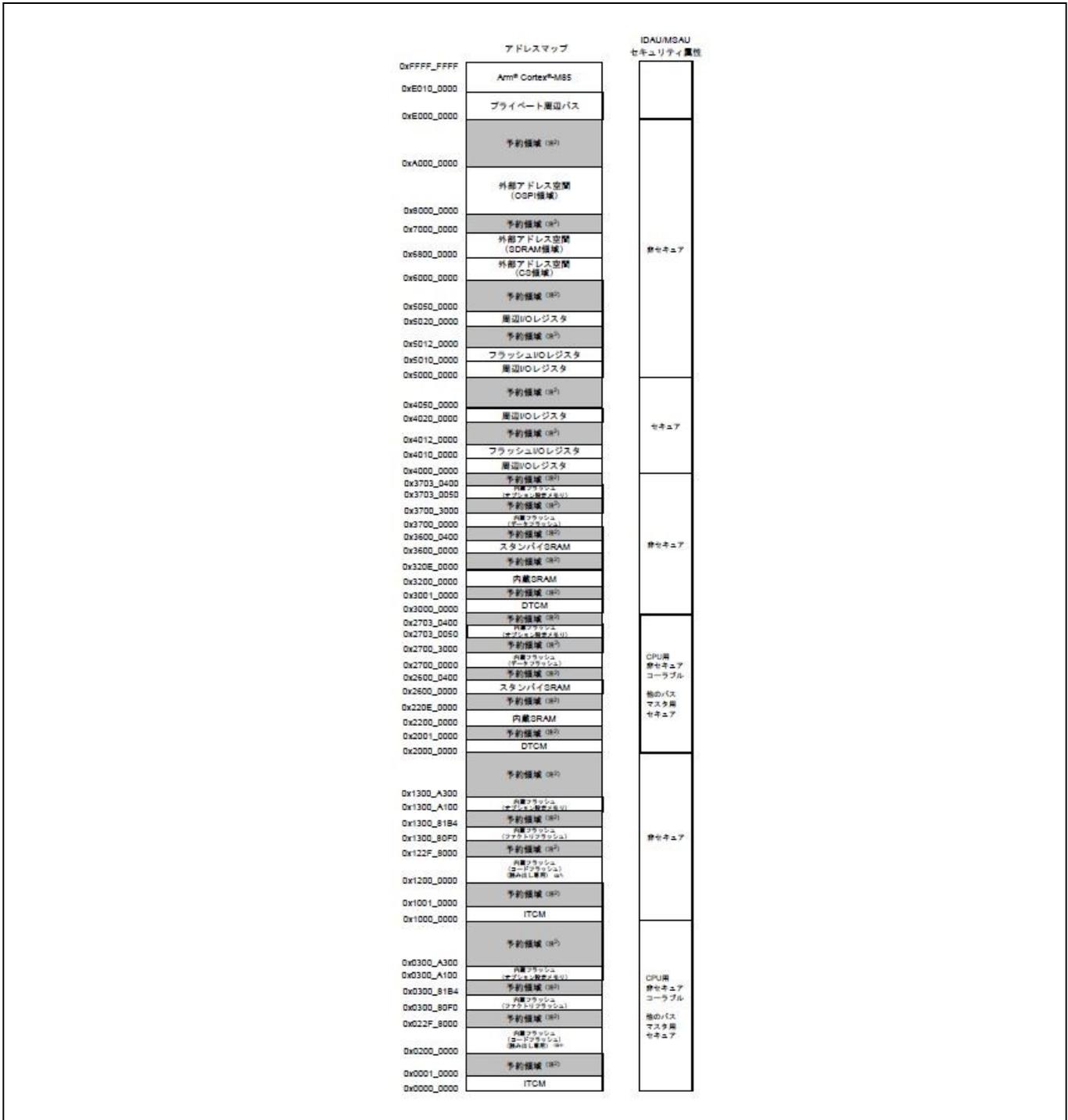


図 22 RA8M1 メモリマップ

RA8 シリーズのアドレス空間はエイリアスをサポートしています。0x0000\_0000 から 0x5FFF\_FFFF までのアドレスでは、アドレスのビット 28 を使用してセキュア領域と非セキュア領域が分離されています。したがって、これらの領域では、2つのアドレスを使用してメモリロケーションをアドレス指定できます。使用するアドレスの有効性は、関連するセキュリティ属性設定とバスマスタの現在のセキュリティ状態に依存します。

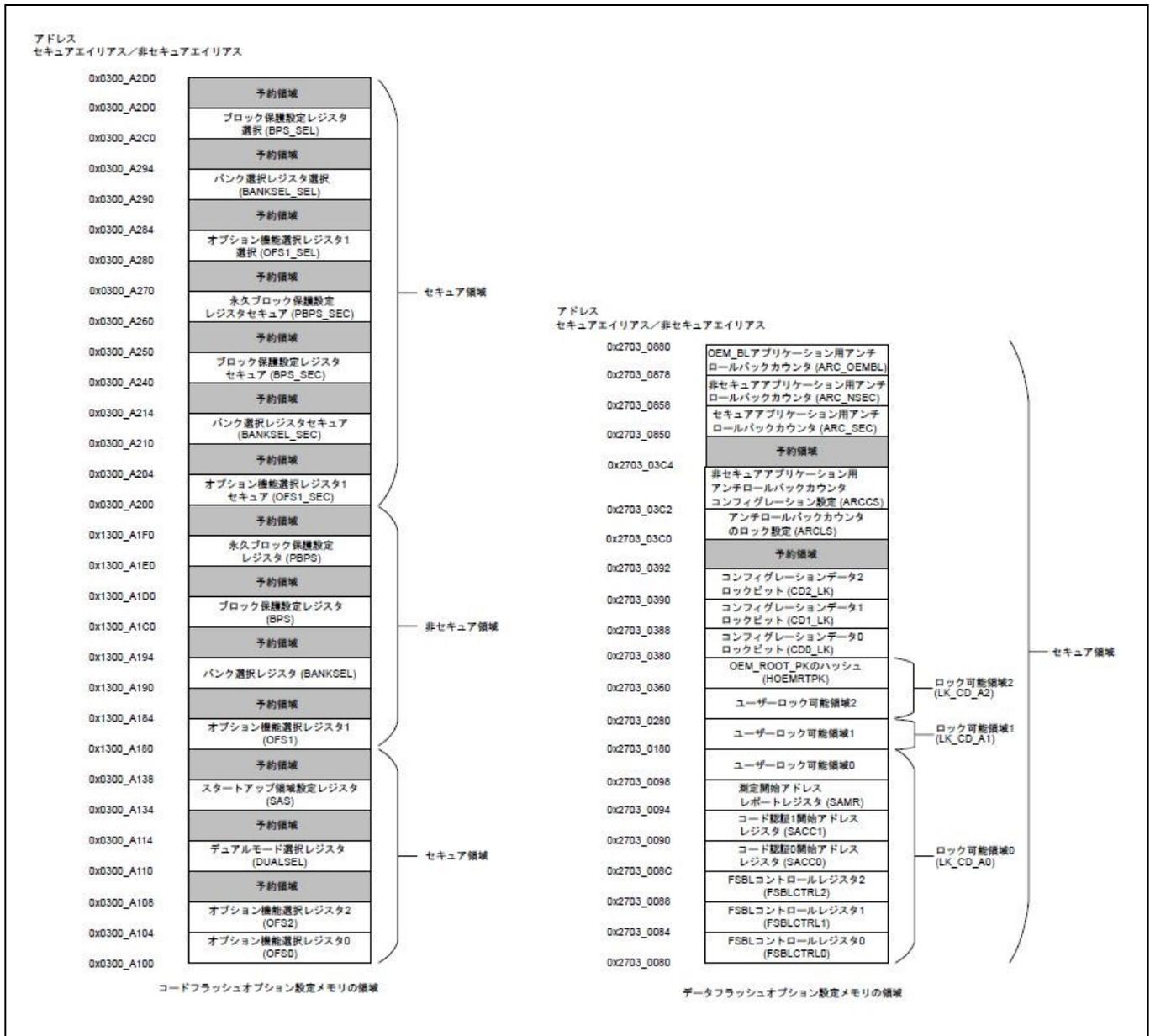


図 23 RA8M1 オプション設定エリアス付きメモリマップ

## 8.1 内蔵メモリ

### 8.1.1 SRAM

RA8 シリーズは、パリティビットチェックまたは ECC (エラー訂正コード) を備えたオンチップ高密度 SRAM モジュールを提供します。SRAM0 の最初の 384KB の領域は、シングルエラー訂正とダブルエラー検出コードの対象となります。

パリティチェックは、他の領域で実行されます。次の表に、SRAM の仕様を示します。SRAM モジュールの数と容量はデバイスによって異なります。詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編を参照してください。

表 13 SRAM の仕様 R8AM1 の場合

項目	SRAM0	SRAM1
SRAM 容量	384 KB	512 KB
SRAM アドレス	0x2200_0000~0x2205_FFFF (セキュアエイリアス)、 0x3200_0000~0x3205_FFFF (非セキュアエイリアス)	0x2206_0000~0x220D_FFFF (セキュアエイリアス)、 0x3206_0000~0x320D_FFFF (非セキュアエイリアス)
アクセス	リードサイクルにウェイトステートがデフォルトで挿入されています。ICLK 周波数が 120 MHz より高い場合、ウェイトステートが必要になります。ICLK 周波数が 120 MHz 以下の場合、ウェイトステートは必要ありません。	
データ保持機能	ディープソフトウェアスタンバイモード時は使用不可です。	
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能	
エラーチェック	SEC-DED (Single-Error-Correction/Double-Error-Detection : 単一誤り訂正/二重誤り検出)	偶数パリティ (データ : 8 ビット、パリティ : 1 ビット)
セキュリティ	TrustZone フィルタは、メモリアクセスと SFR アクセスに対して統合されます。メモリ空間へのアクセスは、メモリセキュリティ属性 (SA) の設定により制御されます。I/O 空間 (SFR 空間) へのアクセスは、レジスタのセキュリティ属性 (SA) の設定により制御されます。「50.3.6. TrustZone フィルタ機能」を参照してください。	

### 8.1.2 スタンバイ SRAM

RA8 シリーズは、ディープソフトウェアスタンバイモード、ソフトウェアスタンバイモードでデータを保持するためにスタンバイ SRAM を有す場合があります。スタンバイ SRAM の仕様を下表に示します。

(ディープ)ソフトウェアスタンバイモードでのスタンバイ SRAM への電源供給は、DPSBYCR.SRKEEP ビットによって有効になります。DPSBYCR.SRKEEP ビットが 1 に設定された場合、スタンバイ SRAM のデータはディープソフトウェアスタンバイモード、ソフトウェアスタンバイモードで保持されます。DPSBYCR.SRKEEP ビットの詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編 11 章「低消費電力モード」を参照してください。

表 14 スタンバイ SRAM 仕様 R8AM1 の場合

項目	内容
SRAM 容量	1 KB
SRAM アドレス	0x2600_0000~0x2600_03FF (セキュアエイリアス)、 0x3600_0000~0x3600_03FF (非セキュアエイリアス)
アクセス	ウェイトステートがデフォルトでアクセスサイクルに挿入されています。ICLK 周波数が 120 MHz より高い場合、ウェイトステートが必要になります。ICLK 周波数が 120 MHz 以下の場合、ウェイトステートは必要ありません。
データ保持機能	ディープソフトウェアスタンバイモード 1 のとき、データを保持できます。ディープソフトウェアスタンバイモード 2、3 のとき、データを保持できません。詳細は、「51.3.1. データ保持」を参照してください。
パリティ	偶数パリティ (データ : 8 ビット、パリティ : 1 ビット)
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減します。詳細は、「51.3.2. モジュールストップ機能」を参照してください。
セキュリティ	TrustZone フィルタ機能に従うスタンバイ RAM の読み出し、書き出し動作が可能です。詳細は、「51.3.4. TrustZone フィルタ機能」を参照してください。

ルネサス FSP の LPM (低電力モード) ドライバは、次の図に示すように、スタンバイ SRAM のさまざまな領域への電力を遮断または維持するオプションを提供します。選択した設定を MCU レジスタに適用するには、LPM ドライバの API を呼び出す必要があります。

g_lpm0 Low Power Modes (r_lpm)		
Settings	Property	Value
API Info	▼ Common	
	Parameter Checking	Default (BSP)
	Standby Limit	Disabled
	▼ Module g_lpm0 Low Power Modes (r_lpm)	
	> General	
	> Deep Sleep and Standby Options	
	▼ RAM Retention Control (Not available on every MCU)	
	▼ RAM retention in Standby mode	
	Supply power to RAM Region 0 [0x22000000, 0x2201FFFF]	<input checked="" type="checkbox"/>
	Supply power to RAM Region 1 [0x22020000, 0x2203FFFF]	<input type="checkbox"/>
	Supply power to RAM Region 2 [0x22040000, 0x2205FFFF]	<input type="checkbox"/>
	Supply power to RAM Region 3 [0x22060000, 0x2207FFFF]	<input type="checkbox"/>
	Supply power to RAM Region 4 [0x22080000, 0x2209FFFF]	<input type="checkbox"/>
	Supply power to RAM Region 5 [0x220A0000, 0x220BFFFF]	<input type="checkbox"/>
	Supply power to RAM Region 6 [0x220C0000, 0x220DFFFF]	<input type="checkbox"/>
TCM retention in Deep Sleep and Standby modes	Supply power to TCM	
Standby RAM retention in Standby and Deep Standby modes	Supply power to Standby RAM	
> Oscillator LDO Control (Not available on every MCU)		
> Deep Standby Options		

図 24 ルネサス FSP コンフィギュレータによるスタンバイ SRAM への電源供給の有効化/無効化

### 8.1.3 周辺 I/O レジスタ

周辺 I/O レジスタのブロックは、デバイスと現在の動作モードに応じて、メモリマップの様々な箇所にマッピングされます。周辺 I/O レジスタの大部分はアドレス 0x4000\_0000 から 0x504F\_FFFF までの領域を使用します。しかし、これはデバイスごとにアドレスとサイズが異なる場合があります。詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編 付録「I/O レジスタ」および各周辺機能のレジスタ説明を参照してください。この領域は全ての動作モードで常に利用可能なレジスタを含みます。フラッシュメモリへのアクセスを制御するフラッシュ I/O レジスタは 2 つの領域、0x4010\_0000~0x401F\_FFFF と 0x5010\_0000~0x5012\_0000 を占めます。

ルネサス FSP には、I/O データ構造をマップする CMSIS データ構造の C ヘッダファイルが含まれており、特定のデバイスのすべてのペリフェラル I/O レジスタを簡単にアクセスが可能です。

### 8.1.4 内蔵フラッシュメモリ

RA8 シリーズはコードフラッシュとデータフラッシュという 2 つのフラッシュメモリを備えており、サイズとプログラム可能回数が異なります。フラッシュコントロールユニット (FCU) はフラッシュメモリのプログラミングと消去を制御します。フラッシュアプリケーションコマンドインタフェース (FACI) は、指定された FACI コマンドに従って FCU を制御します。

コードフラッシュは、ユーザアプリケーションのコードと定数データを保存するように設計されています。データフラッシュは、構成パラメータ、ユーザ設定、ログデータなど、随時更新される可能性のある情報を保存するように設計されています。データフラッシュ領域のプログラミングと消去の単位は、コードフラッシュの単位よりもはるかに小さくなっています (データフラッシュの場合は 4 バイト、コードフラッシュの場合は 128 バイト)。

データフラッシュ領域とコードフラッシュ領域の両方は、アプリケーションコード、すなわちセルフプログラミングによってプログラムまたは消去できます。これにより、外部プログラミングツールを接続することなく、フィールドファームウェアの更新が可能になります。

ルネサス FSP は、コードフラッシュメモリとデータフラッシュメモリ両方に HAL 層ドライバを提供します。

コードフラッシュメモリとデータフラッシュメモリの仕様例を次の表に示します。

表 15 コードフラッシュメモリとデータフラッシュメモリの仕様 RA8M1 の場合

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	ユーザー領域：最大 2 M バイト	データ領域：12 K バイト
イレース後の値	0xFF	不定
プログラム/イレース方式	<ul style="list-style-type: none"> <li>FACI コマンド発行領域（セキュア：0x4010_0000/非セキュア：0x5010_0000）に設定した FACI コマンドで、コードフラッシュメモリとデータフラッシュメモリに対してはプログラムとイレースが、オプション設定メモリに対してはプログラムが可能（セルフプログラミング）</li> <li>シリアルプログラマによるシリアルインタフェース通信を介したプログラム/イレース（シリアルプログラミング）</li> </ul>	
プロテクション機能	フラッシュメモリの誤書き換えを防止	
デュアルバンク機能	デュアルバンク構造により、書き換えが中断された場合でも安全にアップデートできます。 <ul style="list-style-type: none"> <li>リニアモード：コードフラッシュメモリは一つの領域として使用されます。</li> <li>デュアルモード：コードフラッシュメモリは2つの領域に分割されます。</li> </ul>	不可
ブロックスワップ機能	ブロックスワップ構造により、書き換えが中断された場合でも非セキュアアプリケーションの一部分を安全にアップデートできます。	使用不可
BGO（バックグラウンドオペレーション）機能	<ul style="list-style-type: none"> <li>コードフラッシュメモリのプログラム/イレース中にコードフラッシュメモリの読み出しが可能</li> <li>コードフラッシュメモリのプログラム/イレース中にデータフラッシュメモリの読み出しが可能</li> <li>データフラッシュメモリのプログラム/イレース中にコードフラッシュメモリの読み出しが可能</li> </ul>	
プログラム/イレース単位	<ul style="list-style-type: none"> <li>ユーザー領域へのプログラム：128 バイト</li> <li>ユーザー領域のイレース：ブロック単位</li> </ul>	<ul style="list-style-type: none"> <li>データ領域へのプログラム：4/8/16 バイト</li> <li>データ領域のイレース：64/128/256 バイト</li> </ul>
その他の機能	セルフプログラミング中の割り込み受け付け可能 本 MCU の初期設定でオプション設定メモリの拡張領域の設定可能	
オンボードプログラミング（4 種類）	ブートモード（SCI インタフェース）でのプログラム/イレース <ul style="list-style-type: none"> <li>調歩同期式シリアルインタフェース（SCI9）を使用</li> <li>通信速度は自動調整</li> </ul> ブートモード（USB インタフェース）でのプログラム/イレース <ul style="list-style-type: none"> <li>USBFS を使用</li> <li>特別なハードウェアが不要で、PC と直結可能</li> </ul> オンチップデバッグモードによるプログラム/イレース <ul style="list-style-type: none"> <li>JTAG/SWD インタフェースを使用</li> </ul> セルフプログラミングによるプログラム/イレース <ul style="list-style-type: none"> <li>システムをリセットすることなくコードフラッシュメモリのプログラム/イレースが可能</li> </ul>	
ユニーク ID	各 MCU に 16 バイトの ID を提供	

注：コードフラッシュの消去後の値は FFh ですが、データフラッシュの消去後は不定値です。

### 8.1.4.1 バックグラウンドペレーション

RA8 シリーズはコードフラッシュとデータフラッシュのバックグラウンドペレーションをサポートしています。つまり、プログラムまたは消去が開始されても、ユーザは操作されているメモリ領域以外のメモリ領域からメモリの実行やアクセスを続けることができます。例えば、データフラッシュメモリを消去またはプログラムしている間、CPU はコードフラッシュからアプリケーションコードを実行できます。また、コードフラッシュメモリが消去またはプログラムされている間、CPU は SRAM からアプリケーションコードを実行できます。唯一の例外は、コードフラッシュのプログラミング中または消去中にデータフラッシュにアクセスできないことです。デュアルバンク機能を使用する場合、コードフラッシュメモリがプログラムまたは消去されている間でも、コードフラッシュメモリを読み取ることができます。

### 8.1.4.2 フラッシュブロック保護

Cortex®-M85 コアを搭載した RA8 シリーズには、セキュアまたは非セキュアソフトウェアによるフラッシュ領域の消去や再プログラムから保護するフラッシュブロック保護機能があります。この保護機能は、セキュアおよび非セキュアソフトウェアアクセスの両方に対応しています。

ユーザ領域内の各ブロックには、ブロック保護設定レジスタ (BPS または BPS\_SEC) があります。FBPROTO または FBPROT1 レジスタが 0x0000 で、ブロックプロテクトビットが「0」の場合、コードフラッシュのユーザエリアに対してプログラムコマンドまたはブロックイレーズコマンドを発行すると、コマンドロック状態になります。ブロックプロテクトビットが「0」のブロックをプログラムまたは消去するには、FBPROTO または FBPROT1 レジスタを 0x0001 に設定します。

ブロック保護設定は、永久ブロックプロテクト設定 (PBPS または PBPS\_SEC) によってロックできます。永久ブロック保護設定およびブロック保護設定が「0」の場合、コードフラッシュのユーザエリアにプログラムまたはブロック消去コマンドを発行すると、FBPROTO および FBPROT1 レジスタ設定に関係なくフラッシュシーケンサはコマンドロック状態になります。

有効なブロック保護設定 (BPS または BPS\_SEC) は、ブロック保護設定レジスタ選択ビット (BPS\_SEL) によって異なります。詳細については、ご使用の RA8 シリーズのユーザーズマニュアルハードウェア編の「ブロック保護設定によるプロテクション」を参照してください。

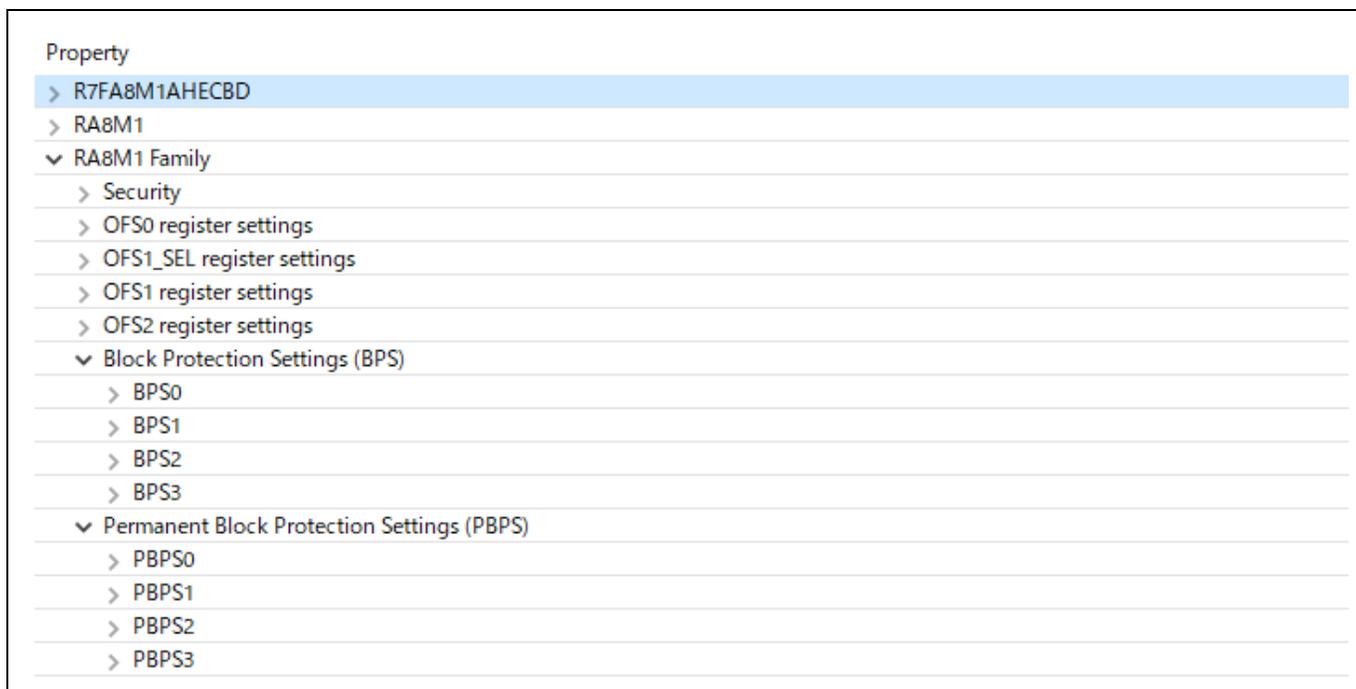


図 25 ルネサス FSP コンフィギュレータを使用したブロックプロテクト設定例

注: ブロック保護設定によるプロテクションは、MCU 領域へのアクセスをブロックする可能性があるミスを防ぐため、慎重に取り扱う必要があります。

### 8.1.5 密接合メモリ (TCM)

RA8 シリーズは 128KB の TCM メモリを搭載しており、64KB (8KB×8 ブロック) の ECC 付き ITCM (インストラクション TCM) と 64KB (8KB×8 ブロック) の ECC 付き DTCM (データ TCM) で構成されています。なお、GPU はディープスリープモードでは、TCM へアクセスできません。

ITCM と DTCM の両方は FSP によって初期化されます。リンクスクリプトには、ITCM と DTCM のためのセクションが定義されています。ユーザは対応する領域に配置するデータとコードを選択できます。TCM 領域の取り扱いの詳細は、アプリケーションノート「Getting Started with RA8 Memory Architecture, Configurations and Topologies」および Arm® Cortex®-M85 プロセッサテクニカルリファレンスマニュアルの「TCM インタフェース」を参照してください。

## 8.2 外部メモリ

RA8 シリーズにはメモリやデバイスに接続するための周辺機能があります。一部の MCU には SDRAM コントローラが内蔵されており、最大 128M バイトの外部 SDRAM を使用できます。また、8 個のチップセレクト領域があり、チップセレクトごとに設定可能なオプションがいくつか用意されて、様々なデバイスに接続できます。

なお、メモリマップのチップセレクト領域はアドレス 0x60000000 から始まります。一部の RA8 シリーズには xSPI (eXpanded シリアルペリフェラルインタフェース) を内蔵し、揮発性および不揮発性メモリとの接続が可能です。このようなデバイスは、少ピンで高いデータスループット、また、限定的ですが、レガシー SPI デバイスとの下位互換性を提供します。例えば、RA8M1 グループの OSPI では、最大 200 メガバイト/秒のデータスループットで、JEDEC 規格 JESD251 (プロファイル 1.0 および 2.0)、JESD251-1 および JESD252 に準拠しています。詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編を参照してください。

## 8.2.1 32 ビットまたは 16 ビットメモリの使用

バイト選択信号を持つ 32 ビットまたは 16 ビットの外部メモリを接続する場合は、MCU の A1 とメモリの A0 を接続し、MCU の A0 とバイト選択信号を接続します。

ルネサス FSP は、すべての外部バス制御レジスタへのアクセスを可能にするデータ構造 (R\_BUS) は、ボードサポートパッケージを介して C ヘッダファイルで提供します。パラレルインタフェースをサポートするデバイスであれば、RA8 シリーズの外部アドレス空間 (CS0~CS7) にマッピングすることができます。

### 8.2.1.1 SDRAM 初期化の例

ルネサス FSP では、MCU と SDRAM を有するボード向けに、ダイレクトレジスタアクセスを使用して SDRAM メモリコントローラの初期化例を提供しています。bsp\_sdram\_init 関数は、ra>board>board\_name>board\_sdram.c にあります。

## 8.2.2 外部 OSPI デバイスの使用

RA8 シリーズには、メモリデバイスを含むシリアルペリフェラルインタフェース (SPI) デバイスの接続が可能です。OSPI はシングルビット、4 ビット、8 ビットのデータ幅をサポートします。構成と実装の詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「オクタシリアルペリフェラルインタフェース (OSPI)」を参照してください。

OSPI デバイスに接続する際には、慎重な検討が必要です。これらのデバイスは通常、他の SPI デバイスより高速であるため、他の SPI デバイスでは通常必要とされない配線の制限を受ける場合があります。

デジタル信号には、SPI チップセレクト信号、SPI クロック、リードデータストロブ、SPI リセット信号、およびデータ信号が含まれます。

OSPI 信号は、 $50\Omega \pm 10\%$  のシングルエンド特性のインピーダンスで配線する必要があります。すべてのデータラインは、DQS 信号に対して  $\pm 50\text{mil}$  (1.27mm) 以内で等長配線する必要があります。DQS 信号はクロック信号と等長配線する必要があります。総配線長を 2000mil (50.8mm) 未満に保ちつつ、なるべく短くするようにします。クロック信号は、他の信号から少なくともクロックトレース幅の 3 倍だけ離して配置する必要があります。信号経路全体でビアをできるだけ少なくします。クロック信号の蛇行配線を避けてください。

追加の実装ガイドラインは、OSPI デバイスの製造元から入手できる場合があります。

ルネサス FSP は、初期化ルーチン、端子およびタイミング構成を提供することにより、SPI デバイスとの通信をサポートします。

OSPI デバイスは、OSPI モジュールサポートの OSPI API を使用して消去およびプログラム可能です。さらに、FSP リンカスクリプトには、OSPI データをデバイスに配置するためのセクションが提供されています。IDE サポートに統合された J-Link ドライバは、これらのセクションを MCU のプログラムと同時に OSPI デバイスにプログラムできます。

RA8 シリーズの OSPI は、JESDxSPI 標準に準拠したすべてのフラッシュデバイスと互換性があります。RA8 xSPI は、JESD251 (非揮発性メモリ用の xSPI) に準拠したメモリとの動作を保証します。

例として、次の表に、RA8M1 と互換性のある OSPI デバイスの一部を示します。互換性はシミュレーションにより確認しています。

表 16 RA8M1 と互換のある OSPI デバイス

カテゴリ	サプライヤ	部品番号
RAM	JSC	JSC28SSU8AGDY
	Cypress	S27KL0641
Flash	Infineon	S28HS512TGABH101
	ISSI	IS25LX032/64/128
	Macronix	MX25LM51245G
	Macronix	MX25UW512454G
	Cypress	S26KL512S
	Micron (XccelaFlash)	MT25QL128ABA MT35XL512ABA
	Cypress	S25FS512S
	Macronix	MX25R1635F

## 8.2.2.1 OSPI マスタ機能

RA8 シリーズがサポートする OSPI 仕様の概要は以下のとおりです。

表 17 OSPI の仕様

項目	説明
プロトコル	xSPI プロトコルに準拠(注1)
データ送受信	マスタとして最大 2 つのスレーブに対してトランザクションを発行 メモリデバイスは 1 つのみが一度に動作可能
転送速度	xSPI200 での転送に対応
モード	<ul style="list-style-type: none"> <li>下記のプロトコルモードに対応 <ul style="list-style-type: none"> <li>1 端子/4 端子/8 端子の SDR/DDR (1S-1S-1S, 4S-4D-4D, 8D-8D-8D)</li> <li>2 端子/4 端子の SDR (1S-2S-2S, 2S-2S-2S, 1S-4S-4S, 4S-4S-4S)</li> </ul> </li> <li>設定変更可能なアドレス長</li> <li>設定変更可能な初期アクセスレイテンシサイクル</li> <li>XiP モードに対応</li> </ul>
OSPI 機能	<ul style="list-style-type: none"> <li>書き込みデータマスクに対応</li> <li>In-band リセットに対応</li> <li>メモリマッピング <ul style="list-style-type: none"> <li>CS ごとに 256 MB までのアドレス空間に対応</li> <li>低レイテンシでバースト読み出しを行うためのプリフェッチ機能</li> <li>高スループットでバースト書き込みを行うための高性能バッファ</li> </ul> </li> <li>マニュアルコマンド <ul style="list-style-type: none"> <li>最大 4 コマンドまで設定変更可能</li> <li>ステータスレジスタポーリング機能</li> </ul> </li> <li>入カストローブポートのタイミングシフト</li> </ul>
転送対象	各バスマスタ 詳細は、「14. バス」を参照してください。
復号機能	メモリマップの読み出しに対して、オンザフライ復号を使用可能
割り込み要因	エラー割り込み 完了割り込み
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	IO レジスタ領域に対してセキュリティ属性を設定可能 外部アドレス空間は非セキュアとして定義

注 1. OSPI は、JEDEC 規格の JESD251 (Profile 1.0, 2.0)、JESD251-1、および JESD252 に準拠します。

ルネサス RA8 シリーズは、事前に設定されたメモリ領域へのシステムバスアクセスを xSPI トランザクションに自動的に変換するメモリマッピングモードをサポートしています。

この操作では、アドレスとデータフィールドのペイロードがシステムバス信号から配信されます。コマンドフィールドとサイズの情報は、設定されたレジスタビットから配信されます。FSP OSPI ドライバを使用する場合、API が正常に実行される R\_OSPI\_Open の際、OSPI データ領域へのアクセスはメモリマップ方式で実行されます。各メモリマップ領域には CS (OSPI FSP スタック上のチャネル選択) が関連付けられており、R\_OSPI\_Open を呼び出すときに正しいチャネルを指定してください。

### 8.2.2.2 オクタ SPI 初期化プロセス

ほとんどのフラッシュデバイスはデフォルトで SPI モードであるため、OSPI モジュールとフラッシュデバイスの両方を初期化する前に、OSPI モジュールを SPI モードで設定する必要があります。OSPI サンプルプロジェクト (ルネサス GitHub からダウンロード可能) を参照してください。OSPI を初期化する手順は次のとおりです。

- リセット後、初期化し、OSPI モジュールとフラッシュデバイスの両方を SPI モードにします。
- OSPI フラッシュデバイスを OSPI モードに移行します。
- OSPI モジュールを OSPI モードに移行します。
- OSPI トランザクションを開始します。

### 8.2.2.3 外部 OSPI デバイスのデータの暗号化

OSPI インタフェースは、メモリマッピングモードで構成された場合、オンザフライ復号 (DOTF) での復号化が可能のため、外部の SPI デバイス上のデータを暗号化が可能です。DOTF 機能は、OSPI デバイス上での暗号化されたデータとコードの保存をサポートしています。データまたはコードは、事前に保存された既知のキーまたは実行時に発生したキーを使用して暗号化できます。専用の AES エンジンは、データの読み取りとコードの実行に対する透過的な OSPI 操作をサポートしています。この機能の使用の詳細については、ユーザはアプリケーションノート「Application Design using RA8 Decrypt on the Fly for OSPI」 (R11AN0773) を参照してください。

## 8.3 データの配置

外部メモリのデータ配置にはデータアライメントに関する制限はありません。RA8 シリーズの外部バスは、奇数のメモリアドレスに対しても 8 ビット、16 ビット、32 ビットのアクセスを実行できます。データアクセスを調整することが最適であることに変わりはありませんが、必須ではありません。

## 8.4 エンディアンの制限

外部バスはリトルエンディアンまたはビッグエンディアンのいずれかに構成できます。ただし、ユーザが外部メモリに保存された命令を実行する場合は、リトルエンディアンとして構成する必要があります。

## 8.5 メモリプロテクションユニット

すべてのバスマスタには、特権のないアクセスを防ぐためのメモリプロテクションユニット (MPU) が搭載されています。非特権アクセスが発生すると、MPU はアドレスをブロックし、非マスカブル割り込みまたはリセットハンドラを使用して CPU に通知することが出来ます。アプリケーションのセキュリティを向上させるために、MPU の設定を行うことが推奨されています。Arm® Cortex®-M85 のテクニカルリファレンスマニュアルを参照すると、Arm® MPU の構成について詳細が理解できます。RA8 シリーズのバスマスタ MPU の詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編を参照してください。FSP BSP スタックを使用すると、ユーザはこれらのバスマスタのセキュリティ属性のコンフィギュレーションを行うことができます。

以下の表に MPU の仕様を示します。

表 18 MPU の仕様

項目	モジュール/機能	内容
メモリプロテクション	Arm MPU	CPU 用のメモリプロテクション機能 : <ul style="list-style-type: none"> <li>• CPU: セキュア MPU の 8 領域と非セキュア MPU の 8 領域</li> </ul>
	バスマスタ MPU	CPU を除く各バスマスタ用のメモリプロテクション機能 : <ul style="list-style-type: none"> <li>• DMAC (DMAC/DTC): 8 領域</li> <li>• EDMAC (Ether-DMAC): 4 領域</li> <li>• CEU: 2 領域</li> </ul>

表 19 MPU エラー検出動作

MPU の種類	アクセス許可設定	バウンダリアドレス設定の最小単位	MPU のエラー通知に対するエラー応答	エラー検出時のバスアクセス	エラーアクセス情報の保持
Arm MPU	読み出しアクセス 書き込みアクセス 実行	32 バイト	サポートあり(注1)	<ul style="list-style-type: none"> <li>• 不正書き込みアクセス</li> <li>• 不正読み出しアクセス</li> </ul>	CPU で保持
バスマスタ MPU	読み出しアクセス 書き込みアクセス プリビレッジアクセス (DMAC/DTC 専用)	DMAC: 32 バイト EDMAC: 32 バイト CEU: 4 KB	サポートあり	<ul style="list-style-type: none"> <li>• 書き込みアクセスは無視</li> <li>• 読み出しアクセスは 0 が読める</li> </ul>	保持

注 1. アンプリビレッジデバッグ拡張メカニズムによりプリビレッジ DAP 要求がアンプリビレッジアクセスに降格し、MPU の確認を受ける必要があります。プリビレッジ要求とアンプリビレッジ要求は、MPU の確認を受ける必要があります。

バスマスタ MPU のレジスタ定義は、FSP から提供され、プロジェクトで使用するためのデータ構造 R\_MPU\_MMPU を介して利用できます。Arm® MPU のアクセスは、CMSIS パックから提供されています。ユーザは CMSIS API を呼び出して、必要なセキュリティ属性を持つ MPU 領域を設定できます。Arm® CMSIS API は必要な命令バリア呼び出しを使用して MPU の有効化および無効化をサポートしています。

## 8.6 Cortex®-M85 キャッシュ

RA8 シリーズには、ECC サポートを備えた 16KB の L1 命令キャッシュと 16KB のデータキャッシュがあります。キャッシュの使用は、データの局所性が良いアプリケーションに強く推奨されます。たとえば、人工知能 (AI) やデータが頻繁に変更されないグラフィックアプリケーションなどです。

- キャッシュの設定は、FSP パックに含まれる CMSIS API を使用して実行できます。これらの API は、\_\_DMB()、\_\_DSB()、\_\_ISB() 呼び出しの使用など、キャッシュコントロールと構成を更新するときに使用する必要があるメモリ操作バリアを処理します。
- Cortex®-M85 プロセッサは、L1 命令キャッシュとデータキャッシュのハードウェアコヒーレンスをサポートしていないため、ユーザアプリケーションで保証する必要があります。通常、バスマスタアクセス後にキャッシュまたは CPU アクセスを無効にする前にキャッシュを無効にし、MPU を使用して領域がキャッシュされないように保護することが、コヒーレンスを維持する一般的な方法です。

9. レジスタライトプロテクション

レジスタライトプロテクション機能により、ソフトウェアエラーによる重要なレジスタの上書きを防止します。保護するレジスタはプロテクトレジスタ (PRCR\_S、PRCR\_NS) で設定されます。表 20 に、PRCR ビットと保護対象のレジスタとの関連を示します。

b15	b14	b13	b12	b11	b10	b9		b8	b7	b6	b5	b4	b3	b2	b1	b0
PRKEY[7:0]								-	-	PRC5	PRC4	PRC3	-	PRC1	PRC0	

図 26 PRCR\_S レジスタ

表 20 PRCR 保護ビット

PRCR ビット	説明
PRC0	<ul style="list-style-type: none"> <li>クロック発生回路に関連するレジスタ： SCKDIVCR、SCKDIVCR2、SCKSCR、PLLCCR、PLLGR、BCKCR、MOSCCR、HOCOCR、MOCOCR、FLLCR1、FLLCR2、CKOCR、OSTDCR、OSTDSR、PLL2CCR、PLL2GR、PLLCCR2、PLL2CCR2、EBCKOCR、SDCKOCR、SCICKDIVCR、SCICKCR、SPICKDIVCR、SPICKCR、LCDCKDIVCR、LCDCKCR、MOCOUTCR、HOCOUTCR、USBCKDIVCR、OCTACKDIVCR、CANFDCKDIVCR、USB60CKDIVCR、I3CCKDIVCR、USBCKCR、OCTACKCR、CANFDCKCR、USB60CKCR、I3CCKCR、MOSGSCR、HOCOSCR、MOSCWTCR、MOMCR、SOSCCR、SOMCR、LOCOCR、LOCOUTCR、SYRACCR</li> </ul>
PRC1	<ul style="list-style-type: none"> <li>低電力モードに関連するレジスタ： SBYCR、OPCCR、PDCTRGD、PDRAMSCRO、PDRAMSCR1、SSCR1、LPSCR、DPSBYCR、DPSWCR、DPSIERO-3、DPSIFRO-3、DPSIEGRO-2、PLL1LDOCR、PLL2LDOCR、HOCOLDOCR、LVOCR</li> <li>バッテリーバックアップ機能に関連するレジスタ： VBTBER、VBTICTLR、VBTBKRn (n=0to127)、VBTBPCR1、VBTBPCR2、VBTBPSR、VBTADSR、VBTADCR1、VBTADCR2、VBTICTLR2</li> </ul>
PRC3	<ul style="list-style-type: none"> <li>PVD に関連するレジスタ： PVD1CR1、PVD1SR、PVD2CR1、PVD2SR、PVD1CMPCR、PVD2CMPCR、PVD1FCR、PVD1CR0、PVD2CR0、PVD2FCR、VBATTMNSLR</li> </ul>
PRC4	<ul style="list-style-type: none"> <li>セキュリティおよび特権設定レジスタに関連するレジスタ：</li> <li>ELCSARx (x=A, B)*1、ELCPARx (x=A, B)、PSARx (x=AtoE)、MSSAR、PPARx (x=AtoE)、MSPAR、PmSAR (m=0to9, A toG)、CPUSAR、DEBUGSAR、ICUSARx (x=A, B, EtoI)、SRAMSAR、BUSSARx (x=AtoC)、BUSPARC、MMPUSARx (x=A, B)、DTGSAR、DMACSAR、DMACHSAR、DMACHPAR、TEVTRCR、SRAMSABARO-1、STBRAMSABAR、STBRAMPABAR_NS、STBRAMPABAR_S、FSAR、CGFSAR、RSTSAR、LPMSAR、PVDSAR、BBFSAR、DPFSAR、RSCSAR、PGCSAR、VBRASABAR、VBRPABARS、VBRPABARNS</li> </ul>
PRC5*1	<ul style="list-style-type: none"> <li>リセット制御に関連するレジスタ： SYRSTMSKO、SYRSTMSK2</li> </ul>
PRKEY[7:0]	これらのビットは、PRCR レジスタへの書き込みアクセスを制御します。PRCR レジスタを変更するには、上位 8 ビットに A5h を書き込み、下位 8 ビットに必要な値を 16 ビット単位で書き込みます。

注 1 : PRCR\_S のみサポート

ルネサス FSP は、レジスタライトプロテクトの変更を簡略化するために、2 つの API (R\_BSP\_Register 保護有効化と R\_BSP\_Register 保護無効) を提供します。

## 10. I/O ポート設定

ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「I/O ポート」では、周辺機能の選択およびその他のレジスタ設定に基づく端子構成について説明しています。いくつかの一般的な情報は以下に示します。

リセット後、設定が適用されるまで、各端子はその端子のデフォルト状態になるため、短期間ですが一部の端子が望ましくない状態になる可能性があります。ユーザは、これが他の外部デバイスにどのように影響するかを含め、アプリケーションとして検討する必要があります。

各 I/O ポートの設定の重要な側面の 1 つは駆動能力であり、これは各ポートの PSEL レジスタの駆動能力制御 (DSCR) ビットを使用します。特定のユーザアプリケーションに必要な駆動能力を特定し、それらの要件を満たす I/O ポートを選択することが重要です。ポートの機能を選択するときは、各ポートの駆動能力のオプションと制限に注意してください。一部のポートでは駆動能力のオプションが限られていますが、多くのポートには幅広い駆動能力のオプションがあります。

ルネサス FSP は、レジスタの各ビットに明示的に書き込むことなく、容易に I/O ポートが設定可能な方法を提供します。

### 10.1 マルチファンクションポート機能選択の設計方法

RA8 シリーズの MCU のほとんどのポートには、複数の周辺機能がアサインされています。RA8M1 グループを始めとした他の RA8 シリーズのポート選択をサポートする FSP の端子コンフィギュレータなどのツールは、ルネサスから入手可能です。複数の周辺機能が必要な場合は、次の設計方法を使用してポート機能を選択してください。

- 最初に 1 つのポートオプションのみの周辺機能を割り当てます。たとえば、デバッグ機能には、トレースデータ信号ごとに 1 つのポートオプションしかありません。この機能が必要な場合は、最初にこれらのポートを割り当てます。
- 次に、限られたポートオプションで周辺機能を割り当てます。たとえば、OSPI 周辺機能をサポートするデバイスには、通常、OSPI 信号ごとに 2 つのオプションしかありません。
- 最後に、複数のポートオプションを持つ周辺機能を割り当てます。一例として、通常多くの利用可能なポートオプションを持つシリアル通信インタフェース (SCI) が挙げられます。

いくつかの周辺機能ポートオプションは交換可能ですが、他のものは論理グループで割り当てられなければなりません。例えば、IIC ペリフェラルは「\_A」のサフィックスを持ついくつかのポートを持ちますが、他のポートは信号名に「\_B」のサフィックスを持ちます。ポートは周辺機能に対して同じサフィックスを持つように選択されなければなりません。他の周辺機能はこの種のサフィックスを持たず、USB FS 周辺機能のための USB\_VBUSEN 信号のように、ポートは交換可能に割り当てられるかもしれません。このドキュメントのセクション 16.4 も参照してください。

## 10.2 ポートを GPIO として使用する方法

ポートを GPIO として使用するには、ポート制御レジスタ (PCNTR1) を使用する方法と、PmnPFS レジスタを使用する方法があります。

方法 1: ポート制御レジスタ (PCNTR1)

- ポート制御レジスタ 1 (PCNTR1) のポート方向ビット (PDRn) に「1」を書き込むことにより、端子を出力として選択します。
- ポート方向ビット (PDRn) は読み書き可能です。この値を「1」に設定すると、その端子は出力として選択されます。I/O ポートのデフォルト状態は「0」(入力)です。
- ポート制御レジスタ (PCNTR1) のポート出力データビット (PODRn) は読み取り/書き込み可能です。PODR が読み取りされると出力データラッチの状態 (端子レベルではない) が読み取れます。
- ポート制御レジスタ 2 (PCNTR2) のポート入力ビット (PIDRn) は読み取り専用です。端子の状態を読み出すには PCNTR2 レジスタの PIDRn ビットを読み取ります。

方法 2: ポート mn 端子機能選択 (PmnPFS) レジスタ

- ポートモードレジスタ (PMR) は読み取り/書き込み可能で、個々の端子が GPIO として機能するか周辺端子として機能するかを設定します。リセット後、すべての PMR レジスタは「0」に設定され、すべての端子が GPIO に設定されています。PMR レジスタが「1」に設定された場合、対応する端子は周辺機能として使用されます。周辺機能はその端子の MPC 設定によって定義されます。
- 端子を出力に設定する場合、ポートの希望する出力値を最初にデータラッチに書き込み、次に方向レジスタを出力に設定することを推奨します。すべてのシステムで重要ではありませんが、これはセットアップ中のポートの意図しない出力グリップを防ぎます。

一般に、PCNTR1 を使ってポートを設定するとアクセスは高速になりますが、利用できる設定機能は少なくなります。PmnPFS レジスタを使用するとより多くの設定機能を使用できますが、アクセス速度は遅くなります。

ルネサス FSP では、リセット後の GPIO 端子を以下のように設定する端子設定を提供しています。GPIO を設定した後、FSP の HAL レイヤ API を使用して制御することができます。

The screenshot displays the 'Pin Configuration' interface for module P706. It includes fields for Symbolic Name, Comment, and Port Capabilities (IRQ0: IRQ07, SCI3: RXD\_MISO, SCI3: SCL, SDHI1: CD, USBHS0: OVRCURB). Under 'P706 Configuration', the Mode is 'Output mode (Initial Low)', Pull up is 'None', IRQ is 'None', Drive Capacity is 'Low', and Output type is 'CMOS'. At the bottom, the 'Chip input/output' section shows P706 is set to 'GPIO'.

図 27 FSP コンフィギュレータを使用して P706 を Low 出力に設定する例

### 10.2.1 内蔵プルアップ抵抗

- ポート 0 から 9、A と B のほとんどの端子には、内蔵プルアップ抵抗があり、無効/有効は、各ポート mn 端子機能選択 (PmnPFS) レジスタのプルアップ制御ビット (PCR) によって制御されます。
- 端子は最初に PmnPFS レジスタの関連ビットで入力として設定されなければなりません。内蔵プルアップ抵抗を有効にするには PCR ビットを「1」に設定し、無効にするには「0」に設定します。
- リセットから全ての PCR レジスタは 0 にクリアされるため、全ての内蔵プルアップ抵抗は無効になります。
- 端子を外部バス端子、GPIO 出力端子、周辺機能出力端子に指定すると、プルアップは自動的にオフになるので注意が必要です。

### 10.2.2 オープンドレイン出力

- 出力として設定された端子は、通常 CMOS 出力として動作しますが、ポート 0~9、A および B のほとんどの端子には、NMOS オープンドレイン出力として設定可能です。
- 各ポート mn 端子機能選択 (PmnPFS) レジスタの N チャネルオープンレイン制御 (NCODR) ビットは、どの端子がオープンレインモードで動作するかを制御します。各レジスタの該当するビットを「1」に設定すると、出力はオープンレインになります。各レジスタの該当ビットを「0」に設定すると、ポートは CMOS 出力になります。

### 10.2.3 ポート駆動能力

- ポートの駆動能力の切り替えは、各ポート mn 端子機能選択 (PmnPFS) レジスタの駆動能力制御レジスタ (DSCR) ビットによって制御されます。
- ほとんどのポート端子には、低、中、高駆動出力が選択可能で、加えて、一部のポートには、高速高駆動出力も選択可能です。各ポートのオプションの詳細についてはご使用の RA8 シリーズのユーザーズマニュアルハードウェア編の「製品ごとの周辺選択設定」を参照してください。
- ポート 0 および P201 は低駆動のみをサポートしています。
- P200 は入力専用です。
- リセット解除後、全ての DSCR レジスタは 0 にクリアされます。従って全ての端子は初期値の低駆動出力に設定されます。「00」以外の値を設定すると、選択された端子の出力の駆動能力が変更されます。
- 全端子を合計した最大出力は 80mA です。
- 各駆動能力の許容出力電流を下表に示します。

表 21 出力端子駆動能力レベル

代表的な出力端子	DSCR[1:0]	駆動能力	平均 (mA)	最大 (mA)
端子あたりの許容出力電流	00	低駆動	2.0	4.0
端子あたりの許容出力電流	01	中駆動	4.0	8.0
端子あたりの許容出力電流	10	高速高駆動	20.0	40.0
端子あたりの許容出力電流	11	高駆動	16	32

出力駆動能力はポートによって異なります。各ポート端子の出力電流能力の詳細については、ご使用の RA8 シリーズのユーザーズマニュアルハードウェア編の「電気的特性」を参照してください。

出力駆動能力は、ボード設計の全体的な性能に大きな影響を与える可能性があります。各出力の駆動能力を選択する際には、以下の点に注意する必要があります。

- すべての端子を低駆動能力 (デフォルト) に設定し、性能評価を始めることを推奨します。
- ボードレイアウトにより、端子を中間または高駆動能力に設定すると、EMI 放射が高くなる場合があります。
- 配線長が長い場合、より高い駆動能力が必要になる場合があります。

### 10.3 ポート周辺機能の設定と使用方法

ポート mn 端子機能選択レジスタ (PmnPFS) は各ポートの特性を設定するのに使用されます。PSEL ビットは各ポートに対して選択された周辺機能を選択します。

- ほとんどの端子には複数の機能がアサインされているため、RA8 シリーズには端子に割り当てられた機能を変更できる端子機能制御レジスタ (PmnPFS) があります。
- 各端子にはそれぞれ PmnPFS レジスタがあります。
- 各 PmnPFS レジスタは端子を周辺機能 (PSEL ビット)、IRQ 入力端子 (ISEL ビット)、及びアナログ入力端子 (ASEL ビット) として使用することができます。ASEL ビットが「1」(端子をアナログ入力端子として使用) に設定されている場合、端子の PMR ビットは GPIO 用に設定し、端子の PDR ビットは入力用に設定する必要があります。
- RA8 シリーズ用ユーザーズマニュアル ハードウェア編「I/O ポート」の章の「製品ごとの周辺選択設定」を参照してください。
- 外部からの意図しない電圧印加を防ぐために、端子の PmnPFS レジスタを変更する前に、ターゲット端子のポートモード制御 (PMR) ビットをクリアしてください。
- 全ての PmnPFS レジスタはリセット時、書き込み保護されています。これらのレジスタに書き込むには、ライトプロテクタレジスタ (PWPR) を使用して書き込みを有効にする必要があります。
- PmnPFS レジスタを設定する際には、1つの機能が複数の端子に割り当てられないように注意する必要があります。ユーザはこのようなことをすべきではありませんが、設定は出来てしまいます。設定した場合、端子機能は未定義になります。
- 外部バス、イーサネットコントローラ、USB を使用する場合、必要な設定のレジスタが MPC にあります。
- 以下の図は、FSP 端子設定を使用して OSPI 端子を有効にする例を示しています。

**Pin Configuration**

Select Pin Configuration Export to CSV file Configure Pin Driver Warnings

RA8M1 EK Manage configurations...  Generate data:

Name	Value	Lock	Link
Pin Group Selection	Mixed		
Operation Mode	Custom		
Input/Output			
OM_CS0	None		
OM_CS1	✓ P104		
OM_DQS	✓ P801		
OM_ECSINT1	✓ P105		
OM_RESET	✓ P106		
OM_RSTO1	None		
OM_SCLK	✓ P808		
OM_SCLKN	None		
OM_SIO0	✓ P100		
OM_SIO1	✓ P803		
OM_SIO2	✓ P103		
OM_SIO3	✓ P101		
OM_SIO4	✓ P102		
OM_SIO5	✓ P800		
OM_SIO6	✓ P802		
OM_SIO7	✓ P804		
OM_WP1	None		

Module name: OSPI

図 28 ルネサス FSP の端子コンフィギュレータを使用した OSPI 端子の有効化の例

## 10.4 IRQ 端子の設定と使い方

- 特定のポートは外部割り込み端子 (IRQ) として使用できます。ご使用の RA8 シリーズで使用できる端子については、RA8 シリーズ ユーザーズマニュアル ハードウェア編「I/O ポート」の「製品ごとの周辺選択設定」を参照してください。
- 一部の IRQ 端子には末尾に「-DS」が付いています (例: IRQ1-DS)。「-DS」は、この端子を使用してディープソフトウェアスタンバイモードから復帰できることを示します。  
注: IRQn と IRQn-DS を同時に使用することはできません。-DS 付きの割り込みと末尾に-DS のない同じ番号の割り込みは、異なる外部端子接続を使用している場合でも、内部で同じ割り込みに接続されています。
- IRQ 端子として使用するには、端子の PFS レジスタの IRQ 入力許可ビット (ISEL) を「1」に設定する必要があります。
- 端子は IRQ と周辺機能の両方に同時に使用できます。これを有効にするには、端子の PFS レジスタの ISEL ビットと PSEL ビットの両方を設定してください。
- 同じ番号の IRQ 機能は 1 つの端子でのみ有効にする必要があります。
- IRQ 端子は、以下を検出時に割り込みを発生します。
  - Low レベル
  - 立ち下がリエッジ
  - 立ち上がりエッジ
  - 立ち上がりエッジと立ち下がリエッジどのトリガが選択されるかは、IRQ コントロールレジスタ (IRQCRi) を使用して選択されます。
- IRQ 端子にはデジタルフィルタも使用できます。デジタルフィルタは、選択可能な 4 つのクロックレート (PCLK、PCLK/8、PCLK/32、PCLK/64) のいずれかで信号を繰り返しサンプリングし、短いパルス (フィルターレートで 3 サンプル未満の High パルスまたは Low パルス) をフィルタで除去します。このデジタルフィルタは、これらの回線のリンギングやノイズを除去するのに便利ですが、メカニカルスイッチのバウンスなどの長いイベントを除去するには速すぎます。デジタルフィルタを有効にすると、内部で伝搬遅延 (フィルタリング時間) が発生します。
- デジタルフィルタは、各 IRQ 端子に対して個別に設定することができます。これは、各 IRQ の IRQCRi レジスタに IRQ 端子デジタルフィルタイネーブル (FLTEN) ビットを設定することによって行われます。
- デジタルフィルタリングのクロックレートは、各 IRQ 端子に対して個別に設定可能です。これは、各 IRQ の IRQCRi レジスタの IRQi デジタルフィルタサンプリングクロック選択 (FCLKSEL[1:0]) ビットの設定により行われます。
- 図 29 と図 30 は、ルネサス FSP を使用して IRQ 端子を有効にして設定する例を示しています。

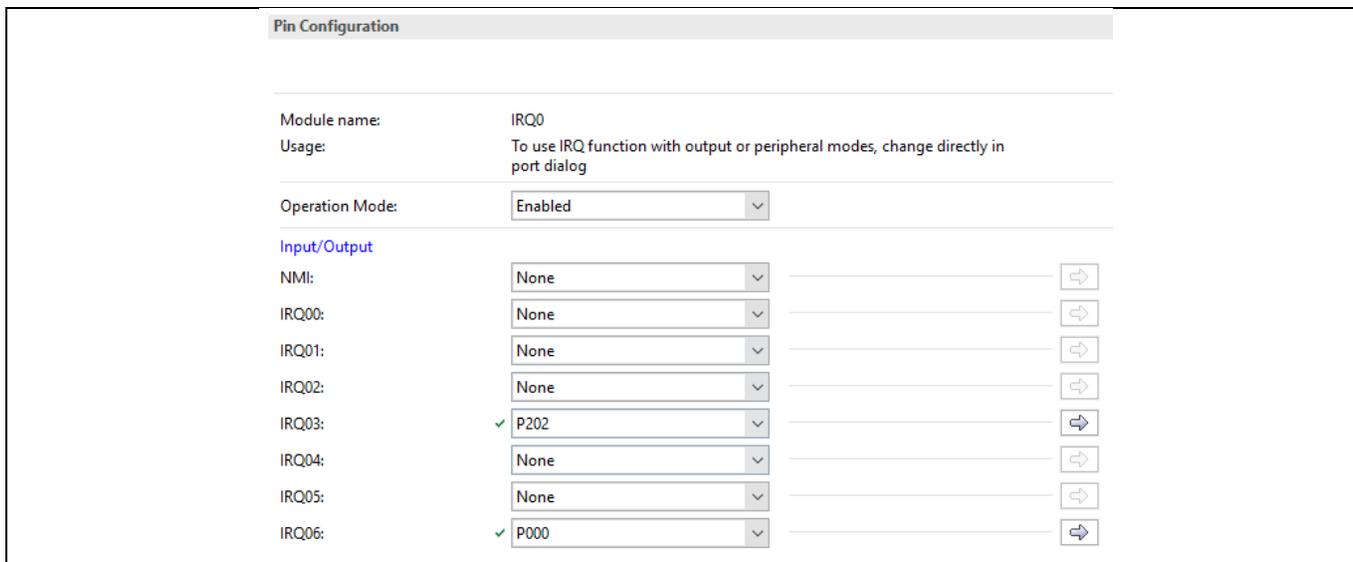


図 29 ルネサス FSP 端子コンフィギュレータを使用して、P202、P000 をそれぞれ IRQ03、IRQ06 入力として有効にする例

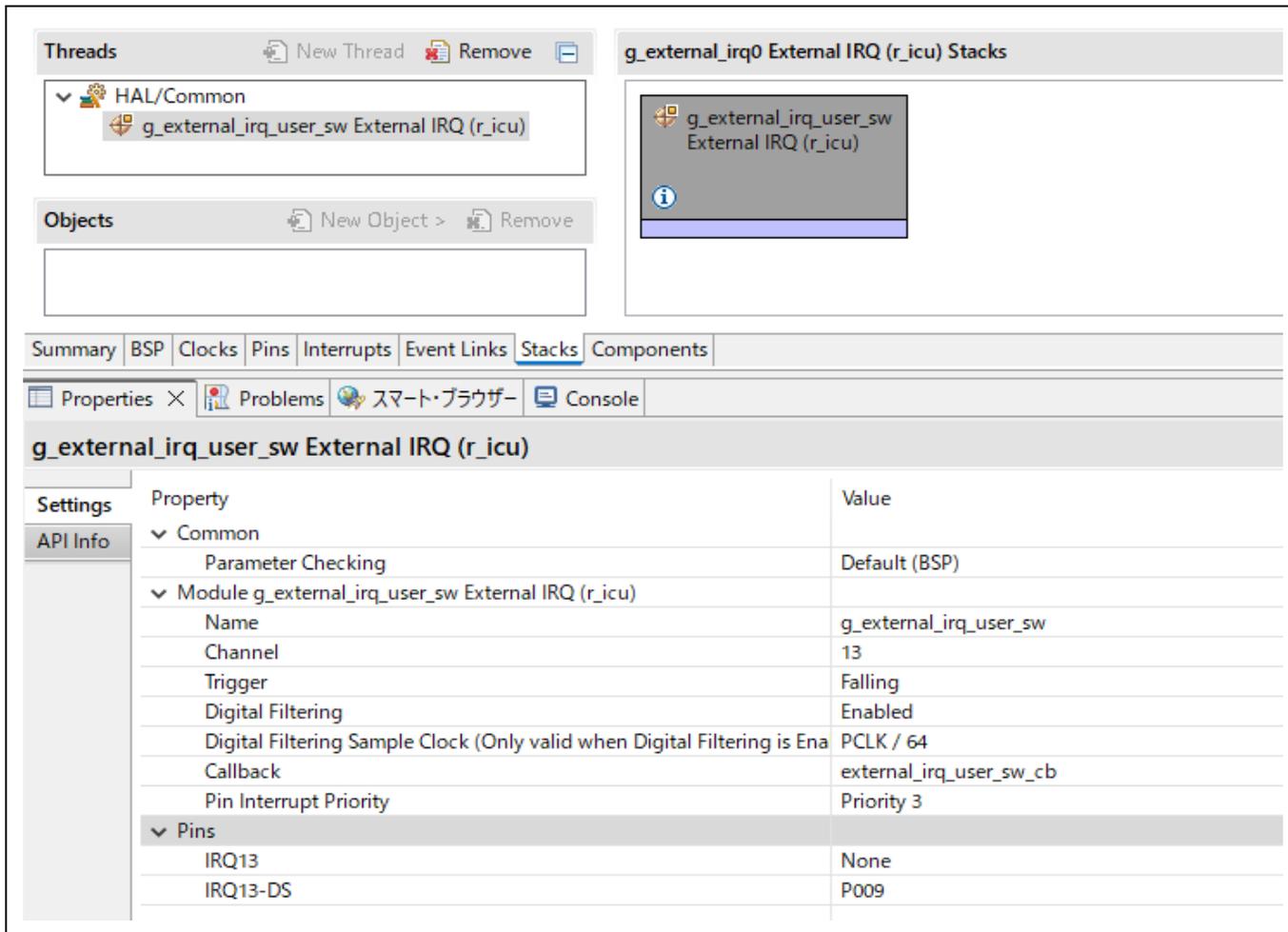


図 30 ルネサス FSP コンフィギュレータを使用した IRQ13 の設定例

## 10.5 未使用端子

注:一部の端子は外部に終端処理が必要です。詳細は、RA8 シリーズ用ユーザーズマニュアル ハードウェア編「未使用端子の処理」を参照してください。

未使用端子を“Open”のままにしておくと、余分な電力を消費し、さらにノイズの影響を受けやすくなります。未使用端子は、以下のいずれかの方法で終端してください。

1. プルダウンがおそらく最も一般的な選択肢です。端子を出力に設定するポートの方向レジスタへの誤った書き込みにより、出力が短絡する可能性があるため、端子を VCC または VSS に直接接続しないでください。
2. もう一つの方法は、端子を出力に設定することです。端子レベルは High でも Low でもかまいませんが、端子を出力に設定し、Low 出力にすることで、端子は内部でグランドプレーンに接続されます。これは、システム全体のノイズ対策に役立つ可能性があります。問題は、ポートの設定をソフトウェア制御で行う必要があることです。RA8 シリーズがリセット解除され、方向レジスタが出力に設定されるまでの間、端子はフローティング入力となり、余分な電流が流れる可能性があります。この余分な電流を許容できる場合、最初の方法に必要な外部抵抗が不要になります。
3. 端子を入力のままにして外部抵抗で終端する方法は、RA8 シリーズの多くのポートで利用可能な内蔵プルアップを使用します。これは、端子を出力に設定するのと同じ制限がありますが（プログラムでポートを設定する必要があります）デバイスが端子を駆動しないため、グランド、隣接ピン、VCC への偶発的な短絡の影響を制限します。

## 10.6 存在しない端子

RA8 シリーズには複数のパッケージがあり、総端子数も異なります。RA8 シリーズの最大端子数より少ない端子数のパッケージの場合、存在しないポートの対応するビットを PDR レジスタで「1」（出力）に、PODR レジスタで「0」に設定します。R8AM1 シリーズのパッケージで使用可能なポートはご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「I/O ポートの仕様」の表で確認できます。存在しない端子へは、この設定以外行わないよう注意してください。

## 10.7 電気的特性

通常の GPIO ポートは、通常、CMOS レベル入力 ( $\text{High} \geq 0.8 \cdot \text{VCC}$ 、 $\text{Low} \leq 0.2 \cdot \text{VCC}$ ) を必要とします。一部の GPIO ポートにはシュミットトリガ入力があり、入力要件が若干異なります。詳細についてはご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「電気的特性」を参照してください。

## 11. モジュールストップ機能

電力効率を最大化するため、RA8 シリーズでは、モジュールストップコントロールレジスタ (MSTPCR<sub>i</sub>, i=A、B、C、D、E) に書き込むことにより、周辺機器を個別に停止できます。モジュールが停止すると、そのモジュールへのレジスタアクセスはできなくなります。

リセット後、DMAC、DTC、SRAM を除くほとんどのモジュールがモジュールストップ状態になります。詳細については、ご使用の RA8 シリーズのユーザーズマニュアルハードウェア編を参照してください。

周辺機器のレジスタにアクセスする前に、MSTPCR<sub>i</sub> レジスタの対応するビットに「0」を書き込むことで、その周辺機器をストップモードから解除して有効にする必要があります。

MSTPCR<sub>i</sub> レジスタの適切なビットに「1」を書き込むことで、周辺機器を停止できます。

ルネサス FSP の HAL ドライバは、モジュールの起動/停止機能を自動的に処理します。

## 12. 割り込みコントローラユニット

割り込みコントローラユニット (ICU) は、どのイベント信号を NVIC、DTC、DMAC モジュールにリンクするかを制御します。ICU はノンマスクابل割り込みも制御します。表 22 エラー! 参照元が見つかりません。に ICU の仕様例を、表 23 エラー! 参照元が見つかりません。に I/O 端子から IRQi イベントを発生させる機能の例を示します。詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編を参照してください。

表 22 RA8M1 ICU 仕様例

項目		内容
マスクابل 割り込み	周辺機能割り込み	<ul style="list-style-type: none"> <li>周辺モジュールからの割り込み 要因数：296 (イベントリスト番号 17~511 内の要因から選択)</li> </ul>
	外部端子割り込み	<ul style="list-style-type: none"> <li>割り込み検出：Low レベル<sup>(注4)</sup>、立ち下がリエッジ、立ち上がりエッジ、両エッジ。要因ごとに設定可能</li> <li>デジタルフィルタ機能</li> <li>16 要因 (IRQi (i = 0~15) 端子からの割り込み)</li> </ul>
	CPU (NVIC) への割り込み要求	<ul style="list-style-type: none"> <li>96 本の割り込み要求を NVIC に対して出力<sup>(注5)</sup></li> </ul>
	DMAC 制御	<ul style="list-style-type: none"> <li>割り込み要因によって DMAC の起動が可能<sup>(注1)</sup></li> <li>DMAC の全チャンネル個別に対象の割り込み要因を選択可能</li> </ul>
	DTC 制御	<ul style="list-style-type: none"> <li>割り込み要因によって DTC の起動が可能<sup>(注1)</sup></li> <li>割り込み要因の選択方式は、NVIC への割り込み要求と同一</li> </ul>
ノンマスクابل 割り込み <sup>(注2)</sup>	NMI 端子割り込み	<ul style="list-style-type: none"> <li>NMI 端子からの割り込み</li> <li>割り込み検出：立ち下がリエッジまたは立ち上がりエッジ</li> <li>デジタルフィルタ機能</li> </ul>
	発振停止検出割り込み <sup>(注3)</sup>	メイン発振器の停止を検出したときの割り込み
	WDT アンダーフロー/リフレッシュエラー <sup>(注3)</sup>	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDT アンダーフロー/リフレッシュエラー <sup>(注3)</sup>	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視 1 割り込み <sup>(注3)</sup>	電圧監視 1 回路の電圧監視 1 割り込み (PVD_PVD1)
	電圧監視 2 割り込み <sup>(注3)</sup>	電圧監視 2 回路の電圧監視 2 割り込み (PVD_PVD2)
	共通メモリエラー割り込み	共通メモリエラー：SRAM ECC エラー、SRAM パリティエラー、スタンバイ SRAM パリティエラー
	バスエラー割り込み	バスエラー：MPU エラー、TZF エラー
CPU ロックアップエラー 割り込み	CPU ロックアップエラー	
セキュリティ	セキュア	いくつかのレジスタが有するセキュリティ属性
	プリビレッジ	ICU の各レジスタはプリビレッジアクセスでのみアクセス可能
低消費電力モード	<ul style="list-style-type: none"> <li>CPU スリープモード：ノンマスクابل割り込みまたはその他の割り込み要因によって復帰</li> <li>CPU ディープスリープモード/ソフトウェアスタンバイモード：ノンマスクابل割り込みによって復帰。WUPEN レジスタで割り込みの選択が可能。 「13.2.15. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」と「13.2.16. WUPEN1: ウェイクアップ割り込みイネーブルレジスタ 1」を参照してください。</li> </ul>	
TrustZone フィルタ	使用可能	

注 1. DMAC と DTC の起動要因については、「13.3.2. イベント番号」を参照してください。  
 注 2. リセット解除後に 1 回だけノンマスクابل割り込みを許可することができます。  
 注 3. これらのノンマスクابل割り込みは、マスクابل割り込みとしても使用可能です。マスクابل割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 と電圧監視 2 の割り込みを許可するには、PVD1CR1.IRQSEL ビットと PVD2CR1.IRQSEL ビットを 1 にしてください。  
 注 4. Low レベルが一度検出されると、IELSRn の IR フラグがリセットされ続けるので、IR フラグをクリアしなければ、割り込み要求はクリアされません。

表 23 RA8M1 ICU I/O 端子の例

端子名	入出力	内容
NMI	入力	ノンマスク割り込み要求端子
IRQi (i = 0~15)	入力	外部割り込み要求端子

下図は、ルネサス FSP コンフィギュレータを使用して割り込みを有効にし、設定する例です。ICU と割り込みは、FSP を通して HAL ドライバの構成の一部として設定されます。

The screenshot displays the FSP Configurator interface. At the top, there are panes for 'Threads' and 'Objects'. The 'Threads' pane shows a tree view under 'HAL/Common' containing 'gpt0\_timer\_debounce\_filter\_cb Timer, General PWM (r\_gpt)'. The 'Objects' pane is currently empty. To the right, a 'Stacks' pane shows the same timer object. Below these panes is a navigation bar with tabs for 'Summary', 'BSP', 'Clocks', 'Pins', 'Interrupts', 'Event Links', 'Stacks', and 'Components'. The 'Stacks' tab is selected. At the bottom, the 'Properties' pane for the selected object is shown, with a table of settings:

Property	Value
Common	
Parameter Checking	Default (BSP)
Pin Output Support	Disabled
Write Protect Enable	Disabled
Module gpt0_timer_debounce_filter_cb Timer, General PWM (r_gpt)	
> General	
> Output	
> Input	
> Interrupts	
Callback	gpt0_timer_debounce_filter_cb
Overflow/Crest Interrupt Priority	Priority 11
Capture A Interrupt Priority	Disabled
Capture B Interrupt Priority	Disabled
Underflow/Trough Interrupt Priority	Disabled
> Extra Features	
> Pins	

図 31 GTP0 オーバーフロー割り込みを有効とし割り込みサービスルーチンによって呼び出されるユーザコールバック関数を設定する例

## 13. 低消費電力モード

RA8 シリーズには、消費電力を削減するための複数の低消費電力モードがあります。実行するには、クロック分周器の設定、EBCLK 出力制御、SDCLK 出力制御、モジュール停止、電源遮断制御、通常動作時の動作電力制御モードの選択、低消費電力モードへの移行などが必要です。詳細についてはご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「低消費電力モード」を参照してください。

RA8 シリーズは各グループによって以下の 4 種類の低消費電力モードをサポートしています。

- CPU スリープモード、CPU ディープスリープモード
- ソフトウェアスタンバイモード
- ディープソフトウェアスタンバイモード 1、2、3

消費電力を削減するために利用できる機能の概要を次の表に示します。

表 24 低電力モード機能の仕様

項目	仕様
クロックの切り替えによる消費電力の低減	CPUクロック (CPUCLK)、システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD, PCLKE)、外部バスクロック (BCLK)、およびフラッシュインタフェースクロック (FLCK) に対して、個別に分周比を選択可能(注 1)
EBCLK 出力制御	BCLK 出力または High 出力を選択可能(注 1)
SDCLK 出力制御	SDCLK 出力または High 出力を選択可能
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
パワーゲーティング制御	この機能は電源ドメインの電源状態を制御できます。 <ul style="list-style-type: none"> <li>• 電源ドメインの ON/OFF を制御</li> <li>• パワーゲーティング時の特定回路の保持を制御</li> </ul>
プロセッサ低消費電力モード	<ul style="list-style-type: none"> <li>• CPU スリープモード</li> <li>• CPU ディープスリープモード</li> </ul>
低消費電力モード	<ul style="list-style-type: none"> <li>• ソフトウェアスタンバイモード(注 2)</li> <li>• ディープソフトウェアスタンバイモード 1、2、3(注 2)</li> </ul>
動作電力制御モード	<ul style="list-style-type: none"> <li>• 動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時および低消費電力モード時の消費電力を削減することができます。</li> <li>• 以下の 2 つの動作電力制御モードが利用可能: High-speed モード Low-speed モード(注 2)</li> </ul>
TrustZone®フィルタ	セキュリティ属性とプリビレッジ属性を設定可能

注 1：詳細は、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「クロック発生回路」を参照してください。

注 2：このモードは外部 VDD モードではサポートされていません。

表 25 に、低電力モードへの移行条件、各モードの解除方法を示します。

表 25 低消費電力モード

動作状況(注1)	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード 1, 2, 3
遷移条件	LPSCR=0x4 及び CPU0. SCR. SLEEPDEEP=1 を設定後の WFI 命令	$x8 \leq LPSCR \leq 0xA$ 、CPU0. SCR. SLEEPDEEP=1 の設定後の WFI 命令
解除方法	表「CPU ディープスリープ、ソフトウェアスタンバイ、ディープソフトウェアスタンバイモードを解除する割り込み要因」に示されている割り込み。 このモードで利用可能なすべてのリセット	表「CPU ディープスリープ、ソフトウェアスタンバイ、ディープソフトウェアスタンバイモードを解除する割り込み要因」に示されている割り込み。 このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態 (割り込み処理)	リセット状態
リセットによる解除後の状態	リセット状態	リセット状態

注1：詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「各低電力モードの動作条件」の表を参照してください。

RA8 シリーズには、ノーマルモード、スリープモード中でも MCU が動作できる動作電力制御モードがあり、OPCCR レジスタによって制御されます。

以下は、動作消費電力制御モードと各モードで利用可能な発振器の概要です。

表 26 各動作消費電力制御モードで利用可能な発振器各動作消費電力制御モードで利用可能な発振器

モード	発振器					
	PLL1, PLL2	高速オンチップオシレータ	中速オンチップオシレータ	低速オンチップオシレータ	メインクロック発振器	サブクロック発振器
高速	可能	可能	可能	可能	可能	可能
低速	不可	可能	可能	可能	可能	可能

注:OPCCR レジスタの値を低電力動作モードのいずれかに設定することは可能ですが、クロック周波数も目的のモードの要件を満たすように設定する必要があります。でないと OPCCR レジスタの設定は消費電力を削減する効果がありません。

最小の電力値を達成するには、クロック発生回路で可能な限り最大の分周比を使用します。

低速モードでは、使用可能なクロックはすべて最大周波数 1MHz に制限されます。クロック周波数制限の詳細および注意事項については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の電気的特性の「High-speed モードにおける動作周波数の値」および「Low-speed モードにおける動作周波数の値」の表を参照してください。

低消費電力モードは、RES 端子リセット、パワーオンリセット、電圧監視リセット、周辺割り込みなどのさまざまな割り込み要因によって解除されます。さまざまな低消費電力モードの割り込み要因については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「低電力モード」を参照してください。

ルネサス FSP は、低電力モード(LPM)ドライバとドライバコンフィギュレータを提供して、低電力モード、起動要因/解除要因などを設定します。

Property	Value
▼ Common	
Parameter Checking	Default (BSP)
Standby Limit	Disabled
▼ Module g_lpm_deep_sw_standby Low Power Modes (r_lpm)	
▼ General	
Name	g_lpm_deep_sw_standby
Low Power Mode	Deep Software Standby mode
Output port state in standby and deep standby	No change
▼ Deep Sleep and Standby Options	
> Wake Sources	
> Snooze Options (Not available on every MCU)	
> RAM Retention Control (Not available on every MCU)	
> Oscillator LDO Control (Not available on every MCU)	
▼ Deep Standby Options	
> Cancel Sources	
> Cancel Edges	
I/O Port Retention	Maintain the IO port states
Power-Supply Control	Supply power to the Standby RAM, PVD0, USBFS/HS resume detecting unit, and IWDT.

図 32 ルネサス FSP コンフィギュレータを使用した低電力モードの設定例

FSP コンフィギュレータによって特定の LPM モードが設定された後、LPM ドライバの API を使用して LPM ドライバを初期化し、MCU を LPM モードに設定することができます。

```

/* Open LPM driver and initialize LPM mode */
err = R_LPM_Open(&g_lpm_ctrl_instance_ctrls[g_lpm_transition_pos],
                &g_lpm_ctrl_instance_cfgs[g_lpm_transition_pos]);
/* Handle error */
if (FSP_SUCCESS != err)
{
return (err);
}
/* Transition to configured LPM mode */
err = lpm_mode_enter(g_lpm_transition_sequence[g_lpm_transition_pos]);
/* Handle error */
if (FSP_SUCCESS != err)
{
return (err);
}

```

## 14. 外部バス

RA8 シリーズには外部バスコントローラが内蔵され、さらに一部の RA8 シリーズには SDRAM コントローラが内蔵されています。

### 14.1 バス幅とアドレス/データマルチプレクス

外部メモリ領域のアクセス幅は、8 ビット、16 ビット、32 ビットに設定できます。アクセス幅の設定は、CSnCR レジスタまたは SDC 制御レジスタ (SDCCR) の BSIZE ビットを設定することによって、CSn 領域ごとに行われます。CSn 領域のアドレスとデータバスは、CSnCR レジスタの MPXEN ビットを設定することでアドレス/データマルチプレクスバスにすることができます。

### 14.2 バス信号の駆動能力

外部メモリ領域を使用する場合は、バス信号を制御する端子を高速設定で高駆動能力出力に設定してください。端子の駆動能力設定の詳細については、「I/O ポート」の「ポート mn 端子機能選択レジスタ」と、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「電気的特性」を参照してください。

### 14.3 バスエラー

各バスで次のタイプのエラーが発生する可能性があります。

- マスタセキュリティ属性ユニットエラー
- バスマスタ MPU エラー
- 不正アドレスアクセス
- スレーブ TrustZone®フィルタエラー
- 各スレーブモジュールから送信されるバスエラー

バスエラーが発生した場合、動作は保証されず、要求元のマスタ IP にエラーが返されます。各マスタで発生するバスエラーは、BUSnERRADD レジスタと BUSnERRSTAT レジスタに保存されます。これらのレジスタは、リセットによってのみクリアされます。詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「バスエラーアドレスレジスタ (BUSnERRADD)」および「バスエラーステータスレジスタ (BUSnERRSTAT)」を参照してください。

注:DMAC および DTC はバスエラーを検知しないため、それらの動作はバスエラーの影響を受けません。

15. MIPI サブシステム

RA8 シリーズの一部には、MIPI-DSI および MIPI PHY がグラフィックドメインの一部として統合されています。これらを使用して、端子数が少ないグラフィックスデザインに利用できます。

MIPI インタフェースの仕様は、MIPI アライアンスによって管理されています。MIPI DSI-2SM はディスプレイシリアルインタフェースの仕様で、MIPICSI-2<sup>®</sup>はカメラシリアルインタフェースの仕様です。MIPI D-PHYSM は物理層仕様であり、MIPI DSI-2 と MIPI CSI-2 の両方に適用されます。これらの仕様は、MIPI アライアンスから入手できます ([www.mipi.org](http://www.mipi.org))。これらの仕様の最新バージョンを入手するには、MIPI アライアンスのメンバーシップへのエントリが必要となる場合があります。

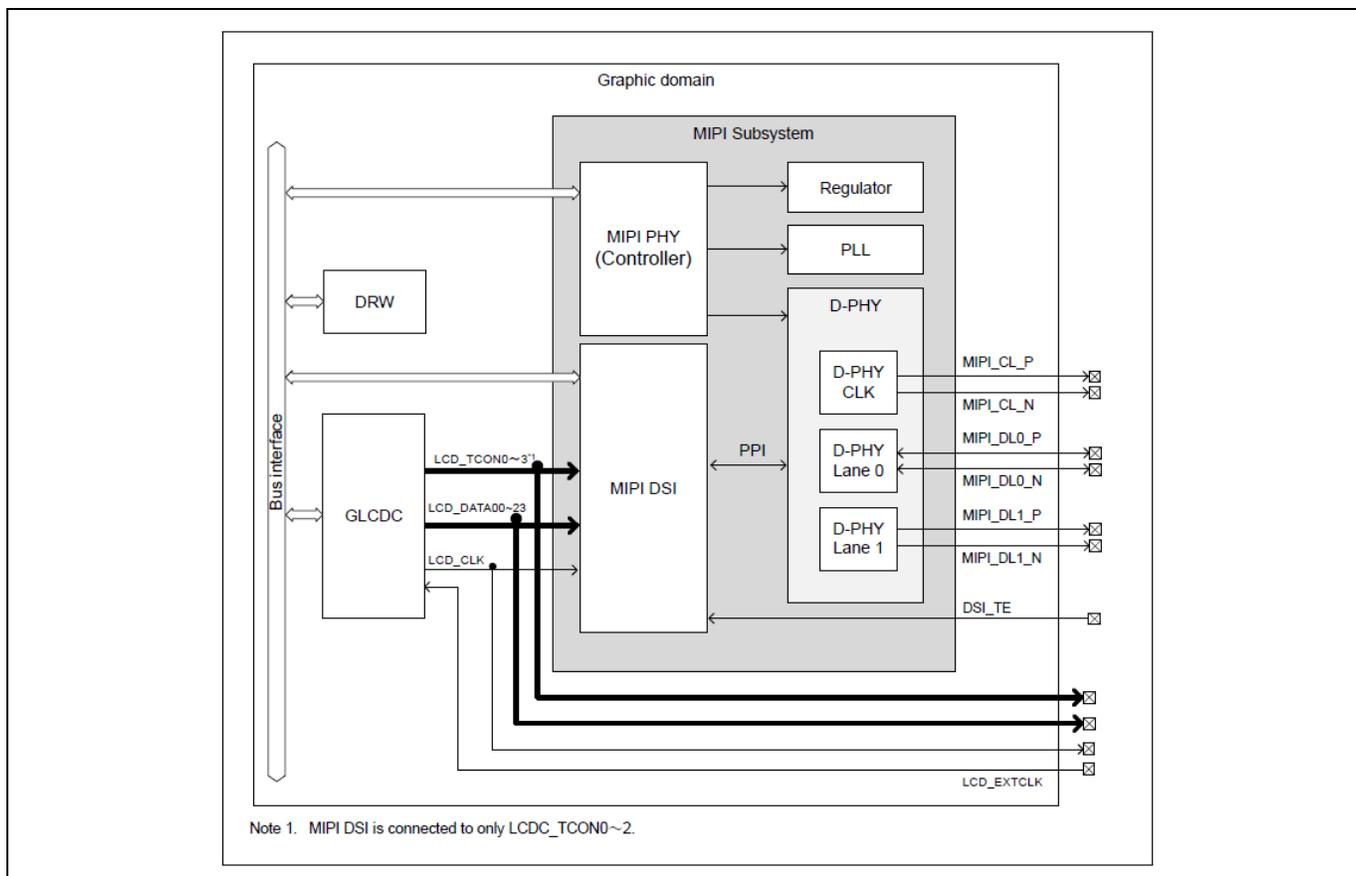


図 33 MIPI DSI および MIPI PHY を使用したグラフィックドメインのブロック図

## 15.1 MIPI DSI

一部 RA8 シリーズが有する MIPI サブシステムには、MIPI DSI-2 ホストモジュールが組み込まれています。DSI-2 ホストモジュールには、ディスプレイシリアルインタフェース 2 の MIPI アライアンス仕様 (DSI-2) のトランスミッタ機能があります。関連する D-PHY モジュールは、D-PHY 仕様の MIPI アライアンス仕様バージョン 2.1 をサポートしています。

表 27 グラフィックの仕様

Parameter		Specifications
Video Mode Operation	Available input video format from GLCDC	<ul style="list-style-type: none"> <li>Parallel RGB888 (24 bits), little endian</li> <li>Parallel RGB666 (18 bits), little endian</li> <li>Parallel RGB565 (16 bits), little endian</li> </ul>
	Available output format	<ul style="list-style-type: none"> <li>RGB (16 bits, 18 bits, 24 bits)</li> </ul>
	Available video mode packet sequence	<ul style="list-style-type: none"> <li>Non-Burst Mode with Sync Pulse</li> <li>Non-Burst Mode with Sync Event</li> <li>Burst Mode</li> </ul>
	Others	<ul style="list-style-type: none"> <li>Selectable Blanking Packet or LP-11 during each of blanking interval of HSA, HBP, and HFP</li> </ul>
Command Mode Operation	Sequence Operation Channel-0	LP only packet generation and LP packet reception from descriptor list
	Sequence Operation Channel-1	HS or LP packet generation and LP packet reception from descriptor list
DSI Link support functions		<ul style="list-style-type: none"> <li>1 and 2 Lane configurations</li> <li>Unidirectional High-Speed mode transfer (HS-TX)</li> <li>Bidirectional LP mode transfer/receipt (LP-TX / LP-RX) (Only Lane 0)</li> <li>ECC/Checksum generation for WRITE packet</li> <li>ECC/Checksum verification and ECC error correction for READ packet</li> <li>Ultra-Low-Power mode (ULPS)</li> <li>Automated power change to LP mode and return to HS mode</li> <li>Automated clock stop and resume (non-continuous clock mode)</li> <li>Assignment for Virtual Channel in video mode</li> <li>Assignment for individual Virtual Channel for each packet in Command mode</li> <li>Detection for PHY contention error and timeout error</li> <li>Generation of scrambled packets</li> <li>Input of TE signal</li> </ul>
Module-stop function		Module-stop state can be set to reduce power consumption.
TrustZone Filter		Security and Privilege attribution can be set.

詳細については、RA8 シリーズ ユーザーズマニュアル ハードウェア編の「MIPI DSI」を参照してください。

DSI-2 ホストモジュールは、電力を節約するための超低消費電力モード (ULPS) をサポートしています。FSP は、ULPS を入力および終了するための API を次のように提供しています。

ULPS の入力:

```

fsp_err_t err = FSP_SUCCESS;
/* Enter Ultra-low Power mode (ULPS) */
err = R_MIPI_DSI_UlpsEnter (&_mipi_dsi_ctrl, (mipi_dsi_lane_t) (MIPI_DSI_LANE_DATA_ALL));

```

ULPS の終了:

```

fsp_err_t err = FSP_SUCCESS;
/* Exit Ultra-low Power mode (ULPS) */
err = R_MIPI_DSI_UlpsExit (&_mipi_dsi_ctrl, (mipi_dsi_lane_t) (MIPI_DSI_LANE_DATA_ALL));

```

## 15.2 MIPI PHY

MIPI インタフェースは、クロック差動ペアと1つ以上のデータ差動ペアで構成されます。各差動ペアはレーンと呼ばれます(1つのクロックレーン、1つ以上のデータレーン)。RA8のMIPI インタフェースには、1つのクロックレーンと2つのデータレーンが含まれています。

MIPI D-PHY は、MIPI 信号に対して次の主要な特性を提供します。

- リファレンス特性インピーダンスレベルは、ラインあたり  $100\Omega \pm 20\%$  差動、 $50\Omega \pm 20\%$  シングルエンド、および両方のラインを合わせて  $25\Omega$  の共通モードです。
- レーン内の信号線の長さは一致する必要があります。
- インタフェース内のレーンの長さは一致する必要があります。

次の経路設計ガイドラインも考慮する必要があります。

- 。
- 信号は可能な限り最短で配線すること。
- 信号は、配線全体にわたって安定したグランドまたは電源プレーンを基準にすること。
- 層の切り替えは可能な限り避けること。層の切り替えが必要な場合は、信号の層切り替えビアのすぐ隣にグランドステッチングビアを追加すること。
- レーン間の配線間隔は、差動ペア間隔の3倍以上を確保すること。

表 28 MIPI D-PHY の仕様

Parameter	Specifications	
D-PHY	Number of lanes	Up to 2 Lanes
	Maximum rate	720 Mbps / Lane

表 29 MIPI サブシステム I/O 端子

Pin name	I/O	Function
MIPI_CL_P	Output	DSI Clock Lane positive pin
MIPI_CL_N	Output	DSI Clock Lane negative pin
MIPI_DL0_P	I/O	DSI Data Lane 0 positive pin

Pin name	I/O	Function
MIPI_DL0_N	I/O	DSI Data Lane 0 negative pin
MIPI_DL1_P	Output	DSI Data Lane 1 positive pin
MIPI_DL1_N	Output	DSI Data Lane 1 negative pin
DSI_TE	Input	DSI Tearing Effect pin
AVCC_MIPI	Power	D-PHY Analog Power
VCC18_MIPI	Power	D-PHY I/O Power
VSS_MIPI	Power	D-PHY GND

詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編「MIPI PHY」を参照してください。

## 16. 一般的なレイアウトの実践

### 16.1 デジタルドメインとアナログドメイン

RA8 シリーズには、主に電源、デジタル、アナログの3種類の端子機能を備えています。

一般的に、電源端子は電圧と基準入力専用であり、複数の機能を持つことはありません。電源端子は通常、MCU 内の特定の部分、つまりドメインに特化しています。例えば、MCU の主電源電圧は、デジタルコア、デジタル周辺機能、デジタル I/O 端子の多くに電力を供給することになります。デジタルドメインは、デジタル回路、デジタル I/O 端子、関連する電源端子で構成されます。アナログ機能用に指定された電源端子 (AVCC0、関連する AVSS0 など) は、デジタルドメイン回路とは別に、MCU 内の特定のアナログ回路に電力を供給します。アナログドメインは、アナログ回路、アナログ I/O 端子、関連する電源端子から構成されます。

デジタル信号は通常、周期的なクロックに関連する繰り返しのスイッチングパターンです。デジタル信号の遷移は、比較的鋭いエッジになる傾向があり、遷移間の High レベルと Low レベルは安定しています。各信号は、指定された時間内に論理状態として許容できる電圧レベルで安定している必要があります。信号の状態は通常、所定のクロック間隔でサンプリングされ、関連するデータ信号をラッチするためにクロックのエッジを使用します。デジタル信号の電圧レベルのわずかな変動は、レベルが指定された範囲内にとどまる限り、通常は許容されます。しかし、デジタル信号に対する大きな外部からの影響は、データがサンプリングされる瞬間に誤った論理状態になる可能性があります。

アナログ信号は通常は全く異なっています。アナログ信号は周期的かもしれませんが、アナログ信号の評価は通常、論理状態ではなく、一定時間範囲の電圧の測定値によります。アナログ信号の電圧レベルは、特定のトリガーイベントに基づいてサンプリングされ、その結果得られる測定値は、MCU 内のアナログ回路を使用して処理されます。アナログ測定の精度は、サンプリングされた電圧レベルの精度に直接関係しています。アナログ入力信号の電圧レベルをわずかでも変化させる可能性のある不要な外的影響は、測定の精度に影響を与える可能性があります。

RA8 シリーズの I/O 端子は非常に多重化されているため、多くの I/O 端子はアナログまたはデジタル機能のどちらかにも使用することができます。このため、デジタルとアナログの機能が重複し、データエラーが発生することがあります。デジタル信号/アナログ信号ドメイン間の潜在的な問題を最小限に抑えるには、次のガイドラインを考慮してください。

- I/O 端子の機能を割り当てる際には、アナログ端子とデジタル端子が物理的にできるだけ分離されるように端子機能を選択してください。
- 各アナログ信号はできるだけ他の信号から分離してください。
- PCB 配線は、各アナログ信号をできるだけ分離してください。同じ領域に他の信号 (アナログまたはデジタル) を配線しないようにしてください。
- アナログ電源電圧とアナログ基準電圧には、適切な AC フィルタが含まれていることを確認します。これは、MCU 電圧端子の近くにある推奨コンデンサや、適切な誘導フィルタの形式であるかもしれません。目的は、電圧供給と基準電圧をほぼリップルのない状態で提供することです。
- PCB 設計で専用の電源層を使用する場合、アナログ電圧領域でデジタル信号を配線しないようにし、デジタル電圧領域でアナログ信号を配線しないようにしてください。

高感度なアプリケーションでは、回路設計が性能に及ぼす影響を把握するために、シミュレーションツールを使って特定の設計を評価することが強く推奨されます。例えば、精密センサー設計や非常に高速なデジタルバスインタフェースなどのアプリケーションが含まれます。各周辺機能の特定の要件については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「電気的特性」を参照してください。

## 16.2 アナログ信号に関する注意事項

すべての RA8 シリーズには、アナログ信号を処理するためのアナログデジタルコンバータ（ADC）、デジタルアナログコンバータ（DAC）、および高速アナログコンパレータ（ACMPHS）があります。

アナログ入力端子は過度なサージなどの異常入力電圧によって破壊される可能性があります。アナログ入力端子を保護するためには、保護回路とコンデンサをアナログ電圧供給端子、アナログリファレンス端子、およびアナログ入力端子に接続することが推奨されています。

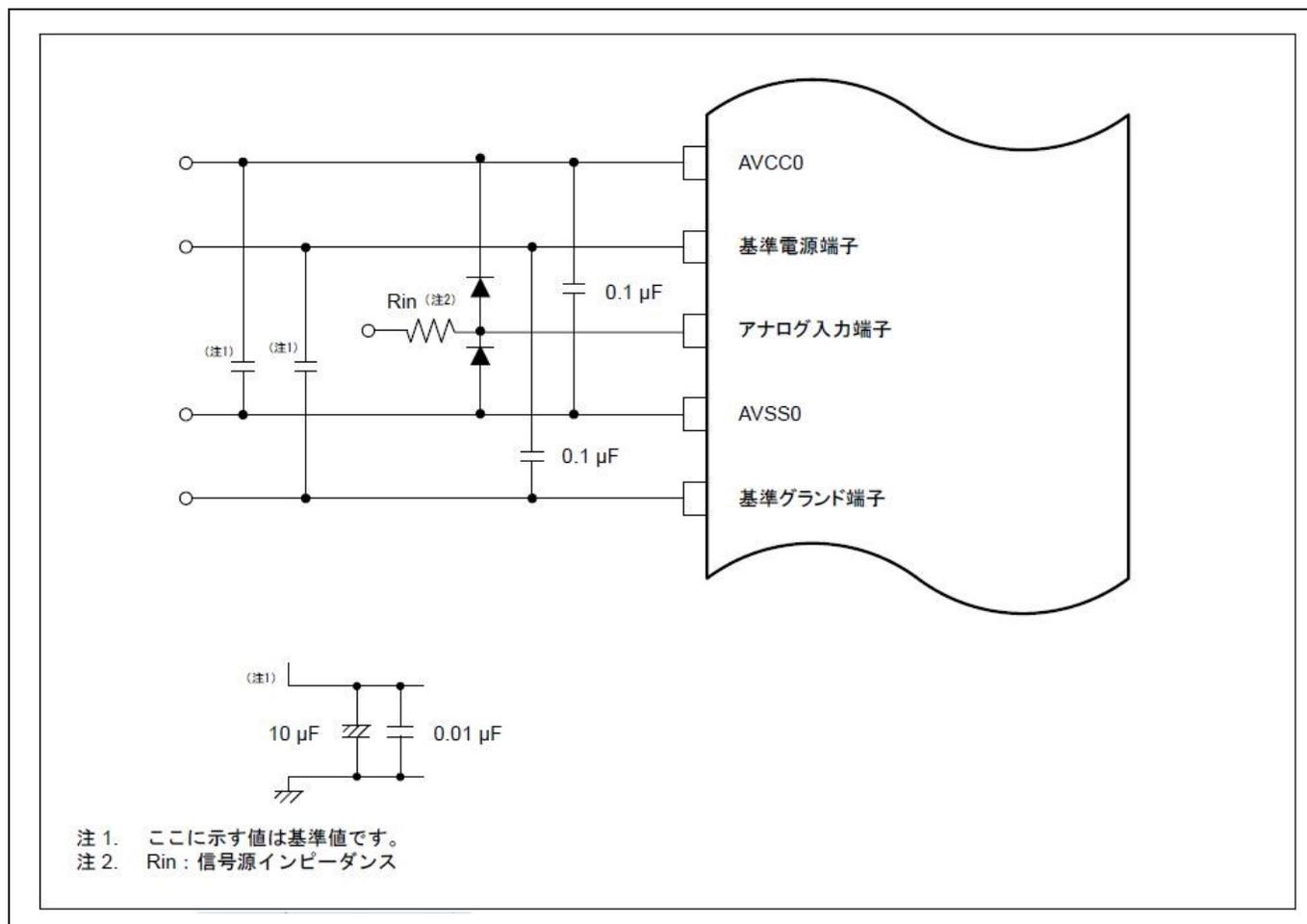


図 34 アナログ入力端子の保護

これらのアナログ周辺機能の詳細については、ご使用の RA8 シリーズのユーザーズマニュアル ハードウェア編の「A/D コンバータ」および「高速アナログコンパレータ」を参照してください。これらの入力を使用する際の具体的な詳細については、「使用上の注意」に細心の注意を払ってください。

さらにアナログ回路設計のガイドラインに関してアプリケーションノート「RA2A1 MCU を使用したアナログ PCB レイアウトのベストプラクティス」（ドキュメント番号 R01AN5287EU0100）があるので、こちらも参照してください。RA2A1 と RA8 シリーズと、異なる MCU のアナログペリフェラルになりますが、設計の概念と推奨事項は両グループに適用されます。

### 16.3 高速信号設計の考慮事項

デジタル信号のクロック速度が上がると、外乱の影響がより大きくなる場合があります。一部の周辺機能は「高速」デジタル信号として分類されることがあります。高速デジタル信号に対しては、追加の設計上の考慮が必要です。

クロストークとは、ある信号の遷移が、近くにある別の信号に誘導的な影響を与える状態のことです。このクロストークの影響が十分強い場合、最初の信号が2番目の信号のエラーを引き起こす可能性があります。クロストークの影響を軽減するために、以下の一般的なPCB配線ガイドラインを使用してください。

- 同じ配線層で配線された信号間に十分なスペースを確保します。通常、同じデジタルグループの信号間は最低1トレース幅以上。異なるデジタルグループの信号間は最低3~5トレース幅以上を確保します。
- 同一配線層上のクロック信号とデータ信号の間には、十分なスペースを確保します。通常、クロックとその他のデジタル信号の間には、最低でも3~5トレース幅のスペースを確保します。
- 隣接する配線層でのデジタル信号の並列配線は避けてください。隣接する信号層で配線する必要がある場合は、可能な限り、直交交差を使用するようにしてください。

可能であれば、信号層の間に電源層またはグランド層を使用して、PCB信号層を分離してください。電源層やグランド層の純銅は、デジタル信号の「シールド」として機能することができます。

高速設計を考慮する必要があるRA8ファミリの周辺機器には、OctalSPI、LCD、I3C、Gigabit Ethernet、MIPI、CANFD、SPI、CEUが含まれます。これらの周辺機器には、高速として分類できるクロックが含まれています。さらに、高速として分類されない可能性のある周辺機能もありますが、同様の設計手法を考慮する必要があります。これらには、SDRAM、SDHI、USB及び外部バスが含まれます。

標準化されたインタフェースには、それぞれ特定の要件があります。PCBが信号クロストーク問題を回避するように設計されていることを確認するために、設計の各インタフェースの関連規格を参照することを強くお勧めします。

### 16.4 信号グループの選択

一部の端子名には、末尾に信号グループを示す\_A、\_B、\_Cが追加されています。IIC、SPI、SSIE、ETHERC、SDHIなど特定の周辺機能を割り当てる場合は、同じ末尾を持つ機能端子を選択してください。ご使用のRA8シリーズのユーザーズマニュアルハードウェア編の「電気的特性」に示されているACタイミング特性は信号グループごとに測定する場合があります。信号グループが混在している場合、その周辺機器は機能しない可能性があり、記載されているACタイミング特性は適用されない場合があります。

周辺機能の端子名に信号グループに末尾\_A、\_Bなどがいない場合、各機能の信号に対して最も使いやすい端子配置を選択することが安全です。

ご使用のRA8シリーズのユーザーズマニュアルハードウェア編「I/Oポート」の「周辺機器選択設定」、「PmnPFSレジスタ設定に関する注意事項」を参照してください。

## 参考文献

このクイックデザインガイドの作成には、次のドキュメントを参照しています。

- ルネサス RA8 シリーズのデバイスライフサイクル管理、ドキュメント番号 R11AN0785
- ルネサスフラッシュプログラマ、ドキュメント番号 R20UT5312EJ0
- セキュリティキー管理ツール、文書番号 R20UT5254JJ
- RA8M1 マイコンユーザズマニュアル、ドキュメント番号 R01UH0994
- RA8D1 マイコンユーザズマニュアル、ドキュメント番号 R01UH0995
- RA8E1 マイコンユーザズマニュアル、ドキュメント番号 R01UH1129
- RA8E2 マイコンユーザズマニュアル、ドキュメント番号 R01UH1130
- RA8x1 メモリアーキテクチャ、構成、およびトポロジに関する入門ガイド、ドキュメント番号 R01AN7088EU0100
- OSPI における RA8 Decrypt on the Fly を使用したアプリケーションデザイン、ドキュメント番号 R11AN0773
- Arm® Cortex®-M85 プロセッサテクニカルリファレンスマニュアル、Arm®から提供されているドキュメント番号 101924
- RA8 シリーズのファーストステージブートローダーを使用したアプリケーションデザイン、ドキュメント番号 R11AN0774EU
- E2 エミュレータ、E2 エミュレータ Lite ユーザズマニュアル別冊、RA デバイスの接続に関する注意事項、ドキュメント番号 R20UT4686EJ0320

## ウェブサイトとサポート

RA ファミリの主要な要素について学び、コンポーネントと関連ドキュメントをダウンロードし、サポートを受けるには、次のバニティ URL にアクセスしてください。

RA 製品情報	<a href="http://www.renesas.com/ra">www.renesas.com/ra</a>
RA 製品サポートフォーラム	<a href="http://www.renesas.com/ra/forum">www.renesas.com/ra/forum</a>
RA フレキシブルソフトウェアパッケージ	<a href="http://www.renesas.com/FSP">www.renesas.com/FSP</a>
ルネサスサポート	<a href="http://www.renesas.com/support">www.renesas.com/support</a>

## 改訂履歴

Rev.	日付	説明	
		ページ	概要
1.00	Mar. 04. 24	-	初版
1.01	Dec. 15. 25	-	RA8Ex デバイスの追加

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いづれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、変更、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、変更、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な変更、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev. 5.0-1 October 2020)

## 本社

豊洲フォレシア、豊洲 3-2-24、  
135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
[www.renesas.com](http://www.renesas.com)

## 商標

Renesas および Renesas ロゴは、ルネサスエレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

## お問い合わせ先

製品、技術、ドキュメントの最新版、最寄りの営業所などに関する詳しい情報は、こちらをご覧ください：[www.renesas.com/contact/](http://www.renesas.com/contact/)