

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# H8S ファミリ

## 14 ビット PWM 機能の応用

### 要旨

この資料は H8S/2100 シリーズの 14 ビット PWM 機能を応用し、D/A として使用する場合の使用例を掲載しています。

### 動作確認デバイス

- H8S/2114
- H8S/2110B
- H8S/2140B
- H8S/2141B
- H8S/2160B
- H8S/2161B
- H8S/2145B
- H8S/2189
- H8S/2168
- H8S/2148
- H8S/2144
- H8S/2138
- H8S/2134
- H8S/2128

### 目次

1. 仕様 .....	2
2. 適用条件 .....	4
3. 使用機能説明 .....	5
4. 動作説明 .....	7
5. ソフトウェア説明 .....	8
6. フローチャート説明 .....	11
7. プログラムリスト .....	12

### 1. 仕様

- 図 1 に示すように、14 ビット PWM 機能は、PWXi (i = 0, 1) 端子から出力を行ないます。その信号をローパスフィルタ (RC 回路) を通過させることにより、アナログ出力 (D/A 出力) を生成します。本タスクでは、PWX0 端子による PWM 出力を行なっています。
- 10 MHz で動作時、内部クロック周波数は、 $\phi$ ,  $\phi/2$ ,  $\phi/64$ ,  $\phi/128$ ,  $\phi/256$ ,  $\phi/1024$ ,  $\phi/4096$ ,  $\phi/16384$  の設定が可能です。本タスクでは、内部クロック周波数を  $\phi/2$  としています。表 1 を参照ください。
- 本タスクではデューティを  $0/256 \sim 255/256$  とした時、アナログ出力を測定しています。デューティとアナログ電圧の関係を表 2 に示します。

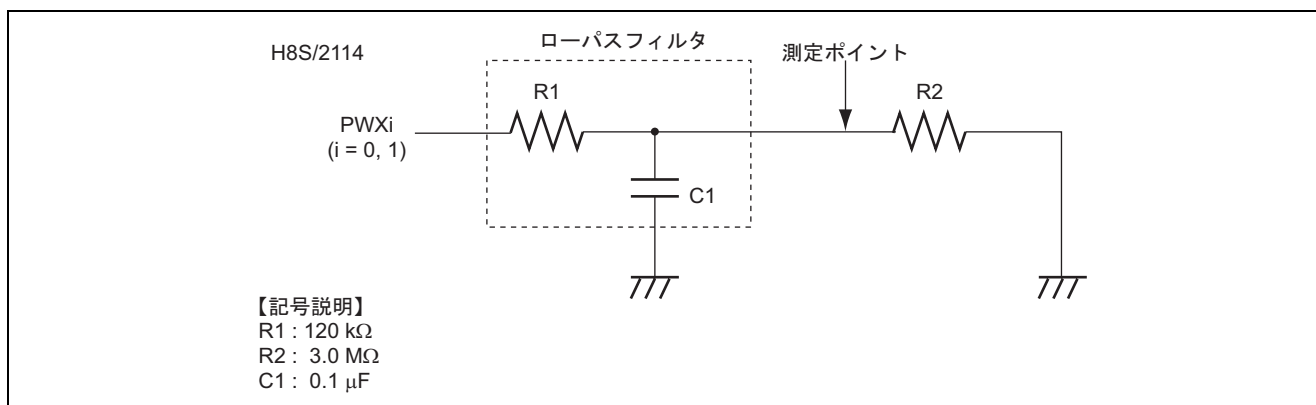


図 1 D/A として使用する場合の回路例

表 1  $\phi = 10$  MHz 時の分解能，PWM 基本周期，PWM 変換周期 (CFS = 1, 変換精度 : 14 ビット時)

内部クロック	分解能	PWM 基本周期	PWM 変換周期	周波数
$\phi$	0.1 $\mu$ s	25.6 $\mu$ s	1.64 ms	39.1 kHz
$\phi/2$	0.2 $\mu$ s	51.2 $\mu$ s	3.28 ms	19.5 kHz
$\phi/64$	6.4 $\mu$ s	1.6 ms	102.4 ms	625 Hz
$\phi/128$	12.8 $\mu$ s	3.3 ms	211.2 ms	303 Hz
$\phi/256$	25.6 $\mu$ s	6.6 ms	422.4 ms	151.5 Hz
$\phi/1024$	102.4 $\mu$ s	26.2 ms	1.7 s	38.2 Hz
$\phi/4096$	409.6 $\mu$ s	104.9 ms	6.7 s	9.5 Hz
$\phi/16384$	1638.4 $\mu$ s	419.4 ms	26.8 s	2.4 Hz

表 2 デューティとアナログ出力の関係

No.	デューティ比	DADRA 設定値	アナログ出力 [V]		
			理論値 <sup>*1</sup>	(1) <sup>*2</sup>	(2) <sup>*2</sup>
1	0/256 (付加パルスなし)	H'0003	0.00	0.01	0.00
2	1/256 (付加パルスなし)	H'0103	0.01	0.03	0.01
3	20/256 (付加パルスなし)	H'1403	0.26	0.25	0.26
4	40/256 (付加パルスなし)	H'2803	0.52	0.49	0.51
5	60/256 (付加パルスなし)	H'3C03	0.77	0.73	0.76
6	80/256 (付加パルスなし)	H'5003	1.03	0.99	1.04
7	100/256 (付加パルスなし)	H'6403	1.29	1.23	1.29
8	120/256 (付加パルスなし)	H'7803	1.55	1.49	1.48
9	140/256 (付加パルスなし)	H'8C03	1.81	1.73	1.79
10	160/256 (付加パルスなし)	H'A003	2.06	1.98	2.06
11	180/256 (付加パルスなし)	H'B403	2.32	2.23	2.31
12	200/256 (付加パルスなし)	H'C803	2.58	2.48	2.57
13	220/256 (付加パルスなし)	H'DC03	2.84	2.71	2.82
14	240/256 (付加パルスなし)	H'F003	3.09	2.95	3.06
15	250/256 (付加パルスなし)	H'FA03	3.22	3.09	3.21
16	255/256 (付加パルスなし)	H'FF03	3.29	3.15	3.28
17	255/256 (付加パルス : 63/63) <sup>*3</sup>	H'FFFF	—	3.16	3.29
18	H 固定 (デューティ : 100%)	—	3.30	3.17	3.29

【注】 \*1 アナログ出力の理論値は、以下の式から得られる値です。

$$\text{アナログ出力 (理論値)} = V_{cc} \times (\text{DA13} \sim \text{DA6}) / 256$$

$$V_{cc} = 3.3 \text{ V}, 0 \leq (\text{DA13} \sim \text{DA6}) \leq 255$$

\*2 図 1 の R1, R2, C1 の値

(1)...R1 = 120 kΩ, R2 = 3.0 MΩ, C1 = 0.1 μF

(2)...R1 = 120 kΩ, R2 = なし (オープン), C1 = 0.1 μF

R2 は、実際に接続されるデバイスの入力インピーダンスを 3 MΩと仮定し使用しています。

ここで記載している値は弊社環境下における参考値です。実際にご使用の際は、お客様の実システムで評価した上でご使用くださいますようお願い致します。

\*3 付加パルスを付加することにより、より細かくアナログ電圧値を設定することができます。

PWM 機能使用時、デューティ比 255/256、付加パルス 63/63 の設定により、DADRA で設定できる最大のアナログ出力を得ることができます。

## 2. 適用条件

表 3 適用条件

項目	内容
動作周波数	システムクロック (φ) : 10 MHz
動作モード	モード 6 (MD2 = 1, MD1 = 1, MD0 = 0) モード 2 (MD2 = 0, MD1 = 1, MD0 = 0)
開発ツール	HEW Version 4.00.00.027
C/C++コンパイラ	ルネサス テクノロジ製 H8S, H8/300 C/C++ Compiler Ver.6.0.3.0
コンパイルオプション	-cpu = 2000A:24, -code = asmcode, -optimize = 1

### 3. 使用機能説明

本タスク例では、14 ビット PWM 機能を利用して PWM 出力端子からデューティ (0/256 ~ 255/256) のパルスを出力しています。以下に 14 ビット PWM 機能のブロック図について説明します。

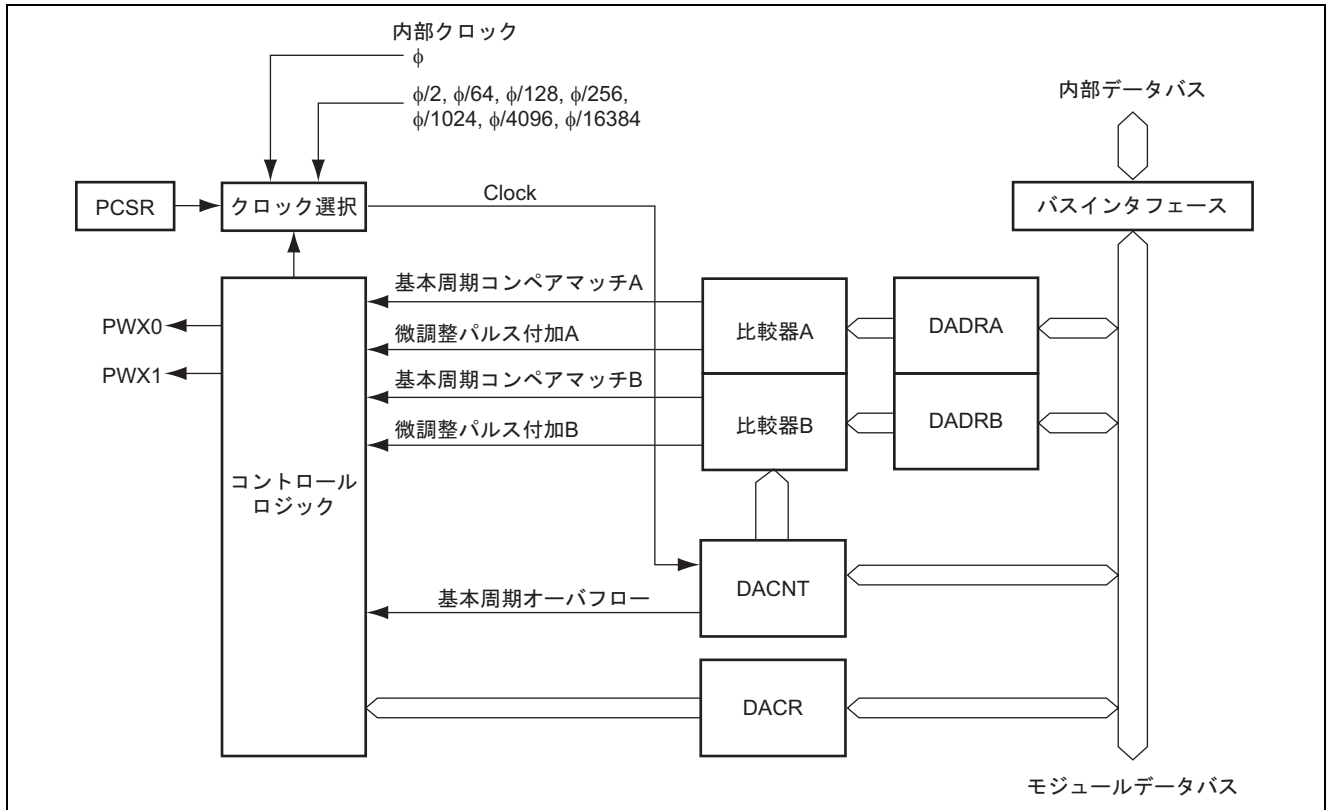


図 2 14 ビット PWM 機能ブロック図

- 本 PWM は、リップルの少ないパルス分割方式を使用しています。
- 分解能は、以下の 8 種類の分解能から選択可能です。  
システムクロック周期  
システムクロック周期 × 2, × 64, × 128, × 256, × 1024, × 4096, × 16384
- 以下の 2 種類の基本周期を設定可能です。  
基本周期  $T \times 64$   
基本周期  $T \times 256$  (T = 分解能)
- デューティ 0 ~ 100% を 1/256 の分解能で設定可能です (デューティ 100% はポート出力で実現)。
- PWM タイマの入力クロックは、 $\phi$ ,  $\phi/2$ ,  $\phi/64$ ,  $\phi/128$ ,  $\phi/256$ ,  $\phi/1024$ ,  $\phi/4096$ ,  $\phi/16384$  から選択できます。システムクロック ( $\phi$ ) は、CPU および周辺機能を動作させるための基準クロックです。PWM の分解能、PWM 基本周期、PWM 変換周期は、選択した内部クロックにより以下の式で求めることができます。  
(基本周期 : 分解能 × 256 選択時)

分解能 (最小パルス幅) = 1 / 内部クロック周波数

PWM 基本周期 = 分解能 × 256

PWM 変換周期 = PWM 基本周期 × 64

- PWMX (D/A) カウンタ H, L (DACNTH, DACNTL)  
DACNT は、14 ビットのリードライト可能なアップカウンタです。入力するクロックによりカウントアップします。入力クロックは、DACR のクロックセレクトビット (CKS ビット) により選択します。DACNT は、2 チャンネルの PWMX (D/A) のタイムベースとして使用されます。14 ビット精度で使用する場合には、全ビットを利用し、12 ビット精度で使用する場合には、上位 2 ビット (カウンタ) を無視し、下位 12 ビット (カウンタ) を利用します。
  - PWMX (D/A) データレジスタ A, B (DADRA, DADRB)  
DADR は、16 ビットのリードライト可能な 2 本のレジスタ (DADRA, B) で構成されています。DADRA は PWMX (D/A) チャンネル A (PWX0) に、DADRB は PWMX (D/A) チャンネル B (PWX1) に対応しています。DADRA の最下位ビットは未使用で、リードすると 1 が読み出されます。DADR の上位 14 ビットは、D/A 変換するデータを設定します。DADR の上位 14 ビットの内容は、DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを決定し、また分解能幅の付加パルスを出力するか否か決定します。この動作を可能にするためには、DADR をある範囲の値に設定する必要があります。この範囲は、キャリアアプリーケンシセレクト (CFS ビット) によって決まります。範囲外の値を DADR に設定すると、PWM 出力は固定されます。12 ビット精度で使用する場合には、下位 2 ビット (データ) (DA1, 0) を 0 に固定し、上位 12 ビット (データ) が有効とみなします。この下位 2 ビット (データ) は DACNT の上位 2 ビット (カウンタ) に対応しています。
  - PWMX (D/A) コントロールレジスタ (DACR)  
DACR は、8 ビットのリードライト可能なレジスタです。出力の許可、出力位相、および分解能の選択を行ないます。
  - 周辺クロックセレクトレジスタ (PCSR)  
PCSR は、8 ビットのリードライト可能なレジスタです。DACR のクロックセレクト (CKS ビット) とあわせて PWMX のクロックを設定します。
- 【注】 ここにあるレジスタ説明は、H8S/2114 グループのもので、H8S/2100 シリーズの他のグループの場合は、データシートを確認の上ご使用くださいますようお願い致します。



### 4. 動作説明

本タスクにおける動作について説明します。図3に14ビットPWM機能におけるD/A動作について示します。PWXi (i = 0, 1) 端子から出力されたパルスは、RC回路 (ローパスフィルタ) で平滑化することにより、アナログ出力 (D/A出力) します。参考として、図4に14ビットPWM機能におけるD/A波形を示します。

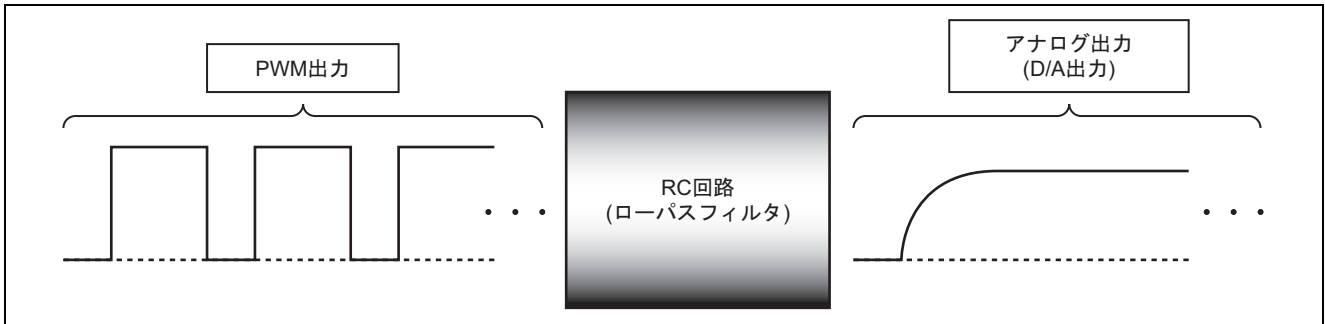


図3 14ビットPWM機能におけるD/A動作

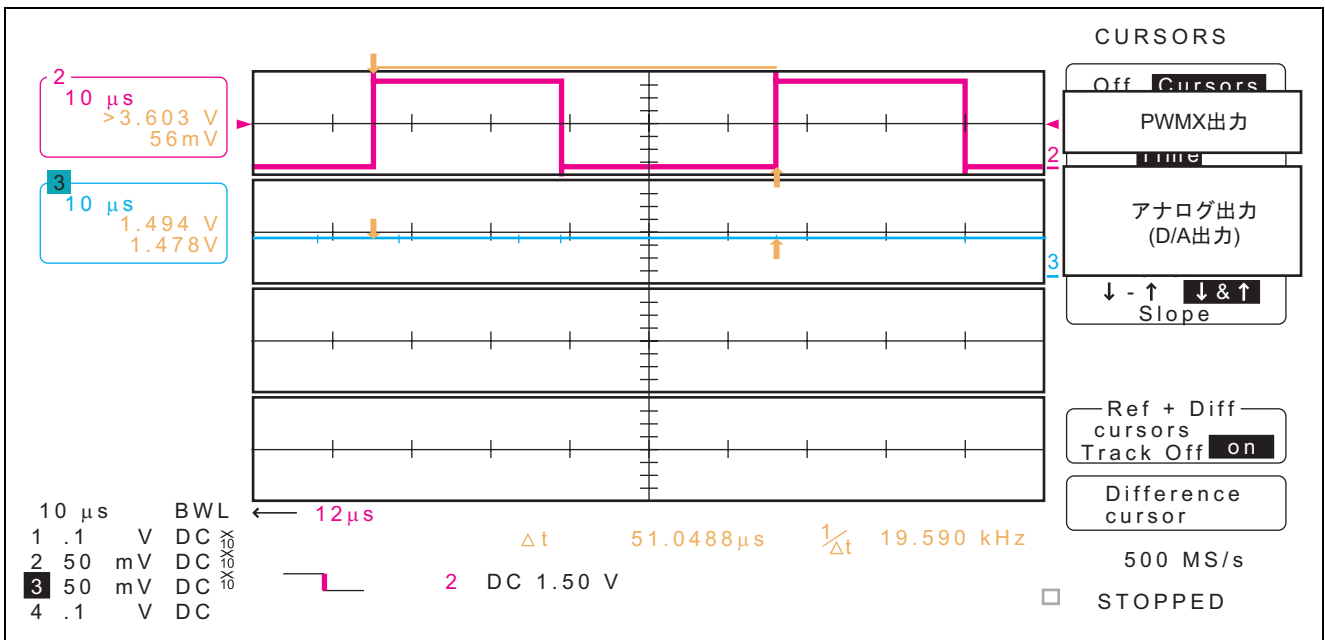


図4 14ビットPWM機能におけるD/A波形 (参考)

## 5. ソフトウェア説明

### 5.1 モジュール説明

表 4 に本タスク例のモジュールを示します。

表 4 モジュール説明

モジュール名	ラベル名	機能
メインルーチン	main	PWX0 端子から 14 ビット PWM 出力を行なっています。

### 5.2 引数の説明

本タスク例では、引数を使用していません。

### 5.3 使用内部レジスタ説明

本タスク例の使用内部レジスタを表 5 に示します。

表 5 使用内部レジスタ説明

レジスタ説明		機能	アドレス	設定値
DACR	OEA	PWM (D/A) コントロールレジスタ (アウトプットイネーブル A) PWMX (D/A) チャンネル A (PWX0) の出力の許可 / 禁止 を選択します。 0: PWMX (D/A) チャンネル A (PWX0) の出力を禁止 1: PWMX (D/A) チャンネル A (PWX0) の出力を許可	H'FFFFFFA0 ビット 2	1
	OS	PWM (D/A) コントロールレジスタ (アウトプットセレクト) PWMX (D/A) の出力位相を選択します。本タスク例では、 PWMX (D/A) 反転出力を選択しています。 0: PWMX (D/A) 直接出力 1: PWMX (D/A) 反転出力	H'FFFFFFA0 ビット 1	1
	CKS	PWM (D/A) コントロールレジスタ (クロックセレクト) PCSR と組み合わせて PWMX (D/A) の分解能を選択 します。分解能は 8 種類から選択できます。本タスク 例では、分解能 = システムクロック周期 ( $t_{cyc}$ ) × 2 を 選択しています。 0: システムクロック周期 ( $t_{cyc}$ ) で動作 1: システムクロック周期 ( $t_{cyc}$ ) × 2, × 64, × 128, × 256, × 1024, × 4096, × 16384 で動作	H'FFFFFFA0 ビット 0	1
DACNT	REGS	PWMX (D/A) カウンタ (レジスタセレクト) DADRA と DACR, DADRB と DACNT は同一のアドレ スに配置されています。このビットはアクセス可能に するレジスタを選択します。 0: DADRA と DADRB がアクセス可能 1: DACR と DACNT がアクセス可能	H'FFFFFFA6 ビット 0	0/1

表 5 使用内部レジスタ説明 (つづき)

レジスタ説明		機能	アドレス	設定値
DADRA	DA13 ~ DA6	PWMX (D/A) データレジスタ A D/A 変換データの設定用上位 8 ビットにより, PWM 出力のデューティを設定します。	H'FFFA0 ビット 7 ~ ビット 0	H'00 ~ H'FF
	DA5 ~ DA0	PWMX (D/A) データレジスタ A D/A 変換データの設定用下位 6 ビットにより, 付加パルスを出力するか否かを設定します。	H'FFFA1 ビット 7 ~ ビット 2	H'00 ~ H'3F
	CFS	PWMX (D/A) データレジスタ A (キャリアフリーケンシセレクト) 本タスク例では, 基本周期 = 分解能 (T) × 256 を選択しています。 0: 基本周期 = 分解能 (T) × 64 で動作 DA13 ~ DA0 の値の範囲は H'0100 ~ H'3FFF 1: 基本周期 = 分解能 (T) × 256 で動作 DA13 ~ DA0 の値の範囲は H'0040 ~ H'3FFF	H'FFFA0 ビット 1	1
PCSR	PWCKXB PWCKXA PWCKXC	周辺クロックセレクトレジスタ (PWMX クロックセレクト) PWMX の DACR の CKS が 1 の状態でクロックを選択します。詳細は, 表 6 を参照してください。本タスク例では, 分解能 (T) = システムクロック周期 (t <sub>cyc</sub> ) × 2 を選択しています。	H'FFFF82 ビット 5, 4, 0	0 0 0
STCR	IICE	シリアルタイマコントロールレジスタ (I <sup>2</sup> C マスタイネーブル) RELOCATE ビットが 0 の時, PWMX レジスタ (DADRAH/DACR, DADRL, DADRBH/DACNTH, DADRBL/DACNTL) の CPU アクセスを制御しています。	H'FFFC3 ビット 4	1
P4DDR		ポート 4 データディレクションレジスタ PWX0/P46 端子を出力に設定しています。	H'FFFFB5 ビット 6	1
MSTPCRH	MSTP11	モジュールストップコントロールレジスタ H (MSTP11) 14 ビット PWM タイマ (PWMX) のモジュールストップモードを解除しています。 0: モジュールストップモード解除 1: モジュールストップモード設定	H'FFFF86 ビット 3	0

表 6 内部クロックの選択

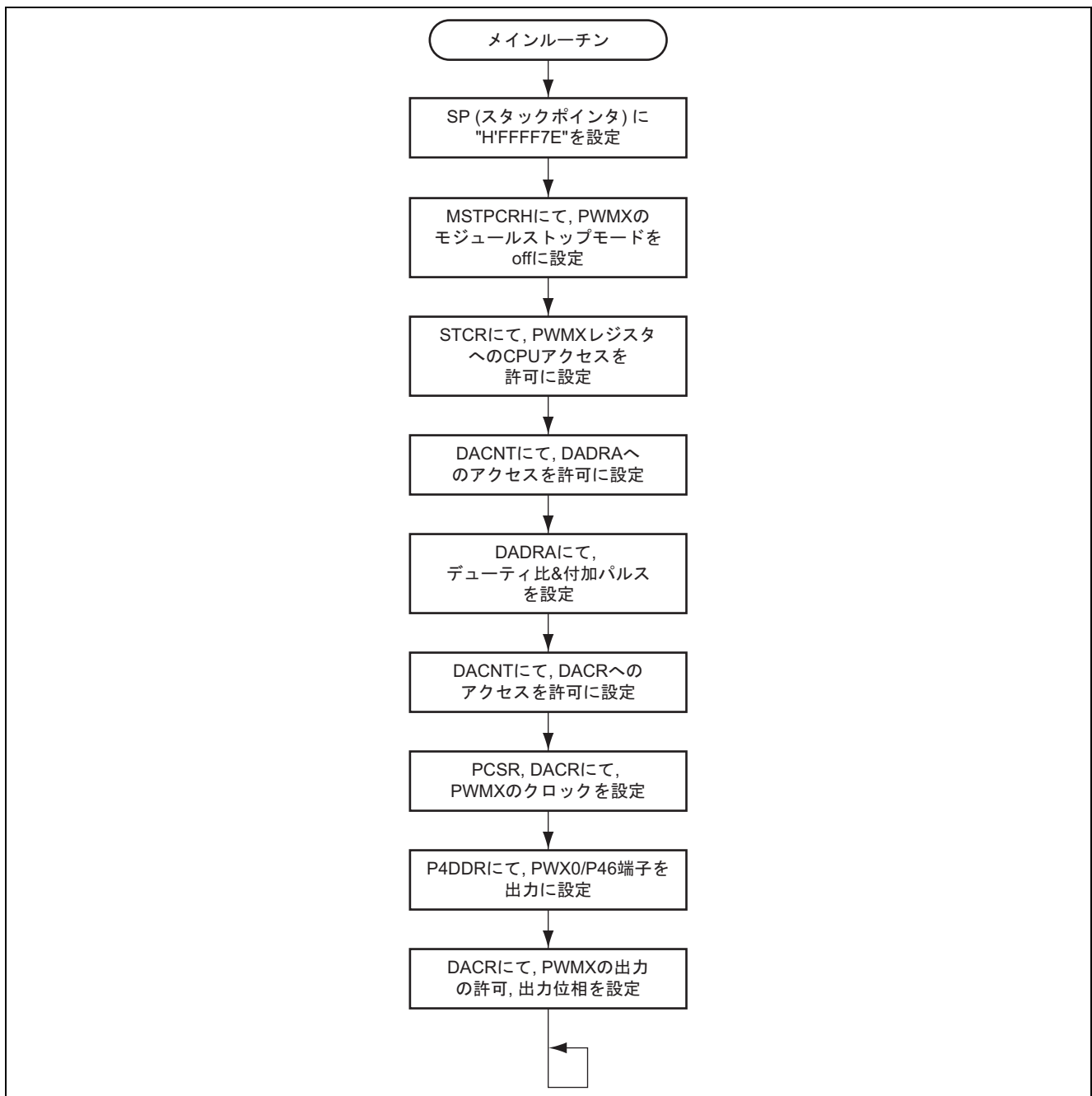
PWCKXC	PWCKXB	PWCKXA	分解能 (T)
0	0	0	システムクロック周期 ( $t_{cyc}$ ) × 2 で動作
0	0	1	システムクロック周期 ( $t_{cyc}$ ) × 64 で動作
0	1	0	システムクロック周期 ( $t_{cyc}$ ) × 128 で動作
0	1	1	システムクロック周期 ( $t_{cyc}$ ) × 256 で動作
1	0	0	システムクロック周期 ( $t_{cyc}$ ) × 1024 で動作
1	0	1	システムクロック周期 ( $t_{cyc}$ ) × 4096 で動作
1	1	0	システムクロック周期 ( $t_{cyc}$ ) × 16384 で動作
1	1	1	設定禁止

#### 5.4 使用 RAM 説明

本タスク例では、RAM を使用しません。

6. フローチャート説明

6.1 メインルーチン



## 7. プログラムリスト

```

/*****
/*
/* This program is 14bit Pwm output program for H8S/2114 evaluation.
/*
/*
/*          File name : pwm14.c
/*          Frequency : 10MHz
/*          CPU TYPE  : H8S/2114
*****/

/*****
* Include
*****/

#include <stdio.h>          /* Input/Output library file
#include <machine.h>       /* Built-in function file
#include "2114.h"          /* H8S/2114 I/O register definition file

/*****
* Prototype
*****/

void main(void);          /* Main routine

/*****
* RAM allocation
*****/

/*****
* main : Main routine
*****/

void main(void)

#pragma section

#pragma asm

    mov.l    #H'FFFF7E,sp          ; Stack pointer initialize

#pragma endasm

{

/* Module stop mode reset */

    MSTPCR.BYTE.H = 0x37;          /* Pwm module stop mode reset

/* Enable PWMX register access */

    STCR.BYTE = 0x10;

/* Enable DADRA,DADRB access */

PWMX.REGS1.ST_DACNT.BIT.REGS = 0;

```

```

/* Duty & Add pulse set */

PWMX.REGS0.ST_DADRA.WORD = 0x7803;          /* Duty=120/256, Add pulse=0/63      */

/* Enable DACR,DACNT access */

    PWMX.REGS1.ST_DACNT.BIT.REGS = 1;

/* PWX0 clock select */

PWMX.REGS1.ST_DACR.BIT.CKS = 1;
PWM.PCSR.BYTE = 0x00;                      /* Resolution = tcyc × 16384        */

/* PWX0 output select */

PWMX.REGS1.ST_DACR.BIT.OS = 1;             /* Reversing output                  */

/* Pwm output port set */

    P4.DDR = 0x40;                          /* PWX0(P46) set                     */

/* PWX0 output enable */

    PWMX.REGS1.ST_DACR.BIT.OEA = 1;

    while(1);                               /* End                                */
}

```

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.08.12	—	初版発行



### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。