

始めに

このアプリケーションノートは、Renesas Electronics の集積化パワースイッチ（Integrated Power Switch (IPS)）の動作と保護回路について記述したものです。Renesas Electronics の IPS には、保護回路として過電流保護、過熱保護、および短絡保護が内蔵されています。図 1、図 2 は、それぞれ SLG59M610 と SLG59M611 のブロック図です。これから、それらのブロックの内容と動作について、順を追って説明します。図 1 は代表的な逆流防止タイプのロードスイッチで、各種保護回路に加えて放電回路を内蔵しています。一方、図 2 は図 1 から放電回路を除いた例になっています。また、 V_{OUT} のスルーレート制御とその感度について分析を行い、スルーレート調整用の外付け容量との関係までを示します。

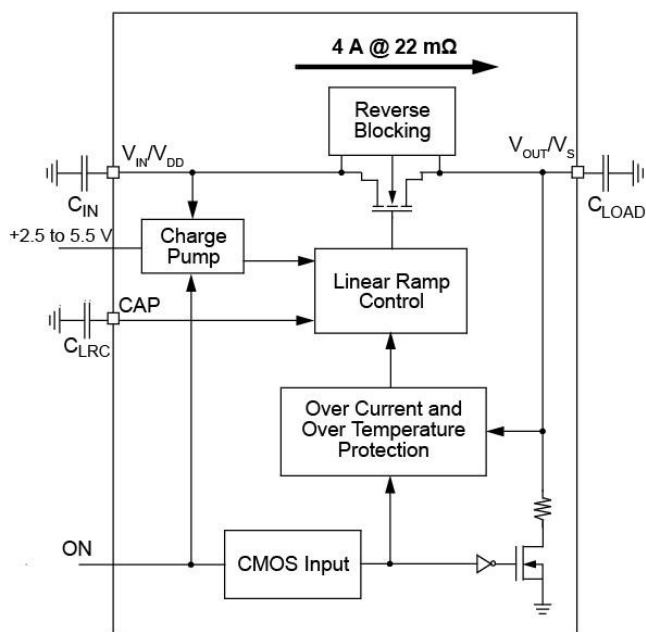


図 1. SLG59610V 集積化パワースイッチ
ブロック図（ディスチャージ有り）

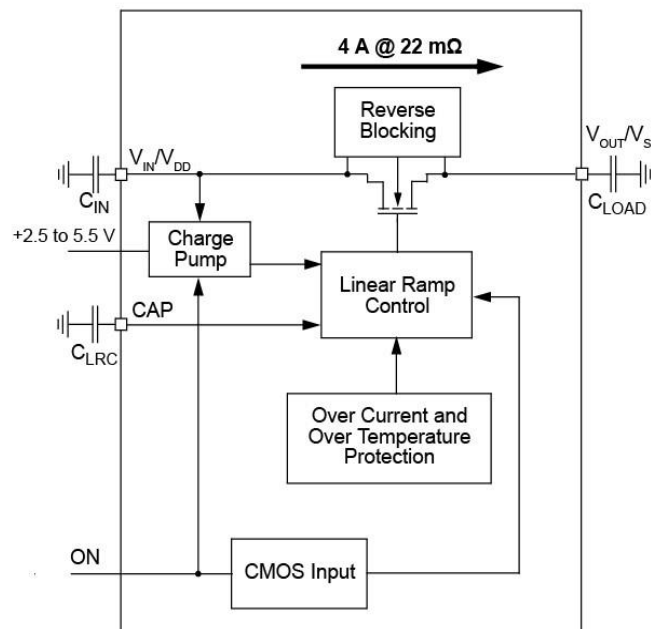


図 2. SLG59611V 集積化パワースイッチ
ブロック図（ディスチャージ無し）

集積化パワースイッチ（IPS）の動作

一般的な回路動作について

図 3、図 4 には、Renesas Electronics の GreenFET 製品（IPS の一種）を動作させる手順が示されています。IPS には、最初に V_{DD} 、次に V_D を印加します（同時印加も可）。 V_{DD} が起動電圧（Typ 値）1V 以上のとき、内蔵のステートマシンが起動します。 V_{DD} が 1V を超えると、 V_D も有効になります。 V_{DD} と V_D がそれぞれの電圧に安定すると、ON 端子は Low から High（アクティブ High オプション）、または High から Low（アクティブ Low オプション）とされます。ON 端子が High のとき、ソース側の電圧（ V_S ）は、TON DLY 後に V_D まで上昇します。出力電圧 V_S 立ち上がり時間 t_{RISE} は、 V_S の定常状態の値の 10% から 90% までの時間で定義されます。

スルーレート（立ち上がりの傾き）は、GreenFET アプリケーション回路の外付け部品の値によって変化します。これについては、後述の **VOUT** スルーレート制御の項で、詳しくご説明します。ここでは、**VS** の波形が **ON** 入力の立ち上がりから定常状態の 90% に達するまでの時間を、**tON** と呼んでいます。ON 端子の遅延時間を **tON DLY**、トータルのターンオン時間を **tON** として、データシートに記載されています。

ディスチャージ機能

ディスチャージ機能が無い場合、ON 信号が Low になっても負荷側の負荷容量 **CLOAD** に蓄えられた電荷が抜けることなく留まり、電圧 **VS** が維持されます。図 3 は、この様子を表したものです。

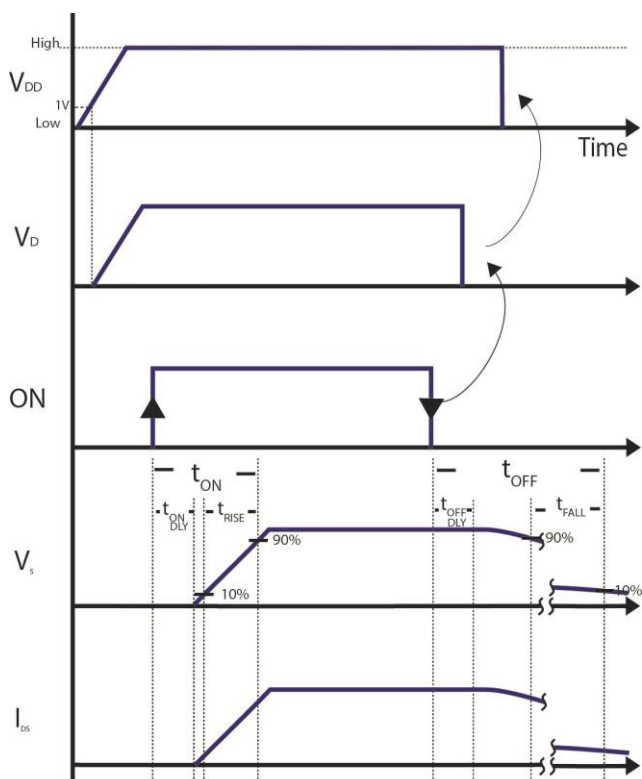


図 3. 一般的な回路動作のタイミングチャート
ディスチャージ回路無し

VD と **VDD** をオフした状態でも、ディスチャージ回路無しでは **VS** は殆ど影響を受けません。ただし、ON 端子が Low のままであれば、やがて **VS** は徐々に放電してその電圧が低下します。

ディスチャージ機能をもった Renesas の集積化パワースイッチを選んだ場合、図 4 に示すようにディスチャージ回路によって、ON 端子が Low になってから出力電圧 **VS** の低下する時間が短縮されます。ON 端子が Low に落ちてから **VS** が低下し始めるまでの遅延を、**tOFF DLY** と呼んでいます。また、ON 端子が Low に落ちて、**VS** が低下し始めてからピーク値の 10% まで低下するまでの時間を、**tOFF** で表しています。ディスチャージ回路は、RC 回路の電圧変化に似た応答を持つので、初期値から見て指数関数的な電圧低下になっています。

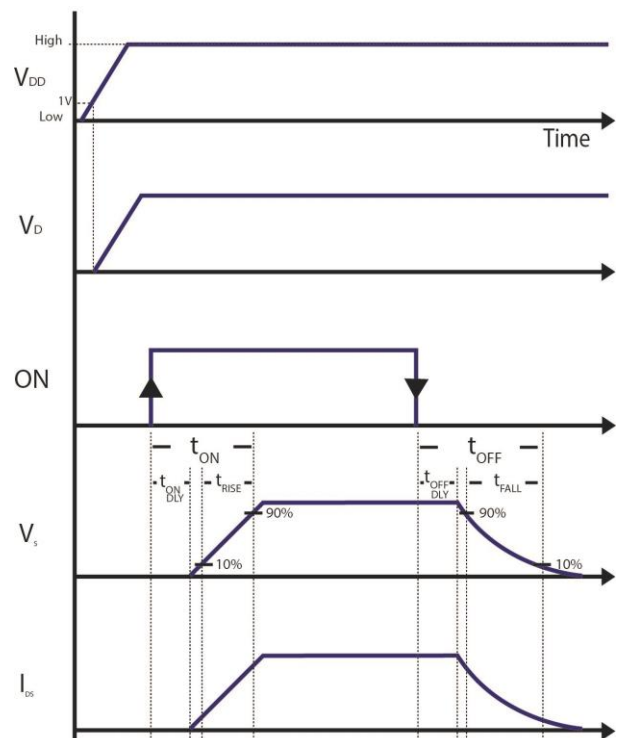


図 4. 一般的な回路動作のタイミングチャート
ディスチャージ回路有り

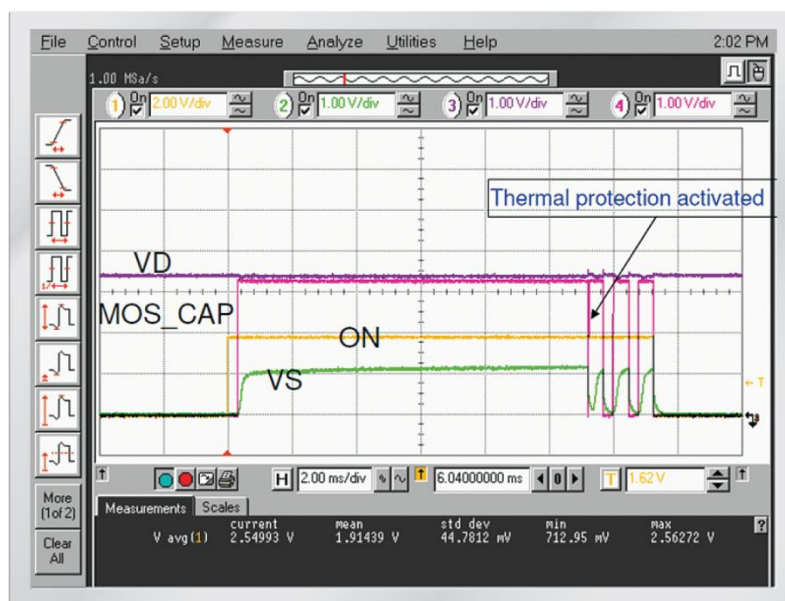


図 5. アクティブ過電流保護の後、過熱保護が動作する場合

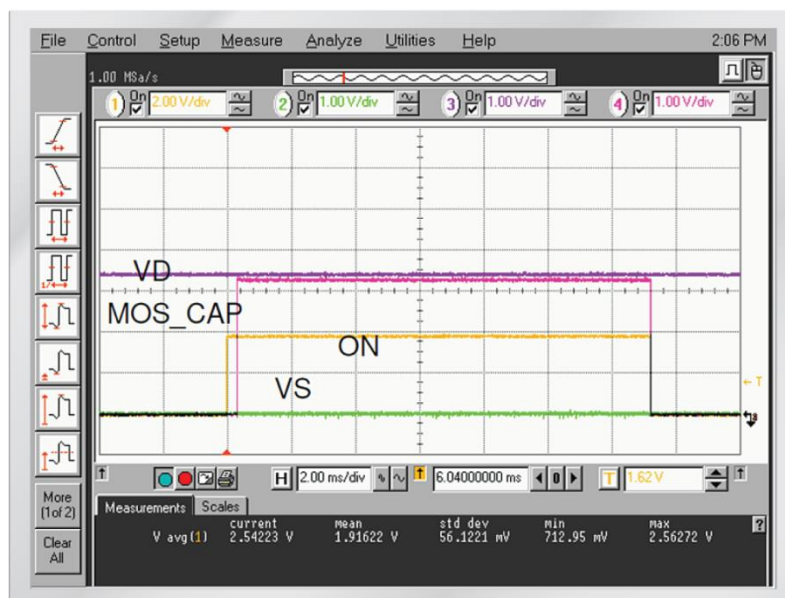


図 6. 短絡電流保護が動作する場合

アクティブ過電流保護

GreenFET の動作中、FET は許容できる電流の大きさの制限を行います。このような電流制限機能を持つ集積化パワースイッチでは、パワースイッチのメイン FET に組み込まれた VS 端子の電圧モニター機能を持っています。VS 端子電圧が 1V 以上のとき、内蔵のアクティブ過電流保護回路は動作しません。電流が制限値を超えると、VS 端子の電圧がほぼ 1V 程度に低下し、パワースイッチに内蔵された過電流保護回路が動作状態になります。この電圧は、バンドギャップ電圧と比較され、過電流保護を行うかどうか判断されます。また、入力電圧（VDD または VD）が FET のゲート駆動電圧よりも低下した場合にも、この保護回路が動作状態になります。アクティブ過電流保護回路の動作については、図 7 のタイミングチャートを参照下さい。青い部分が保護回路の動作を示しています。

この保護回路は、意図的に小さい抵抗負荷をソース端子に接続することにより、FET に大電流を流して VS の電圧を低下させることによっても動作状態に入ります。IDS の波形から分かるように、若干の突入電流が発生してから、入力電圧がゲート駆動電圧を超えるまでアクティブ過電流の制限値に留まります。VD を下げると電流もそれに伴って減少し、アクティブ電流制限からはずれて、定常状態の電流に戻ります。

過熱保護

これは過電流保護のひとつの方法で、ジャンクション温度が高くなり過ぎるのを防止するのが目的です。図 7 において、オレンジ色で示す部分が、アクティブ過電流保護回路が自動的に非動作状態になった後、過熱保護回路が動作しているのを表しています。過熱保護回路は、チップ温度が熱により 125℃に達すると FET をオフ状態にします。

VS は 250mV まで低下し、IDS は短絡保護電流まで減少します。すると、過熱保護機能の解除温度まで低下することで、FET は通常の動作に戻ります。

過熱保護機能の起動温度、解除温度はジャンクション温度 T_j に依存し、 T_j は次の式により求められます。

$$T_j = P_D * \theta_{JA} + T_A$$

T_A は動作時の周囲温度で、 θ_{JA} はジャンクションから空気までの熱抵抗を表しています。

GreenFET に関して言えば、この値はほぼ 70℃/W となっています。

PD は電力の損失分で、IDS の 2 乗に ON 抵抗（RDS(ON)）を掛けて得られます。このパラメータは、下図 7 および図 8 に示してあります。

図 8 により、FET がアクティブ過電流保護モードにあるとき、内部の温度上昇によって加熱保護機能が起動することが分かります。ゲート電圧が低下すると、FET のオン抵抗（RDS(ON)）が増加します。すると電流は減少しますが、電力損失が増えます。IC が許容できる電力損失には、構造上限りがあります。そのため、熱を出すことで保護回路を起動させようとします。集積化パワースイッチは、過熱保護機能の起動温度に達すると、ゲート電圧を下げて FET をオフさせようとします。この過程で、IDS は過電流保護レベルから短絡保護レベルへと移行します。図 5 のオシロスコープ画面に示すように、VS は過熱保護機能が動作状態になると、上下にトグル動作をします。チップ温度が 100℃まで低下すると、VDD はゲート電圧を増加させ、FET を再び動作状態にします。電流制限が必要な状態が継続していて、チップ温度が 125℃に上昇すると、ゲート電圧は FET をオフさせるように変化し、こうしたプロセスが繰り返されます。

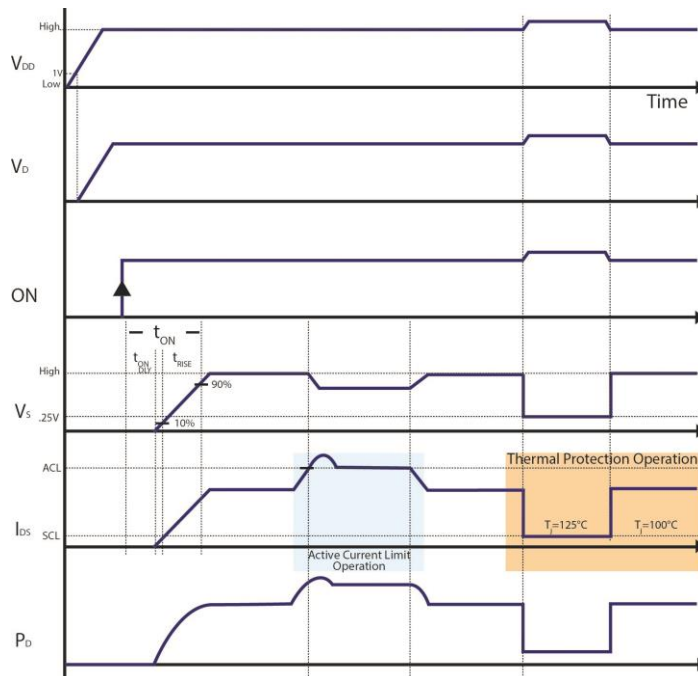


図 7. アクティブ過電流保護と過熱保護の動作

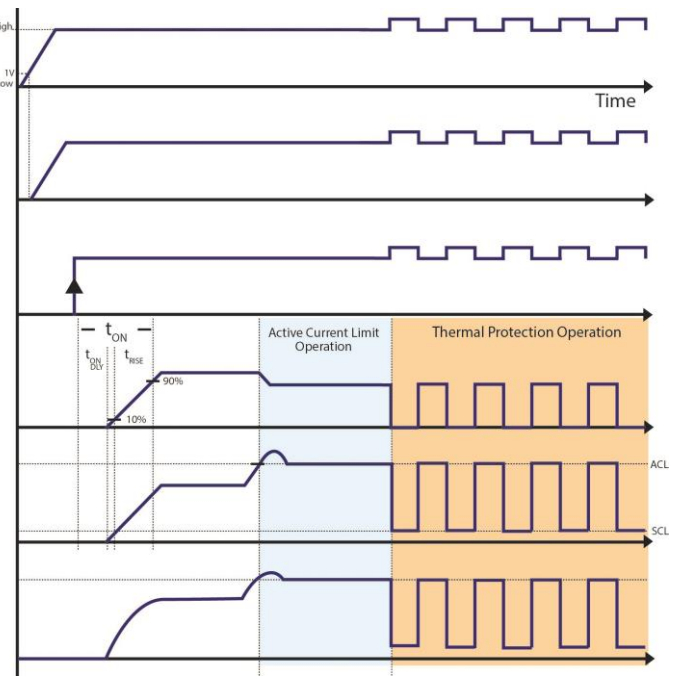


図 8. アクティブ過電流保護と過熱保護の動作

短絡電流制限

短絡保護は、短絡により発生する過大な電流を制限することにより、デバイスを保護する機能です。短絡保護は、原因が取り除かれて V_S が $0.25V$ まで上昇したときのみ解除されるもので、さもなければ ON 端子入力によりパワースイッチはオフされます。もし、出力電流が過電流となり V_S 端子が $250mV$ よりも低下した場合、短絡保護機能が起動します。図 6 に示すオシロスコープ画面のように、 $V_S=0V$ で ON 端子が“H”の場合、短絡保護機能は動作状態になります。集積化パワースイッチの仕様と V_{DD} の値により、制限電流値は 0.3 から $1.0A$ の範囲で変わります。短絡保護機能が解除されるためには、ソース電圧が $250mV$ 以上に上がる必要があります。短絡によりジャンクション温度が過熱保護機能の起動温度に達して、スイッチがオフされる場合もあります。

逆流防止機能

逆直列（Back-to-Back）接続の場合

逆流防止のひとつの方法として知られているのは、逆向きに FET を 2 個直列接続するもので **Back to Back** と呼ばれています。この逆流防止方法の構成を図 9 に示します。図 9 では、2つの N チャネル MOSFET がソースを共通にして逆向きに直列接続され、ゲートがパルスによって駆動されています。パルス電圧が“H”のとき、両方の FET がオン状態になり、電流が IN から OUT へ流れます。このとき、電流は PN ジャンクションを通りません。その理由は、順方向電圧が BD1 をオンするのに不十分であり、BD2 にアバランシェブレークダウンを起こすにも足りないからです。SLG59M610V を例にすると、 $R_{DS(ON)}$ は $22m\Omega$ です。IDS が $4A$ のとき、FET による電圧降下は $88mV$ となります。

ゲート電圧が“L”のときには、2つの寄生ダイオード（BD1, BD2）は逆流防止の部品のように作用します。

赤い点線で示すように、IN 側または OUT 側の電圧が高い状態が発生しても、FET の寄生ダイオードにより電流経路は遮断されます。MOSFET は比較的低い電圧で使用するため、寄生ダイオードの逆方向ブレークダウン電圧に達することは無く、MOFET のアバランシェ電圧にも届きません。

FET の基板スイッチングによる場合

もっと一般的に知られた逆流防止の方法として、基板スイッチングがあります。図 10 に示すように、逆バイアス検出機能が MOSFET のソース・ドレイン間に内蔵されています。この逆バイアス検出機能は、ON 端子が“L”のときに動作状態になっています。

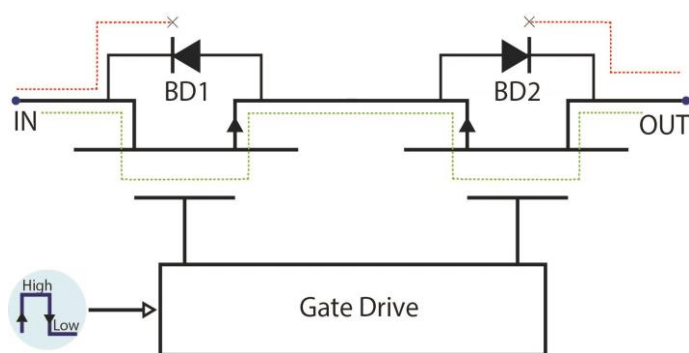


図 9. FET の逆直列接続による逆流防止

図 11 には、さらに詳しい FET の構造が描かれています。ON 端子が“H”のとき、SW1 はオン、SW2 はオフとなり、MOSFET の寄生ダイオードはソース側に接続されます。逆に ON 端子が“L”のときには、SW1 がオフ、SW2 がオン状態になり、MOSFET の寄生ダイオードの P 側が GND に接続されるかたちとなります。

VOUT のスルーレートコントロール

VOUT のスルーレート、あるいは突入電流は、このような集積化パワースイッチの持つ機能として、外付け容量によりコントロールされます。図 12 に示す SLG59M1527 のブロック図にあるように、チャージポンプ回路から電荷を供給される外付け容量によって、出力電圧の変化の比率が変わります。スルーレート、外付け容量および出力電流の関係を以下に示します。外付け容量が増加するとスルーレートは減少し、出力電圧の上昇も遅くなります。

$$\text{slew rate} = \frac{dV_{out}}{dt} = \frac{I_{out}}{C}$$

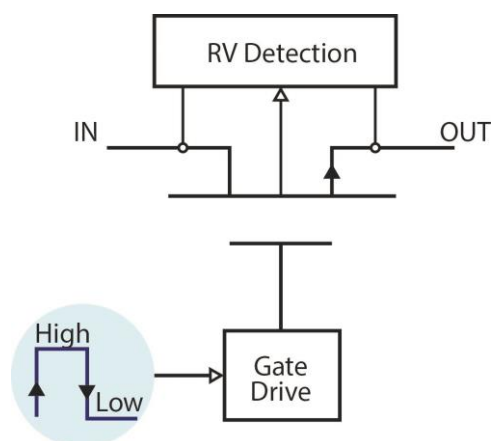


図 10. 逆方向電圧検出

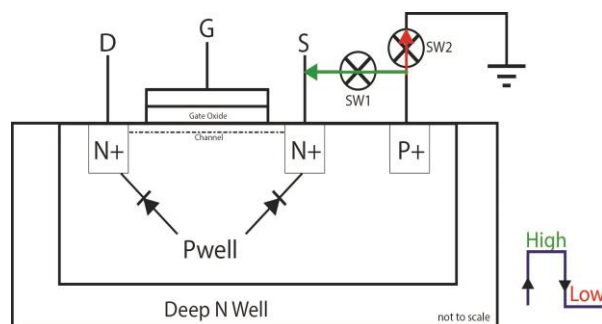


図 11. 基板スイッチングによる逆流防止 FET
断面図

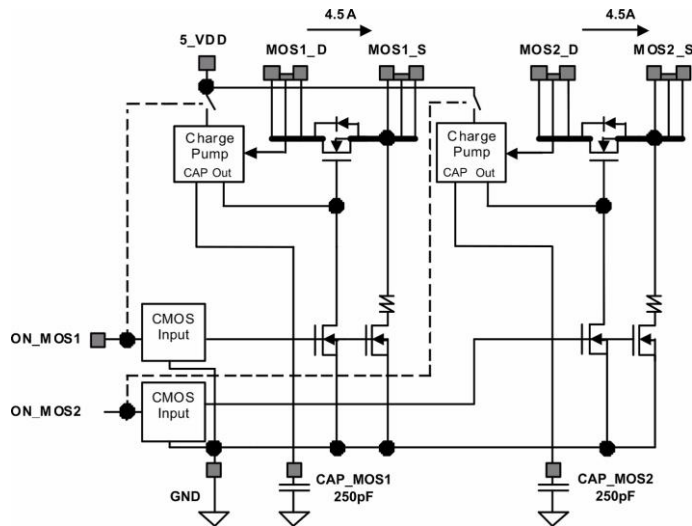


図 12. SLG59M1527V ブロック図

ートの変動範囲は、容量とその誤差（ばらつき）範囲となります。

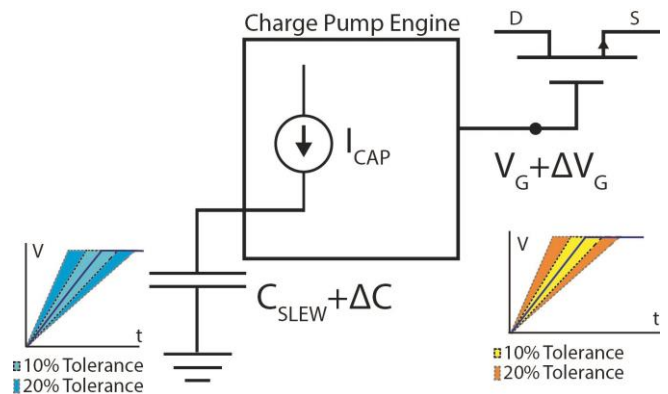


図 13. スルーレートコントロールの感度について

スルーレートコントロールの感度分析

スルーレート制御の感度は、外付け部品の誤差とゲート駆動信号との関係によって表されます。容量値の誤差は、標準の容量値から計算されるスルーレートのばらつきを左右するものです。図 13 には、容量の誤差が増加するに伴い、スルーレートのバラつきも増える様子が示されています。チャージポンプ回路により、FET のゲート電圧が影響を受けます。外付け容量の電圧と出力電圧は、1 対 1 に対応するのは難しいかも知れませんが、プラスの単調な関係にあります。

入力側（容量）のスルーレートが増加すると、出力側のスルーレートもそれに伴って上昇します。容量に供給される電流 I_{CAP} は定電流のため、スルーレ

結び

Renesas Electronics の GreenFET3 は、保護回路を含む豊富な機能を内蔵しています。集積化パワースイッチ（IPS）の保護回路として、アクティブ過電流保護、過熱保護、そして短絡保護の機能により、電源ラインの先にあるあらゆる回路とともに、自分自身を保護します。Renesas Electronics は、単一あるいはデュアルチャネル製品の広い選択肢を持っています。また、逆流防止機能を内蔵した製品も取り揃えています。

IMPORTANT NOTICE AND DISCLAIMER

RENESAS ELECTRONICS CORPORATION AND ITS SUBSIDIARIES ("RENESAS") PROVIDES TECHNICAL SPECIFICATIONS AND RELIABILITY DATA (INCLUDING DATASHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS OR IMPLIED, INCLUDING, WITHOUT LIMITATION, ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NON-INFRINGEMENT OF THIRD-PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for developers who are designing with Renesas products. You are solely responsible for (1) selecting the appropriate products for your application, (2) designing, validating, and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, or other requirements. These resources are subject to change without notice. Renesas grants you permission to use these resources only to develop an application that uses Renesas products. Other reproduction or use of these resources is strictly prohibited. No license is granted to any other Renesas intellectual property or to any third-party intellectual property. Renesas disclaims responsibility for, and you will fully indemnify Renesas and its representatives against, any claims, damages, costs, losses, or liabilities arising from your use of these resources. Renesas' products are provided only subject to Renesas' Terms and Conditions of Sale or other applicable terms agreed to in writing. No use of any Renesas resources expands or otherwise alters any applicable warranties or warranty disclaimers for these products.

(Disclaimer Rev.1.01)

Corporate Headquarters

TOYOSU FORESIA, 3-2-24 Toyosu,
Koto-ku, Tokyo 135-0061, Japan
www.renesas.com

Contact Information

For further information on a product, technology, the most up-to-date version of a document, or your nearest sales office, please visit www.renesas.com/contact-us/.

Trademarks

Renesas and the Renesas logo are trademarks of Renesas Electronics Corporation. All trademarks and registered trademarks are the property of their respective owners.