

RENESAS TOOL NEWS 2015年11月16日 : 151116/tn2

**CS+用 RL78コード生成(CS+ for CC)
CS+用 RL78コード生成(CS+ for CA, CX)
e2 studio (Code Generatorプラグイン)
RL78コード生成支援ツール Applilet3
ご使用上のお願い**

CS+用 RL78コード生成(CS+ for CC)、CS+用 RL78コード生成(CS+ for CA,CX)、 e2 studio (Code Generatorプラグイン) および RL78コード生成支援ツール Applilet3の使用上の注意事項を連絡します。

1. シリアルインタフェースIICAのチャンネル表示に関する注意事項

対象: RL78/G14グループ

R5F104MK, R5F104PK, R5F104ML, R5F104PL

2. PLLクロックの設定手順に関する注意事項

対象: RL78/F13、RL78/F14 および RL78/F15グループ

1. シリアルインタフェースIICAのチャンネル表示に関する注意事項

1.1 該当製品

- CS+用 RL78コード生成(CS+ for CC) V2.03.00以降
- CS+用 RL78コード生成(CS+ for CA, CX) V2.03.00以降
- e2 studio V2.1.0.21以降 (Code Generator プラグイン V1.0.0以降)
- RL78コード生成支援ツール Applilet3 V1.07.00以降

1.2 該当マイコン

対象: RL78/G14グループ

R5F104MK, R5F104PK, R5F104ML, R5F104PL

1.3 内容

シリアルインタフェースIICAのチャンネル1が表示されないため、GUI上の操作ができません。そのためチャンネル1のコードが生成できません。

1.4 回避策

RL78/G14グループの ROM:256KB かつ 80ピン以上のマイコンでプロジェクトを作成し、シリアルインタフェースIICA1を設定後、コードを生成してください。その生成されたチャンネル1のコードを使用してください。

1.5 恒久対策

今後のバージョンで改修する予定です。(2016/4予定)

2. PLLクロックの設定手順に関する注意事項

2.1 該当製品

- CS+用 RL78コード生成(CS+ for CC) V2.01.00以降
- CS+用 RL78コード生成(CS+ for CA, CX) V2.01.00以降
- e2 studio V2.1.0.21以降 (Code Generator プラグイン V1.0.0以降)
- RL78コード生成支援ツール Applilet3 V1.07.00以降

2.2 該当マイコン

対象: RL78/F13、RL78/F14 および RL78/F15グループ

2.3 内容

クロック発生回路においてPLLクロック設定時の生成コードが、マイコンのユーザズマニュアル ハードウェア編に記載されているPLL設定例と異なります。

2.4 回避策

マイコンのユーザズマニュアル ハードウェア編に記載されているPLL設定例に従い、生成コードを修正してください。なお、コード生成後は常に修正が必要です。

例:

RL78/F13, F14ユーザズマニュアル ハードウェア編 R01UH0368JJ0200

"5.6.4 PLL設定例" の "(1) PLLクロックを発振する場合の設定手順例" の手順8-10が順番に処理されるように修正します。

修正前:

```
-----  
void R_CGC_Create(void)
```

```
{
```

```
.....
```

```
    /* Set fMP to PLL clock select mode */    /* <- 手順 9 */
```

```
    SELPLL = 1U;                            /* <- 手順 9 */
```

```
/* Set fSUB */
XTSTOP = 1U;
/* Set fSL */
SELLOSC = 1U;
/* Set fCLK */
CSS = 0U;
MDIV = _00_CGC_FMP_DIV_DEFAULT;          /* <- 手順 8 */
/* Set fIH */
HIOSTOP = 0U;
.....
}
```

修正後:

```
void R_CGC_Create(void)
{
.....
    MDIV = _00_CGC_FMP_DIV_DEFAULT;          /* <- 手順 8 (移動) */
    /* Set fMP to PLL clock select mode */   /* <- 手順 9 (移動) */
    SELPLL = 1U;                             /* <- 手順 9 (移動) */
    while ((PLLSTS & 0x88) != 0x88U) {       /* <- 手順 10 (追記) */
    ; }                                       /* <- 手順 10 (追記) */
    /* Set fSUB */
    XTSTOP = 1U;
    /* Set fSL */
    SELLOSC = 1U;
    /* Set fCLK */
    CSS = 0U;
    /* Set fIH */
    HIOSTOP = 0U;
.....
}
```

2.5 恒久対策

今後のバージョンで改修する予定です。(2016/4予定)

[免責事項]

過去のニュース内容は発行当時の情報をもとにしており、現時点では変更された情報や無効な情報が含まれている場合があります。ニュース本文中のURLを予告なしに変更または中止することがありますので、あらかじめご承知ください。

