発行日：2012年6月8日

RENESAS TECHNICAL UPDATE

〒211-8668　神奈川県川崎市中原区下沼部1753
ルネサス エレクトロニクス株式会社
問合せ窓口　http://japan.renesas.com/contact/
E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-16C-A218A/J	Rev.	第1版
題名	R32C/160グループ ハードウェアマニュアルの誤記訂正		情報分類	技術情報	
適用製品	R32C/160グループ	対象ロット等	関連資料	R32C/160グループ ハードウェアマニュアル Rev.1.02 (RJJ09B0548-0102)	

R32C/160グループ ハードウェアマニュアル Rev.1.02において誤記がありましたので、以下のとおり訂正いたします。

〈訂正内容〉

•Page 10 of 567

表1.6のクロック出力の機能を以下のとおり訂正いたします。

【誤】

fC、f8または、f32と同じ周期のクロックを出力します

【正】

低速クロック、f8または、f32と同じ周期のクロックを出力します

•Page 36 of 567

表4.19 IFS0レジスタのリセット後の値を以下のとおり訂正いたします。

【誤】

X000 X000b

【正】

X0X0 X000b

•Page 53, 54 of 567

表4.36、表4.37のレジスタ名を以下のとおり訂正いたします。

【誤】

CAN0アクセプタンスマスクレジスタk

【正】

CAN0マスクレジスタk

©2012. Renesas Electronics Corporation, All rights reserved.

•Page 56 of 567

表4.39のC0MSMRレジスタのリセット後の値を以下のとおり訂正いたします。

【誤】

XXXX XX00b

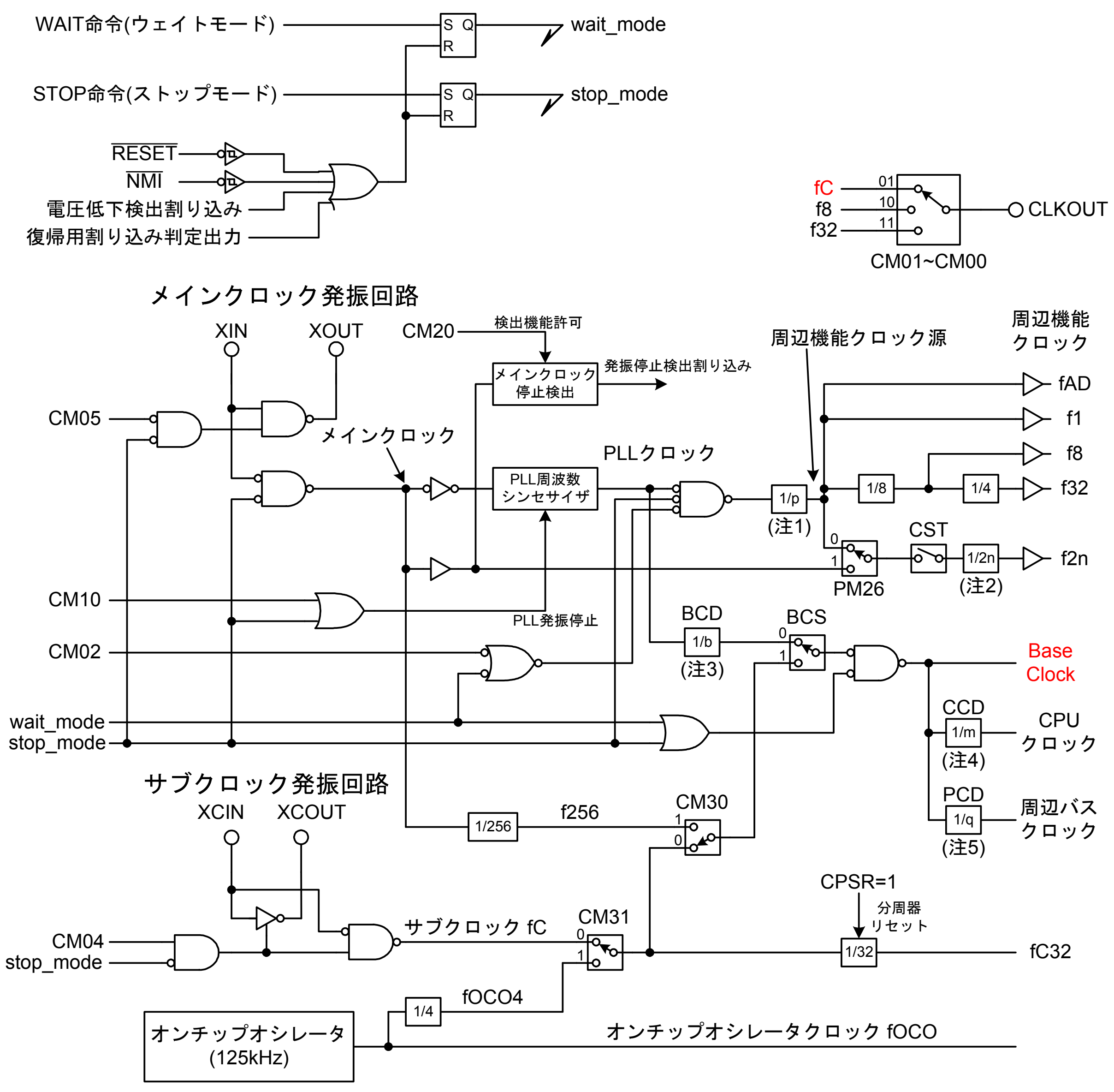
【正】

0000 0000b

•Page 68 of 567

図7.1を以下のとおり訂正いたします。

【誤】

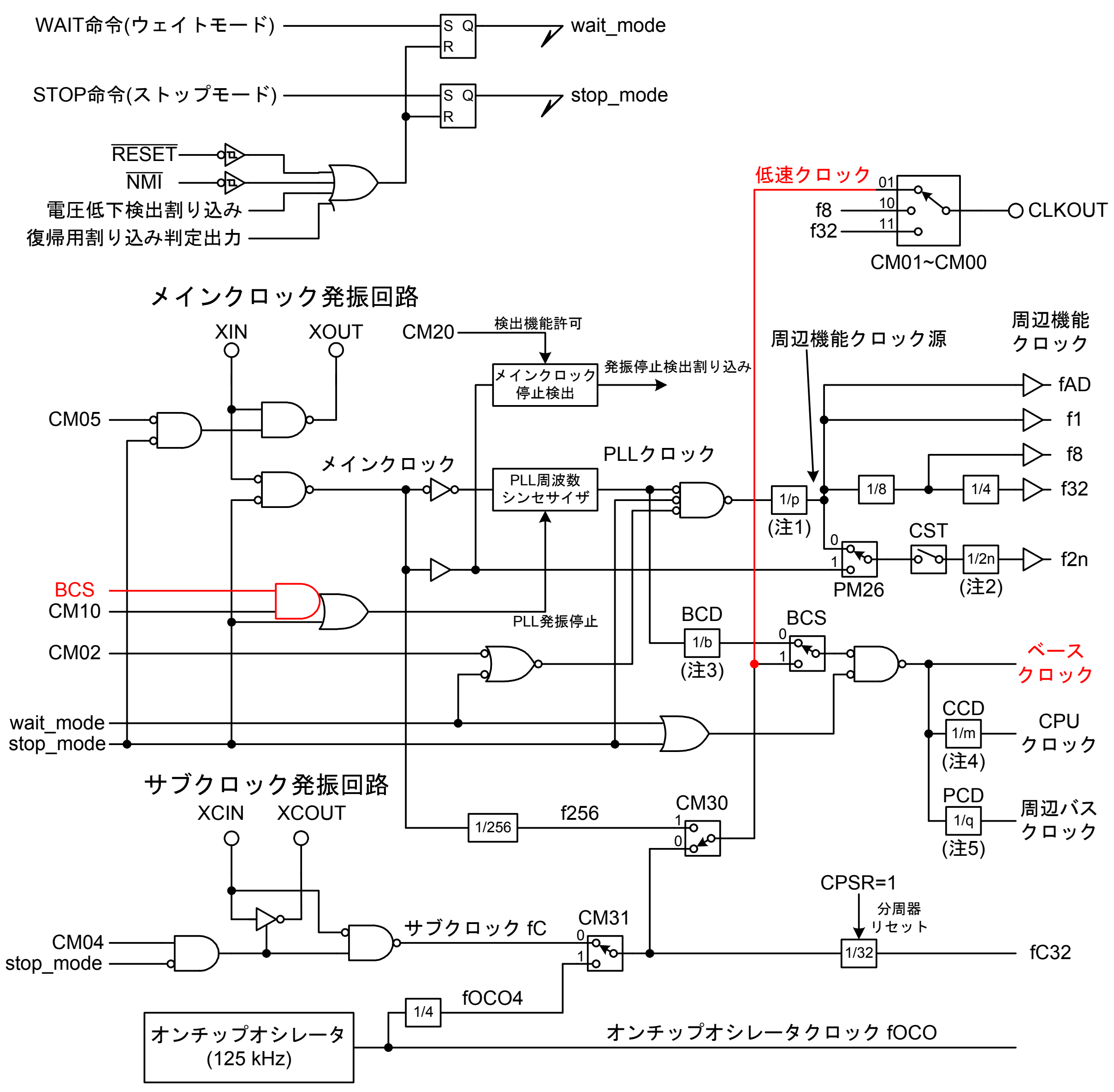


CM00~CM02, CM04, CM05:	CM0レジスタのビット	PM26:	PM2レジスタのビット
CM10:	CM1レジスタのビット	CST:	TCSPRレジスタのビット
CM20:	CM2レジスタのビット	CPSR:	CPSRFレジスタのビット
CM30, CM31:	CM3レジスタのビット	BCS:	CCRレジスタのビット

注1. PM3レジスタのPM36~PM35ビットにより、p分周 (p=2, 4, 6, 8) を設定。
注2. TCSPRレジスタのCNT3~CNT0ビットにより、分周なし (n=0) または2n分周 (n=1~15) を設定。
注3. CCRレジスタのBCD1~BCD0ビットにより、b分周 (b=2, 3, 4, 6) を設定。
注4. CCRレジスタのCCD1~CCD0ビットにより、m分周 (m=1~4) を設定。
注5. CCRレジスタのPCD1~PCD0ビットにより、q分周 (q=2~4) を設定。

図7.1 クロック発生回路のブロック図

【正】



CM00~CM02, CM04, CM05:　CM0レジスタのビット　　PM26:　PM2レジスタのビット
CM10:　CM1レジスタのビット　　CST:　TCSPRレジスタのビット
CM20:　CM2レジスタのビット　　CPSR:　CPSRFレジスタのビット
CM30, CM31:　CM3レジスタのビット　　BCS:　CCRレジスタのビット

注1.　PM3レジスタのPM36~PM35ビットにより、p分周 (p=2, 4, 6, 8) を設定。
注2.　TCSPRレジスタのCNT3~CNT0ビットにより、分周なし (n=0) または2n分周 (n=1~15) を設定。
注3.　CCRレジスタのBCD1~BCD0ビットにより、b分周 (b=2, 3, 4, 6) を設定。
注4.　CCRレジスタのCCD1~CCD0ビットにより、m分周 (m=1~4) を設定。
注5.　CCRレジスタのPCD1~PCD0ビットにより、q分周 (q=2~4) を設定。

図7.1　クロック発生回路のブロック図

•Page 69 of 567

図7.2の注2、注6の文章をそれぞれ以下のとおり訂正いたします。

【誤】

注2.　ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を越える場合があります。ベースクロックの周波数を上げる場合は、先に周辺バスクロック分周値を大きくした後、ベースクロック分周値を小さくしてください。

注6.　これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。

【正】

注2.　ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を越える場合があります。

注6.　これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。先にCM31~CM30ビットでいずれかのクロックを選択した後、このビットを“1”にしてください。

•Page 70, 83, 90, 93 of 567

図7.3のCM01~CM00ビットの機能欄、7.6本文、表7.3、表7.4、表7.6のfCをそれぞれ以下のとおり訂正いたします。

【誤】

図7.3: fCを出力

7.6:　fC、f8、またはf32をCLKOUT端子から出力できます。

表7.3: fCを出力

表7.4: fC選択時

表7.6: fC選択時

【正】

図7.3: 低速クロックを出力

7.6:　低速クロック、f8、またはf32をCLKOUT端子から出力できます。

表7.3: 低速クロックを出力

表7.4: 低速クロック選択時

表7.6: 低速クロック選択時

•Page 70 of 567

図7.3のCM06ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注7.　このビットはウォッチドッグタイマを動作させる前に設定してください。動作中に書き換える場合は、WDTSレジスタに書いた直後に実施してください。

•Page 71 of 567

図7.4の注2の文章を以下のとおり訂正いたします。

【誤】

注2.　CCRレジスタのBCSビットが"0"(ベースクロック源はPLLクロック)の場合、CM10を"1"にすることはできません。

【正】

注2.　CCRレジスタのBCSビットが"0"(ベースクロック源はPLLクロック)の場合、CM10ビットを"1"にしてもPLL周波数シンセサイザの発振は停止しません。

•Page 71 of 567

図7.4のCM15ビットに対し、以下の注記を追加いたします。

【誤】

―なし―

【正】

注4.　メインクロックを停止させると"1"になります。"0"にするときは、メインクロックの発振が十分安定してから実施してください。

•Page 72 of 567

図7.6の注1に以下のとおり文章を追記いたします。

【誤】

注1.　このレジスタはPRCR2レジスタのPRC27ビットを"1"(書き込み許可)にした後で書き換えてください。

【正】

注1.　このレジスタはPRCR2レジスタのPRC27ビットを"1"(書き込み許可)にした後で書き換えてください。また、CCRレジスタのBCSビットが"0"(PLLクロック)のときに書き換えてください。

•Page 73 of 567

図7.9の注3内の記述を以下のとおり訂正いたします。

【誤】

CM0レジスタのCM05ビット(メインクロックは停止しない)
CM1レジスタのCM10ビット(PLLは停止しない)

【正】

CM0レジスタのCM05ビット(メインクロックの発振/停止)
CM1レジスタのCM10ビット(PLLの発振/停止)

•Page 73 of 567

図7.9のPM26ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注6. このビットを変更するときは、f2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 74 of 567

図7.10の注1に以下のとおり文章を追記いたします。

【誤】

注1. このレジスタはPRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後で書き換えてください。

【正】

注1. このレジスタはPRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後で書き換えてください。また、fAD、f1、f8、f32、クロック源に周辺機能クロック源を選択したf2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 78 of 567

図7.15のSEOビットのビット名と機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

ビット名: 自励発振モード設定ビット
機能欄: 0: メインクロック逓倍モード
1: 自励発振モード

【正】

ビット名: 自励発振動作設定ビット
機能欄: 0: メインクロック逓倍動作
1: 自励発振動作

•Page 78 of 567

図7.16のPLSレジスタに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. このレジスタはPLC1レジスタのSEOビットを"1"(自励発振動作)にするとリセットされます。なお、メインクロックを停止させたり、PLLを停止させたりした場合、レジスタの更新も停止します。

•Page 81 of 567

7.2.1項本文2段落目に以下のとおり文章を追記いたします。

【誤】

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムでベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と、周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

【正】

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムでメインクロックの再発振を抑止する(CM0レジスタのCM05ビットを“1”にする)か、ベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

•Page 92 of 567

7.7.3項本文を以下のとおり訂正いたします。

【誤】

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。

【正】

ストップモードでは、停止しないように保護されたクロックを除くすべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。

•Page 119 of 567

図10.8を以下のとおり訂正いたします。

【誤】

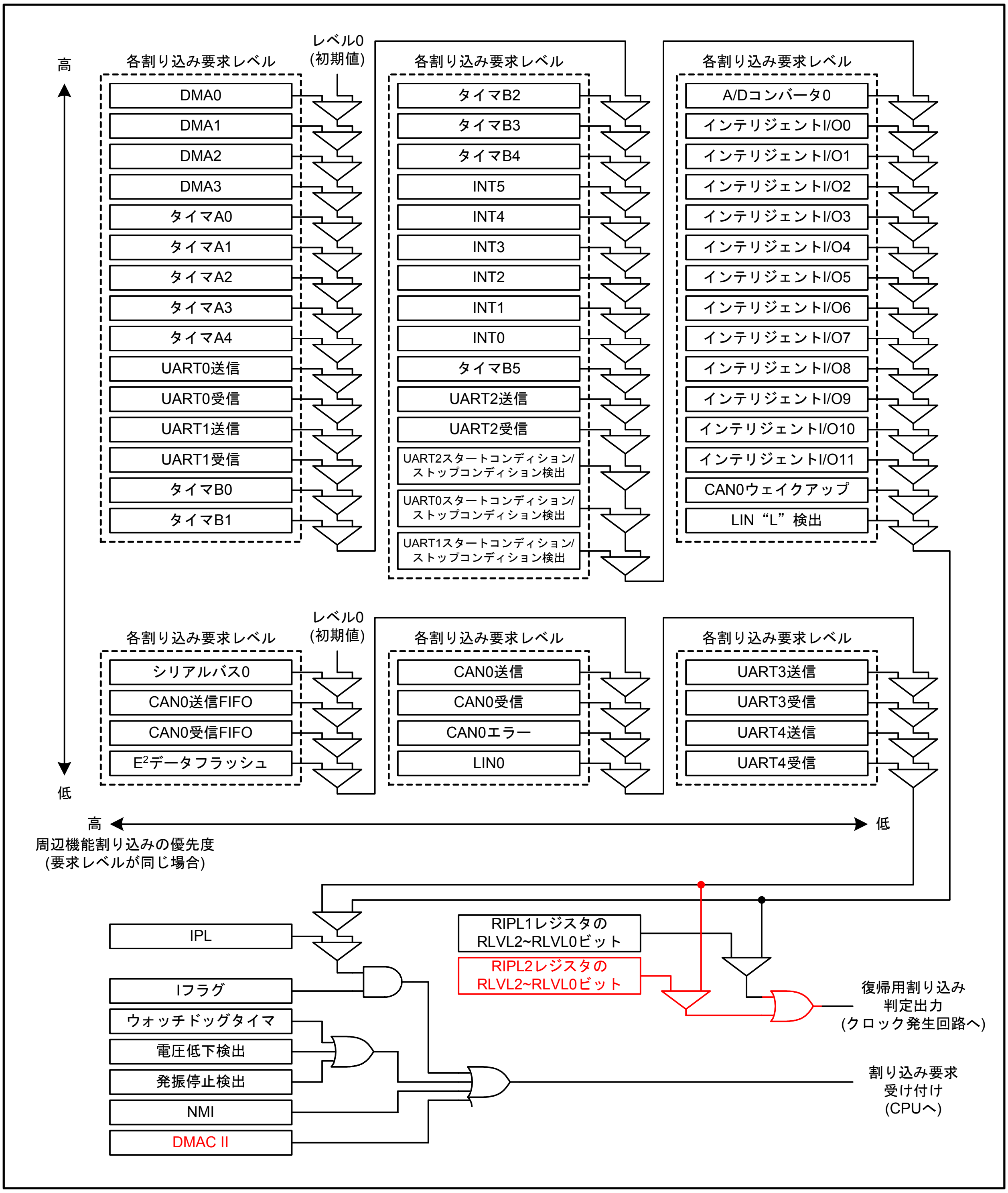


図10.8　割り込み優先順位判定回路

【正】

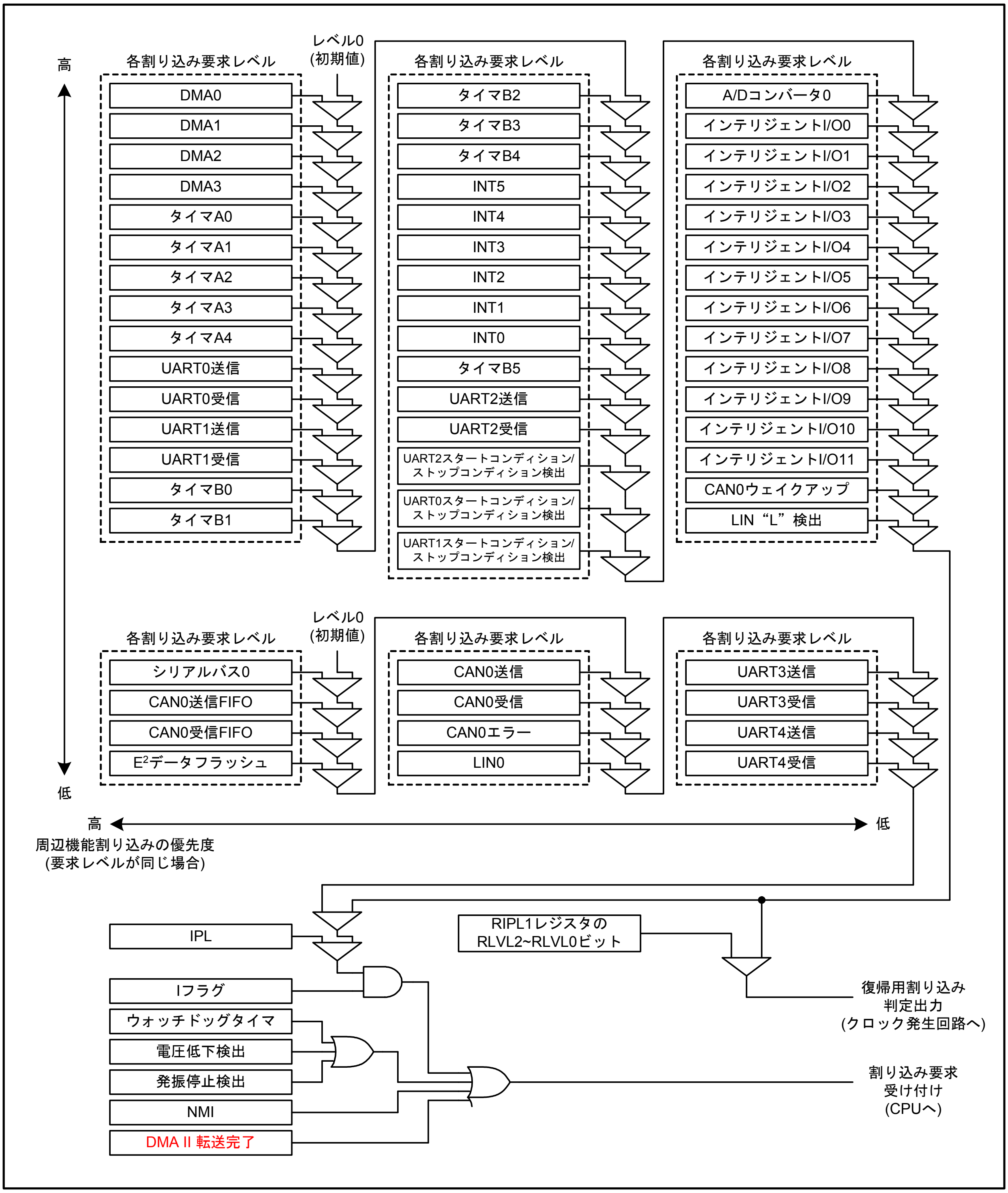


図10.8 割り込み優先順位判定回路

•Page 124 of 567

図10.13の(b0)の機能欄から以下のとおり文章を一部削除いたします。

【誤】

何も配置されていない。書く場合、“0”を書いてください。
読んだ場合、その値は“1”

【正】

何も配置されていない。読んだ場合、その値は“1”

•Page 124 of 567

図10.13の注3を以下のとおり訂正いたします。

【誤】

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”を書いても変化しません。“0”を書く場合、AND命令またはBCLR命令を使用してください。

【正】

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”は書かないでください。“0”を書く場合、AND命令またはBCLR命令を使用してください。

•Page 127 of 567

11章 計算式下の本文の一部を以下のとおり訂正いたします。

【誤】

たとえば、カウントソースに周辺バスクロックを選択し、CPUクロック周波数が64MHzで周辺バスクロック周波数がその1/2、プリスケーラの分周値が16の場合、ウォッチドッグタイマの周期は約16.4msとなります。

【正】

たとえば、カウントソースに周辺バスクロックを選択し、CPUクロック周波数が48 MHzで周辺バスクロック周波数がその1/2、プリスケーラの分周値が16の場合、ウォッチドッグタイマの周期は約21.8 msとなります。

•Page 128 of 567

図11.2の(b4-b0)、WDC7ビットに対し、それぞれ以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. カウントソースにオンチップオシレータを使用している場合、読み出し中にカウント値が変わり不定値が読める場合があります。
注2. このビットは、ウォッチドッグタイマ起動前に設定してください。

•Page 129 of 567

図11.3のWDK2、WDK3ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注2. このビットは、ウォッチドッグタイマ起動前に設定してください。

•Page 130 of 567

図11.5のWPSC0、WPSC1ビットおよびCSPMビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注3. WDTONビットが“1”の場合、これらの設定は無効です。WDTONビットが“0”の場合、これらのビットに設定した値がWDKレジスタ、PM2レジスタに反映されます。

•Page 160 of 567

図15.2を以下のとおり訂正いたします。

【誤】

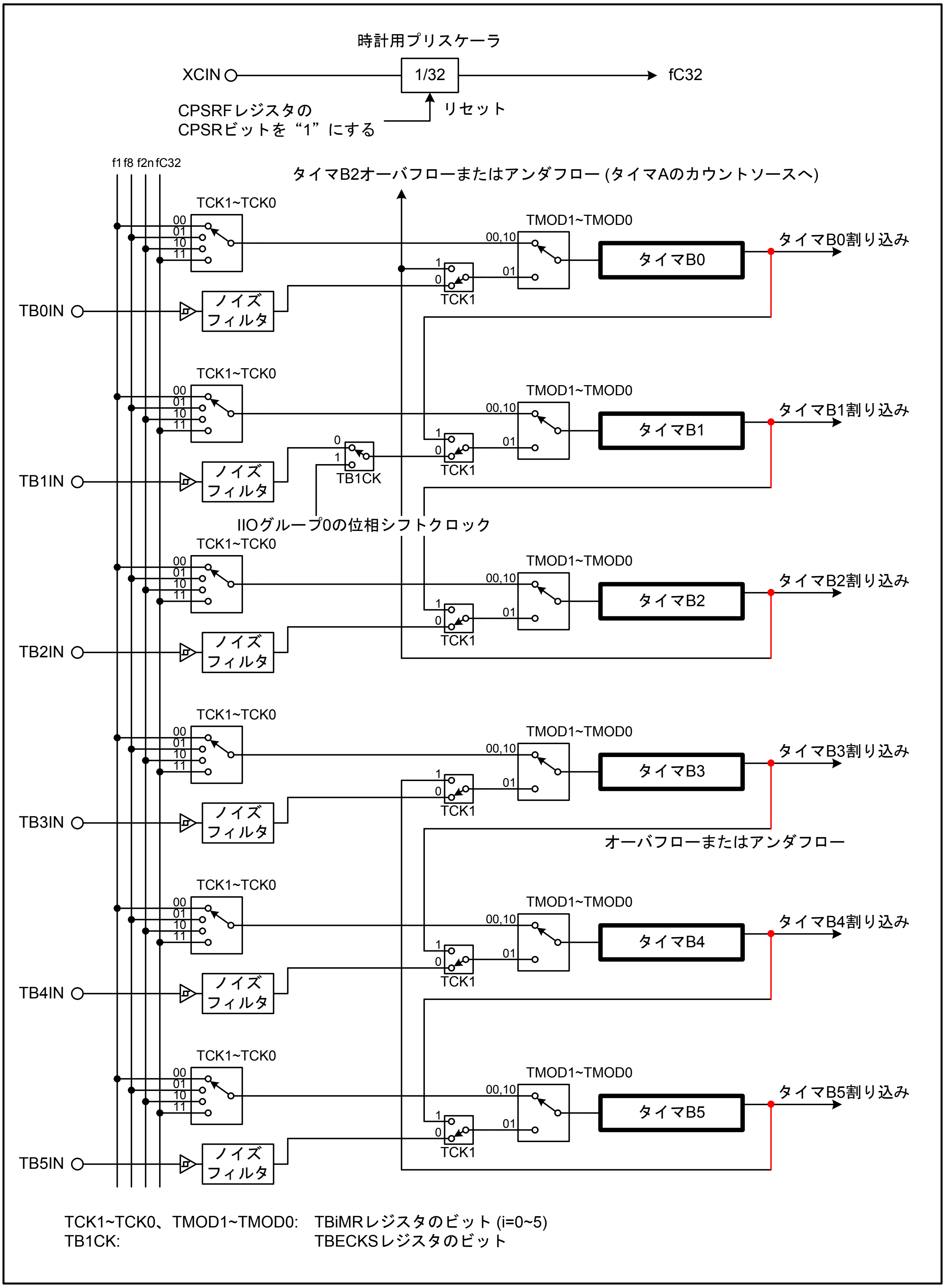


図15.2 タイマBの構成

【正】

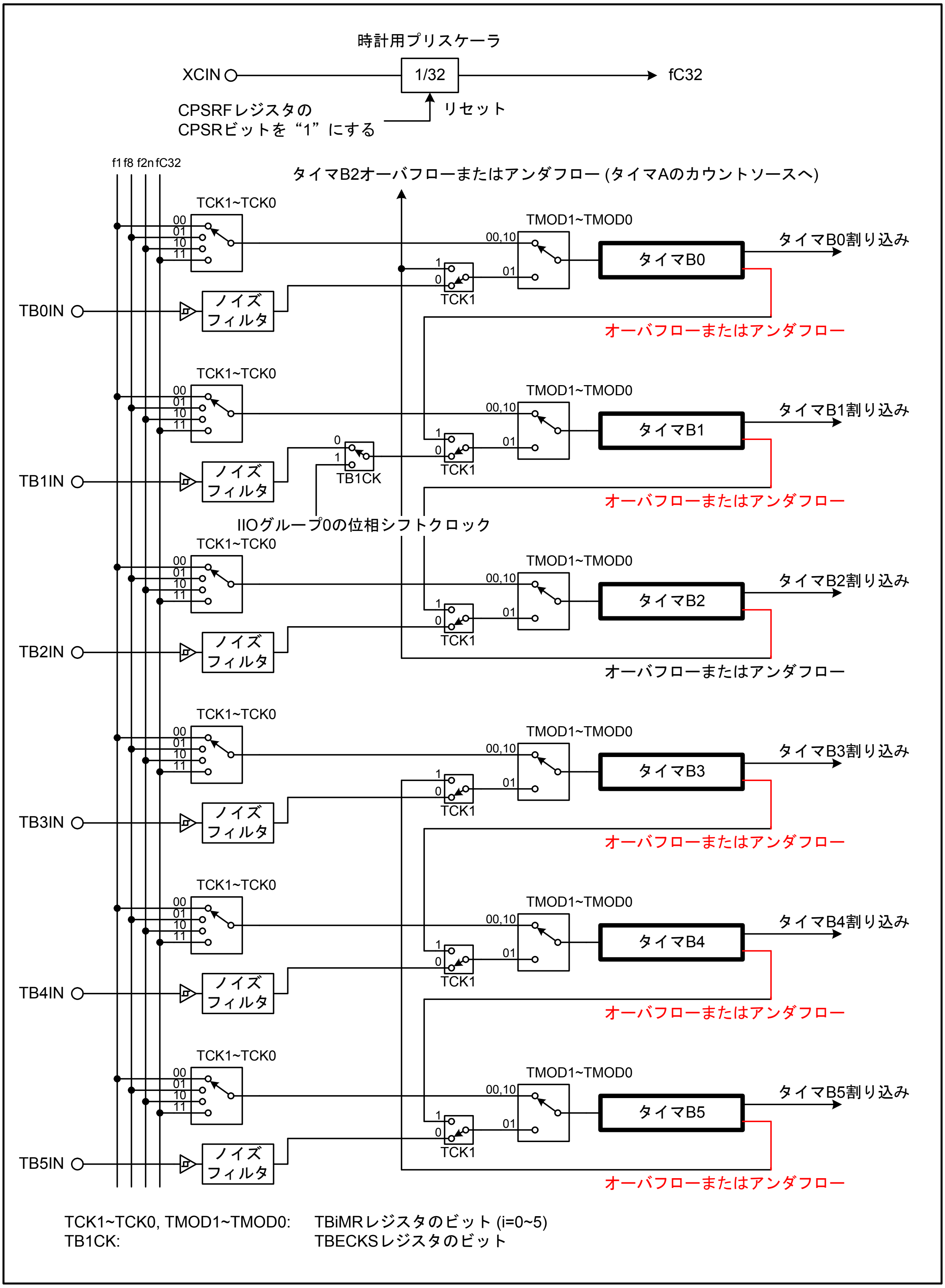


図15.2 タイマBの構成

•Page 194, 198 of 567

図16.3のINV13ビットの機能欄、図16.9のPWCONビットの機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

INV13: タイマAリロード制御信号が...
PWCON: 奇数回目のタイマA出力

【正】

INV13: タイマA1リロード制御信号が...
PWCON: タイマA1リロード制御信号が“0”のときのタイマB2アンダフロー

•Page 198 of 567

図16.8のMR2ビットとMR3ビットの説明文を以下のとおり訂正いたします。

【誤】

MR2: 三相モータ制御用タイマ機能では“0”にしてください
MR3: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定

【正】

MR2: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定
MR3: 三相モータ制御用タイマ機能では無効。書く場合、“0”を書いてください。読んだ場合、その値は不定

•Page 199 of 567

16.3本文の3段落目の一部を以下のとおり削除いたします。

【誤】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTAi、TAi-1 (i=4,1,2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。このモードではTAiレジスタ設定値とTAi1レジスタ設定値の合計がTB2レジスタ設定値と一致するようにします。

【正】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTAi、TAi-1 (i=4, 1, 2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

•Page 204 of 567

図16.18の(1)の1項目目を以下のとおり訂正いたします。

【誤】

• INV01=0、ICTB2=2h (タイマB2アンダフロー2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマAリロード制御信号の立ち下がりでタイマB2割り込み)

【正】

• INV01=0、ICTB2=2h (タイマB2アンダフロー2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマA1リロード制御信号が“1”のときのタイマB2アンダフローごとにタイマB2割り込み)

•Page 206 of 567

16.6.1項本文を以下のとおり訂正いたします。

【誤】

• PM2レジスタのPM24ビットが"1" (NMI有効)で、INVC0レジスタのINV03ビットが"1" (三相モータ制御用タイマ出力許可)かつ、INV02ビットが"1" (三相モータ制御用タイマ機能を使用する)のとき、$\overline{\text{NMI}}$端子に"L"を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

【正】

• PM2レジスタのPM24ビットが"1" (NMI有効)、かつIOBCレジスタのSDEビットが"1" (シャットダウン機能有効)で、INVC0レジスタのINV02ビットが"1" (三相モータ制御用タイマ機能を使用する)、かつINV03ビットが"1" (三相モータ制御用タイマ出力許可)のとき、$\overline{\text{NMI}}$端子に"L"を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

•Page 206 of 567

16.6.2項本文を以下のとおり訂正いたします。

【誤】

• タイマB2がオーバフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、オーバフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、オーバフローまでに十分な時間がない場合は、オーバフローするまで待った後TAi1レジスタを設定してください。

【正】

• タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

•Page 212 of 567

図17.5の注1を以下のとおり削除いたします。

【誤】

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

【正】

—なし—

•Page 214 of 567
図17.7のUiIRSビットの機能欄を以下のとおり訂正いたします。

【誤】

0: UiTBレジスタ空 (TI=1)

【正】

0: 送信バッファ空 (TI=1)

•Page 224 of 567
図17.18の波形の名称を以下のとおり訂正いたします。

【誤】

• UiC0レジスタのTXEPTフラグ

【正】

• UiC0レジスタのTXEPTビット

•Page 224 of 567
図17.18の設定条件記載箇所の4項目目を以下のとおり訂正いたします。

【誤】

• UiC1レジスタ、U34CONレジスタのUiRSビット=0 (UiTBレジスタ空で割り込み要求発生)

【正】

• UiC1レジスタ、U34CONレジスタのUiIRSビット=0 (送信バッファ空で割り込み要求発生)

•Page 273 of 567

図19.1を以下のとおり訂正いたします。

【誤】

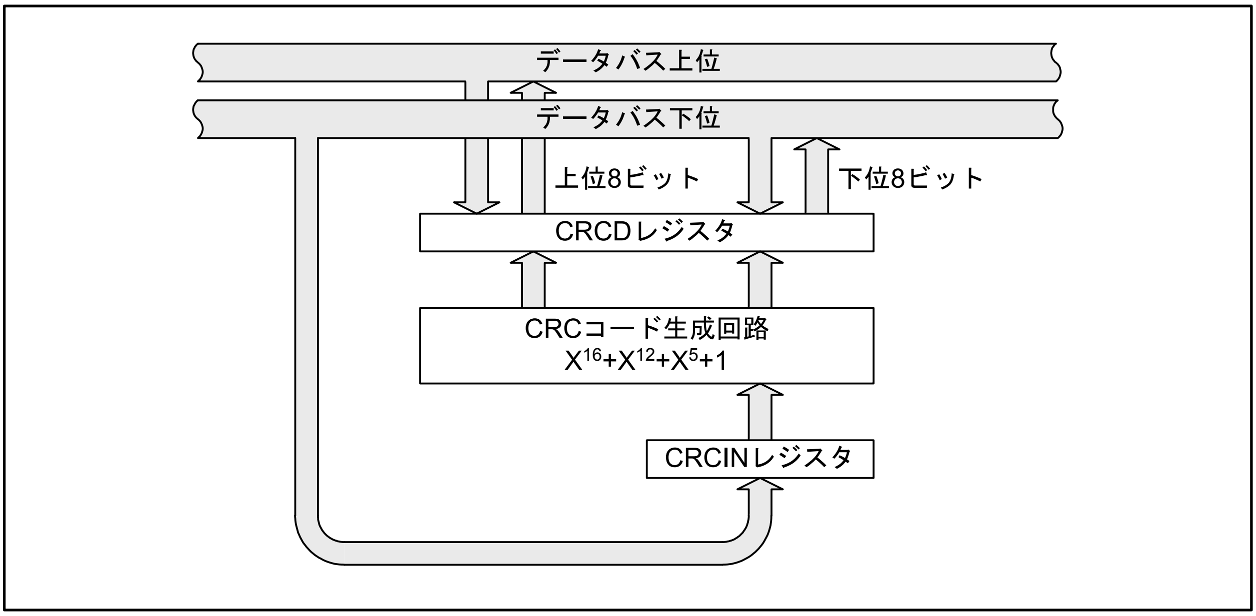


図19.1　CRC演算回路のブロック図

【正】

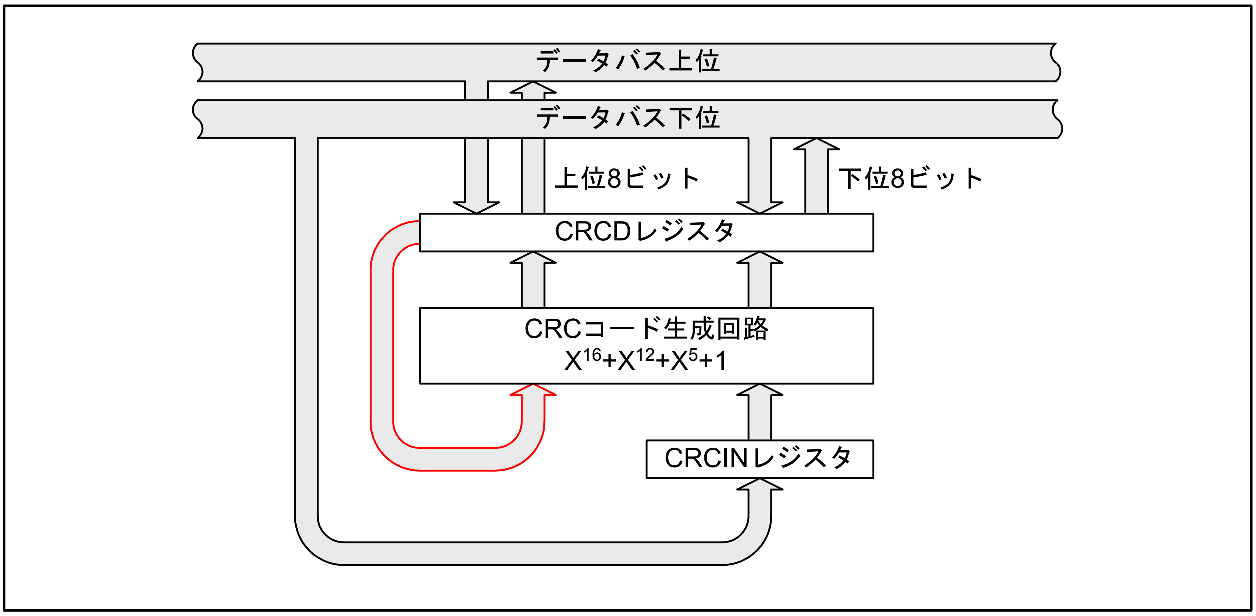


図19.1　CRC演算回路のブロック図

•Page 281 of 567

図21.1左上の「INT0端子からの要求」を以下のとおり訂正いたします。

【誤】

INT0端子からの要求

【正】

INT0端子またはINT1端子からの要求

•Page 283 of 567

図21.4のRST2ビットの機能を以下のとおり訂正いたします。

【誤】

1: INT0端子への“L”入力でベースタイマリセットする

【正】

1: INT0/INT1端子への“L”入力でベースタイマをリセットする

•Page 283 of 567

図21.4のRST2ビットに対し、以下の注記を追加いたします。

【誤】

―なし―

【正】

注2. IFS2レジスタでUD0Z信号用に選択した外部割り込み入力端子に“L”を入力すると、ベースタイマをリセットをします。

•Page 284 of 567

図21.5の注3を以下のとおり削除いたします。

【誤】

注3. ゲート機能解除後、GOCビットは“0”になります。

【正】

―なし―

•Page 290 of 567

表21.2のベースタイマリセット条件の仕様の一部を以下のとおり訂正いたします。

【誤】

• 外部割り込み端子に“L”を入力
グループ0: INT0端子

【正】

• 外部割り込み端子(INT0またはINT1)に“L”を入力
グループ0: IFS2レジスタのIFS22ビットで選択

•Page 291 of 567

図21.14の入力信号の一部を以下のとおり訂正いたします。

【誤】

INT0端子に“L”を入力

【正】

INT0/INT1端子に“L”を入力

•Page 294 of 567

図21.17の入力信号を以下のとおり訂正いたします。

【誤】

INT0

【正】

INT0/INT1

•Page 317 of 567

図22.3の機能欄のビット表記を以下のとおり訂正いたします。

【誤】

b6 b5 b4

【正】

b2 b1 b0

•Page 351 of 567

図23.3の以下の注記を追加いたします。

【誤】

—なし—

【正】

注1.　このビットが“1”になっている場合、新たな入力信号“L”検出割り込みは発生しません。

•Page 353 of 567

図23.7の注4の文章を以下のとおり訂正いたします。

【誤】

注4.　入力信号の立ち下がりを検出すると、LSTレジスタのLDビットが“1”になり、割り込みが発生します。なお、LDビットが“1”のときにこのビットを“0”にしても、LDビットは“0”になりません。

【正】

注4.　このビットが“1”のときに入力信号の立ち下がりを検出した場合、または入力信号が“L”のときにこのビットを“1”にした場合、LSTレジスタのLDビットが“1”になり、割り込み要求が発生します。

•Page 360, 361 of 567

図23.16、図23.17の注1を以下のとおり訂正いたします。

【誤】

注1.　これらのビットは“0”のみ書けます。“1”を書いた場合は、書く前の値を保持します。

【正】

注1.　これらのビットは自動的には“0”になりません。プログラムで“0”にしてください。なお、“1”を書いた場合は、書く前の値を保持します。

•Page 360 of 567

図23.16のLDビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注3.　このビットが“1”の場合、新たにLDビットが“1”になる条件が整ったとしても、新たな割り込み要求は発生しません。

•Page 364 of 567

表23.3 (1) のソフトウェア処理の4項目目を以下のとおり訂正いたします。

【誤】

• LBRKレジスタのBFTL3~BFTL0ビットでブレーク幅(13~28 Tbit)、BFTD1~BFTD0ビットでブレークデリミタ幅(1~4 Tbit)を設定

【正】

• LBRKレジスタのBLT3~BLT0ビットでブレーク幅(13~28 Tbit)、BDT1~BDT0ビットでブレークデリミタ幅(1~4 Tbit)を設定

•Page 365 of 567

表23.4 (4) のLINモジュール処理の一部を以下のとおり訂正いたします。

【誤】

インタバイトスペース送信
(LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返し。LESTレジスタのBER=1(ビットエラー検出)なら中断。エラー発生時には、(5)のチェックサム送信は実行しません)

【正】

インタバイトスペース送信
(LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返す。エラー発生時は(6)へ)

•Page 366 of 567

表23.5 (4) のLINモジュール処理の一部を以下のとおり訂正いたします。

【誤】

スタートビット検出によりデータ3受信
(LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返し。LESTレジスタのいずれかのビットが“1” (何らかのエラー検出)なら中断。エラー発生時には、(5)のチェックサム判定は実施しません)

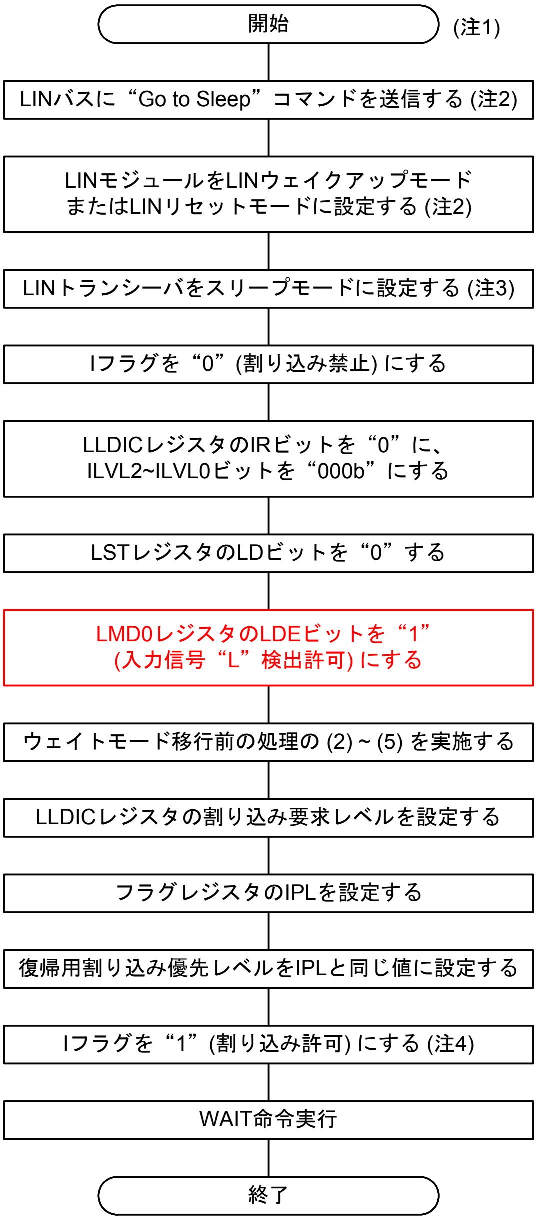
【正】

スタートビット検出によりデータ3受信
(LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返す。エラー発生時は受信を中断して(5)へ。ただしその場合は、(5)のチェックサム判定は実施しません)

•Page 375 of 567

図23.30を以下のとおり訂正いたします。

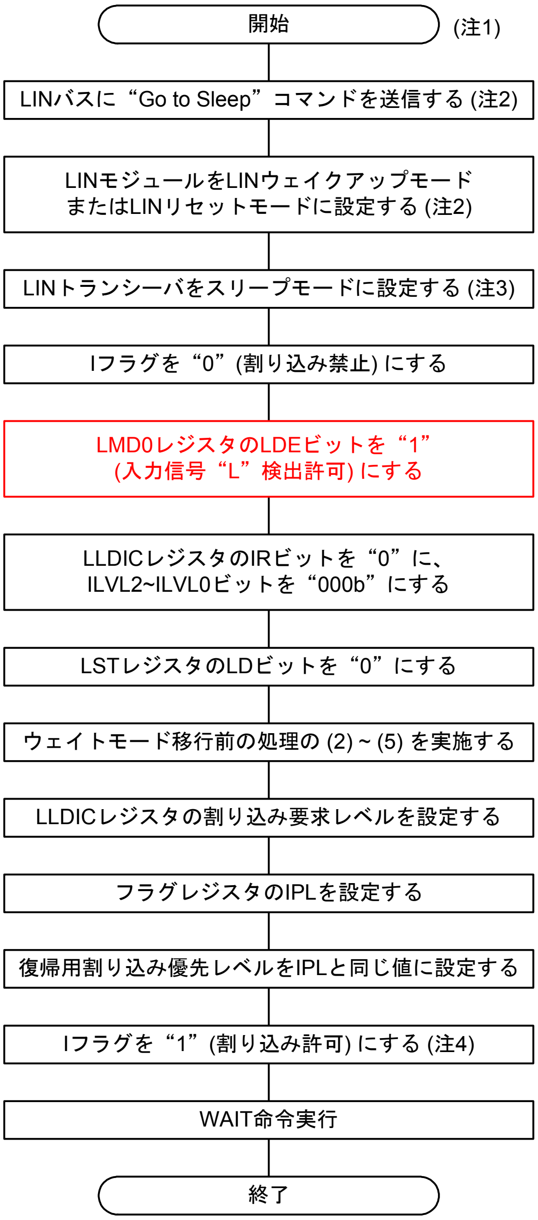
【誤】



注1. 本フローチャートは、ウェイトモードへ移行後 LINバスからのウェイクアップ信号によって、ウェイトモードから復帰する場合の設定例です。
注2. メインクロック逓倍モード (高速モードまたは中速モード) にて設定してください。
注3. LINトランシーバの仕様に依存します。
注4. Iフラグを“1”にするまでに、低速モードまたは低消費電力モードに移行してください。

図23.30 ウェイトモードへ遷移する前の設定例

【正】



注1. 本フローチャートは、ウェイトモードへ移行後 LINバスからのウェイクアップ信号によって、ウェイトモードから復帰する場合の設定例です。
注2. メインクロック逓倍モード (高速モードまたは中速モード) にて設定してください。
注3. LINトランシーバの仕様に依存します。
注4. Iフラグを“1”にするまでに、低速モードまたは低消費電力モードに移行してください。

図23.30 ウェイトモードへ移行する前の設定例

•Page 376 of 567

表23.8の入力信号"L"検出の条件欄に以下のとおり文章を追記いたします。

【誤】

LMD0レジスタのLDEビットが"1"(入力信号"L"検出許可)で、LIN0IN端子からの入力信号の立ち下がりエッジを検出したとき

【正】

LMD0レジスタのLDEビットが"1"(入力信号"L"検出許可)のとき、LIN0IN端子からの入力信号の立ち下がりエッジを検出した。または、LIN0IN端子が"L"のときにLDEビットを"1"にした

•Page 379 of 567

23.11の本文8~9行目に以下のとおり文章を追記いたします。

【誤】

それぞれの割り込み要求は、LMD0レジスタの対応するビットが"1"(割り込み許可)のときに、LSTレジスタの対応するフラグが"1"になると出力されます。

【正】

それぞれの割り込み要求は、LMD0レジスタの対応するビットが"1"(割り込み許可)のときに、LSTレジスタの対応するフラグが"1"になると出力されます。なお、複数の要因の論理和をとっているため、いずれかの要因が"1"であると他の要因による新たな割り込み要求は発生しません。

•Page 379 of 567

図23.32を以下のとおり訂正いたします。

【誤】

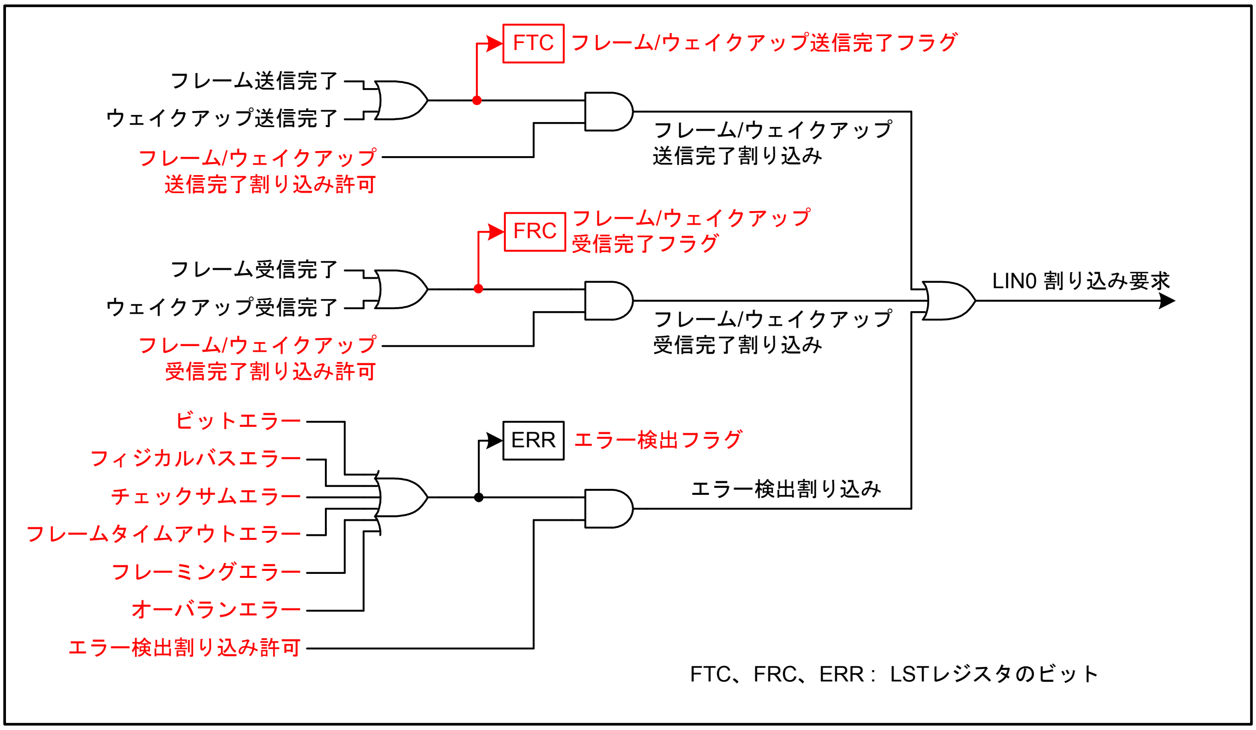


図23.32 LIN0割り込みブロック図

【正】

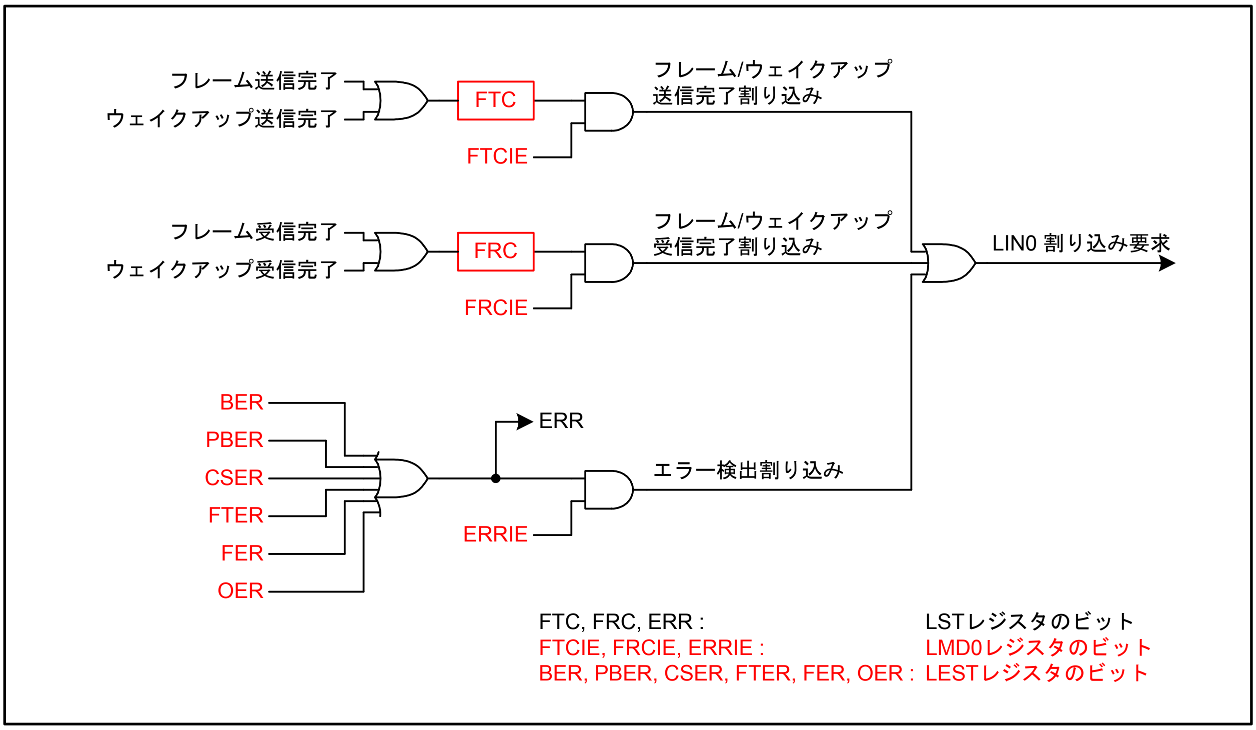


図23.32 LIN0割り込みブロック図

•Page 379 of 567

図23.33を以下のとおり訂正いたします。

【誤】

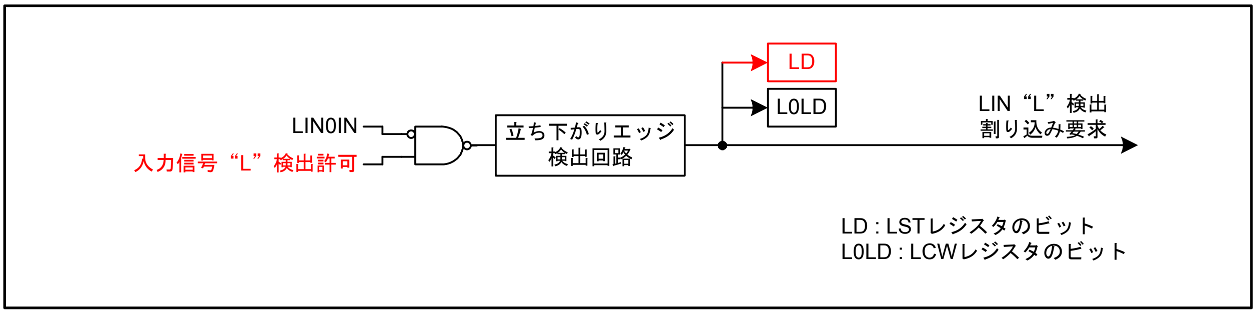


図23.33 LIN“L”検出割り込みブロック図

【正】

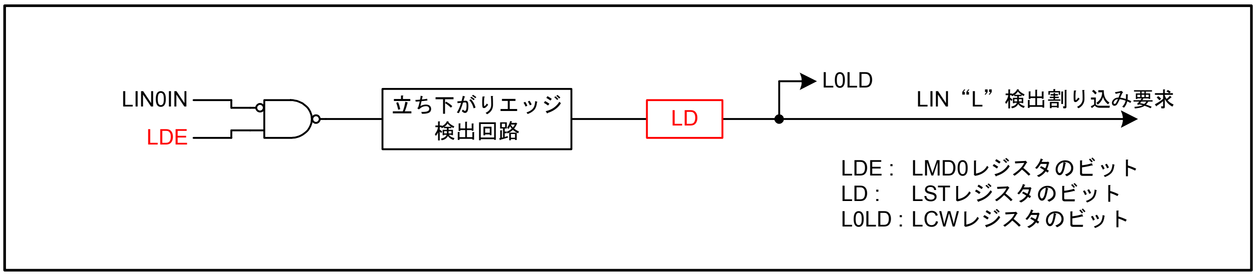


図23.33 LIN“L”検出割り込みブロック図

•Page 401 of 567

24.1.9.5項本文の3段落目を以下のとおり訂正いたします。

【誤】

オーバライトモードとオーバランモードの両方において、EOFの6番目のビットに続くfCAN (CANシステムクロック)の5サイクルの間は、MSGLOSTビットはプログラムで“0”を書いても“0”になりません。

【正】

オーバライトモードとオーバランモードの両方において、EOFの6番目のビットに続く周辺バスクロック5サイクルの間は、MSGLOSTビットはプログラムで“0”を書いても“0”になりません。

•Page 405 of 567

24.1.10.3項本文の3段落目を以下のとおり訂正いたします。

【誤】

オーバランモードとオーバライトモードのどちらも、受信FIFOがフルでメッセージの受信が決定している場合、ハードウェアプロテクトによりEOFの6番目のビットに続くfCAN (CANシステムクロック)の5サイクルの間は、プログラムで“0” (受信FIFOメッセージロスト未発生)になりません。

【正】

オーバランモードとオーバライトモードのどちらも、受信FIFOがフルでメッセージの受信が決定している場合、ハードウェアプロテクトによりEOFの6番目のビットに続く周辺バスクロック5サイクルの間は、プログラムで“0” (受信FIFOメッセージロスト未発生)になりません。

•Page 404 of 567

図24.11の注2を以下のとおり訂正いたします。

【誤】

注2. RFMLFビットと同時にRFEビットに“0”を書いてください。

【正】

注2. RFEビットを“0”にするときは、RFMLFビットも同時に“0”にしてください。

•Page 415 of 567

図24.19の(b6-b5)の機能欄から以下のとおり文章を一部削除いたします。

【誤】

何も配置されていない。書く場合、“0”を書いてください。
読んだ場合、その値は“0”

【正】

何も配置されていない。読んだ場合、その値は“0”

•Page 426 of 567

図24.28の注4を以下のとおり訂正いたします。

【誤】

注4. 同時に1つ以上のエラー条件が検出された場合は、関係するすべてのビットが“1”になります。

【正】

注4. 同時に2つ以上のエラーが検出された場合は、該当するすべてのビットが“1”になります。

•Page 435 of 567

24.2.3項本文を以下のとおり訂正いたします。

【誤】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのハードウェアリセットまたはソフトウェアリセット実行後、CANスリープモードから動作を開始します。

【正】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのリセット後は、CANスリープモードから動作を開始します。

•Page 438 of 567

図24.36のPCDビット部のqの値を以下のとおり訂正いたします。

【誤】

q=1, 2, 3, 4

【正】

q=2, 3, 4

•Page 450 of 567

25 本文の2段落目を以下のとおり訂正いたします(TN-16C-A198A/J参照)。

【誤】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は端子が出力になっている場合と、アナログ入出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

【正】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は、端子が出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

•Page 450 of 567

図25.1を以下のとおり訂正いたします(TN-16C-A198A/J 参照)。

【誤】

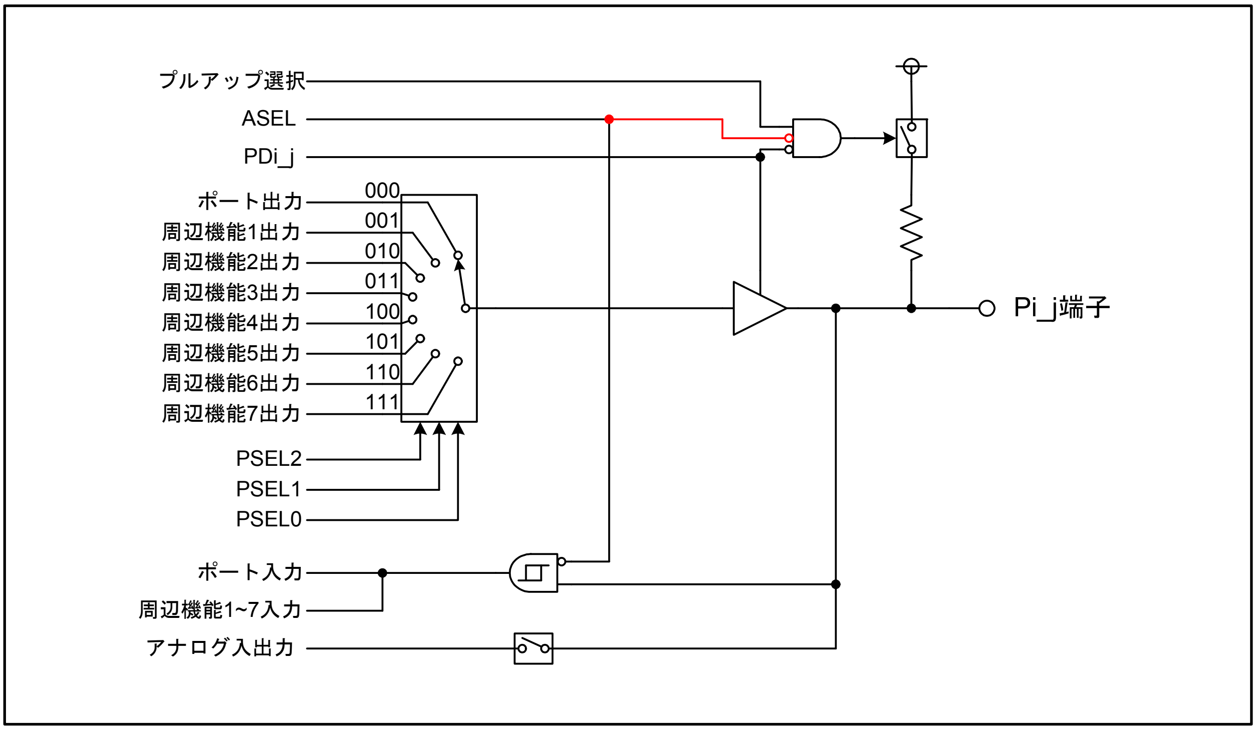


図25.1　入出力端子ブロック図(代表例) (i=0~9、j=0~7)

【正】

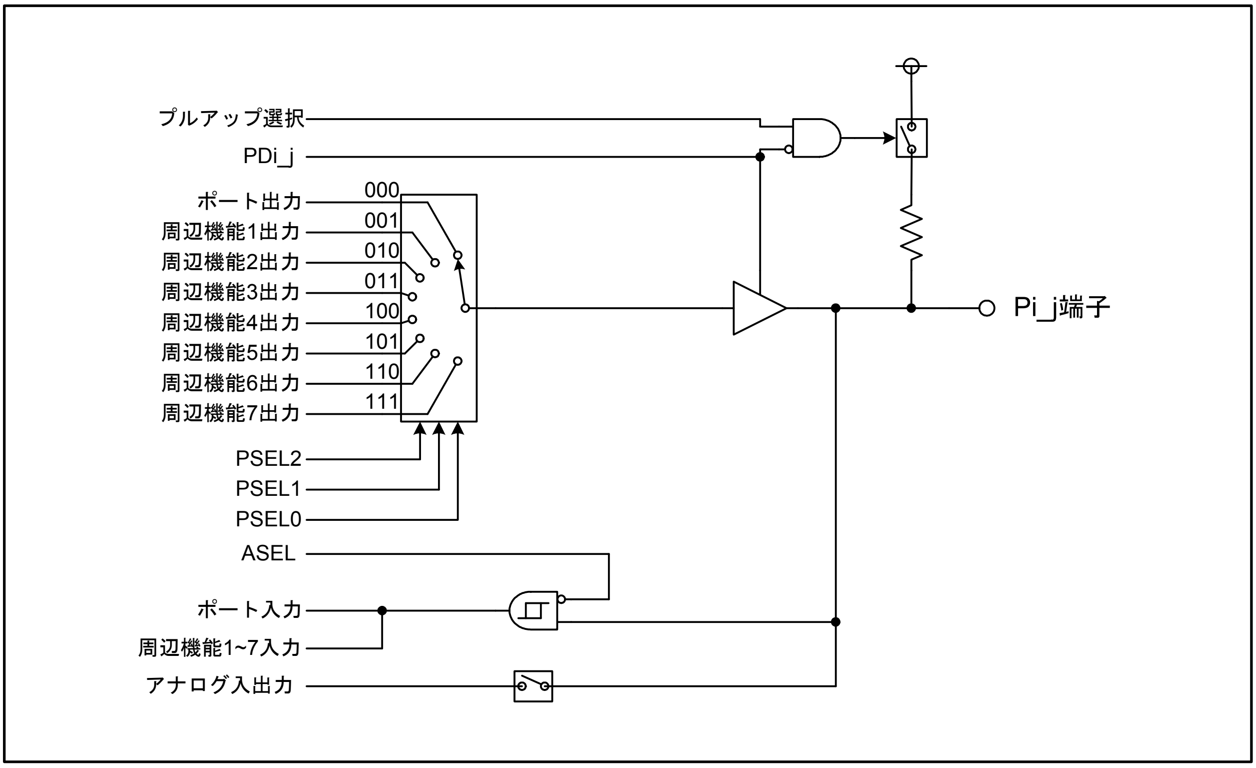


図25.1　入出力端子ブロック図(代表例) (i=0~9、j=0~7)

•Page 454 of 567

図25.4のP1_5Sレジスタのリセット後の値を以下のとおり訂正いたします。

【誤】

0XXX X000b

【正】

XXXX X000b

•Page 460 of 567

図25.10のP7_4S~P7_6Sレジスタのアドレスを以下のとおり訂正いたします。

【誤】

P7_4S: 400DBh
P7_5S: 400DDh
P7_6S: 400DFh

【正】

P7_4S: 400D9h
P7_5S: 400DBh
P7_6S: 400DDh

•Page 473 of 567

表26.3の保護対象を以下のとおり訂正いたします。

【誤】

表26.3 プロテクトの種類と特長

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、消去、書き込み	読み出し、書き込み
:	:	:	:
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	シリアルライタでプロテクトビットがセットされたブロックすべてを消去する	シリアルライタから正しいIDコードを入力する

【正】

表26.3 プロテクトの種類と特長

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、書き込み	読み出し、消去、書き込み
:	:	:	:
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	プロテクトビットがセットされたブロックすべてを消去する	シリアルライタから正しいIDコードを入力する

•Page 473 of 567

26.2.2 本文の1段落目の一部を以下のとおり削除いたします。

【誤】

パラレル入出力モードに対して有効なプロテクトです。ROMコードプロテクトが有効な場合、パラレルライタでは、いずれの領域の内容も読み書きできません。ROMコードプロテクトを解除するには、シリアルライタを使ってプロテクトビットを“0”(プロテクト)にしたすべてのブロックを消去してください。

【正】

パラレル入出力モードに対して有効なプロテクトです。ROMコードプロテクトが有効な場合、パラレルライタでは、いずれの領域の内容も読み書きできません。ROMコードプロテクトを解除するには、プロテクトビットを“0”(プロテクト)にしたすべてのブロックを消去してください。

•Page 474 of 567

図26.2を以下のとおり訂正いたします。

【誤】

FFFFFFDFh~FFFFFFDCh	未定義命令 割り込みベクタ			
FFFFFFE3h~FFFFFFE0h	オーバフロー 割り込みベクタ			
FFFFFFE7h~FFFFFFE4h	BRK命令 割り込みベクタ			
FFFFFFEBh~FFFFFFE8h	ID4	ID3	ID2	ID1
FFFFFFEFh~FFFFFFECh	予約	ID7	ID6	ID5
FFFFFFF3h~FFFFFFF0h	ウォッチドッグタイマ 割り込みベクタ			
FFFFFFF7h~FFFFFFF4h	予約領域			
FFFFFFFBh~FFFFFFF8h	NMI 割り込みベクタ			
FFFFFFFFh~FFFFFFFCh	リセットベクタ			

4バイト

図26.2 IDコード格納番地

【正】

FFFFFFDFh~FFFFFFDCh	未定義命令 割り込みベクタ			
FFFFFFE3h~FFFFFFE0h	オーバフロー 割り込みベクタ			
FFFFFFE7h~FFFFFFE4h	BRK命令 割り込みベクタ			
FFFFFFEBh~FFFFFFE8h	ID4	ID3	ID2	ID1
FFFFFFEFh~FFFFFFECh	OFS (注1)	ID7	ID6	ID5
FFFFFFF3h~FFFFFFF0h	ウォッチドッグタイマ 割り込みベクタ			
FFFFFFF7h~FFFFFFF4h	予約領域			
FFFFFFFBh~FFFFFFF8h	NMI 割り込みベクタ			
FFFFFFFFh~FFFFFFFCh	リセットベクタ			

4バイト

注1. OFS領域については、ウォッチドッグタイマの章を参照してください。

図26.2 IDコード格納番地

•Page 476 of 567

表26.5のEW0モード、EW1モード欄に記載しているコマンド名を以下のとおり訂正いたします。

【誤】

- イレーズコマンド
- リードステータスレジスタコマンド

【正】

- ブロックイレーズコマンド
- リードステータスレジスタモード移行コマンド

•Page 482, 484 of 567

図26.12、図26.13の信号名をそれぞれ以下のとおり訂正いたします。

【誤】

図26.12: $\overline{CS0}$
A23~A0, $\overline{BC0}$~$\overline{BC3}$
図26.13: $\overline{CS0}$~$\overline{CS3}$
A23~A0, $\overline{BC0}$~$\overline{BC3}$

【正】

図26.12: チップセレクト
アドレス
図26.13: チップセレクト
アドレス

•Page 502 of 567

図27.2の注3、注5の文章をそれぞれ以下のとおり訂正いたします。

【誤】

注3. このビットを"1"にすると、実行中の処理を中断して初期状態に戻ります。

注5. E2FIレジスタにどのような値を書いても00F3h (リードコマンド)が設定されます。このモードに設定しておくことにより、プログラム暴走時にデータが上書きされるのを予防できます。

【正】

注3. このビットを"1"にすると、実行中の処理を中断して初期状態に戻ります。なお、レジスタは初期化されません。

注5. E2FIレジスタにどのような値を書いても00F3h (リードコマンド)が設定されます。

•Page 520 of 567

図28.5の信号名を以下のとおり訂正いたします。

【誤】

リードサイクル

$\overline{\mathrm{CS0}}$

A23~A0, $\overline{\mathrm{BC0}}$~$\overline{\mathrm{BC3}}$

ライトサイクル

$\overline{\mathrm{CS0}}$~$\overline{\mathrm{CS3}}$

A23~A0, $\overline{\mathrm{BC0}}$~$\overline{\mathrm{BC3}}$

【正】

リードサイクル

チップセレクト

アドレス

ライトサイクル

チップセレクト

アドレス

•Page 522, 532 of 567

表28.17、表28.36の端子名を以下のとおり訂正いたします。

【誤】

LININ

【正】

LIN0IN

•Page 553 of 567

29.7.1項本文を以下のとおり訂正いたします。

【誤】

- PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)かつ、INV02ビットが“1” (三相モータ制御用タイマ機能を使用する)のとき、$\overline{\mathrm{NMI}}$端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

【正】

- PM2レジスタのPM24ビットが“1” (NMI有効)、かつIOBCレジスタのSDEビットが“1” (シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1” (三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1” (三相モータ制御用タイマ出力許可)のとき、$\overline{\mathrm{NMI}}$端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

•Page 553 of 567

29.7.2項本文を以下のとおり訂正いたします。

【誤】

- タイマB2がオーバフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、オーバフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、オーバフローまでに十分な時間がない場合は、オーバフローするまで待った後TAi1レジスタを設定してください。

【正】

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

以上