

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、必ず本文の内容をご確認ください。

# H8S/2258 グループ、H8S/2239 グループ、 H8S/2238 グループ、H8S/2237 グループ、 H8S/2227 グループ

ハードウェアマニュアル

ルネサス16 ビットシングルチップマイクロコンピュータ

H8Sファミリ/H8S/2200 シリーズ

H8S/2258	HD64F2258 HD6432258 HD6432258W	H8S/2236R	HD6432236R HD6432236RW
H8S/2256	HD6432256 HD6432256W	H8S/2237	HD6472237 HD6432237
H8S/2239	HD64F2239 HD6432239 HD6432239W	H8S/2235	HD6432235
H8S/2238B	HD64F2238B HD6432238B HD6432238BW	H8S/2233	HD6432233
H8S/2238R	HD64F2238R HD6432238R HD6432238RW	H8S/2227	HD64F2227 HD6432227
H8S/2236B	HD6432236B HD6432236BW	H8S/2225	HD6432225
		H8S/2224	HD6432224
		H8S/2223	HD6432223

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等については弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
  - 1) 生命維持装置。
  - 2) 人体に埋め込み使用するもの。
  - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
  - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 本版で改訂された箇所

改訂履歴は、前版の記載内容について訂正された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

5. 目次
6. 概要
7. 各機能モジュールの説明
  - CPU およびシステム制御系
  - 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、特長、入出力端子、レジスタの説明、動作説明、使用上の注意事項、などの節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認のうえ設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

8. レジスタ一覧
9. 電気的特性
10. 付録
  - 製品型名、外形寸法など
11. 索引

## はじめに

H8S/2258 グループ、H8S/2239 グループ、H8S/2238 グループ、H8S/2237 グループ、H8S/2227 グループは、内部 32 ビット構成の H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

内蔵 ROM は、単一電源フラッシュメモリ (F-ZTAT<sup>TM</sup>\*)、マスク ROM 版があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた、迅速かつ柔軟な対応が可能です。各製品の内蔵周辺機能を以下に示します。

【注】 \* F-ZTAT は (株)ルネサス テクノロジーの商標です。

### • 内蔵周辺機能一覧

グループ名	H8S/2258 グループ	H8S/2239 グループ	H8S/2238 グループ	H8S/2237 グループ	H8S/2227 グループ
製品名	H8S/2258 H8S/2256	H8S/2239	H8S/2238B H8S/2238R H8S/2236B H8S/2236R	H8S/2237 H8S/2235 H8S/2233	H8S/2227 H8S/2225 H8S/2224 H8S/2223
バスコントローラ (BSC)	(16 ビット)	(16 ビット)	(16 ビット)	(16 ビット)	(16 ビット)
データ転送ファクトローラ (DTC)					
DMA コントローラ (DMAC)					
PC ブレークコントローラ (PBC)	×2	×2	×2	×2	×2
16 ビットタイマパルスユニット (TPU)	×6	×6	×6	×6	×3
8 ビットタイマ (TMR)	×4	×4	×4	×2	×2
ウォッチドッグタイマ (WDT)	×2	×2	×2	×2	×2
シリアルコミュニケーション インタフェース (SCI)	×4	×4	×4	×4	×3
I <sup>2</sup> C バスインタフェース (IIC)	×2 (オプション)	×2 (オプション)	×2 (オプション)		
D/A 変換器	×2	×2	×2	×2	
A/D 変換器	アナログ入力 ×8	×8	×8	×8	×8
IEBus <sup>TM</sup> *コントローラ (IEB)	×1				

【注】 \* IEBus (Inter Equipment Bus) は NEC エレクトロニクスの商標です。

**対象者** このマニュアルは、H8S/2258 グループ、H8S/2239 グループ、H8S/2238 グループ、H8S/2237 グループ、H8S/2227 グループを用いた応用システムを設計するユーザを対象としています。  
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、H8S/2258 グループ、H8S/2239 グループ、H8S/2238 グループ、H8S/2237 グループ、H8S/2227 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますのであわせてご覧ください。

#### 読み方

- 機能全体を理解しようとするとき  
目次に従って読んでください。  
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき  
別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。
- レジスタ名が分かっている、詳細機能を知りたいとき  
本書の後ろに「索引」があります。索引からページ番号を検索してください。  
「第26章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

**凡例** レジスタ表記 : 16 ビットタイムパルスユニット、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。  
XXX\_N (XXX は基本レジスタ名称、N はチャンネル番号)  
ビット表記順 : 左側が上位ビット、右側が下位ビット  
数字の表記 : 2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx  
信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxxx

**関連資料一覧** ウェブサイトに最新資料を掲載しています。入手された資料が最新版であるかを確認してください。  
(<http://japan.renesas.com/>)

- H8S/2258グループ、H8S/2239グループ、H8S/2238グループ、H8S/2237グループ、H8S/2227グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2258 グループ、H8S/2239 グループ、H8S/2238 グループ、H8S/2237 グループ、H8S/2227 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143



- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ コンパイラパッケージ Ver.6.01 ユーザーズマニュアル	RJJ10J2552
High-performance Embedded Workshop ユーザーズマニュアル	RJJ10J2550

- アプリケーションノート

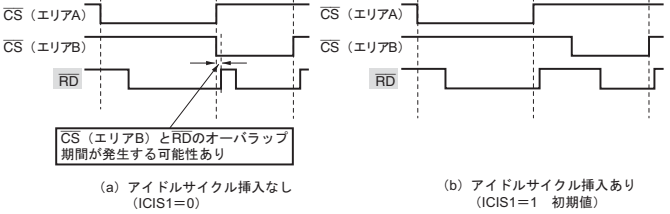
資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージアプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055



## 本版で改訂された箇所

修正項目	ページ	修正箇所																																																							
1.3.2 動作モード別ピン配置一覧 表 1.1 H8S/2258 グループの動作モード別ピン配置一覧	1-20 ~ 1-23	表を修正 <table border="1"> <thead> <tr> <th colspan="2">ピン番号</th> <th colspan="5">端子名</th> </tr> </thead> <tbody> <tr> <td>TFP-100B</td> <td>FP-100A</td> <td>モード4</td> <td>モード5</td> <td>モード6</td> <td>モード7</td> <td>フラッシュメモリライタモード*</td> </tr> <tr> <td>FP-100B</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ピン番号		端子名					TFP-100B	FP-100A	モード4	モード5	モード6	モード7	フラッシュメモリライタモード*	FP-100B																																								
	ピン番号		端子名																																																						
TFP-100B	FP-100A	モード4	モード5	モード6	モード7	フラッシュメモリライタモード*																																																			
FP-100B																																																									
	1-23	注を追加 【注】* NC は開放としてください。																																																							
表 1.2 H8S/2239 グループの動作モード別ピン配置一覧	1-24	表を修正 <table border="1"> <thead> <tr> <th colspan="2">ピン番号</th> <th colspan="5">端子名</th> </tr> </thead> <tbody> <tr> <td>TFP-100B</td> <td>TBP-112A *<sup>1</sup></td> <td>モード4</td> <td>モード5</td> <td>モード6</td> <td>モード7</td> <td>フラッシュメモリライタモード</td> </tr> <tr> <td>TFP-100BV</td> <td>TBP-112AV *<sup>1</sup></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TFP-100G</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TFP-100GV</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FP-100B</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FP-100BV</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ピン番号		端子名					TFP-100B	TBP-112A * <sup>1</sup>	モード4	モード5	モード6	モード7	フラッシュメモリライタモード	TFP-100BV	TBP-112AV * <sup>1</sup>						TFP-100G							TFP-100GV							FP-100B							FP-100BV												
	ピン番号		端子名																																																						
	TFP-100B	TBP-112A * <sup>1</sup>	モード4	モード5	モード6	モード7	フラッシュメモリライタモード																																																		
TFP-100BV	TBP-112AV * <sup>1</sup>																																																								
TFP-100G																																																									
TFP-100GV																																																									
FP-100B																																																									
FP-100BV																																																									
	1-25 ~ 1-28	表を修正 <table border="1"> <thead> <tr> <th colspan="2">ピン番号</th> <th colspan="5">端子名</th> </tr> </thead> <tbody> <tr> <td>TFP-100B</td> <td>TBP-112A *<sup>1</sup></td> <td>モード4</td> <td>モード5</td> <td>モード6</td> <td>モード7</td> <td>フラッシュメモリライタモード<sup>2</sup></td> </tr> <tr> <td>TFP-100BV</td> <td>TBP-112AV *<sup>1</sup></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TFP-100G</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TFP-100GV</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FP-100B</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FP-100BV</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ピン番号		端子名					TFP-100B	TBP-112A * <sup>1</sup>	モード4	モード5	モード6	モード7	フラッシュメモリライタモード <sup>2</sup>	TFP-100BV	TBP-112AV * <sup>1</sup>						TFP-100G							TFP-100GV							FP-100B							FP-100BV												
ピン番号		端子名																																																							
TFP-100B	TBP-112A * <sup>1</sup>	モード4	モード5	モード6	モード7	フラッシュメモリライタモード <sup>2</sup>																																																			
TFP-100BV	TBP-112AV * <sup>1</sup>																																																								
TFP-100G																																																									
TFP-100GV																																																									
FP-100B																																																									
FP-100BV																																																									
	1-28	注を修正 【注】* <sup>1</sup> HD64F2239 のみです。 * <sup>2</sup> NC は開放としてください。																																																							
表 1.3 H8S/2238 グループの動作モード別ピン配置一覧	1-30 ~ 1-33	表を修正 <table border="1"> <thead> <tr> <th colspan="3">ピン番号</th> <th colspan="4">端子名</th> </tr> </thead> <tbody> <tr> <td>TFP-100B</td> <td>FP-100A *<sup>1</sup></td> <td>BP-112 *<sup>2</sup></td> <td>モード4</td> <td>モード5</td> <td>モード6</td> <td>モード7</td> <td>フラッシュメモリライタモード<sup>3</sup></td> </tr> <tr> <td>TFP-100BV</td> <td>FP-100AV *<sup>1</sup></td> <td>BP-112V *<sup>2</sup></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TFP-100G</td> <td></td> <td>TBP-112A *<sup>2</sup></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TFP-100GV</td> <td></td> <td>TBP-112AV *<sup>2</sup></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FP-100B</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FP-100BV</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ピン番号			端子名				TFP-100B	FP-100A * <sup>1</sup>	BP-112 * <sup>2</sup>	モード4	モード5	モード6	モード7	フラッシュメモリライタモード <sup>3</sup>	TFP-100BV	FP-100AV * <sup>1</sup>	BP-112V * <sup>2</sup>						TFP-100G		TBP-112A * <sup>2</sup>						TFP-100GV		TBP-112AV * <sup>2</sup>						FP-100B								FP-100BV							
	ピン番号			端子名																																																					
TFP-100B	FP-100A * <sup>1</sup>	BP-112 * <sup>2</sup>	モード4	モード5	モード6	モード7	フラッシュメモリライタモード <sup>3</sup>																																																		
TFP-100BV	FP-100AV * <sup>1</sup>	BP-112V * <sup>2</sup>																																																							
TFP-100G		TBP-112A * <sup>2</sup>																																																							
TFP-100GV		TBP-112AV * <sup>2</sup>																																																							
FP-100B																																																									
FP-100BV																																																									
	1-33	注を追加 【注】* <sup>4</sup> NC は開放としてください。																																																							
表 1.4 H8S/2237 グループの動作モード別ピン配置一覧	1-34 ~ 1-37	表を修正 <table border="1"> <thead> <tr> <th colspan="2">ピン番号</th> <th colspan="5">端子名</th> </tr> </thead> <tbody> <tr> <td>TFP-100B</td> <td>FP-100A</td> <td>モード4</td> <td>モード5</td> <td>モード6</td> <td>モード7</td> <td>PROMモード<sup>3</sup></td> </tr> <tr> <td>TFP-100BV</td> <td>FP-100AV</td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TFP-100G</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TFP-100GV</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FP-100B</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ピン番号		端子名					TFP-100B	FP-100A	モード4	モード5	モード6	モード7	PROMモード <sup>3</sup>	TFP-100BV	FP-100AV						TFP-100G							TFP-100GV							FP-100B																			
ピン番号		端子名																																																							
TFP-100B	FP-100A	モード4	モード5	モード6	モード7	PROMモード <sup>3</sup>																																																			
TFP-100BV	FP-100AV																																																								
TFP-100G																																																									
TFP-100GV																																																									
FP-100B																																																									

修正項目	ページ	修正箇所																																																	
1.3.2 動作モード別ピン配置一覧 表 1.4 H8S/2237グループの動作モード別ピン配置一覧 ----- 表 1.5 H8S/2227グループの動作モード別ピン配置一覧	1-37   1-39 ~ 1-41	注を追加 【注】* NC は開放としてください。  表を修正 <table border="1"> <thead> <tr> <th colspan="2">ピン番号</th> <th colspan="5">端子名</th> </tr> </thead> <tbody> <tr> <td>TFP-100B</td> <td>FP-100A<sup>*2</sup></td> <td>モード4</td> <td>モード5</td> <td>モード6</td> <td>モード7</td> <td>フラッシュ メモリ ライタ モード<sup>*3</sup></td> </tr> <tr> <td>TFP-100BV</td> <td>FP-100AV<sup>*1</sup></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TFP-100G</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>TFP-100GV</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FP-100B<sup>*1</sup></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>FP-100BV<sup>*1</sup></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table>	ピン番号		端子名					TFP-100B	FP-100A <sup>*2</sup>	モード4	モード5	モード6	モード7	フラッシュ メモリ ライタ モード <sup>*3</sup>	TFP-100BV	FP-100AV <sup>*1</sup>						TFP-100G							TFP-100GV							FP-100B <sup>*1</sup>							FP-100BV <sup>*1</sup>						
ピン番号		端子名																																																	
TFP-100B	FP-100A <sup>*2</sup>	モード4	モード5	モード6	モード7	フラッシュ メモリ ライタ モード <sup>*3</sup>																																													
TFP-100BV	FP-100AV <sup>*1</sup>																																																		
TFP-100G																																																			
TFP-100GV																																																			
FP-100B <sup>*1</sup>																																																			
FP-100BV <sup>*1</sup>																																																			
	1-41	注を追加 【注】*3 NC は開放としてください。																																																	
2.3 アドレス空間 図 2.5 アドレス空間	2-8	図を修正 																																																	
2.6 命令セット 表 2.1 命令の分類	2-17	表を修正 <table border="1"> <thead> <tr> <th>分類</th> <th>命令</th> <th>サイズ</th> <th>種類</th> </tr> </thead> <tbody> <tr> <td rowspan="4">データ転送命令</td> <td>MOV</td> <td>B/W/L</td> <td rowspan="4">5</td> </tr> <tr> <td>POP<sup>*1</sup>, PUSH<sup>*1</sup></td> <td>W/L</td> </tr> <tr> <td>LDM<sup>*2</sup>, STM<sup>*2</sup></td> <td>L</td> </tr> <tr> <td>MOVPE<sup>*3</sup>, MOVTP<sup>*3</sup></td> <td>B</td> </tr> </tbody> </table>	分類	命令	サイズ	種類	データ転送命令	MOV	B/W/L	5	POP <sup>*1</sup> , PUSH <sup>*1</sup>	W/L	LDM <sup>*2</sup> , STM <sup>*2</sup>	L	MOVPE <sup>*3</sup> , MOVTP <sup>*3</sup>	B																																			
分類	命令	サイズ	種類																																																
データ転送命令	MOV	B/W/L	5																																																
	POP <sup>*1</sup> , PUSH <sup>*1</sup>	W/L																																																	
	LDM <sup>*2</sup> , STM <sup>*2</sup>	L																																																	
	MOVPE <sup>*3</sup> , MOVTP <sup>*3</sup>	B																																																	
		注を追加 【注】*5 STM / LDM 命令を使用する場合はレジスタ ER0 ~ ER6 を使用してください。																																																	
2.6.1 命令の機能別一覧	2-19	表を修正 <table border="1"> <thead> <tr> <th>命令</th> <th>サイズ<sup>*1</sup></th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>LDM<sup>*2</sup></td> <td>L</td> <td>@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。</td> </tr> <tr> <td>STM<sup>*2</sup></td> <td>L</td> <td>Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。</td> </tr> </tbody> </table>	命令	サイズ <sup>*1</sup>	機能	LDM <sup>*2</sup>	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。	STM <sup>*2</sup>	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。																																								
命令	サイズ <sup>*1</sup>	機能																																																	
LDM <sup>*2</sup>	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。																																																	
STM <sup>*2</sup>	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。																																																	
		注を修正 【注】*1 サイズはオペランドサイズを示します。 B : バイト W : ワード L : ロングワード  *2 STM / LDM 命令を使用する場合は ER0 ~ ER6 を使用してください。																																																	

修正項目	ページ	修正箇所																																						
5.6.5 IRQ 割り込み	5-25	項目を追加																																						
5.6.6 NMI 割り込み使用上の注意																																								
6.3.4 低消費電力モード遷移時の動作	6-5	説明を修正 <ul style="list-style-type: none"> <li>SLEEP 命令により高速モードからサブアクティブへ遷移する場合（図 6.2（B））</li> </ul>																																						
7.6.4 ウェイト制御 (2) 端子ウェイトの挿入	7-26	説明を修正 BCRL の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力有効になります。この状態で、外部アドレス空間をアクセスすると、まず、WCRH、WCRL の設定に従ってプログラムウェイトが挿入されます。……																																						
7.8 アイドルサイクル (3) チップセレクト ( $\overline{\text{CS}}$ ) 信号とリード ( $\overline{\text{RD}}$ ) 信号の関係 図 7.23 チップセレクト ( $\overline{\text{CS}}$ ) とリード ( $\overline{\text{RD}}$ ) の関係	7-31	図を修正  <p>CS (エリアA) CS (エリアB) RD</p> <p>CS (エリアA) と RD のオーバーラップ期間が発生する可能性あり</p> <p>(a) アイドルサイクル挿入なし (ICIS1=0)      (b) アイドルサイクル挿入あり (ICIS1=1 初期値)</p>																																						
9.2.5 DTC 転送カウンタレジスタ A (CRA)	9-4、 9-5	説明を修正 リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。リピートモードでは CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。また、ブロック転送モードでは、CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。この動作を繰り返します。																																						
10.4.2 ポート 7 データレジスタ (P7DR)	10-17	表を修正 <table border="1" data-bbox="532 1228 1204 1445"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>P77DR</td> <td>0</td> <td>R/W</td> <td rowspan="8">汎用出力ポートとして使用する端子の出力データを格納します。</td> </tr> <tr> <td>6</td> <td>P76DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>5</td> <td>P75DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>4</td> <td>P74DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>3</td> <td>P73DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>2</td> <td>P72DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>1</td> <td>P71DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>0</td> <td>P70DR</td> <td>0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	P77DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。	6	P76DR	0	R/W	5	P75DR	0	R/W	4	P74DR	0	R/W	3	P73DR	0	R/W	2	P72DR	0	R/W	1	P71DR	0	R/W	0	P70DR	0	R/W
ビット	ビット名	初期値	R/W	説明																																				
7	P77DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。																																				
6	P76DR	0	R/W																																					
5	P75DR	0	R/W																																					
4	P74DR	0	R/W																																					
3	P73DR	0	R/W																																					
2	P72DR	0	R/W																																					
1	P71DR	0	R/W																																					
0	P70DR	0	R/W																																					
10.6.2 ポート A データレジスタ (PADR)	10-22	表を修正 <table border="1" data-bbox="532 1495 1204 1661"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7~4</td> <td>—</td> <td>不定</td> <td>—</td> <td>リザーブビット リードすると不定値が読み出されます。</td> </tr> <tr> <td>3</td> <td>PA3DR</td> <td>0</td> <td>R/W</td> <td rowspan="4">汎用出力ポートとして使用する端子の出力データを格納します。</td> </tr> <tr> <td>2</td> <td>PA2DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>1</td> <td>PA1DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>0</td> <td>PA0DR</td> <td>0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7~4	—	不定	—	リザーブビット リードすると不定値が読み出されます。	3	PA3DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。	2	PA2DR	0	R/W	1	PA1DR	0	R/W	0	PA0DR	0	R/W											
ビット	ビット名	初期値	R/W	説明																																				
7~4	—	不定	—	リザーブビット リードすると不定値が読み出されます。																																				
3	PA3DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。																																				
2	PA2DR	0	R/W																																					
1	PA1DR	0	R/W																																					
0	PA0DR	0	R/W																																					

修正項目	ページ	修正箇所																																						
10.10.2 ポートEデータレジスタ (PEDR)	10-38	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>PE7DR</td> <td>0</td> <td>R/W</td> <td rowspan="8">汎用 出力ポートとして使用する端子の出力データを格納します。</td> </tr> <tr> <td>6</td> <td>PE6DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>5</td> <td>PE5DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>4</td> <td>PE4DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>3</td> <td>PE3DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>2</td> <td>PE2DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>1</td> <td>PE1DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>0</td> <td>PE0DR</td> <td>0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	7	PE7DR	0	R/W	汎用 出力ポートとして使用する端子の出力データを格納します。	6	PE6DR	0	R/W	5	PE5DR	0	R/W	4	PE4DR	0	R/W	3	PE3DR	0	R/W	2	PE2DR	0	R/W	1	PE1DR	0	R/W	0	PE0DR	0	R/W
ビット	ビット名	初期値	R/W	説 明																																				
7	PE7DR	0	R/W	汎用 出力ポートとして使用する端子の出力データを格納します。																																				
6	PE6DR	0	R/W																																					
5	PE5DR	0	R/W																																					
4	PE4DR	0	R/W																																					
3	PE3DR	0	R/W																																					
2	PE2DR	0	R/W																																					
1	PE1DR	0	R/W																																					
0	PE0DR	0	R/W																																					
10.11.2 ポートFデータレジスタ (PFDR)	10-41	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>PF7DR</td> <td>0</td> <td>R/W</td> <td rowspan="8">汎用 出力ポートとして使用する端子の出力データを格納します。</td> </tr> <tr> <td>6</td> <td>PF6DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>5</td> <td>PF5DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>4</td> <td>PF4DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>3</td> <td>PF3DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>2</td> <td>PF2DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>1</td> <td>PF1DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>0</td> <td>PF0DR</td> <td>0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	7	PF7DR	0	R/W	汎用 出力ポートとして使用する端子の出力データを格納します。	6	PF6DR	0	R/W	5	PF5DR	0	R/W	4	PF4DR	0	R/W	3	PF3DR	0	R/W	2	PF2DR	0	R/W	1	PF1DR	0	R/W	0	PF0DR	0	R/W
ビット	ビット名	初期値	R/W	説 明																																				
7	PF7DR	0	R/W	汎用 出力ポートとして使用する端子の出力データを格納します。																																				
6	PF6DR	0	R/W																																					
5	PF5DR	0	R/W																																					
4	PF4DR	0	R/W																																					
3	PF3DR	0	R/W																																					
2	PF2DR	0	R/W																																					
1	PF1DR	0	R/W																																					
0	PF0DR	0	R/W																																					
10.12.2 ポートGデータレジスタ (PGDR)	10-45	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7~5</td> <td>—</td> <td>不定</td> <td>—</td> <td>リザーブビット リードすると不定値が読み出されます。</td> </tr> <tr> <td>4</td> <td>PG4DR</td> <td>0</td> <td>R/W</td> <td rowspan="5">汎用 出力ポートとして使用する端子の出力データを格納します。</td> </tr> <tr> <td>3</td> <td>PG3DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>2</td> <td>PG2DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>1</td> <td>PG1DR</td> <td>0</td> <td>R/W</td> </tr> <tr> <td>0</td> <td>PG0DR</td> <td>0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	7~5	—	不定	—	リザーブビット リードすると不定値が読み出されます。	4	PG4DR	0	R/W	汎用 出力ポートとして使用する端子の出力データを格納します。	3	PG3DR	0	R/W	2	PG2DR	0	R/W	1	PG1DR	0	R/W	0	PG0DR	0	R/W							
ビット	ビット名	初期値	R/W	説 明																																				
7~5	—	不定	—	リザーブビット リードすると不定値が読み出されます。																																				
4	PG4DR	0	R/W	汎用 出力ポートとして使用する端子の出力データを格納します。																																				
3	PG3DR	0	R/W																																					
2	PG2DR	0	R/W																																					
1	PG1DR	0	R/W																																					
0	PG0DR	0	R/W																																					
10.13 未使用端子の処理	10-47	項目を追加																																						
11.3.1 タイマコントロールレジスタ (TCR)	11-9	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>CKEG1</td> <td>0</td> <td>R/W</td> <td rowspan="2">クロックエッジ1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります (例: <math>\phi/4</math>の両エッジ=<math>\phi/2</math>の立ち上がりエッジ)。チャンネル1、2、4*、5*で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが<math>\phi/4</math>もしくはそれより遅い場合に有効です。入力クロックに<math>\phi/1</math>、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視され、<math>\phi</math>の立ち下がりエッジでカウントされます。</td> </tr> <tr> <td>3</td> <td>CKEG0</td> <td>0</td> <td>R/W</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説 明	4	CKEG1	0	R/W	クロックエッジ1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります (例: $\phi/4$ の両エッジ= $\phi/2$ の立ち上がりエッジ)。チャンネル1、2、4*、5*で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視され、 $\phi$ の立ち下がりエッジでカウントされます。	3	CKEG0	0	R/W																								
ビット	ビット名	初期値	R/W	説 明																																				
4	CKEG1	0	R/W	クロックエッジ1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が1/2になります (例: $\phi/4$ の両エッジ= $\phi/2$ の立ち上がりエッジ)。チャンネル1、2、4*、5*で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視され、 $\phi$ の立ち下がりエッジでカウントされます。																																				
3	CKEG0	0	R/W																																					
13.3.1 タイマカウンタ (TCNT)	13-3	<p>説明を修正</p> <p>TCNT は、リード/ライト可能な8ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが0のとき、H'00に初期化されます。</p> <p>タイマ動作中に TCNT を H'00 にする場合には直接 TCNT に H'00 をライトしてください。「13.6.7 TME ビットによる TCNT 初期化時の注意」も参照してください。</p>																																						

修正項目	ページ	修正箇所										
13.6.3 PSS、CKS2～CKS0 ビットの書き換え	13-14	説明を修正 WDTの動作中に TCSR の PSS、CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われず場合があります。PSS、CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。										
13.6.7 TME ビットによる TCNT 初期化時の注意	13-14	項目を追加										
15.3.8 スマートカードモードレジスタ (SCMR)	15-19	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>SDIR</td> <td>0</td> <td>R/W</td> <td>スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSBファーストで送受信 1: MSBファーストで送受信 送受信フォーマットが8ビットデータの場合のみ有効です。調歩同期モード7ビットデータの場合を除き、シリアル通信のモードによらず、LSBファースト/MSBファーストの選択が可能です。7ビットデータの場合は0に設定しLSBファーストで使用してください。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSBファーストで送受信 1: MSBファーストで送受信 送受信フォーマットが8ビットデータの場合のみ有効です。調歩同期モード7ビットデータの場合を除き、シリアル通信のモードによらず、LSBファースト/MSBファーストの選択が可能です。7ビットデータの場合は0に設定しLSBファーストで使用してください。
ビット	ビット名	初期値	R/W	説明								
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSBファーストで送受信 1: MSBファーストで送受信 送受信フォーマットが8ビットデータの場合のみ有効です。調歩同期モード7ビットデータの場合を除き、シリアル通信のモードによらず、LSBファースト/MSBファーストの選択が可能です。7ビットデータの場合は0に設定しLSBファーストで使用してください。								
16.3.6 I <sup>2</sup> C バスコントローラレジスタ (ICCR)	16-11	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>ICE</td> <td>0</td> <td>R/W</td> <td>I<sup>2</sup>C バスインタフェースイネーブル このビットを1にセットするとI<sup>2</sup>C バスインタフェースモジュールは送受信可能となり、SCL、SDA 端子と接続されてバスを駆動できる状態になります。また、ICMR、ICDR がアクセス可能となります。 このビットがクリアされた状態では、SCL/SDA は出力禁止 (SCL/SDA への入力は有効) となります。SAR、SARX がアクセス可能となります。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	ICE	0	R/W	I <sup>2</sup> C バスインタフェースイネーブル このビットを1にセットするとI <sup>2</sup> C バスインタフェースモジュールは送受信可能となり、SCL、SDA 端子と接続されてバスを駆動できる状態になります。また、ICMR、ICDR がアクセス可能となります。 このビットがクリアされた状態では、SCL/SDA は出力禁止 (SCL/SDA への入力は有効) となります。SAR、SARX がアクセス可能となります。
ビット	ビット名	初期値	R/W	説明								
7	ICE	0	R/W	I <sup>2</sup> C バスインタフェースイネーブル このビットを1にセットするとI <sup>2</sup> C バスインタフェースモジュールは送受信可能となり、SCL、SDA 端子と接続されてバスを駆動できる状態になります。また、ICMR、ICDR がアクセス可能となります。 このビットがクリアされた状態では、SCL/SDA は出力禁止 (SCL/SDA への入力は有効) となります。SAR、SARX がアクセス可能となります。								
16.4.4 マスタ受信動作 (1) ウェイトを利用した受信動作 図 16.10 マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)	16-26	図を修正 										

修正項目	ページ	修正箇所																	
16.4.6 スレーブ送信動作 図 16.17 スレーブ送信モードフローチャート例	16-35	<p>図を修正</p> <pre> graph TD     Start([ ]) --&gt; Step7[ACKE=0 (ICCR) をライト (ACKB=0クリア)]     Step7 --&gt; Step8[TRS=0 (ICCR) を設定]     Step8 --&gt; Step9[ICCRをリード]     Step9 --&gt; Step10[ICCRのIRICフラグをリード]     Step10 --&gt; Decision{IRIC=1?}     Decision -- No --&gt; Step10     Decision -- Yes --&gt; Step6[ICCRのIRICフラグをクリア]     Step6 --&gt; End([終了])   </pre>																	
	16-36	<p>説明を修正</p> <p>1. スレーブ受信モードの初期設定を行い、自分のアドレス受信を待ちます。 スレーブ受信モードの初期設定時、ICCR の ACKE ビットに 1 をライトしてください。スレーブ送信モードに遷移後、アクノリッジビットの受信を有効にするために必要になります。</p> <p>...</p> <p>4. マスタデバイスは転送フレームの 9 クロック目に SDA を Low レベルにし、アクノリッジを返します。このアクノリッジは ICCSR の ACKE ビットが 1 のとき、ACKB ビットに格納されるので転送動作が正常に行われたかどうか確認することができます。...</p>																	
	16-37	<p>説明を修正</p> <p>10. SCL が High レベルのとき SDA が Low レベルから High レベルに変化して停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされ、ICCSR の STOP フラグが 1 にセットされます。同時に IRIC フラグが 1 にセットされます。IRIC フラグがセットされているときは、IRIC フラグを 0 にクリアします。</p> <p>再度スレーブ送信動作を行う場合は、初期設定から実施してください。</p>																	
17.2 入出力端子	17-3	<p>表を修正</p> <table border="1"> <thead> <tr> <th>端子名</th> <th>記号</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>アナログ入力端子0</td> <td>AN0*</td> <td>入力</td> <td rowspan="4">グループ0のアナログ入力端子</td> </tr> <tr> <td>アナログ入力端子1</td> <td>AN1*</td> <td>入力</td> </tr> <tr> <td>アナログ入力端子2</td> <td>AN2</td> <td>入力</td> </tr> <tr> <td>アナログ入力端子3</td> <td>AN3</td> <td>入力</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】* H8S/2239 グループ、H8S/2227 グループ、H8S/2238R、H8S/2236R の AN0、AN1 は Vcc = AVcc 時のみ使用可能です。</p>	端子名	記号	入出力	機能	アナログ入力端子0	AN0*	入力	グループ0のアナログ入力端子	アナログ入力端子1	AN1*	入力	アナログ入力端子2	AN2	入力	アナログ入力端子3	AN3	入力
端子名	記号	入出力	機能																
アナログ入力端子0	AN0*	入力	グループ0のアナログ入力端子																
アナログ入力端子1	AN1*	入力																	
アナログ入力端子2	AN2	入力																	
アナログ入力端子3	AN3	入力																	
17.8.4 アナログ電源端子ほかの設定範囲 • AVcc、AVss と Vcc、Vss の関係	17-15	<p>説明を修正</p> <p>AVcc、AVss と Vcc、Vss との関係は AVss = Vss とし、さらに、A/D 変換器を使用しないときも AVcc、AVss 端子をオープンにしないでください。また、H8S/2239 グループ、H8S/2227 グループ、H8S/2238R、H8S/2236R のアナログ入力端子 AN0、AN1 は Vcc = AVcc 時のみ使用可能となります。</p>																	



修正項目	ページ	修正箇所																										
27.3.2 DC 特性 表 27.14 DC 特性 (1)	27-24	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力High レベル電圧</td> <td>RES、STBY、NMI、FWE MD2~MD0</td> <td><math>V_{IH}</math></td> <td><math>V_{CC} \times 0.9</math></td> <td>—</td> <td><math>V_{CC} + 0.3</math></td> <td>V</td> </tr> <tr> <td>EXTAL、ポート1、3、 7、A~G</td> <td></td> <td><math>V_{CC} \times 0.8</math></td> <td>—</td> <td><math>V_{CC} + 0.3</math></td> <td>V</td> </tr> <tr> <td>ポート4<sup>※</sup>、9</td> <td></td> <td><math>V_{CC} \times 0.8</math></td> <td>—</td> <td><math>AV_{CC} + 0.3</math><sup>※</sup></td> <td>V</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】*5 <math>V_{CC} &lt; AV_{CC}</math> のとき、P40、P41 の max は <math>V_{CC} + 0.3V</math> になります。</p>	項目	記号	min	typ	max	単位	測定条件	入力High レベル電圧	RES、STBY、NMI、FWE MD2~MD0	$V_{IH}$	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V	EXTAL、ポート1、3、 7、A~G		$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V	ポート4 <sup>※</sup> 、9		$V_{CC} \times 0.8$	—	$AV_{CC} + 0.3$ <sup>※</sup>	V
項目	記号	min	typ	max	単位	測定条件																						
入力High レベル電圧	RES、STBY、NMI、FWE MD2~MD0	$V_{IH}$	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V																						
	EXTAL、ポート1、3、 7、A~G		$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V																						
	ポート4 <sup>※</sup> 、9		$V_{CC} \times 0.8$	—	$AV_{CC} + 0.3$ <sup>※</sup>	V																						
27.3.4 A/D 変換特性 表 27.23 A/D 変換特性	27-36	<p>条件を修正</p> <p>条件 A (F-ZTAT 版、マスク ROM 版) : <math>V_{CC} = 2.7 \sim 3.6V</math><sup>※</sup>、<math>AV_{CC} = 2.7 \sim 3.6V</math><sup>※</sup>、<math>V_{ref} = 2.7V \sim AV_{CC}</math>、<math>V_{SS} = AV_{SS} = 0V</math>、<math>f = 2 \sim 16.0MHz</math>、<math>T_a = -20 \sim +75</math> (通常仕様品)</p> <p>条件 B (マスク ROM 版) : <math>V_{CC} = 2.2 \sim 3.6V</math><sup>※</sup>、<math>AV_{CC} = 2.2 \sim 3.6V</math><sup>※</sup>、<math>V_{ref} = 2.2V \sim AV_{CC}</math>、<math>V_{SS} = AV_{SS} = 0V</math>、<math>\phi = 2 \sim 6.25MHz</math>、<math>T_a = -20 \sim +75</math> (通常仕様品)、<math>T_a = -40 \sim +85</math> (広温度範囲仕様品)</p> <p>条件 C (F-ZTAT 版、マスク ROM 版) : <math>V_{CC} = 3.0 \sim 3.6V</math><sup>※</sup>、<math>AV_{CC} = 3.0 \sim 3.6V</math><sup>※</sup>、<math>V_{ref} = 3.0V \sim AV_{CC}</math>、<math>V_{SS} = AV_{SS} = 0V</math>、<math>\phi = 10.0 \sim 20.0MHz</math>、<math>T_a = -20 \sim +75</math> (通常仕様品)、<math>T_a = -40 \sim +85</math> (広温度範囲仕様品)</p> <p>注を追加</p> <p>【注】* AN0、AN1 は <math>V_{CC} = AV_{CC}</math> 時のみ使用可能です。</p>																										
27.5.2 DC 特性 表 27.39 DC 特性 (1)	27-56	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力High レベル電圧</td> <td>RES、STBY、NMI、 FWE、MD2~MD0</td> <td><math>V_{IH}</math></td> <td><math>V_{CC} \times 0.9</math></td> <td>—</td> <td><math>V_{CC} + 0.3</math></td> <td>V</td> </tr> <tr> <td>EXTAL、ポート1、3、 7、A~G</td> <td></td> <td><math>V_{CC} \times 0.8</math></td> <td>—</td> <td><math>V_{CC} + 0.3</math></td> <td>V</td> </tr> <tr> <td>ポート4<sup>※</sup>、9</td> <td></td> <td><math>V_{CC} \times 0.8</math></td> <td>—</td> <td><math>AV_{CC} + 0.3</math><sup>※</sup></td> <td>V</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】*5 <math>V_{CC} &lt; AV_{CC}</math> のとき、P40、P41 の max は <math>V_{CC} + 0.3V</math> になります。</p>	項目	記号	min	typ	max	単位	測定条件	入力High レベル電圧	RES、STBY、NMI、 FWE、MD2~MD0	$V_{IH}$	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V	EXTAL、ポート1、3、 7、A~G		$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V	ポート4 <sup>※</sup> 、9		$V_{CC} \times 0.8$	—	$AV_{CC} + 0.3$ <sup>※</sup>	V
項目	記号	min	typ	max	単位	測定条件																						
入力High レベル電圧	RES、STBY、NMI、 FWE、MD2~MD0	$V_{IH}$	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V																						
	EXTAL、ポート1、3、 7、A~G		$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V																						
	ポート4 <sup>※</sup> 、9		$V_{CC} \times 0.8$	—	$AV_{CC} + 0.3$ <sup>※</sup>	V																						
27.5.4 A/D 変換特性 表 27.47 A/D 変換特性	27-67	<p>条件を修正</p> <p>条件 A (F-ZTAT 版、マスク ROM 版) : <math>V_{CC} = 2.7 \sim 3.6V</math><sup>※</sup>、<math>AV_{CC} = 2.7 \sim 3.6V</math><sup>※</sup>、<math>V_{ref} = 2.7V \sim AV_{CC}</math>、<math>V_{SS} = AV_{SS} = 0V</math>、<math>f = 2 \sim 13.5MHz</math>、<math>T_a = -20 \sim +75</math> (通常仕様品)、<math>T_a = -40 \sim +85</math> (広温度範囲仕様品)</p> <p>条件 B (F-ZTAT 版) : <math>V_{CC} = 2.2 \sim 3.6V</math><sup>※</sup>、<math>AV_{CC} = 2.2 \sim 3.6V</math><sup>※</sup>、<math>V_{ref} = 2.2V \sim AV_{CC}</math>、<math>V_{SS} = AV_{SS} = 0V</math>、<math>\phi = 2 \sim 6.25MHz</math>、<math>T_a = -20 \sim +75</math> (通常仕様品)</p> <p>条件 C (マスク ROM 版) : <math>V_{CC} = 2.2 \sim 3.6V</math><sup>※</sup>、<math>AV_{CC} = 2.2 \sim 3.6V</math><sup>※</sup>、<math>V_{ref} = 2.2V \sim AV_{CC}</math>、<math>V_{SS} = AV_{SS} = 0V</math>、<math>\phi = 2 \sim 6.25MHz</math>、<math>T_a = -20 \sim +75</math> (通常仕様品)、<math>T_a = -40 \sim +85</math> (広温度範囲仕様品)</p> <p>注を追加</p> <p>【注】* AN0、AN1 は <math>V_{CC} = AV_{CC}</math> 時のみ使用可能です。</p>																										

修正項目	ページ	修正箇所																																		
27.6.2 DC 特性 表 27.51 DC 特性 (1)	27-71	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力High レベル電圧</td> <td>FRES、STBY、NMI、 MD2→MD0、FWE</td> <td><math>V_{IH}</math></td> <td><math>V_{CC} \times 0.9</math></td> <td>—</td> <td><math>V_{CC} + 0.3</math></td> <td>V</td> <td rowspan="3"></td> </tr> <tr> <td>EXTAL、ポート1、3、 7、A~G</td> <td></td> <td><math>V_{CC} \times 0.8</math></td> <td>—</td> <td><math>V_{CC} + 0.3</math></td> <td>V</td> </tr> <tr> <td>ポート4<sup>#5</sup>、9</td> <td></td> <td><math>V_{CC} \times 0.8</math></td> <td>—</td> <td><math>AV_{CC} + 0.3</math><sup>#5</sup></td> <td>V</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】 *5 <math>V_{CC} &lt; AV_{CC}</math> のとき、P40、P41 の max は <math>V_{CC} + 0.3V</math> になります。</p>	項目	記号	min	typ	max	単位	測定条件	入力High レベル電圧	FRES、STBY、NMI、 MD2→MD0、FWE	$V_{IH}$	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V		EXTAL、ポート1、3、 7、A~G		$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V	ポート4 <sup>#5</sup> 、9		$V_{CC} \times 0.8$	—	$AV_{CC} + 0.3$ <sup>#5</sup>	V							
項目	記号	min	typ	max	単位	測定条件																														
入力High レベル電圧	FRES、STBY、NMI、 MD2→MD0、FWE	$V_{IH}$	$V_{CC} \times 0.9$	—	$V_{CC} + 0.3$	V																														
	EXTAL、ポート1、3、 7、A~G		$V_{CC} \times 0.8$	—	$V_{CC} + 0.3$	V																														
	ポート4 <sup>#5</sup> 、9		$V_{CC} \times 0.8$	—	$AV_{CC} + 0.3$ <sup>#5</sup>	V																														
27.6.4 A/D 変換特性 表 27.57 A/D 変換特性	27-81	<p>条件を修正</p> <p>条件 B (F-ZTAT 版、マスク ROM 版) : <math>V_{CC} = 2.7 \sim 3.6V</math><sup>#</sup>、<math>AV_{CC} = 2.7 \sim 3.6V</math><sup>#</sup>、<math>V_{ref} = 2.7V \sim AV_{CC}</math>、<math>V_{SS} = AV_{SS} = 0V</math>、<math>\phi = 2 \sim 13.5MHz</math>、<math>T_a = -20 \sim +75</math> (通常仕様品)、<math>T_a = -40 \sim +85</math> (広温度範囲仕様品)</p> <p>条件 Q (マスク ROM 版) : <math>V_{CC} = 2.2 \sim 3.6V</math><sup>#</sup>、<math>AV_{CC} = 2.2 \sim 3.6V</math><sup>#</sup>、<math>V_{ref} = 2.2V \sim AV_{CC}</math>、<math>V_{SS} = AV_{SS} = 0V</math>、<math>\phi = 2 \sim 6.25MHz</math>、<math>T_a = -20 \sim +75</math> (通常仕様品)、<math>T_a = -40 \sim +85</math> (広温度範囲仕様品)</p> <p>注を追加</p> <p>【注】 * AN0、AN1 は <math>V_{CC} = AV_{CC}</math> 時のみ使用可能です。</p>																																		
B. 型名一覧 表 B.3 H8S/2238 グループ 型名一覧	付録-7	<p>表を修正</p> <table border="1"> <thead> <tr> <th>製品分類</th> <th>製品型名</th> <th>マーク型名</th> <th>パッケージ (コード)</th> </tr> </thead> <tbody> <tr> <td rowspan="6">H8S/2238B マスク ROM版</td> <td rowspan="3">5V品</td> <td>HD6432238B</td> <td>HD6432238B(**)TE 100ピンTQFP (TFP-100B)</td> </tr> <tr> <td></td> <td>HD6432238B(**)TF 100ピンTQFP (TFP-100G)</td> </tr> <tr> <td></td> <td>HD6432238B(**)F 100ピンQFP (FP-100A)</td> </tr> <tr> <td rowspan="3">fCバシインタ フェース 内蔵品 (5V品)</td> <td>HD6432238BW</td> <td>HD6432238BW(**)TE 100ピンTQFP (TFP-100B)</td> </tr> <tr> <td></td> <td>HD6432238BW(**)TF 100ピンTQFP (TFP-100G)</td> </tr> <tr> <td></td> <td>HD6432238BW(**)F 100ピンQFP (FP-100A)</td> </tr> <tr> <td rowspan="6">H8S/2238R マスク ROM版</td> <td rowspan="3">3.0V品 2.2V品</td> <td>HD6432238R</td> <td>HD6432238R(**)TE 100ピンTQFP (TFP-100B)</td> </tr> <tr> <td></td> <td>HD6432238R(**)TF 100ピンTQFP (TFP-100G)</td> </tr> <tr> <td></td> <td>HD6432238R(**)F 100ピンQFP (FP-100B)</td> </tr> <tr> <td rowspan="3">fCバシインタ フェース 内蔵品 (3V品)</td> <td>HD6432238RW</td> <td>HD6432238RW(**)TE 100ピンTQFP (TFP-100B)</td> </tr> <tr> <td></td> <td>HD6432238RW(**)TF 100ピンTQFP (TFP-100G)</td> </tr> <tr> <td></td> <td>HD6432238RW(**)FA 100ピンQFP (FP-100B)</td> </tr> </tbody> </table>	製品分類	製品型名	マーク型名	パッケージ (コード)	H8S/2238B マスク ROM版	5V品	HD6432238B	HD6432238B(**)TE 100ピンTQFP (TFP-100B)		HD6432238B(**)TF 100ピンTQFP (TFP-100G)		HD6432238B(**)F 100ピンQFP (FP-100A)	fCバシインタ フェース 内蔵品 (5V品)	HD6432238BW	HD6432238BW(**)TE 100ピンTQFP (TFP-100B)		HD6432238BW(**)TF 100ピンTQFP (TFP-100G)		HD6432238BW(**)F 100ピンQFP (FP-100A)	H8S/2238R マスク ROM版	3.0V品 2.2V品	HD6432238R	HD6432238R(**)TE 100ピンTQFP (TFP-100B)		HD6432238R(**)TF 100ピンTQFP (TFP-100G)		HD6432238R(**)F 100ピンQFP (FP-100B)	fCバシインタ フェース 内蔵品 (3V品)	HD6432238RW	HD6432238RW(**)TE 100ピンTQFP (TFP-100B)		HD6432238RW(**)TF 100ピンTQFP (TFP-100G)		HD6432238RW(**)FA 100ピンQFP (FP-100B)
製品分類	製品型名	マーク型名	パッケージ (コード)																																	
H8S/2238B マスク ROM版	5V品	HD6432238B	HD6432238B(**)TE 100ピンTQFP (TFP-100B)																																	
			HD6432238B(**)TF 100ピンTQFP (TFP-100G)																																	
			HD6432238B(**)F 100ピンQFP (FP-100A)																																	
	fCバシインタ フェース 内蔵品 (5V品)	HD6432238BW	HD6432238BW(**)TE 100ピンTQFP (TFP-100B)																																	
			HD6432238BW(**)TF 100ピンTQFP (TFP-100G)																																	
			HD6432238BW(**)F 100ピンQFP (FP-100A)																																	
H8S/2238R マスク ROM版	3.0V品 2.2V品	HD6432238R	HD6432238R(**)TE 100ピンTQFP (TFP-100B)																																	
			HD6432238R(**)TF 100ピンTQFP (TFP-100G)																																	
			HD6432238R(**)F 100ピンQFP (FP-100B)																																	
	fCバシインタ フェース 内蔵品 (3V品)	HD6432238RW	HD6432238RW(**)TE 100ピンTQFP (TFP-100B)																																	
			HD6432238RW(**)TF 100ピンTQFP (TFP-100G)																																	
			HD6432238RW(**)FA 100ピンQFP (FP-100B)																																	
	付録-8	<p>表を修正</p> <table border="1"> <thead> <tr> <th>製品分類</th> <th>製品型名</th> <th>マーク型名</th> <th>パッケージ (コード)</th> </tr> </thead> <tbody> <tr> <td rowspan="6">H8S/2236B マスク ROM版</td> <td rowspan="3">5V品</td> <td>HD6432236B</td> <td>HD6432236B(**)TE 100ピンTQFP (TFP-100B)</td> </tr> <tr> <td></td> <td>HD6432236B(**)TF 100ピンTQFP (TFP-100G)</td> </tr> <tr> <td></td> <td>HD6432236B(**)F 100ピンQFP (FP-100A)</td> </tr> <tr> <td rowspan="3">fCバシインタ フェース 内蔵品 (5V品)</td> <td>HD6432236BW</td> <td>HD6432236BW(**)TE 100ピンTQFP (TFP-100B)</td> </tr> <tr> <td></td> <td>HD6432236BW(**)TF 100ピンTQFP (TFP-100G)</td> </tr> <tr> <td></td> <td>HD6432236BW(**)F 100ピンQFP (FP-100A)</td> </tr> <tr> <td rowspan="6">H8S/2236R マスク ROM版</td> <td rowspan="3">3.0V品、 2.2V品</td> <td>HD6432236R</td> <td>HD6432236R(**)TE 100ピンTQFP (TFP-100B)</td> </tr> <tr> <td></td> <td>HD6432236R(**)TF 100ピンTQFP (TFP-100G)</td> </tr> <tr> <td></td> <td>HD6432236R(**)FA 100ピンQFP (FP-100B)</td> </tr> <tr> <td rowspan="3">fCバシインタ フェース 内蔵品 (3V品)</td> <td>HD6432236RW</td> <td>HD6432236RW(**)TE 100ピンTQFP (TFP-100B)</td> </tr> <tr> <td></td> <td>HD6432236RW(**)TF 100ピンTQFP (TFP-100G)</td> </tr> <tr> <td></td> <td>HD6432236RW(**)FA 100ピンQFP (FP-100B)</td> </tr> </tbody> </table>	製品分類	製品型名	マーク型名	パッケージ (コード)	H8S/2236B マスク ROM版	5V品	HD6432236B	HD6432236B(**)TE 100ピンTQFP (TFP-100B)		HD6432236B(**)TF 100ピンTQFP (TFP-100G)		HD6432236B(**)F 100ピンQFP (FP-100A)	fCバシインタ フェース 内蔵品 (5V品)	HD6432236BW	HD6432236BW(**)TE 100ピンTQFP (TFP-100B)		HD6432236BW(**)TF 100ピンTQFP (TFP-100G)		HD6432236BW(**)F 100ピンQFP (FP-100A)	H8S/2236R マスク ROM版	3.0V品、 2.2V品	HD6432236R	HD6432236R(**)TE 100ピンTQFP (TFP-100B)		HD6432236R(**)TF 100ピンTQFP (TFP-100G)		HD6432236R(**)FA 100ピンQFP (FP-100B)	fCバシインタ フェース 内蔵品 (3V品)	HD6432236RW	HD6432236RW(**)TE 100ピンTQFP (TFP-100B)		HD6432236RW(**)TF 100ピンTQFP (TFP-100G)		HD6432236RW(**)FA 100ピンQFP (FP-100B)
製品分類	製品型名	マーク型名	パッケージ (コード)																																	
H8S/2236B マスク ROM版	5V品	HD6432236B	HD6432236B(**)TE 100ピンTQFP (TFP-100B)																																	
			HD6432236B(**)TF 100ピンTQFP (TFP-100G)																																	
			HD6432236B(**)F 100ピンQFP (FP-100A)																																	
	fCバシインタ フェース 内蔵品 (5V品)	HD6432236BW	HD6432236BW(**)TE 100ピンTQFP (TFP-100B)																																	
			HD6432236BW(**)TF 100ピンTQFP (TFP-100G)																																	
			HD6432236BW(**)F 100ピンQFP (FP-100A)																																	
H8S/2236R マスク ROM版	3.0V品、 2.2V品	HD6432236R	HD6432236R(**)TE 100ピンTQFP (TFP-100B)																																	
			HD6432236R(**)TF 100ピンTQFP (TFP-100G)																																	
			HD6432236R(**)FA 100ピンQFP (FP-100B)																																	
	fCバシインタ フェース 内蔵品 (3V品)	HD6432236RW	HD6432236RW(**)TE 100ピンTQFP (TFP-100B)																																	
			HD6432236RW(**)TF 100ピンTQFP (TFP-100G)																																	
			HD6432236RW(**)FA 100ピンQFP (FP-100B)																																	

修正項目	ページ	修正箇所
C. 外形寸法図 図 C.1 外形寸法図 (TFP-100B)	付録-10	図を差し替え
----- 図 C.2 外形寸法図 (TFP-100G)	付録-11	
----- 図 C.3 外形寸法図 (FP-100A)	付録-12	
----- 図 C.4 外形寸法図 (FP-100B)	付録-13	
----- 図 C.5 外形寸法図(BP-112)	付録-14	
----- 図 C.6 外形寸法図 (TBP-112A、TBP-112AV)	付録-15	

すべての商標および登録商標は、それぞれの所有者に帰属します。



---

# 目次

---

1. 概要.....	1-1
1.1  特長.....	1-1
1.2  内部ブロック図.....	1-4
1.3  端子説明.....	1-9
1.3.1  ピン配置図.....	1-9
1.3.2  動作モード別ピン配置一覧.....	1-20
1.3.3  端子機能.....	1-42
2. CPU.....	2-1
2.1  特長.....	2-1
2.1.1  H8S/2600 CPU と H8S/2000 CPU との相違点.....	2-2
2.1.2  H8/300 CPU との相違点.....	2-3
2.1.3  H8/300H CPU との相違点.....	2-3
2.2  CPU動作モード.....	2-4
2.2.1  ノーマルモード.....	2-4
2.2.2  アドバンスモード.....	2-6
2.3  アドレス空間.....	2-8
2.4  レジスタの構成.....	2-9
2.4.1  汎用レジスタ.....	2-10
2.4.2  プログラムカウンタ (PC).....	2-11
2.4.3  エクステンドレジスタ (EXR).....	2-11
2.4.4  コンディションコードレジスタ (CCR).....	2-12
2.4.5  CPU 内部レジスタの初期値.....	2-13
2.5  データ形式.....	2-14
2.5.1  汎用レジスタのデータ形式.....	2-14
2.5.2  メモリ上でのデータ形式.....	2-16
2.6  命令セット.....	2-17
2.6.1  命令の機能別一覧.....	2-18
2.6.2  命令の基本フォーマット.....	2-28
2.7  アドレッシングモードと実効アドレスの計算方法.....	2-29
2.7.1  レジスタ直接 Rn.....	2-29
2.7.2  レジスタ間接 @ERn.....	2-29
2.7.3  ディスプレイメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn).....	2-29
2.7.4  ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn.....	2-30

2.7.5	絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32 .....	2-30
2.7.6	イミディエイト #xx:8 / #xx:16 / #xx:32 .....	2-31
2.7.7	プログラムカウンタ相対 @( d:8, PC ) / @ ( d:16, PC ) .....	2-31
2.7.8	メモリ間接 @@aa:8 .....	2-31
2.7.9	実効アドレスの計算方法 .....	2-32
2.8	処理状態 .....	2-35
2.9	使用上の注意事項 .....	2-37
2.9.1	TAS 命令 .....	2-37
2.9.2	STM/LDM 命令 .....	2-37
2.9.3	ビット操作命令使用上の注意事項 .....	2-37
2.9.4	ライト専用ビットを含むレジスタのアクセス方法 .....	2-39
3.	MCU 動作モード .....	3-1
3.1	動作モードの選択 .....	3-1
3.2	レジスタの説明 .....	3-2
3.2.1	モードコントロールレジスタ ( MDCR ) .....	3-2
3.2.2	システムコントロールレジスタ ( SYSCR ) .....	3-3
3.3	各動作モードの説明 .....	3-4
3.3.1	モード 4 .....	3-4
3.3.2	モード 5 .....	3-4
3.3.3	モード 6 .....	3-4
3.3.4	モード 7 .....	3-5
3.3.5	端子機能 .....	3-5
3.4	各動作モードのアドレスマップ .....	3-6
4.	例外処理 .....	4-1
4.1	例外処理の種類と優先度 .....	4-1
4.2	例外処理要因とベクタテーブル .....	4-2
4.3	リセット .....	4-3
4.3.1	リセットの種類 .....	4-3
4.3.2	リセット例外処理 .....	4-3
4.3.3	リセット直後の割り込み .....	4-4
4.3.4	リセット解除後の内蔵周辺機能 .....	4-5
4.4	トレース例外処理 .....	4-5
4.5	割り込み例外処理 .....	4-5
4.6	トラップ命令例外処理 .....	4-6
4.7	例外処理後のスタックの状態 .....	4-7
4.8	使用上の注意事項 .....	4-7

5.	割り込みコントローラ .....	5-1
5.1	特長 .....	5-1
5.2	入出力端子 .....	5-2
5.3	レジスタの説明 .....	5-3
5.3.1	インタラプトプライオリティレジスタ A ~ L、O ( IPRA ~ IPRL、IPRO ) .....	5-4
5.3.2	IRQ イネーブルレジスタ ( IER ) .....	5-5
5.3.3	IRQ センスコントロールレジスタ H、L ( ISCRH、ISCRL ) .....	5-5
5.3.4	IRQ ステータスレジスタ ( ISR ) .....	5-7
5.4	割り込み要因 .....	5-7
5.4.1	外部割り込み .....	5-7
5.4.2	内部割り込み .....	5-8
5.4.3	割り込み例外処理ベクタテーブル .....	5-9
5.5	割り込み動作 .....	5-12
5.5.1	割り込み制御モードと割り込み動作 .....	5-12
5.5.2	割り込み制御モード 0 .....	5-16
5.5.3	割り込み制御モード 2 .....	5-18
5.5.4	割り込み例外処理シーケンス .....	5-19
5.5.5	割り込み応答時間 .....	5-21
5.5.6	割り込みによる DTC、DMAC の起動 .....	5-21
5.6	使用上の注意事項 .....	5-24
5.6.1	割り込みの発生とディスエーブルとの競合 .....	5-24
5.6.2	割り込みを禁止している命令 .....	5-25
5.6.3	割り込み禁止期間 .....	5-25
5.6.4	EEPMOV 命令実行中の割り込み .....	5-25
5.6.5	IRQ 割り込み .....	5-25
5.6.6	NMI 割り込み使用上の注意 .....	5-25
6.	PC ブレークコントローラ ( PBC ) .....	6-1
6.1	特長 .....	6-1
6.2	レジスタの説明 .....	6-2
6.2.1	ブレークアドレスレジスタ A ( BARA ) .....	6-2
6.2.2	ブレークアドレスレジスタ B ( BARB ) .....	6-2
6.2.3	ブレークコントロールレジスタ A ( BCRA ) .....	6-3
6.2.4	ブレークコントロールレジスタ B ( BCRB ) .....	6-3
6.3	動作説明 .....	6-4
6.3.1	命令フェッチによる PC ブレーク割り込み動作 .....	6-4
6.3.2	データアクセスによる PC ブレーク割り込み動作 .....	6-4
6.3.3	データ連続転送時の PC ブレーク動作 .....	6-5
6.3.4	低消費電力モード遷移時の動作 .....	6-5
6.3.5	命令実行が 1 ステート遅れる場合 .....	6-6

6.4	使用上の注意事項 .....	6-6
6.4.1	モジュールストップモードの設定 .....	6-6
6.4.2	PC ブレーク割り込み .....	6-6
6.4.3	CMFA、CMFB .....	6-6
6.4.4	DTC、DMAC がバスマスタのときに発生した PC ブレーク割り込み .....	6-6
6.4.5	BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令フェッチに PC ブレークを設定した場合 .....	6-7
6.4.6	LDC、ANDC、ORC、XORC 命令により I ビットを設定した場合 .....	6-7
6.4.7	Bcc 命令の次のアドレスの命令フェッチに PC ブレークを設定した場合 .....	6-7
6.4.8	Bcc 命令の分岐先のアドレスの命令フェッチに PC ブレークを設定した場合 .....	6-7
7.	バスコントローラ .....	7-1
7.1	特長 .....	7-1
7.2	入出力端子 .....	7-3
7.3	レジスタの説明 .....	7-3
7.3.1	バス幅コントロールレジスタ (ABWCR) .....	7-4
7.3.2	アクセスステートコントロールレジスタ (ASTCR) .....	7-4
7.3.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL) .....	7-5
7.3.4	バスコントロールレジスタ H (BCRH) .....	7-7
7.3.5	バスコントロールレジスタ L (BCRL) .....	7-8
7.3.6	端子機能コントロールレジスタ (PFCR) .....	7-9
7.4	バス制御 .....	7-10
7.4.1	エリア分割 .....	7-10
7.4.2	バス仕様 .....	7-11
7.4.3	各エリアのバスインタフェース .....	7-12
7.4.4	チップセレクト信号 .....	7-12
7.5	基本動作タイミング .....	7-13
7.5.1	内蔵メモリ (ROM、RAM) アクセスタイミング .....	7-13
7.5.2	内蔵周辺モジュールアクセスタイミング .....	7-14
7.5.3	外部アドレス空間アクセスタイミング .....	7-15
7.6	基本バスインタフェース .....	7-15
7.6.1	データサイズとデータアライメント .....	7-15
7.6.2	有効ストロープ .....	7-17
7.6.3	基本タイミング .....	7-18
7.6.4	ウェイト制御 .....	7-26
7.7	バーストROMインタフェース .....	7-27
7.7.1	基本タイミング .....	7-27
7.7.2	ウェイト制御 .....	7-28
7.8	アイドルサイクル .....	7-29
7.9	バス解放 .....	7-32
7.9.1	バス権解放の使用上の注意事項 .....	7-33



7.10	バスアービトレーション.....	7-34
7.10.1	動作説明.....	7-34
7.10.2	バス権移行タイミング.....	7-34
7.10.3	外部バス権解放使用上の注意事項.....	7-35
7.11	リセットとバスコントローラ.....	7-35
8.	DMA コントローラ (DMAC) .....	8-1
8.1	特長.....	8-1
8.2	入出力端子.....	8-3
8.3	レジスタの説明.....	8-3
8.3.1	メモリアドレスレジスタ (MARA、MARB) .....	8-5
8.3.2	I/O アドレスレジスタ (IOARA、IOARB) .....	8-5
8.3.3	転送カウンタレジスタ (ETCRA、ETCRB) .....	8-6
8.3.4	DMA コントロールレジスタ (DMACRA、DMACRB) .....	8-6
8.3.5	DMA バンドコントロールレジスタ H、L (DMABCRH、DMABCRL) .....	8-12
8.3.6	DMA ライトイネーブルレジスタ (DMAWER) .....	8-20
8.3.7	DMA ターミナルコントロールレジスタ (DMATCR) .....	8-22
8.4	起動要因.....	8-23
8.4.1	内部割り込み要求による起動.....	8-23
8.4.2	外部リクエストによる起動.....	8-24
8.4.3	オートリクエストによる起動.....	8-24
8.5	動作説明.....	8-25
8.5.1	転送モード.....	8-25
8.5.2	シーケンシャルモード.....	8-26
8.5.3	アイドルモード.....	8-29
8.5.4	リピートモード.....	8-31
8.5.5	シングルアドレスモード.....	8-34
8.5.6	ノーマルモード.....	8-38
8.5.7	ブロック転送モード.....	8-41
8.5.8	基本バスサイクル.....	8-46
8.5.9	DMA 転送 (デュアルアドレスモード) のバスサイクル.....	8-46
8.5.10	DMA 転送 (シングルアドレスモード) のバスサイクル.....	8-54
8.5.11	複数チャネルの動作.....	8-58
8.5.12	DMAC と外部バス権要求、DTC の関係.....	8-59
8.5.13	DMAC と NMI 割り込み.....	8-59
8.5.14	DMAC の強制終了.....	8-60
8.5.15	フルアドレスモードの解除.....	8-60
8.6	割り込み要因.....	8-61
8.7	使用上の注意事項.....	8-61

9.	データトランスファコントローラ (DTC) .....	9-1
9.1	特長 .....	9-1
9.2	レジスタの説明 .....	9-2
9.2.1	DTC モードレジスタ A (MRA) .....	9-3
9.2.2	DTC モードレジスタ B (MRB) .....	9-4
9.2.3	DTC ソースアドレスレジスタ (SAR) .....	9-4
9.2.4	DTC デスティネーションアドレスレジスタ (DAR) .....	9-4
9.2.5	DTC 転送カウントレジスタ A (CRA) .....	9-4
9.2.6	DTC 転送カウントレジスタ B (CRB) .....	9-5
9.2.7	DTC イネーブルレジスタ A ~ G、I (DTCERA ~ DTCERG、DTCERI) .....	9-5
9.2.8	DTC ベクタレジスタ (DTVECR) .....	9-6
9.3	起動要因 .....	9-6
9.4	レジスタ情報の配置とDTCベクタテーブル .....	9-8
9.5	動作説明 .....	9-11
9.5.1	ノーマルモード .....	9-12
9.5.2	リピートモード .....	9-13
9.5.3	ブロック転送モード .....	9-14
9.5.4	チェイン転送 .....	9-15
9.5.5	割り込み要因 .....	9-16
9.5.6	動作タイミング .....	9-16
9.5.7	DTC 実行ステート数 .....	9-17
9.6	DTC使用手順 .....	9-18
9.6.1	割り込みによる起動 .....	9-18
9.6.2	ソフトウェアによる起動 .....	9-19
9.7	DTC使用例 .....	9-19
9.7.1	ノーマルモード .....	9-19
9.7.2	ソフトウェア起動 .....	9-20
9.8	使用上の注意事項 .....	9-20
9.8.1	モジュールストップモードの設定 .....	9-20
9.8.2	内蔵 RAM .....	9-20
9.8.3	DTCE ビットの設定 .....	9-21
10.	I/O ポート .....	10-1
10.1	ポート1 .....	10-4
10.1.1	ポート1 データディレクションレジスタ (P1DDR) .....	10-4
10.1.2	ポート1 データレジスタ (P1DR) .....	10-5
10.1.3	ポート1 レジスタ (PORT1) .....	10-5
10.1.4	端子機能 .....	10-6
10.2	ポート3 .....	10-10
10.2.1	ポート3 データディレクションレジスタ (P3DDR) .....	10-10

10.2.2	ポート 3 データレジスタ ( P3DR ) .....	10-11
10.2.3	ポート 3 レジスタ ( PORT3 ) .....	10-11
10.2.4	ポート 3 オープンドレインコントロールレジスタ ( P3ODR ) .....	10-12
10.2.5	端子機能 .....	10-12
10.3	ポート 4 .....	10-16
10.3.1	ポート 4 レジスタ ( PORT4 ) .....	10-16
10.3.2	端子機能 .....	10-16
10.4	ポート 7 .....	10-17
10.4.1	ポート 7 データディレクションレジスタ ( P7DDR ) .....	10-17
10.4.2	ポート 7 データレジスタ ( P7DR ) .....	10-17
10.4.3	ポート 7 レジスタ ( PORT7 ) .....	10-18
10.4.4	端子機能 .....	10-18
10.5	ポート 9 .....	10-20
10.5.1	ポート 9 レジスタ ( PORT9 ) .....	10-21
10.5.2	端子機能 .....	10-21
10.6	ポート A .....	10-21
10.6.1	ポート A データディレクションレジスタ ( PADDDR ) .....	10-21
10.6.2	ポート A データレジスタ ( PADR ) .....	10-22
10.6.3	ポート A レジスタ ( PORTA ) .....	10-22
10.6.4	ポート A プルアップ MOS コントロールレジスタ ( PAPCR ) .....	10-22
10.6.5	ポート A オープンドレインコントロールレジスタ ( PAODR ) .....	10-23
10.6.6	端子機能 .....	10-23
10.6.7	ポート A 入力プルアップ MOS の状態 .....	10-25
10.7	ポート B .....	10-25
10.7.1	ポート B データディレクションレジスタ ( PBDDR ) .....	10-25
10.7.2	ポート B データレジスタ ( PBDR ) .....	10-26
10.7.3	ポート B レジスタ ( PORTB ) .....	10-26
10.7.4	ポート B プルアップ MOS コントロールレジスタ ( PBPCR ) .....	10-27
10.7.5	端子機能 .....	10-27
10.7.6	ポート B 入力プルアップ MOS の状態 .....	10-31
10.8	ポート C .....	10-32
10.8.1	ポート C データディレクションレジスタ ( PCDDR ) .....	10-32
10.8.2	ポート C データレジスタ ( PCDR ) .....	10-32
10.8.3	ポート C レジスタ ( PORTC ) .....	10-33
10.8.4	ポート C プルアップ MOS コントロールレジスタ ( PCPCR ) .....	10-33
10.8.5	端子機能 .....	10-33
10.8.6	ポート C 入力プルアップ MOS の状態 .....	10-34
10.9	ポート D .....	10-35
10.9.1	ポート D データディレクションレジスタ ( PDDDR ) .....	10-35
10.9.2	ポート D データレジスタ ( PDDR ) .....	10-35
10.9.3	ポート D レジスタ ( PORTD ) .....	10-36

10.9.4	ポートD プルアップ MOS コントロールレジスタ (PDPCR) .....	10-36
10.9.5	端子機能 .....	10-36
10.9.6	ポートD 入力プルアップ MOS の状態 .....	10-37
10.10	ポートE .....	10-38
10.10.1	ポートE データディレクションレジスタ (PEDDR) .....	10-38
10.10.2	ポートE データレジスタ (PEDR) .....	10-38
10.10.3	ポートE レジスタ (PORTE) .....	10-39
10.10.4	ポートE プルアップ MOS コントロールレジスタ (PEPCR) .....	10-39
10.10.5	端子機能 .....	10-39
10.10.6	ポートE 入力プルアップ MOS の状態 .....	10-40
10.11	ポートF .....	10-41
10.11.1	ポートF データディレクションレジスタ (PFDDR) .....	10-41
10.11.2	ポートF データレジスタ (PFDR) .....	10-41
10.11.3	ポートF レジスタ (PORTF) .....	10-42
10.11.4	端子機能 .....	10-42
10.12	ポートG .....	10-44
10.12.1	ポートG データディレクションレジスタ (PGDDR) .....	10-44
10.12.2	ポートG データレジスタ (PGDR) .....	10-45
10.12.3	ポートG レジスタ (PORTG) .....	10-45
10.12.4	端子機能 .....	10-45
10.13	未使用端子の処理 .....	10-47
11.	16 ビットタイムパルスユニット (TPU) .....	11-1
11.1	特長 .....	11-1
11.2	入出力端子 .....	11-6
11.3	レジスタの説明 .....	11-7
11.3.1	タイマコントロールレジスタ (TCR) .....	11-9
11.3.2	タイマモードレジスタ (TMDR) .....	11-14
11.3.3	タイマ I/O コントロールレジスタ (TIOR) .....	11-15
11.3.4	タイマインタラプトイネーブルレジスタ (TIER) .....	11-32
11.3.5	タイマステータスレジスタ (TSR) .....	11-33
11.3.6	タイマカウンタ (TCNT) .....	11-35
11.3.7	タイマジェネラルレジスタ (TGR) .....	11-36
11.3.8	タイマスタートレジスタ (TSTR) .....	11-36
11.3.9	タイマシンクロレジスタ (TSYR) .....	11-37
11.4	動作説明 .....	11-38
11.4.1	基本動作 .....	11-38
11.4.2	同期動作 .....	11-44
11.4.3	バッファ動作 .....	11-46
11.4.4	カスケード接続動作 .....	11-50

11.4.5	PWM モード.....	11-52
11.4.6	位相計数モード.....	11-57
11.5	割り込み要因.....	11-62
11.6	DTCの起動.....	11-64
11.7	DMACの起動 ( H8S/2239グループのみ ) .....	11-64
11.8	A/D変換器の起動.....	11-65
11.9	動作タイミング.....	11-65
11.9.1	入出力タイミング.....	11-65
11.9.2	割り込み信号タイミング.....	11-69
11.10	使用上の注意事項.....	11-73
11.10.1	モジュールストップモードの設定.....	11-73
11.10.2	入力クロックの制限事項.....	11-73
11.10.3	周期設定上の注意事項.....	11-74
11.10.4	TCNTのライトとクリアの競合.....	11-74
11.10.5	TCNTのライトとカウントアップの競合.....	11-75
11.10.6	TGRのライトとコンペアマッチの競合.....	11-76
11.10.7	バッファレジスタのライトとコンペアマッチの競合.....	11-77
11.10.8	TGRのリードとインプットキャプチャの競合.....	11-77
11.10.9	TGRのライトとインプットキャプチャの競合.....	11-78
11.10.10	バッファレジスタのライトとインプットキャプチャの競合.....	11-79
11.10.11	オーバフロー / アンダフローとカウンタクリアの競合.....	11-80
11.10.12	TCNTのライトとオーバフロー / アンダフローの競合.....	11-81
11.10.13	入出力端子の兼用.....	11-81
11.10.14	モジュールストップ時の割り込み.....	11-81
12.	8ビットタイマ ( TMR ) .....	12-1
12.1	特長.....	12-1
12.2	入出力端子.....	12-3
12.3	レジスタの説明.....	12-3
12.3.1	タイマカウンタ ( TCNT ) .....	12-4
12.3.2	タイムコンスタントレジスタ ( TCORA ) .....	12-4
12.3.3	タイムコンスタントレジスタ B ( TCORB ) .....	12-4
12.3.4	タイマコントロールレジスタ ( TCR ) .....	12-4
12.3.5	タイマコントロール / ステータスレジスタ ( TCSR ) .....	12-6
12.4	動作説明.....	12-9
12.4.1	パルス出力.....	12-9
12.5	動作タイミング.....	12-10
12.5.1	TCNTのカウントタイミング.....	12-10
12.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング.....	12-11

12.5.3	コンペアマッチ時のタイマ出力タイミング .....	12-11
12.5.4	コンペアマッチによるカウンタクリアタイミング .....	12-12
12.5.5	TCNT の外部リセットタイミング .....	12-12
12.5.6	オーバフローフラグ (OVF) のセットタイミング .....	12-13
12.6	カスケード接続時の動作 .....	12-14
12.6.1	16 ビットカウントモード .....	12-14
12.6.2	コンペアマッチカウントモード .....	12-14
12.7	割り込み要因 .....	12-15
12.7.1	割り込み要因と DTC 起動 .....	12-15
12.7.2	A/D 変換器の起動 .....	12-15
12.8	使用上の注意事項 .....	12-16
12.8.1	TCNT のライトとカウンタクリアの競合 .....	12-16
12.8.2	TCNT のライトとカウントアップの競合 .....	12-16
12.8.3	TCOR のライトとコンペアマッチの競合 .....	12-17
12.8.4	コンペアマッチ A、B の競合 .....	12-17
12.8.5	内部クロックの切り替えと TCNT の動作 .....	12-18
12.8.6	モジュールストップ時の割り込み .....	12-19
12.8.7	カスケード接続時のモード設定 .....	12-19
13.	ウォッチドッグタイマ (WDT) .....	13-1
13.1	特長 .....	13-1
13.2	入出力端子 .....	13-3
13.3	レジスタの説明 .....	13-3
13.3.1	タイマカウンタ (TCNT) .....	13-3
13.3.2	タイマコントロール/ステータスレジスタ (TCSR) .....	13-3
13.3.3	リセットコントロール/ステータスレジスタ (RSTCSR) (WDT_0 のみ) .....	13-7
13.4	動作説明 .....	13-8
13.4.1	ウォッチドッグタイマモード .....	13-8
13.4.2	インターバルタイマモード .....	13-9
13.4.3	オーバフローフラグ (OVF) のセットタイミング .....	13-10
13.4.4	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング .....	13-11
13.5	割り込み要因 .....	13-11
13.6	使用上の注意事項 .....	13-12
13.6.1	レジスタアクセス時の注意事項 .....	13-12
13.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合 .....	13-13
13.6.3	PSS、CKS2~CKS0 ビットの書き換え .....	13-14
13.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え .....	13-14
13.6.5	ウォッチドッグタイマモードでの内部リセット .....	13-14
13.6.6	インターバルタイマモードでの OVF フラグのクリア .....	13-14
13.6.7	TME ビットによる TCNT 初期化時の注意 .....	13-14

14.	IEBus™コントローラ (IEB) (H8S/2258 グループ)	14-1
14.1	特長	14-1
14.1.1	IEBus 通信プロトコル	14-3
14.1.2	伝送プロトコル	14-5
14.1.3	伝送データ (データフィールドの内容)	14-11
14.1.4	ビットフォーマット	14-14
14.2	入出力端子	14-14
14.3	レジスタの説明	14-15
14.3.1	IEBus コントロールレジスタ (IECTR)	14-16
14.3.2	IEBus コマンドレジスタ (IECMR)	14-18
14.3.3	IEBus マスタコントロールレジスタ (IEMCR)	14-19
14.3.4	IEBus 自局アドレスレジスタ 1 (IEAR1)	14-21
14.3.5	IEBus 自局アドレスレジスタ 2 (IEAR2)	14-21
14.3.6	IEBus スレーブアドレス設定レジスタ 1 (IESA1)	14-22
14.3.7	IEBus スレーブアドレス設定レジスタ 2 (IESA2)	14-22
14.3.8	IEBus 送信電文長レジスタ (IETBFL)	14-23
14.3.9	IEBus 送信バッファレジスタ (IETBR)	14-23
14.3.10	IEBus 受信マスタアドレスレジスタ 1 (IEMA1)	14-24
14.3.11	IEBus 受信マスタアドレスレジスタ 2 (IEMA2)	14-25
14.3.12	IEBus 受信コントロールフィールドレジスタ (IERCTL)	14-25
14.3.13	IEBus 受信電文長レジスタ (IERBFL)	14-26
14.3.14	IEBus 受信バッファレジスタ (IERBR)	14-26
14.3.15	IEBus ロックアドレスレジスタ 1 (IELA1)	14-27
14.3.16	IEBus ロックアドレスレジスタ 2 (IELA2)	14-28
14.3.17	IEBus ゼネラルフラグレジスタ (IEFLG)	14-29
14.3.18	IEBus 送信 / 暴走ステータスレジスタ (IETSR)	14-31
14.3.19	IEBus 送信 / 暴走割り込み許可レジスタ (IEIET)	14-33
14.3.20	IEBus 送信エラーフラグレジスタ (IETEF)	14-34
14.3.21	IEBus 受信ステータスレジスタ (IERSR)	14-36
14.3.22	IEBus 受信割り込み許可レジスタ (IEIER)	14-37
14.3.23	IEBus 受信エラーフラグレジスタ (IEREF)	14-38
14.4	動作説明	14-39
14.4.1	マスタ送信動作	14-39
14.4.2	スレーブ受信動作	14-42
14.4.3	マスタ受信動作	14-45
14.4.4	スレーブ送信動作	14-48
14.5	割り込み要因	14-51
14.6	使用上の注意事項	14-52
14.6.1	モジュールストップモードの設定	14-52
14.6.2	TxRDY フラグとアンダランエラーについて	14-52

14.6.3	RxRDY フラグとオーバランエラーについて .....	14-53
14.6.4	IETEF のエラーフラグについて .....	14-53
14.6.5	IEREF のエラーフラグについて .....	14-54
14.6.6	スレーブ送信時の注意事項 .....	14-55
14.6.7	DTC 設定時の注意事項 .....	14-55
14.6.8	送信時のエラー処理 .....	14-55
14.6.9	低消費電力モードの動作 .....	14-56
14.6.10	中速モードにおける注意事項 .....	14-56
14.6.11	レジスタアクセスにおける注意事項 .....	14-56
15.	シリアルコミュニケーションインタフェース (SCI) .....	15-1
15.1	特長 .....	15-1
15.2	入出力端子 .....	15-5
15.3	レジスタの説明 .....	15-5
15.3.1	レシーブシフトレジスタ (RSR) .....	15-6
15.3.2	レシーブデータレジスタ (RDR) .....	15-6
15.3.3	トランスミットデータレジスタ (TDR) .....	15-6
15.3.4	トランスミットシフトレジスタ (TSR) .....	15-6
15.3.5	シリアルモードレジスタ (SMR) .....	15-7
15.3.6	シリアルコントロールレジスタ (SCR) .....	15-10
15.3.7	シリアルステータスレジスタ (SSR) .....	15-14
15.3.8	スマートカードモードレジスタ (SCMR) .....	15-19
15.3.9	ビットレートレジスタ (BRR) .....	15-20
15.3.10	シリアル拡張モードレジスタ_0 (SEMR_0) .....	15-27
15.4	調歩同期式モードの動作 .....	15-31
15.4.1	送受信フォーマット .....	15-31
15.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン .....	15-33
15.4.3	クロック .....	15-34
15.4.4	SCI の初期化 (調歩同期式) .....	15-35
15.4.5	シリアルデータ送信 (調歩同期式) .....	15-36
15.4.6	シリアルデータ受信 (調歩同期式) .....	15-38
15.5	マルチプロセッサ通信機能 .....	15-42
15.5.1	マルチプロセッサシリアルデータ送信 .....	15-43
15.5.2	マルチプロセッサシリアルデータ受信 .....	15-44
15.6	クロック同期式モードの動作 .....	15-47
15.6.1	クロック .....	15-47
15.6.2	SCI の初期化 .....	15-48
15.6.3	シリアルデータ送信 (クロック同期式) .....	15-49
15.6.4	シリアルデータ受信 (クロック同期式) .....	15-51
15.6.5	シリアルデータ送受信同時動作 (クロック同期式) .....	15-53



15.7	スマートカードインタフェースの動作説明	15-55
15.7.1	接続例	15-55
15.7.2	データフォーマット（ブロック転送モード時を除く）	15-55
15.7.3	ブロック転送モード	15-57
15.7.4	受信データサンプリングタイミングと受信マージン	15-57
15.7.5	初期設定	15-58
15.7.6	シリアルデータ送信（ブロック転送モードを除く）	15-59
15.7.7	シリアルデータ受信（ブロック転送モードを除く）	15-62
15.7.8	クロック出力制御	15-64
15.8	SCIセレクト機能（H8S/2239グループのみ）	15-66
15.9	割り込み要因	15-68
15.9.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	15-68
15.9.2	スマートカードインタフェースモードにおける割り込み	15-69
15.10	使用上の注意事項	15-70
15.10.1	モジュールストップモードの設定	15-70
15.10.2	ブレークの検出と処理について（調歩同期式モードのみ）	15-70
15.10.3	マーク状態とブレークの送付（調歩同期式モードのみ）	15-70
15.10.4	受信エラーフラグと送信動作について（クロック同期式モードのみ）	15-70
15.10.5	DMAC または DTC 使用上の制約事項	15-70
15.10.6	モード遷移時の動作について	15-71
15.10.7	SCK 端子からポート端子へ切り替えるときの注意事項	15-75
15.10.8	レジスタアドレスの割り当てと選択	15-76
16.	I <sup>2</sup> C バスインタフェース（IIC）（オプション）	16-1
16.1	特長	16-1
16.2	入出力端子	16-4
16.3	レジスタの説明	16-5
16.3.1	I <sup>2</sup> C バスデータレジスタ（ICDR）	16-5
16.3.2	スレーブアドレスレジスタ（SAR）	16-7
16.3.3	第2スレーブアドレスレジスタ（SARX）	16-7
16.3.4	I <sup>2</sup> C バスモードレジスタ（ICMR）	16-8
16.3.5	シリアルコントロールレジスタ X（SCRX）	16-10
16.3.6	I <sup>2</sup> C バスコントロールレジスタ（ICCR）	16-11
16.3.7	I <sup>2</sup> C バスステータスレジスタ（ICSR）	16-15
16.3.8	DDC スイッチレジスタ（DDCSWR）	16-18
16.4	動作説明	16-19
16.4.1	I <sup>2</sup> C バスデータフォーマット	16-19
16.4.2	初期設定	16-21
16.4.3	マスタ送信動作	16-22
16.4.4	マスタ受信動作	16-25

16.4.5	スレーブ受信動作 .....	16-30
16.4.6	スレーブ送信動作 .....	16-35
16.4.7	IRIC セットタイミングと SCL 制御 .....	16-38
16.4.8	DTC による動作 .....	16-39
16.4.9	ノイズ除去回路 .....	16-40
16.4.10	内部状態の初期化 .....	16-41
16.5	割り込み要因 .....	16-42
16.6	使用上の注意事項 .....	16-43
16.6.1	モジュールストップモードの設定 .....	16-53
17.	A/D 変換器 .....	17-1
17.1	特長 .....	17-1
17.2	入出力端子 .....	17-3
17.3	レジスタの説明 .....	17-4
17.3.1	A/D データレジスタ A~D (ADDRA ~ ADDR D) .....	17-4
17.3.2	A/D コントロール/ステータスレジスタ (ADCSR) .....	17-5
17.3.3	A/D コントロールレジスタ (ADCR) .....	17-6
17.4	バスマスタとのインタフェース .....	17-6
17.5	動作説明 .....	17-7
17.5.1	シングルモード .....	17-8
17.5.2	スキャンモード .....	17-9
17.5.3	入力サンプリングと A/D 変換時間 .....	17-10
17.5.4	外部トリガ入力タイミング .....	17-11
17.6	割り込み要因 .....	17-12
17.7	A/D変換精度の定義 .....	17-12
17.8	使用上の注意事項 .....	17-14
17.8.1	モジュールストップモードの設定 .....	17-14
17.8.2	許容信号源インピーダンスについて .....	17-14
17.8.3	絶対精度への影響 .....	17-14
17.8.4	アナログ電源端子ほかの設定範囲 .....	17-15
17.8.5	ボード設計上の注意事項 .....	17-15
17.8.6	ノイズ対策上の注意事項 .....	17-16
18.	D/A 変換器 .....	18-1
18.1	特長 .....	18-1
18.2	入出力端子 .....	18-2
18.3	レジスタの説明 .....	18-2
18.3.1	D/A データレジスタ 0, 1 (DADR0, DADR1) .....	18-2
18.3.2	D/A コントロールレジスタ (DACR) .....	18-3
18.4	動作説明 .....	18-4

18.5	使用上の注意事項 .....	18-5
18.5.1	低消費電力モード時のアナログ電源電流 .....	18-5
18.5.2	モジュールストップモードの設定 .....	18-5
19.	RAM .....	19-1
20.	フラッシュメモリ (F-ZTAT 版) .....	20-1
20.1	特長 .....	20-1
20.2	モード遷移図 .....	20-3
20.3	ブロック構成 .....	20-6
20.4	入出力端子 .....	20-10
20.5	レジスタの説明 .....	20-10
20.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1) .....	20-11
20.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2) .....	20-12
20.5.3	消去ブロック指定レジスタ 1 (EBR1) .....	20-13
20.5.4	消去ブロック指定レジスタ 2 (EBR2) .....	20-14
20.5.5	RAM エミュレーションレジスタ (RAMER) .....	20-16
20.5.6	フラッシュメモリパワーコントロールレジスタ (FLPWCR) .....	20-17
20.5.7	シリアルコントロールレジスタ X (SCRX) .....	20-17
20.6	オンボードプログラミングモード .....	20-18
20.6.1	ブートモード .....	20-18
20.6.2	ユーザプログラムモード .....	20-21
20.7	RAMによるフラッシュメモリのエミュレーション .....	20-22
20.8	フラッシュメモリの書き込み / 消去 .....	20-24
20.8.1	プログラム / プログラムベリファイ .....	20-24
20.8.2	イレース / イレースベリファイ .....	20-26
20.9	書き込み / 消去プロテクト .....	20-28
20.9.1	ハードウェアプロテクト .....	20-28
20.9.2	ソフトウェアプロテクト .....	20-28
20.9.3	エラープロテクト .....	20-28
20.10	フラッシュメモリの書き込み / 消去時の割り込み .....	20-29
20.11	ライターモード .....	20-29
20.12	フラッシュメモリの低消費電力動作 .....	20-31
20.13	フラッシュメモリの書き込み / 消去時の注意事項 .....	20-31
20.14	F-ZTATマイコンのマスクROM化時の注意事項 .....	20-36
21.	マスク ROM .....	21-1
21.1	特長 .....	21-1

22. PROM .....	22-1
22.1 PROMモードの設定 .....	22-1
22.2 ソケットアダプタの端子対応とメモリマップ .....	22-1
22.3 プログラミング .....	22-5
22.3.1 書き込み / ベリファイ .....	22-5
22.3.2 書き込み時の注意事項 .....	22-8
22.3.3 書き込み後の信頼性 .....	22-9
23. クロック発振器 .....	23-1
23.1 レジスタの説明 .....	23-2
23.1.1 システムクロックコントロールレジスタ (SCKCR) .....	23-2
23.1.2 ローパワーコントロールレジスタ (LPWRCR) .....	23-3
23.2 システムクロック発振器 .....	23-5
23.2.1 水晶発振子を接続する方法 .....	23-5
23.2.2 外部クロックを入力する方法 .....	23-6
23.2.3 外部クロック切り替え時の注意事項 .....	23-12
23.3 デューティ補正回路 .....	23-13
23.4 中速クロック分周器 .....	23-13
23.5 バスマスタクロック選択回路 .....	23-13
23.6 IEBusを使用する場合のシステムクロック .....	23-13
23.7 サブクロック発振器 .....	23-13
23.7.1 32.768kHz 水晶発振子を接続する方法 .....	23-13
23.7.2 サブクロックを使用しない場合の端子処理 .....	23-14
23.8 サブクロック波形成形回路 .....	23-14
23.9 使用上の注意事項 .....	23-15
23.9.1 発振子に関する注意事項 .....	23-15
23.9.2 ボード設計上の注意事項 .....	23-15
24. 低消費電力状態 .....	24-1
24.1 レジスタの説明 .....	24-5
24.1.1 スタンバイコントロールレジスタ (SBYCR) .....	24-6
24.1.2 モジュールストップコントロールレジスタ A ~ C (MSTPCRA ~ MSTPCRC) .....	24-7
24.2 中速モード .....	24-8
24.3 スリープモード .....	24-9
24.3.1 スリープモードへの遷移 .....	24-9
24.3.2 スリープモードの解除 .....	24-9
24.4 ソフトウェアスタンバイモード .....	24-10
24.4.1 ソフトウェアスタンバイモードへの遷移 .....	24-10
24.4.2 ソフトウェアスタンバイモードの解除 .....	24-10
24.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定 .....	24-11

24.4.4	ソフトウェアスタンバイモードの応用例	24-12
24.5	ハードウェアスタンバイモード	24-13
24.5.1	ハードウェアスタンバイモードへの遷移	24-13
24.5.2	ハードウェアスタンバイモードの解除	24-13
24.5.3	ハードウェアスタンバイモードのタイミング	24-13
24.6	モジュールストップモード	24-14
24.7	ウォッチモード	24-14
24.7.1	ウォッチモードへの遷移	24-14
24.7.2	ウォッチモードの解除	24-14
24.8	サブスリープモード	24-15
24.8.1	サブスリープモードへの遷移	24-15
24.8.2	サブスリープモードの解除	24-15
24.9	サブアクティブモード	24-16
24.9.1	サブアクティブモードへの遷移	24-16
24.9.2	サブアクティブモードの解除	24-16
24.10	直接遷移	24-17
24.10.1	高速モードからサブアクティブモードへの直接遷移	24-17
24.10.2	サブアクティブモードから高速モードへの直接遷移	24-17
24.11	φクロック出力禁止機能	24-18
24.12	使用上の注意事項	24-18
24.12.1	I/Oポートの状態	24-18
24.12.2	発振安定待機中の消費電流	24-18
24.12.3	DTC、DMACのモジュールストップ	24-18
24.12.4	内蔵周辺モジュールの割り込み	24-19
24.12.5	MSTPCRのライト	24-19
24.12.6	サブアクティブモード/ウォッチモード遷移とDMAC、DTCのモジュールストップ	24-19
25.	電源回路	25-1
25.1	概要	25-1
25.2	H8S/2258グループ、H8S/2238B、H8S/2236B（内部電源降圧回路内蔵）の電源接続	25-1
25.3	H8S/2239グループ、H8S/2238R、H8S/2236R、H8S/2237グループ、H8S/2227グループ （内部電源降圧回路なし）の電源接続	25-2
25.4	バイパスコンデンサについての注意	25-2
26.	レジスタ一覧	26-1
26.1	レジスタアドレス一覧（アドレス順）	26-2
26.2	レジスタビット一覧	26-11
26.3	各動作モードにおけるレジスタの状態	26-22

27.	電氣的特性 .....	27-1
27.1	電源電圧と動作周波数範囲.....	27-1
27.2	H8S/2258グループの電氣的特性.....	27-6
27.2.1	絶対最大定格 .....	27-6
27.2.2	DC 特性 .....	27-7
27.2.3	AC 特性 .....	27-14
27.2.4	A/D 変換特性 .....	27-20
27.2.5	D/A 変換特性 .....	27-20
27.2.6	フラッシュメモリ特性.....	27-21
27.3	H8S/2239グループの電氣的特性.....	27-23
27.3.1	絶対最大定格 .....	27-23
27.3.2	DC 特性 .....	27-23
27.3.3	AC 特性 .....	27-30
27.3.4	A/D 変換特性 .....	27-36
27.3.5	D/A 変換特性 .....	27-37
27.3.6	フラッシュメモリ特性.....	27-37
27.4	H8S/2238B、H8S/2236Bの電氣的特性 .....	27-40
27.4.1	絶対最大定格 .....	27-40
27.4.2	DC 特性 .....	27-41
27.4.3	AC 特性 .....	27-46
27.4.4	A/D 変換特性 .....	27-52
27.4.5	D/A 変換特性 .....	27-52
27.4.6	フラッシュメモリ特性.....	27-53
27.5	H8S/2238R、H8S/2236Rの電氣的特性 .....	27-55
27.5.1	絶対最大定格 .....	27-55
27.5.2	DC 特性 .....	27-55
27.5.3	AC 特性 .....	27-62
27.5.4	A/D 変換特性 .....	27-67
27.5.5	D/A 変換特性 .....	27-67
27.5.6	フラッシュメモリ特性.....	27-68
27.6	H8S/2237グループ、H8S/2227グループの電氣的特性.....	27-70
27.6.1	絶対最大定格 .....	27-70
27.6.2	DC 特性 .....	27-70
27.6.3	AC 特性 .....	27-76
27.6.4	A/D 変換特性 .....	27-81
27.6.5	D/A 変換特性 .....	27-81
27.6.6	フラッシュメモリ特性.....	27-82
27.7	動作タイミング .....	27-84
27.7.1	クロックタイミング .....	27-84
27.7.2	制御信号タイミング .....	27-85

27.7.3	バスタイミング .....	27-86
27.7.4	内蔵周辺モジュールタイミング .....	27-93
27.8	使用上の注意事項 .....	27-97
付録	.....	付録-1
A.	各端子状態におけるI/Oポートの状態 .....	付録-1
B.	型名一覧 .....	付録-5
C.	外形寸法図 .....	付録-10
索引	.....	索引-1





---

# 図目次

---

1. 概要.....	1-1
図 1.1 H8S/2258 グループの内部ブロック図.....	1-4
図 1.2 H8S/2239 グループの内部ブロック図.....	1-5
図 1.3 H8S/2238 グループの内部ブロック図.....	1-6
図 1.4 H8S/2237 グループの内部ブロック図.....	1-7
図 1.5 H8S/2227 グループの内部ブロック図.....	1-8
図 1.6 H8S/2258 グループのピン配置図 (TFP-100B、TFP-100BV、FP-100B、FP-100BV : 上面図) .....	1-9
図 1.7 H8S/2258 グループのピン配置図 (FP-100A、FP-100AV : 上面図) .....	1-10
図 1.8 H8S/2239 グループのピン配置図 (TFP-100B、TFP-100BV、TFP-100G、TFP-100GV、FP-100B、FP-100BV : 上面図) .....	1-11
図 1.9 H8S/2239 グループのピン配置図 (TBP-112A、TBP-112AV : 上面図、HD64F2239 のみ) .....	1-12
図 1.10 H8S/2238 グループのピン配置図 (TFP-100B、TFP-100BV、TFP-100G、TFP-100GV、FP-100B、FP-100BV : 上面図) .....	1-13
図 1.11 H8S/2238 グループのピン配置図 (FP-100A、FP-100AV : 上面図 H8S/2238B、H8S/2236B のみ) .....	1-14
図 1.12 H8S/2238 グループのピン配置図 (BP-112、BP-112V、TBP-112A、TBP-112AV : 上面図 HD64F2238R のみ) .....	1-15
図 1.13 H8S/2237 グループのピン配置図 (TFP-100B、TFP-100BV、TFP-100G、TFP-100GV、FP-100B、FP-100BV : 上面図) .....	1-16
図 1.14 H8S/2237 グループのピン配置図 (FP-100A、FP-100AV : 上面図) .....	1-17
図 1.15 H8S/2227 グループのピン配置図 (TFP-100B、TFP-100BV、TFP-100G、TFP-100GV、FP-100B、FP-100BV : 上面図) .....	1-18
図 1.16 H8S/2227 グループのピン配置図 (FP-100A、FP-100AV : 上面図、HD6432227 のみ) .....	1-19
2. CPU.....	2-1
図 2.1 例外処理ベクタテーブル (ノーマルモード) .....	2-5
図 2.2 ノーマルモードのスタック構造.....	2-5
図 2.3 例外処理ベクタテーブル (アドバンストモード) .....	2-6
図 2.4 アドバンストモードのスタック構造.....	2-7
図 2.5 アドレス空間.....	2-8
図 2.6 CPU 内部レジスタ構成.....	2-9
図 2.7 汎用レジスタの使用方法.....	2-10
図 2.8 スタックの状態.....	2-11
図 2.9 汎用レジスタのデータ形式 (1) .....	2-14
図 2.9 汎用レジスタのデータ形式 (2) .....	2-15
図 2.10 メモリ上でのデータ形式.....	2-16

図 2.11	命令フォーマットの例.....	2-28
図 2.12	メモリ間接による分岐アドレスの指定.....	2-32
図 2.13	状態遷移図.....	2-36
図 2.14	ライト専用ビットを含むレジスタのアクセス方法のフローチャート例.....	2-39
3.	MCU 動作モード.....	3-1
図 3.1	H8S/2258 のアドレスマップ.....	3-6
図 3.2	H8S/2256 のアドレスマップ.....	3-7
図 3.3	H8S/2239 のアドレスマップ.....	3-8
図 3.4	H8S/2238B、H8S/2238R のアドレスマップ.....	3-9
図 3.5	H8S/2236B、H8S/2236R のアドレスマップ.....	3-10
図 3.6	H8S/2237、H8S/2227 のアドレスマップ.....	3-11
図 3.7	H8S/2235、H8S/2225 のアドレスマップ.....	3-12
図 3.8	H8S/2224 のアドレスマップ.....	3-13
図 3.9	H8S/2233、H8S/2223 のアドレスマップ.....	3-14
4.	例外処理.....	4-1
図 4.1	リセットシーケンス (モード 4).....	4-4
図 4.2	例外処理終了後のスタックの状態 (アドバンスモード).....	4-7
図 4.3	SP を奇数に設定したときの動作.....	4-8
5.	割り込みコントローラ.....	5-1
図 5.1	割り込みコントローラのブロック図.....	5-2
図 5.2	IRQn 割り込みのブロック図.....	5-8
図 5.3	IRQnF のセットタイミング.....	5-8
図 5.4	割り込み制御動作のブロック図.....	5-13
図 5.5	割り込み制御モード 0 の割り込み受け付けまでのフロー.....	5-17
図 5.6	割り込み制御モード 2 の割り込み受け付けまでのフロー.....	5-19
図 5.7	割り込み例外処理.....	5-20
図 5.8	DTC、DMAC と割り込み制御.....	5-22
図 5.9	割り込みの発生とディスエーブルの競合.....	5-24
6.	PC ブレークコントローラ (PBC).....	6-1
図 6.1	PC ブレークコントローラのブロック図.....	6-2
図 6.2	低消費電力モード遷移時の動作.....	6-5
7.	バスコントローラ.....	7-1
図 7.1	バスコントローラのブロック図.....	7-2
図 7.2	エリア分割の様子.....	7-10
図 7.3	$\overline{CS}_n$ 信号出力タイミング (n = 0 ~ 7).....	7-13

図 7.4	内蔵メモリアクセスサイクル.....	7-13
図 7.5	内蔵メモリアクセス時の端子状態.....	7-14
図 7.6	内蔵周辺モジュールアクセスサイクル.....	7-14
図 7.7	内蔵周辺モジュールアクセス時の端子状態.....	7-15
図 7.8	アクセスサイズとデータアライメント制御 (8 ビットアクセス空間) .....	7-16
図 7.9	アクセスサイズとデータアライメント制御 (16 ビットアクセス空間) .....	7-16
図 7.10	8 ビット 2 ステートアクセス空間のバスタイミング.....	7-18
図 7.11	8 ビット 3 ステートアクセス空間のバスタイミング.....	7-19
図 7.12	16 ビット 2 ステートアクセス空間のバスタイミング (1) (偶数アドレスバイトアクセス) ..	7-20
図 7.13	16 ビット 2 ステートアクセス空間のバスタイミング (2) (奇数アドレスバイトアクセス) ..	7-21
図 7.14	16 ビット 2 ステートアクセス空間のバスタイミング (3) (ワードアクセス) .....	7-22
図 7.15	16 ビット 3 ステートアクセス空間のバスタイミング (1) (偶数アドレスバイトアクセス) ..	7-23
図 7.16	16 ビット 3 ステートアクセス空間のバスタイミング (2) (奇数アドレスバイトアクセス) ..	7-24
図 7.17	16 ビット 3 ステートアクセス空間のバスタイミング (3) (ワードアクセス) .....	7-25
図 7.18	ウェイトステート挿入タイミング例.....	7-26
図 7.19	バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 1 の場合) .....	7-27
図 7.20	バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 0 の場合) .....	7-28
図 7.21	アイドルサイクル動作例 (1) .....	7-29
図 7.22	アイドルサイクル動作例 (2) .....	7-30
図 7.23	チップセレクト ( $\overline{CS}$ ) とリード ( $\overline{RD}$ ) の関係.....	7-31
図 7.24	バス権解放状態遷移タイミング.....	7-33
8.	DMA コントローラ (DMAC) .....	8-1
図 8.1	DMAC のブロック図.....	8-2
図 8.2	DTC によるレジスタ再設定領域 (チャンネル 0A) .....	8-21
図 8.3	シーケンシャルモードの動作.....	8-27
図 8.4	シーケンシャルモードの設定手順例.....	8-28
図 8.5	アイドルモードの動作.....	8-29
図 8.6	アイドルモードの設定手順例.....	8-30
図 8.7	リピートモードの動作.....	8-32
図 8.8	リピートモードの設定手順例.....	8-33
図 8.9	シングルアドレスモード時のデータバス.....	8-34
図 8.10	シングルアドレスモード (シーケンシャルモード指定) の動作.....	8-36
図 8.11	シングルアドレスモード (シーケンシャルモード指定) の設定手順例 .....	8-37
図 8.12	ノーマルモードの動作.....	8-39
図 8.13	ノーマルモードの設定手順例.....	8-40
図 8.14	ブロック転送モードの動作 (BLKDIR = 0) .....	8-42
図 8.15	ブロック転送モードの動作 (BLKDIR = 1) .....	8-43
図 8.16	ブロック転送モードの動作フロー.....	8-44
図 8.17	ブロック転送モードの設定手順例.....	8-45
図 8.18	DMA 転送バスタイミング例.....	8-46

図 8.19	ショートアドレスモード転送例.....	8-46
図 8.20	フルアドレスモード（サイクルスチール）転送例 .....	8-47
図 8.21	フルアドレスモード（バーストモード）転送例 .....	8-48
図 8.22	フルアドレスモード（ブロック転送モード）転送例.....	8-49
図 8.23	$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例.....	8-50
図 8.24	$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例 .....	8-51
図 8.25	$\overline{\text{DREQ}}$ 端子 Low レベル起動のノーマルモード転送例 .....	8-52
図 8.26	$\overline{\text{DREQ}}$ 端子 Low レベル起動のブロック転送モード転送例.....	8-53
図 8.27	シングルアドレスモード（バイトリード）転送例 .....	8-54
図 8.28	シングルアドレスモード（ワードリード）転送例 .....	8-54
図 8.29	シングルアドレスモード（バイトライト）転送例 .....	8-55
図 8.30	シングルアドレスモード（ワードライト）転送例 .....	8-55
図 8.31	$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例 .....	8-56
図 8.32	$\overline{\text{DREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例.....	8-57
図 8.33	複数チャンネル転送例 .....	8-58
図 8.34	NMI 割り込みにより中断したチャンネルの転送継続手順例.....	8-59
図 8.35	DMAC の強制終了手順例.....	8-60
図 8.36	フルアドレスモード解除手順例.....	8-60
図 8.37	転送終了 / 転送中断割り込みのブロック図 .....	8-61
図 8.38	DMAC のレジスタの更新タイミング .....	8-62
図 8.39	DMAC レジスタの更新と CPU リードの競合.....	8-62
9.	データトランスファコントローラ（DTC） .....	9-1
図 9.1	DTC のブロック図 .....	9-2
図 9.2	DTC 起動要因制御ブロック図.....	9-7
図 9.3	アドレス空間上での DTC レジスタ情報の配置 .....	9-8
図 9.4	DTC ベクタアドレスとレジスタ情報との対応 .....	9-9
図 9.5	DTC 動作フローチャート.....	9-11
図 9.6	ノーマルモードのメモリマップ.....	9-12
図 9.7	リピートモードのメモリマップ .....	9-13
図 9.8	ブロック転送モードのメモリマップ .....	9-14
図 9.9	チェイン転送の動作 .....	9-15
図 9.10	DTC の動作タイミング（ノーマルモード、リピートモードの例） .....	9-16
図 9.11	DTC の動作タイミング（ブロック転送モード、ブロックサイズ=2 の例） .....	9-17
図 9.12	DTC の動作タイミング（チェイン転送の例） .....	9-17
10.	I/O ポート.....	10-1
図 10.1	オープンドレイン出力形式の違い.....	10-12

11. 16ビットタイムパルスユニット (TPU) .....	11-1
図 11.1 TPU のブロック図 (H8S/2258 グループ、H8S/2239 グループ、H8S/2238 グループ、H8S/2237 グループ) .....	11-4
図 11.2 TPU のブロック図 (H8S/2227 グループ) .....	11-5
図 11.3 カウンタ動作設定手順例 .....	11-38
図 11.4 フリーランニングカウンタの動作 .....	11-39
図 11.5 周期カウンタの動作 .....	11-40
図 11.6 コンペアマッチによる波形出力動作例 .....	11-40
図 11.7 0 出力 / 1 出力の動作例 .....	11-41
図 11.8 トグル出力の動作例 .....	11-41
図 11.9 インพุットキャプチャ動作の設定例 .....	11-42
図 11.10 インพุットキャプチャ動作例 .....	11-43
図 11.11 同期動作の設定手順例 .....	11-44
図 11.12 同期動作の動作例 .....	11-45
図 11.13 コンペアマッチバッファ動作 .....	11-46
図 11.14 インพุットキャプチャバッファ動作 .....	11-47
図 11.15 バッファ動作の設定手順例 .....	11-47
図 11.16 バッファ動作例 (1) .....	11-48
図 11.17 バッファ動作例 (2) .....	11-49
図 11.18 カスケード接続動作設定手順 .....	11-50
図 11.19 カスケード接続動作例 (1) .....	11-51
図 11.20 カスケード接続動作例 (2) .....	11-51
図 11.21 PWM モードの設定手順例 .....	11-54
図 11.22 PWM モードの動作例 (1) .....	11-54
図 11.23 PWM モードの動作例 (2) .....	11-55
図 11.24 PWM モードの動作例 (3) .....	11-56
図 11.25 位相計数モードの設定手順例 .....	11-57
図 11.26 位相計数モード 1 の動作例 .....	11-58
図 11.27 位相計数モード 2 の動作例 .....	11-59
図 11.28 位相計数モード 3 の動作例 .....	11-60
図 11.29 位相計数モード 4 の動作例 .....	11-61
図 11.30 位相計数モードの応用例 .....	11-62
図 11.31 内部クロック動作時のカウントタイミング .....	11-65
図 11.32 外部クロック動作時のカウントタイミング .....	11-65
図 11.33 アウトプットコンペア出力タイミング .....	11-66
図 11.34 インพุットキャプチャ入力信号タイミング .....	11-66
図 11.35 カウンタクリアタイミング (コンペアマッチ) .....	11-67
図 11.36 カウンタクリアタイミング (インพุットキャプチャ) .....	11-67
図 11.37 バッファ動作タイミング (コンペアマッチ) .....	11-68
図 11.38 バッファ動作タイミング (インพุットキャプチャ) .....	11-68
図 11.39 TGI 割り込みタイミング (コンペアマッチ) .....	11-69

図 11.40	TGI 割り込みタイミング (インプットキャプチャ) .....	11-70
図 11.41	TCIV 割り込みのセットタイミング .....	11-70
図 11.42	TCIU 割り込みのセットタイミング .....	11-71
図 11.43	CPU によるステータスフラグのクリアタイミング .....	11-71
図 11.44	DTC/DMAC の起動によるステータスフラグのクリアタイミング .....	11-72
図 11.45	位相計数モード時の位相差、オーバーラップ、およびパルス幅 .....	11-73
図 11.46	TCNT のライトとクリアの競合 .....	11-74
図 11.47	TCNT のライトとカウントアップの競合 .....	11-75
図 11.48	TGR のライトとコンペアマッチの競合 .....	11-76
図 11.49	バッファレジスタのライトとコンペアマッチの競合 .....	11-77
図 11.50	TGR のリードとインプットキャプチャの競合 .....	11-77
図 11.51	TGR のライトとインプットキャプチャの競合 .....	11-78
図 11.52	バッファレジスタのライトとインプットキャプチャの競合 .....	11-79
図 11.53	オーバフローとカウンタクリアの競合 .....	11-80
図 11.54	TCNT のライトとオーバフローの競合 .....	11-81
12.	8 ビットタイマ (TMR) .....	12-1
図 12.1	8 ビットタイマのブロック図 .....	12-2
図 12.2	パルス出力例 .....	12-9
図 12.3	内部クロック動作時のカウントタイミング .....	12-10
図 12.4	外部クロック動作時のカウントタイミング .....	12-10
図 12.5	コンペアマッチ時の CMF フラグのセットタイミング .....	12-11
図 12.6	コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング .....	12-11
図 12.7	コンペアマッチによるカウンタクリアタイミング .....	12-12
図 12.8	外部リセット入力によるクリアタイミング .....	12-12
図 12.9	OVF フラグのセットタイミング .....	12-13
図 12.10	TCNT のライトとクリアの競合 .....	12-16
図 12.11	TCNT のライトとカウントアップの競合 .....	12-16
図 12.12	TCOR のライトとコンペアマッチの競合 .....	12-17
13.	ウォッチドッグタイマ (WDT) .....	13-1
図 13.1	WDT_0 のブロック図 (1) .....	13-2
図 13.1	WDT_1 のブロック図 (2) .....	13-2
図 13.2	ウォッチドッグタイマモード時の動作 .....	13-9
図 13.3	インターバルタイマモード時の動作 .....	13-9
図 13.4	OVF のセットタイミング .....	13-10
図 13.5	WOVF のセットタイミング .....	13-11
図 13.6	TCNT、TCSR へのライト .....	13-12
図 13.7	RSTCSR へのライト .....	13-13
図 13.8	TCNT のライトとカウントアップの競合 .....	13-13

14. IEBus™ コントローラ (IEB) (H8S/2258 グループ) .....	14-1
図 14.1 IEB のブロック図 .....	14-2
図 14.2 伝送信号フォーマット .....	14-5
図 14.3 スレープステータス (SSR) のビット構成 .....	14-12
図 14.4 ロックアドレスの構成 .....	14-13
図 14.5 IEBus のビットフォーマット (概念) .....	14-14
図 14.6 送信時の伝送信号フォーマットと各レジスタの関係 .....	14-24
図 14.7 受信時の伝送信号フォーマットと各レジスタの関係 .....	14-27
図 14.8 マスタ送信動作タイミング図 .....	14-42
図 14.9 スレープ受信動作タイミング図 .....	14-44
図 14.10 同報受信動作でエラーが発生した場合 (DEE = 1) .....	14-45
図 14.11 マスタ受信動作タイミング図 .....	14-48
図 14.12 スレープ送信動作タイミング図 .....	14-50
図 14.13 送信割り込み要因の関係 .....	14-51
図 14.14 受信割り込み要因の関係 .....	14-51
図 14.15 送信時のエラー処理 .....	14-56
15. シリアルコミュニケーションインタフェース (SCI) .....	15-1
図 15.1 SCI のブロック図 .....	15-3
図 15.2 H8S/2239 グループの SCI_0 のブロック図 .....	15-4
図 15.3 平均転送レートが選択されたときのベースクロック例 (1) .....	15-29
図 15.4 平均転送レートが選択されたときのベースクロック例 (2) .....	15-30
図 15.5 調歩同式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例) .....	15-31
図 15.6 調歩同期モードの受信データサンプリングタイミング .....	15-33
図 15.7 出力クロックと送信データの位相関係 (調歩同期モード) .....	15-34
図 15.8 SCI の初期化フローチャートの例 .....	15-35
図 15.9 調歩同期モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例) .....	15-36
図 15.10 シリアル送信のフローチャートの例 .....	15-37
図 15.11 SCI の受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例) .....	15-38
図 15.12 シリアル受信データフローチャートの例 (1) .....	15-40
図 15.12 シリアル受信データフローチャートの例 (2) .....	15-41
図 15.13 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例) .....	15-42
図 15.14 マルチプロセッサシリアル送信のフローチャートの例 .....	15-43
図 15.15 SCI の受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例) .....	15-44
図 15.16 マルチプロセッサシリアル受信のフローチャートの例 (1) .....	15-45
図 15.16 マルチプロセッサシリアル受信のフローチャートの例 (2) .....	15-46
図 15.17 クロック同期式通信のデータフォーマット (LSB ファーストの場合) .....	15-47

図 15.18	SCI の初期化フローチャートの例	15-48
図 15.19	クロック同期式モードの送信時の動作例	15-49
図 15.20	シリアル送信のフローチャートの例	15-50
図 15.21	SCI の受信時の動作例	15-51
図 15.22	シリアルデータ受信フローチャートの例	15-52
図 15.23	シリアル送受信同時動作のフローチャートの例	15-54
図 15.24	スマートカードインタフェース端子接続概要	15-55
図 15.25	通常のスマートカードインタフェースのデータフォーマット	15-56
図 15.26	ダイレクトコンベンション (SDIR = SINV = $O\bar{E}$ = 0)	15-56
図 15.27	インバースコンベンション (SDIR = SINV = $O\bar{E}$ = 1)	15-56
図 15.28	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)	15-58
図 15.29	SCI 送信モードの場合の再転送動作	15-60
図 15.30	送信動作時の TEND フラグ発生タイミング	15-60
図 15.31	送信処理フローの例	15-61
図 15.32	SCI 受信モードの場合の再転送動作	15-62
図 15.33	受信フローの例	15-63
図 15.34	クロック出力固定タイミング	15-64
図 15.35	クロック停止・再起動手順	15-65
図 15.36	SCI セレクト機能による通信例	15-66
図 15.37	SCI セレクト機能の動作概要	15-67
図 15.38	DMAC、DTC によるクロック同期式送信時の例	15-71
図 15.39	送信時のモード遷移フローチャートの例	15-72
図 15.40	内部クロック、調歩同期送信の場合のポート端子状態	15-72
図 15.41	内部クロック、クロック同期送信の場合のポート端子状態	15-73
図 15.42	受信時のモード遷移フローチャートの例	15-74
図 15.43	SCK 端子からポート端子へ切り替えるときの動作	15-75
図 15.44	SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)	15-76
16.	I <sup>2</sup> C バスインタフェース (IIC) (オプション)	16-1
図 16.1	I <sup>2</sup> C バスインタフェースのブロック図	16-3
図 16.2	I <sup>2</sup> C バスインタフェース接続例 (本 LSI がマスタの場合)	16-4
図 16.3	I <sup>2</sup> C バスデータフォーマット (I <sup>2</sup> C バスフォーマット)	16-19
図 16.4	I <sup>2</sup> C バスデータフォーマット (シリアルフォーマット)	16-19
図 16.5	I <sup>2</sup> C バスタイミング	16-20
図 16.6	IIC の初期化フローチャートの例	16-21
図 16.7	マスタ送信モードフローチャート例	16-22
図 16.8	マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)	16-24
図 16.9	マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)	16-25
図 16.10	マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)	16-26
図 16.11	マスタ受信モード (1 バイトのみ受信) のフローチャート例 (WAIT=1)	16-27



図 16.12	マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき) .....	16-29
図 16.13	マスタ受信モード停止条件発行動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき) ....	16-30
図 16.14	スレーブ受信モードフローチャート例 .....	16-31
図 16.15	スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0 のとき) .....	16-33
図 16.16	スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0 のとき) .....	16-34
図 16.17	スレーブ送信モードフローチャート例 .....	16-35
図 16.18	スレーブ送信モード動作タイミング例 (MLS = 0 のとき) .....	16-37
図 16.19	IRIC セットタイミングと SCL 制御 .....	16-38
図 16.20	ノイズ除去回路のブロック図 .....	16-40
図 16.21	マスタ受信データの読み出しにおける注意 .....	16-46
図 16.22	再送のための開始条件命令発行フローチャートおよびタイミング .....	16-47
図 16.23	停止条件発行タイミング .....	16-48
図 16.24	WAIT=1 状態での IRIC フラグクリアタイミング .....	16-48
図 16.25	スレーブ送信モードでの ICDR リード、ICCR アクセスタイミング .....	16-49
図 16.26	スレーブモードでの TRS ビット設定タイミング .....	16-50
図 16.27	アービトレーションロスト時の動作模式図 .....	16-51
図 16.28	ウェイト動作時の IRIC フラグクリアタイミング .....	16-52
17. A/D 変換器 .....		17-1
図 17.1	A/D 変換器のブロック図 .....	17-2
図 17.2	ADDR のアクセス動作 (H'AA40 リード時) .....	17-7
図 17.3	A/D 変換器の動作例 (シングルモード チャンネル 1 選択時) .....	17-8
図 17.4	A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時) .....	17-9
図 17.5	A/D 変換タイミング .....	17-10
図 17.6	外部トリガ入力タイミング .....	17-11
図 17.7	A/D 変換精度の定義 .....	17-13
図 17.8	A/D 変換精度の定義 .....	17-13
図 17.9	アナログ入力回路の例 .....	17-14
図 17.10	アナログ入力保護回路の例 .....	17-16
図 17.11	アナログ入力端子等価回路 .....	17-17
18. D/A 変換器 .....		18-1
図 18.1	D/A 変換器のブロック図 .....	18-1
図 18.2	D/A 変換器の動作例 .....	18-4
20. フラッシュメモリ (F-ZTAT 版) .....		20-1
図 20.1	フラッシュメモリのブロック図 .....	20-2
図 20.2	フラッシュメモリに関する状態遷移 .....	20-3
図 20.3	ブートモード (例) .....	20-4
図 20.4	ユーザプログラムモード (例) .....	20-5
図 20.5	384K バイトのフラッシュメモリのブロック構成 .....	20-7

図 20.6	256K バイトのフラッシュメモリのブロック構成	20-8
図 20.7	128K バイトのフラッシュメモリのブロック構成	20-9
図 20.8	ユーザモードにおける書き込み / 消去例	20-21
図 20.9	RAM によるエミュレーションフロー	20-22
図 20.10	RAM のオーバーラップ例	20-23
図 20.11	プログラム / プログラムベリファイフロー	20-25
図 20.12	イレース / イレースベリファイフロー	20-27
図 20.13	ソケットアダプタの端子対応図	20-30
図 20.14	電源投入 / 切断タイミング (ブートモード)	20-33
図 20.15	電源投入 / 切断タイミング (ユーザプログラムモード)	20-34
図 20.16	モード遷移タイミング (例: ブートモード ユーザモード ↔ ユーザプログラムモード)	20-35
21.	マスク ROM	21-1
図 21.1	マスク ROM のブロック図 (384K バイトの場合)	21-2
22.	PROM	22-1
図 22.1	HD6472237 ソケットアダプタの端子対応図 (FP-100B、TFP-100B、TFP-100G)	22-2
図 22.2	HD6472237 ソケットアダプタの端子対応図 (FP-100A)	22-3
図 22.3	PROM モード時のメモリマップ	22-4
図 22.4	高速プログラミングフローチャート	22-6
図 22.5	PROM 書き込み / ベリファイタイミング	22-8
図 22.6	PROM 推奨スクリーニングフロー	22-9
23.	クロック発振器	23-1
図 23.1	クロック発振器のブロック図	23-1
図 23.2	水晶発振子の接続例	23-5
図 23.3	水晶発振子の等価回路	23-5
図 23.4	外部クロックの接続例	23-6
図 23.5	外部クロック入力タイミング	23-11
図 23.6	外部クロック切り替え回路例	23-12
図 23.7	外部クロック切り替えタイミング例	23-12
図 23.8	32.768KHz 水晶発振子の接続例	23-13
図 23.9	32.768KHz 水晶発振子の等価回路	23-14
図 23.10	サブクロックを使用しない場合の端子処理	23-14
図 23.11	発振回路部のボード設計に関する注意事項	23-15
24.	低消費電力状態	24-1
図 24.1	モード遷移図	24-4
図 24.2	中速モードの遷移・解除タイミング	24-8
図 24.3	ソフトウェアスタンバイモードの応用例	24-12

図 24.4	ハードウェアスタンバイモードのタイミング	24-13
25.	電源回路	25-1
図 25.1	H8S/2258 グループ、H8S/2238B、H8S/2236B (内部電源降圧回路内蔵)の電源接続図	25-1
図 25.2	H8S/2239 グループ、H8S/2238R、H8S/2236R、H8S/2237 グループ、H8S/2227 グループ (内部電源降圧回路なし)の電源接続図	25-2
27.	電気的特性	27-1
図 27.1	電源電圧と動作範囲 (H8S/2258 グループ)	27-1
図 27.2	電源電圧と動作範囲 (H8S/2239 グループ)	27-2
図 27.3	電源電圧と動作範囲 (H8S/2238B、H8S/2236B)	27-3
図 27.4	電源電圧と動作範囲 (H8S/2238R、H8S/2236R)	27-4
図 27.5	電源電圧と動作範囲 (H8S/2237 グループ、H8S/2227 グループ)	27-5
図 27.6	出力負荷回路	27-14
図 27.7	I <sup>2</sup> C バスインタフェース入出力タイミング【オプション】	27-19
図 27.8	出力負荷回路	27-30
図 27.9	出力負荷回路	27-46
図 27.10	システムクロックタイミング	27-84
図 27.11	発振安定時間タイミング	27-84
図 27.12	リセット入力タイミング	27-85
図 27.13	割り込み入力タイミング	27-85
図 27.14	基本バスタイミング / 2 ステートアクセス	27-86
図 27.15	基本バスタイミング / 3 ステートアクセス	27-87
図 27.16	基本バスタイミング / 3 ステートアクセス 1 ウェイト	27-88
図 27.17	バースト ROM アクセスタイミング / 2 ステートアクセス	27-89
図 27.18	バースト ROM アクセスタイミング / 1 ステートアクセス	27-90
図 27.19	外部バス権解放タイミング	27-90
図 27.20	DMAC シングルアドレス転送タイミング / 2 ステートアクセス	27-91
図 27.21	DMAC シングルアドレス転送タイミング / 3 ステートアクセス	27-92
図 27.22	DMAC $\overline{TEND}$ 出力タイミング	27-93
図 27.23	DMAC $\overline{DREQ}$ 入力タイミング	27-93
図 27.24	I/O ポート入出力タイミング	27-93
図 27.25	TPU 入出力タイミング	27-94
図 27.26	TPU クロック入力タイミング	27-94
図 27.27	8 ビットタイマ出力タイミング	27-94
図 27.28	8 ビットタイマクロック入力タイミング	27-95
図 27.29	8 ビットタイマリセット入力タイミング	27-95
図 27.30	WDT_1 出力タイミング	27-95
図 27.31	SCK クロック入力タイミング	27-95
図 27.32	SCI 入出力タイミング / クロック同期式モード	27-96
図 27.33	A/D 変換器外部トリガ入力タイミング	27-96

図 27.34	I <sup>2</sup> C バスインタフェース入出力タイミング【オプション】 .....	27-96
付録	.....	付録-1
図 C.1	外形寸法図 (TFP-100B) .....	付録-10
図 C.2	外形寸法図 (TFP-100G) .....	付録-11
図 C.3	外形寸法図 (FP-100A) .....	付録-12
図 C.4	外形寸法図 (FP-100B) .....	付録-13
図 C.5	外形寸法図 (BP-112) .....	付録-14
図 C.6	外形寸法図 (TBP-112A、TBP-112AV) .....	付録-15

---

# 表目次

---

1. 概要.....	1-1
表 1.1 H8S/2258 グループの動作モード別ピン配置一覧.....	1-20
表 1.2 H8S/2239 グループの動作モード別ピン配置一覧.....	1-24
表 1.3 H8S/2238 グループの動作モード別ピン配置一覧.....	1-29
表 1.4 H8S/2237 グループの動作モード別ピン配置一覧.....	1-34
表 1.5 H8S/2227 グループの動作モード別ピン配置一覧.....	1-38
表 1.6 H8S/2258 グループ端子機能.....	1-42
表 1.7 H8S/2239 グループ、H8S/2238 グループ端子機能.....	1-48
表 1.8 H8S/2237 グループ、H8S/2227 グループ端子機能.....	1-55
2. CPU.....	2-1
表 2.1 命令の分類.....	2-17
表 2.2 オペレーションの記号.....	2-18
表 2.3 データ転送命令.....	2-19
表 2.4 算術演算命令.....	2-20
表 2.5 論理演算命令.....	2-22
表 2.6 シフト命令.....	2-22
表 2.7 ビット操作命令.....	2-23
表 2.8 分岐命令.....	2-25
表 2.9 システム制御命令.....	2-26
表 2.10 ブロック転送命令.....	2-27
表 2.11 アドレッシングモード一覧表.....	2-29
表 2.12 絶対アドレスのアクセス範囲.....	2-30
表 2.13 実行アドレスの計算方法.....	2-33
3. MCU 動作モード.....	3-1
表 3.1 MCU 動作モードの選択.....	3-1
表 3.2 各動作モードにおける端子機能.....	3-5
4. 例外処理.....	4-1
表 4.1 例外処理の種類と優先度.....	4-1
表 4.2 例外処理ベクタテーブル.....	4-2
表 4.3 リセットの種類.....	4-3
表 4.4 トレース例外処理後の CCR、EXR の状態.....	4-5

表 4.5	トラップ命令例外処理後の CCR、EXR の状態 .....	4-6
5.	割り込みコントローラ .....	5-1
表 5.1	端子構成 .....	5-2
表 5.2	割り込み要因とベクタアドレスおよび割り込み優先順位一覧 .....	5-9
表 5.3	割り込み制御モード .....	5-13
表 5.4	割り込み制御モードと選択される割り込み (1) .....	5-14
表 5.5	割り込み制御モードと選択される割り込み (2) .....	5-14
表 5.6	割り込み制御モードと動作および制御信号機能 .....	5-15
表 5.7	割り込み応答時間 .....	5-21
表 5.8	割り込み例外処理の実行状態のステート数 .....	5-21
表 5.9	割り込み要因の選択とクリア制御 .....	5-23
7.	バスコントローラ .....	7-1
表 7.1	端子構成 .....	7-3
表 7.2	各エリアのバス仕様 (基本バスインタフェース) .....	7-11
表 7.3	使用するデータバスと有効ストロープ .....	7-17
表 7.4	アイドルサイクルでの端子状態 .....	7-31
表 7.5	バス権解放状態での端子状態 .....	7-32
8.	DMA コントローラ (DMAC) .....	8-1
表 8.1	端子構成 .....	8-3
表 8.2	ショートアドレスモードとフルアドレスモード (チャンネル 0) .....	8-4
表 8.3	DMAC の起動要因 .....	8-23
表 8.4	DMAC の転送モード .....	8-25
表 8.5	シーケンシャルモード時のレジスタ機能 .....	8-26
表 8.6	アイドルモード時のレジスタ機能 .....	8-29
表 8.7	リピートモード時のレジスタ機能 .....	8-31
表 8.8	シングルアドレスモード時レジスタの機能 .....	8-35
表 8.9	ノーマルモード時のレジスタ機能 .....	8-38
表 8.10	ブロック転送モード時のレジスタの機能 .....	8-41
表 8.11	DMAC のチャンネル間優先順位 .....	8-58
表 8.12	割り込み要因と優先度 .....	8-61
9.	データトランスファコントローラ (DTC) .....	9-1
表 9.1	起動要因と DTCER のクリア .....	9-7
表 9.2	割り込み要因と DTC ベクタアドレスおよび対応する DTCE .....	9-9
表 9.3	ノーマルモードのレジスタ機能 .....	9-12
表 9.4	リピートモードのレジスタ機能 .....	9-13
表 9.5	ブロック転送モードのレジスタ機能 .....	9-14

表 9.6	DTC の実行状態 .....	9-17
表 9.7	実行状態に必要なステート数 .....	9-18
10.	I/O ポート .....	10-1
表 10.1	ポートの機能一覧 .....	10-2
表 10.2	ポート A 入力プルアップ MOS の状態 .....	10-25
表 10.3	ポート B 入力プルアップ MOS の状態 .....	10-31
表 10.4	ポート C 入力プルアップ MOS の状態 .....	10-34
表 10.5	ポート D 入力プルアップ MOS の状態 .....	10-37
表 10.6	ポート E 入力プルアップ MOS の状態 .....	10-40
表 10.7	未使用の入力端子の処理例 .....	10-47
11.	16 ビットタイマパルスユニット (TPU) .....	11-1
表 11.1	TPU の機能一覧 .....	11-2
表 11.2	端子構成 .....	11-6
表 11.3	CCLR2 ~ CCLR0 (チャンネル 0、3) .....	11-10
表 11.4	CCLR2 ~ CCLR0 (チャンネル 1、2、4、5) .....	11-10
表 11.5	TPSC2 ~ TPSC0 (チャンネル 0) .....	11-11
表 11.6	TPSC2 ~ TPSC0 (チャンネル 1) .....	11-11
表 11.7	TPSC2 ~ TPSC0 (チャンネル 2) .....	11-12
表 11.8	TPSC2 ~ TPSC0 (チャンネル 3) .....	11-12
表 11.9	TPSC2 ~ TPSC0 (チャンネル 4) .....	11-13
表 11.10	TPSC2 ~ TPSC0 (チャンネル 5) .....	11-13
表 11.11	MD3 ~ MD0 .....	11-15
表 11.12	TIORH_0 .....	11-16
表 11.13	TIORL_0 .....	11-17
表 11.14	TIOR_1 .....	11-18
表 11.15	TIOR_2 .....	11-19
表 11.16	TIORH_3 .....	11-20
表 11.17	TIORL_3 .....	11-21
表 11.18	TIOR_4 .....	11-22
表 11.19	TIOR_5 .....	11-23
表 11.20	TIORH_0 .....	11-24
表 11.21	TIORL_0 .....	11-25
表 11.22	TIOR_1 .....	11-26
表 11.23	TIOR_2 .....	11-27
表 11.24	TIORH_3 .....	11-28
表 11.25	TIORL_3 .....	11-29
表 11.26	TIOR_4 .....	11-30
表 11.27	TIOR_5 .....	11-31
表 11.28	レジスタの組み合わせ .....	11-46

表 11.29	カスケード接続組み合わせ	11-50
表 11.30	各 PWM 出力のレジスタと出力端子	11-53
表 11.31	位相計数モードクロック入力端子	11-57
表 11.32	位相計数モード 1 のアップ/ダウンカウント条件	11-58
表 11.33	位相計数モード 2 のアップ/ダウンカウント条件	11-59
表 11.34	位相計数モード 3 のアップ/ダウンカウント条件	11-60
表 11.35	位相計数モード 4 のアップ/ダウンカウント条件	11-61
表 11.36	TPU 割り込み一覧	11-63
12.	8 ビットタイマ (TMR)	12-1
表 12.1	端子構成	12-3
表 12.2	8 ビットタイマの割り込み要因	12-15
表 12.3	タイマ出力の優先順位	12-17
表 12.4	内部クロックの切り替えと TCNT の動作	12-18
13.	ウォッチドッグタイマ (WDT)	13-1
表 13.1	端子構成	13-3
表 13.2	WDT の割り込み要因	13-11
14.	IEBus™ コントローラ (IEB) (H8S/2258 グループ)	14-1
表 14.1	3 種類のモード	14-3
表 14.2	各通信モードにおける伝送速度、最大伝送バイト数	14-4
表 14.3	電文長ビットの内容	14-7
表 14.4	コントロールビットの内容	14-11
表 14.5	ロックされたスレーブユニットに対するコントロールフィールド	14-11
表 14.6	端子構成	14-14
15.	シリアルコミュニケーションインタフェース (SCI)	15-1
表 15.1	端子構成	15-5
表 15.2	BRR の設定値 N とビットレート B の関係	15-20
表 15.3	ビットレートに対する BRR の設定例 (調歩同期式モード)	15-21
表 15.4	各動作周波数における最大ビットレート (調歩同期式モード)	15-24
表 15.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	15-24
表 15.6	ビットレートに対する BRR の設定例 (クロック同期式モード)	15-25
表 15.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	15-26
表 15.8	ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき)	15-26
表 15.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードで $S=372$ のとき)	15-27
表 15.10	シリアル送信/受信フォーマット (調歩同期式モード)	15-32
表 15.11	SSR のステータスフラグの状態と受信データの処理	15-39



表 15.12	シリアルコミュニケーションインタフェースモードの割り込み要因	15-68
表 15.13	スマートカードインタフェースモードの割り込み要因	15-69
16.	I <sup>2</sup> C バスインタフェース (IIC) (オプション)	16-1
表 16.1	端子構成	16-4
表 16.2	転送フォーマット	16-7
表 16.3	転送レート	16-9
表 16.4	フラグと転送状態の関係	16-14
表 16.5	DTC による動作例	16-39
表 16.6	IIC 割り込み要因	16-42
表 16.7	I <sup>2</sup> C バスタイミング (SCL、SDA 出力)	16-43
表 16.8	SCL 立ち上がり時間 ( $t_{Sr}$ ) の許容範囲	16-44
表 16.9	I <sup>2</sup> C バスタイミング ( $t_{Sr}/t_{Sf}$ 影響最大の場合)	16-45
17.	A/D 変換器	17-1
表 17.1	端子構成	17-3
表 17.2	アナログ入力チャネルと ADDR の対応	17-4
表 17.3	A/D 変換時間 (シングルモード)	17-11
表 17.4	A/D 変換時間 (スキャンモード)	17-11
表 17.5	A/D 変換器の割り込み要因	17-12
表 17.6	アナログ端子の規格	17-16
18.	D/A 変換器	18-1
表 18.1	端子構成	18-2
表 18.2	D/A 変換の制御	18-3
20.	フラッシュメモリ (F-ZTAT 版)	20-1
表 20.1	ブートモードとユーザプログラムモードの相違点	20-3
表 20.2	端子構成	20-10
表 20.3	オンボードプログラミングモード設定方法	20-18
表 20.4	ブートモードの動作	20-20
表 20.5	ビットレート自動合わせ込みが可能なシステムクロック周波数	20-21
表 20.6	フラッシュメモリの動作状態	20-31
表 20.7	F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ	20-36
21.	マスク ROM	21-1
22.	PROM	22-1
表 22.1	PROM モードの設定方法	22-1
表 22.2	ソケットアダプタ	22-4

表 22.3	PROM モード時のモード選択 .....	22-5
表 22.4	DC 特性 .....	22-7
表 22.5	AC 特性 .....	22-7
23.	クロック発振器 .....	23-1
表 23.1	ダンピング抵抗値 .....	23-5
表 23.2	水晶発振子の特性 .....	23-6
表 23.3	外部クロック入力条件 (1) (H8S/2258 グループ) .....	23-7
表 23.3	外部クロック入力条件 (2) (H8S/2238B、H8S/2236B) .....	23-7
表 23.3	外部クロック入力条件 (3) (H8S/2238R、H8S/2236R) .....	23-8
表 23.3	外部クロック入力条件 (4) (H8S/2237 グループ、H8S/2227 グループ) .....	23-8
表 23.3	外部クロック入力条件 (5) (H8S/2239 グループ) .....	23-9
表 23.4	外部クロック入力条件 (デューティ補正回路未使用) (1) (H8S/2258 グループ) .....	23-9
表 23.4	外部クロック入力条件 (デューティ補正回路未使用) (2) (H8S/2238B、H8S/2236B) .....	23-10
表 23.4	外部クロック入力条件 (デューティ補正回路未使用) (3) (H8S/2238R、H8S/2236R) .....	23-10
表 23.4	外部クロック入力条件 (デューティ補正回路未使用) (4) (H8S/2237 グループ、H8S/2227 グループ) .....	23-11
表 23.4	外部クロック入力条件 (デューティ補正回路未使用) (5) (H8S/2239 グループ) .....	23-11
24.	低消費電力状態 .....	24-1
表 24.1	各モードでの本 LSI の内部状態 .....	24-2
表 24.2	低消費電力モード遷移条件 .....	24-5
表 24.3	発振安定時間の設定 .....	24-11
表 24.4	各処理状態における $\phi$ 端子の状態 .....	24-18
27.	電気的特性 .....	27-1
表 27.1	絶対最大定格 .....	27-6
表 27.2	DC 特性 (1) .....	27-7
表 27.2	DC 特性 (2) .....	27-9
表 27.2	DC 特性 (3) .....	27-11
表 27.3	出力許容電流 .....	27-12
表 27.4	バス駆動特性 .....	27-13
表 27.5	クロックタイミング .....	27-15
表 27.6	制御信号タイミング .....	27-16
表 27.7	バスタイミング .....	27-17
表 27.8	内蔵周辺タイミング .....	27-18
表 27.9	I <sup>2</sup> C バスタイミング .....	27-19
表 27.10	A/D 変換特性 .....	27-20
表 27.11	D/A 変換特性 .....	27-20
表 27.12	フラッシュメモリ特性 .....	27-21
表 27.13	絶対最大定格 .....	27-23

表 27.14	DC 特性 (1)	27-24
表 27.14	DC 特性 (2)	27-25
表 27.14	DC 特性 (3)	27-27
表 27.15	出力許容電流	27-29
表 27.16	バス駆動特性	27-29
表 27.17	クロックタイミング	27-30
表 27.18	制御信号タイミング	27-31
表 27.19	バスタイミング	27-32
表 27.20	DMAC タイミング	27-33
表 27.21	内蔵周辺タイミング	27-34
表 27.22	I <sup>2</sup> C バスタイミング	27-35
表 27.23	A/D 変換特性	27-36
表 27.24	D/A 変換特性	27-37
表 27.25	フラッシュメモリ特性	27-37
表 27.26	絶対最大定格	27-40
表 27.27	DC 特性 (1)	27-41
表 27.27	DC 特性 (2)	27-43
表 27.27	DC 特性 (3)	27-44
表 27.28	出力許容電流	27-45
表 27.29	バス駆動特性	27-46
表 27.30	クロックタイミング	27-47
表 27.31	制御信号タイミング	27-48
表 27.32	バスタイミング	27-49
表 27.33	内蔵周辺タイミング	27-50
表 27.34	I <sup>2</sup> C バスタイミング	27-51
表 27.35	A/D 変換特性 (F-ZTAT 版、マスク ROM 版)	27-52
表 27.36	D/A 変換特性 (F-ZTAT 版、マスク ROM 版)	27-52
表 27.37	フラッシュメモリ特性	27-53
表 27.38	絶対最大定格	27-55
表 27.39	DC 特性 (1)	27-56
表 27.39	DC 特性 (2)	27-57
表 27.39	DC 特性 (3)	27-59
表 27.40	出力許容電流	27-60
表 27.41	バス駆動特性	27-61
表 27.42	クロックタイミング	27-62
表 27.43	制御信号タイミング	27-63
表 27.44	バスタイミング	27-64
表 27.45	内蔵周辺タイミング	27-65
表 27.46	I <sup>2</sup> C バスタイミング	27-66
表 27.47	A/D 変換特性	27-67
表 27.48	D/A 変換特性	27-67

表 27.49	フラッシュメモリ特性.....	27-68
表 27.50	絶対最大定格.....	27-70
表 27.51	DC 特性 (1).....	27-71
表 27.51	DC 特性 (2).....	27-72
表 27.51	DC 特性 (3).....	27-73
表 27.51	DC 特性 (4).....	27-74
表 27.52	出力許容電流.....	27-75
表 27.53	クロックタイミング.....	27-76
表 27.54	制御信号タイミング.....	27-77
表 27.55	バスタイミング.....	27-78
表 27.56	内蔵周辺タイミング.....	27-80
表 27.57	A/D 変換特性.....	27-81
表 27.58	D/A 変換特性.....	27-81
表 27.59	フラッシュメモリ特性.....	27-82
付録	.....	付録-1
表 B.1	H8S/2258 グループ型名一覧.....	付録-5
表 B.2	H8S/2239 グループ型名一覧.....	付録-6
表 B.3	H8S/2238 グループ型名一覧.....	付録-7
表 B.4	H8S/2237 グループ、H8S/2227 グループ型名一覧.....	付録-9

---

# 1. 概要

---

## 1.1 特長

- 16ビット高速H8S/2000CPU  
H8/300CPU、H8/300HCPUとオブジェクトレベルで上位互換  
汎用レジスタ：16ビット×16本  
基本命令：65種類
- 豊富な周辺機能  
PCブレークコントローラ  
DMAコントローラ (DMAC)  
H8S/2239グループのみサポートします。  
データトランスファコントローラ (DTC)  
16ビットタイムパルスユニット(TPU)  
H8S/2258グループ、H8S/2239グループ、H8S/2238グループ、H8S/2237グループ：6チャンネル  
H8S/2227グループ：3チャンネル  
8ビットタイマ (TMR)  
H8S/2258グループ、H8S/2239グループ、H8S/2238グループ：4チャンネル  
H8S/2237グループ、H8S/2227グループ：2チャンネル  
ウォッチドッグタイマ (WDT)  
シリアルコミュニケーションインタフェース (SCI)  
H8S/2258グループ、H8S/2239グループ、H8S/2238グループ、H8S/2237グループ：4チャンネル (SCI\_0～SCI\_3)  
H8S/2227グループ：3チャンネル (SCI\_0、SCI\_1、SCI\_3)  
I<sup>2</sup>Cバスインタフェース (IIC)  
H8S/2258グループ、H8S/2239グループ、H8S/2238グループにオプションです。  
10ビットA/D変換器  
8ビットD/A変換器  
H8S/2227グループにはありません。  
IEBusコントローラ (IEB)  
H8S/2258グループ：1チャンネル

## 1. 概要

---

### • 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2258	256K バイト	16K バイト	
	HD64F2239	384K バイト	32K バイト	
	HD64F2238B	256K バイト	16K バイト	
	HD64F2238R	256K バイト	16K バイト	
	HD64F2227	128K バイト	16K バイト	
PROM 版	HD6472237	128K バイト	16K バイト	
マスク ROM 版	HD6432258	256K バイト	16K バイト	
	HD6432258W	256K バイト	16K バイト	
	HD6432256	128K バイト	8K バイト	
	HD6432256W	128K バイト	8K バイト	
	HD6432239	384K バイト	32K バイト	
	HD6432239W	384K バイト	32K バイト	
	HD6432238B	256K バイト	16K バイト	
	HD6432238BW	256K バイト	16K バイト	
	HD6432238R	256K バイト	16K バイト	
	HD6432238RW	256K バイト	16K バイト	
	HD6432236B	128K バイト	8K バイト	
	HD6432236BW	128K バイト	8K バイト	
	HD6432236R	128K バイト	8K バイト	
	HD6432236RW	128K バイト	8K バイト	
	HD6432237	128K バイト	16K バイト	
	HD6432235	128K バイト	4K バイト	
	HD6432233	64K バイト	4K バイト	
	HD6432227	128K バイト	16K バイト	
	HD6432225	128K バイト	4K バイト	
	HD6432224	96K バイト	4K バイト	
HD6432223	64K バイト	4K バイト		

### • 汎用入出力ポート

入出力ポート：72本

入力ポート：10本

### • 各種低消費電力モードをサポート

## ● 小型パッケージ

パッケージ	コード* <sup>6</sup>	ボディサイズ	ピンピッチ
TQFP-100	TFP-100B、TFP-100BV	14.0 × 14.0mm	0.5mm
TQFP-100* <sup>1</sup>	TFP-100G、TFP-100GV	12.0 × 12.0mm	0.4mm
QFP-100* <sup>2</sup>	FP-100A、FP-100AV	14.0 × 20.0mm	0.65mm
QFP-100* <sup>3</sup>	FP-100B、FP-100BV	14.0 × 14.0mm	0.5mm
LFBGA-112* <sup>4</sup>	BP-112、BP-112V	10.0 × 10.0mm	0.8mm
TFBGA-112* <sup>5</sup>	TBP-112A、TBP-112AV	10.0 × 10.0mm	0.8mm

【注】 \*1 H8S/2258 グループは除きます。

\*2 H8S/2258 グループ、H8S/2238B、H8S/2236B、H8S/2237 グループ、HD6432227 のみです。

\*3 HD64F2227 は除きます。

\*4 HD64F2238R のみです。

\*5 HD64F2238R、HD64F2239 のみです。

\*6 パッケージコードの末尾がVのパッケージは、鉛フリー対応品です。

# 1. 概要

## 1.2 内部ブロック図

内部ブロック図を図 1.1～図 1.5 に示します。

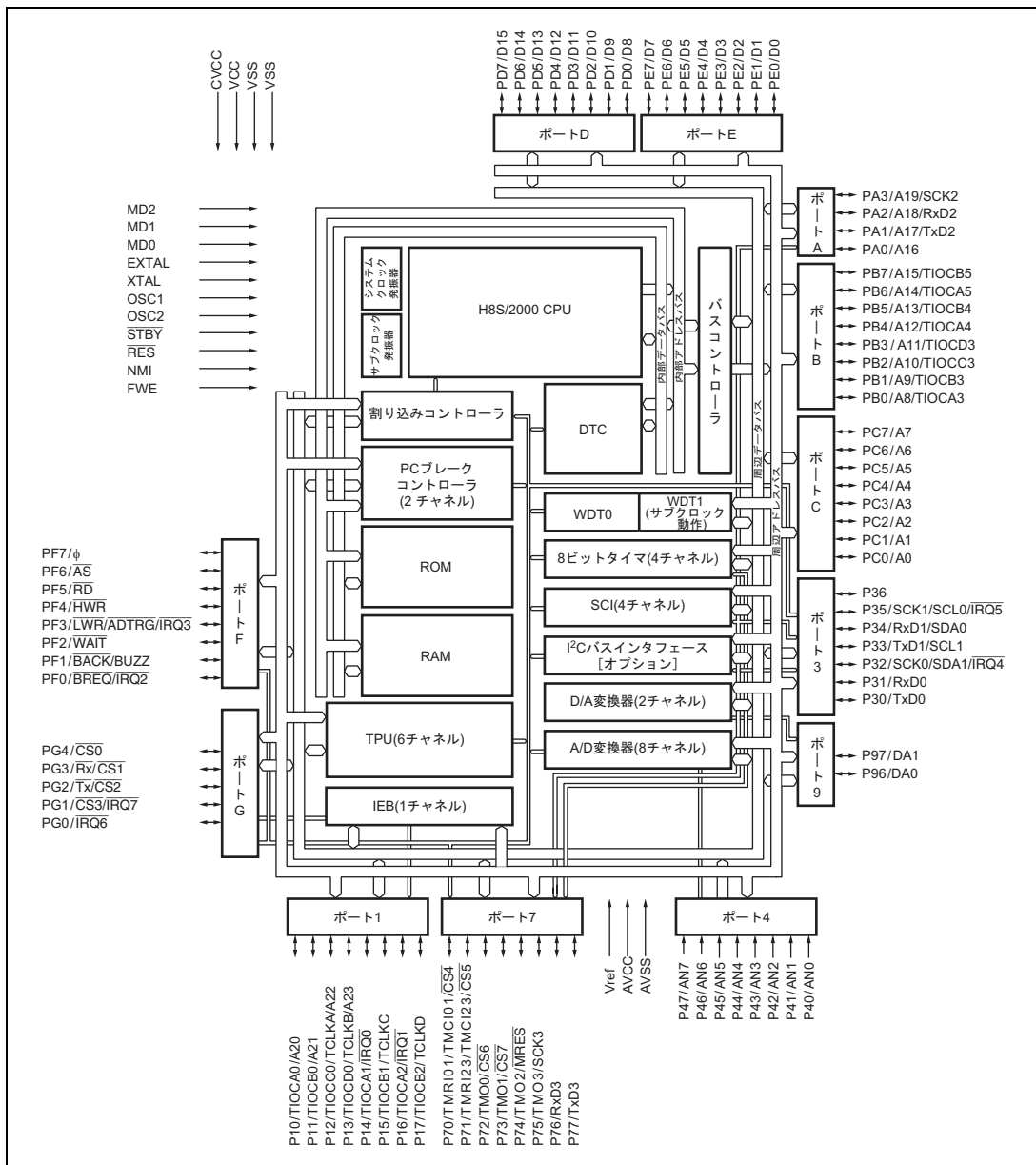


図 1.1 H8S/2258 グループの内部ブロック図



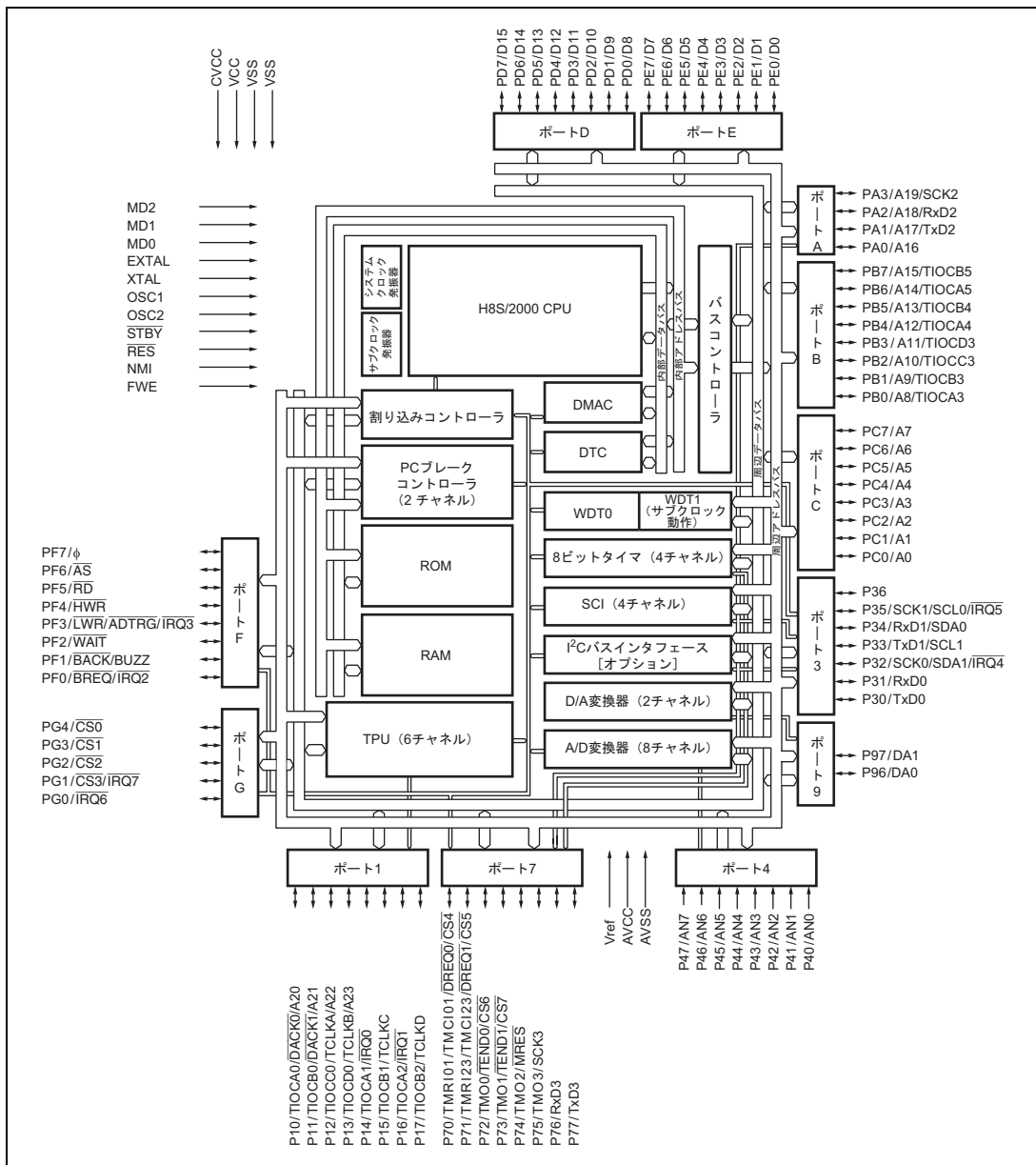


図 1.2 H8S/2239 グループの内部ブロック図

# 1. 概要

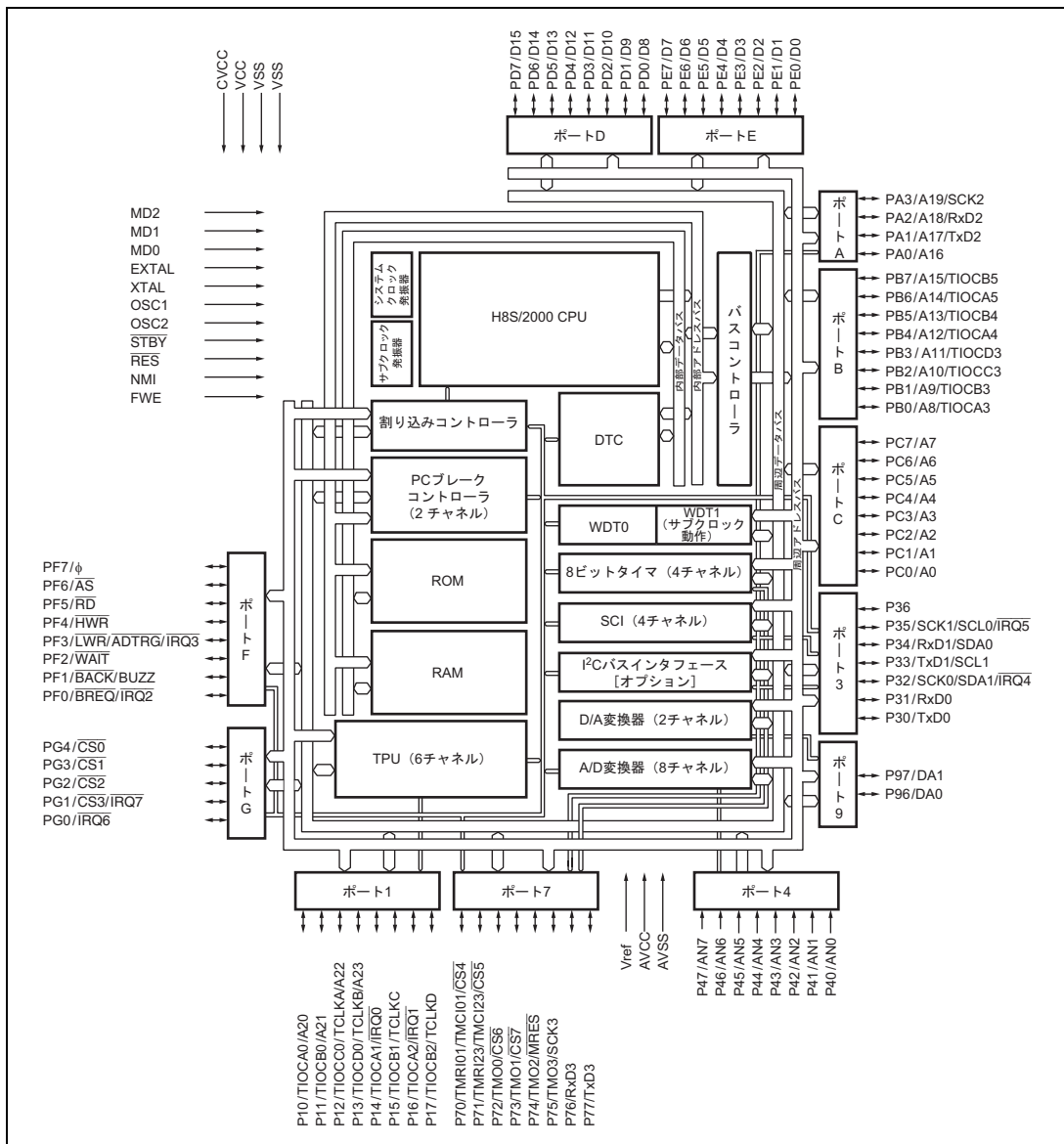


図 1.3 H8S/2238 グループの内部ブロック図

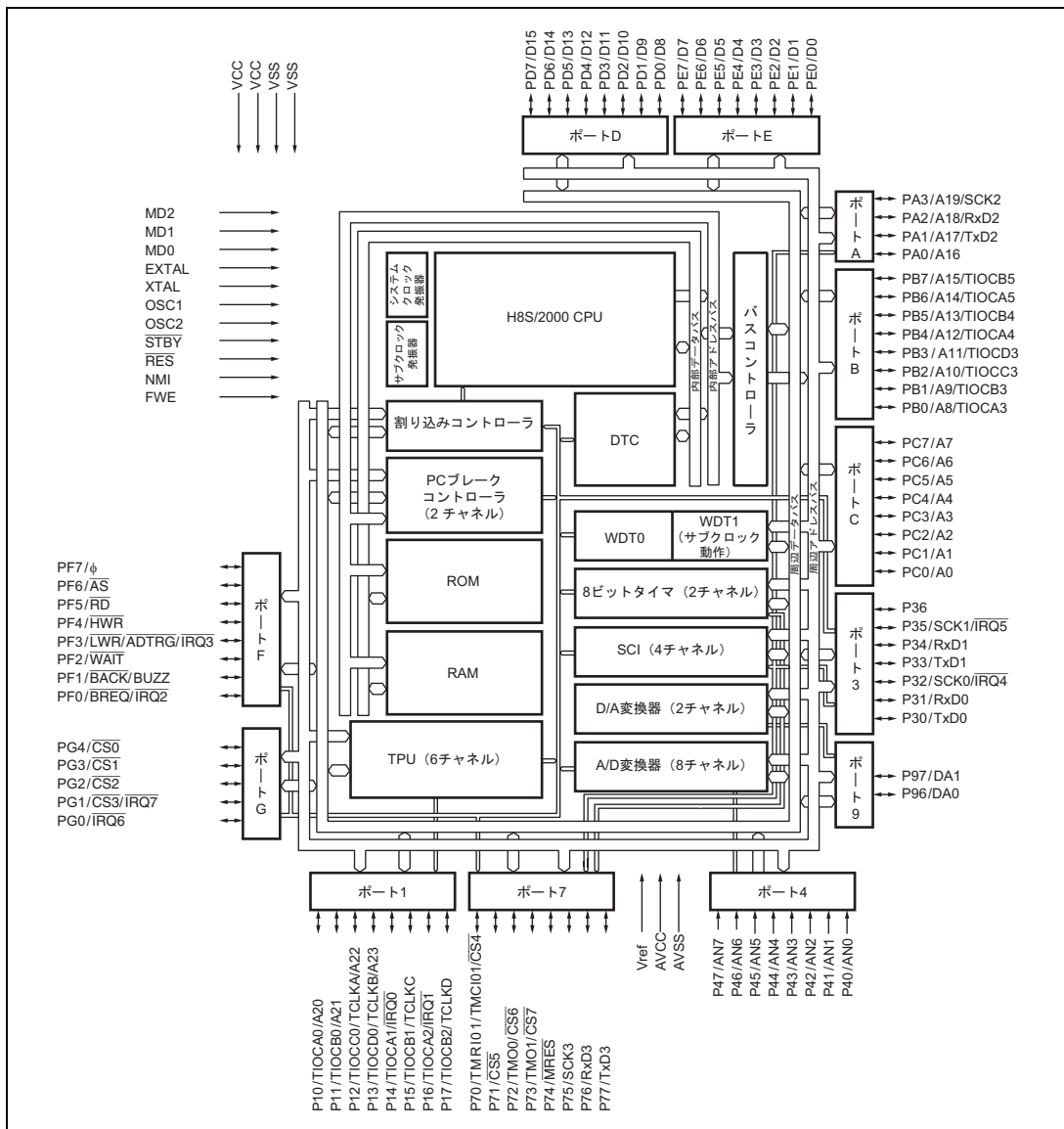


図 1.4 H8S/2237 グループの内部ブロック図

# 1. 概要

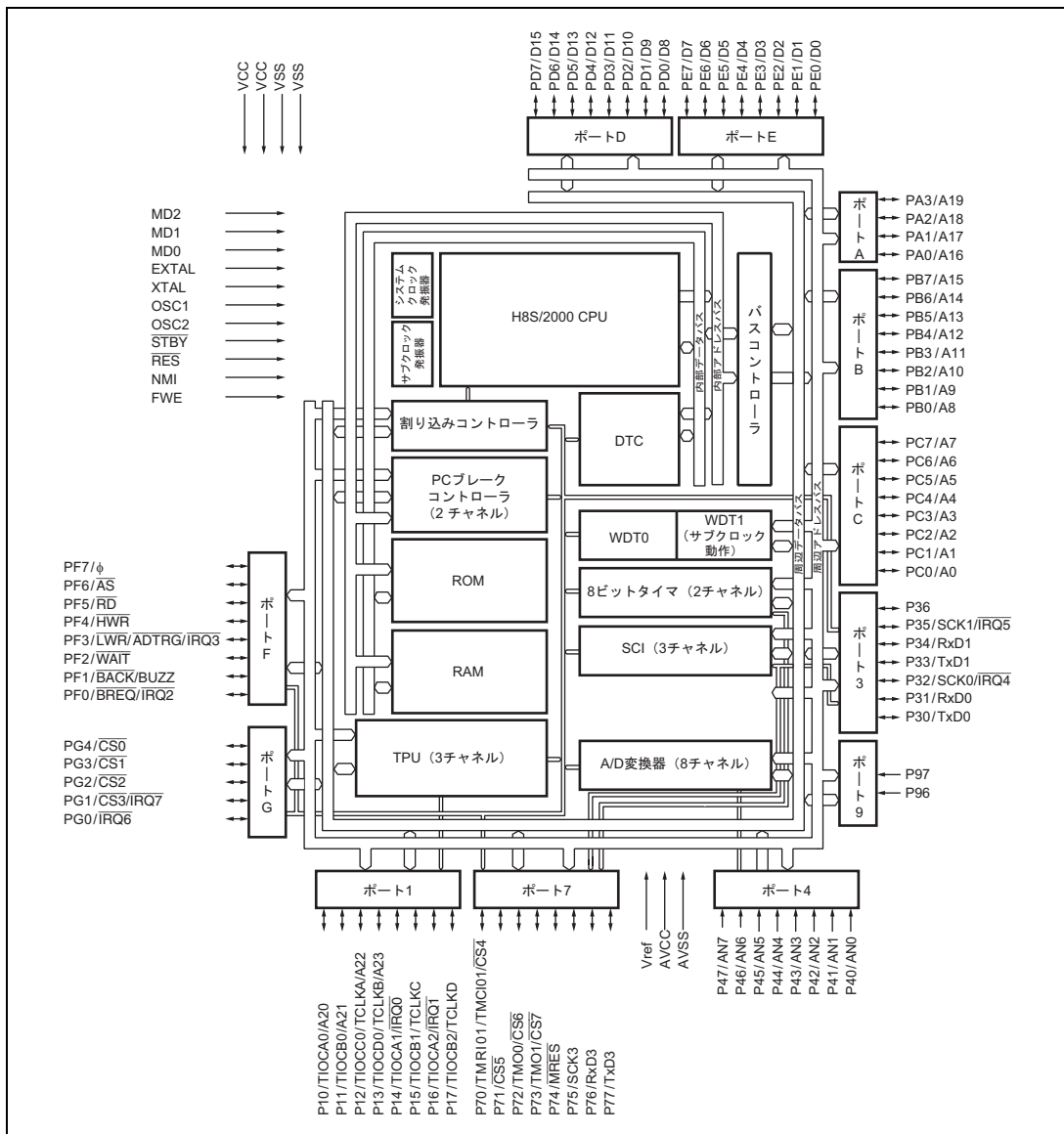


図 1.5 H8S/2227 グループの内部ブロック図

## 1.3 端子説明

### 1.3.1 ピン配置図

#### (1) H8S/2258 グループピン配置図

H8S/2258 グループのピン配置図を図 1.6、図 1.7 に示します。

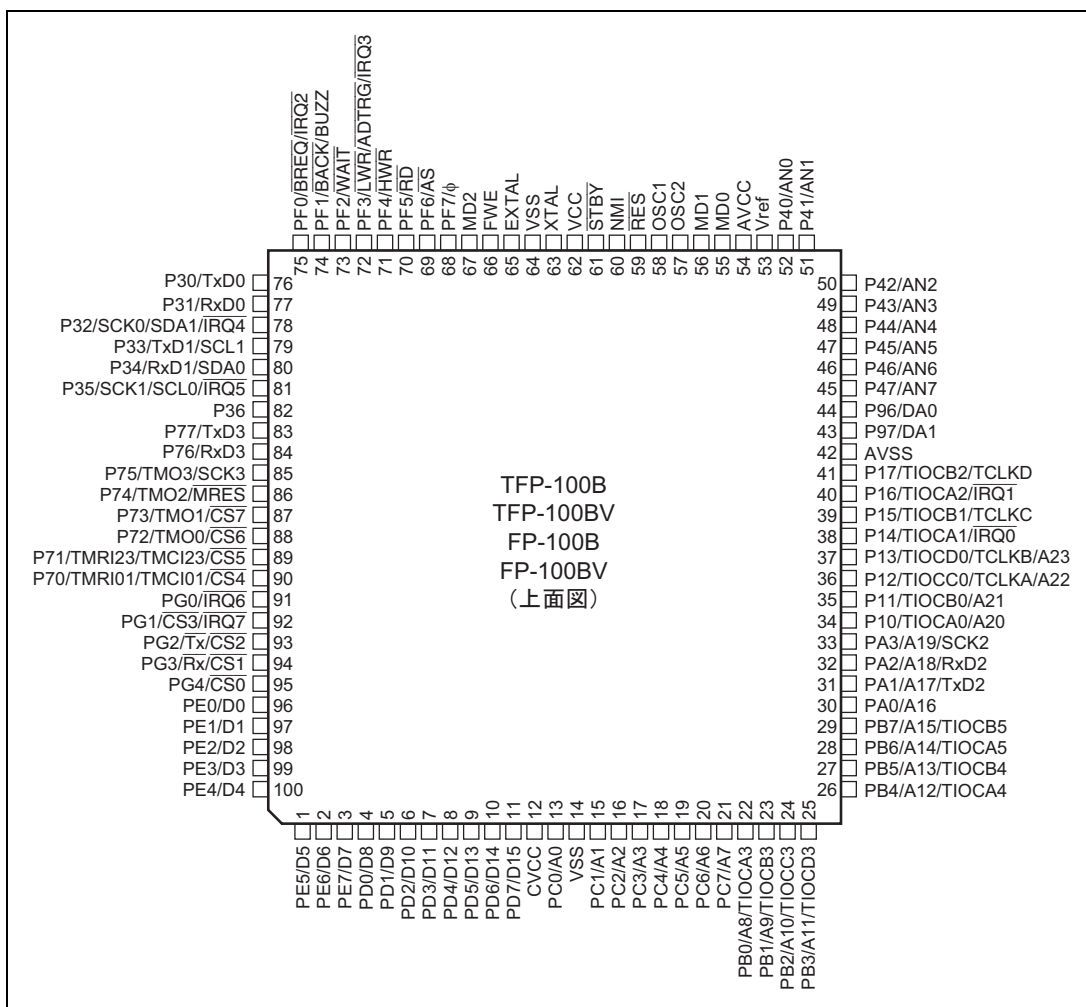


図 1.6 H8S/2258 グループのピン配置図 (TFP-100B、TFP-100BV、FP-100B、FP-100BV : 上面図)



(2) H8S/2239 グループピン配置図

H8S/2239 グループのピン配置図を図 1.8、図 1.9 に示します。

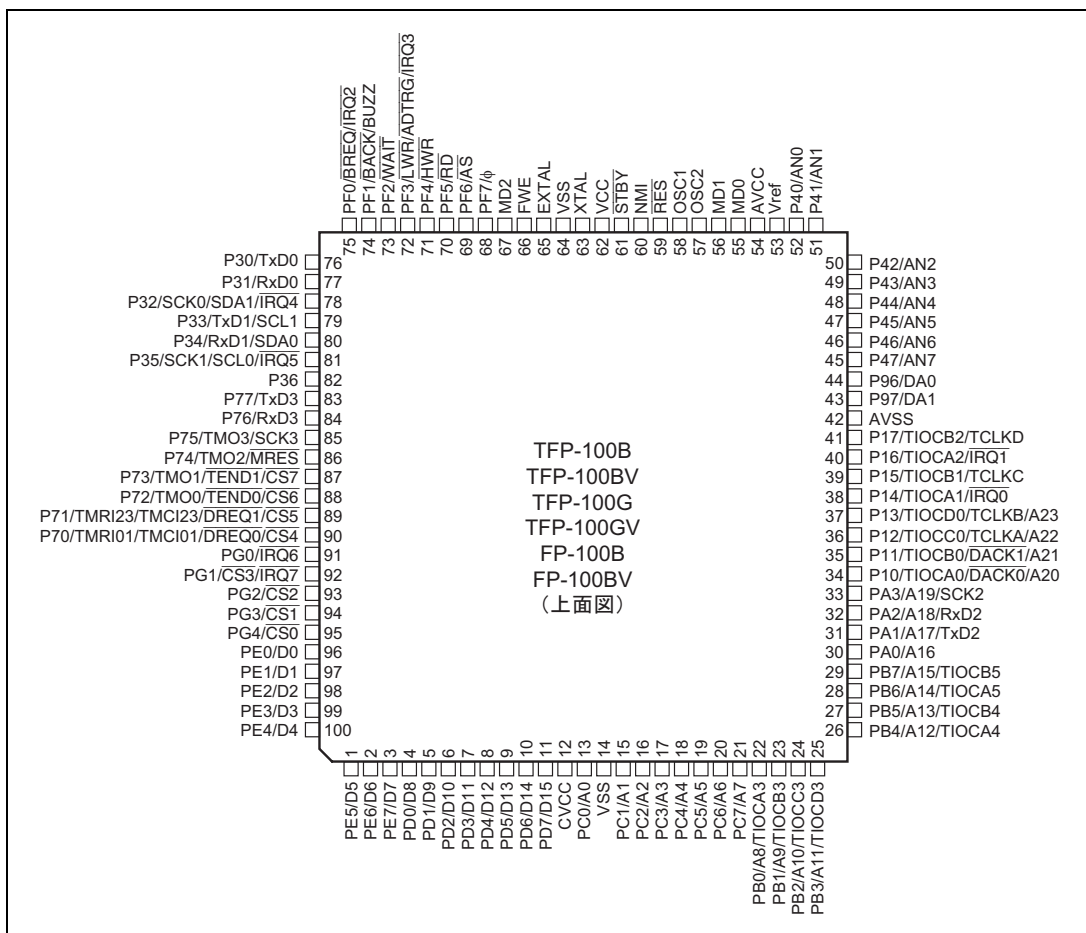


図 1.8 H8S/2239 グループのピン配置図

(TFP-100B、TFP-100BV、TFP-100G、TFP-100GV、FP-100B、FP-100BV : 上面図)

# 1. 概要

	A	B	C	D	E	F	G	H	J	K	L
11	NC (Reserve)	PF1/BACK/ BUZZ	PF4/HWR	PF7/ψ	EXTAL	XTAL	STBY	OSC1	MD0	P40/AN0	NC (Reserve)
10	P30/TxD0	NC (Reserve)	PF2/WAIT	PF5/RD	FWE	VSS	VCC	OSC2	AVCC	P41/AN1	P42/AN2
9	P33/TxD1/ SCL1	P32/SCK0/ SDA1/IRQ4	PF0/BREQ/ IRQ2	PF3/LWR/ ADTRG/ IRQ3	MD2	VCC	NMI	MD1	NC (Reserve)	P43/AN3	P45/AN5
8	P36	P35/SCK1/ SCL0/IRQ5	P34/RxD1/ SDA0	P31/RxD0	PF6/AS	VSS	RES	Vref	P44/AN4	P46/AN6	P96/DA0
7	P75/TMO3/ SCK3	P74/TMO2/ MRES	P76/RxD3	P77/TxD3	TBP-112A TBP-112AV (上面図)			P47/AN7	P97/DA1	AVSS	AVSS
6	P72/TMO0/ TEND0/ CS6	P71/ TMR123/ TMC123/ DREQ1/ CS5	P73/TMO1/ TEND1/ CS7	P70/ TMR101/ TMC101/ DREQ0/ CS4				P17/ TIOCB2/ TCLKD	P14/ TIOCA1/ IRQ0	P16/ TIOCA2/ IRQ1	P15/ TIOCB1/ TCLKC
5	PG0/IRQ6	PG1/CS3/ IRQ7	PG2/CS2	PG4/CS0				P10/ TIOCA0/ DACK0/A20	P11/ TIOCB0/ DACK1/A21	P13/ TIOCD0/ TCLKB/A23	P12/ TIOCC0/ TCLKA/A22
4	PG3/CS1	PE0/D0	PE2/D2	PE7/D7				PD5/D13	VSS	PC5/A5	PB6/A14/ TIOCA5
3	PE1/D1	PE3/D3	NC (Reserve)	PD2/D10	PD6/D14	CVCC	PC3/A3	PB0/A8/ TIOCA3	PB3/A11/ TIOCD3	PB7/A15/ TIOCB5	PA0/A16
2	PE4/D4	PE5/D5	PD0/D8	PD3/D11	CVCC	VSS	PC2/A2	PC6/A6	PB1/A9/ TIOCB3	PB4/A12/ TIOCA4	PB5/A13/ TIOCB4
1	NC (Reserve)	PE6/D6	PD1/D9	PD4/D12	PD7/D15	PC0/A0	PC1/A1	PC4/A4	PC7/A7	PB2/A10/ TIOCC3	NC (Reserve)

INDEX

図 1.9 H8S/2239 グループのピン配置図 (TBP-112A、TBP-112AV : 上面図、HD64F2239 のみ)



(3) H8S/2238 グループピン配置図

H8S/2238 グループのピン配置図を図 1.10 ~ 図 1.12 に示します。

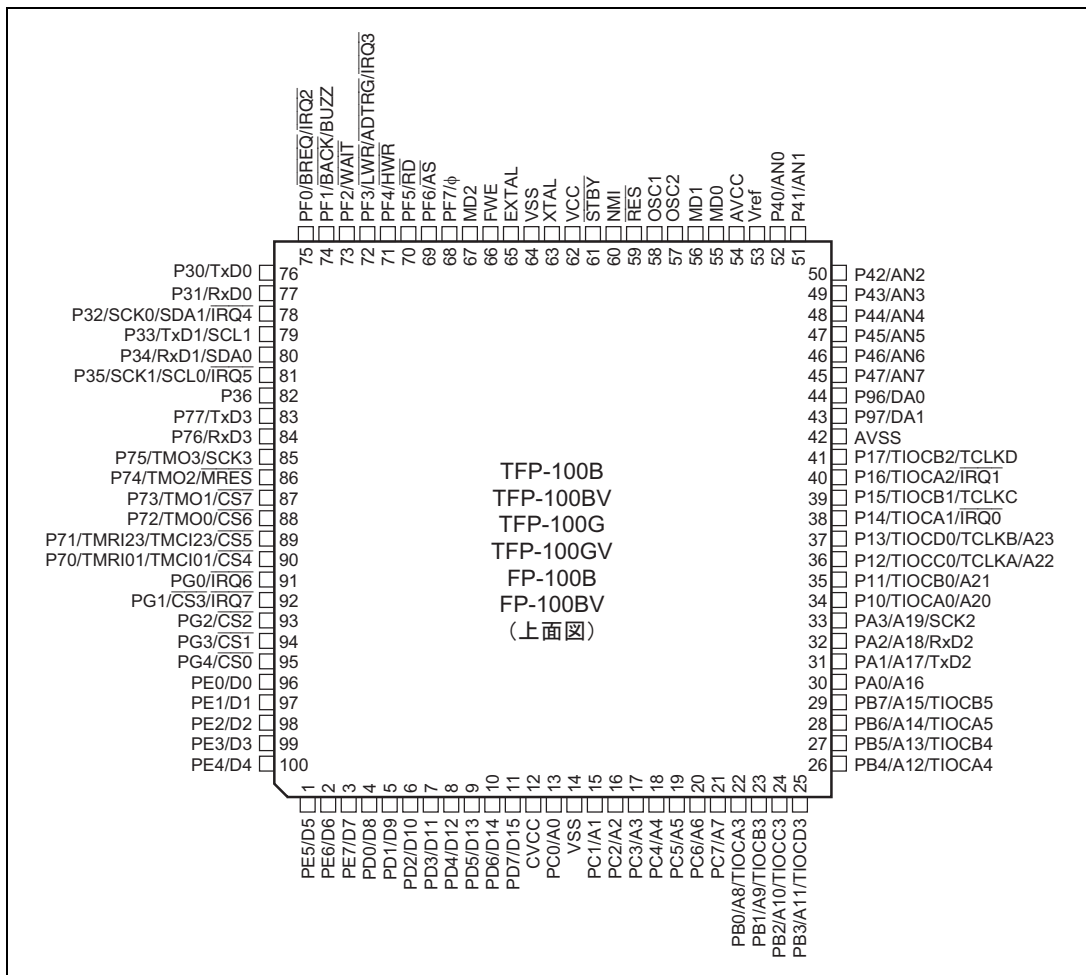


図 1.10 H8S/2238 グループのピン配置図

(TFP-100B、TFP-100BV、TFP-100G、TFP-100GV、FP-100B、FP-100BV : 上面図)

1. 概要

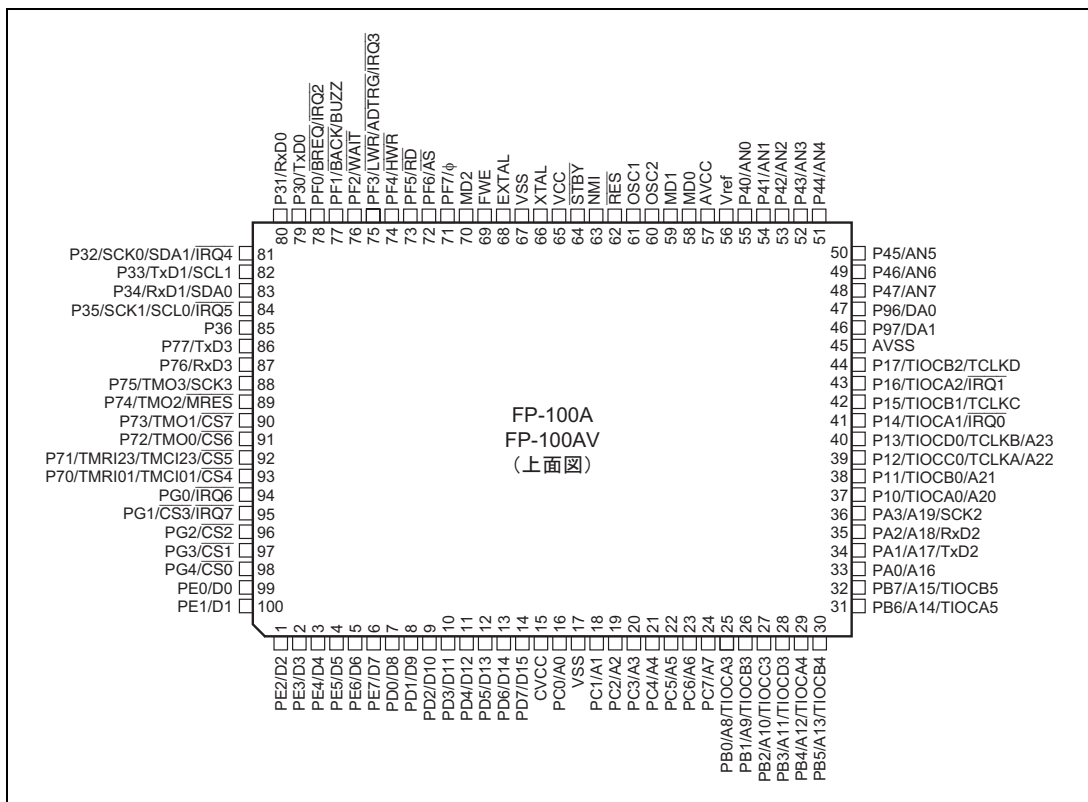


図 1.11 H8S/2238 グループのピン配置図 (FP-100A、FP-100AV : 上面図 H8S/2238B、H8S/2236B のみ)

	A	B	C	D	E	F	G	H	J	K	L
11	NC (Reserve)	PF1/BACK/ BUZZ	PF4/HWR	PF7/ψ	EXTAL	XTAL	STBY	OSC1	MD0	P40/AN0	NC (Reserve)
10	P30/TxD0	NC (Reserve)	PF2/WAIT	PF5/RD	FWE	VSS	VCC	OSC2	AVCC	P41/AN1	P42/AN2
9	P33/TxD1/ SCL1	P32/SCK0/ SDA1/IRQ4	PF0/BREQ/ IRQ2	PF3/LWR/ ADTRG/ IRQ3	MD2	VCC	NMI	MD1	NC (Reserve)	P43/AN3	P45/AN5
8	P36	P35/SCK1/ SCL0/IRQ5	P34/RxD1/ SDA0	P31/RxD0	PF6/AS	VSS	RES	Vref	P44/AN4	P46/AN6	P96/DA0
7	P75/TMO3/ SCK3	P74/TMO2/ MRES	P76/RxD3	P77/TxD3	BP-112 BP-112V TBP-112A TBP-112AV (上面図)			P47/AN7	P97/DA1	AVSS	AVSS
6	P72/TMO0 /CS6	P71/ TMR123/ TMC123/ CS5	P73/TMO1 /CS7	P70/ TMR101/ TMC101/ CS4				P17/ TIOCB2/ TCLKD	P14/ TIOCA1/ IRQ0	P16/ TIOCA2/ IRQ1	P15/ TIOCB1/ TCLKC
5	PG0/IRQ6	PG1/CS3/ IRQ7	PG2/CS2	PG4/CS0				P10/ TIOCA0 /A20	P11/ TIOCB0/ A21	P13/ TIOCD0/ TCLKB/A23	P12/ TIOCC0/ TCLKA/A22
4	PG3/CS1	PE0/D0	PE2/D2	PE7/D7	PD5/D13	VSS	PC5/A5	PB6/A14/ TIOCA5	PA1/A17/ TxD2	PA2/A18 /RxD2	PA3/A19/ SCK2
3	PE1/D1	PE3/D3	NC (Reserve)	PD2/D10	PD6/D14	CVCC	PC3/A3	PB0/A8/ TIOCA3	PB3/A11/ TIOCD3	PB7/A15/ TIOCB5	PA0/A16
2	PE4/D4	PE5/D5	PD0/D8	PD3/D11	CVCC	VSS	PC2/A2	PC6/A6	PB1/A9/ TIOCB3	PB4/A12/ TIOCA4	PB5/A13/ TIOCB4
1	NC (Reserve)	PE6/D6	PD1/D9	PD4/D12	PD7/D15	PC0/A0	PC1/A1	PC4/A4	PC7/A7	PB2/A10/ TIOCC3	NC (Reserve)

INDEX

図 1.12 H8S/2238 グループのピン配置図  
(BP-112、BP-112V、TBP-112A、TBP-112AV : 上面図 HD64F2238R のみ)

# 1. 概要

## (4) H8S/2237 グループピン配置図

H8S/2237 グループのピン配置図を図 1.13、図 1.14 に示します。

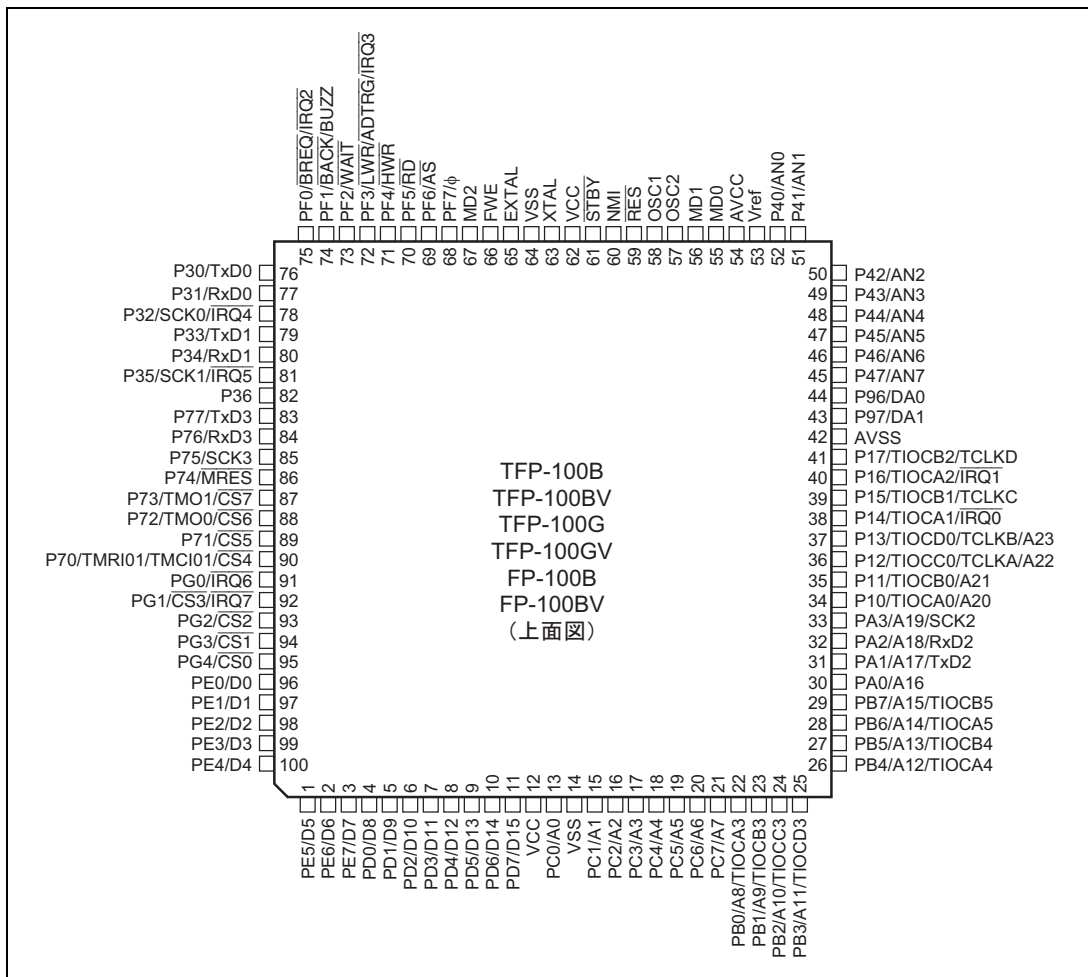


図 1.13 H8S/2237 グループのピン配置図

(TFP-100B、TFP-100BV、TFP-100G、TFP-100GV、FP-100B、FP-100BV : 上面図)

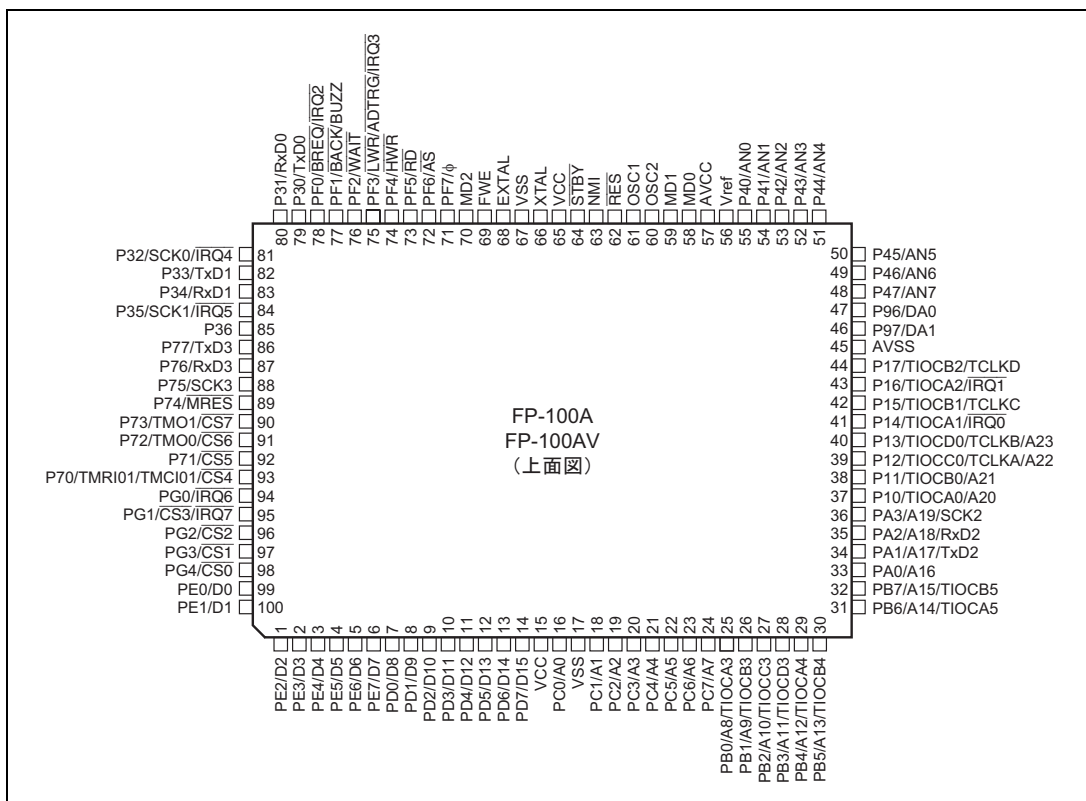


図 1.14 H8S/2237 グループのピン配置図 (FP-100A、FP-100AV ; 上面図)

1. 概要

(5) H8S/2227 グループピン配置図

H8S/2227 グループのピン配置図を図 1.15、図 1.16 に示します。

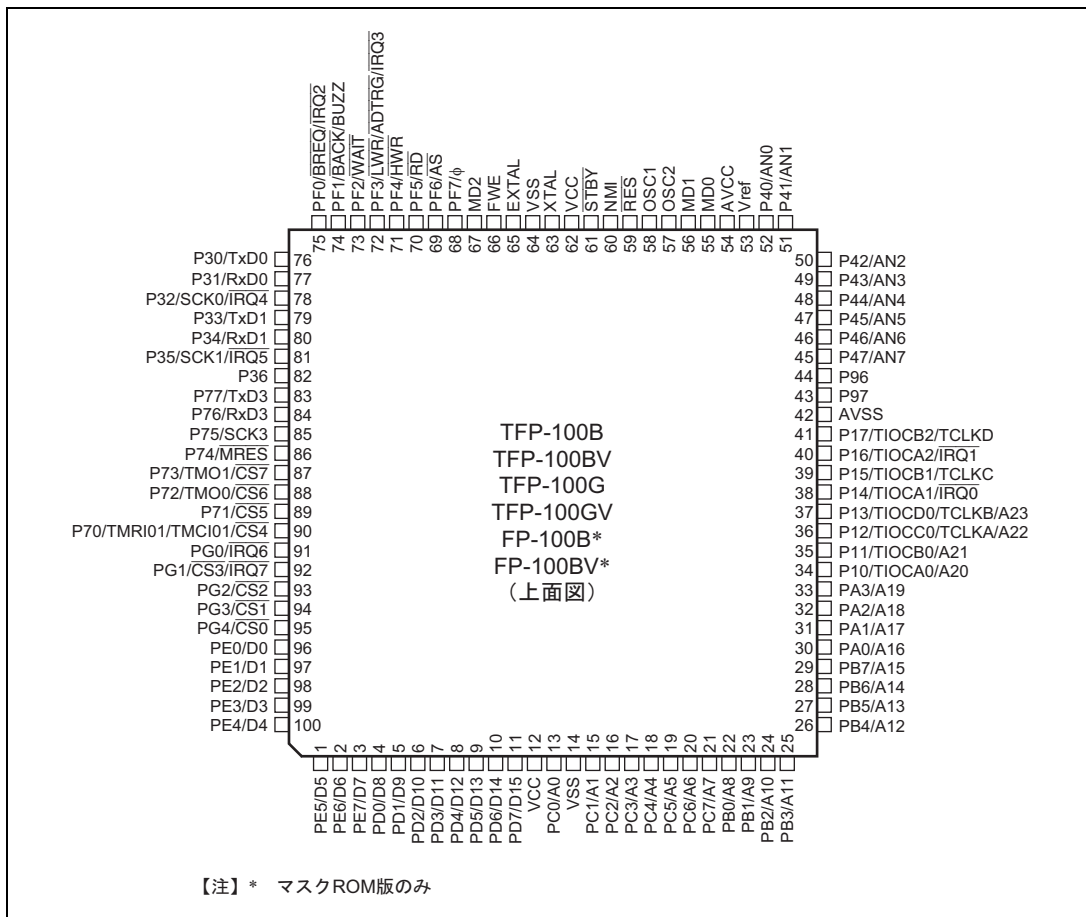


図 1.15 H8S/2227 グループのピン配置図

(TFP-100B、TFP-100BV、TFP-100G、TFP-100GV、FP-100B\*、FP-100BV\* : 上面図)

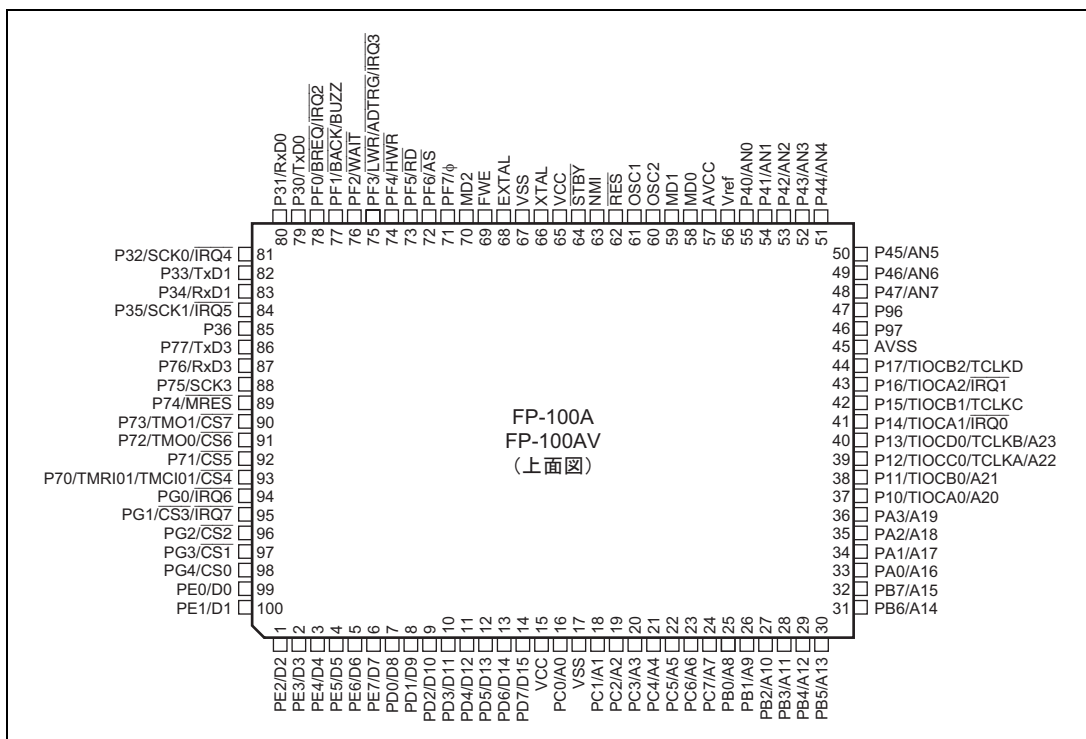


図 1.16 H8S/2227 グループのピン配置図 (FP-100A、FP-100AV : 上面図、HD6432227 のみ)

## 1. 概要

### 1.3.2 動作モード別ピン配置一覧

動作モード別ピン配置一覧を表 1.1～表 1.5 に示します。

表 1.1 H8S/2258 グループの動作モード別ピン配置一覧

ピン番号		端子名				
TFP-100B FP-100B	FP-100A	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリアイタ モード*
1	4	PE5/D5	PE5/D5	PE5/D5	PE5	$\overline{OE}$
2	5	PE6/D6	PE6/D6	PE6/D6	PE6	$\overline{WE}$
3	6	PE7/D7	PE7/D7	PE7/D7	PE7	$\overline{CE}$
4	7	D8	D8	D8	PD0	D0
5	8	D9	D9	D9	PD1	D1
6	9	D10	D10	D10	PD2	D2
7	10	D11	D11	D11	PD3	D3
8	11	D12	D12	D12	PD4	D4
9	12	D13	D13	D13	PD5	D5
10	13	D14	D14	D14	PD6	D6
11	14	D15	D15	D15	PD7	D7
12	15	CVCC	CVCC	CVCC	CVCC	VCC
13	16	A0	A0	PC0/A0	PC0	A0
14	17	VSS	VSS	VSS	VSS	VSS
15	18	A1	A1	PC1/A1	PC1	A1
16	19	A2	A2	PC2/A2	PC2	A2
17	20	A3	A3	PC3/A3	PC3	A3
18	21	A4	A4	PC4/A4	PC4	A4
19	22	A5	A5	PC5/A5	PC5	A5
20	23	A6	A6	PC6/A6	PC6	A6
21	24	A7	A7	PC7/A7	PC7	A7
22	25	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/TIOCA3	A8
23	26	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/TIOCB3	A9
24	27	PB2/A10/ TIOCC3	PB2/A10/ TIOCC3	PB2/A10/ TIOCC3	PB2/TIOCC3	A10
25	28	PB3/A11/ TIOCD3	PB3/A11/ TIOCD3	PB3/A11/ TIOCD3	PB3/TIOCD3	A11



ピン番号		端子名				
TFP-100B FP-100B	FP-100A	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリアイタ モード*
26	29	PB4/A12/ TIOCA4	PB4/A12/ TIOCA4	PB4/A12/ TIOCA4	PB4/TIOCA4	A12
27	30	PB5/A13/ TIOCB4	PB5/A13/ TIOCB4	PB5/A13/ TIOCB4	PB5/TIOCB4	A13
28	31	PB6/A14/ TIOCA5	PB6/A14/ TIOCA5	PB6/A14/ TIOCA5	PB6/TIOCA5	A14
29	32	PB7/A15/ TIOCB5	PB7/A15/ TIOCB5	PB7/A15/ TIOCB5	PB7/TIOCB5	A15
30	33	PA0/A16	PA0/A16	PA0/A16	PA0	A16
31	34	PA1/A17/TxD2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2	A17
32	35	PA2/A18/RxD2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2	A18
33	36	PA3/A19/SCK2	PA3/A19/SCK2	PA3/A19/SCK2	PA3/SCK2	NC
34	37	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0	NC
35	38	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0	NC
36	39	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA	NC
37	40	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB	NC
38	41	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	VSS
39	42	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	NC
40	43	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	VSS
41	44	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	NC
42	45	AVSS	AVSS	AVSS	AVSS	VSS
43	46	P97/DA1	P97/DA1	P97/DA1	P97/DA1	NC
44	47	P96/DA0	P96/DA0	P96/DA0	P96/DA0	NC
45	48	P47/AN7	P47/AN7	P47/AN7	P47/AN7	NC
46	49	P46/AN6	P46/AN6	P46/AN6	P46/AN6	NC
47	50	P45/AN5	P45/AN5	P45/AN5	P45/AN5	NC
48	51	P44/AN4	P44/AN4	P44/AN4	P44/AN4	NC
49	52	P43/AN3	P43/AN3	P43/AN3	P43/AN3	NC

## 1. 概要

ピン番号		端子名				
TFP-100B FP-100B	FP-100A	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリアイタ モード*
50	53	P42/AN2	P42/AN2	P42/AN2	P42/AN2	NC
51	54	P41/AN1	P41/AN1	P41/AN1	P41/AN1	NC
52	55	P40/AN0	P40/AN0	P40/AN0	P40/AN0	NC
53	56	Vref	Vref	Vref	Vref	VCC
54	57	AVCC	AVCC	AVCC	AVCC	VCC
55	58	MD0	MD0	MD0	MD0	VSS
56	59	MD1	MD1	MD1	MD1	VSS
57	60	OSC2	OSC2	OSC2	OSC2	NC
58	61	OSC1	OSC1	OSC1	OSC1	VSS
59	62	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$	$\overline{\text{RES}}$
60	63	NMI	NMI	NMI	NMI	VCC
61	64	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	VCC
62	65	VCC	VCC	VCC	VCC	VCC
63	66	XTAL	XTAL	XTAL	XTAL	XTAL
64	67	VSS	VSS	VSS	VSS	VSS
65	68	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
66	69	FWE	FWE	FWE	FWE	FWE
67	70	MD2	MD2	MD2	MD2	VSS
68	71	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	NC
69	72	$\overline{\text{AS}}$	$\overline{\text{AS}}$	$\overline{\text{AS}}$	PF6	NC
70	73	$\overline{\text{RD}}$	$\overline{\text{RD}}$	$\overline{\text{RD}}$	PF5	NC
71	74	HWR	HWR	HWR	PF4	NC
72	75	PF3/LWR/ ADTRG/IRQ3	PF3/LWR/ ADTRG/IRQ3	PF3/LWR/ ADTRG/IRQ3	PF3/ADTRG/ IRQ3	NC
73	76	PF2/WAIT	PF2/WAIT	PF2/WAIT	PF2	NC
74	77	PF1/BACK/BUZZ	PF1/BACK/BUZZ	PF1/BACK/BUZZ	PF1/BUZZ	NC
75	78	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/IRQ2	VCC
76	79	P30/TxD0	P30/TxD0	P30/TxD0	P30/TxD0	NC
77	80	P31/RxD1	P31/RxD1	P31/RxD1	P31/RxD1	NC
78	81	P32/SCK0/SDA1/ IRQ4	P32/SCK0/SDA1/ IRQ4	P32/SCK0/SDA1/ IRQ4	P32/SCK0/SDA1/ IRQ4	NC
79	82	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1	NC
80	83	P34/RxD1/SDA0	P34/RxD1/SDA0	P34/RxD1/SDA0	P34/RxD1/SDA0	NC

ピン番号		端子名				
TFP-100B FP-100B	FP-100A	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリアイタ モード*
81	84	P35/SCK1/SCL0/ IRQ5	P35/SCK1/SCL0/ RQ5	P35/SCK1/SCL0/ IRQ5	P35/SCK1/SCL0/ RQ5	NC
82	85	P36	P36	P36	P36	NC
83	86	P77/TxD3	P77/TxD3	P77/TxD3	P77/TxD3	NC
84	87	P76/RxD3	P76/RxD3	P76/RxD3	P76/RxD3	NC
85	88	P75/TMO3/SCK3	P75/TMO3/SCK3	P75/TMO3/SCK3	P75/TMO3/SCK3	NC
86	89	P74/TMO2/ MRES	P74/TMO2/ MRES	P74/TMO2/ MRES	P74/TMO2/ MRES	NC
87	90	P73/TMO1/CS7	P73/TMO1/CS7	P73/TMO1/CS7	P73/TMO1	NC
88	91	P72/TMO0/CS6	P72/TMO0/CS6	P72/TMO0/CS6	P72/TMO0	NC
89	92	P71/TMRI23/ TMCI23/CS5	P71/TMRI23/ TMCI23/CS5	P71/TMRI23/ TMCI23/CS5	P71/TMRI23/ TMCI23	NC
90	93	P70/TMRI01/ TMCI01/CS4	P70/TMRI01/ TMCI01/CS4	P70/TMRI01/ TMCI01/CS4	P70/TMRI01/ TMCI01	NC
91	94	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	NC
92	95	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/IRQ7	NC
93	96	PG2/Tx/CS2	PG2/Tx/CS2	PG2/Tx/CS2	PG2/Tx	NC
94	97	PG3/Rx/CS1	PG3/Rx/CS1	PG3/Rx/CS1	PG3/Rx	NC
95	98	PG4/CS0	PG4/CS0	PG4/CS0	PG4	NC
96	99	PE0/D0	PE0/D0	PE0/D0	PE0	NC
97	100	PE1/D1	PE1/D1	PE1/D1	PE1	NC
98	1	PE2/D2	PE2/D2	PE2/D2	PE2	NC
99	2	PE3/D3	PE3/D3	PE3/D3	PE3	VCC
100	3	PE4/D4	PE4/D4	PE4/D4	PE4	VSS

【注】 \* NCは開放としてください。

## 1. 概要

表 1.2 H8S/2239 グループの動作モード別ピン配置一覧

ピン番号		端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	TBP-112A* <sup>1</sup> TBP-112AV* <sup>1</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライトモード
1	B2	PE5/D5	PE5/D5	PE5/D5	PE5	$\overline{OE}$
2	B1	PE6/D6	PE6/D6	PE6/D6	PE6	$\overline{WE}$
3	D4	PE7/D7	PE7/D7	PE7/D7	PE7	$\overline{CE}$
4	C2	D8	D8	D8	PD0	D0
5	C1	D9	D9	D9	PD1	D1
6	D3	D10	D10	D10	PD2	D2
7	D2	D11	D11	D11	PD3	D3
8	D1	D12	D12	D12	PD4	D4
9	E4	D13	D13	D13	PD5	D5
10	E3	D14	D14	D14	PD6	D6
11	E1	D15	D15	D15	PD7	D7
12	E2、F3	CVCC	CVCC	CVCC	CVCC	VCC
13	F1	A0	A0	PC0/A0	PC0	A0
14	F2、F4	VSS	VSS	VSS	VSS	VSS
15	G1	A1	A1	PC1/A1	PC1	A1
16	G2	A2	A2	PC2/A2	PC2	A2
17	G3	A3	A3	PC3/A3	PC3	A3
18	H1	A4	A4	PC4/A4	PC4	A4
19	G4	A5	A5	PC5/A5	PC5	A5
20	H2	A6	A6	PC6/A6	PC6	A6
21	J1	A7	A7	PC7/A7	PC7	A7
22	H3	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/TIOCA3	A8
23	J2	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/TIOCB3	A9
24	K1	PB2/A10/ TIOCC3	PB2/A10/ TIOCC3	PB2/A10/ TIOCC3	PB2/TIOCC3	A10
25	J3	PB3/A11/ TIOCD3	PB3/A11/ TIOCD3	PB3/A11/ TIOCD3	PB3/TIOCD3	A11

## 1. 概要

ピン番号		端子名					
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	TBP-112A* <sup>1</sup> TBP-112AV* <sup>1</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライタモード* <sup>2</sup>	
26	K2	PB4/A12/ TIOCA4	PB4/A12/ TIOCA4	PB4/A12/ TIOCA4	PB4/TIOCA4	A12	
27	L2	PB5/A13/ TIOCB4	PB5/A13/ TIOCB4	PB5/A13/ TIOCB4	PB5/TIOCB4	A13	
28	H4	PB6/A14/ TIOCA5	PB6/A14/ TIOCA5	PB6/A14/ TIOCA5	PB6/TIOCA5	A14	
29	K3	PB7/A15/ TIOCB5	PB7/A15/ TIOCB5	PB7/A15/ TIOCB5	PB7/TIOCB5	A15	
30	L3	PA0/A16	PA0/A16	PA0/A16	PA0	A16	
31	J4	PA1/A17/TxD2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2	A17	
32	K4	PA2/A18/RxD2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2	A18	
33	L4	PA3/A19/SCK2	PA3/A19/SCK2	PA3/A19/SCK2	PA3/SCK2	NC	
34	H5	P10/TIOCA0/ DACK0/A20	P10/TIOCA0/ DACK0/A20	P10/TIOCA0/ DACK0/A20	P10/TIOCA0/ DACK0	NC	
35	J5	P11/TIOCB0/ DACK1/A21	P11/TIOCB0/ DACK1/A21	P11/TIOCB0/ DACK1/A21	P11/TIOCB0/ DACK1	NC	
36	L5	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA	NC	
37	K5	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB	NC	
38	J6	P14/TIOCA1/ IRQ0	P14/TIOCA1/ IRQ0	P14/TIOCA1/ IRQ0	P14/TIOCA1/ IRQ0	VSS	
39	L6	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	NC	
40	K6	P16/TIOCA2/ IRQ1	P16/TIOCA2/ IRQ1	P16/TIOCA2/ IRQ1	P16/TIOCA2/ IRQ1	VSS	
41	H6	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	NC	
42	K7, L7	AVSS	AVSS	AVSS	AVSS	VSS	
43	J7	P97/DA1	P97/DA1	P97/DA1	P97/DA1	NC	
44	L8	P96/DA0	P96/DA0	P96/DA0	P96/DA0	NC	
45	H7	P47/AN7	P47/AN7	P47/AN7	P47/AN7	NC	

## 1. 概要

ピン番号		端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	TBP-112A* <sup>1</sup> TBP-112AV* <sup>1</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライタモード* <sup>2</sup>
46	K8	P46/AN6	P46/AN6	P46/AN6	P46/AN6	NC
47	L9	P45/AN5	P45/AN5	P45/AN5	P45/AN5	NC
48	J8	P44/AN4	P44/AN4	P44/AN4	P44/AN4	NC
49	K9	P43/AN3	P43/AN3	P43/AN3	P43/AN3	NC
50	L10	P42/AN2	P42/AN2	P42/AN2	P42/AN2	NC
51	K10	P41/AN1	P41/AN1	P41/AN1	P41/AN1	NC
52	K11	P40/AN0	P40/AN0	P40/AN0	P40/AN0	NC
53	H8	Vref	Vref	Vref	Vref	VCC
54	J10	AVCC	AVCC	AVCC	AVCC	VCC
55	J11	MD0	MD0	MD0	MD0	VSS
56	H9	MD1	MD1	MD1	MD1	VSS
57	H10	OSC2	OSC2	OSC2	OSC2	NC
58	H11	OSC1	OSC1	OSC1	OSC1	VSS
59	G8	$\overline{\text{RES}}$	$\overline{\text{RES}}$	RES	$\overline{\text{RES}}$	RES
60	G9	NMI	NMI	NMI	NMI	VCC
61	G11	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	$\overline{\text{STBY}}$	VCC
62	F9、G10	VCC	VCC	VCC	VCC	VCC
63	F11	XTAL	XTAL	XTAL	XTAL	XTAL
64	F8、F10	VSS	VSS	VSS	VSS	VSS
65	E11	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
66	E10	FWE	FWE	FWE	FWE	FWE
67	E9	MD2	MD2	MD2	MD2	VSS
68	D11	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	NC
69	E8	$\overline{\text{AS}}$	$\overline{\text{AS}}$	$\overline{\text{AS}}$	PF6	NC
70	D10	$\overline{\text{RD}}$	$\overline{\text{RD}}$	$\overline{\text{RD}}$	PF5	NC
71	C11	$\overline{\text{HWR}}$	$\overline{\text{HWR}}$	$\overline{\text{HWR}}$	PF4	NC
72	D9	PF3/ $\overline{\text{LWR}}$ / $\overline{\text{ADTRG}}/\overline{\text{IRQ3}}$	PF3/ $\overline{\text{LWR}}$ / $\overline{\text{ADTRG}}/\overline{\text{IRQ3}}$	PF3/ $\overline{\text{LWR}}$ / $\overline{\text{ADTRG}}/\overline{\text{IRQ3}}$	PF3/ $\overline{\text{ADTRG}}$ / $\overline{\text{IRQ3}}$	NC

## 1. 概要

ピン番号		端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	TBP-112A* <sup>1</sup> TBP-112AV* <sup>1</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライターモード* <sup>2</sup>
73	C10	PF2/WAIT	PF2/WAIT	PF2/WAIT	PF2	NC
74	B11	PF1/BACK/ BUZZ	PF1/BACK/ BUZZ	PF1/BACK/ BUZZ	PF1/BUZZ	NC
75	C9	PF0/BREQ/ IRQ2	PF0/BREQ/ IRQ2	PF0/BREQ/ IRQ2	PF0/IRQ2	VCC
76	A10	P30/TxD0	P30/TxD0	P30/TxD0	P30/TxD0	NC
77	D8	P31/RxD0	P31/RxD0	P31/RxD0	P31/RxD0	NC
78	B9	P32/SCK0/ SDA1/IRQ4	P32/SCK0/ SDA1/IRQ4	P32/SCK0/ SDA1/IRQ4	P32/SCK0/ SDA1/IRQ4	NC
79	A9	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1	NC
80	C8	P34/RxD1/ SDA0	P34/RxD1/ SDA0	P34/RxD1/ SDA0	P34/RxD1/ SDA0	NC
81	B8	P35/SCK1/ SCL0/IRQ5	P35/SCK1/ SCL0/IRQ5	P35/SCK1/ SCL0/IRQ5	P35/SCK1/ SCL0/IRQ5	NC
82	A8	P36	P36	P36	P36	NC
83	D7	P77/TxD3	P77/TxD3	P77/TxD3	P77/TxD3	NC
84	C7	P76/RxD3	P76/RxD3	P76/RxD3	P76/RxD3	NC
85	A7	P75/TMO3/ SCK3	P75/TMO3/ SCK3	P75/TMO3/ SCK3	P75/TMO3/ SCK3	NC
86	B7	P74/TMO2/ MRES	P74/TMO2/ MRES	P74/TMO2/ MRES	P74/TMO2/ MRES	NC
87	C6	P73/TMO1/ TEND1/CS7	P73/TMO1/ TEND1/CS7	P73/TMO1/ TEND1/CS7	P73/TMO1/ TEND1	NC
88	A6	P72/TMO0 / TEND0/CS6	P72/TMO0/ TEND0/CS6	P72/TMO0/ TEND0/CS6	P72/TMO0/ TEND0	NC
89	B6	P71/TMRI23/ TMCi23/DREQ1/ CS5	P71/TMRI23/ TMCi23/DREQ1/ CS5	P71/TMRI23/ TMCi23/DREQ1/ CS5	P71/TMRI23/ TMCi23/DREQ1	NC
90	D6	P70/TMRI01/ TMCi01/DREQ0/ CS4	P70/TMRI01/ TMCi01/DREQ0/ CS4	P70/TMRI01/ TMCi01/DREQ0/ CS4	P70/TMRI01/ TMCi01/DREQ0	NC

## 1. 概要

ピン番号		端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	TBP-112A* <sup>1</sup> TBP-112AV* <sup>1</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライターモード* <sup>2</sup>
91	A5	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	NC
92	B5	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/IRQ7	NC
93	C5	PG2/CS2	PG2/CS2	PG2/CS2	PG2	NC
94	A4	PG3/CS1	PG3/CS1	PG3/CS1	PG3	NC
95	D5	PG4/CS0	PG4/CS0	PG4/CS0	PG4	NC
96	B4	PE0/D0	PE0/D0	PE0/D0	PE0	NC
97	A3	PE1/D1	PE1/D1	PE1/D1	PE1	NC
98	C4	PE2/D2	PE2/D2	PE2/D2	PE2	NC
99	B3	PE3/D3	PE3/D3	PE3/D3	PE3	VCC
100	A2	PE4/D4	PE4/D4	PE4/D4	PE4	VSS

【注】 \*1 HD64F2239 のみです。

\*2 NC は開放としてください。



表 1.3 H8S/2238 グループの動作モード別ピン配置一覧

ピン番号			端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>1</sup> FP-100AV* <sup>1</sup>	BP-112* <sup>2</sup> BP-112V* <sup>2</sup> TBP-112A* <sup>2</sup> TBP-112AV* <sup>2</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライター モード
1	4	B2	PE5/D5	PE5/D5	PE5/D5	PE5	$\overline{OE}$
2	5	B1	PE6/D6	PE6/D6	PE6/D6	PE6	$\overline{WE}$
3	6	D4	PE7/D7	PE7/D7	PE7/D7	PE7	$\overline{CE}$
4	7	C2	D8	D8	D8	PD0	D0
5	8	C1	D9	D9	D9	PD1	D1
6	9	D3	D10	D10	D10	PD2	D2
7	10	D2	D11	D11	D11	PD3	D3
8	11	D1	D12	D12	D12	PD4	D4
9	12	E4	D13	D13	D13	PD5	D5
10	13	E3	D14	D14	D14	PD6	D6
11	14	E1	D15	D15	D15	PD7	D7
12	15	E2, F3	CVCC	CVCC	CVCC	CVCC	VCC
13	16	F1	A0	A0	PC0/A0	PC0	A0
14	17	F2, F4	VSS	VSS	VSS	VSS	VSS
15	18	G1	A1	A1	PC1/A1	PC1	A1
16	19	G2	A2	A2	PC2/A2	PC2	A2
17	20	G3	A3	A3	PC3/A3	PC3	A3
18	21	H1	A4	A4	PC4/A4	PC4	A4
19	22	G4	A5	A5	PC5/A5	PC5	A5
20	23	H2	A6	A6	PC6/A6	PC6	A6
21	24	J1	A7	A7	PC7/A7	PC7	A7
22	25	H3	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/TIOCA3	A8
23	26	J2	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/TIOCB3	A9
24	27	K1	PB2/A10/ TIOCC3	PB2/A10/ TIOCC3	PB2/A10/ TIOCC3	PB2/TIOCC3	A10
25	28	J3	PB3/A11/ TIOCD3	PB3/A11/ TIOCD3	PB3/A11/ TIOCD3	PB3/TIOCD3	A11
26	29	K2	PB4/A12/ TIOCA4	PB4/A12/ TIOCA4	PB4/A12/ TIOCA4	PB4/TIOCA4	A12

## 1. 概要

ピン番号			端子名					
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>1</sup> FP-100AV* <sup>1</sup>	BP-112* <sup>2</sup> BP-112V* <sup>2</sup> TBP-112A* <sup>2</sup> TBP-112AV* <sup>2</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライタ モード* <sup>4</sup>	
27	30	L2	PB5/A13/ TIOCB4	PB5/A13/ TIOCB4	PB5/A13/ TIOCB4	PB5/TIOCB4	A13	
28	31	H4	PB6/A14/ TIOCA5	PB6/A14/ TIOCA5	PB6/A14/ TIOCA5	PB6/TIOCA5	A14	
29	32	K3	PB7/A15/ TIOCB5	PB7/A15/ TIOCB5	PB7/A15/ TIOCB5	PB7/TIOCB5	A15	
30	33	L3	PA0/A16	PA0/A16	PA0/A16	PA0	A16	
31	34	J4	PA1/A17/TxD2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2	A17	
32	35	K4	PA2/A18/RxD2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2	A18	
33	36	L4	PA3/A19/SCK2	PA3/A19/SCK2	PA3/A19/SCK2	PA3/SCK2	NC	
34	37	H5	P10/TIOCA0/ A20	P10/TIOCA0/ A20	P10/TIOCA0/ A20	P10/TIOCA0	NC	
35	38	J5	P11/TIOCB0/ A21	P11/TIOCB0/ A21	P11/TIOCB0/ A21	P11/TIOCB0	NC	
36	39	L5	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA	NC	
37	40	K5	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB	NC	
38	41	J6	P14/TIOCA1/ IRQ0	P14/TIOCA1/ IRQ0	P14/TIOCA1/ IRQ0	P14/TIOCA1/ IRQ0	VSS	
39	42	L6	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	NC	
40	43	K6	P16/TIOCA2/ IRQ1	P16/TIOCA2/ IRQ1	P16/TIOCA2/ IRQ1	P16/TIOCA2/ IRQ1	VSS	
41	44	H6	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	NC	
42	45	K7、L7	AVSS	AVSS	AVSS	AVSS	VSS	
43	46	J7	P97/DA1	P97/DA1	P97/DA1	P97/DA1	NC	
44	47	L8	P96/DA0	P96/DA0	P96/DA0	P96/DA0	NC	
45	48	H7	P47/AN7	P47/AN7	P47/AN7	P47/AN7	NC	
46	49	K8	P46/AN6	P46/AN6	P46/AN6	P46/AN6	NC	
47	50	L9	P45/AN5	P45/AN5	P45/AN5	P45/AN5	NC	

## 1. 概要

ピン番号			端子名					
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>1</sup> FP-100AV* <sup>1</sup>	BP-112* <sup>2</sup> BP-112V* <sup>2</sup> TBP-112A* <sup>2</sup> TBP-112AV* <sup>2</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライタ モード* <sup>4</sup>	
48	51	J8	P44/AN4	P44/AN4	P44/AN4	P44/AN4	NC	
49	52	K9	P43/AN3	P43/AN3	P43/AN3	P43/AN3	NC	
50	53	L10	P42/AN2	P42/AN2	P42/AN2	P42/AN2	NC	
51	54	K10	P41/AN1	P41/AN1	P41/AN1	P41/AN1	NC	
52	55	K11	P40/AN0	P40/AN0	P40/AN0	P40/AN0	NC	
53	56	H8	Vref	Vref	Vref	Vref	VCC	
54	57	J10	AVCC	AVCC	AVCC	AVCC	VCC	
55	58	J11	MD0	MD0	MD0	MD0	VSS	
56	59	H9	MD1	MD1	MD1	MD1	VSS	
57	60	H10	OSC2	OSC2	OSC2	OSC2	NC	
58	61	H11	OSC1	OSC1	OSC1	OSC1	VSS	
59	62	G8	RES	RES	RES	RES	RES	
60	63	G9	NMI	NMI	NMI	NMI	VCC	
61	64	G11	STBY	STBY	STBY	STBY	VCC	
62	65	F9、G10	VCC	VCC	VCC	VCC	VCC	
63	66	F11	XTAL	XTAL	XTAL	XTAL	XTAL	
64	67	F8、F10	VSS	VSS	VSS	VSS	VSS	
65	68	E11	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	
66	69	E10	FWE	FWE	FWE	FWE	FWE	
67	70	E9	MD2	MD2	MD2	MD2	VSS	
68	71	D11	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	NC	
69	72	E8	$\overline{AS}$	$\overline{AS}$	$\overline{AS}$	PF6	NC	
70	73	D10	$\overline{RD}$	$\overline{RD}$	$\overline{RD}$	PF5	NC	
71	74	C11	$\overline{HWR}$	$\overline{HWR}$	$\overline{HWR}$	PF4	NC	
72	75	D9	PF3/LWR/ $\overline{ADTRG/IRQ3}$	PF3/LWR/ $\overline{ADTRG/IRQ3}$	PF3/LWR/ $\overline{ADTRG/IRQ3}$	PF3/ADTRG/ IRQ3	NC* <sup>3</sup>	
73	76	C10	PF2/WAIT	PF2/WAIT	PF2/WAIT	PF2	NC	
74	77	B11	PF1/BACK/ BUZZ	PF1/BACK/ BUZZ	PF1/BACK/ BUZZ	PF1/BUZZ	NC	

## 1. 概要

ピン番号			端子名					
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>1</sup> FP-100AV* <sup>1</sup>	BP-112* <sup>2</sup> BP-112V* <sup>2</sup> TBP-112A* <sup>2</sup> TBP-112AV* <sup>2</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライター モード* <sup>4</sup>	
75	78	C9	PF0/BREQ/ IRQ2	PF0/BREQ/ IRQ2	PF0/BREQ/ IRQ2	PF0/IRQ2	VCC	
76	79	A10	P30/TxD0	P30/TxD0	P30/TxD0	P30/TxD0	NC	
77	80	D8	P31/RxD0	P31/RxD0	P31/RxD0	P31/RxD0	NC	
78	81	B9	P32/SCK0/ SDA1/IRQ4	P32/SCK0/ SDA1/IRQ4	P32/SCK0/ SDA1/IRQ4	P32/SCK0/ SDA1/IRQ4	NC	
79	82	A9	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/SCL1	P33/TxD1/ SCL1	NC	
80	83	C8	P34/RxD1/ SDA0	P34/RxD1/ SDA0	P34/RxD1/ SDA0	P34/RxD1/ SDA0	NC	
81	84	B8	P35/SCK1/ SCL0/IRQ5	P35/SCK1/ SCL0/IRQ5	P35/SCK1/ SCL0/IRQ5	P35/SCK1/ SCL0/IRQ5	NC	
82	85	A8	P36	P36	P36	P36	NC	
83	86	D7	P77/TxD3	P77/TxD3	P77/TxD3	P77/TxD3	NC	
84	87	C7	P76/RxD3	P76/RxD3	P76/RxD3	P76/RxD3	NC	
85	88	A7	P75/TMO3/ SCK3	P75/TMO3/ SCK3	P75/TMO3/ SCK3	P75/TMO3/ SCK3	NC	
86	89	B7	P74/TMO2/ MRES	P74/TMO2/ MRES	P74/TMO2/ MRES	P74/TMO2/ MRES	NC	
87	90	C6	P73/TMO1/CS7	P73/TMO1/CS7	P73/TMO1/CS7	P73/TMO1	NC	
88	91	A6	P72/TMO0/CS6	P72/TMO0/CS6	P72/TMO0/CS6	P72/TMO0	NC	
89	92	B6	P71/TMRI23/ TMCI23/CS5	P71/TMRI23/ TMCI23/CS5	P71/TMRI23/ TMCI23/CS5	P71/TMRI23/ TMCI23	NC	
90	93	D6	P70/TMRI01/ TMCI01/CS4	P70/TMRI01/ TMCI01/CS4	P70/TMRI01/ TMCI01/CS4	P70/TMRI01/ TMCI01	NC	
91	94	A5	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	NC	
92	95	B5	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/IRQ7	NC	
93	96	C5	PG2/CS2	PG2/CS2	PG2/CS2	PG2	NC	
94	97	A4	PG3/CS1	PG3/CS1	PG3/CS1	PG3	NC	
95	98	D5	PG4/CS0	PG4/CS0	PG4/CS0	PG4	NC	
96	99	B4	PE0/D0	PE0/D0	PE0/D0	PE0	NC	

ピン番号			端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A*1 FP-100AV*1	BP-112*2 BP-112V*2 TBP-112A*2 TBP-112AV*2	モード4	モード5	モード6	モード7	フラッシュ メモリ ライター モード*4
97	100	A3	PE1/D1	PE1/D1	PE1/D1	PE1	NC
98	1	C4	PE2/D2	PE2/D2	PE2/D2	PE2	NC
99	2	B3	PE3/D3	PE3/D3	PE3/D3	PE3	VCC
100	3	A2	PE4/D4	PE4/D4	PE4/D4	PE4	VSS

【注】 \*1 H8S/2238B、H8S/2236B のみです。

\*2 HD64F2238R のみです。

\*3 H8S/2238B、H8S/2236B では Vcc。

\*4 NC は開放としてください。

## 1. 概要

表 1.4 H8S/2237 グループの動作モード別ピン配置一覧

ピン番号		端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A FP-100AV	モード 4	モード 5	モード 6	モード 7	PROM モード*
1	4	PE5/D5	PE5/D5	PE5/D5	PE5	NC
2	5	PE6/D6	PE6/D6	PE6/D6	PE6	NC
3	6	PE7/D7	PE7/D7	PE7/D7	PE7	NC
4	7	D8	D8	D8	PD0	D0
5	8	D9	D9	D9	PD1	D1
6	9	D10	D10	D10	PD2	D2
7	10	D11	D11	D11	PD3	D3
8	11	D12	D12	D12	PD4	D4
9	12	D13	D13	D13	PD5	D5
10	13	D14	D14	D14	PD6	D6
11	14	D15	D15	D15	PD7	D7
12	15	VCC	VCC	VCC	VCC	VCC
13	16	A0	A0	PC0/A0	PC0	A0
14	17	VSS	VSS	VSS	VSS	VSS
15	18	A1	A1	PC1/A1	PC1	A1
16	19	A2	A2	PC2/A2	PC2	A2
17	20	A3	A3	PC3/A3	PC3	A3
18	21	A4	A4	PC4/A4	PC4	A4
19	22	A5	A5	PC5/A5	PC5	A5
20	23	A6	A6	PC6/A6	PC6	A6
21	24	A7	A7	PC7/A7	PC7	A7
22	25	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/A8/TIOCA3	PB0/TIOCA3	A8
23	26	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/A9/TIOCB3	PB1/TIOCB3	OE
24	27	PB2/A10/TIOCC3	PB2/A10/TIOCC3	PB2/A10/TIOCC3	PB2/TIOCC3	A10
25	28	PB3/A11/TIOCD3	PB3/A11/TIOCD3	PB3/A11/TIOCD3	PB3/TIOCD3	A11
26	29	PB4/A12/TIOCA4	PB4/A12/TIOCA4	PB4/A12/TIOCA4	PB4/TIOCA4	A12
27	30	PB5/A13/TIOCB4	PB5/A13/TIOCB4	PB5/A13/TIOCB4	PB5/TIOCB4	A13
28	31	PB6/A14/TIOCA5	PB6/A14/TIOCA5	PB6/A14/TIOCA5	PB6/TIOCA5	A14
29	32	PB7/A15/TIOCB5	PB7/A15/TIOCB5	PB7/A15/TIOCB5	PB7/TIOCB5	A15
30	33	PA0/A16	PA0/A16	PA0/A16	PA0	A16

## 1. 概要

ピン番号		端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A FP-100AV	モード 4	モード 5	モード 6	モード 7	PROM モード*
31	34	PA1/A17/TxD2	PA1/A17/TxD2	PA1/A17/TxD2	PA1/TxD2	VCC
32	35	PA2/A18/RxD2	PA2/A18/RxD2	PA2/A18/RxD2	PA2/RxD2	VCC
33	36	PA3/A19/SCK2	PA3/A19/SCK2	PA3/A19/SCK2	PA3/SCK2	NC
34	37	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0	NC
35	38	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0	NC
36	39	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA	NC
37	40	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB	NC
38	41	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	P14/TIOCA1/ $\overline{\text{IRQ0}}$	NC
39	42	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	NC
40	43	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	P16/TIOCA2/ $\overline{\text{IRQ1}}$	NC
41	44	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	NC
42	45	AVSS	AVSS	AVSS	AVSS	VSS
43	46	P97/DA1	P97/DA1	P97/DA1	P97/DA1	NC
44	47	P96/DA0	P96/DA0	P96/DA0	P96/DA0	NC
45	48	P47/AN7	P47/AN7	P47/AN7	P47/AN7	NC
46	49	P46/AN6	P46/AN6	P46/AN6	P46/AN6	NC
47	50	P45/AN5	P45/AN5	P45/AN5	P45/AN5	NC
48	51	P44/AN4	P44/AN4	P44/AN4	P44/AN4	NC
49	52	P43/AN3	P43/AN3	P43/AN3	P43/AN3	NC
50	53	P42/AN2	P42/AN2	P42/AN2	P42/AN2	NC
51	54	P41/AN1	P41/AN1	P41/AN1	P41/AN1	NC
52	55	P40/AN0	P40/AN0	P40/AN0	P40/AN0	NC
53	56	Vref	Vref	Vref	Vref	VCC
54	57	AVCC	AVCC	AVCC	AVCC	VCC
55	58	MD0	MD0	MD0	MD0	VSS
56	59	MD1	MD1	MD1	MD1	VSS
57	60	OSC2	OSC2	OSC2	OSC2	NC
58	61	OSC1	OSC1	OSC1	OSC1	NC

## 1. 概要

ピン番号		端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A FP-100AV	モード 4	モード 5	モード 6	モード 7	PROM モード*
59	62	RES	RES	RES	RES	VPP
60	63	NMI	NMI	NMI	NMI	A9
61	64	STBY	STBY	STBY	STBY	VSS
62	65	VCC	VCC	VCC	VCC	VCC
63	66	XTAL	XTAL	XTAL	XTAL	NC
64	67	VSS	VSS	VSS	VSS	VSS
65	68	EXTAL	EXTAL	EXTAL	EXTAL	NC
66	69	FWE	FWE	FWE	FWE	NC
67	70	MD2	MD2	MD2	MD2	VSS
68	71	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	NC
69	72	AS	AS	AS	PF6	NC
70	73	RD	RD	RD	PF5	NC
71	74	HWR	HWR	HWR	PF4	NC
72	75	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/ADTRG/IRQ3	NC
73	76	PF2/WAIT	PF2/WAIT	PF2/WAIT	PF2	CE
74	77	PF1/BACK/BUZZ	PF1/BACK/BUZZ	PF1/BACK/BUZZ	PF1/BUZZ	PGM
75	78	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/BREQ/IRQ2	PF0/IRQ2	NC
76	79	P30/TxD0	P30/TxD0	P30/TxD0	P30/TxD0	NC
77	80	P31/RxD0	P31/RxD0	P31/RxD0	P31/RxD0	NC
78	81	P32/SCK0/IRQ4	P32/SCK0/IRQ4	P32/SCK0/IRQ4	P32/SCK0/IRQ4	NC
79	82	P33/TxD1	P33/TxD1	P33/TxD1	P33/TxD1	NC
80	83	P34/RxD1	P34/RxD1	P34/RxD1	P34/RxD1	NC
81	84	P35/SCK1/IRQ5	P35/SCK1/IRQ5	P35/SCK1/IRQ5	P35/SCK1/IRQ5	NC
82	85	P36	P36	P36	P36	NC
83	86	P77/TxD3	P77/TxD3	P77/TxD3	P77/TxD3	NC
84	87	P76/RxD3	P76/RxD3	P76/RxD3	P76/RxD3	NC
85	88	P75/SCK3	P75/SCK3	P75/SCK3	P75/SCK3	NC
86	89	P74/MRES	P74/MRES	P74/MRES	P74/MRES	NC
87	90	P73/TMO1/CS7	P73/TMO1/CS7	P73/TMO1/CS7	P73/TMO1	NC
88	91	P72/TMO0/CS6	P72/TMO0/CS6	P72/TMO0/CS6	P72/TMO0	NC



ピン番号		端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A FP-100AV	モード 4	モード 5	モード 6	モード 7	PROM モード*
89	92	P71/CS5	P71/CS5	P71/CS5	P71	NC
90	93	P70/TMRI01/ TMC101/CS4	P70/TMRI01/ TMC101/CS4	P70/TMRI01/ TMC101/CS4	P70/TMRI01/ TMC101	NC
91	94	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	PG0/IRQ6	NC
92	95	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/CS3/IRQ7	PG1/IRQ7	NC
93	96	PG2/CS2	PG2/CS2	PG2/CS2	PG2	NC
94	97	PG3/CS1	PG3/CS1	PG3/CS1	PG3	NC
95	98	PG4/CS0	PG4/CS0	PG4/CS0	PG4	NC
96	99	PE0/D0	PE0/D0	PE0/D0	PE0	NC
97	100	PE1/D1	PE1/D1	PE1/D1	PE1	NC
98	1	PE2/D2	PE2/D2	PE2/D2	PE2	NC
99	2	PE3/D3	PE3/D3	PE3/D3	PE3	NC
100	3	PE4/D4	PE4/D4	PE4/D4	PE4	NC

【注】 \* NCは開放としてください。

## 1. 概要

表 1.5 H8S/2227 グループの動作モード別ピン配置一覧

ピン番号		端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B* <sup>1</sup> FP-100BV* <sup>1</sup>	FP-100A* <sup>2</sup> FP-100AV* <sup>2</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライタ モード
1	4	PE5/D5	PE5/D5	PE5/D5	PE5	$\overline{OE}$
2	5	PE6/D6	PE6/D6	PE6/D6	PE6	$\overline{WE}$
3	6	PE7/D7	PE7/D7	PE7/D7	PE7	$\overline{CE}$
4	7	D8	D8	D8	PD0	D0
5	8	D9	D9	D9	PD1	D1
6	9	D10	D10	D10	PD2	D2
7	10	D11	D11	D11	PD3	D3
8	11	D12	D12	D12	PD4	D4
9	12	D13	D13	D13	PD5	D5
10	13	D14	D14	D14	PD6	D6
11	14	D15	D15	D15	PD7	D7
12	15	VCC	VCC	VCC	VCC	VCC
13	16	A0	A0	PC0/A0	PC0	A0
14	17	VSS	VSS	VSS	VSS	VSS
15	18	A1	A1	PC1/A1	PC1	A1
16	19	A2	A2	PC2/A2	PC2	A2
17	20	A3	A3	PC3/A3	PC3	A3
18	21	A4	A4	PC4/A4	PC4	A4
19	22	A5	A5	PC5/A5	PC5	A5
20	23	A6	A6	PC6/A6	PC6	A6
21	24	A7	A7	PC7/A7	PC7	A7
22	25	PB0/A8	PB0/A8	PB0/A8	PB0	A8
23	26	PB1/A9	PB1/A9	PB1/A9	PB1	A9
24	27	PB2/A10	PB2/A10	PB2/A10	PB2	A10
25	28	PB3/A11	PB3/A11	PB3/A11	PB3	A11
26	29	PB4/A12	PB4/A12	PB4/A12	PB4	A12
27	30	PB5/A13	PB5/A13	PB5/A13	PB5	A13
28	31	PB6/A14	PB6/A14	PB6/A14	PB6	A14
29	32	PB7/A15	PB7/A15	PB7/A15	PB7	A15
30	33	PA0/A16	PA0/A16	PA0/A16	PA0	A16

## 1. 概要

ピン番号		端子名				
TFP-100B	FP-100A* <sup>2</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライタ モード* <sup>3</sup>
TFP-100BV	FP-100AV* <sup>2</sup>					
TFP-100G						
TFP-100GV						
FP-100B* <sup>1</sup>						
FP-100BV* <sup>1</sup>						
31	34	PA1/A17	PA1/A17	PA1/A17	PA1	A17
32	35	PA2/A18	PA2/A18	PA2/A18	PA2	A18
33	36	PA3/A19	PA3/A19	PA3/A19	PA3	NC
34	37	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0/A20	P10/TIOCA0	NC
35	38	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0/A21	P11/TIOCB0	NC
36	39	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA/A22	P12/TIOCC0/ TCLKA	NC
37	40	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB/A23	P13/TIOCD0/ TCLKB	NC
38	41	P14/TIOCA1/IRQ0	P14/TIOCA1/IRQ0	P14/TIOCA1/IRQ0	P14/TIOCA1/IRQ0	VSS
39	42	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	P15/TIOCB1/ TCLKC	NC
40	43	P16/TIOCA2/IRQ1	P16/TIOCA2/IRQ1	P16/TIOCA2/IRQ1	P16/TIOCA2/IRQ1	VSS
41	44	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	P17/TIOCB2/ TCLKD	NC
42	45	AVSS	AVSS	AVSS	AVSS	VSS
43	46	P97	P97	P97	P97	NC
44	47	P96	P96	P96	P96	NC
45	48	P47/AN7	P47/AN7	P47/AN7	P47/AN7	NC
46	49	P46/AN6	P46/AN6	P46/AN6	P46/AN6	NC
47	50	P45/AN5	P45/AN5	P45/AN5	P45/AN5	NC
48	51	P44/AN4	P44/AN4	P44/AN4	P44/AN4	NC
49	52	P43/AN3	P43/AN3	P43/AN3	P43/AN3	NC
50	53	P42/AN2	P42/AN2	P42/AN2	P42/AN2	NC
51	54	P41/AN1	P41/AN1	P41/AN1	P41/AN1	NC
52	55	P40/AN0	P40/AN0	P40/AN0	P40/AN0	NC
53	56	Vref	Vref	Vref	Vref	VCC
54	57	AVCC	AVCC	AVCC	AVCC	VCC
55	58	MD0	MD0	MD0	MD0	VSS
56	59	MD1	MD1	MD1	MD1	VSS
57	60	OSC2	OSC2	OSC2	OSC2	NC
58	61	OSC1	OSC1	OSC1	OSC1	VSS

## 1. 概要

ピン番号		端子名				
TFP-100B	FP-100A* <sup>2</sup>	モード4	モード5	モード6	モード7	フラッシュ メモリ ライト モード* <sup>3</sup>
TFP-100BV	FP-100AV* <sup>2</sup>					
TFP-100G						
TFP-100GV						
FP-100B* <sup>1</sup>						
FP-100BV* <sup>1</sup>						
59	62	RES	RES	RES	RES	RES
60	63	NMI	NMI	NMI	NMI	VCC
61	64	STBY	STBY	STBY	STBY	VCC
62	65	VCC	VCC	VCC	VCC	VCC
63	66	XTAL	XTAL	XTAL	XTAL	XTAL
64	67	VSS	VSS	VSS	VSS	VSS
65	68	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
66	69	FWE	FWE	FWE	FWE	FWE
67	70	MD2	MD2	MD2	MD2	VSS
68	71	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	PF7/ $\phi$	NC
69	72	$\overline{AS}$	$\overline{AS}$	$\overline{AS}$	PF6	NC
70	73	$\overline{RD}$	$\overline{RD}$	$\overline{RD}$	PF5	NC
71	74	$\overline{HWR}$	$\overline{HWR}$	$\overline{HWR}$	PF4	NC
72	75	PF3/LWR/ADTRG/ $\overline{IRQ3}$	PF3/LWR/ADTRG/ $\overline{IRQ3}$	PF3/LWR/ADTRG/ $\overline{IRQ3}$	PF3/ADTRG/ $\overline{IRQ3}$	VCC
73	76	PF2/WAIT	PF2/WAIT	PF2/WAIT	PF2	NC
74	77	PF1/BACK/BUZZ	PF1/BACK/BUZZ	PF1/BACK/BUZZ	PF1/BUZZ	NC
75	78	PF0/BREQ/ $\overline{IRQ2}$	PF0/BREQ/ $\overline{IRQ2}$	PF0/BREQ/ $\overline{IRQ2}$	PF0/ $\overline{IRQ2}$	VCC
76	79	P30/TxD0	P30/TxD0	P30/TxD0	P30/TxD0	NC
77	80	P31/RxD0	P31/RxD0	P31/RxD0	P31/RxD0	NC
78	81	P32/SCK0/ $\overline{IRQ4}$	P32/SCK0/ $\overline{IRQ4}$	P32/SCK0/ $\overline{IRQ4}$	P32/SCK0/ $\overline{IRQ4}$	NC
79	82	P33/TxD1	P33/TxD1	P33/TxD1	P33/TxD1	NC
80	83	P34/RxD1	P34/RxD1	P34/RxD1	P34/RxD1	NC
81	84	P35/SCK1/ $\overline{IRQ5}$	P35/SCK1/ $\overline{IRQ5}$	P35/SCK1/ $\overline{IRQ5}$	P35/SCK1/ $\overline{IRQ5}$	NC
82	85	P36	P36	P36	P36	NC
83	86	P77/TxD3	P77/TxD3	P77/TxD3	P77/TxD3	NC
84	87	P76/RxD3	P76/RxD3	P76/RxD3	P76/RxD3	NC
85	88	P75/SCK3	P75/SCK3	P75/SCK3	P75/SCK3	NC
86	89	P74/MRES	P74/MRES	P74/MRES	P74/MRES	NC
87	90	P73/TMO1/CS7	P73/TMO1/CS7	P73/TMO1/CS7	P73/TMO1	NC
88	91	P72/TMO0/CS6	P72/TMO0/CS6	P72/TMO0/CS6	P72/TMO0	NC
89	92	P71/CS5	P71/CS5	P71/CS5	P71	NC

ピン番号		端子名				
TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B* <sup>1</sup> FP-100BV* <sup>1</sup>	FP-100A* <sup>2</sup> FP-100AV* <sup>2</sup>	モード 4	モード 5	モード 6	モード 7	フラッシュ メモリ ライタ モード* <sup>3</sup>
90	93	P70/TMRI01/ TMCI01/ $\overline{CS4}$	P70/TMRI01/ TMCI01/ $\overline{CS4}$	P70/TMRI01/ TMCI01/ $\overline{CS4}$	P70/TMRI01/ TMCI01	NC
91	94	PG0/ $\overline{IRQ6}$	PG0/ $\overline{IRQ6}$	PG0/ $\overline{IRQ6}$	PG0/ $\overline{IRQ6}$	NC
92	95	PG1/ $\overline{CS3}/\overline{IRQ7}$	PG1/ $\overline{CS3}/\overline{IRQ7}$	PG1/ $\overline{CS3}/\overline{IRQ7}$	PG1/ $\overline{IRQ7}$	NC
93	96	PG2/ $\overline{CS2}$	PG2/ $\overline{CS2}$	PG2/ $\overline{CS2}$	PG2	NC
94	97	PG3/ $\overline{CS1}$	PG3/ $\overline{CS1}$	PG3/ $\overline{CS1}$	PG3	NC
95	98	PG4/ $\overline{CS0}$	PG4/ $\overline{CS0}$	PG4/ $\overline{CS0}$	PG4	NC
96	99	PE0/D0	PE0/D0	PE0/D0	PE0	NC
97	100	PE1/D1	PE1/D1	PE1/D1	PE1	NC
98	1	PE2/D2	PE2/D2	PE2/D2	PE2	NC
99	2	PE3/D3	PE3/D3	PE3/D3	PE3	VCC
100	3	PE4/D4	PE4/D4	PE4/D4	PE4	VSS

【注】 \*1 マスク ROM 版のみです。

\*2 HD6432227 のみです。

\*3 NC は開放としてください。

## 1. 概要

### 1.3.3 端子機能

H8S/2258 グループの各端子の機能を表 1.6 に、H8S/2239 グループ、H8S/2238 グループの各端子の機能を表 1.7 に、H8S/2237 グループ、H8S/2227 グループの各端子の機能を表 1.8 に示します。

表 1.6 H8S/2258 グループ端子機能

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV FP-100B FP-100BV	FP-100A FP-100AV		
電源	VCC	62	65	入力	電源に接続します。V <sub>CC</sub> 端子は、全端子をシステムの電源に接続してください。
	CVCC	12	15	入力	安定化容量 0.1 $\mu$ F をグラウンドの間に接続してください。CV <sub>CC</sub> 4.3V の絶対最大定格を超えて LSI を使用した場合、LSI の永久的破壊となることがあります。5V の外部電源をこの端子に接続しないでください。接続例については「第 25 章 電源回路」を参照してください。
	VSS	14 64	17 67	入力	電源 (0V) に接続します。VSS 端子は、全端子をシステムの電源 (0V) に接続してください。
クロック	XTAL	63	66	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23 章 クロック発振器」を参照してください。
	EXTAL	65	68	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23 章 クロック発振器」を参照してください。
	OSC1	58	61	入力	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 23 章 クロック発振器」を参照してください。
	OSC2	57	60	入力	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 23 章 クロック発振器」を参照してください。
	$\phi$	68	71	出力	外部デバイスにシステムクロックを供給します。

## 1. 概要

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV FP-100B FP-100BV	FP-100A FP-100AV		
動作モード コントロール	MD2 MD1 MD0	67 56 55	70 59 58	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。 モード端子 (MD2 ~ MD0) は、モード切り替え以外は、パワーオフまでプルダウンまたはプルアップしてレベルを必ず固定してください。
システム制御	RES*	59	62	入力	リセット端子です。この端子が Low レベルになると、パワーオンリセット状態となります。
	MRES	86	89	入力	この端子が Low レベルになると、マニュアルリセット状態となります。
	STBY*	61	64	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	BREQ	75	78	入力	本 LSI に対し、外部バスマスタがバス権を要求します。
	BACK	74	77	出力	バス権を外部バスマスタに解放したことを示します。
	FWE	66	69	入力	フラッシュメモリの書き換えを禁止 / 許可します。
割り込み	NMI*	60	63	入力	ノンマスクابل割り込み要求端子です。 未使用の場合は High レベルに固定してください。
	$\overline{\text{IRQ7}}$	92	95	入力	マスク可能な割り込みを要求します。
	$\overline{\text{IRQ6}}$	91	94		
	$\overline{\text{IRQ5}}$	81	84		
	$\overline{\text{IRQ4}}$	78	81		
	$\overline{\text{IRQ3}}$	72	75		
	$\overline{\text{IRQ2}}$	75	78		
	$\overline{\text{IRQ1}}$	40	43		
	$\overline{\text{IRQ0}}$	38	41		
アドレスバス	A23 ~ A0	37 ~ 15、 13	40 ~ 18、 16		
データバス	D15 ~ D0	100 ~ 96、 11 ~ 1	100 ~ 99、 14 ~ 1	入出力	双方向データバスです。

## 1. 概要

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV FP-100B FP-100BV	FP-100A FP-100AV		
バス制御	$\overline{CS7}$	87	90	出力	エリア 7~0 の選択信号です。
	$\overline{CS6}$	88	91		
	$\overline{CS5}$	89	92		
	$\overline{CS4}$	90	93		
	$\overline{CS3}$	92	95		
	$\overline{CS2}$	93	96		
	$\overline{CS1}$	94	97		
	$\overline{CS0}$	95	98		
	$\overline{AS}$	69	72	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{RD}$	70	73	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{HWR}$	71	74	出力	外部空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストロブ信号です。
	$\overline{LWR}$	72	75	出力	外部空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロブ信号です。
	$\overline{WAIT}$	73	76	入力	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
16 ビットタイム パルスユニット (TPU)	TCLKD	41	44	入力	外部クロックを入力します。
	TCLKC	39	42		
	TCLKB	37	40		
	TCLKA	36	39		
	TIOCA0	34	37	入出力	TGRA_0~TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB0	35	38		
	TIOCC0	36	39		
	TIOCD0	37	40		
	TIOCA1	38	41	入出力	TGRA_1、TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB1	39	42		
TIOCA2	40	43	入出力	TGRA_2、TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。	
TIOCB2	41	44			



## 1. 概要

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV FP-100B FP-100BV	FP-100A FP-100AV		
16ビットタイム パルスユニット (TPU)	TIOCA3	22	25	入出力	TGRA_3~TGRD_3のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB3	23	26		
	TIOCC3	24	27		
	TIOCD3	25	28		
	TIOCA4	26	29	入出力	TGRA_4、TGRB_4のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB4	27	30		
TIOCA5	28	31	入出力	TGRA_5、TGRB_5のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。	
TIOCB5	29	32			
8ビットタイム (TMR)	TMO3~TMO0	88~85	91~88	出力	コンペアマッチ出力端子です。
	TMCI23	89	92	入力	カウンタに入力する外部クロックの入力端子です。
	TMCI01	90	93		
	TMRI23	89	92	入力	カウンタリセット入力端子です。
TMRI01	90	93			
ウォッチドッグ タイマ(WDT)	BUZZ	74	77	出力	ウォッチドッグタイマで分周されたパルスの出力端子です。
シリアルコミュニ ケーションイン タフェース (SCI)/スマー トカード インタフェース	TxD3	83	86	出力	データ出力端子です。
	TxD2	31	34		
	TxD1	79	82		
	TxD0	76	79		
	RxD3	84	87	入力	データ入力端子です。
	RxD2	32	35		
	RxD1	80	83		
	RxD0	77	80		
	SCK3	85	88	入出力	クロック入出力端子です。 SCK1はNMOSプッシュプル出力です。
	SCK2	33	36		
	SCK1	81	84		
	SCK0	78	81		
I <sup>2</sup> Cバスインタ フェース(IIC) 【オプション】	SCL1	79	82	入出力	I <sup>2</sup> Cクロック入出力端子です。 バス駆動機能を持っています。SCL0の出力形式は NMOSオーブンドレインです。
	SCL0	81	84		
	SDA1	78	81	入出力	I <sup>2</sup> Cのデータ入出力端子です。 バス駆動機能を持っています。SDA0の出力形式は NMOSオーブンドレインです。
	SDA0	80	83		

## 1. 概要

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV FP-100B FP-100BV	FP-100A FP-100AV		
IEBus コント ローラ (IEB)	$\overline{T}x$	93	96	出力	IEB の送信データ出力端子です。
	$\overline{R}x$	94	97	入力	IEB の受信データ入力端子です。
A/D 変換器	AN7 ~ AN0	52 ~ 45	55 ~ 48	入力	A/D 変換器のアナログ入力端子です。
	$\overline{ADTRG}$	72	75	入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1	43	46	出力	D/A 変換器のアナログ出力端子です。
	DA0	44	47		
A/D 変換器、 D/A 変換器	AVCC	54	57	入力	A/D 変換器および D/A 変換器の電源端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステム電源 (+5V) に接続してください。
	AVSS	42	45	入力	A/D 変換器および D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
	Vref	53	56	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステムの電源 (+5V) に接続してください。
I/O ポート	P17 ~ P10	41 ~ 34	44 ~ 37	入出力	8 ビットの入出力端子です。
	P36 ~ P30	82 ~ 76	85 ~ 79	入出力	7 ビットの入出力端子です。 P34、P35 は NMOS プッシュプル出力です。
	P47 ~ P40	52 ~ 45	55 ~ 48	入力	8 ビットの入力端子です。
	P77 ~ P70	90 ~ 83	93 ~ 86	入出力	8 ビットの入出力端子です。
	P97	43	46	入力	2 ビットの入力端子です。
	P96	44	47		
	PA3 ~ PA0	33 ~ 30	36 ~ 33	入出力	4 ビットの入出力端子です。
	PB7 ~ PB0	29 ~ 22	32 ~ 25	入出力	8 ビットの入出力端子です。
PC7 ~ PC0	21 ~ 15、 13	24 ~ 18、 16	入出力	8 ビットの入出力端子です。	
PD7 ~ PD0	11 ~ 4	14 ~ 7	入出力	8 ビットの入出力端子です。	

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV FP-100B FP-100BV	FP-100A FP-100AV		
I/Oポート	PE7~PE0	100~96、 3~1	100~99、 6~1、	入出力	8ビットの入出力端子です。
	PF7~PF0	75~68	78~71	入出力	8ビットの入出力端子です。
	PG4~PG0	95~91	98~94	入出力	5ビットの入出力端子です。

【注】 \* 誤動作の原因になる可能性がありますのでノイズ対策を行ってください。

## 1. 概要

表 1.7 H8S/2239 グループ、H8S/2238 グループ端子機能

分類	記号	ピン番号			入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>3</sup> FP-100AV* <sup>3</sup>	BP-112* <sup>1</sup> BP-112V* <sup>1</sup> TBP-112A* <sup>4</sup> TBP-112AV* <sup>4</sup>		
電源	VCC	62	65	F9、G10	入力	電源に接続します。VCC 端子は、全端子をシステムの電源に接続してください。
	CVCC	12	15	E2、F3	入力	外部電源 5V 系 (H8S/2238B を使用) の場合は、安定化容量 0.1 $\mu$ F をグラウンドの間に接続してください。CV <sub>CC</sub> 4.3V の絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。5V の外部電源をこの端子に接続しないでください。  外部電源 3V 系 (H8S/2239、H8S/2238R、H8S/2236R を使用) の場合は、システムの電源に接続してください。接続例については「第 25 章 電源回路」を参照してください。
	VSS	14 64	17 67	F3、F2 F10、F8	入力	電源 (0V) に接続します。VSS 端子は、全端子をシステムの電源 (0V) に接続してください。
クロック	XTAL	63	66	F11	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23 章 クロック発振器」を参照してください。
	EXTAL	65	68	E11	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23 章 クロック発振器」を参照してください。
	OSC1	58	61	H11	入力	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 23 章 クロック発振器」を参照してください。

分類	記号	ピン番号			入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>3</sup> FP-100AV* <sup>3</sup>	BP-112* <sup>1</sup> BP-112V* <sup>1</sup> TBP-112A* <sup>4</sup> TBP-112AV* <sup>4</sup>		
クロック	OSC2	57	60	H10	入力	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 23 章 クロック発振器」を参照してください。
	φ	68	71	D11	出力	外部デバイスにシステムクロックを供給します。
動作 モード コント ロール	MD2	67	70	E9	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。 モード端子 (MD2 ~ MD0) は、モード切り替え以外は、パワーオフまでプルダウンまたはプルアップしてレベルを必ず固定してください。
	MD1	56	59	H9		
	MD0	55	58	J11		
システム 制御	RES* <sup>5</sup>	59	62	G8	入力	リセット端子です。この端子が Low レベルになると、パワーオンリセット状態となります。
	MRES	86	89	B7	入力	この端子が Low レベルになると、マニュアルリセット状態となります。
	STBY* <sup>5</sup>	61	64	G11	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	BREQ	75	78	C9	入力	本 LSI に対し、外部バスマスタがバス権を要求します。
	BACK	74	77	B11	出力	バス権を外部バスマスタに解放したことを示します。
	FWE	66	69	E10	入力	フラッシュメモリの書き換えを禁止 / 許可します。
割り込み	NMI* <sup>5</sup>	60	63	G9	入力	ノンマスクابل割り込み要求端子です。 未使用の場合は High レベルに固定してください。
	IRQ7	92	95	B5	入力	マスク可能な割り込みを要求します。
	IRQ6	91	94	A5		
	IRQ5	81	84	B8		
	IRQ4	78	81	B9		
	IRQ3	72	75	D9		
	IRQ2	75	78	C9		
	IRQ1	40	43	K6		
	IRQ0	38	41	J6		

## 1. 概要

分類	記号	ピン番号			入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>3</sup> FP-100AV* <sup>3</sup>	BP-112* <sup>1</sup> BP-112V* <sup>1</sup> TBP-112A* <sup>4</sup> TBP-112AV* <sup>4</sup>		
アドレスバス	A23 ~ A0	37 ~ 15、 13	40 ~ 18、 16	L5、L4、L3、 L2、K5、K4、 K3、K2、K1、 J5、J4、J3、 J2、J1、H5、 H4、H3、H2、 H1、G4、G3、 G2、G1、F1	出力	アドレスを出力します。
データバス	D15 ~ D0	100 ~ 96、 11 ~ 1	100 ~ 99、 14 ~ 1	E4、E3、E1、 D4、D3、D2、 D1、C4、C2、 C1、B4、B3、 B2、B1、A3、 A2	入出力	双方向データバスです。
バス制御	CS7	87	90	C6	出力	エリア7~0の選択信号です。
	$\overline{\text{CS6}}$	88	91	A6		
	$\overline{\text{CS5}}$	89	92	B6		
	$\overline{\text{CS4}}$	90	93	D6		
	$\overline{\text{CS3}}$	92	95	B5		
	$\overline{\text{CS2}}$	93	96	C5		
	$\overline{\text{CS1}}$	94	97	A4		
	$\overline{\text{CS0}}$	95	98	D5		
	AS	69	72	E8	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	RD	70	73	D10	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	HWR	71	74	C11	出力	外部空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロープ信号です。
	LWR	72	75	D9	出力	外部空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストロープ信号です。

分類	記号	ピン番号			入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>3</sup> FP-100AV* <sup>3</sup>	BP-112* <sup>1</sup> BP-112V* <sup>1</sup> TBP-112A* <sup>4</sup> TBP-112AV* <sup>4</sup>		
バス制御	WAIT	73	76	C10	入力	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
DMA コントローラ (DMAC)* <sup>2</sup>	DREQ1	89		B6	入力	DMAC の起動を要求します。 ( H8S/2239 グループのみサポートします。 )
	DREQ0	90		D6		
	TEND1	87		C6	出力	DMAC のデータ転送終了を示します。 ( H8S/2239 グループのみサポートします。 )
	TEND0	88		A6		
	DACK1	35		J5	出力	DMAC のシングルアドレス転送アクノリッジ端子です。 ( H8S/2239 グループのみサポートします。 )
	DACK0	34		H5		
16 ビット タイマ パルス ユニット ( TPU )	TCLKD	41	44	H6	入力	外部クロックを入力します。
	TCLKC	39	42	L6		
	TCLKB	37	40	K5		
	TCLKA	36	39	L5		
	TIOCA0	34	37	H5	入出力	TGRA_0 ~ TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB0	35	38	J5		
	TIOCC0	36	39	L5		
	TIOCD0	37	40	K5		
	TIOCA1	38	41	J6	入出力	TGRA_1, TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB1	39	42	L6		
	TIOCA2	40	43	K6	入出力	TGRA_2, TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB2	41	44	H6		
	TIOCA3	22	25	H3	入出力	TGRA_3 ~ TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB3	23	26	J2		
	TIOCC3	24	27	K1		
	TIOCD3	25	28	J3		

## 1. 概要

分類	記号	ピン番号			入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>3</sup> FP-100AV* <sup>3</sup>	BP-112* <sup>1</sup> BP-112V* <sup>1</sup> TBP-112A* <sup>4</sup> TBP-112AV* <sup>4</sup>		
16ビット タイマ パルス ユニット (TPU)	TIOCA4	26	29	K2	入出力	TGRA_4、TGRB_4のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子で す。
	TIOCB4	27	30	L2		
	TIOCA5	28	31	H4	入出力	TGRA_5、TGRB_5のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子で す。
	TIOCB5	29	32	K3		
8ビット タイマ (TMR)	TMO3 ~ TMO0	88 ~ 85	91 ~ 88	C6、B7、A7、 A6	出力	コンペアマッチ出力端子です。
	TMCI23	89	92	B6	入力	カウンタにを入力する外部クロックの入力端子で す。
	TMCI01	90	93	D6		
	TMRI23	89	92	B6	入力	カウンタリセット入力端子です。
TMRI01	90	93	D6			
ウォッチ ドッグタ イマ (WDT)	BUZZ	74	77	B11	出力	ウォッチドッグタイマで分周されたパルスの出力 端子です。
シリアル コミュニ ケーショ ンインタ フェース (SCI) / スマート カード インタ フェース	TxD3	83	86	D7	出力	データ出力端子です。
	TxD2	31	34	J4		
	TxD1	79	82	A9		
	TxD0	76	79	A10		
	RxD3	84	87	C7	入力	データ入力端子です。
	RxD2	32	35	K4		
	RxD1	80	83	C8		
	RxD0	77	80	D8		
	SCK3	85	88	A7	入出力	クロック入出力端子です。 SCK1 は NMOS プッシュプル出力です。
	SCK2	33	36	L4		
SCK1	81	84	B8			
SCK0	78	81	B9			



分類	記号	ピン番号			入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>3</sup> FP-100AV* <sup>3</sup>	BP-112* <sup>1</sup> BP-112V* <sup>1</sup> TBP-112A* <sup>4</sup> TBP-112AV* <sup>4</sup>		
I <sup>2</sup> Cバス インタ フェース (IIC) 【オプション】	SCL1	79	82	A9	入出力	I <sup>2</sup> Cクロック入出力端子です。 バス駆動機能を持っています。SCL0の出力形式はNMOSオープンドレインです。
	SCL0	81	84	B8		
	SDA1	78	81	B9	入出力	I <sup>2</sup> Cのデータ入出力端子です。 バス駆動機能を持っています。SDA0の出力形式はNMOSオープンドレインです。
	SDA0	80	83	C8		
A/D 変換器	AN7 ~ AN0	52 ~ 45	55 ~ 48	L10、L9、K11、 K10、K9、K8、 J8、H7	入力	A/D変換器のアナログ入力端子です。
	$\overline{\text{ADTRG}}$	72	75	D9	入力	A/D変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1	43	46	J7	出力	D/A変換器のアナログ出力端子です。
	DA0	44	47	L8		
A/D 変換器、 D/A 変換器	AVCC	54	57	J10	入力	A/D変換器およびD/A変換器の電源端子です。 A/D変換器およびD/A変換器を使用しない場合はシステム電源(+3V)に接続してください。
	AVSS	42	45	K7、L7	入力	A/D変換器およびD/A変換器のグランド端子です。 システムの電源(0V)に接続してください。
	Vref	53	56	H8	入力	A/D変換器およびD/A変換器の基準電圧入力端子です。 A/D変換器およびD/A変換器を使用しない場合はシステムの電源(+3V)に接続してください。
I/Oポート	P17 ~ P10	41 ~ 34	44 ~ 37	L6、L5、K6、 K5、J6、J5、 H6、H5	入出力	8ビットの入出力端子です。
	P36 ~ P30	82 ~ 76	85 ~ 79	D8、C8、B9、 B8、A10、 A9、A8	入出力	7ビットの入出力端子です。 P34、P35はNMOSプッシュプル出力です。
	P47 ~ P40	52 ~ 45	55 ~ 48	L10、L9、K11、 K10、K9、K8、 J8、H7	入力	8ビットの入力端子です。

## 1. 概要

分類	記号	ピン番号			入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B FP-100BV	FP-100A* <sup>3</sup> FP-100AV* <sup>3</sup>	BP-112* <sup>1</sup> BP-112V* <sup>1</sup> TBP-112A* <sup>4</sup> TBP-112AV* <sup>4</sup>		
I/Oポート	P77 ~ P70	90 ~ 83	93 ~ 86	D7、D6、C7、 C6、B7、B6、 A7、A6	入出力	8ビットの入出力端子です。
	P97 P96	43 44	46 47	J7 L8	入力	2ビットの入力端子です。
	PA3 ~ PA0	33 ~ 30	36 ~ 33	L4、L3、K4、 J4	入出力	4ビットの入出力端子です。
	PB7 ~ PB0	29 ~ 22	32 ~ 25	L2、K3、K2、 K1、J3、J2、 H4、H3	入出力	8ビットの入出力端子です。
	PC7 ~ PC0	21 ~ 15、 13	24 ~ 18、 16	J1、H2、H1、 G4、G3、G2、 G1、F1	入出力	8ビットの入出力端子です。
	PD7 ~ PD0	11 ~ 4	14 ~ 7	E4、E3、E1、 D3、D2、D1、 C2、C1	入出力	8ビットの入出力端子です。
	PE7 ~ PE0	100 ~ 96、 3 ~ 1	100 ~ 99、 6 ~ 1、	D4、C4、B4、 B3、B2、B1、 A3、A2	入出力	8ビットの入出力端子です。
	PF7 ~ PF0	75 ~ 68	78 ~ 71	E8、D11、 D10、D9、 C11、C10、 C9、B11	入出力	8ビットの入出力端子です。
	PG4 ~ PG0	95 ~ 91	98 ~ 94	D5、C5、B5、 A5、A4	入出力	5ビットの入出力端子です。

- 【注】 \*1 HD64F2238Rのみです。  
\*2 H8S/2239グループのみです。  
\*3 H8S/2238B、H8S/2236Bのみです。  
\*4 HD64F2238R、HD64F2239のみです。  
\*5 誤動作の原因になる可能性がありますのでノイズ対策を行ってください。

表 1.8 H8S/2237 グループ、H8S/2227 グループ端子機能

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B* <sup>1</sup> FP-100BV* <sup>1</sup>	FP-100A* <sup>2</sup> FP-100AV* <sup>2</sup>		
電源	VCC	12 62	15 65	入力	電源に接続します。VCC 端子は、全端子をシステムの電源に接続してください。
	VSS	14 64	17 67	入力	電源 (0V) に接続します。VSS 端子は、全端子をシステムの電源 (0V) に接続してください。
クロック	XTAL	63	66	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23 章 クロック発振器」を参照してください。
	EXTAL	65	68	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23 章 クロック発振器」を参照してください。
	OSC1	58	61	入力	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 23 章 クロック発振器」を参照してください。
	OSC2	57	60	入力	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 23 章 クロック発振器」を参照してください。
	φ	68	71	出力	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD2	67	70	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。  モード端子 (MD2 ~ MD0) は、モード切り替え以外は、パワーオフまでプルダウンまたはプルアップしてレベルを必ず固定してください。
	MD1	56	59		
	MD0	55	58		
システム制御	RES* <sup>3</sup>	59	62	入力	リセット端子です。この端子が Low レベルになると、パワーオンリセット状態となります。
	MRES	86	89	入力	この端子が Low レベルになると、マニュアルリセット状態となります。
	STBY* <sup>3</sup>	61	64	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	BREQ	75	78	入力	本 LSI に対し、外部バスマスタがバス権を要求します。
	BACK	74	77	出力	バス権を外部バスマスタに解放したことを示します。
	FWE	66	69	入力	フラッシュメモリの書き換えを禁止 / 許可します。

## 1. 概要

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B* <sup>1</sup> FP-100BV* <sup>1</sup>	FP-100A* <sup>2</sup> FP-100AV* <sup>2</sup>		
割り込み	NMI* <sup>3</sup>	60	63	入力	ノンマスクابل割り込み要求端子です。 未使用の場合は High レベルに固定してください。
	$\overline{\text{IRQ7}}$	92	95	入力	マスク可能な割り込みを要求します。
	$\overline{\text{IRQ6}}$	91	94		
	$\overline{\text{IRQ5}}$	81	84		
	$\overline{\text{IRQ4}}$	78	81		
	$\overline{\text{IRQ3}}$	72	75		
	$\overline{\text{IRQ2}}$	75	78		
	$\overline{\text{IRQ1}}$	40	43		
	$\overline{\text{IRQ0}}$	38	41		
アドレスバス	A23 ~ A0	37 ~ 15、 13	40 ~ 18、 16	出力	アドレスを出力します。
データバス	D15 ~ D0	100 ~ 96、 11 ~ 1	100、99、 14 ~ 1	入出力	双方向データバスです。
バス制御	$\overline{\text{CS7}}$	87	90	出力	エリア 7 ~ 0 の選択信号です。
	$\overline{\text{CS6}}$	88	91		
	$\overline{\text{CS5}}$	89	92		
	$\overline{\text{CS4}}$	90	93		
	$\overline{\text{CS3}}$	92	95		
	$\overline{\text{CS2}}$	93	96		
	$\overline{\text{CS1}}$	94	97		
	$\overline{\text{CS0}}$	95	98		
	$\overline{\text{AS}}$	69	72	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
RD	70	73	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。	
HWR	71	74	出力	外部空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストローブ信号です。	
LWR	72	75	出力	外部空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストローブ信号です。	

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B* <sup>1</sup> FP-100BV* <sup>1</sup>	FP-100A* <sup>2</sup> FP-100AV* <sup>2</sup>		
バス制御	WAIT	73	76	入力	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
16 ビットタイムパルスユニット (TPU)	TCLKD	41	44	入力	外部クロックを入力します。
	TCLKC	39	42		
	TCLKB	37	40		
	TCLKA	36	39		
	TIOCA0	34	37	入出力	TGRA_0 ~ TGRD_0 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB0	35	38		
	TIOCC0	36	39		
	TIOCD0	37	40		
	TIOCA1	38	41	入出力	TGRA_1, TGRB_1 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB1	39	42		
	TIOCA2	40	43	入出力	TGRA_2, TGRB_2 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。
	TIOCB2	41	44		
	TIOCA3	22	25	入出力	TGRA_3 ~ TGRD_3 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。 (H8S/2227 グループにはありません。)
TIOCB3	23	26			
TIOCC3	24	27			
TIOCD3	25	28			
TIOCA4	26	29	入出力	TGRA_4, TGRB_4 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。 (H8S/2227 グループにはありません。)	
TIOCB4	27	30			
TIOCA5	28	31	入出力	TGRA_5, TGRB_5 のインพุットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子です。 (H8S/2227 グループにはありません。)	
TIOCB5	29	32			
8 ビットタイム (TMR)	TMO1	87	90	出力	コンペアマッチ出力端子です。
	TMO0	88	91		
	TMCI01	90	93	入力	カウンタに入力する外部クロックの入力端子です。
	TMRI01	90	93	入力	カウンタリセット入力端子です。
ウォッチドッグタイマ (WDT)	BUZZ	74	77	出力	ウォッチドッグタイマで分周されたパルスの出力端子です。

## 1. 概要

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B* <sup>1</sup> FP-100BV* <sup>1</sup>	FP-100A* <sup>2</sup> FP-100AV* <sup>2</sup>		
シリアルコミュニケーションインタフェース (SCI) / スマートカードインタフェース	TxD3	83	86	出力	データ出力端子です。 ( TxD2 は H8S/2227 グループにはありません。 )
	TxD2	31	34		
	TxD1	79	82		
	TxD0	76	79		
	RxD3	84	87	入力	データ入力端子です。 ( RxD2 は H8S/2227 グループにはありません。 )
	RxD2	32	35		
	RxD1	80	83		
	RxD0	77	80		
	SCK3	85	88	入出力	クロック入出力端子です。 ( SCK2 は H8S/2227 グループにはありません。 )
	SCK2	33	36		
	SCK1	81	84		
	SCK0	78	81		
A/D 変換器	AN7 ~ AN0	52 ~ 45	55 ~ 48	入力	A/D 変換器のアナログ入力端子です。
	ADTRG	72	75	入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1	43	46	出力	D/A 変換器のアナログ出力端子です。 ( H8S/2227 グループにはありません。 )
	DA0	44	47		
A/D 変換器、 D/A 変換器	AVCC	54	57	入力	A/D 変換器および D/A 変換器の電源端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステムの電源に接続してください。
	AVSS	42	45	入力	A/D 変換器および D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
	Vref	53	56	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。 A/D 変換器および D/A 変換器を使用しない場合はシステムの電源に接続してください。

分類	記号	ピン番号		入出力	機能
		TFP-100B TFP-100BV TFP-100G TFP-100GV FP-100B* <sup>1</sup> FP-100BV* <sup>1</sup>	FP-100A* <sup>2</sup> FP-100AV* <sup>2</sup>		
I/O ポート	P17 ~ P10	41 ~ 34	44 ~ 37	入出力	8 ビットの入出力端子です。
	P36 ~ P30	82 ~ 76	85 ~ 79	入出力	7 ビットの入出力端子です。
	P47 ~ P40	52 ~ 45	55 ~ 48	入力	8 ビットの入力端子です。
	P77 ~ P70	90 ~ 83	93 ~ 86	入出力	8 ビットの入出力端子です。
	P97 P96	43 44	46 47	入力	2 ビットの入力端子です。
	PA3 ~ PA0	33 ~ 30	36 ~ 33	入出力	4 ビットの入出力端子です。
	PB7 ~ PB0	29 ~ 22	32 ~ 25	入出力	8 ビットの入出力端子です。
	PC7 ~ PC0	21 ~ 15、 13	24 ~ 18、 16	入出力	8 ビットの入出力端子です。
	PD7 ~ PD0	11 ~ 4	14 ~ 7	入出力	8 ビットの入出力端子です。
	PE7 ~ PE0	100 ~ 96、 3 ~ 1	100、99、 6 ~ 1	入出力	8 ビットの入出力端子です。
	PF7 ~ PF0	75 ~ 68	78 ~ 71	入出力	8 ビットの入出力端子です。
	PG4 ~ PG0	95 ~ 91	98 ~ 94	入出力	5 ビットの入出力端子です。

【注】 \*1 H8S/2227 グループでは、マスク ROM 版のみです。

\*2 H8S/2227 グループでは、HD6432227 のみです。

\*3 誤動作の原因になる可能性がありますのでノイズ対策を行ってください。

## 1. 概要

---



---

## 2. CPU

---

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

### 2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換  
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット × 16 本  
8 ビット × 16 本、32 ビット × 8 本としても使用可能
- 基本命令：65 種類  
8 / 16 / 32 ビット演算命令  
乗除算命令  
強力なビット操作命令
- アドレッシングモード：8 種類  
レジスタ直接 (Rn)  
レジスタ間接 (@ERn)  
ディスプレイメント付きレジスタ間接 (@(d:16,ERn) / @(d:32,ERn))  
ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)  
絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)  
イミディエイト (#xx:8 / #xx:16 / #xx:32)  
プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))  
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト  
プログラム：16M バイト  
データ：16M バイト

## 2. CPU

---

- 高速動作

頻出命令をすべて1~2ステートで実行

8 / 16 / 32ビットレジスタ間加減算：1ステート

8×8ビットレジスタ間乗算：12ステート

16÷8ビットレジスタ間除算：12ステート

16×16ビットレジスタ間乗算：20ステート

32÷16ビットレジスタ間除算：20ステート

- CPU動作モード：2種類

ノーマルモード / アドバンスモード

【注】 本LSIではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

### 2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

### 2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張  
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加
- アドレス空間を拡張  
ノーマルモードのとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能  
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化  
16Mバイトのアドレス空間を有効に使用可能
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
符号付き乗除算命令などを追加  
2ビットシフト命令を追加  
複数レジスタの退避 / 復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

### 2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張  
8ビット×1本のコントロールレジスタを追加
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
2ビットシフト命令を追加  
複数レジスタの退避 / 復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

### 2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64K バイト、アドバンスモードでは 16M バイトです。動作モードはモード端子によって決まります。

#### 2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

最大64Kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタRnが参照された場合、キャリー/ボローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000~H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.2に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

【注】 本 LSI ではノーマルモードは使用できません。

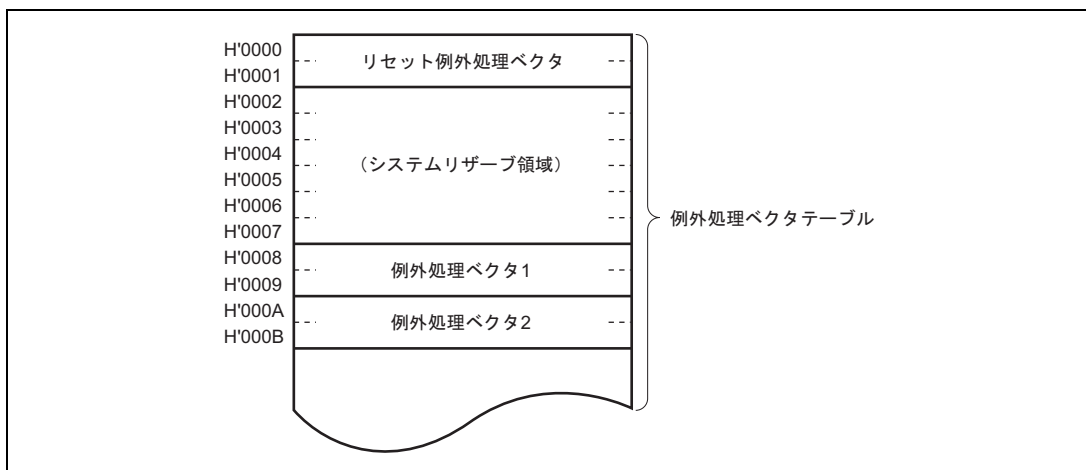


図 2.1 例外処理ベクタテーブル ( ノーマルモード )

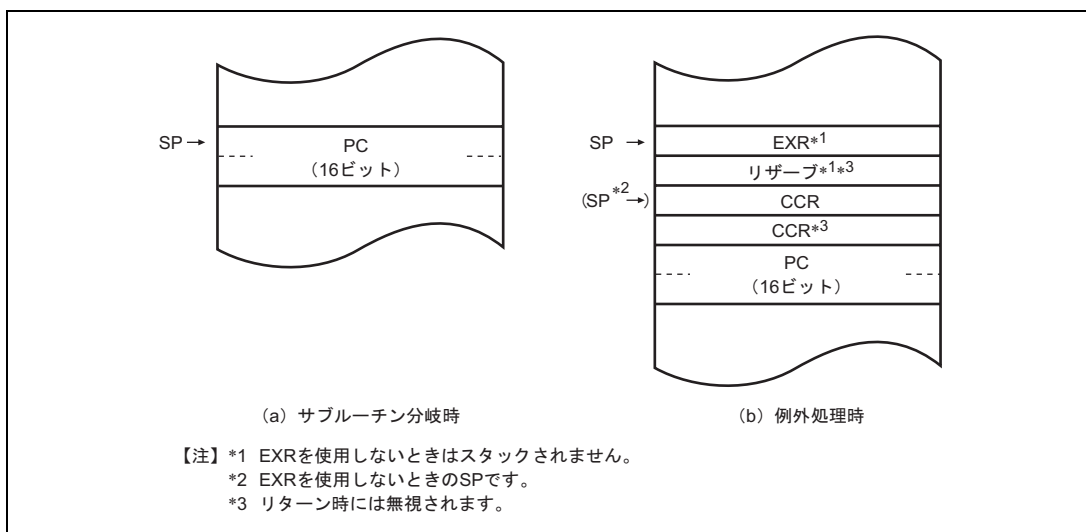


図 2.2 ノーマルモードのスタック構造

## 2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして、または32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

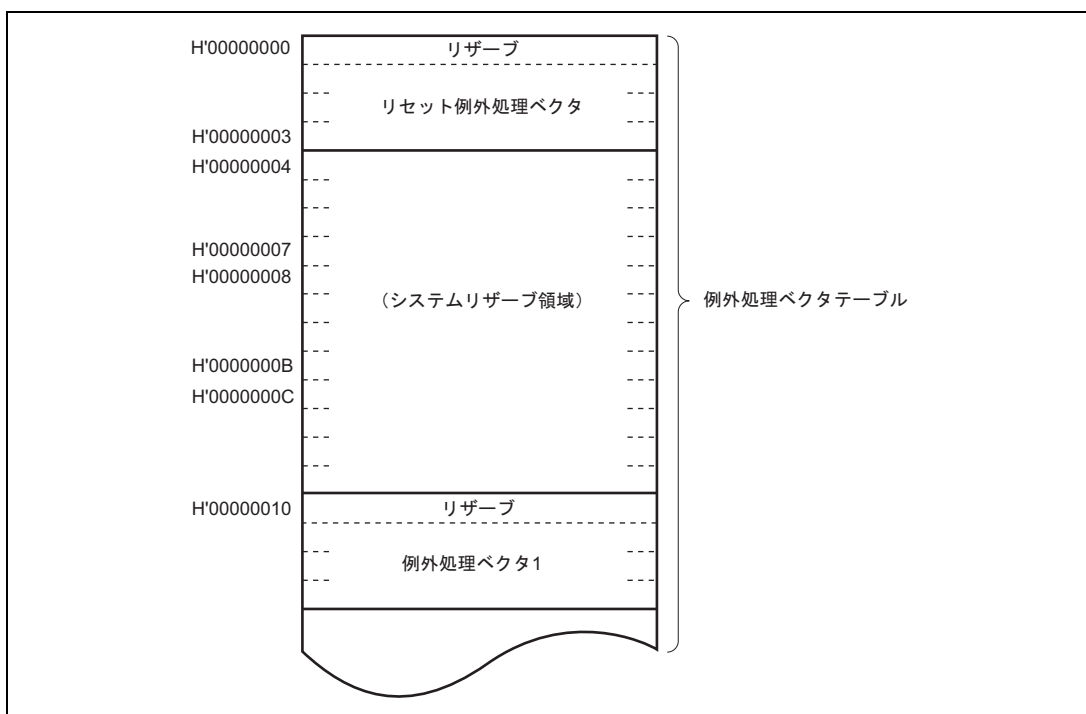


図 2.3 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットはリザーブ領域となっておりH'00とみなされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.4に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

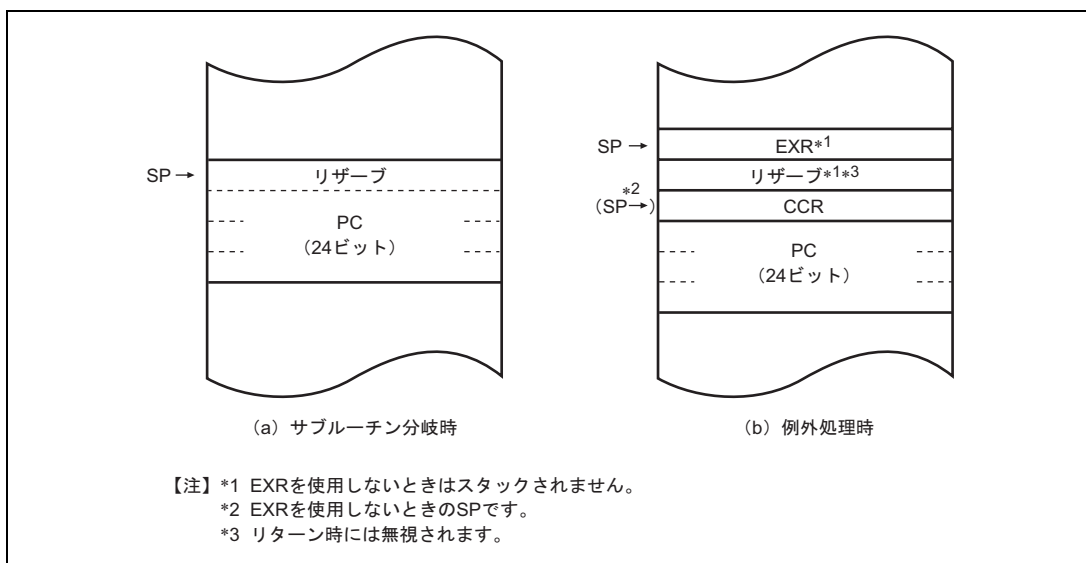


図 2.4 アドバンスモードのスタック構造

## 2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64K バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

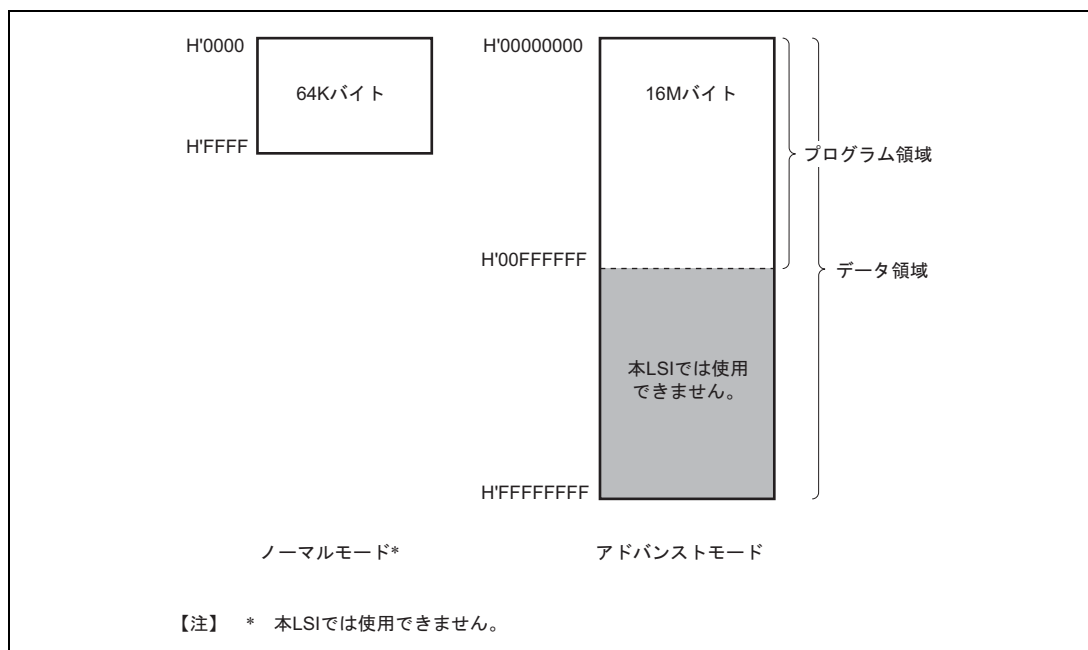


図 2.5 アドレス空間



## 2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

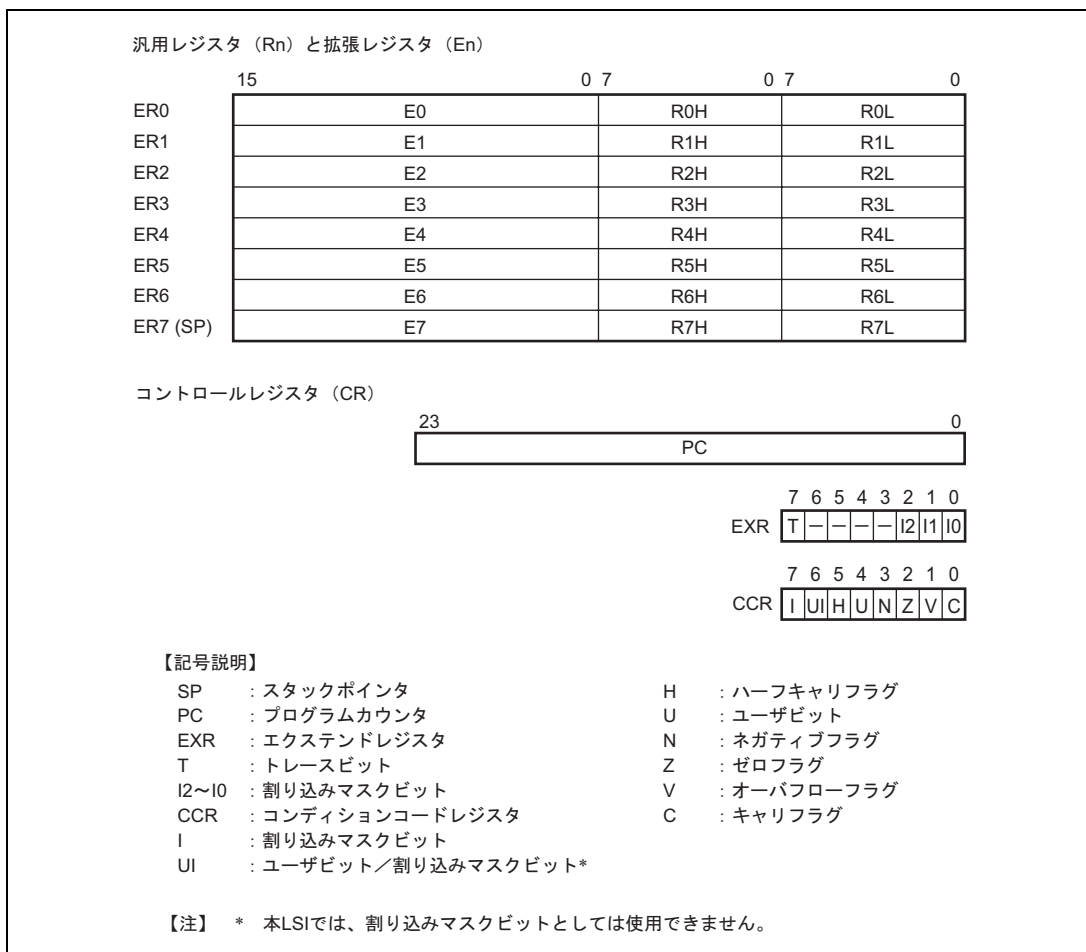


図 2.6 CPU 内部レジスタ構成

### 2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタとよぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

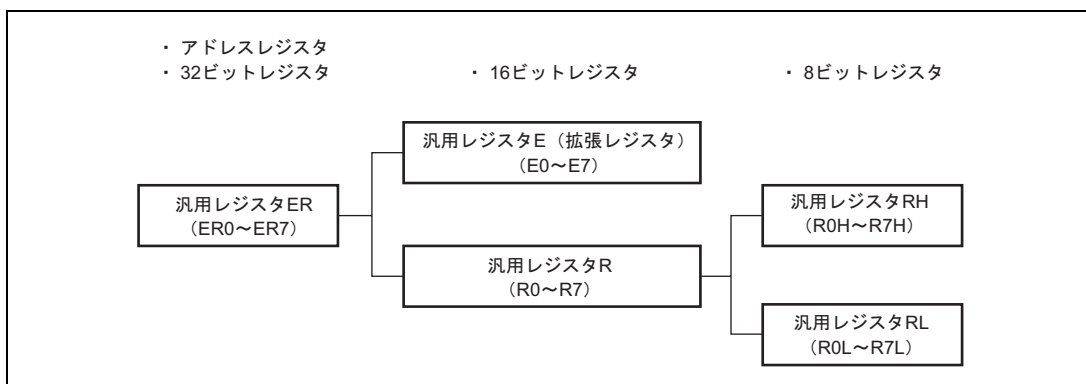


図 2.7 汎用レジスタの使用方法

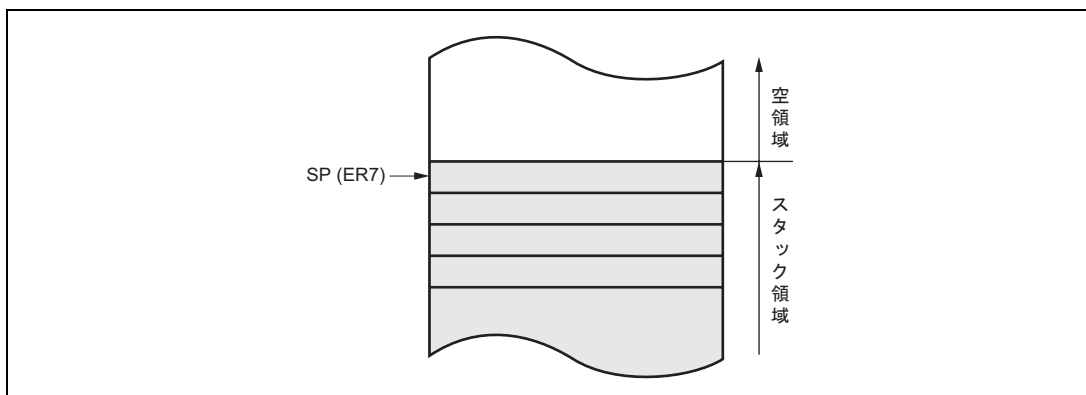


図 2.8 スタックの状態

## 2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

## 2.4.3 エクステンドレジスタ (EXR)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行することにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3		すべて 1		リザーブビット リードすると常に 1 がリードされます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
	I1	1	R/W	
	I0	1	R/W	

### 2.4.4 コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット(I)とハーフキャリ(H)、ネガティブ(N)、ゼロ(Z)、オーバーフロー(V)、キャリ(C)の各フラグを含む8ビットで構成されています。CCRは、LDC、STC、ANDC、ORC、XORC命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令(Bcc)で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIは1ビットに関係なく受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第5章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット / 割り込みマスクビット ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード/ライトできます。本LSIでは、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W命令の実行により、ビット11にキャリまたはボローが生じたとき、もしくはADD.L、SUB.L、CMP.L、NEG.L命令の実行により、ビット27にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。
1	V	不定	R/W	オーバーフローフラグ 算術演算命令の実行により、オーバーフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

ビット	ビット名	初期値	R/W	説明
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> <li>• 加算結果のキャリ</li> <li>• 減算結果のポロー</li> <li>• シフト/ローテートのキャリ</li> </ul> また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

### 2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

## 2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第  $n$  ビット ( $n=0,1,2,\dots,7$ ) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

### 2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

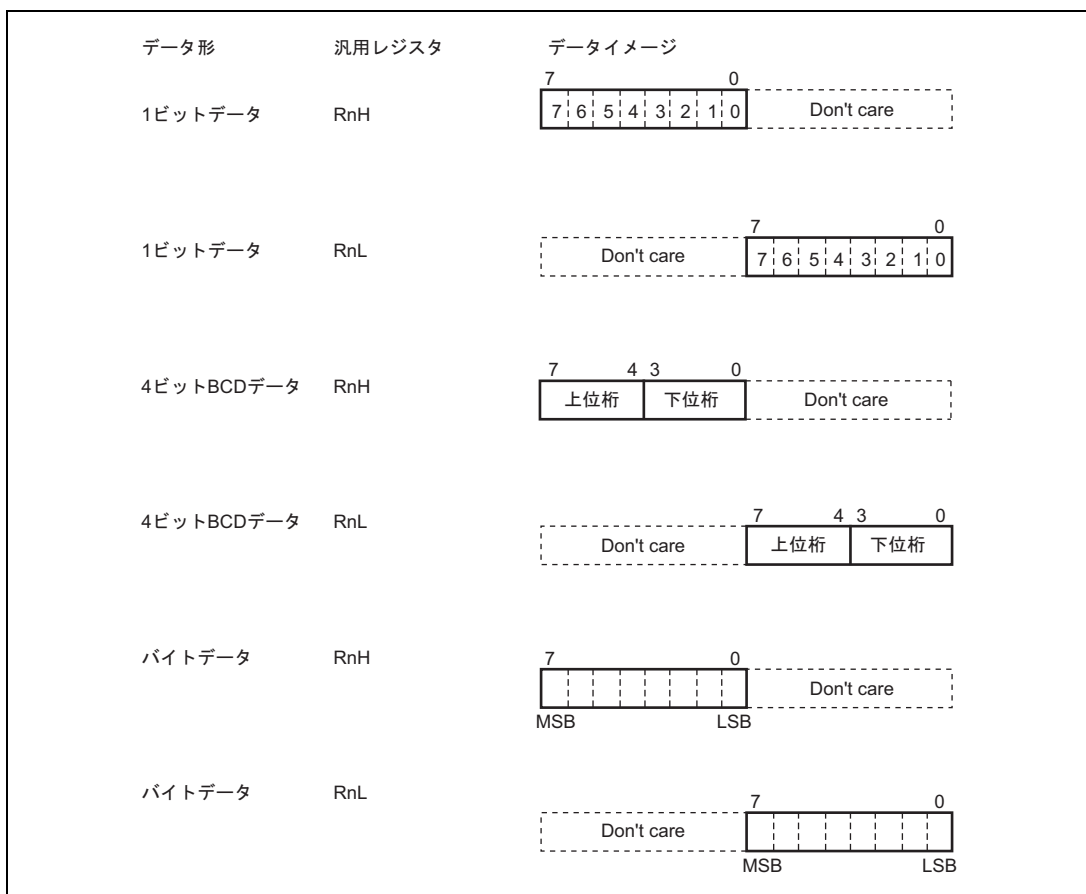


図 2.9 汎用レジスタのデータ形式 (1)

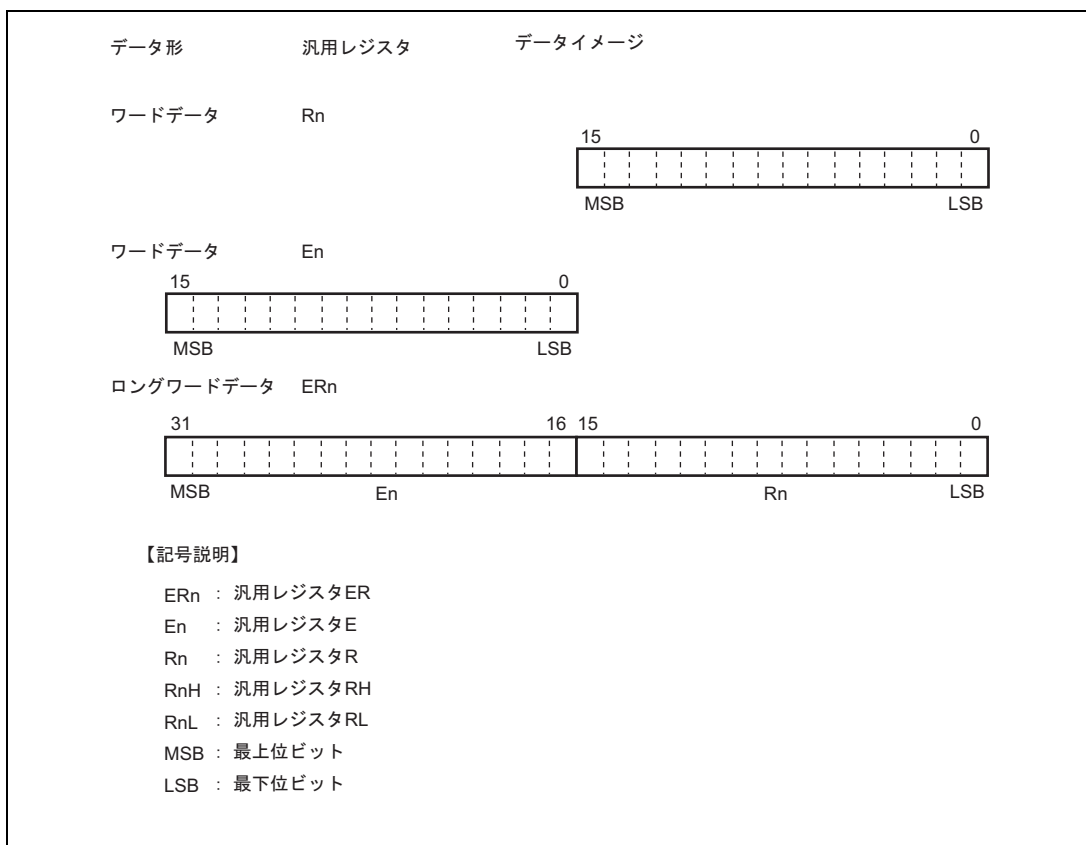


図 2.9 汎用レジスタのデータ形式 (2)

## 2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

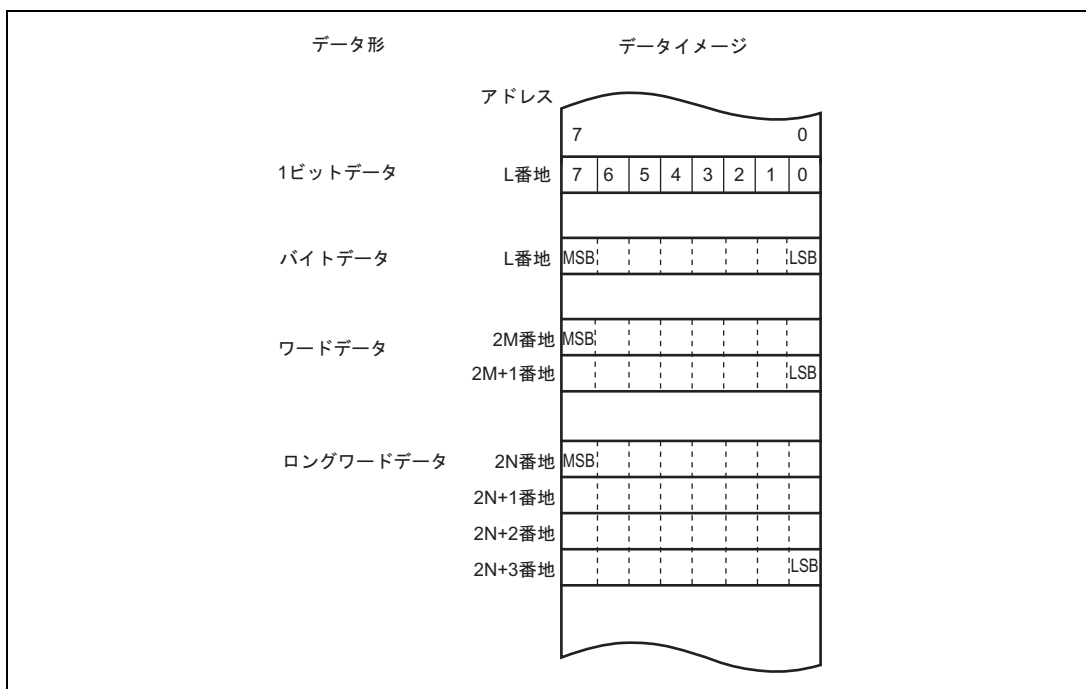


図 2.10 メモリ上でのデータ形式



## 2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B / W / L	5
	POP* <sup>1</sup> , PUSH* <sup>1</sup>	W / L	
	LDM* <sup>5</sup> , STM* <sup>5</sup>	L	
	MOVFP* <sup>3</sup> , MOVTP* <sup>3</sup>	B	
算術演算命令	ADD, SUB, CMP, NEG	B / W / L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B / W / L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B / W	
	EXTU, EXTS	W / L	
	TAS* <sup>4</sup>	B	
論理演算命令	AND, OR, XOR, NOT	B / W / L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B / W / L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc* <sup>2</sup> , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEPMOV	-	1

合計 65 種類

### 【記号説明】

B : バイトサイズ

W : ワードサイズ

L : ロングワードサイズ

【注】 \*1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn, MOV.W Rn,@-SP と同一です。

また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn, MOV.L ERn,@-SP と同一です。

\*2 Bcc は条件分岐命令の総称です。

\*3 本 LSI では使用できません。

\*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

\*5 STM / LDM 命令を使用する場合はレジスタ ER0 ~ ER6 を使用してください。

## 2. CPU

### 2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8 / :16 / :24 / :32	8 / 16 / 24 / 32 ビット長

【注】\* 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ* <sup>1</sup>	機能
MOV	B / W / L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W / L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W / L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM* <sup>2</sup>	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM* <sup>2</sup>	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 STM / LDM 命令を使用する場合は ER0 ~ ER6 を使用してください。

表 2.4 算術演算命令

命令	サイズ <sup>*1</sup>	機能
ADD SUB	B / W / L	$Rd \pm Rs$ $Rd$ , $Rd \pm \#IMM$ $Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います。(バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください。)
ADDX SUBX	B	$Rd \pm Rs \pm C$ $Rd$ , $Rd \pm \#IMM \pm C$ $Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリー付きの加減算を行います。
INC DEC	B / W / L	$Rd \pm 1$ $Rd$ , $Rd \pm 2$ $Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1$ $Rd$ , $Rd \pm 2$ $Rd$ , $Rd \pm 4$ $Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10$ 進補正) $Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B / W	$Rd \times Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット $\times$ 8 ビット 16 ビット、16 ビット $\times$ 16 ビット 32 ビットの乗算が可能です。
MULXS	B / W	$Rd \times Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット $\times$ 8 ビット 16 ビット、16 ビット $\times$ 16 ビット 32 ビットの乗算が可能です。
DIVXU	B / W	$Rd \div Rs$ $Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット $\div$ 8 ビット 商 8 ビット余り 8 ビット、 32 ビット $\div$ 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。

命令	サイズ*1	機能
DIVXS	B / W	Rd ÷ Rs   Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット ÷ 8 ビット   商 8 ビット余り 8 ビット、 32 ビット ÷ 16 ビット   商 16 ビット余り 16 ビットの除算が可能です。
CMP	B / W / L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B / W / L	0 - Rd   Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W / L	Rd(ゼロ拡張)   Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W / L	Rd(符号拡張)   Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS*2	B	@ERd - 0、1   (<ビット 7> of @ERd) メモリの内容をテストしたあと、最上位ビット（ビット 7）を 1 にセットします。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

## 2. CPU

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd@Rs Rd, Rd@#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】\* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】\* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

## 2. CPU

命令	サイズ*	機能
BXOR	B	$C \oplus (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [ \sim (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle) ]$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$(\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B : バイト



表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N<math>\oplus</math>V=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N<math>\oplus</math>V=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N<math>\oplus</math>V)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N<math>\oplus</math>V)=1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	C Z=0	BLS	Low or Same	C Z=1	BCC(BHS)	Carry Clear(High or Same)	C=0	BCS(BLO)	Carry Set(LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N $\oplus$ V=0	BLT	Less Than	N $\oplus$ V=1	BGT	Greater Than	Z (N $\oplus$ V)=0	BLE	Less or Equal	Z (N $\oplus$ V)=1
ニーモニック	説明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	C Z=0																																																			
BLS	Low or Same	C Z=1																																																			
BCC(BHS)	Carry Clear(High or Same)	C=0																																																			
BCS(BLO)	Carry Set(LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N $\oplus$ V=0																																																			
BLT	Less Than	N $\oplus$ V=1																																																			
BGT	Greater Than	Z (N $\oplus$ V)=0																																																			
BLE	Less or Equal	Z (N $\oplus$ V)=1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

## 2. CPU

---

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に移移します。
LDC	B / W	(EAs) CCR、(EAs) EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR、EXR⊕#IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】\* サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	<pre> if R4L = 0 then   Repeat @ER5+ @ER6+     R4L - 1 R4L   Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then   Repeat @ER5+ @ER6+     R4 - 1 R4   Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

## 2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレス、またはディスプレイメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

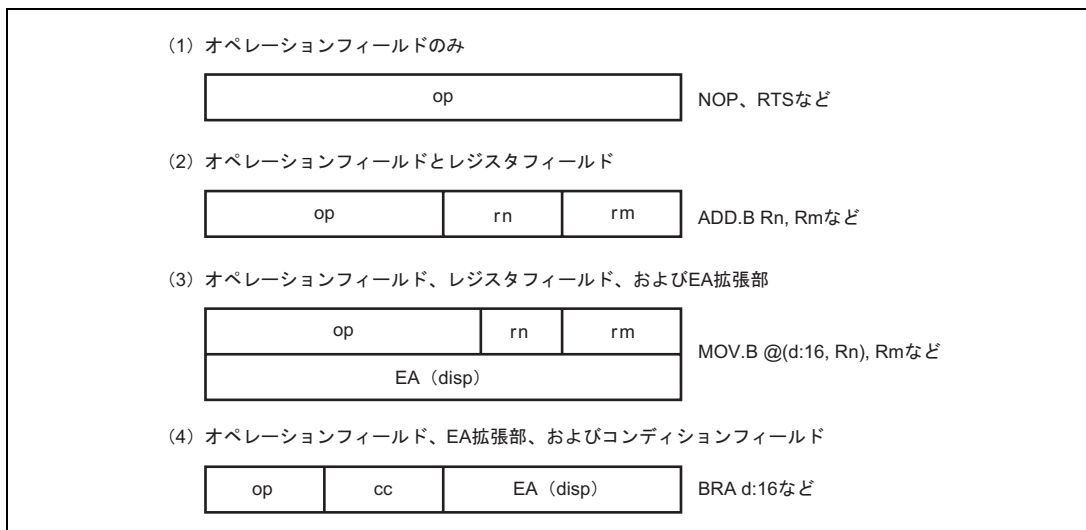


図 2.11 命令フォーマットの例

## 2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

### 2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビット、または 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。32 ビットレジスタとしては ER0~ER7 を指定可能です。

### 2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

### 2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

## 2.7.4 ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

### (1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2、または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数となるようにしてください。

### (2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2、または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数になるようにしてください。

## 2.7.5 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンスドモード
データ領域	8 ビット (@aa:8)	H'FFF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】 \* 本 LSI では使用しません。

### 2.7.6 イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

### 2.7.7 プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト ( - 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト ( - 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

### 2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモード\*のとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください)。

【注】 \* 本 LSI では使用しません。

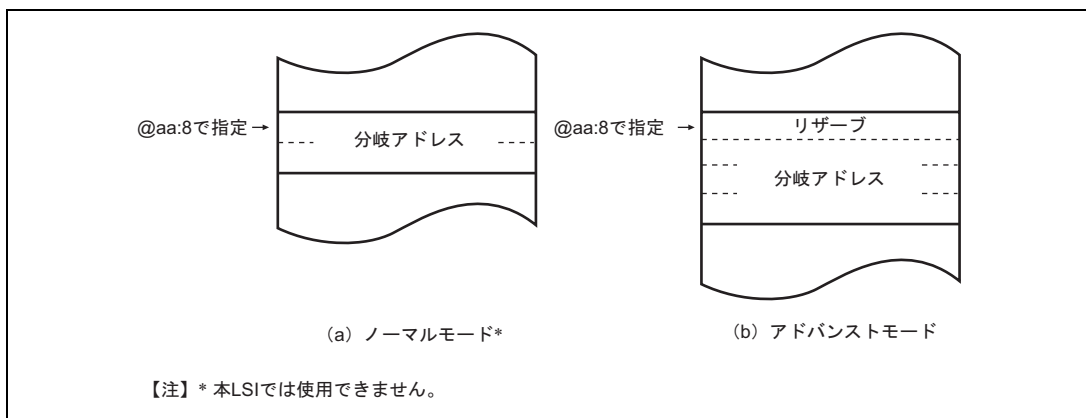


図 2.12 メモリ間接による分岐アドレスの指定

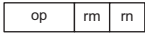




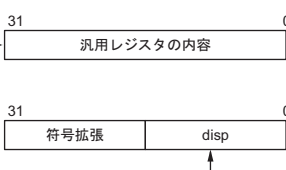
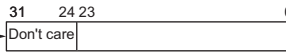
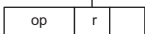

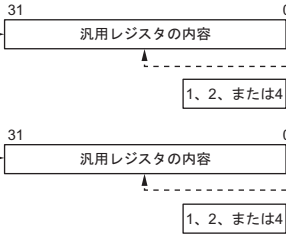
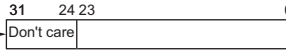

### 2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。



表 2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)								
1	レジスタ直接 (Rn) 		オペランドは汎用レジスタの内容です。								
2	レジスタ間接 (@ERn) 										
3	ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 										
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 	 <table border="1" data-bbox="563 981 802 1066"> <thead> <tr> <th>オペランドサイズ</th> <th>加減算される値</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>1</td> </tr> <tr> <td>ワード</td> <td>2</td> </tr> <tr> <td>ロングワード</td> <td>4</td> </tr> </tbody> </table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4	 
オペランドサイズ	加減算される値										
バイト	1										
ワード	2										
ロングワード	4										

## 2. CPU

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
	@aa:32 		
6	イミディエイト #xx:8/#xx:16/#xx:32 		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード* 		
	・アドバンスモード 		

【注】 \* 本LSIでは使用できません。

## 2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーパフローによってリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

DMAコントローラ（DMAC）\*やデータ転送ファコントローラ（DTC）を内蔵している製品で、CPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- 低消費電力状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第24章 低消費電力状態」を参照してください。

【注】 \* H8S/2239 グループのみです。

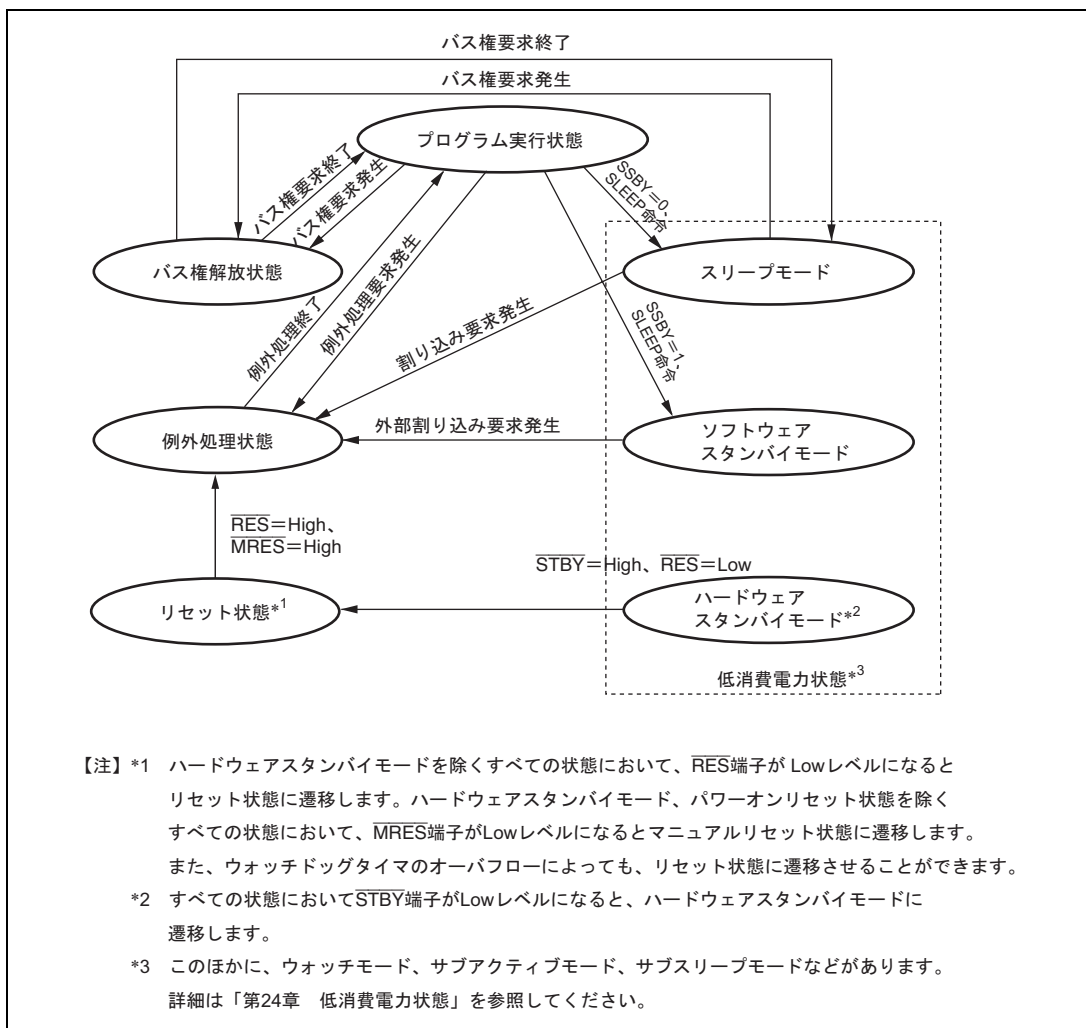


図 2.13 状態遷移図

- 【注】\*1 ハードウェアスタンバイモードを除くすべての状態において、 $\overline{RES}$ 端子がLowレベルになるとリセット状態に遷移します。ハードウェアスタンバイモード、パワーオンリセット状態を除くすべての状態において、 $\overline{MRES}$ 端子がLowレベルになるとマニュアルリセット状態に遷移します。また、ウォッチドッグタイマのオーバフローによっても、リセット状態に遷移させることができます。
- \*2 すべての状態において $\overline{STBY}$ 端子がLowレベルになると、ハードウェアスタンバイモードに遷移します。
- \*3 このほかに、ウォッチモード、サブアクティブモード、サブスリープモードなどがあります。詳細は「第24章 低消費電力状態」を参照してください。

## 2.9 使用上の注意事項

### 2.9.1 TAS 命令

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

### 2.9.2 STM/LDM 命令

STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

一命令で退避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。

そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0 ER1、ER2 ER3、ER4 ER5

3 本 : ER0 ER2、ER4 ER6

4 本 : ER0 ER3

また、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

### 2.9.3 ビット操作命令使用上の注意事項

ライト専用ビットを含むレジスタに対してビット操作命令を使用すると、本来操作すべきビットが正しく操作されないことや、ビット操作に無関係のビットが変化することがあります。

ライト専用ビットを含むレジスタをリードすると固定値や不定値をリードします。したがって、リードした値を演算に使用するビット操作命令 (BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD) は正しいビット操作がされません。

また、演算したあとにリードしたデータに対してライトを伴うビット操作命令 (BSET、BCLR、BNOT、BST、BIST) はビット操作に無関係のビットが変化することがありますので、ライト専用ビットを含むレジスタに対してビット操作命令を行う場合は注意が必要です。

BSET、BCLR、BNOT、BST、BIST の各命令は、

1. バイト単位でデータをリード
2. リードしたデータを命令に従いビット操作
3. 再びバイト単位でデータをライト

の順番で動作を行います。

## 2. CPU

- 例 ポート1のP1DDRのビット4のみをクリアするのにBCLR命令を実行した場合

P1DDRは、8ビットのライト専用ビットで構成されたレジスタで、ポート1の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR命令でP14を入力ポートに指定する例を示します。現時点では、P17～P14は出力端子に、P13～P10は入力端子に設定されているとします。この時点で、P1DDRの値はH'F0です。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

P14を出力端子から入力端子に切り替えるには、P1DDRのビット4の値を"1"から"0" (H'F0 H'E0)に変えなければなりません。ここでBCLR命令を使ってP1DDRのビット4をクリアするとします。

```
BCLR      #4, @P1DDR
```

しかし、ライト専用レジスタであるP1DDRに対して上記のようにビット操作命令を行うと以下のような不具合が発生する場合があります。

P1DDRに対して、最初にバイト単位でデータをリードしますが、このとき、リードされる値は不定値です。不定値は、レジスタ上では"0"または"1"となりますが、どちらの値がリードされるかわかりません。P1DDRはすべてライト専用ビットなので、どのビットでも不定値をリードします。ここでは、本来のP1DDRの値はH'F0ですが、ビット3が"1"となるH'F8がリードされたとします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
リード値	1	1	1	1	1	0	0	0

ビット操作は、このリードされた値に対して行われます。この例ではH'F8に対してビット4をクリアします。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0
ビット操作後	1	1	1	0	1	0	0	0

ビット操作を行ったあと、そのデータを P1DDR にライトして BCLR 命令を終了します。

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	出力	入力	入力	入力
P1DDR	1	1	1	0	1	0	0	0
ライト値	1	1	1	0	1	0	0	0

本来は P1DDR の値を H'E0 に書き変えるはずでしたが、実際は H'E8 がライトされ、入力端子であるはずの P13 が出力端子に変化してしまいます。ここではリードしたときに P13 が"1"の場合について説明しましたが、P17～P10 をリードした場合にはリード値は不定ですので、ビット操作命令終了後には"0"が"1"に変化したり、"1"が"0"に変化したりしますので注意してください。このような事態を避けるために、ライト専用ビットを含むレジスタの値を変更する場合は、「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

また、内部 I/O レジスタのフラグを"0"にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが"1"にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

## 2.9.4 ライト専用ビットを含むレジスタのアクセス方法

ライト専用ビットを含むレジスタからのデータ転送命令、またはライト専用ビットを含むレジスタに対してビット操作命令を行うと不定値をリードします。不定値をリードしないために、以下のような方法を用いてライト専用ビットを含むレジスタにアクセスしてください。

ライト専用ビットを含むレジスタにライトする際は、内蔵 RAM などのメモリ上にワークエリアを設け、そこに一度データをライトしてから、そのメモリに対してアクセスを行い、そのメモリのデータをライト専用ビットを含むレジスタにライトするようにしてください。

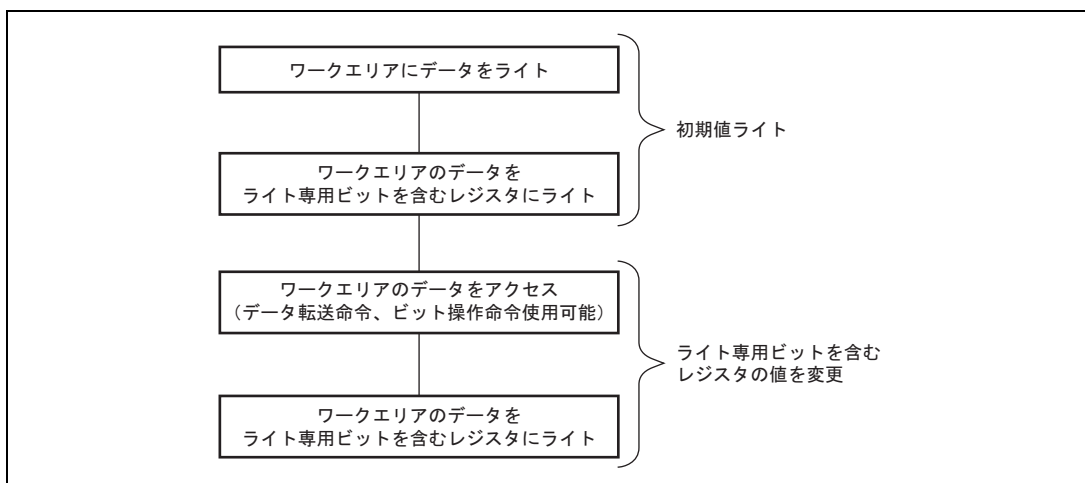


図 2.14 ライト専用ビットを含むレジスタのアクセス方法のフローチャート例

## 2. CPU

- 例 ポート1のP1DDRのビット4のみをクリアする場合

P1DDR は、8 ビットのライト専用ビットで構成されたレジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ここで、BCLR 命令で P14 を入力ポートに指定する例を示します。まず P1DDR にライトする初期値 H'F0 をあらかじめメモリ上のワークエリア (RAM0) にライトしておきます。

```
MOV.B #H'F0, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	1	0	0	0	0
------	---	---	---	---	---	---	---	---

P14 を出力端子から入力端子に切り替えるには、P1DDR のビット 4 の値を"1"から"0" (H'F0 H'E0) に変えなければなりません。ここで BCLR 命令を RAM0 に対して行います。

```
BCLR #4, @RAM0
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	出力	入力	入力	入力	入力
P1DDR	1	1	1	1	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---

RAM0 はリード/ライト可能なので、ビット操作命令を行うと、RAM0 のビット 4 のみがクリアされます。この RAM0 の値を P1DDR にライトします。

```
MOV.B @RAM0, R0L
MOV.B R0L, @P1DDR
```

	P17	P16	P15	P14	P13	P12	P11	P10
入出力	出力	出力	出力	入力	入力	入力	入力	入力
P1DDR	1	1	1	0	0	0	0	0

RAM0	1	1	1	0	0	0	0	0
------	---	---	---	---	---	---	---	---



この手順でライト専用ビットを含むレジスタのアクセスを行えば、命令の種類に依存せずにプログラムを作ることができます。



---

## 3. MCU 動作モード

---

### 3.1 動作モードの選択

本 LSI は、4 種類の動作モード（モード 7~4）があります。各動作モードによって端子の機能が切り替わります。動作モードはモード端子（MD2~MD0）の設定で決まります。モード 6~4 は、外部メモリおよび周辺デバイスをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後にバスコントローラにより、エリアごとに 8 ビットまたは 16 ビットアドレス空間にできます。また、いずれかの 1 つのエリアを 16 ビットアドレス空間にすると 16 ビットバスモードとなり、すべてのエリアを 8 ビットアクセス空間にすると、8 ビットバスモードとなります。

モード 7 は、外部アドレス空間を使用できません。また、モード端子は動作中に変化させないでください。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
							初期値	最大値
4	1	0	0	アドバンスモード	内蔵 ROM 無効拡張モード	無効	16 ビット	16 ビット
5	1	0	1	アドバンスモード	内蔵 ROM 無効拡張モード	無効	8 ビット	16 ビット
6	1	1	0	アドバンスモード	内蔵 ROM 有効拡張モード	有効	8 ビット	16 ビット
7	1	1	1	アドバンスモード	シングルチップモード	有効	-	-

### 3. MCU 動作モード

---

## 3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

### 3.2.1 モードコントロールレジスタ (MDCR)

MDCR は本 LSI の現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
6~3		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	MDS2	*	R	モードセレクト 2~0 モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2~MDS0 ビットは MD2~MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD2~MD0) の入力レベルがこれらのビットにラッチされます。このラッチはパワーオンリセットでは解除されますが、マニュアルリセットでは保持されます。
1	MDS1	*	R	
0	MDS0	*	R	

【注】 \* MD2~MD0 端子の設定により決定されます。

### 3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は割り込み制御モードの選択、NMI の検出エッジの選択、 $\overline{\text{MRES}}$  端子入力の許可 / 禁止の選択、内蔵 RAM の有効 / 無効の選択を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット ライトするときは0をライトしてください。
6		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
5 4	INTM1 INTM0	0 0	R/W R/W	割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.5.1 割り込み制御モードと割り込み動作」を参照してください。  00: 割り込み制御モード0 (1ビットで、割り込みを制御します) 01: 設定禁止 10: 割り込み制御モード2 (12~10ビットと IPR で、割り込みを制御します) 11: 設定禁止
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0: NMI 入力の立ち下がりエッジで割り込み要求を発生 1: NMI 入力の立ち上がりエッジで割り込み要求を発生
2	MRESE	0	R/W	マニュアルリセット選択ビット $\overline{\text{MRES}}$ 端子の入力許可 / 禁止を選択します。 0: マニュアルリセットを禁止 1: マニュアルリセットを許可 $\overline{\text{MRES}}$ 入力端子として使用できます。
1		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。RAME ビットはリセットを解除したとき初期化されます。 0: 内蔵 RAM 無効 1: 内蔵 RAM 有効

## 3.3 各動作モードの説明

### 3.3.1 モード 4

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

P13~P10 端子、ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。リセット直後、P13~P11 端子は入力ポートに、P10 端子、ポート A、B はアドレス (A20~A8) 出力になります。PFCR の AE3~AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23~A21) 出力の許可/禁止を設定できます。P13~P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。ポート C は常にアドレス (A7~A0) 出力です。

リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合は、8 ビットバスモードとなります。

### 3.3.2 モード 5

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。

P13~P10 端子、ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。リセット直後、P13~P11 端子は入力ポートに、P10 端子、ポート A、B はアドレス (A20~A8) 出力になります。PFCR の AE3~AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23~A21) 出力の許可/禁止を設定できます。P13~P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。ポート C は常にアドレス (A7~A0) 出力です。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合は、16 ビットバスモードとなりポート E がデータバスとなります。

### 3.3.3 モード 6

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。リセット直後、P13~P10 端子、ポート A、B、C は入力ポートになります。PFCR の AE3~AE0 ビットにより、対応する DDR の値に関係なくアドレス (A23~A8) 出力の許可/禁止を設定できます。P13~P10 端子、ポート A、B でアドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力になります。

ポート C では対応する DDR を 1 にセットするとアドレス (A7~A0) は出力になります。

ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合は、16 ビットバスモードとなりポート E がデータバスとなります。

### 3.3.4 モード 7

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレス空間は使用できません。

すべての I/O ポートを入出力ポートとして使用できます。

### 3.3.5 端子機能

モード 4~7 における端子機能の一覧を表 3.2 に示します。

表 3.2 各動作モードにおける端子機能

ポート		モード 4	モード 5	モード 6	モード 7
ポート 1	P11 ~ P13	P*/A	P*/A	P*/A	P
	P10	P/A*	P/A*	P*/A	P
ポート A	PA3 ~ PA0	P/A*	P/A*	P*/A	P
ポート B		P/A*	P/A*	P*/A	P
ポート C		A	A	P*/A	P
ポート D		D	D	D	P
ポート E		P/D*	P*/D	P*/D	P
ポート F	PF7	P/C*	P/C*	P/C*	P*/C
	PF6 ~ PF4	C	C	C	P
	PF3	P/C*	P*/C	P*/C	P
	PF2 ~ PF0	P*/C	P*/C	P*/C	P

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- \* : リセット直後

### 3. MCU 動作モード

#### 3.4 各動作モードのアドレスマップ

各製品のアドレスマップを図 3.1～図 3.9 に示します。

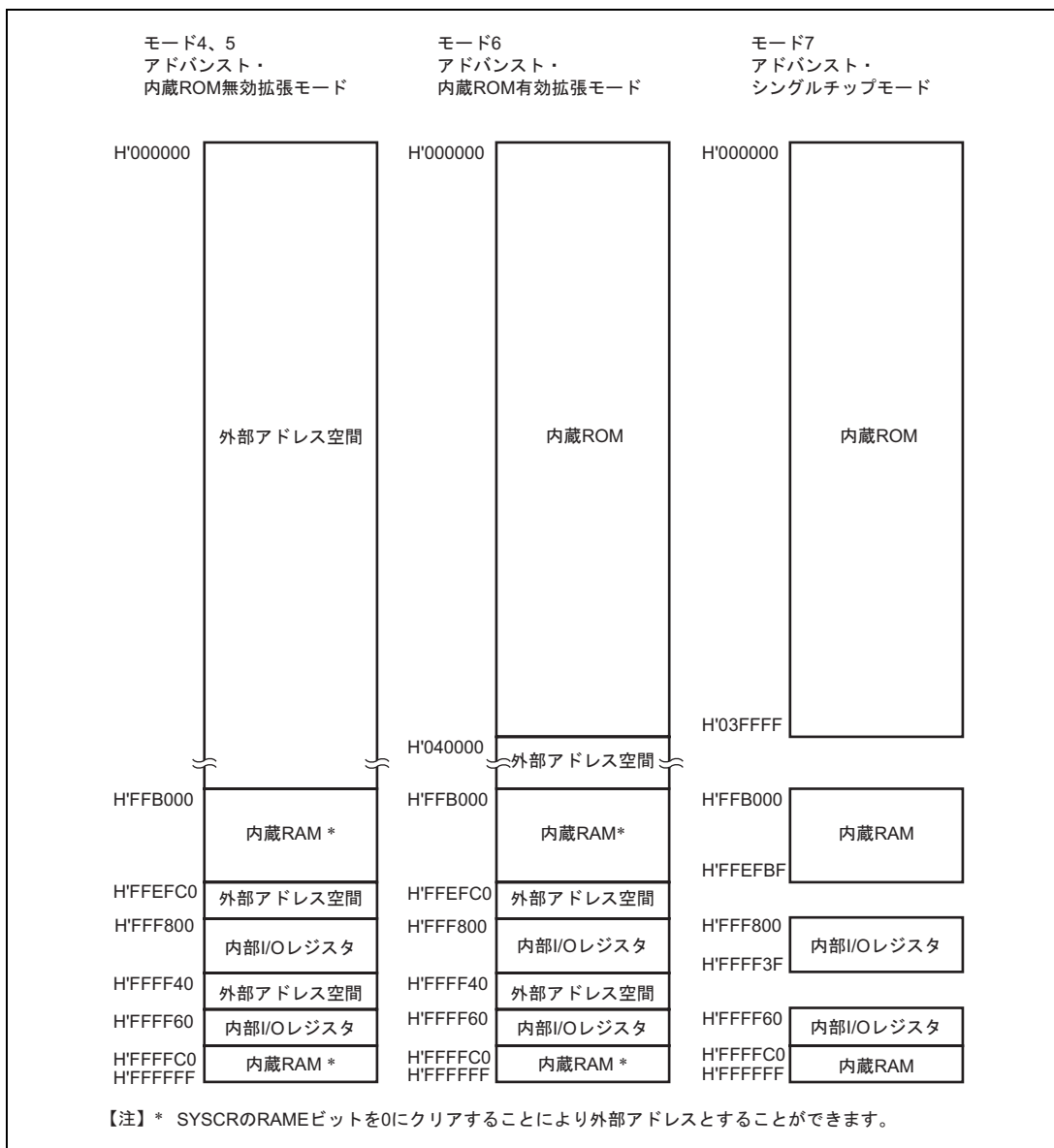


図 3.1 H8S/2258 のアドレスマップ



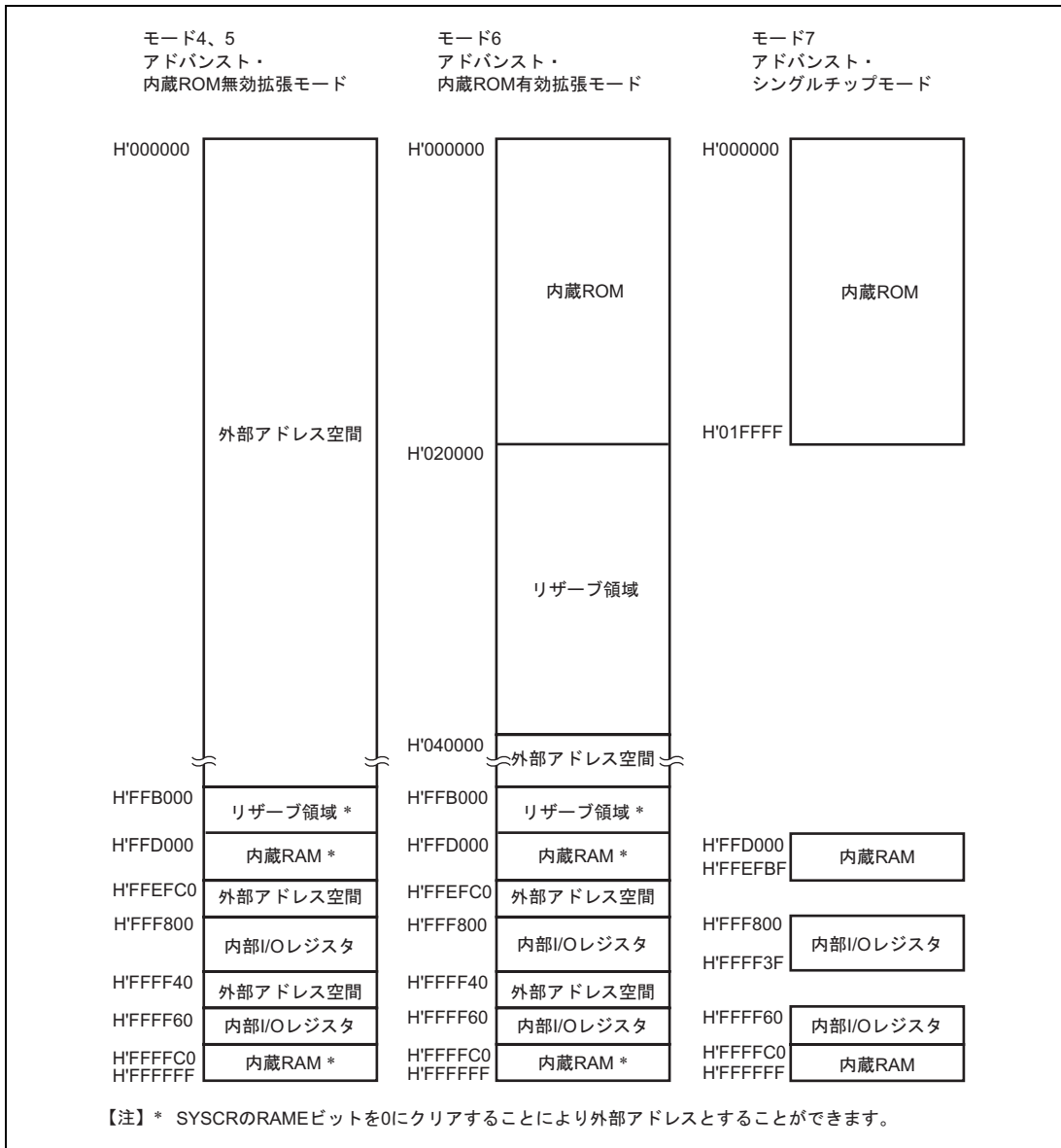


図 3.2 H8S/2256 のアドレスマップ

### 3. MCU 動作モード

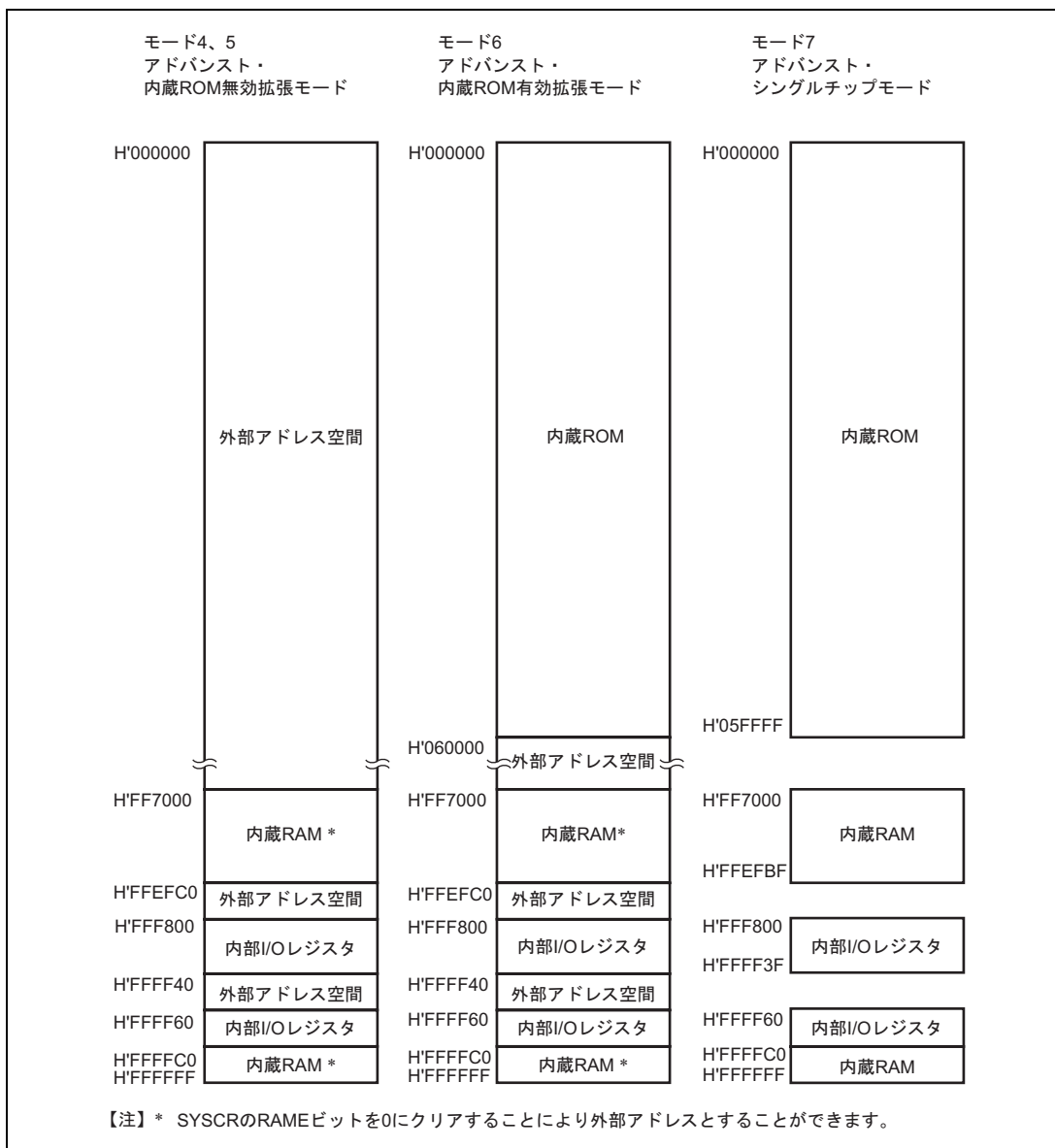


図 3.3 H8S/2239 のアドレスマップ

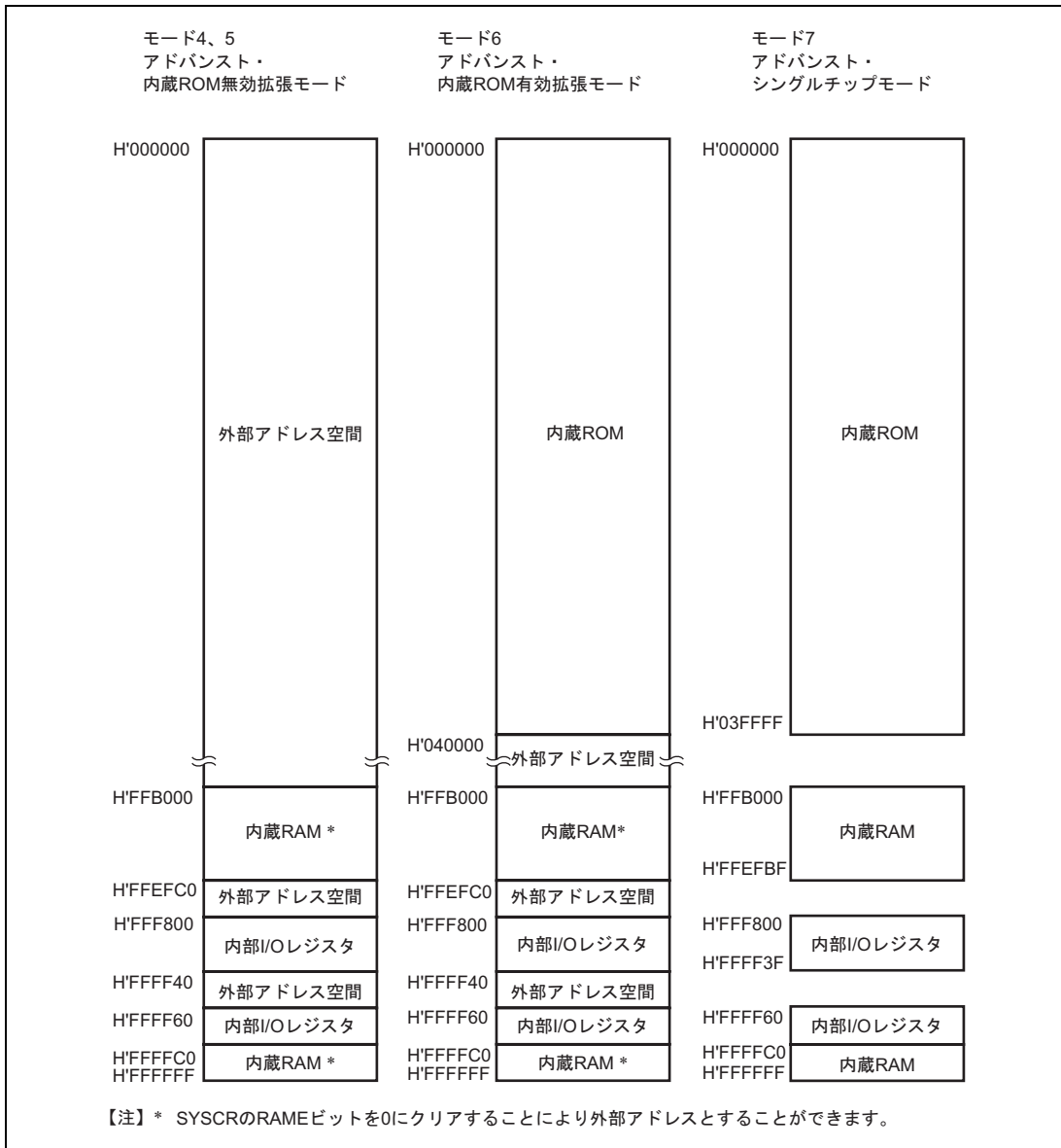


図 3.4 H8S/2238B、H8S/2238R のアドレスマップ

### 3. MCU 動作モード

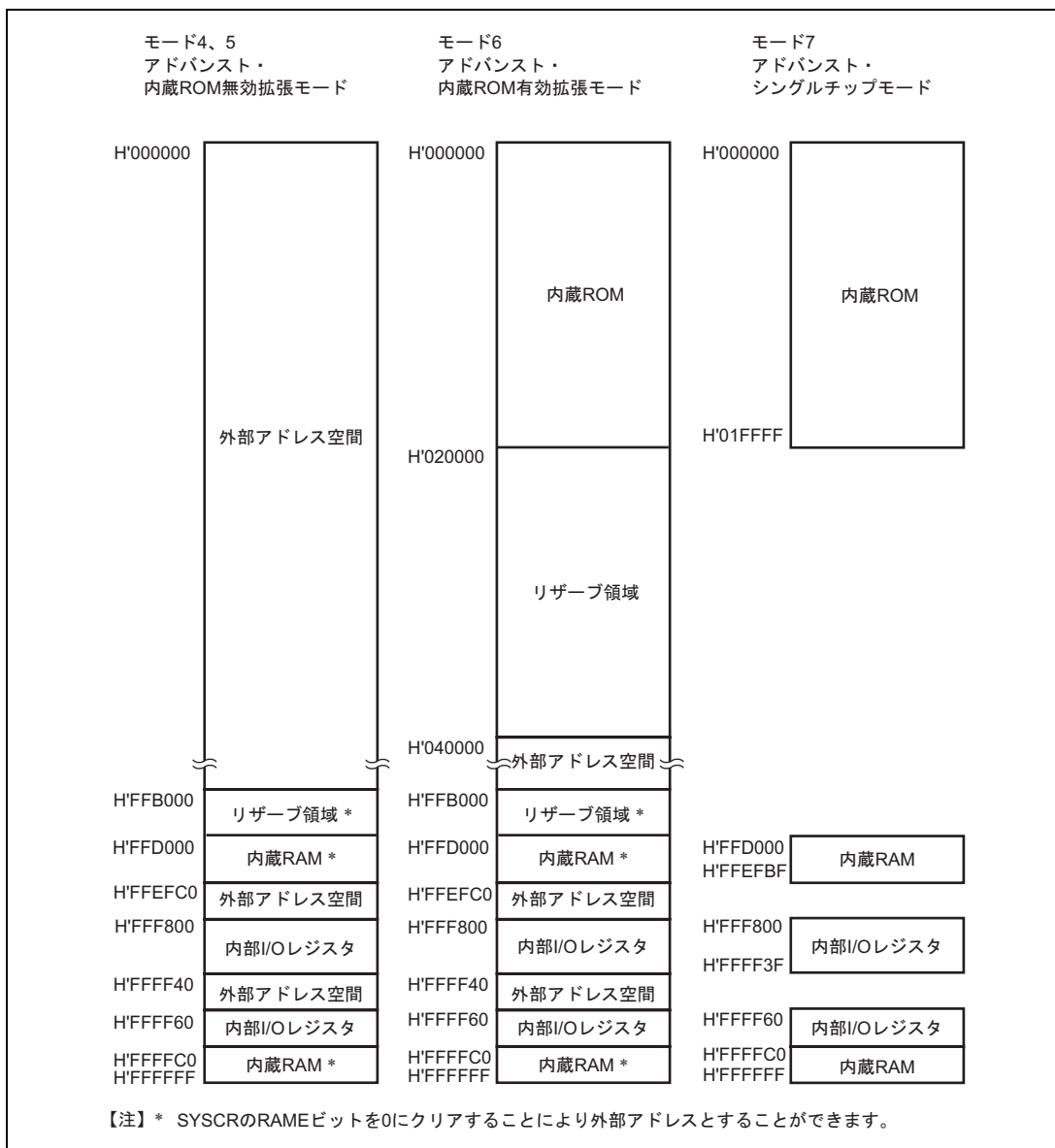


図 3.5 H8S/2236B、H8S/2236R のアドレスマップ

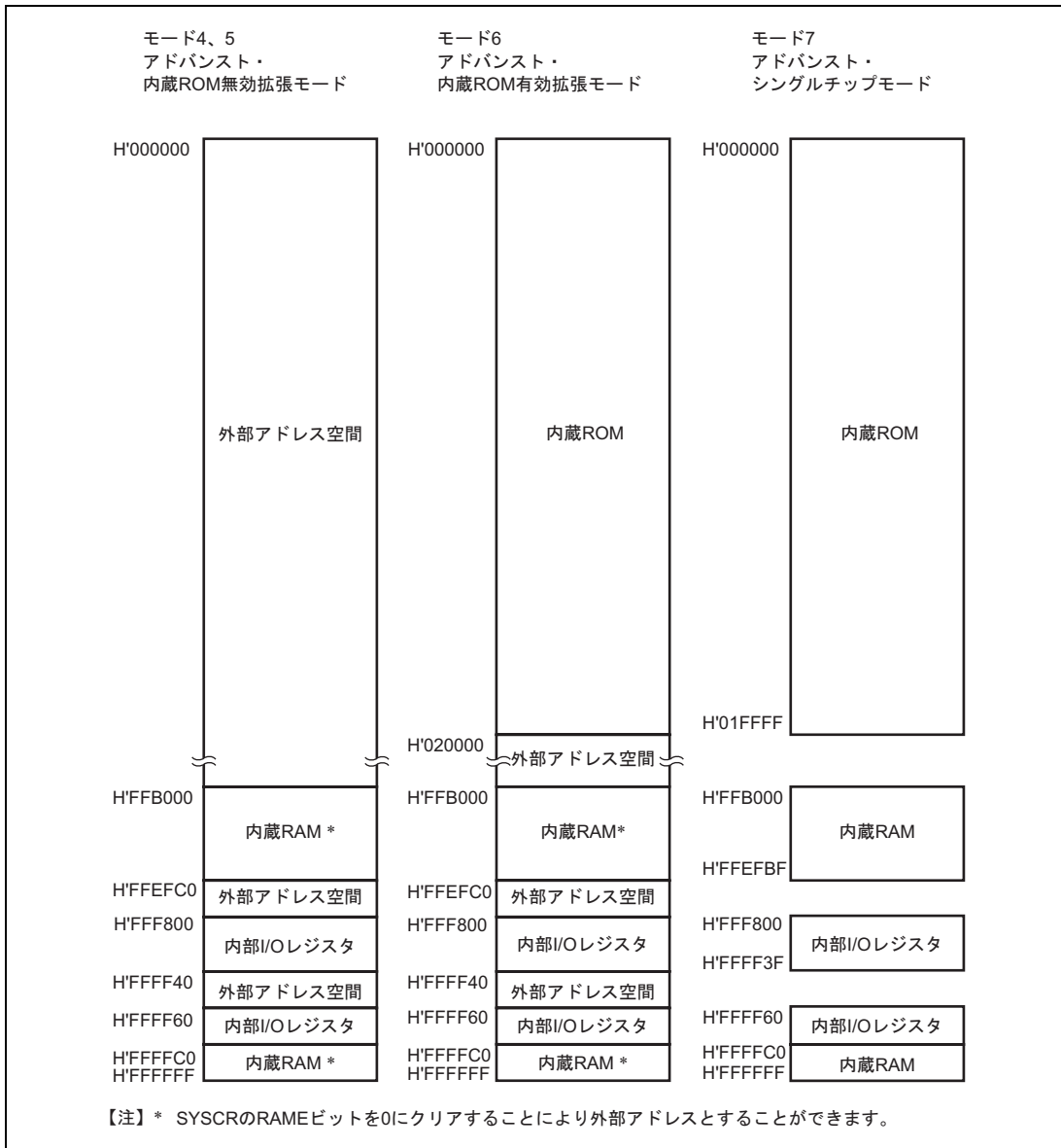


図 3.6 H8S/2237、H8S/2227 のアドレスマップ

### 3. MCU 動作モード

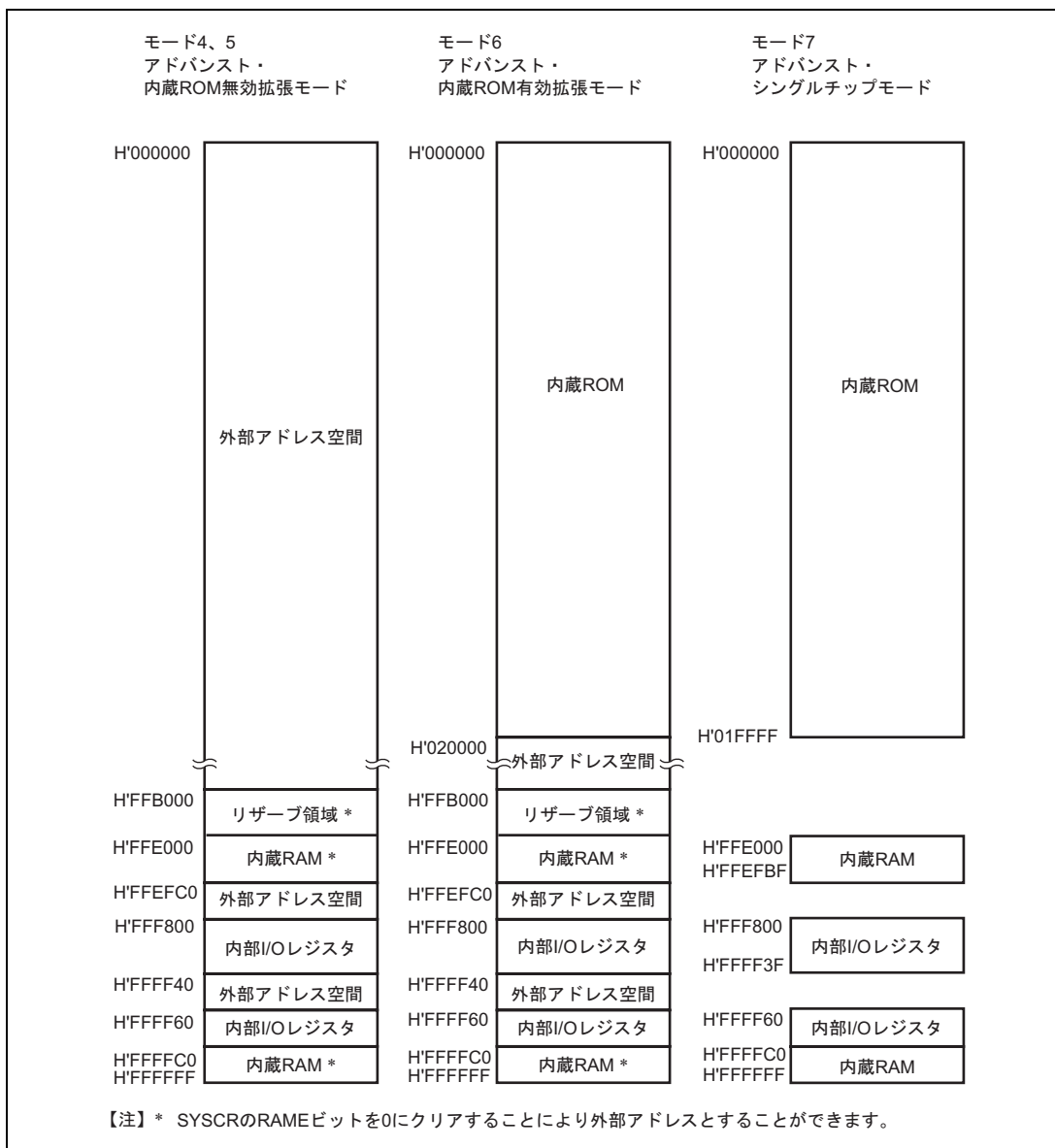


図 3.7 H8S/2235、H8S/2225 のアドレスマップ

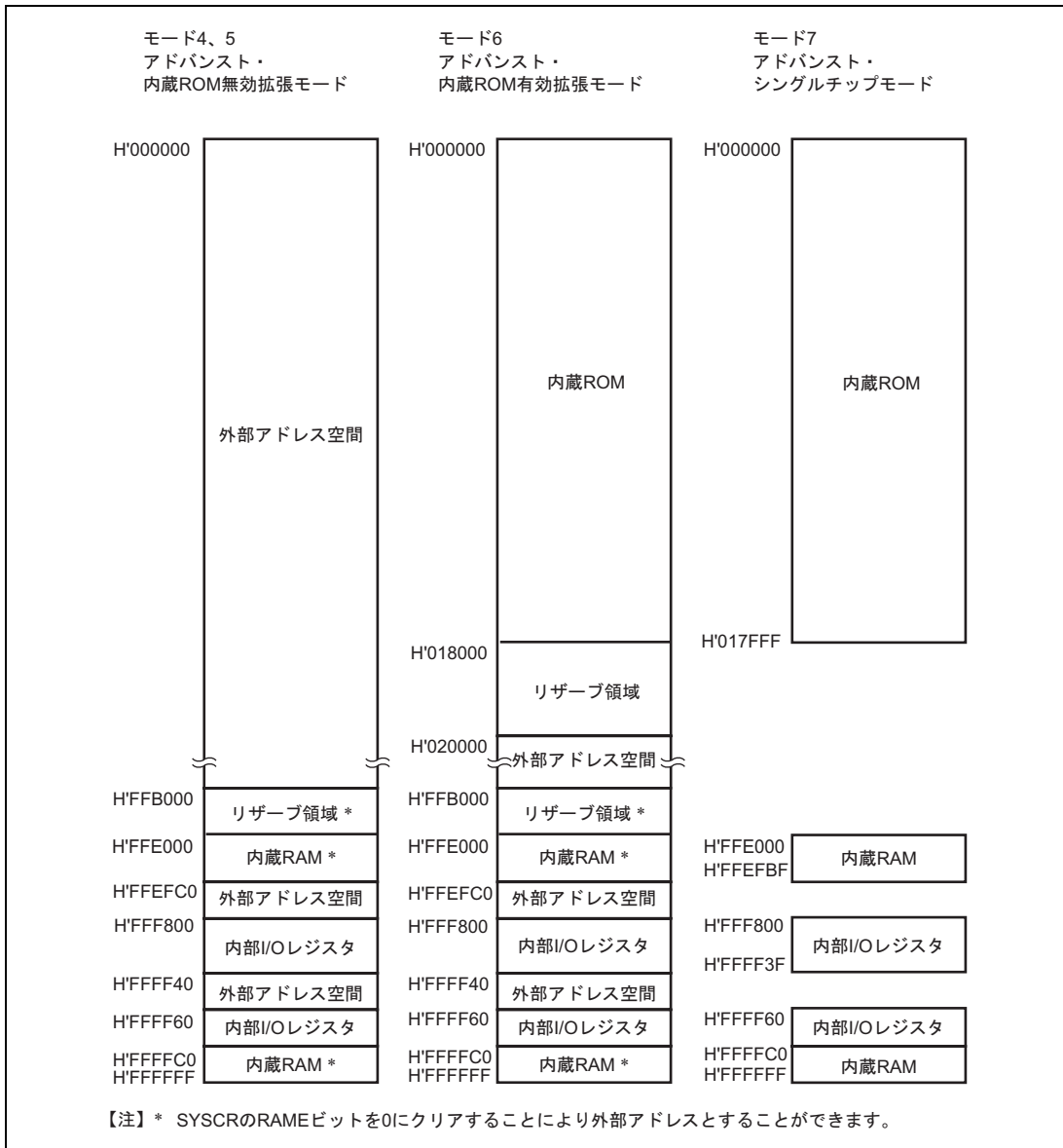


図 3.8 H8S/2224 のアドレスマップ

### 3. MCU 動作モード

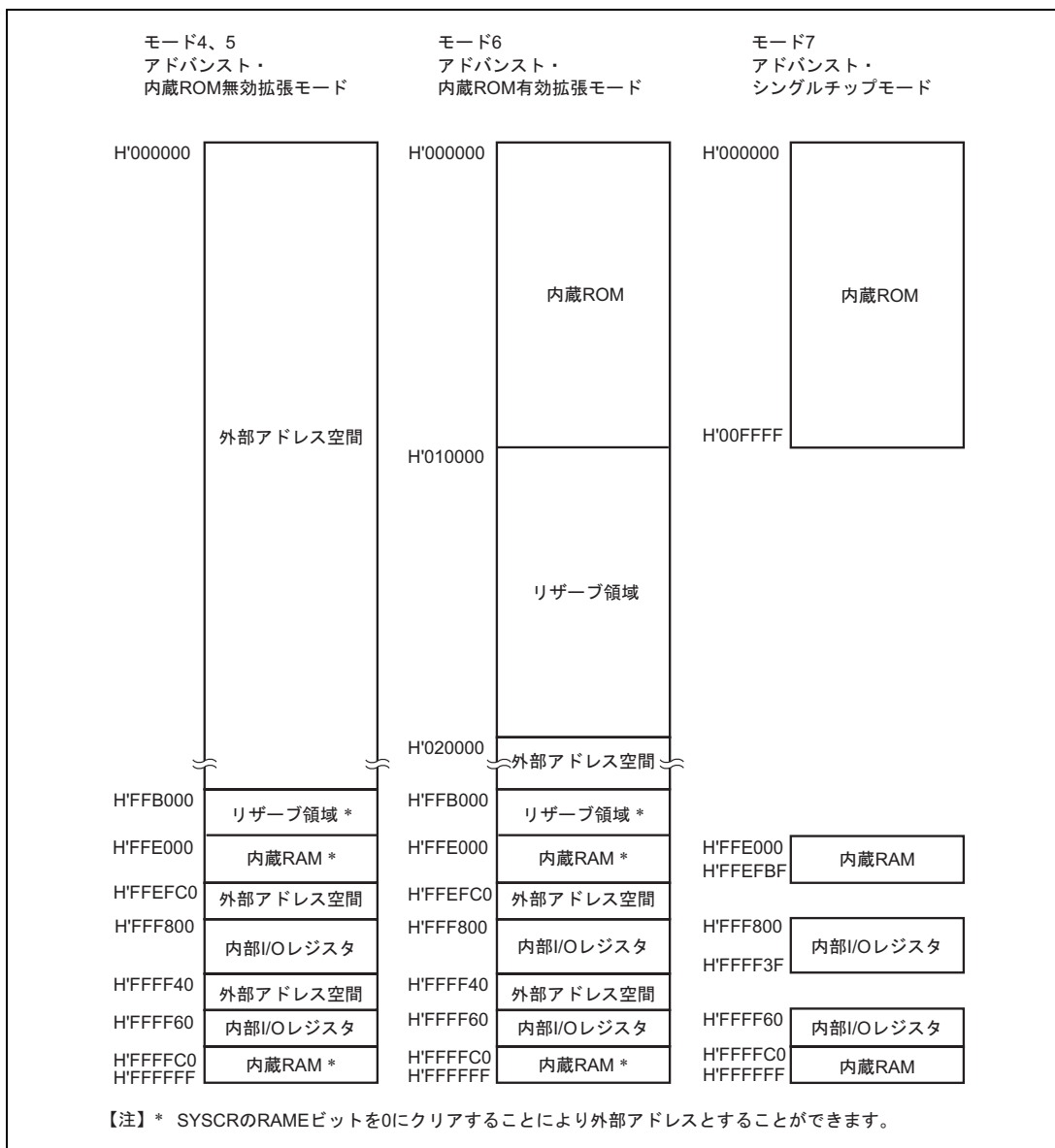


図 3.9 H8S/2233、H8S/2223 のアドレスマップ



---

## 4. 例外処理

---

### 4.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トレース、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSR の INTM1、INTM0 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES 端子、MRES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバーフローにより開始します。RES 端子が Low レベルのときパワーオンリセット状態になります。MRES 端子が Low レベルのときマニュアルリセット状態になります。
	トレース	トレース (T) ビットが 1 の状態で、命令または例外処理の実行終了時に開始します。トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

## 4. 例外処理

### 4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1
		アドバンストモード
パワーオンリセット	0	H'0000 ~ H'0003
マニュアルリセット	1	H'0004 ~ H'0007
システムリザーブ	2	H'0008 ~ H'000B
	3	H'000C ~ H'000F
	4	H'0010 ~ H'0013
トレース	5	H'0014 ~ H'0017
直接遷移*3	6	H'0018 ~ H'001B
外部割り込み (NMI)	7	H'001C ~ H'001F
トラップ命令 (4 要因)	8	H'0020 ~ H'0023
	9	H'0024 ~ H'0027
	10	H'0028 ~ H'002B
	11	H'002C ~ H'002F
システムリザーブ	12	H'0030 ~ H'0033
	13	H'0034 ~ H'0037
	14	H'0038 ~ H'003B
	15	H'003C ~ H'003F
外部割り込み IRQ0	16	H'0040 ~ H'0043
外部割り込み IRQ1	17	H'0044 ~ H'0047
外部割り込み IRQ2	18	H'0048 ~ H'004B
外部割り込み IRQ3	19	H'004C ~ H'004F
外部割り込み IRQ4	20	H'0050 ~ H'0053
外部割り込み IRQ5	21	H'0054 ~ H'0057
外部割り込み IRQ6	22	H'0058 ~ H'005B
外部割り込み IRQ7	23	H'005C ~ H'005F
内部割り込み*2	24	H'0060 ~ H'0063
	 123	 H'01EC ~ H'01EF

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 内部割り込みのベクタテーブルは、「5.4.3 割り込み例外処理ベクタテーブル」を参照してください。

\*3 直接遷移については、「24.10 直接遷移」を参照してください。

## 4.3 リセット

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$  端子、 $\overline{\text{MRES}}$  端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$  端子、 $\overline{\text{MRES}}$  端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 13 章 ウォッチドッグタイマ (WDT)」を参照してください。

### 4.3.1 リセットの種類

リセットには、パワーオンリセットとマニュアルリセットの 2 種類があります。

表 4.3 にリセットの種類を示します。電源投入時には、パワーオンリセットとしてください。

パワーオンリセット、マニュアルリセットのどちらでも CPU の内部状態は初期化されます。また、パワーオンリセットでは、内蔵周辺モジュールのレジスタがすべて初期化されるのに対し、マニュアルリセットでは、バスコントローラ、I/O ポートを除いた内蔵周辺モジュールのレジスタが初期化されます。バスコントローラ、I/O ポートの状態は保持されます。

マニュアルリセット時、内蔵周辺モジュールが初期化されるため、内蔵周辺モジュールの入出力端子として使用しているポートは、DDR と DR で制御される入出力ポートに切り替わります。

表 4.3 リセットの種類

種類	リセットへの遷移条件		内部状態	
	MRES	RES	CPU	内蔵周辺モジュール
パワーオンリセット	*	Low	初期化	初期化
マニュアルリセット	Low	High	初期化	バスコントローラ、I/O ポート以外初期化

【記号説明】\* : Don't care

ウォッチドッグタイマによるリセットにも、パワーオンリセット、マニュアルリセットの 2 種類があります。

なお、 $\overline{\text{MRES}}$  端子を使用する場合は、SYSCR の MRESE ビットで、 $\overline{\text{MRES}}$  端子を入力許可 (MRESE=1) に設定してください。

### 4.3.2 リセット例外処理

$\overline{\text{RES}}$  端子、 $\overline{\text{MRES}}$  端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$  端子を Low レベルに保持してください。また、動作中は  $\overline{\text{RES}}$  端子が  $\overline{\text{MRES}}$  端子を最低 20 ステートの間、Low レベルにしてください。

$\overline{\text{RES}}$  端子が  $\overline{\text{MRES}}$  端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

## 4. 例外処理

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送したあと、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1 に示します。

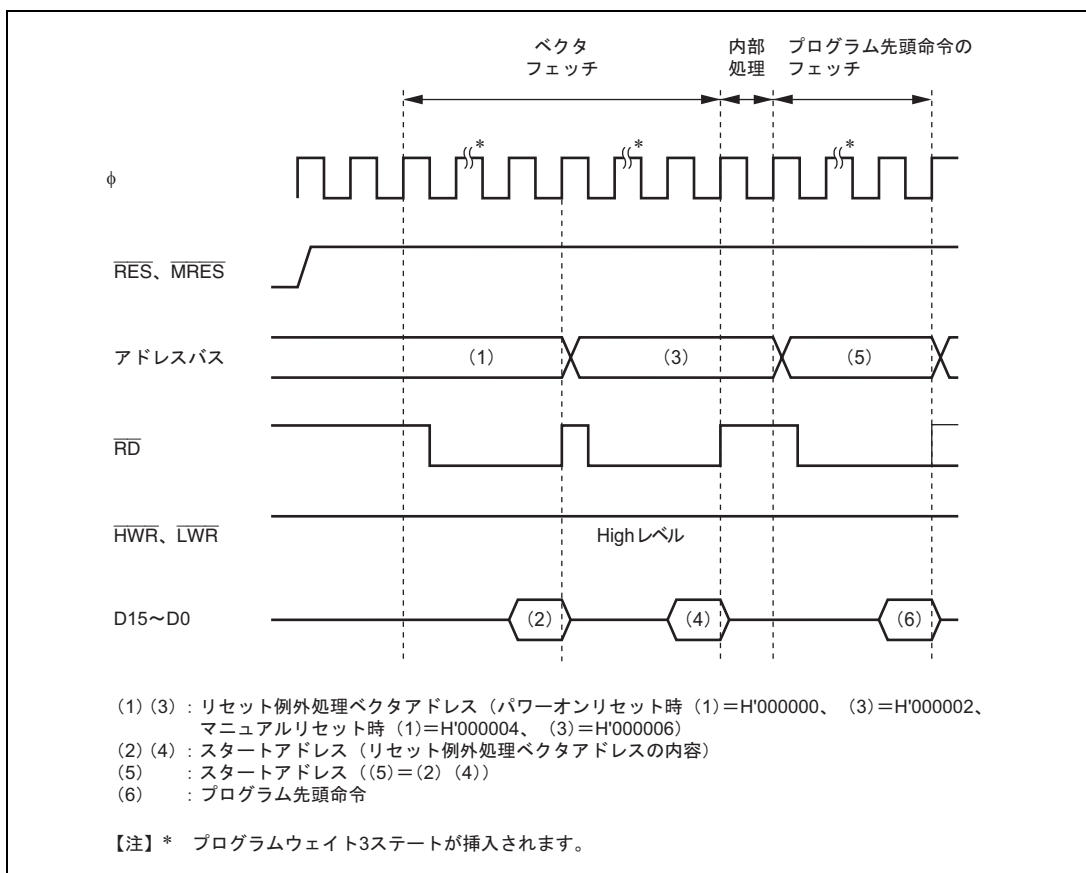


図 4.1 リセットシーケンス (モード 4)

### 4.3.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例 : MOV.L #xx, SP)。

### 4.3.4 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA は H'3F、MSTPCRB、MSTPCRC は H'FF に初期化され、DMAC\*と DTC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

【注】 \* H8S/2239 グループのみです。

## 4.4 トレース例外処理

トレースは、割り込み制御モード 2 で有効です。割り込み制御モード 0 では、T ビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第 5 章 割り込みコントローラ」を参照してください。

EXR の T ビットが 1 にセットされていると、トレースモードになります。トレースモードが設定されていると、1 命令の実行を終了するたびにトレース例外処理を開始します。トレース例外処理実行後、EXR の T ビットが 0 にクリアされ、トレースモードが解除されます。割り込みマスクの影響を受けません。表 4.4 にトレース命令例外処理実行後の CCR、EXR の状態を示します。トレース例外処理ルーチンでも割り込みを受け付けます。

スタックに退避された T ビットは 1 を保持しており、RTE 命令を実行して、トレース例外処理ルーチンから復帰したあとは、再び、トレースモードになります。RTE 命令実行後は、トレース例外処理を行いません。

表 4.4 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

## 4.5 割り込み例外処理

割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2 つの割り込み制御モードがあり、NMI 以外の割り込みに 8 レベルの優先順位 / マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

## 4. 例外処理

---

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) をスタックに退避します。
2. 割り込みマスクビットを更新します。Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

### 4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) をスタックに退避します。
2. 割り込みマスクビットを更新します。Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.5 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.5 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

## 4.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.2 に示します。

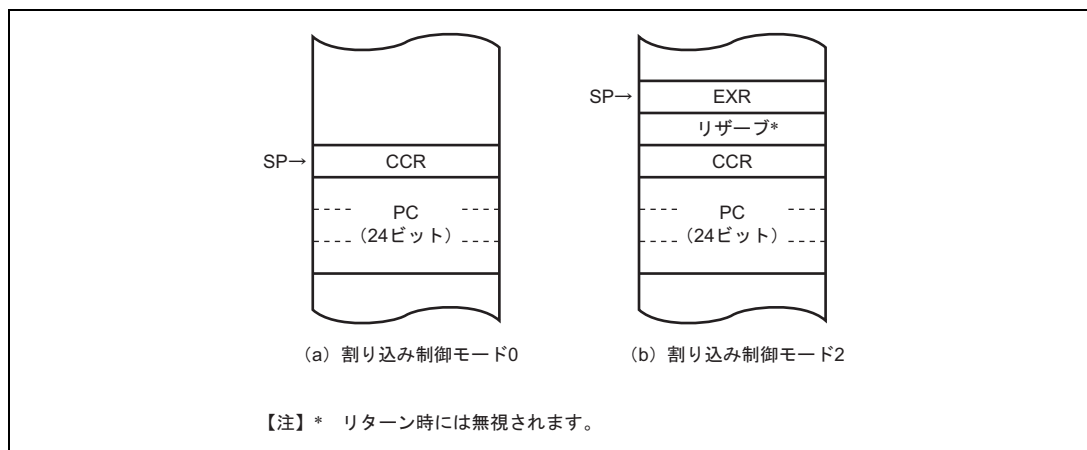


図 4.2 例外処理終了後のスタックの状態（アドバンスモード）

## 4.8 使用上の注意事項

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.3 に示します。

#### 4. 例外処理

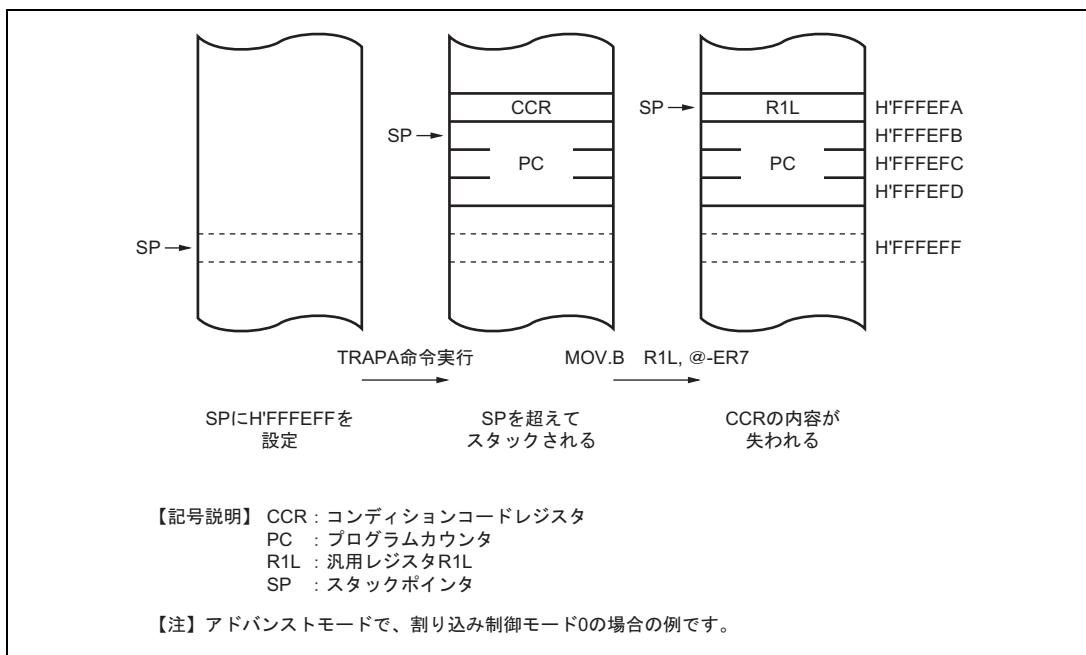


図 4.3 SP を奇数に設定したときの動作



---

## 5. 割り込みコントローラ

---

### 5.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

- 2種類の割り込み制御モード

システムコントロールレジスタ (SYSCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードを設定できます。

- IPRにより、優先順位を設定可能

割り込み優先順位を設定するインタラプトプライオリティレジスタ (IPR) を備えており、NMI以外の割り込みは、モジュールごとに8レベルの優先順位を設定できます。

NMIは、最優先のレベル8の割り込み要求として、割り込み処理中も受け付けられます (ネスティングされません)。opcode = H'57F3実行時、12ステート中も受け付けられます。

- 独立したベクタアドレス

すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 9本の外部割り込み端子

NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。

IRQ7 ~ IRQ0は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

- DTC、DMAC\*の制御

割り込みによるDTC、DMAC\*の起動の制御を行います。

【注】 \* H8S/2239 グループのみです。

## 5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

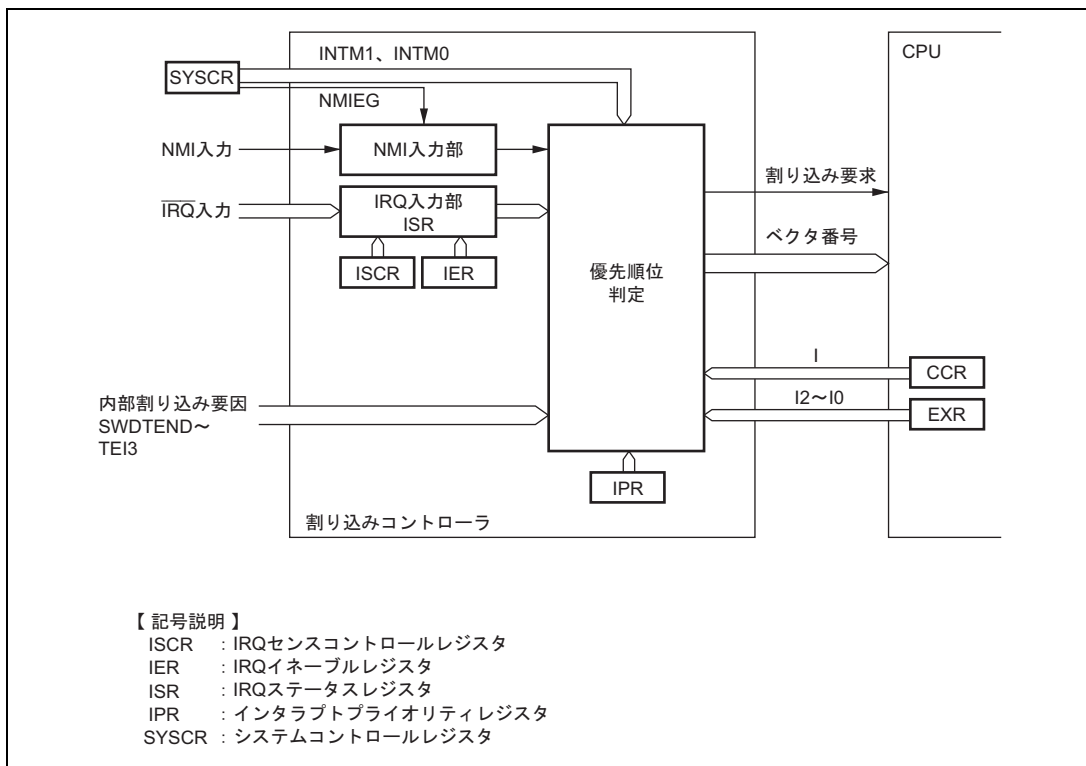


図 5.1 割り込みコントローラのブロック図

## 5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスク可能外部割り込み。立ち上がりエッジまたは立ち下がりエッジを選択可能。
$\overline{\text{IRQ}}7$	入力	マスク可能な外部割り込み。立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択可能。
$\overline{\text{IRQ}}6$	入力	
$\overline{\text{IRQ}}5$	入力	
$\overline{\text{IRQ}}4$	入力	
$\overline{\text{IRQ}}3$	入力	
$\overline{\text{IRQ}}2$	入力	
$\overline{\text{IRQ}}1$	入力	
$\overline{\text{IRQ}}0$	入力	

### 5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- システムコントロールレジスタ (SYSCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCRL)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタH (IPRH)
- インタラプトプライオリティレジスタI (IPRI)
- インタラプトプライオリティレジスタJ (IPRJ)
- インタラプトプライオリティレジスタK (IPRK)
- インタラプトプライオリティレジスタL (IPRL)
- インタラプトプライオリティレジスタO (IPRO)

## 5. 割り込みコントローラ

### 5.3.1 インタラプトプライオリティレジスタ A~L、O (IPRA~IPRL、IPRO)

IPR は 8 ビットのリード/ライト可能な 13 本のレジスタで、NMI を除く各割り込み要因の優先順位 (レベル 7~0) を設定します。各割り込み要因と IPR の対応を表 5.2 に示します。

ビット 6~4、ビット 2~0 の各 3 ビットに H'0~H'7 の範囲の値をセットすることによって、対応する割り込み要求の優先順位が決まります。

ビット	ビット名	初期値	R/W	説明
7		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
1	IPR1	1	R/W	
0	IPR0	1	R/W	

### 5.3.2 IRQ イネーブルレジスタ (IER)

IER は、IRQ<sub>n</sub> (n=7~0) 割り込み要求の許可または禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが 1 のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが 1 のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが 1 のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが 1 のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが 1 のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが 1 のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが 1 のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが 1 のとき IRQ0 割り込み要求がイネーブルになります。

### 5.3.3 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は、 $\overline{\text{IRQ}}_n$  (n=7~0) 端子の入力の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ビット	ビット名	初期値	R/W	説明
15	IRQ7SCB	0	R/W	IRQ7 センスコントロール B IRQ7 センスコントロール A 00 : $\overline{\text{IRQ}}_7$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ}}_7$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ}}_7$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ}}_7$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
14	IRQ7SCA	0	R/W	
13	IRQ6SCB	0	R/W	
12	IRQ6SCA	0	R/W	

## 5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説 明
11	IRQ5SCB	0	R/W	IRQ5 センスコントロール B IRQ5 センスコントロール A 00 : $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
10	IRQ5SCA	0	R/W	
9	IRQ4SCB	0	R/W	IRQ4 センスコントロール B IRQ4 センスコントロール A 00 : $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ4}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
8	IRQ4SCA	0	R/W	
7	IRQ3SCB	0	R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00 : $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
6	IRQ3SCA	0	R/W	
5	IRQ2SCB	0	R/W	IRQ2 センスコントロール B IRQ2 センスコントロール A 00 : $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
4	IRQ2SCA	0	R/W	
3	IRQ1SCB	0	R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00 : $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
2	IRQ1SCA	0	R/W	
1	IRQ0SCB	0	R/W	IRQ0 センスコントロール B IRQ0 センスコントロール A 00 : $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
0	IRQ0SCA	0	R/W	

### 5.3.4 IRQ ステータスレジスタ (ISR)

ISR は、IRQ<sub>n</sub> (n=7~0) 割り込み要求のステータス表示を行います。

ビット	ビット名	初期値	R/W	説明
7	IRQ7F	0	R/(W)*	IRQ7 ~ IRQ0 フラグ
6	IRQ6F	0	R/(W)*	IRQ7 ~ IRQ0 割り込み要求のステータスの表示を行います。
5	IRQ5F	0	R/(W)*	[ セット条件 ]
4	IRQ4F	0	R/(W)*	• ISCRH、L で選択した割り込み要因が発生したとき
3	IRQ3F	0	R/(W)*	[ クリア条件 ]
2	IRQ2F	0	R/(W)*	• 1 の状態をリードしたあと、0 をライトしたとき
1	IRQ1F	0	R/(W)*	• Low レベル検出の状態かつ $\overline{\text{IRQn}}$ 入力が高レベルの状態、割り込み例外処理を実行したとき
0	IRQ0F	0	R/(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQ <sub>n</sub> 割り込み例外処理を実行したとき • IRQ <sub>n</sub> 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 5.4 割り込み要因

### 5.4.1 外部割り込み

外部割り込みには、NMI、IRQ7 ~ IRQ0 の 9 要因があります。各外部割り込みは、ソフトウェアスタンバイモードからの復帰に使用できます。

#### (1) NMI 割り込み

NMI は最優先の割り込みで、割り込み制御モードや、CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

#### (2) IRQ<sub>n</sub> 割り込み (n=7~0)

IRQ<sub>n</sub> 割り込みは  $\overline{\text{IRQn}}$  端子の入力信号により要求されます。IRQ<sub>n</sub> 割り込みには次の特長があります。

- $\overline{\text{IRQn}}$  端子の Low レベル、立ち下がりエッジ、立ち上がりエッジ、および両エッジのいずれかで割り込みを要求するか、ISCR で選択できます。
- IRQ<sub>n</sub> 割り込み要求を許可するか禁止するかを、IER で選択できます。
- IPR により割り込みプライオリティレベルを設定できます。
- IRQ<sub>n</sub> 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

## 5. 割り込みコントローラ

IRQn 割り込みのブロック図を図 5.2 に示します。

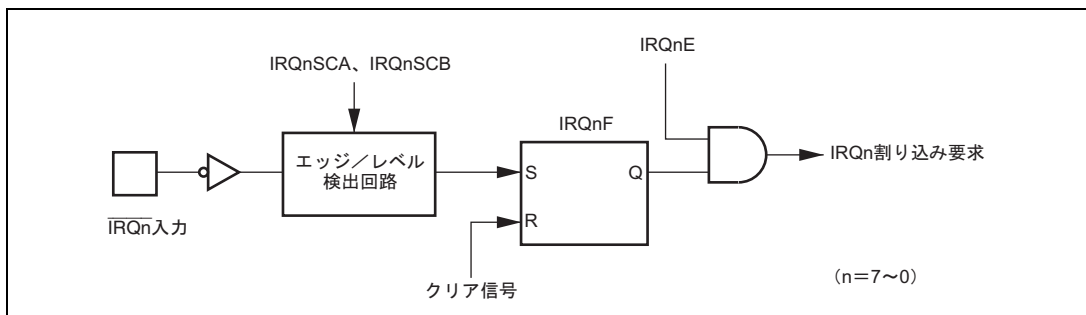


図 5.2 IRQn 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

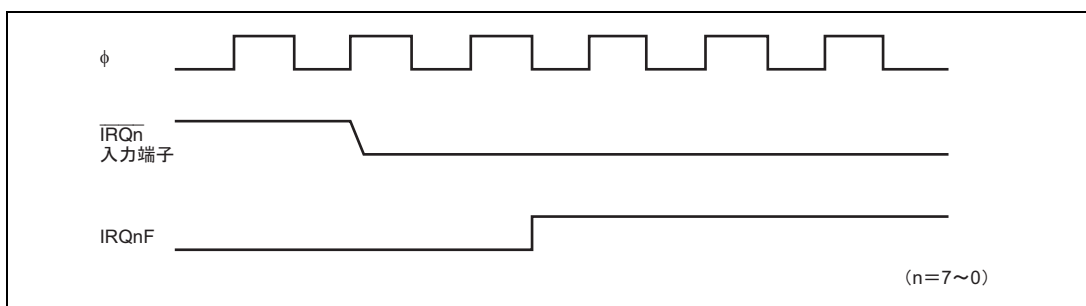


図 5.3 IRQnF のセットタイミング

IRQn 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。また、割り込み要求フラグ IRQnF は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

### 5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
- IPRによって割り込みプライオリティレベルを設定できます。
- TPU、SCIなどの割り込み要求によりDMAC\*またはDTCを起動することができます。

割り込み要求によりDMAC\*またはDTCを起動する場合は、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

【注】 \* H8S/2239 グループのみです。



## 5.4.3 割り込み例外処理ベクタテーブル

表 5.2 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、IPR により設定することができます。2 つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 5.2 のとおり固定です。

表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*1	IPR*2	優先 順位
			アドバンスモード		
外部端子	NMI	7	H'001C		↑ 高
	IRQ0	16	H'0040	IPRA6 ~ IPRA4	
	IRQ1	17	H'0044	IPRA2 ~ IPRA0	
	IRQ2	18	H'0048	IPRB6 ~ IPRB4	
	IRQ3	19	H'004C		
	IRQ4	20	H'0050	IPRB2 ~ IPRB0	
	IRQ5	21	H'0054		
	IRQ6	22	H'0058	IPRC6 ~ IPRC4	
IRQ7	23	H'005C			
DTC	SWDTEND (ソフトウェア起動データ転送終了)	24	H'0060	IPRC2 ~ IPRC0	↓ 低
ウォッチドッグ タイマ 0	WOVI0 (インターバルタイマ 0)	25	H'0064	IPRD6 ~ IPRD4	
PC ブレーク	PC ブレーク	27	H'006C	IPRE6 ~ IPRE4	
A/D	ADI (A/D 変換終了)	28	H'0070	IPRE2 ~ IPRE0	
ウォッチドッグ タイマ 1	WOVI1 (インターバルタイマ 1)	29	H'0074		
-	リザーブ	30	H'0078		
		31	H'007C		
TPU チャンネル 0	TGI0A (TGR0A インพุットキャプチャ/ コンペアマッチ)	32	H'0080	IPRF6 ~ IPRF4	
	TGI0B (TGR0B インพุットキャプチャ/ コンペアマッチ)	33	H'0084		
	TGI0C (TGR0C インพุットキャプチャ/ コンペアマッチ)	34	H'0088		
	TGI0D (TGR0D インพุットキャプチャ/ コンペアマッチ)	35	H'008C		
	TCI0V (オーバフロー-0)	36	H'0090		
-	リザーブ	37	H'0094		
		38	H'0098		
		39	H'009C		

## 5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*1	IPR*2	優先 順位
			アドバンスモード		
TPU チャンネル 1	TGI1A (TGR1A インพุットキャプチャ/ コンペアマッチ)	40	H'00A0	IPRF2 ~ IPRF0	高 ↑
	TGI1B (TGR1B インพุットキャプチャ/ コンペアマッチ)	41	H'00A4		
	TCI1V (オーバフロー-1)	42	H'00A8		
	TCI1U (アンダフロー-1)	43	H'00AC		
TPU チャンネル 2	TGI2A (TGR2A インพุットキャプチャ/ コンペアマッチ)	44	H'00B0	IPRG6 ~ IPRG4	
	TGI2B (TGR2B インพุットキャプチャ/ コンペアマッチ)	45	H'00B4		
	TCI2V (オーバフロー-2)	46	H'00B8		
	TCI2U (アンダフロー-2)	47	H'00BC		
TPU チャンネル 3*3	TGI3A (TGR3A インพุットキャプチャ/ コンペアマッチ)	48	H'00C0	IPRG2 ~ IPRG0	
	TGI3B (TGR3B インพุットキャプチャ/ コンペアマッチ)	49	H'00C4		
	TGI3C (TGR3C インพุットキャプチャ/ コンペアマッチ)	50	H'00C8		
	TGI3D (TGR3D インพุットキャプチャ/ コンペアマッチ)	51	H'00CC		
	TCI3V (オーバフロー-3)	52	H'00D0		
-	リザーブ	53	H'00D4		
		54	H'00D8		
		55	H'00DC		
TPU チャンネル 4*3	TGI4A (TGR4A インพุットキャプチャ/ コンペアマッチ)	56	H'00E0	IPRH6 ~ IPRH4	
	TGI4B (TGR4B インพุットキャプチャ/ コンペアマッチ)	57	H'00E4		
	TCI4V (オーバフロー-4)	58	H'00E8		
	TCI4U (アンダフロー-4)	59	H'00EC		
TPU チャンネル 5*3	TGI5A (TGR5A インพุットキャプチャ/ コンペアマッチ)	60	H'00F0	IPRH2 ~ IPRH0	低 ↓
	TGI5B (TGR5B インพุットキャプチャ/ コンペアマッチ)	61	H'00F4		
	TCI5V (オーバフロー-5)	62	H'00F8		
	TCI5U (アンダフロー-5)	63	H'00FC		

## 5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*1	IPR*2	優先 順位
			アドバンストモード		
8ビットタイム チャンネル0	CMIA0 (コンペアマッチ A0)	64	H'0100	IPRI6 ~ IPRI4	↑ 高
	CMIB0 (コンペアマッチ B0)	65	H'0104		
	OVI0 (オーバフロー0)	66	H'0108		
-	リザーブ	67	H'010C		
8ビットタイム チャンネル1	CMIA1 (コンペアマッチ A1)	68	H'0110	IPRI2 ~ IPRI0	
	CMIB1 (コンペアマッチ B1)	69	H'0114		
	OVI1 (オーバフロー1)	70	H'0118		
-	リザーブ	71	H'011C		
DMAC*5	DEND0A (チャンネル0 / チャンネル0A 転送終了)	72	H'0120	IPRJ6 ~ IPRJ4	
	DEND0B (チャンネル0B 転送終了)	73	H'0124		
	DEND1A (チャンネル1 / チャンネル1A 転送終了)	74	H'0128		
	DEND1B (チャンネル1B 転送終了)	75	H'012C		
SCI チャンネル0	ERI0 (受信エラー0)	80	H'0140	IPRJ2 ~ IPRJ0	
	RXI0 (受信完了0)	81	H'0144		
	TXI0 (送信データエンプティ0)	82	H'0148		
	TEI0 (送信終了0)	83	H'014C		
SCI チャンネル1	ERI1 (受信エラー1)	84	H'0150	IPRK6 ~ IPRK4	
	RXI1 (受信完了1)	85	H'0154		
	TXI1 (送信データエンプティ1)	86	H'0158		
	TEI1 (送信終了1)	87	H'015C		
SCI チャンネル2*3	ERI2 (受信エラー2)	88	H'0160	IPRK2 ~ IPRK0	
	RXI2 (受信完了2)	89	H'0164		
	TXI2 (送信データエンプティ2)	90	H'0168		
	TEI2 (送信終了2)	91	H'016C		
8ビットタイム チャンネル2*4	CMIA2 (コンペアマッチ A2)	92	H'0170	IPRL6 ~ IPRL4	
	CMIB2 (コンペアマッチ B2)	93	H'0174		
	OVI2 (オーバフロー2)	94	H'0178		
-	リザーブ	95	H'017C		
8ビットタイム チャンネル3*4	CMIA3 (コンペアマッチ A3)	96	H'0180		
	CMIB3 (コンペアマッチ B3)	97	H'0184		
	OVI3 (オーバフロー3)	98	H'0188		
-	リザーブ	99	H'018C		
					↓ 低

## 5. 割り込みコントローラ

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス*1	IPR*2	優先 順位
			アドバンスモード		
IIC チャンネル0*4 【オプション】	IIC0 (1バイト送信 / 受信完了)	100	H'0190	IPRL2 ~ IPRL0	↑ 高          低
	リザーブ	101	H'0194		
IIC チャンネル1*4 【オプション】	IIC1 (1バイト送信 / 受信完了)	102	H'0198	IPRL2 ~ IPRL0	
	リザーブ	103	H'019C		
IEB*6	IERSI (受信ステータス)	104	H'01A0	IPRM6 ~ IPRM4	
	IERXI (RxRDY)	105	H'01A4		
	IETXI (TxRDY)	106	H'01A8		
	IETSI (送信ステータス)	107	H'01AC		
SCI チャンネル 3	ERI3 (受信エラー3)	120	H'01E0	IPRO6 ~ IPRO4	
	RXI3 (受信完了3)	121	H'01E4		
	TXI3 (送信データエンプティ3)	122	H'01E8		
	TEI3 (送信終了3)	123	H'01EC		

【注】 \*1 先頭アドレスの下位 16 ビットを示しています。

\*2 対応する割り込みのない IPR6 ~ IPR4 ビット、IPR2 ~ IPR0 ビットはリザーブビットとなります。リードすると常に 0 が読み出されます。ライトは無効です。

\*3 H8S/2227 グループにはありません。

\*4 H8S/2237 グループ、H8S/2227 グループにはありません。

\*5 H8S/2239 グループのみです。

\*6 H8S/2258 グループのみです。

## 5.5 割り込み動作

### 5.5.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.3 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、IPR による割り込み優先順位の設定、および、CPU の CCR の I ビット、EXR の I2 ~ I0 ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.3 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0		1	1ビットにより、割り込みマスク制御を行います。
		1			設定禁止
2	1	0	IPR	12~10	12~10ビットにより、8レベルの割り込みマスク制御 を行います。 IPRにより、8レベルの優先順位の設定ができます。
		1			設定禁止

図 5.4 に優先順位判定回路のブロック図を示します。

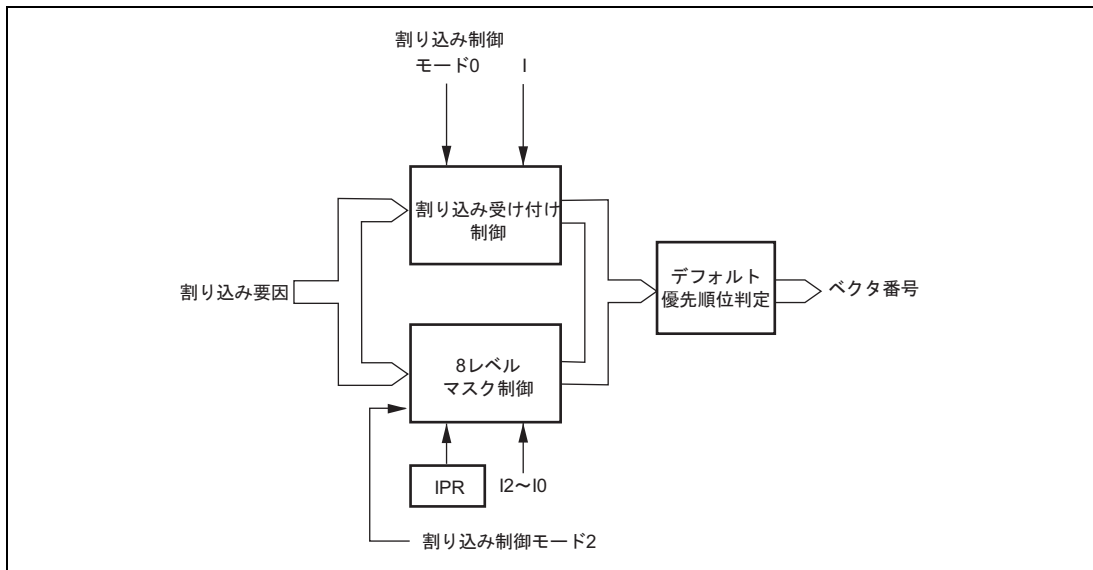


図 5.4 割り込み制御動作のブロック図

## 5. 割り込みコントローラ

---

### (1) 割り込み受け付け制御

割り込み制御モード0のとき、CCRのIビットにより割り込み受け付け制御を行います。

表5.4に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.4 割り込み制御モードと選択される割り込み (1)

割り込み制御モード	割り込みマスクビット	選択される割り込み
	I	
0	0	すべての割り込み
	1	NMI 割り込み
2	*	すべての割り込み

【記号説明】\* : Don't care

### (2) 8レベル制御

割り込み制御モード2のとき、割り込み受け付け制御において、選択された割り込みに対して割り込みプライオリティレベル (IPR) に従った8レベルのマスクレベル判定を行います。

IPRで設定したプライオリティレベルが、マスクレベルよりも大きく、かつ最もプライオリティレベルの高い割り込み要因を選択します。

表 5.5 割り込み制御モードと選択される割り込み (2)

割り込み制御モード	選択される割り込み
0	すべての割り込み
2	プライオリティレベルがマスクレベルより大きい (IPR > I2 - I0) かつプライオリティレベル (IPR) が最大の割り込み

## (3) デフォルト優先順位判定

8レベル制御において選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

IPR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択しベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位を持った割り込み要因は保留されます。

表 5.6 に割り込み制御モードと動作および制御信号機能を示します。

表 5.6 割り込み制御モードと動作および制御信号機能

割り込み制御 モード	設 定		割り込み受け付け制御		8レベル制御			デフォルト優先順位 判定	T (トレース)
	INTM1	INTM0		I		I2-I0	IPR		
0	0	0		IM	x	-	- *2		-
2	1	0	x	- *1		IM	PR		T

## 【記号説明】

- : 割り込み動作制御を行います。
- x : 動作しません (割り込みはすべて許可)。
- IM : 割り込みマスクビットとして使用。
- PR : 優先順位を設定。
- : 使用しません。

【注】 \*1 割り込み受け付け時に 1 にセットされます。

\*2 初期設定値を保持してください。

## 5. 割り込みコントローラ

---

### 5.5.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビットによって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。

この場合の割り込み受け付けの動作フローチャートを図 5.5 に示します。

1. 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
2. I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI 割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
3. 割り込みコントローラに対して割り込み要求が送られ、優先順位に従って最高位の割り込みが選択され、その他は保留となります。
4. 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了したあと、割り込み例外処理を起動します。
5. 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
6. 次に CCR の I ビットが 1 にセットされます。これにより、NMI を除く割り込みはマスクされます。
7. 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。



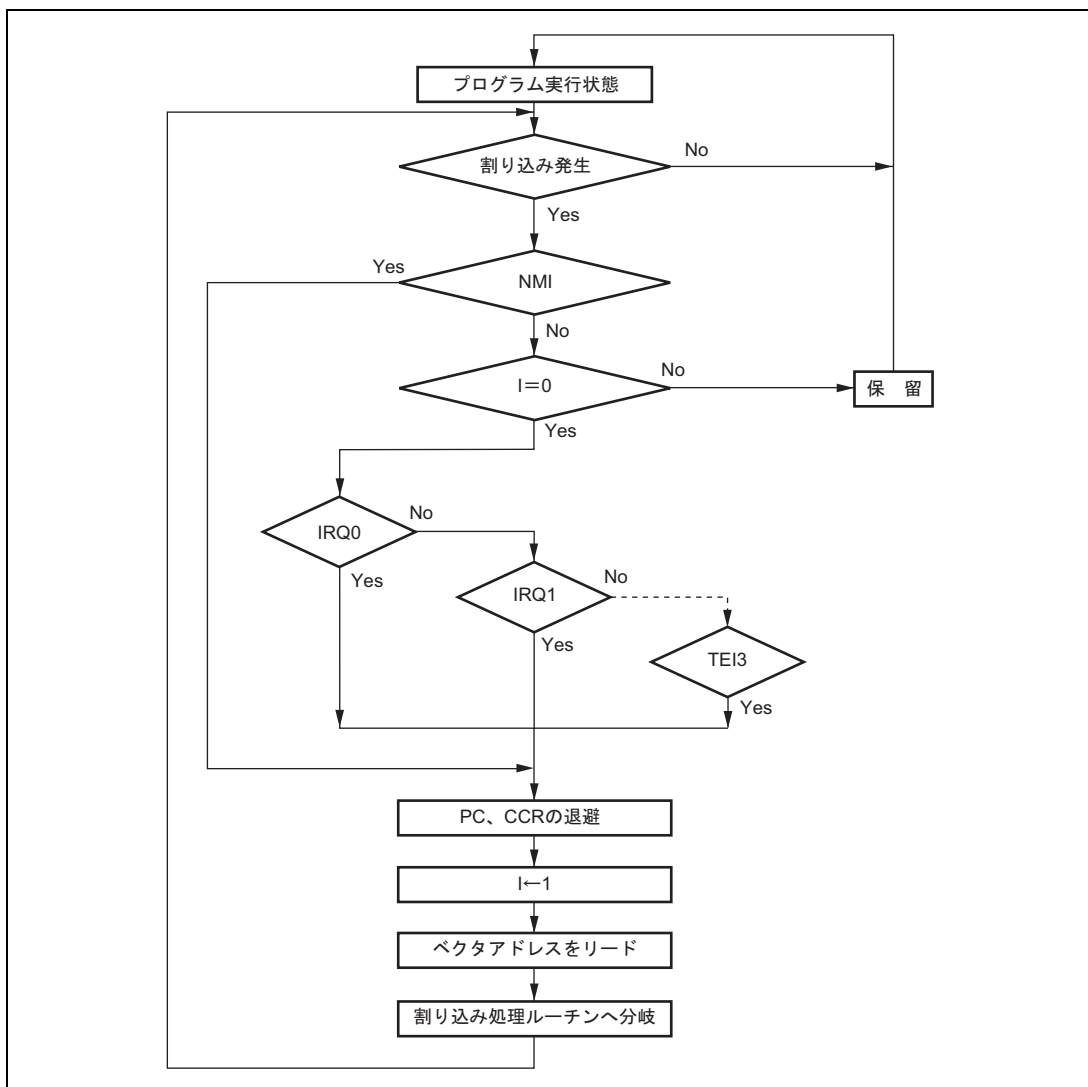


図 5.5 割り込み制御モード 0 の割り込み受け付けまでのフロー

## 5. 割り込みコントローラ

---

### 5.5.3 割り込み制御モード 2

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の EXR の割り込みマスクレベル( I2~I0 ビット) と IPR との比較によって 8 レベルのマスクレベルを実現できます。

このときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

1. 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
2. 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込みプライオリティレベルに従って最も優先順位の高い割り込みが選択され、それより低位の優先順位の割り込み要求は保留となります。このとき、同一優先順位の割り込み要求が同時に複数個発生したときは、表5.2に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
3. その後、選択された割り込み要求の優先順位とEXRの割り込みマスクレベルとが比較されます。ここで、そのときに設定されていたマスクレベル以下の要求は保留され、割り込みマスクレベルより優先順位の高い割り込み要求だけが受け付けられます。
4. 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了したあと、割り込み例外処理を起動します。
5. 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。  
受け付けた割り込みがNMIのとき、割り込みマスクレベルはH'7に設定されます。
7. 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

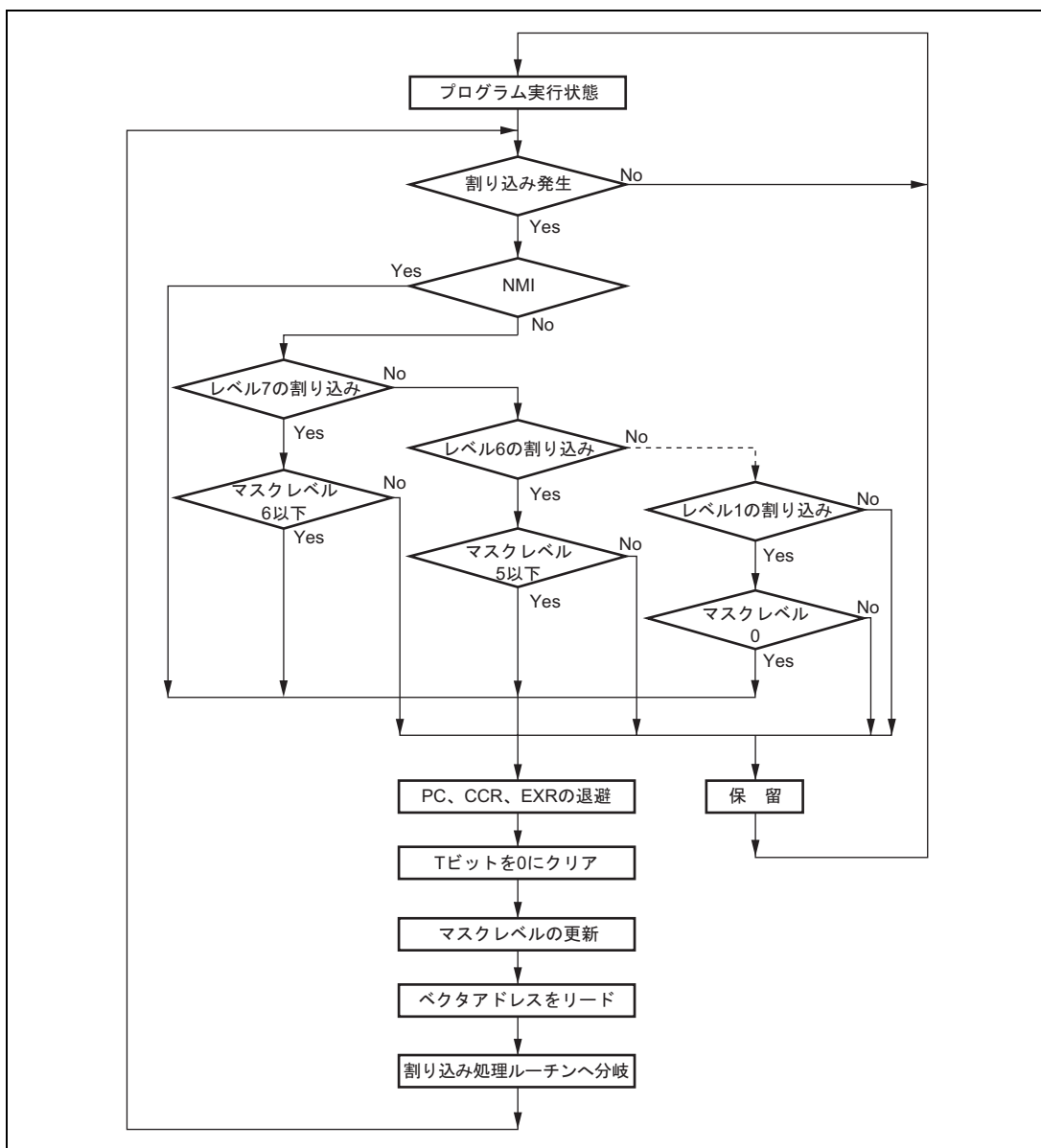


図 5.6 割り込み制御モード 2 の割り込み受け付けまでのフロー

#### 5.5.4 割り込み例外処理シーケンス

図 5.7 に、割り込み例外処理シーケンスを示します。アドバンスドモードで割り込み制御モード 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

## 5. 割り込みコントローラ

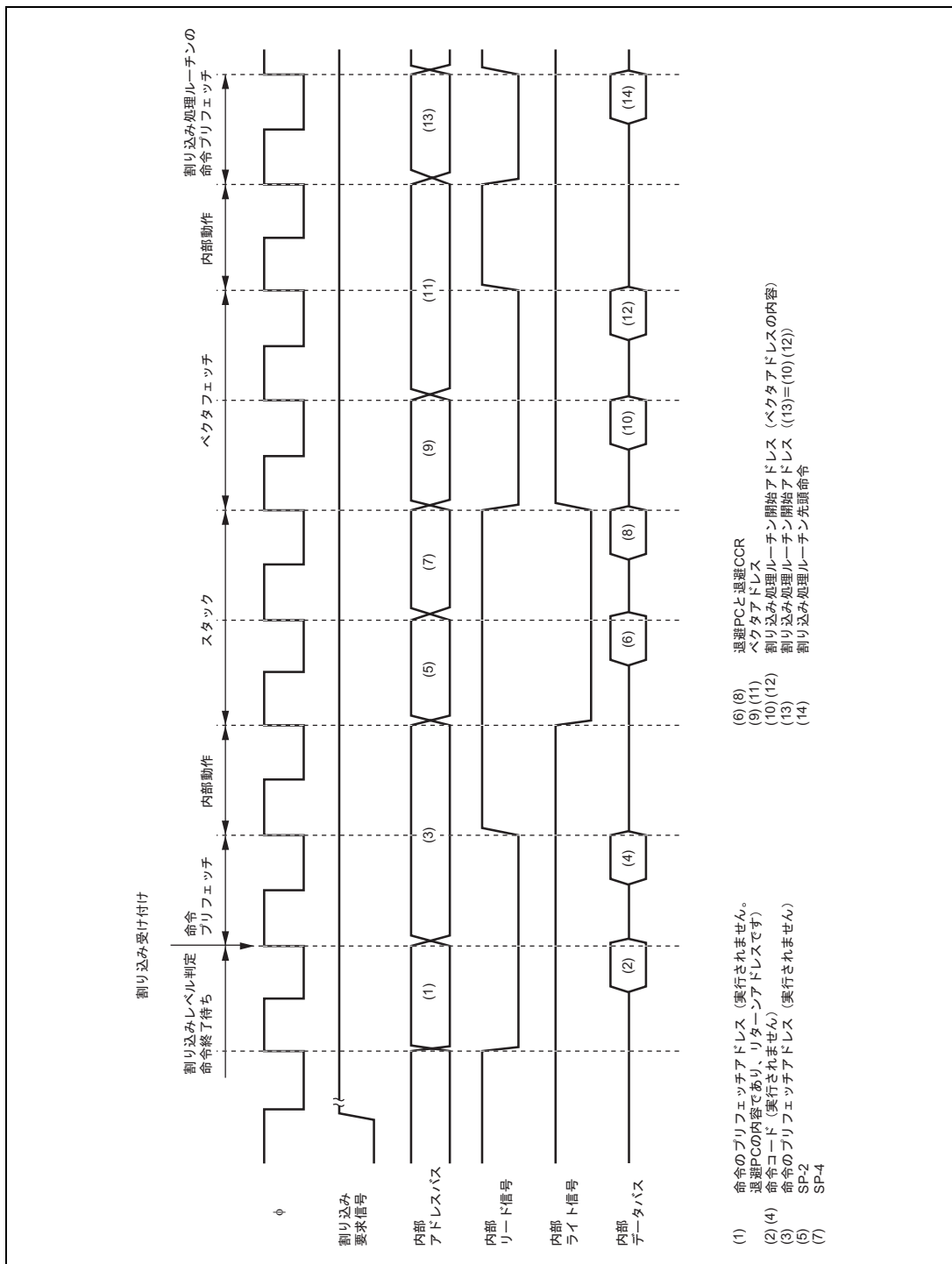


図 5.7 割り込み例外処理

### 5.5.5 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.7 に示します。表 5.7 の実行状態の記号については表 5.8 を参照してください。

表 5.7 割り込み応答時間

No	実行状態	ノーマルモード*5		アドバンスモード	
		INTM1 = 0	INTM1 = 1	INTM1 = 0	INTM1 = 1
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ちステート数*2	$(1 \sim 19) + 2 \cdot S_i$			
3	PC、CCR、および EXR のスタック	$2 \cdot S_K$	$3 \cdot S_K$	$2 \cdot S_K$	$3 \cdot S_K$
4	ベクタフェッチ	$S_i$		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計（内蔵メモリ使用時）		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

- 【注】 \*1 内部割り込みの場合 2 ステートとなります。  
 \*2 MULXS、DIVXS 命令について示しています。  
 \*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。  
 \*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。  
 \*5 本 LSI では使用できません。

表 5.8 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ $S_i$	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード $S_j$					
スタック操作 $S_k$					

## 【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

### 5.5.6 割り込みによる DTC、DMAC\*の起動

割り込みにより、DTC、DMAC\*を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求

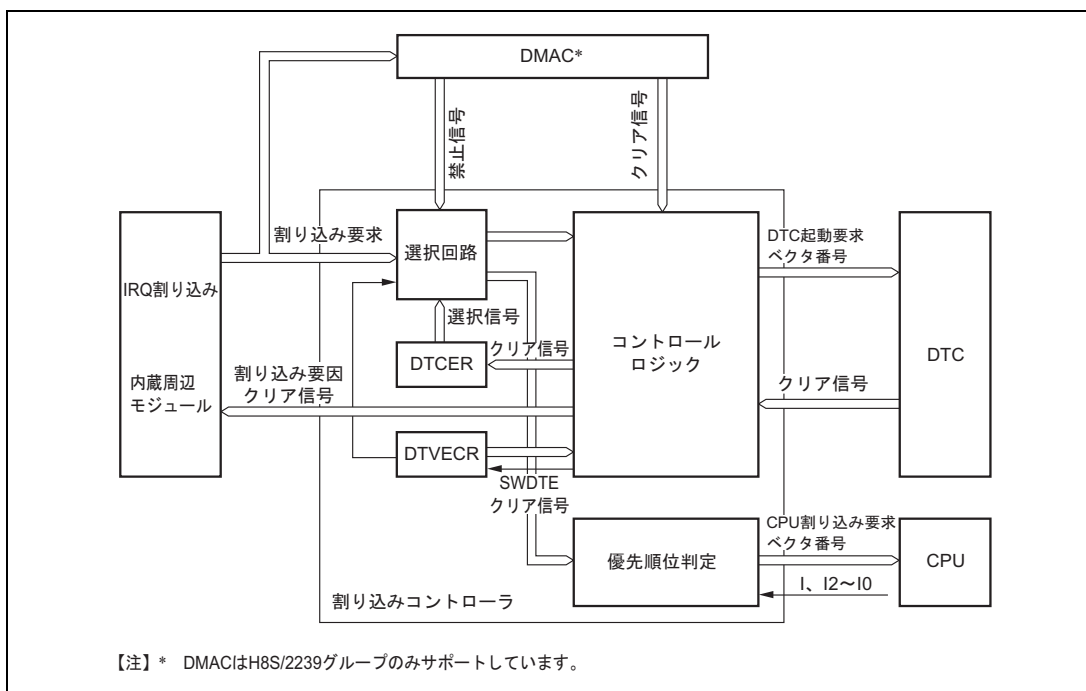
## 5. 割り込みコントローラ

2. DTCに対する起動要求
3. DMACに対する起動要求\*
4. 1.~3.の複数の選択

なお、DTC、DMAC\*を起動できる割り込み要求については、「第8章 DMAコントローラ(DMAC)」および「第9章 データ転送コントローラ(DTC)」を参照してください。

図5.8に、DTC、DMAC\*と割り込みコントローラのブロック図を示します。

【注】 \* DMACはH8S/2239グループのみサポートしています。



【注】 \* DMACはH8S/2239グループのみサポートしています。

図 5.8 DTC、DMAC\*と割り込み制御

### (1) 割り込み要因の選択

DMAC\*は、各チャンネルに直接、起動要因が入力されます。DMAC\*の各チャンネルの起動要因はDMACRのDTF3~DTF0ビットにより選択します。選択した起動要因をDMAC\*が管理するかを、DMABCRのDTAビットによって選択することができます。DTAビットを1にセットすると、そのDMAC\*の起動要因になった割り込み要因は、DTCの起動要因およびCPUの割り込み要因にはなりません。

DMAC\*に管理されている割り込み以外の割り込み要因は、DTCのDTCERA~DTCERFのDTCEビットにより、DTC起動要求や、CPU割り込み要求を選択します。

DTCのMRBのDISELビットの指定により、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE もビットを 0 にクリアして、CPU に割り込みを要求します。

【注】 \* DMAC は H8S/2239 グループのみサポートしています。

#### (2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「9.4 レジスタ情報の配置と DTC ベクタテーブル」を参照してください。

DMAC\*は、各チャンネルに直接起動要因が入力されます。

【注】 \* DMAC は H8S/2239 グループのみサポートしています。

#### (3) 動作順序

同一の割り込みを、DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割り込み例外処理が行われます。

同一の割り込みを、DMAC\*の起動要因と、DTC の起動要因または CPU の割り込み要因に選択した場合、これらは独立に動作を行います。それぞれの動作状態およびバス権の優先順位に従います。

表 5.6 に、DMAC\*の DMABCR の DTA ビット、DTC の DTCERA ~ DTCERF の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

【注】 \* DMAC は H8S/2239 グループのみサポートしています。

表 5.9 割り込み要因の選択とクリア制御

設定内容			割り込み要因選択・クリア制御		
DMAC* <sup>1</sup>	DTC		DMAC* <sup>1</sup>	DTC	CPU
DTA	DTCE	DISEL			
0	0	*		×	
	1	0			×
		1			
1	*	*		×	×

#### 【記号説明】

: 当該割り込みを使用します。割り込み要因のクリアを行います。

(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)

: 当該割り込みを使用します。割り込み要因をクリアしません。

× : 当該割り込みは使用できません。

\* : Don't care

【注】 \*<sup>1</sup> DMAC は H8S/2239 グループのみサポートしています。

#### (4) 使用上の注意

SCI および A/D 変換器の割り込み要因は、DMAC\*または DTC が所定のレジスタをリード/ライトしたときにクリアされ、DTA ビット、DTCE ビット、DISEL ビットには依存しません。

【注】 \* DMAC は H8S/2239 グループのみサポートしています。

## 5.6 使用上の注意事項

### 5.6.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込み要求を禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

8ビットタイマのTCRのCMIEAビットを0にクリアする場合の例を図5.9に示します。

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

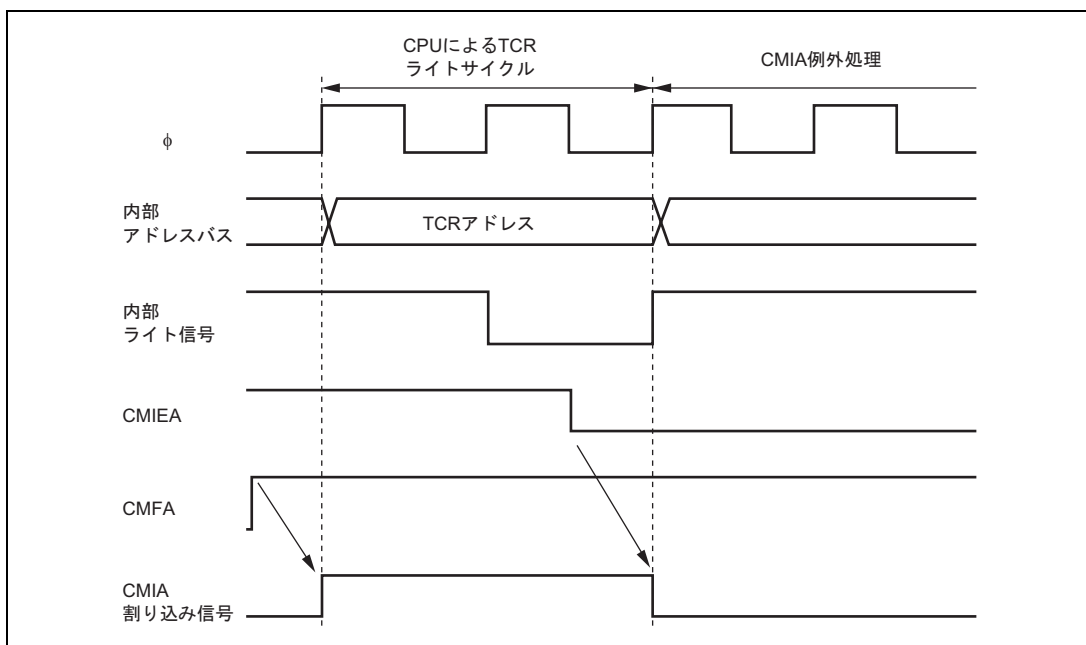


図 5.9 割り込みの発生とディスエーブルの競合



## 5.6.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。

これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

## 5.6.3 割り込み禁止期間

割り込みコントローラには割り込み受け付けを禁止している期間があります。

CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新したあとの 3 ステート期間は、割り込みコントローラは割り込みの受け付けを禁止します。

## 5.6.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W  R4,R4
      BNE   L1
```

## 5.6.5 IRQ 割り込み

クロック動作時、IRQ はクロック同期で入力を受け付けます。

ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード時は非同期で入力を受け付けます。

入力条件については「第 27 章 電気的特性」の「制御信号タイミング」を参照してください。

## 5.6.6 NMI 割り込み使用上の注意

NMI 割り込みは、電気的特性で規定された条件下で正常に動作している場合に、本 LSI に内蔵している割り込みコントローラ、CPU の連携で実行される例外処理です。ソフトウェアの不具合や、LSI 端子への異常入力などで正常動作を行っていない場合（暴走状態）は、NMI 割り込みを含めすべての動作は保証されません。本ケースにおいては、外部リセットを投入することで、再び、LSI を正常のプログラム実行状態に遷移させることが可能です。

## 5. 割り込みコントローラ

---

---

## 6. PC ブレークコントローラ (PBC)

---

PC ブレークコントローラ (PBC) は、プログラムデバックを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッガを容易に作成でき、インサーキットエミュレータを使用しなくても LSI 単体で手軽にプログラムをデバックできます。PC ブレークコントローラのブロック図を図 6.1 に示します。

### 6.1 特長

- チャンネル数：2チャンネル (チャンネルA、B)
- ブレークアドレス：24ビット
  - 部分的にマスク可能
- コンペア条件：4種類
  - 命令フェッチ
  - データリード
  - データライト
  - データリード/ライト
- 対象バスマスタ
  - CPU、CPU / DTCのいずれか選択可能
- ブレーク条件成立後、下記タイミングでPCブレーク例外処理を実行
  - 設定したアドレスでフェッチした命令の実行直前 (命令フェッチ)
  - 設定したアドレスのデータをアクセスする命令の実行直後 (データアクセス)
- モジュールストップモードの設定可能

## 6. PC ブレークコントローラ (PBC)

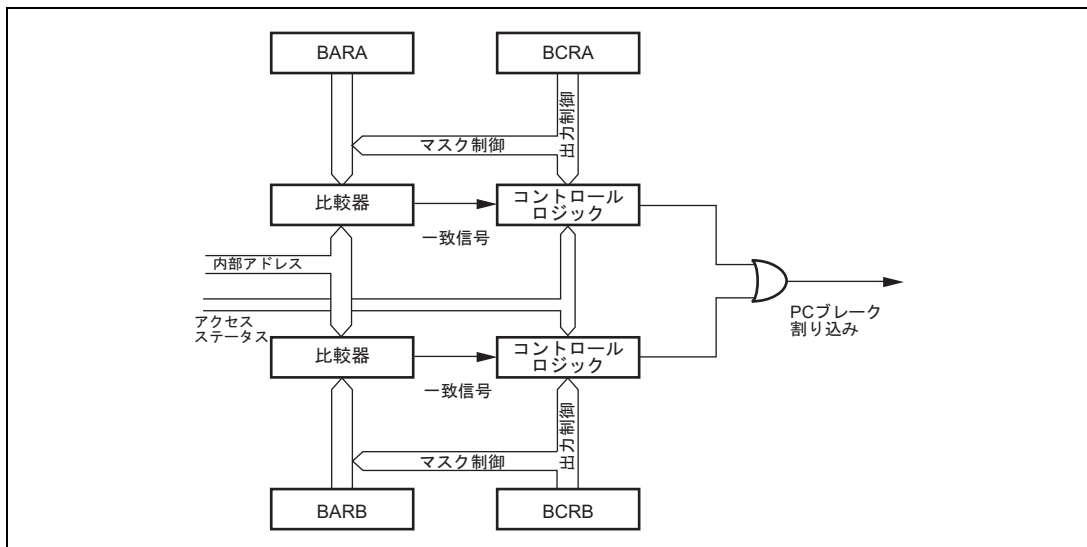


図 6.1 PC ブレークコントローラのブロック図

### 6.2 レジスタの説明

PC ブレークコントローラには以下のレジスタがあります。

- ブレークアドレスレジスタA (BARA)
- ブレークアドレスレジスタB (BARB)
- ブレークコントロールレジスタA (BCRA)
- ブレークコントロールレジスタB (BCRB)

#### 6.2.1 ブレークアドレスレジスタ A (BARA)

BARA は、32 ビットのリード/ライト可能なレジスタで、チャンネル A のブレークアドレスを指定します。

ビット	ビット名	初期値	R/W	説明
31~24		不定		リザーブビット リード値は不定で、ライトは無効です。
23~0	BAA23~BAA0	すべて 0	R/W	ブレークアドレス 23~0 チャンネル A の PC ブレークのアドレスを設定します。

#### 6.2.2 ブレークアドレスレジスタ B (BARB)

チャンネル B のブレークアドレスレジスタです。ビット構成は BARA と同様です。

### 6.2.3 ブレークコントロールレジスタ A (BCRA)

BCRA はチャンネル A の PC ブレークを制御します。

ビット	ビット名	初期値	R/W	説明
7	CMFA	0	R/(W)* <sup>1</sup>	コンディションマッチフラグ A [セット条件] • チャンネル A に設定したブレーク条件が成立したとき [クリア条件] • 1 の状態をリード* <sup>2</sup> 後、0 をライトしたとき
6	CDA	0	R/W	CPU サイクル / DTC サイクルセレクト A チャンネル A のブレーク条件のバスマスタを選択します。 0 : CPU 1 : CPU または DTC、DMAC* <sup>3</sup>
5 4 3	BAMRA2 BAMRA1 BAMRA0	0 0 0	R/W R/W R/W	ブレークアドレスマスクレジスタ A2 ~ A0 BARA に設定されているブレークアドレスの有効ビットを指定します。 000 : BAA23 ~ 0 (全ビット有効) 001 : BAA23 ~ 1 (下位 1 ビットをマスク) 010 : BAA23 ~ 2 (下位 2 ビットをマスク) 011 : BAA23 ~ 3 (下位 3 ビットをマスク) 100 : BAA23 ~ 4 (下位 4 ビットをマスク) 101 : BAA23 ~ 8 (下位 8 ビットをマスク) 110 : BAA23 ~ 12 (下位 12 ビットをマスク) 111 : BAA23 ~ 16 (下位 16 ビットをマスク)
2 1	CSELA1 CSELA0	0 0	R/W R/W	ブレーク条件選択 チャンネル A のブレーク条件を選択します。 00 : 命令フェッチ 01 : データリードサイクル 10 : データライトサイクル 11 : データリード / ライトサイクル
0	BIEA	0	R/W	ブレーク割り込みイネーブル 1 のときチャンネル A の PC ブレーク割り込み要求がイネーブルになります。

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 PC ブレーク割り込みを禁止して、CMFA をポーリングした場合、CMFA=1 の状態を 2 回以上リードしてください。

\*3 H8S/2239 グループのみです。

### 6.2.4 ブレークコントロールレジスタ B (BCRB)

チャンネル B のブレークコントロールレジスタです。ビット構成は BCRA と同様です。

### 6.3 動作説明

チャンネルAを例にブレーク条件の初期設定からPCブレーク割り込み例外処理までの動作の流れを「6.3.1 命令フェッチによるPCブレーク割り込み動作」、「6.3.2 データアクセスによるPCブレーク割り込み動作」に示します。

#### 6.3.1 命令フェッチによるPCブレーク割り込み動作

1. ブレークアドレスをBARAに設定します。

命令フェッチによるPCブレークでは、命令の第1バイトが存在するアドレスにブレークアドレスを設定してください。

2. ブレーク条件をBCRAに設定します。

命令フェッチによるPCブレークではバスマスタはCPUに限定されるため、ビット6 (CDA) には0を設定してCPUを選択してください。ビット5~3 (BAMRA2~0) にマスクするアドレスのビットを設定します。ビット2、1 (CSELA1、0) には00を設定して命令フェッチをブレーク条件とします。ビット0 (BIEA) には1を設定してブレーク割り込みをイネーブルにします。

3. 設定したアドレスの命令をフェッチすると、フェッチした命令を実行する直前でPCブレーク割り込み要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。
4. 割り込みコントローラで優先順位判定後、PCブレーク割り込み例外処理を開始します。

#### 6.3.2 データアクセスによるPCブレーク割り込み動作

1. ブレークアドレスをBARAに設定します。

データアクセスによるPCブレークでは、ブレークアドレスを対象のROMまたはRAM、I/Oあるいは外部アドレス空間のアドレスに設定してください。データアクセスにはスタック動作や分岐アドレスのリードも含まれます。

2. ブレーク条件をBCRAに設定します。

ビット6 (CDA) でバスマスタを選択してください。ビット5~3 (BAMRA2~0) にマスクするアドレスのビットを設定します。ビット2、1 (CSELA1、0) に01、10、または11を設定してデータアクセスのブレーク条件を設定します。ビット0 (BIEA) には1を設定してブレーク割り込みをイネーブルにします。

3. 設定したアドレスのデータをアクセスした命令の実行後、PCブレーク割り込み要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。
4. 割り込みコントローラで優先順位判定後、PCブレーク割り込み例外処理を開始します。

### 6.3.3 データ連続転送時の PC ブレーク動作

- EEPMOV.B命令の転送アドレスにPCブレーク割り込みが発生した場合  
すべてのデータの転送が終了しEEPMOV.B命令が終了したあと、PCブレーク例外処理を実行します。
- DTCの転送アドレスにブレーク割り込みが発生した場合  
DTCが指定された回数のデータ転送を終了したあと、あるいはDISELビットが1にセットされたデータを転送終了したあと、PCブレーク例外処理を実行します。

### 6.3.4 低消費電力モード遷移時の動作

SLEEP 命令の次のアドレスの命令フェッチに PC ブレーク割り込みを設定した場合、以下のように動作します。

- SLEEP命令により高速（中速）モードからスリープモードへ、サブアクティブモードからサブスリープモードへ遷移する場合  
SLEEP命令実行後、スリープモード、サブスリープモードに遷移せず、PCブレーク例外処理を実行します。PCブレーク例外処理実行後、SLEEP命令の次のアドレスの命令を実行します（図6.2（A））。
- SLEEP命令により高速モードからサブアクティブへ遷移する場合（図6.2（B））
- SLEEP命令によりサブアクティブから高速（中速）モードへ遷移する場合（図6.2（C））
- SLEEP命令によりソフトウェアスタンバイモード、ウォッチモードへ遷移する場合  
SLEEP命令実行後、各モードに遷移し、PCブレーク例外処理は実行しません。ただし、CMFA、CMFBはセットされます（図6.2（D））。

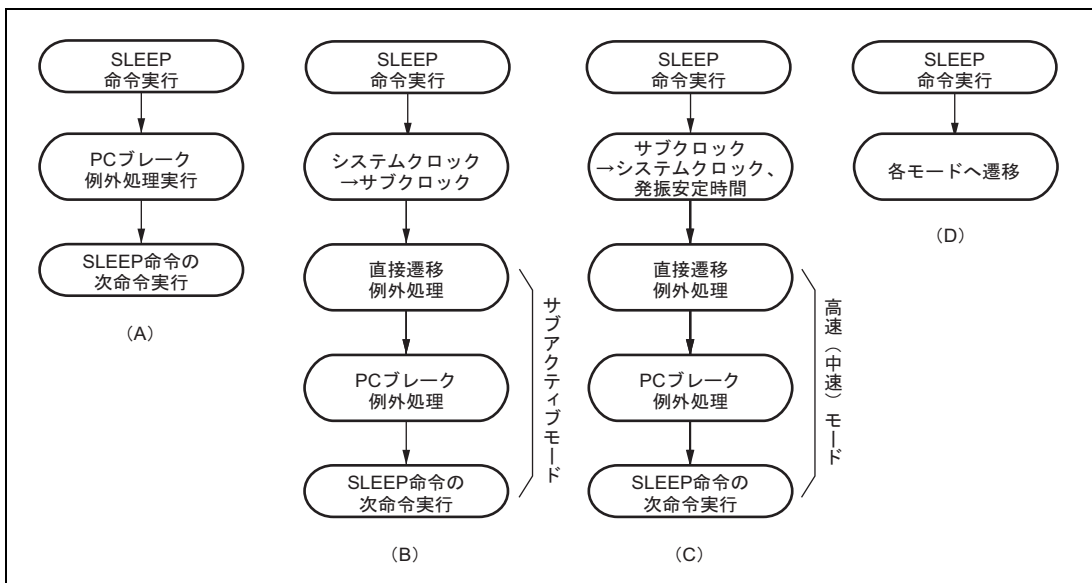


図 6.2 低消費電力モード遷移時の動作

## 6. PC ブレークコントローラ (PBC)

---

### 6.3.5 命令実行が1ステート遅れる場合

ブレーク割り込みイネーブルビットがセットされている期間、通常の動作と比較して以下の命令の実行が1ステート遅れます。

- 内蔵ROM/RAM内に存在する1ワード分岐命令 ( Bcc d:8, BSR, JSR, JMP, TRAPA, RTE, RTS )
- 命令フェッチによるブレーク割り込みを設定した場合で、ブレークアドレスが内蔵ROM/RAM空間にあって、同一アドレスをデータアクセスする命令
- 命令フェッチによるブレーク割り込みが発生する場合で、設定した命令より1つ前に実行される命令が以下のアドレッシングモードを持ち、そのアドレスが内蔵ROM/RAM空間にある場合  
( @ERn,@( d:16,ERn ),@( d:32,ERn ),@-ERn/ERn+,@aa:8,@aa:24,@aa:32,@( d:8,PC ), @( d:16,:PC ),@@aa:8 )
- 命令フェッチによるブレーク割り込みが発生する場合で、設定した命令より1つ前に実行される命令が NOP、SLEEPであるか、あるいは#xx,Rnをアドレッシングモードとして持ち、かつその命令が内蔵ROM/RAM空間に存在する場合

## 6.4 使用上の注意事項

### 6.4.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PBC の動作禁止 / 許可を設定することが可能です。初期値では、PBC の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

### 6.4.2 PC ブレーク割り込み

PC ブレーク割り込みは、チャンネル A とチャンネル B の兼用です。割り込み処理の中でどちらのチャンネルからの要求かを判定してください。

### 6.4.3 CMFA、CMFB

CMFA、CMFB は自動的にクリアされませんので、CMFA = 1 または CMFB = 1 の状態で、CMFA または CMFB をリード後、0 をライトしてください。1 にセットしたままの状態では、割り込み処理後、再度割り込み要求が発生します。

### 6.4.4 DTC、DMAC\*がバスマスタのときに発生した PC ブレーク割り込み

DTC、DMAC\*がバスマスタのときに発生した PC ブレーク割り込みはバス権が CPU に移行したあと、受け付けられません。

【注】 \* H8S/2239 グループのみです。



#### 6.4.5 BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令フェッチに PC ブレークを設定した場合

BSR、JSR、JMP、TRAPA、RTE、RTS の次のアドレスの命令はフェッチされても実行しないため、次のアドレスの命令フェッチで PC ブレーク割り込みは発生しません。

#### 6.4.6 LDC、ANDC、ORC、XORC 命令により I ビットを設定した場合

LDC、ANDC、ORC、XORC 命令により I ビットを設定した場合、実行命令終了の 2 ステート後に PC ブレーク割り込みが有効になります。また、これらの命令の次命令に PC ブレーク割り込みを設定した場合、LDC、ANDC、ORC、XOR は、3 ステート期間、NMI 割り込みを含めて割り込みが禁止されるため、必ず次の命令を実行します。詳細は「第 5 章 割り込みコントローラ」を参照してください。

#### 6.4.7 Bcc 命令の次のアドレスの命令フェッチに PC ブレークを設定した場合

分岐条件により次のアドレスの命令を実行するときは PC ブレーク割り込みが発生しますが、次のアドレスの命令を実行しないときは PC ブレーク割り込みが発生しません。

#### 6.4.8 Bcc 命令の分岐先のアドレスの命令フェッチに PC ブレークを設定した場合

分岐条件により分岐先の命令を実行するときは PC ブレーク割り込みが発生しますが、分岐先の命令を実行しないときは PC ブレーク割り込みが発生しません。

## 6. PC ブレークコントローラ (PBC)

---

---

## 7. バスコントローラ

---

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。また、バスコントローラはバス権調停機能を持っており、内部バスマスタである CPU、DMA コントローラ (DMAC\*) およびデータトランスファコントローラ (DTC) の動作を制御します。

【注】 \* H8S/2239 グループのみです。

### 7.1 特長

- 外部アドレス空間をエリア単位で管理
  - 外部アドレス空間を 2M バイト単位の 8 エリアに分割して管理
  - エリアごとにバス仕様を設定可能
  - バーストROM インタフェースを設定可能
- 基本バスインタフェース
  - エリア 7~0 に対してチップセレクト ( $\overline{CS7}$ ~ $\overline{CS0}$ ) を出力可能
  - エリアごとに、8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
  - エリアごとに、2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
  - エリアごとに、プログラムウェイトステートを挿入可能
- バーストROM インタフェース
  - エリア 0 に対してバーストROM インタフェースを設定可能
  - バーストアクセスの 1 または 2 ステートを選択可能
- アイドルサイクル挿入
  - 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
  - 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能
- バス権調停機能 (バスアービトレーション)
  - バスアービタを内蔵し、CPU、DMAC\* および DTC のバス権を調停
- その他
  - 外部バス権解放機能

【注】 \* H8S/2239 グループのみです。

## 7. バスコントローラ

バスコントローラのブロック図を図 7.1 に示します。

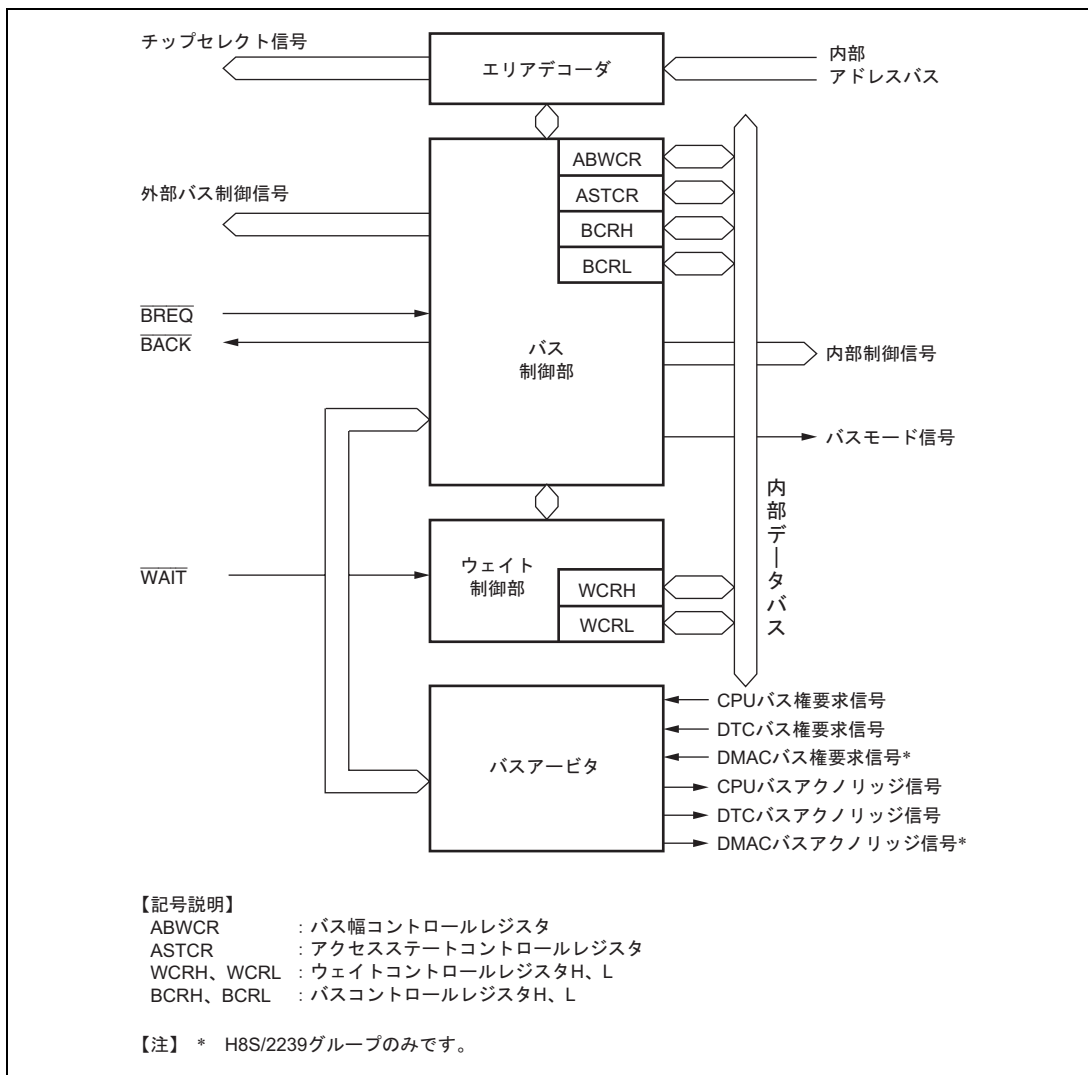


図 7.1 バスコントローラのブロック図

## 7.2 入出力端子

表 7.1 にバスコントローラの端子構成を示します。

表 7.1 端子構成

名称	記号	入出力	機能
アドレスストロープ	$\overline{AS}$	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号。
リード	$RD$	出力	外部アドレス空間をリードしていることを示すストロープ信号。
ハイライト	$\overline{HWR}$	出力	外部アドレス空間をライトし、データバスの上位側 (D15～D8) が有効であることを示すストロープ信号。
ローライト	$\overline{LWR}$	出力	外部アドレス空間をライトし、データバスの下位側 (D7～D0) が有効であることを示すストロープ信号。
チップセレクト 7～0	$CS7 \sim CS0$	出力	エリア 7～0 が選択されていることを示すストロープ信号。
ウェイト	$\overline{WAIT}$	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号。
バス権要求	$\overline{BREQ}$	入力	バス権を外部に解放する要求信号。
バス権要求アクノリッジ	$BACK$	出力	バス権を解放したことを示すアクノリッジ信号。

## 7.3 レジスタの説明

以下にバスコントローラのレジスタ構成を示します。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタH (WCRH)
- ウェイトコントロールレジスタL (WCRL)
- バスコントロールレジスタH (BCRH)
- バスコントロールレジスタL (BCRL)
- 端子機能コントロールレジスタ (PFCR)

## 7. バスコントローラ

### 7.3.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ABWCR は、外部メモリ空間のデータバス幅を設定します。内蔵メモリおよび内部 I/O レジスタのバス幅は ABWCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7	ABW7	1/0*	R/W	エリア 7~0 バス幅コントロール
6	ABW6	1/0*	R/W	対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。
5	ABW5	1/0*	R/W	
4	ABW4	1/0*	R/W	0 : エリア n を 16 ビットアクセス空間に設定
3	ABW3	1/0*	R/W	1 : エリア n を 8 ビットアクセス空間に設定
2	ABW2	1/0*	R/W	【注】 n = 7~0
1	ABW1	1/0*	R/W	
0	ABW0	1/0*	R/W	

【注】 \* モード 5~7 では 1、モード 4 では 0 となります。

### 7.3.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7	AST7	1	R/W	エリア 7~0 アクセスステートコントロール
6	AST6	1	R/W	対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。
5	AST5	1	R/W	
4	AST4	1	R/W	同時に、ウェイトステートの挿入を許可または禁止します。
3	AST3	1	R/W	0 : エリア n を 2 ステートアクセス空間に設定
2	AST2	1	R/W	エリア n のアクセスにウェイトステートの挿入を禁止
1	AST1	1	R/W	1 : エリア n を 3 ステートアクセス空間に設定
0	AST0	1	R/W	エリア n のアクセスにウェイトステートの挿入を許可
				【注】 n = 7~0

### 7.3.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRL は、各エリアのプログラムウェイトステート数を選択します。

内蔵メモリおよび内部 I/O レジスタに対しては、プログラムウェイトは挿入されません。

#### • WCRH

ビット	ビット名	初期値	R/W	説明
7 6	W71 W70	1 1	R/W R/W	エリア7ウェイトコントロール1、0 ASTCRのAST7=1のとき、エリア7をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入
5 4	W61 W60	1 1	R/W R/W	エリア6ウェイトコントロール1、0 ASTCRのAST6=1のときでエリア6をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入
3 2	W51 W50	1 1	R/W R/W	エリア5ウェイトコントロール1、0 ASTCRのAST5=1のとき、エリア5をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入
1 0	W41 W40	1 1	R/W R/W	エリア4ウェイトコントロール1、0 ASTCRのAST4=1のとき、エリア4をアクセスするときの、プログラムウェイトステート数を選択します。 00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入

## 7. バスコントローラ

### • WCRL

ビット	ビット名	初期値	R/W	説明
7 6	W31 W30	1 1	R/W R/W	<p>エリア3ウェイトコントロール1、0</p> <p>ASTCRのAST3=1のとき、エリア3をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>
5 4	W21 W20	1 1	R/W R/W	<p>エリア2ウェイトコントロール1、0</p> <p>ASTCRのAST2=1のとき、エリア2をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>
3 2	W11 W10	1 1	R/W R/W	<p>エリア1ウェイトコントロール1、0</p> <p>ASTCRのAST1=1のとき、エリア1をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>
1 0	W01 W00	1 1	R/W R/W	<p>エリア0ウェイトコントロール1、0</p> <p>ASTCRのAST0=1のとき、エリア0をアクセスするときの、プログラムウェイトステート数を選択します。</p> <p>00: プログラムウェイトを挿入しない 01: プログラムウェイトを1ステート挿入 10: プログラムウェイトを2ステート挿入 11: プログラムウェイトを3ステート挿入</p>



## 7.3.4 バスコントロールレジスタ H (BCRH)

BCRH はアイドルサイクル挿入の許可または禁止、エリア 0 のメモリインタフェースの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICIS1	1	R/W	<p>アイドルサイクル挿入 1</p> <p>異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。</p> <p>0: 異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない</p> <p>1: 異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する</p>
6	ICIS0	1	R/W	<p>アイドルサイクル挿入 0</p> <p>外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。</p> <p>0: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない</p> <p>1: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する</p>
5	BRSTRM	0	R/W	<p>バースト ROM イネーブル</p> <p>エリア 0 をバースト ROM インタフェースとするかを選択します。</p> <p>0: エリア 0 は基本バスインタフェース</p> <p>1: エリア 0 はバースト ROM インタフェース</p>
4	BRSTS1	1	R/W	<p>バーストサイクルセレクト 1</p> <p>バースト ROM インタフェースのバーストサイクル数を選択します。</p> <p>0: バーストサイクルは 1 ステート</p> <p>1: バーストサイクルは 2 ステート</p>
3	BRSTS0	0	R/W	<p>バーストサイクルセレクト 0</p> <p>バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。</p> <p>0: バーストアクセスは最大 4 ワード</p> <p>1: バーストアクセスは最大 8 ワード</p>
2~0	-	すべて 0	R/W	<p>リザーブビット</p> <p>ライトするときは 0 をライトしてください。</p>

## 7. バスコントローラ

### 7.3.5 バスコントロールレジスタ L (BCRL)

BCRL は外部バス解放状態のプロトコルの選択、 $\overline{\text{WAIT}}$  端子入力の許可または禁止の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	BRLE	0	R/W	バスリリズイネーブル 外部バス権の解放を許可または禁止します。 0: 外部バス権の解放を禁止。BREQ、BACK は入出力ポートとして使用可 1: 外部バス権の解放を許可
6	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
5	-	0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
3	-	1	R/W	リザーブビット ライトするときは 1 をライトしてください。
2、1	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。
0	WAITE	0	R/W	WAIT 端子イネーブル $\overline{\text{WAIT}}$ 端子によるウェイト入力の許可または禁止を選択します。 0: $\overline{\text{WAIT}}$ 端子によるウェイト入力を禁止。 $\overline{\text{WAIT}}$ 端子は入出力ポートとして使用可 1: $\overline{\text{WAIT}}$ 端子によるウェイト入力を許可

### 7.3.6 端子機能コントロールレジスタ (PFCR)

PFCR は外部拡張モード時のアドレス出力制御を行います。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。
5	BUZZE	0	R/W	BUZZ 出力イネーブル PF1 端子の BUZZ 出力許可 / 禁止します。PSS、CKS2 ~ CKS0 ビットにより選択された WDT_1 の入力クロックを BUZZ 信号として出力します。 0 : PF1 入出力端子として機能 1 : BUZZ 出力端子として機能
4	-	0	R/W	リザーブビット ライトするときは 0 をライトしてください。
3 2 1 0	AE3 AE2 AE1 AE0	1 / 0* 1 / 0* 0 1 / 0*	R/W R/W R/W R/W	アドレス出力イネーブル 3 ~ 0 ROM なし拡張モードと ROM ありモード時のアドレス出力 A23 ~ A8 の許可 / 禁止を選択します。アドレス出力を許可した端子は、対応する DDR に関係なくアドレスが出力されます。アドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力となります。 0000 : A23 ~ A8 出力を禁止 0001 : A8 出力を許可。A23 ~ A9 出力を禁止 0010 : A9、A8 出力を許可。A23 ~ A10 出力を禁止 0011 : A10 ~ A8 出力を許可。A23 ~ A11 出力を禁止 0100 : A11 ~ A8 出力を許可。A23 ~ A12 出力を禁止 0101 : A12 ~ A8 出力を許可。A23 ~ A13 出力を禁止 0110 : A13 ~ A8 出力を許可。A23 ~ A14 出力を禁止 0111 : A14 ~ A8 出力を許可。A23 ~ A15 出力を禁止 1000 : A15 ~ A8 出力を許可。A23 ~ A16 出力を禁止 1001 : A16 ~ A8 出力を許可。A23 ~ A17 出力を禁止 1010 : A17 ~ A8 出力を許可。A23 ~ A18 出力を禁止 1011 : A18 ~ A8 出力を許可。A23 ~ A19 出力を禁止 1100 : A19 ~ A8 出力を許可。A23 ~ A20 出力を禁止 1101 : A20 ~ A8 出力を許可。A23 ~ A21 出力を禁止 1110 : A21 ~ A8 出力を許可。A23、A22 出力を禁止 1111 : A23 ~ A8 出力を許可

【注】 \* モード 5、4 では 1、モード 7、6 では 0 となります。

## 7. バスコントローラ

### 7.4 バス制御

#### 7.4.1 エリア分割

バスコントローラは、アドバンスモードのとき、16M バイトのアドレス空間を 2M バイト単位で、エリア 7 ~ 0 の 8 つのエリアに分割し、エリア単位で外部アドレス空間のバス制御を行います。また、ノーマルモード\*では、エリア 0 の一部の、64K バイトのアドレス空間を制御します。図 7.2 にメモリマップの概要を示します。

各エリアごとに、チップセレクト信号 ( $\overline{CS7} \sim \overline{CS0}$ ) を出力することができます。

【注】 \* 本 LSI では使用できません。

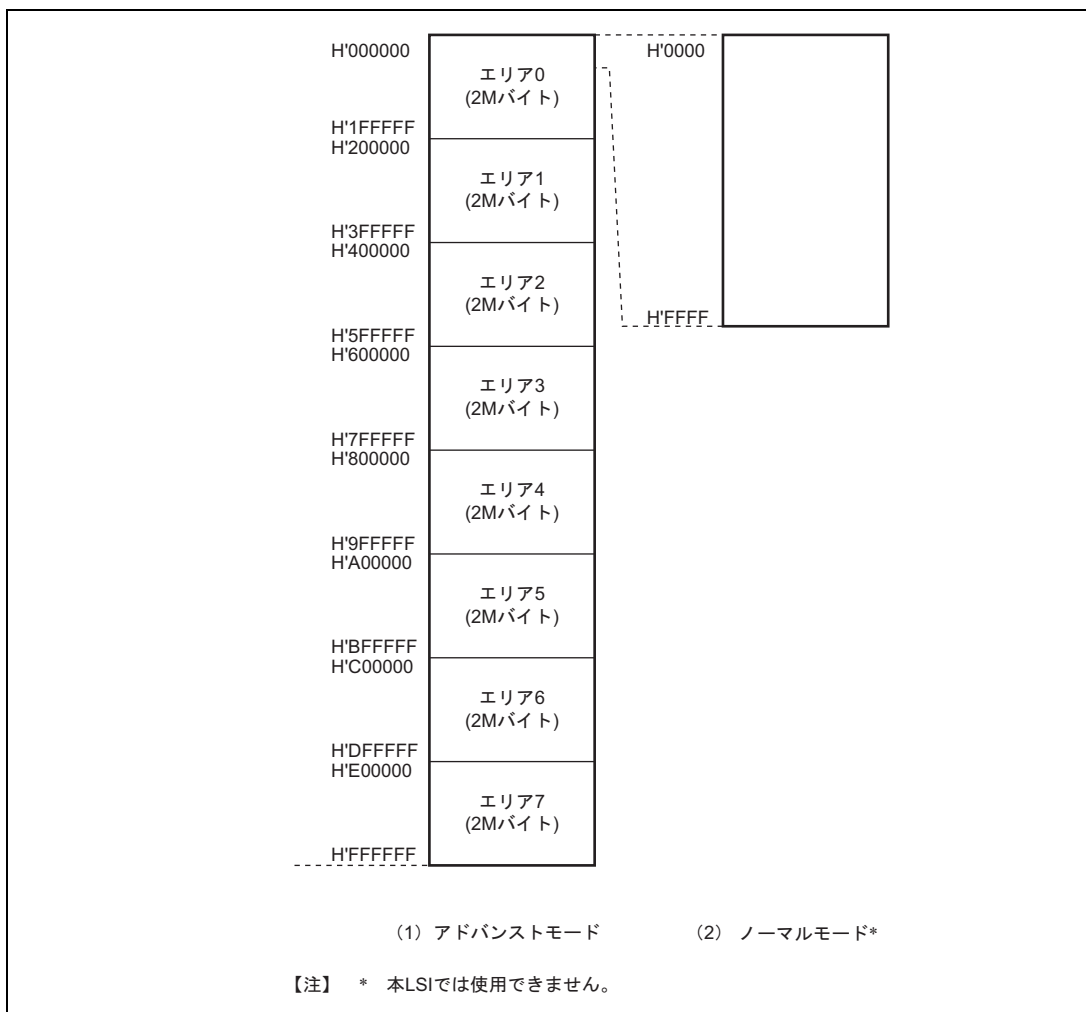


図 7.2 エリア分割の様子

## 7.4.2 バス仕様

外部アドレス空間のバス仕様は、(1)バス幅、(2)アクセスステート数、(3)プログラムウェイトステート数、の3つの要素で構成されます。なお、内蔵メモリ、内部 I/O レジスタのバス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

- バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。なお、バースト ROM インタフェースを設定すると、常に 16 ビットバスモードとなります。

- アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、バースト ROM インタフェースでは、ASTCR によらず、アクセスステート数が決まる場合があります。2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

- プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

表 7.2 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRH、WCRL		バス仕様 (基本バスインタフェース)		
				バス幅	アクセスステート数	プログラムウェイトステート数
0	0			16	2	0
	1	0	0		3	0
			1			1
		1	0			2
			1			3
1	0			8	2	0
	1	0	0		3	0
			1			1
		1	0			2
			1			3

## 7. バスコントローラ

---

### 7.4.3 各エリアのバスインタフェース

各エリアの初期状態は、基本バスインタフェースかつ3ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず「7.6 基本バスインタフェース」、「7.7 バースト ROM インタフェース」の各メモリインタフェースの項目を確認してください。

- エリア0

エリア0は内蔵ROMを含んでおり、ROM無効拡張モードでは、エリア0のすべての空間が外部アドレス空間となります。ROM有効拡張モードでは、内蔵ROMを除いた空間が外部アドレス空間となります。

エリア0の外部アドレス空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

エリア0は、基本バスインタフェースまたはバーストROMインタフェースを選択することができます。

- エリア6~1

エリア6~1は、外部拡張モードのとき、エリア6~1のすべての空間が外部アドレス空間となります。エリア6~1の外部アドレス空間をアクセスするとき、それぞれ、 $\overline{CS6}$ ~ $\overline{CS1}$ 端子信号を出力することができます。エリア1~6は、基本バスインタフェースのみを使用することができます。

- エリア7

エリア7は内蔵RAM、および内部I/Oレジスタを含んでおり、外部拡張モードのとき、内蔵RAM、および内部I/Oレジスタ空間を除いた空間が外部アドレス空間となります。なお、内蔵RAMはシステムコントロールレジスタ(SYSOCR)のRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると、内蔵RAMは無効になり、対応するアドレスは外部アドレス空間になります。エリア7の外部アドレス空間をアクセスするとき、 $\overline{CS7}$ 信号を出力することができます。エリア7は、基本バスインタフェースのみを使用することができます。

### 7.4.4 チップセレクト信号

本LSIは、エリア0~7に対して、それぞれチップセレクト信号( $\overline{CS7}$ ~ $\overline{CS0}$ )を出力ことができ、当該エリアの外部アドレス空間をアクセスしたとき、Lowレベルを出力します。図7.3に $\overline{CSn}$ ( $n=7\sim 0$ )信号出力タイミング例を示します。 $\overline{CSn}$ 信号出力の許可または禁止は各 $\overline{CSn}$ 端子に対応するポートのデータディレクションレジスタ(DDR)を設定することにより行います。

ROM無効拡張モードでは、 $\overline{CS0}$ 端子は、パワーオンリセット後に出力状態になっています。 $\overline{CS7}$ ~ $\overline{CS1}$ 端子はパワーオンリセット後に入力状態になっていますので、 $\overline{CS7}$ ~ $\overline{CS1}$ 信号を出力する場合には対応するDDRを1にセットしてください。

ROM有効拡張モードでは、 $\overline{CS7}$ ~ $\overline{CS0}$ 端子はすべて、パワーオンリセット後に入力状態になっていますので、 $\overline{CS7}$ ~ $\overline{CS0}$ 信号を出力する場合には対応するDDRを1にセットしてください。詳細は「第10章 I/Oポート」を参照してください。

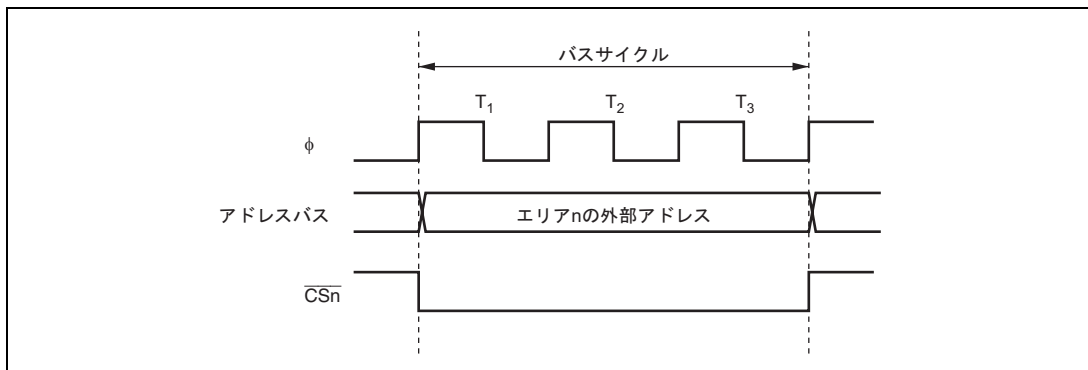


図 7.3 CSn 信号出力タイミング (n=0~7)

## 7.5 基本動作タイミング

本 CPU は、システムクロック ( $\phi$ ) を基準に動作しています。 $\phi$  の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1、2、または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

### 7.5.1 内蔵メモリ (ROM、RAM) アクセスタイミング

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 7.4 に、端子状態を図 7.5 に示します。

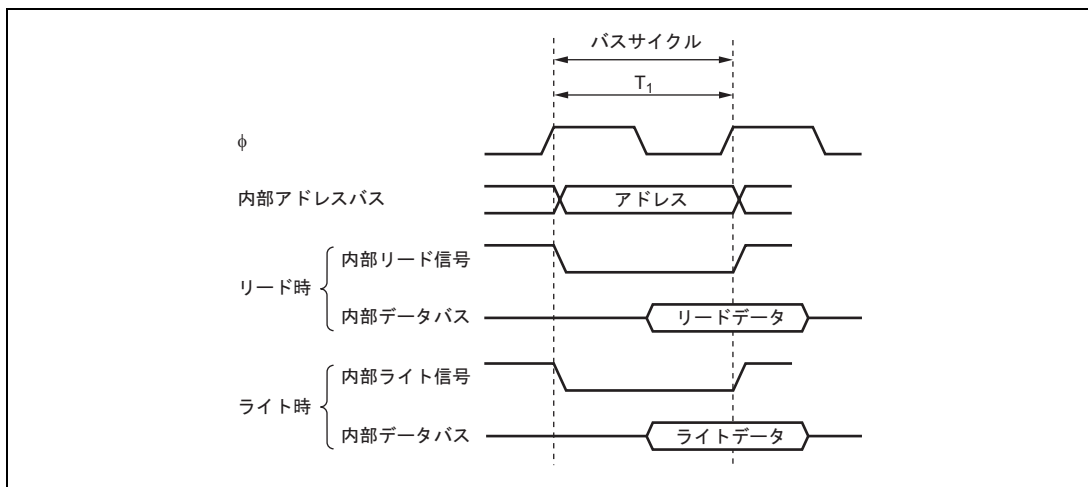


図 7.4 内蔵メモリアクセスサイクル

## 7. バスコントローラ

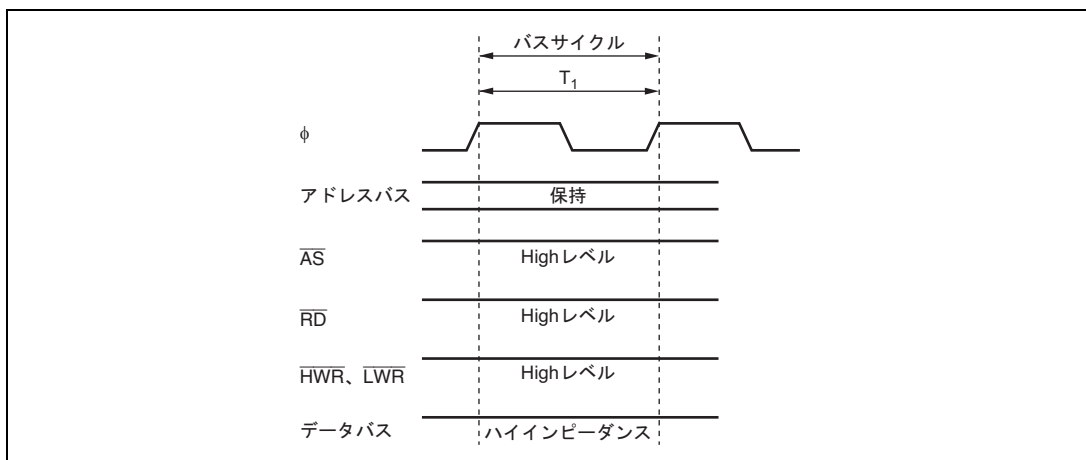


図 7.5 内蔵メモリアクセス時の端子状態

### 7.5.2 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図7.6、端子状態を図7.7に示します。

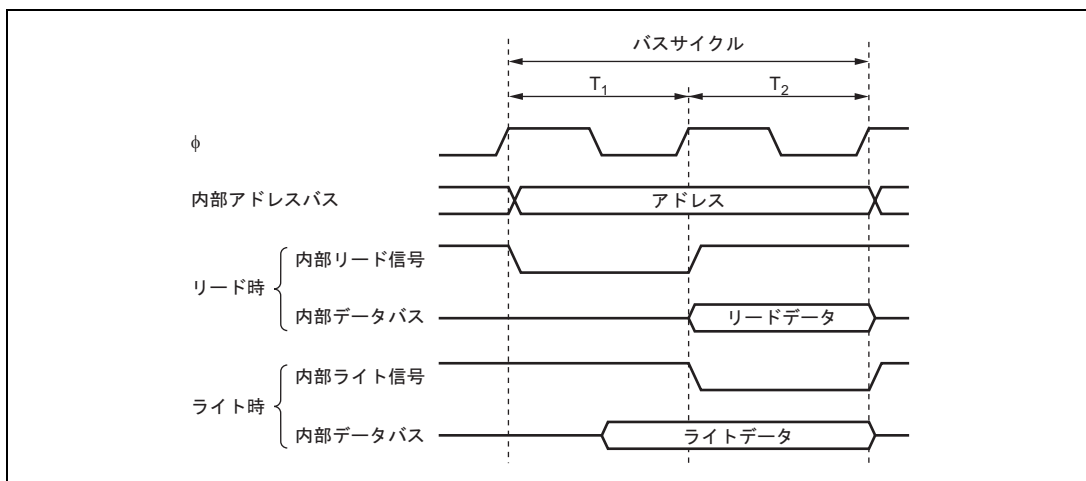


図 7.6 内蔵周辺モジュールアクセスサイクル



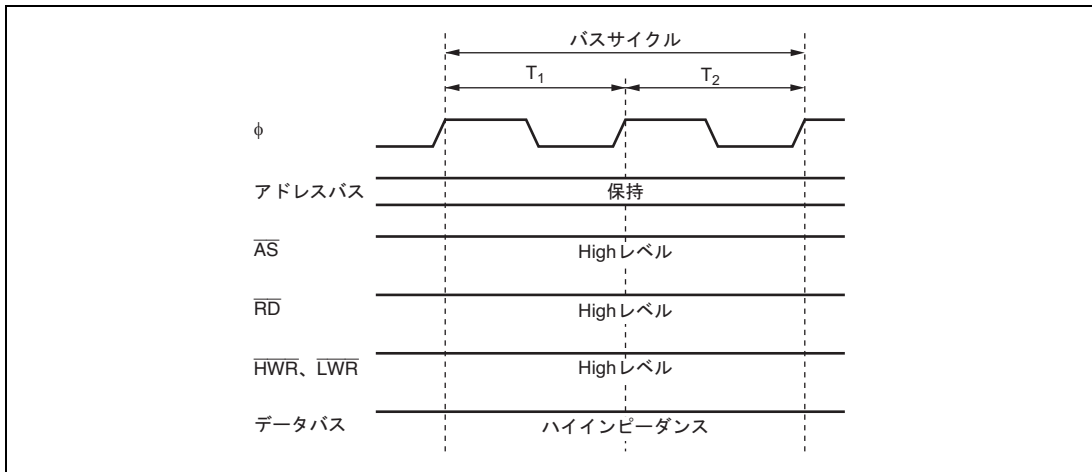


図 7.7 内蔵周辺モジュールアクセス時の端子状態

### 7.5.3 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は、8ビットまたは16ビット、バスサイクルは2ステートまたは3ステートです。3ステートアクセスではウェイトステートを挿入することができます。詳細は「7.6.3 基本タイミング」を参照してください。

## 7.6 基本バスインタフェース

基本バスインタフェースは、ROM、SRAMなどの直結が可能です。

### 7.6.1 データサイズとデータアライメント

CPUおよびそのほかの内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部アドレス空間をアクセスするとき、上位側データバス(D15~D8)を使用するか、下位側データバス(D7~D0)を使用するかを、アクセスするエリアのバス仕様(8ビットアクセス空間か16ビットアクセス空間)とデータサイズによって制御します。

#### (1) 8ビットアクセス空間

図 7.8 に 8ビットアクセス空間のデータアライメント制御を示します。8ビットアクセス空間では、常に上位側データバス(D15~D8)を使ってアクセスを行います。1回にアクセスできるデータ量は1バイトで、ワードアクセスでは2回、ロングワードアクセスは4回のバイトアクセスを実行します。

## 7. バスコントローラ

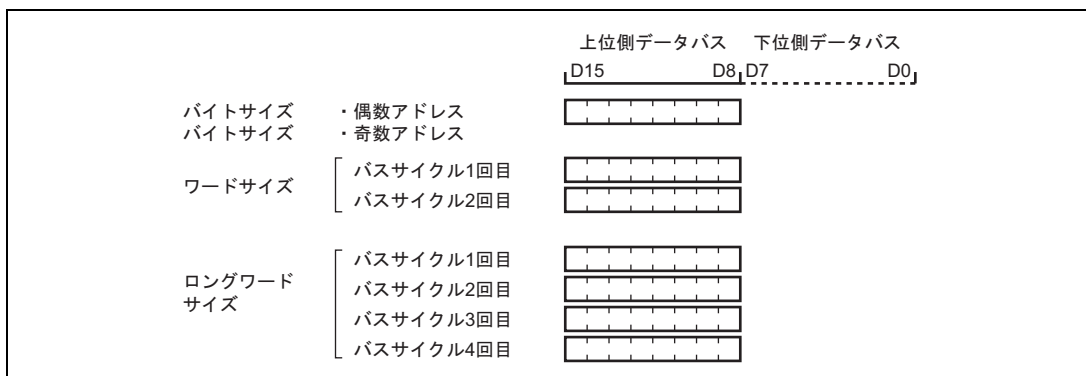


図 7.8 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

### (2) 16 ビットアクセス空間

図 7.9 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15～D8) および下位側データバス (D7～D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

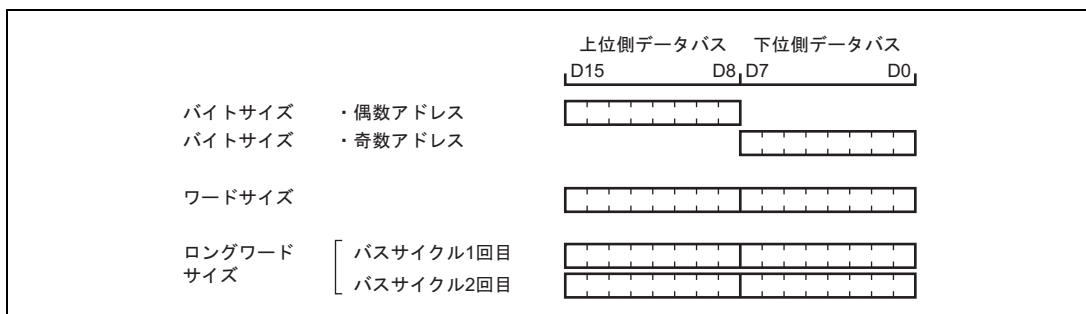


図 7.9 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

## 7.6.2 有効ストロープ

表 7.3 にアクセス空間と、使用するデータベースおよび有効なストロープを示します。

リード時には、データベースの上位側、下位側の区別なく、 $\overline{RD}$  信号が有効です。

ライト時には、データベースの上位側に対して  $\overline{HWR}$  信号が、下位側に対して  $\overline{LWR}$  信号が有効です。

表 7.3 使用するデータベースと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データベース上位 (D15~D8)	データベース下位 (D7~D0)
8ビット アクセス空間	バイト	リード	-	$\overline{RD}$	有効	無効
		ライト	-	$\overline{HWR}$	有効	Hi-Z
16ビット アクセス空間	バイト	リード	偶数	$\overline{RD}$	有効	無効
			奇数	$\overline{RD}$	無効	有効
		ライト	偶数	$\overline{HWR}$	有効	Hi-Z
			奇数	$\overline{LWR}$	Hi-Z	有効
	ワード	リード	-	$\overline{RD}$	有効	有効
		ライト	-	$\overline{HWR}$ 、 $\overline{LWR}$	有効	有効

【注】 Hi-Z : ハイインピーダンス状態です。

無効 : 入力状態であり、入力値は無視されます。

## 7. バスコントローラ

### 7.6.3 基本タイミング

#### (1) 8ビット2ステートアクセス空間

図 7.10 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

ウェイトステートを挿入することはできません。

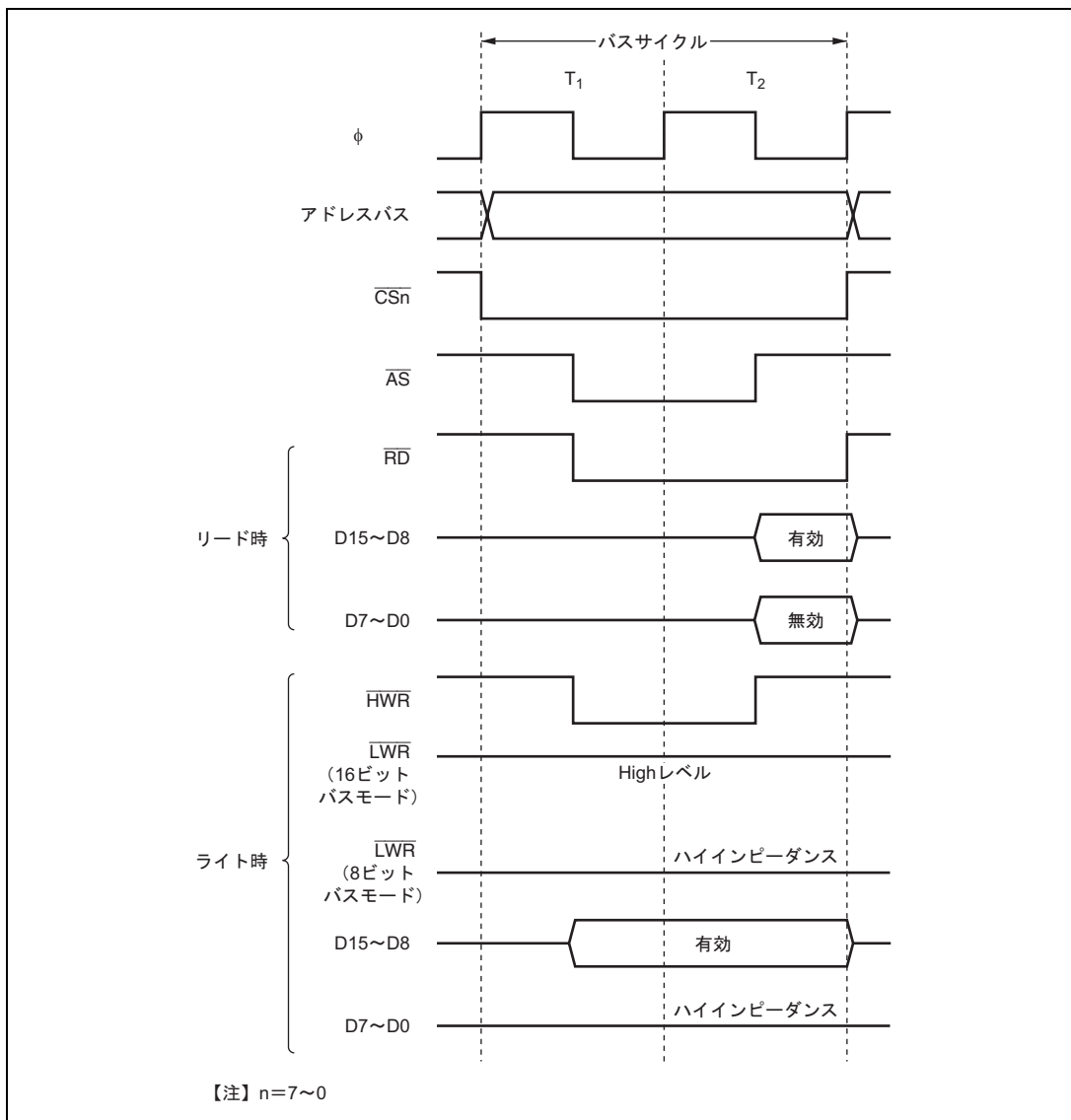


図 7.10 8 ビット 2 ステートアクセス空間のバスタイミング

## (2) 8ビット3ステートアクセス空間

図 7.11 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

ウェイトステートを挿入することができます。

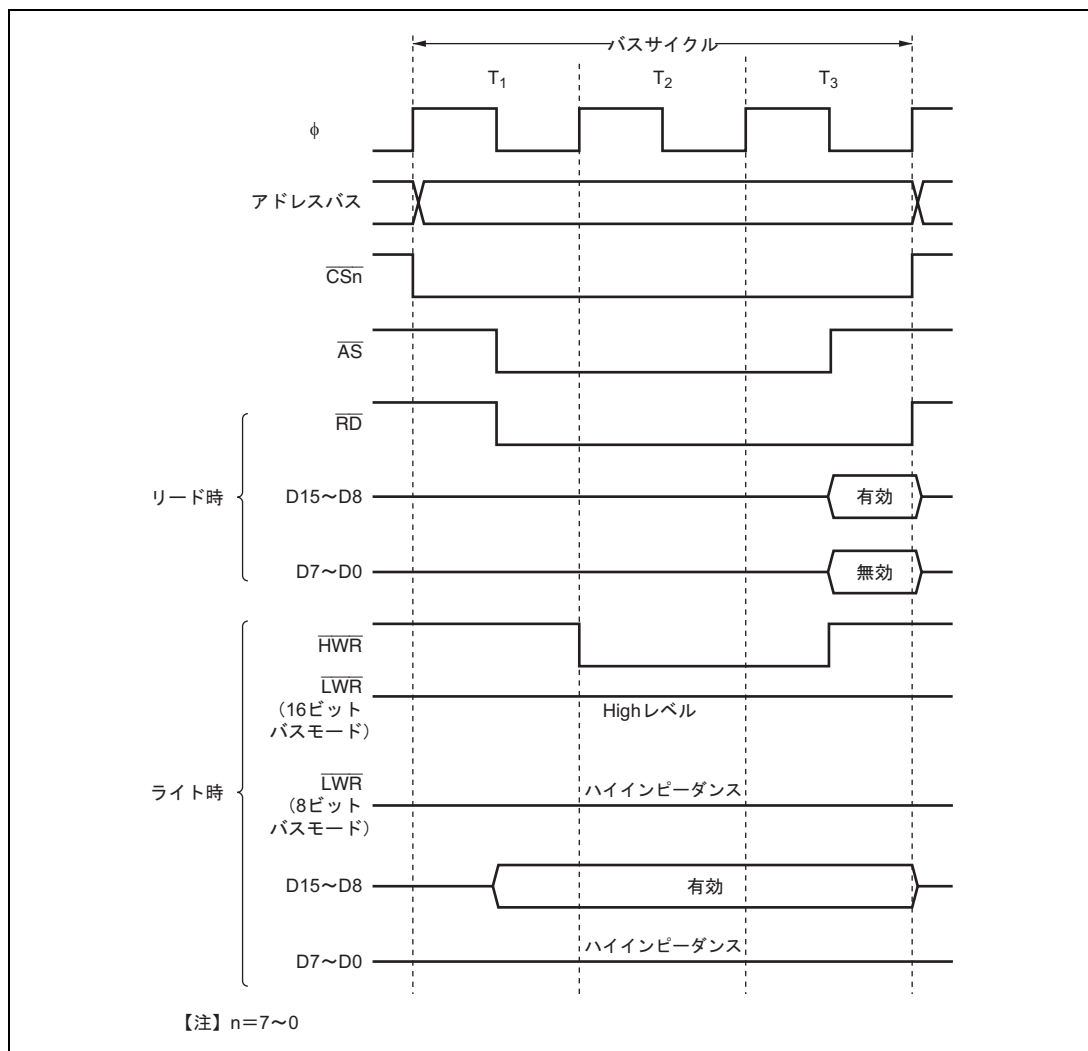


図 7.11 8 ビット 3 ステートアクセス空間のバスタイミング

## 7. バスコントローラ

### (3) 16ビット2ステートアクセス空間

図 7.12~図 7.14 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15~D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7~D0) を使用します。

ウェイトステートを挿入することはできません。

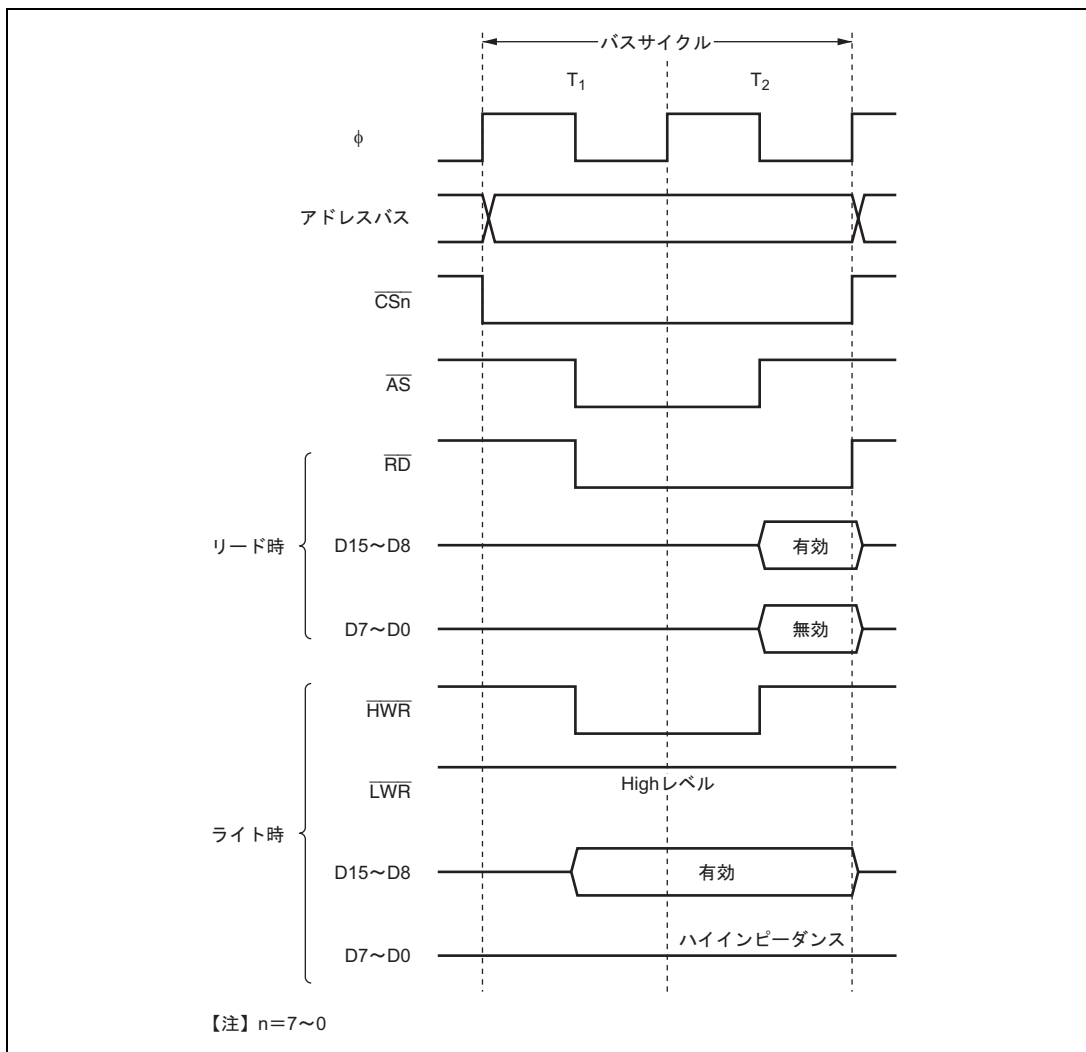


図 7.12 16 ビット 2 ステートアクセス空間のバスタイミング (1)  
(偶数アドレスバイトアクセス)

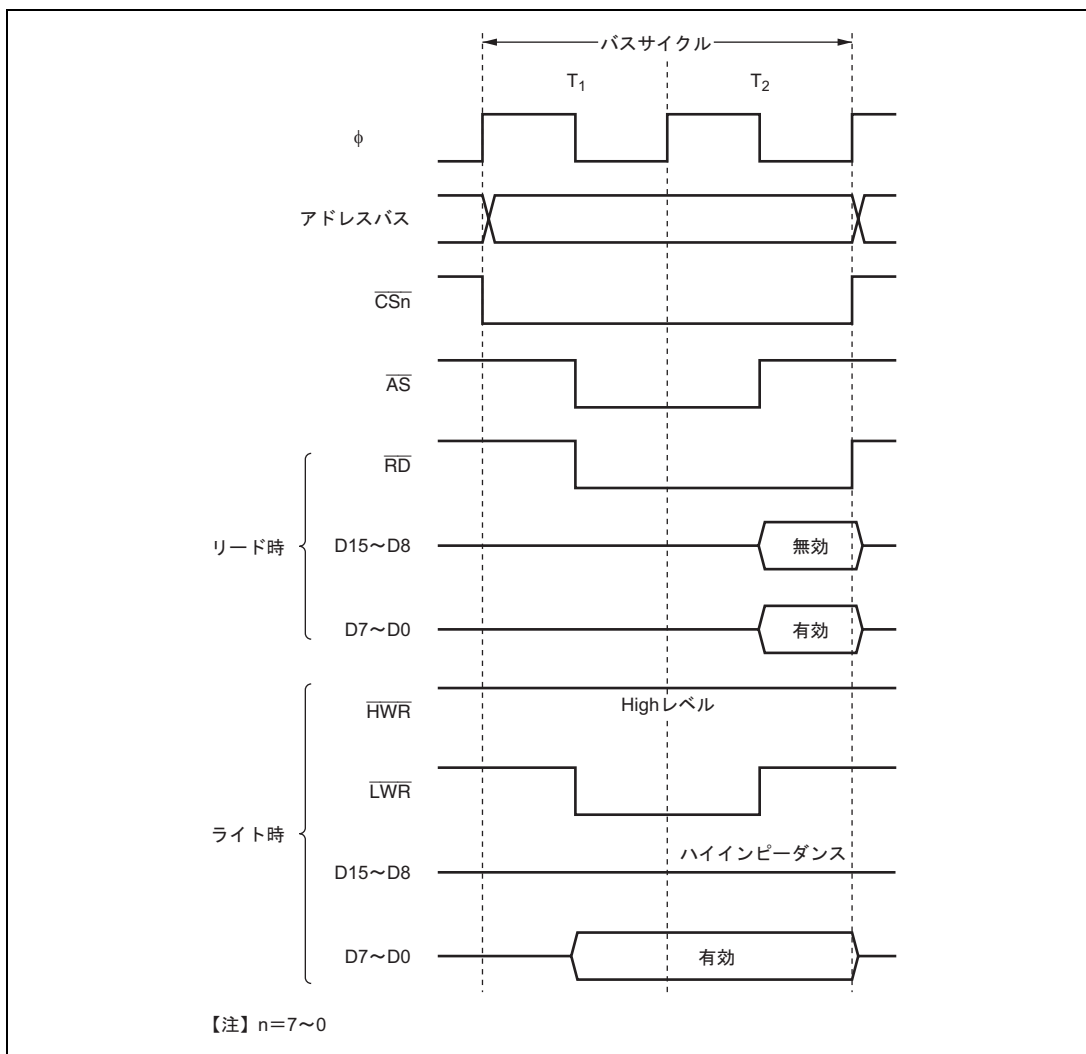


図 7.13 16 ビット 2 ステートアクセス空間のバスタイミング (2)  
(奇数アドレスバイトアクセス)

## 7. バスコントローラ

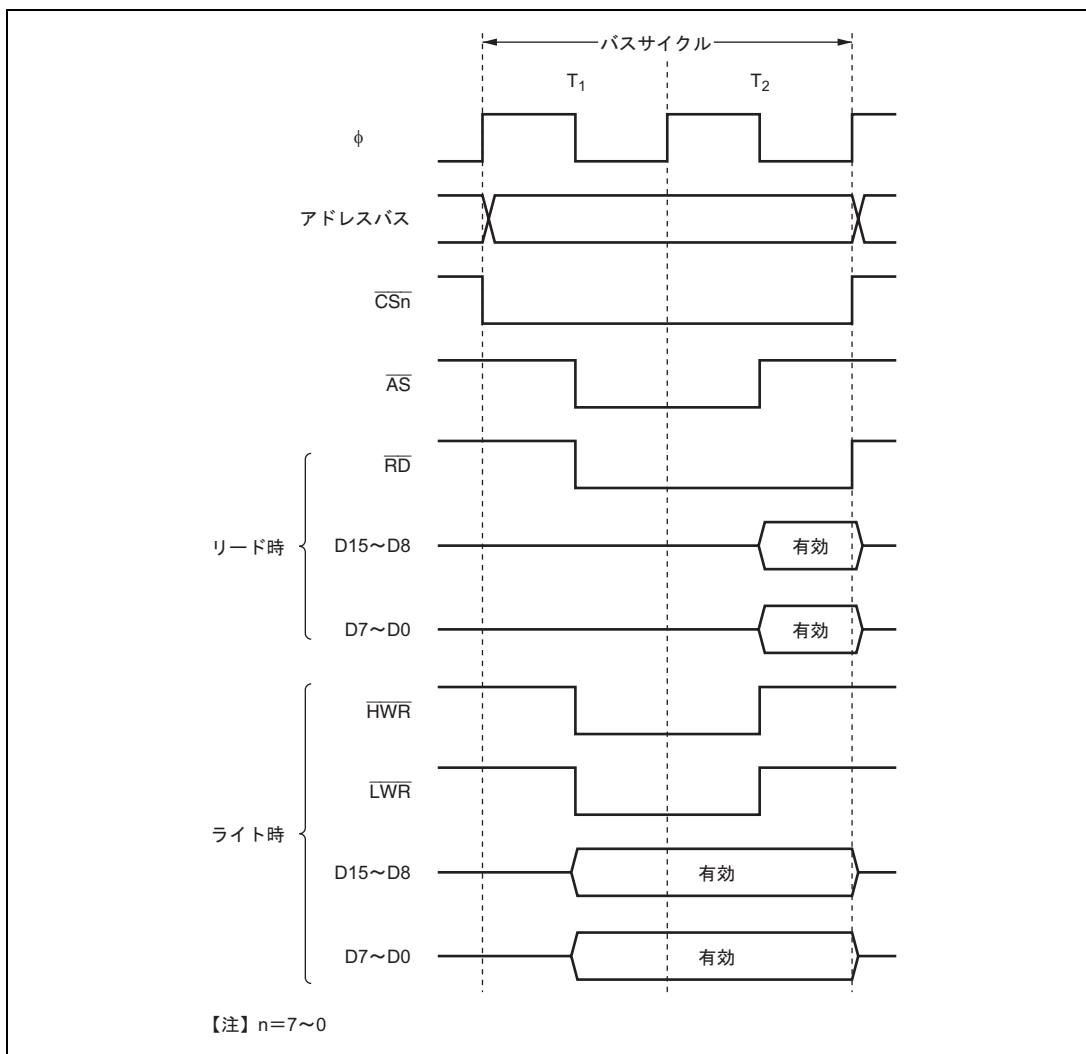


図 7.14 16 ビット 2 ステートアクセス空間のバスタイミング (3)  
(ワードアクセス)



## (4) 16ビット3ステートアクセス空間

図7.15～図7.17に16ビット3ステートアクセス空間のバスタイミングを示します。16ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上側側(D15～D8)を使用し、奇数アドレスに対してはデータバスは下側側(D7～D0)を使用します。

ウェイトステートを挿入することができます。

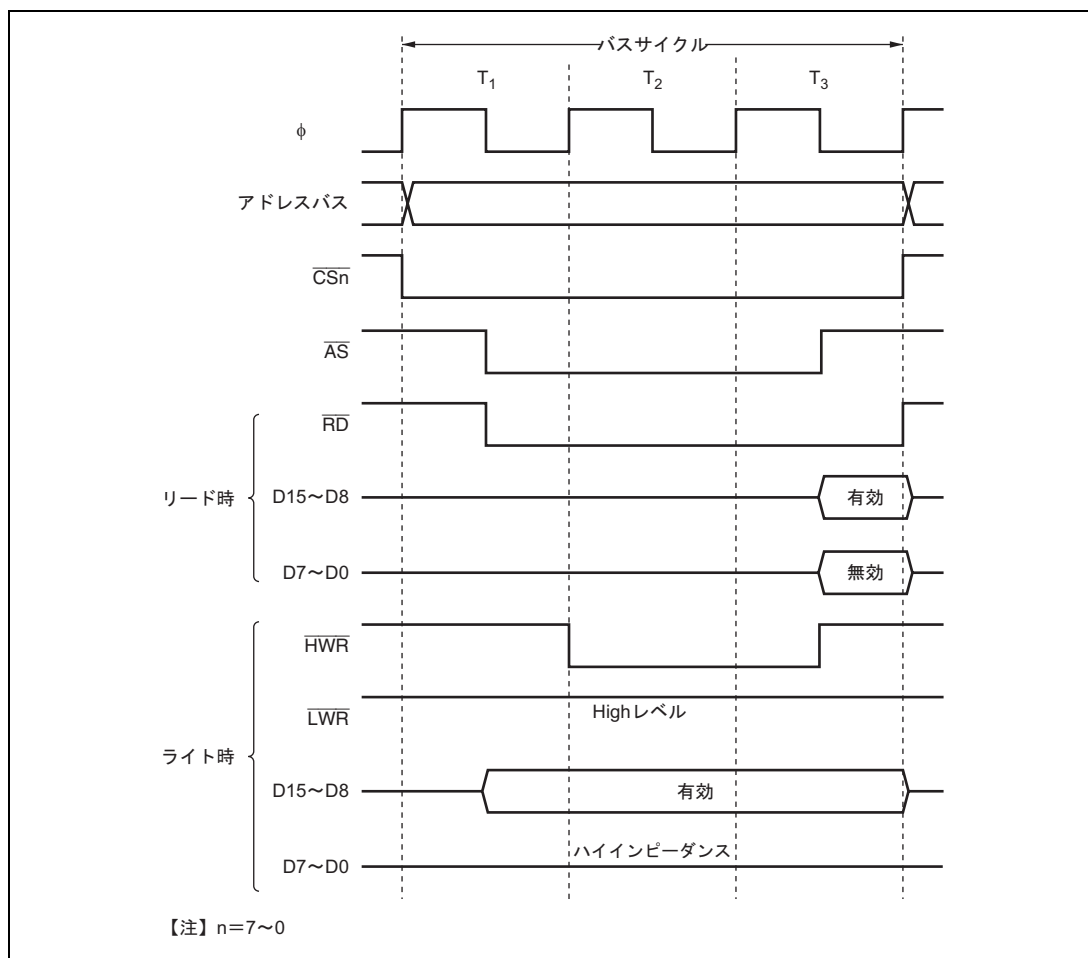


図7.15 16ビット3ステートアクセス空間のバスタイミング(1)  
(偶数アドレスバイトアクセス)

## 7. バスコントローラ

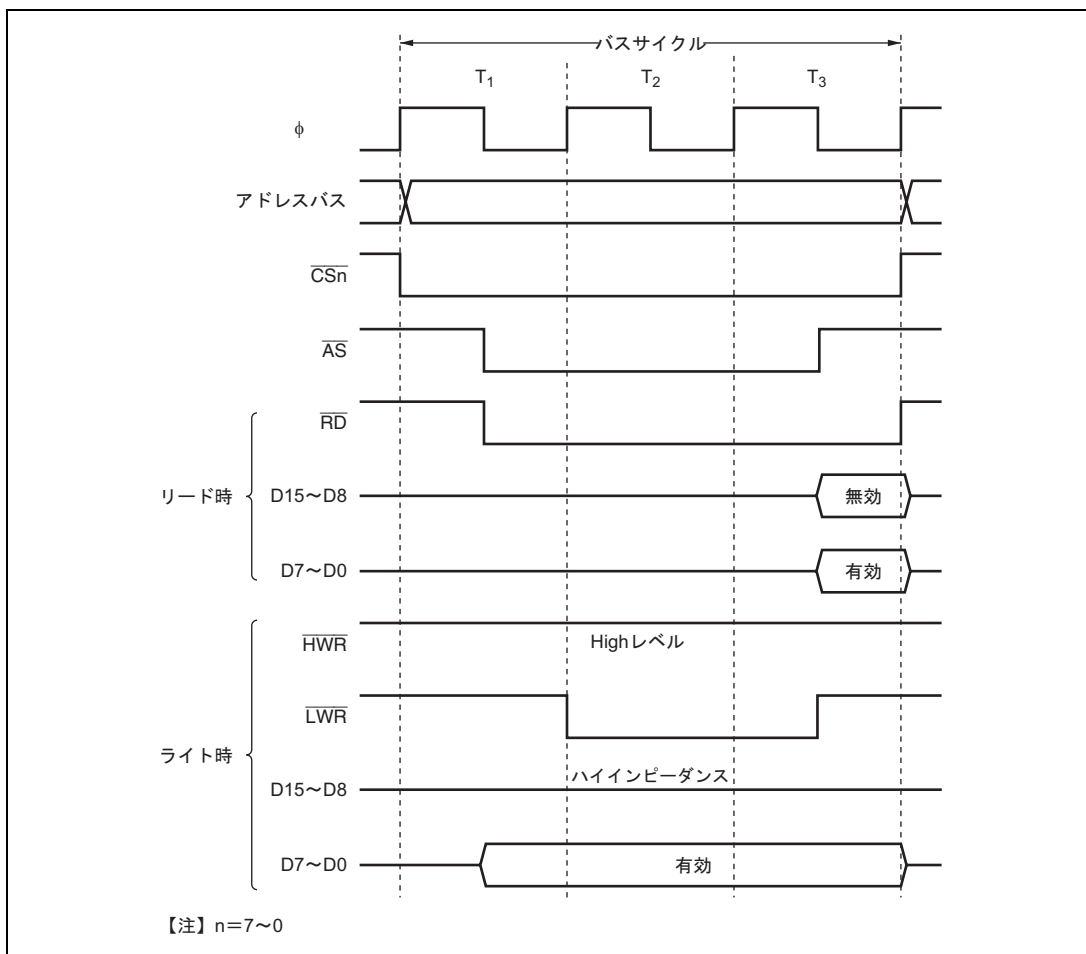


図 7.16 16 ビット 3 ステートアクセス空間のバスタイミング (2)  
(奇数アドレスバイトアクセス)

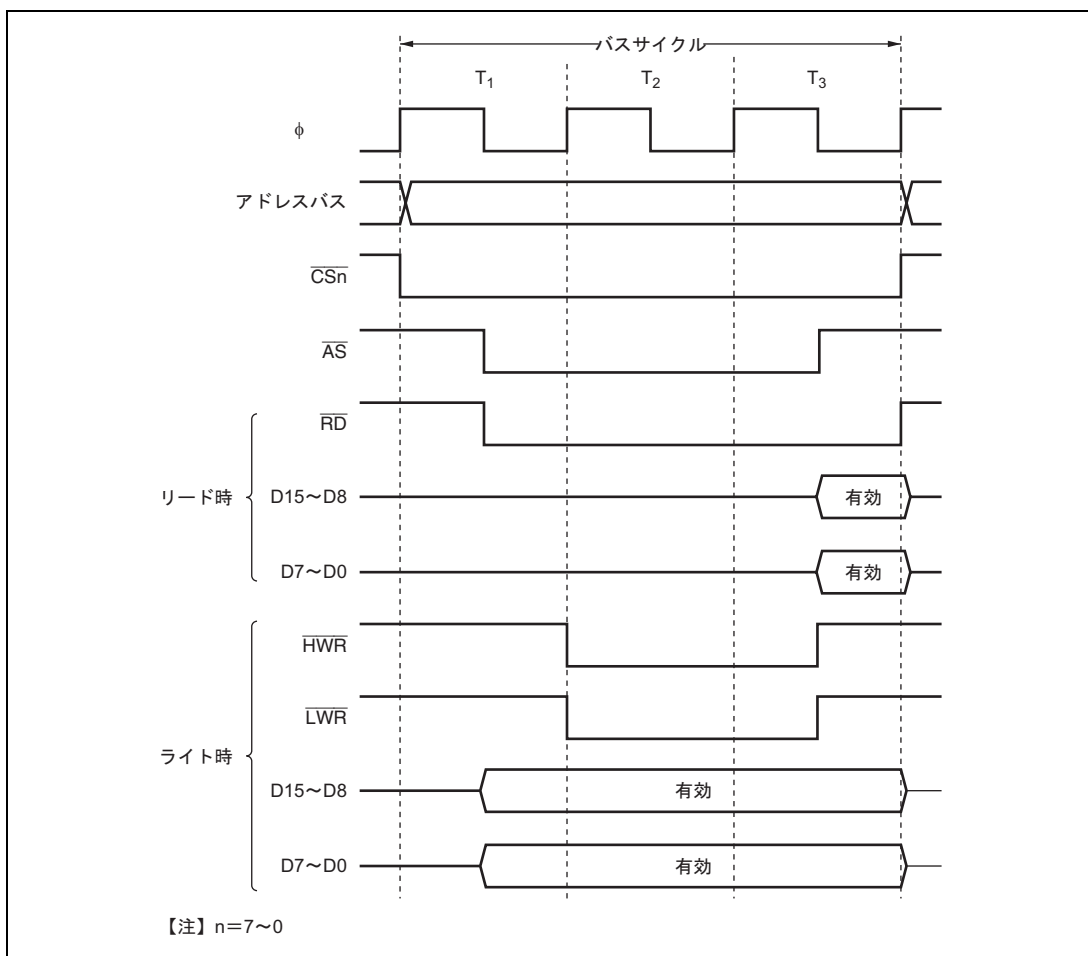


図 7.17 16 ビット 3 ステートアクセス空間のバスタイミング (3)  
(ワードアクセス)

## 7. バスコントローラ

### 7.6.4 ウェイト制御

本 LSI は、外部アドレス空間をアクセスするときウェイトステート ( $T_w$ ) を挿入してバスサイクルを引き延ばすことができます。

#### (1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に  $T_2$  ステートと  $T_3$  ステートの間に挿入することができます。

#### (2) 端子ウェイトの挿入

BCRL の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$  端子によるウェイト入力があります。この状態で、外部アドレス空間をアクセスすると、まず、WCRH、WCRL の設定に従ってプログラムウェイトが挿入されます。続いて  $T_2$  または  $T_w$  の最後のステートの  $\phi$  の立ち下りのタイミングで、 $\overline{\text{WAIT}}$  端子が Low レベルであると、 $T_w$  が挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$  端子が High レベルになるまで  $T_w$  が挿入されます。

図 7.18 にウェイトステート挿入のタイミング例を示します。

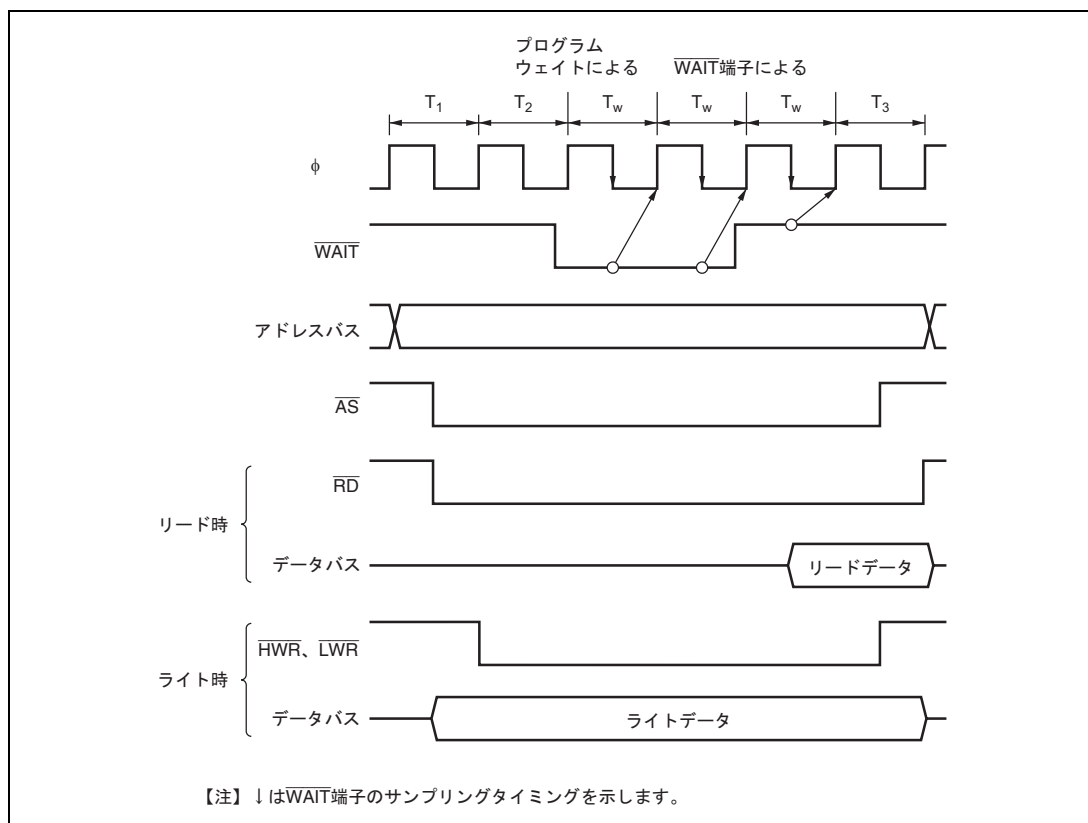


図 7.18 ウェイトステート挿入タイミング例

## 7.7 バースト ROM インタフェース

本 LSI は、エリア 0 の外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、16 ビット構成のバーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード / 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

【注】 動作周波数 16MHz ~ 20MHz の範囲では使用できません。

### 7.7.1 基本タイミング

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)のアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 7.19、図 7.20 に示します。

図 7.19 は、AST0 ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 7.20 は、AST0 ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

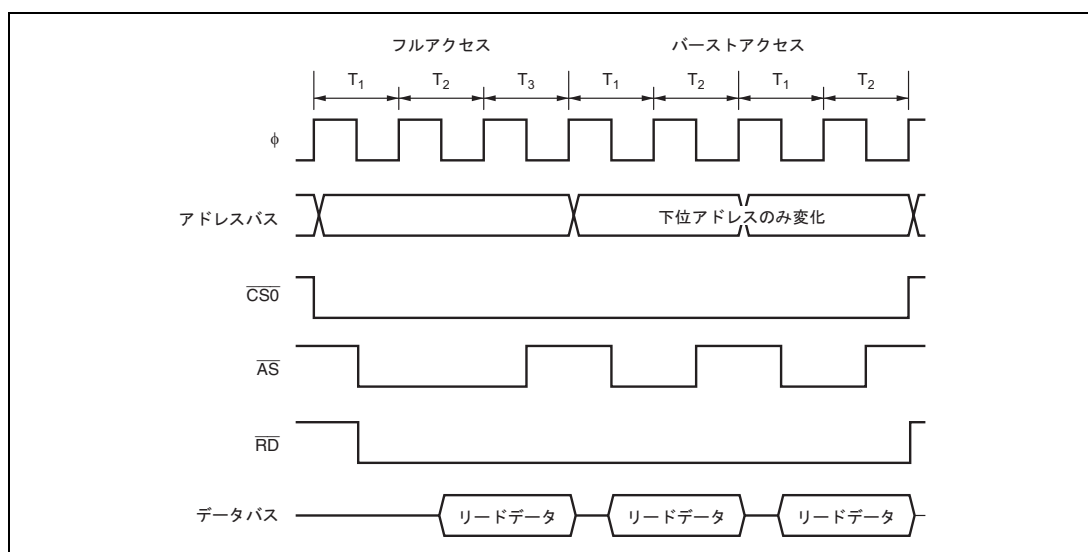


図 7.19 バースト ROM アクセスタイミング例 (AST0=BRSTS1=1 の場合)

## 7. バスコントローラ

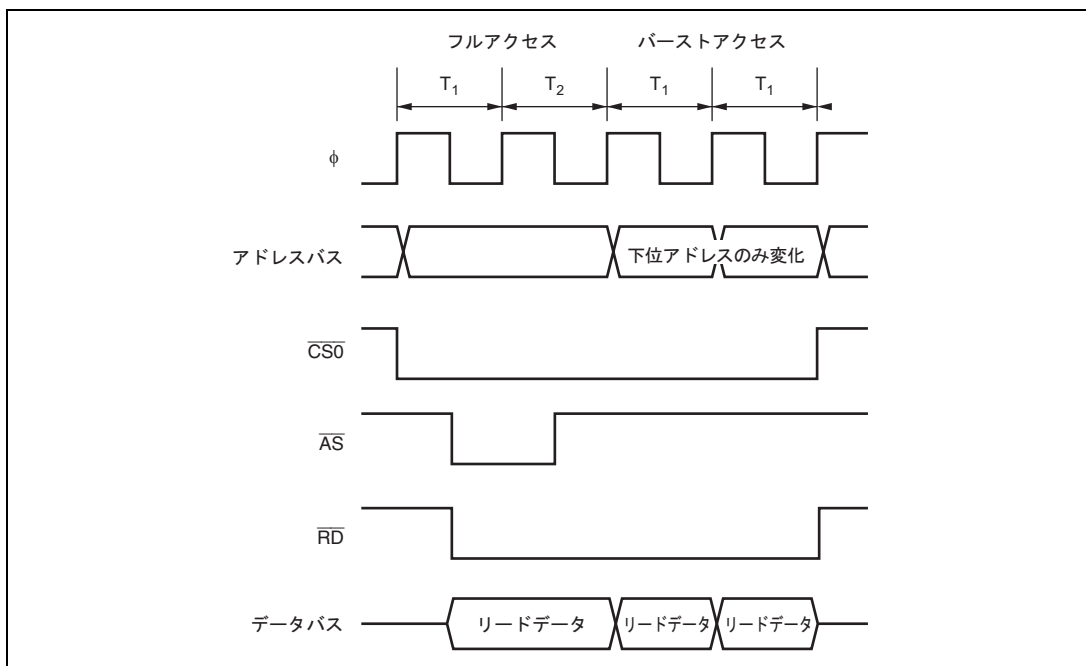


図 7.20 バースト ROM アクセスタイミング例 (AST0 = BRSTS1 = 0 の場合)

### 7.7.2 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2)  $\overline{WAIT}$  端子による端子ウェイトの挿入、が可能です。「7.6.4 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

## 7.8 アイドルサイクル

本 LSI は外部アドレス空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、の2つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル ( $T_1$ ) を1ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きいROMなどと、高速メモリ、IO インタフェースなどとのデータ衝突を防ぐことができます。

### (1) 異なるエリア間での連続リード

BCRH の ICIS1 ビットを1にセットした状態で、異なるエリア間の連続リードが発生すると、2回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 7.21 に動作例を示します。バスサイクル A は、出力フローティング時間の大きいROMからのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

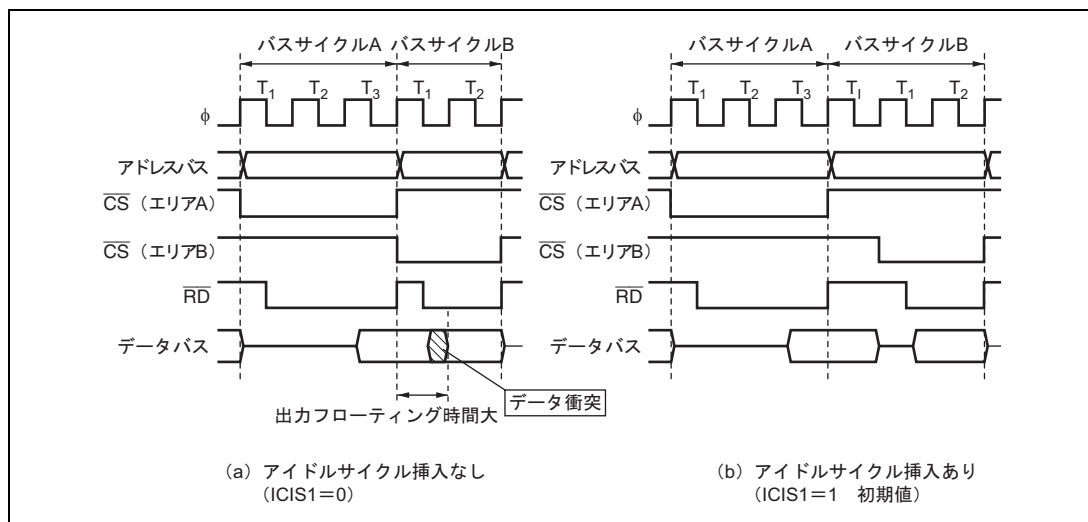


図 7.21 アイドルサイクル動作例 (1)

## 7. バスコントローラ

### (2) リード後のライト

BCRHのICIS0ビットを1にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図7.22に動作例を示します。バスサイクルAは、出力フローティング時間の大きいROMからのリードサイクル、バスサイクルBはCPUのライトサイクルの場合の例です。(a)はアイドルサイクルを挿入しない場合で、バスサイクルBで、ROMからのリードデータとCPUのライトデータの衝突が発生しています。これに対し(b)ではアイドルサイクルを挿入し、データの衝突を回避しています。

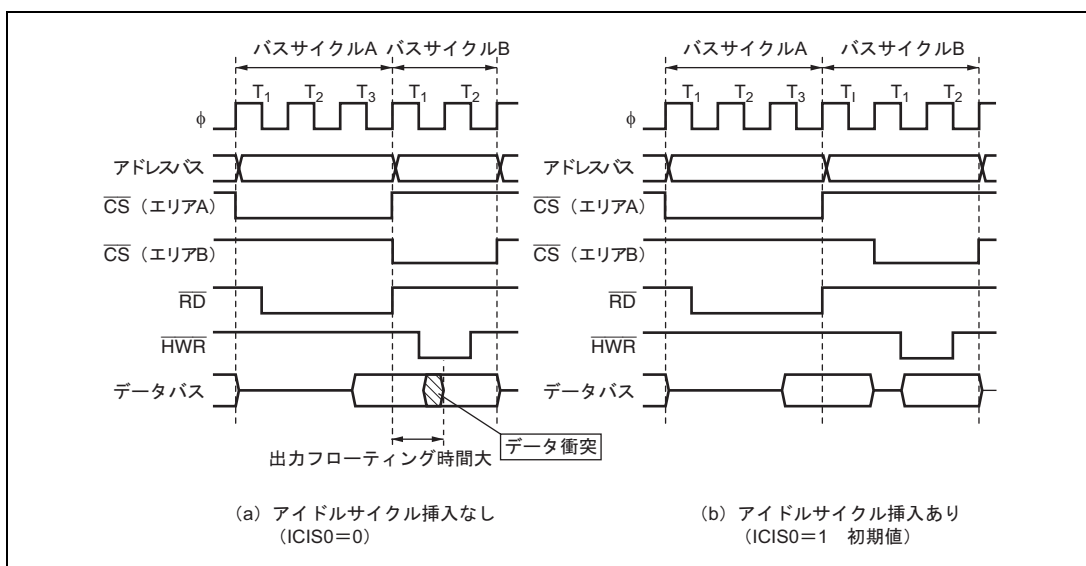


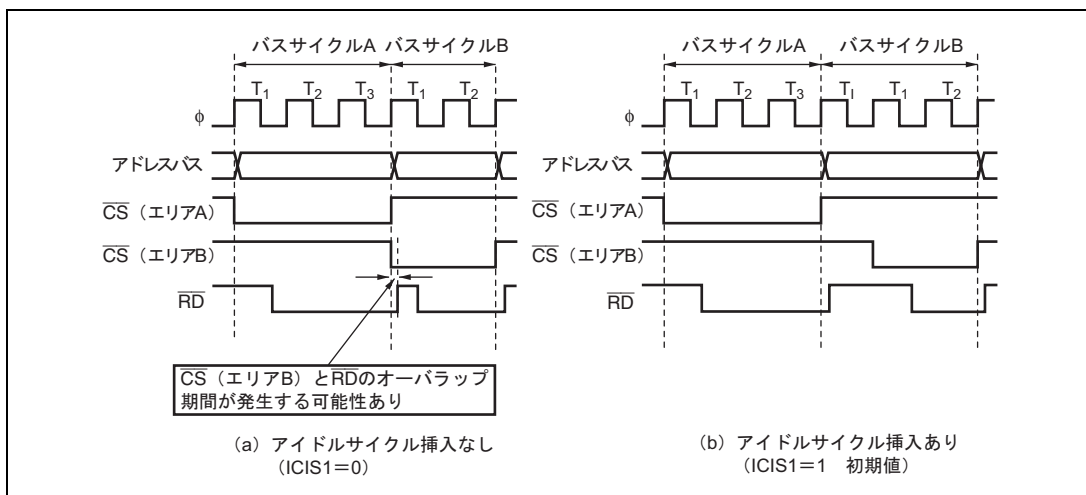
図 7.22 アイドルサイクル動作例 (2)



(3) チップセレクト ( $\overline{CS}$ ) 信号とリード ( $\overline{RD}$ ) 信号の関係

システムの負荷条件によっては、 $\overline{CS}$  信号よりも  $\overline{RD}$  信号の方が遅れる場合があります。図 7.23 に例を示します。このような場合、(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の  $\overline{RD}$  信号とバスサイクル B の  $\overline{CS}$  信号間でオーバーラップ期間が発生する可能性があります。

これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 $\overline{RD}$  信号と  $\overline{CS}$  信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

図 7.23 チップセレクト ( $\overline{CS}$ ) とリード ( $\overline{RD}$ ) の関係

アイドルサイクルでの端子状態を表 7.4 に示します。

表 7.4 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
$\overline{CSn}$	High レベル
$\overline{AS}$	High レベル
$\overline{RD}$	High レベル
$\overline{HWR}$	High レベル
$\overline{LWR}$	High レベル

## 7. バスコントローラ

---

### 7.9 バス解放

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しないかぎり、内部バスマスタは動作を継続します。

外部拡張モードで、BCRL の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$  端子を Low レベルとすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$  端子をサンプリングすると、所定のタイミングで、 $\overline{\text{BACK}}$  端子を Low レベルとし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして、外部バス権解放状態になります。

外部バス権解放状態で、内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとすると、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。

$\overline{\text{BREQ}}$  端子を High レベルとすると、所定のタイミングで  $\overline{\text{BACK}}$  端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求と外部アクセスをが同時に発生したときの優先順位：

(高) 外部バス権 > 内部バスマスタの外部アクセス (低)

外部バス権解放状態での端子状態を表 7.5 に示します。

表 7.5 バス権解放状態での端子状態

端子名	端子の状態
A23 ~ A0	ハイインピーダンス
D15 ~ D0	ハイインピーダンス
$\overline{\text{CSn}}$	ハイインピーダンス
$\overline{\text{AS}}$	ハイインピーダンス
$\overline{\text{RD}}$	ハイインピーダンス
HWR	ハイインピーダンス
LWR	ハイインピーダンス

バス権解放状態への遷移タイミングを図 7.24 に示します。

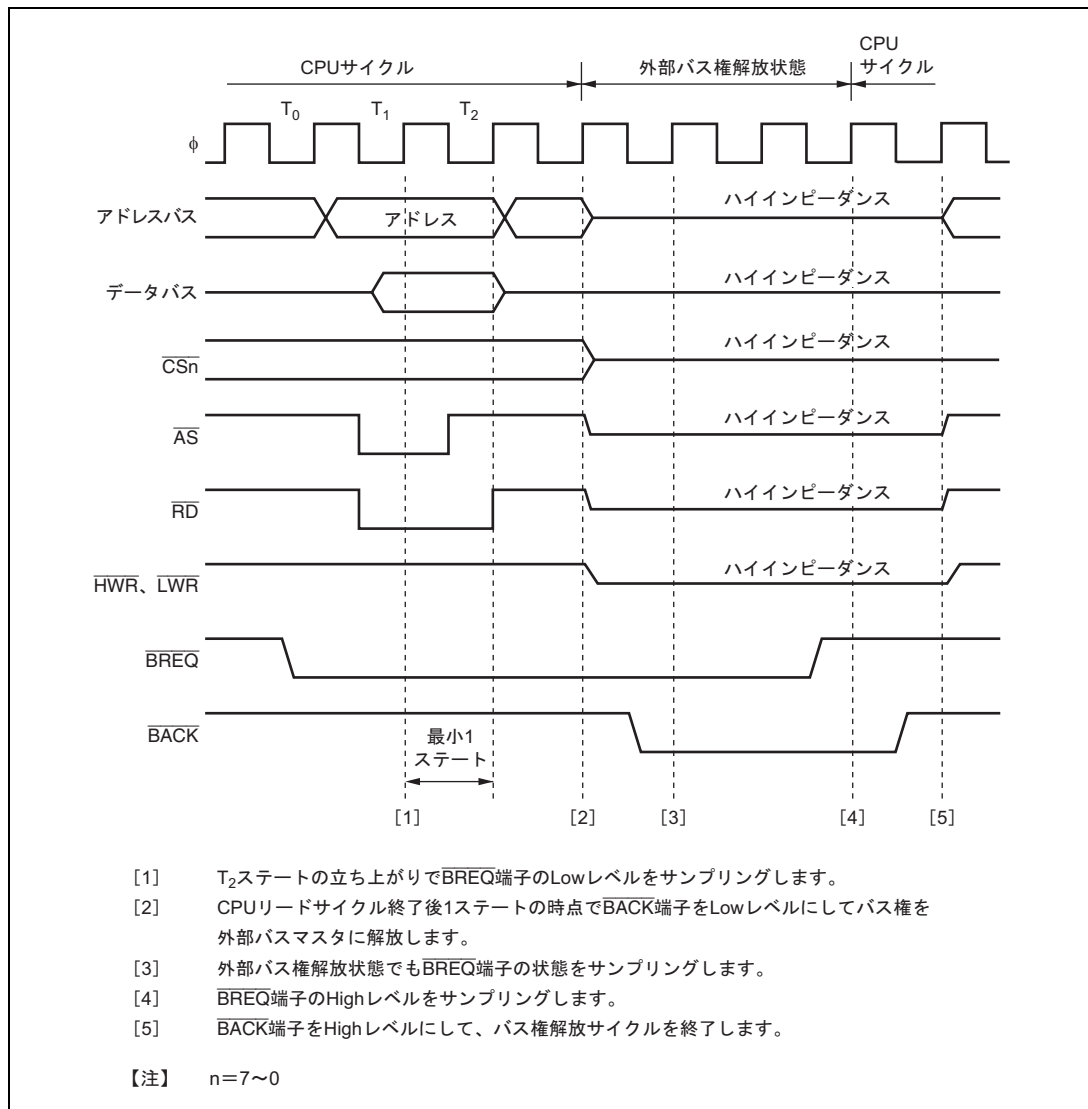


図 7.24 バス権解放状態遷移タイミング

### 7.9.1 バス権解放の使用上の注意事項

MSTPCR を H'FFFFFF に設定し、かつスリープモードに遷移した状態では外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCR には H'FFFFFF を設定しないでください。

## 7. バスコントローラ

---

### 7.10 バスアービトレーション

本 LSI はバスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC\*および DTC の 3 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

【注】 \* H8S/2239 グループのみです。

#### 7.10.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

（高）DMAC\* > DTC > CPU（低）

なお、内部バスマスタの内部バスアクセスと外部バス権解放は並行して実行することができます。

外部バス権解放要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

（高）外部バス権解放 > 内部バスマスタの外部アクセス（低）

【注】 \* H8S/2239 グループのみです。

#### 7.10.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとはかぎりません。各バスマスタにはバス権を譲ることができるタイミングがあります。

##### （1）CPU

CPU は最も優先順位が低いバスマスタで、DMAC\*および DTC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

1. バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。
2. CPU がスリープモードの場合、直ちにバス権を移行します。

【注】 \* H8S/2239 グループのみです。

## (2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード (3 ステート) 後、1 回のデータ転送後、レジスタ情報のライト (3 ステート) 後です。レジスタ情報のリード (3 ステート) 中、1 回のデータ転送中、レジスタ情報のライト (3 ステート) 中にはバスを解放しません。

## (3) DMAC (H8S/2239 グループのみ)

DMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC はショートアドレスモード、ノーマルモードの外部リクエスト、またはサイクルスチールモードの場合、1 回の転送終了後にバス権を解放します。

ブロック転送モードの場合は 1 ブロック転送後、バーストモードの場合は転送終了後にバス権を解放します。

### 7.10.3 外部バス権解放使用上の注意事項

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

$\overline{CS}$  信号は外部バスサイクルの最後まで Low レベルを出力します。

したがって、外部バス権解放を行う場合、 $\overline{CS}$  信号の Low レベルからハイインピーダンス状態へと遷移する場合があります。

## 7.11 リセットとバスコントローラ

パワーオンリセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

マニュアルリセットでは、バスコントローラのレジスタや内部状態は保持されます。実行中の外部バスサイクルは終了するまで実行されます。このとき、 $\overline{WAIT}$  入力は無視され、ライトデータは保証されません。

また DMAC\*は、マニュアルリセットで初期化されますので、 $\overline{DACK}$ 、 $\overline{TEND}$  出力は禁止され、DDR と DR で制御される I/O ポートになります。

【注】 \* H8S/2239 グループのみです。



---

## 8. DMA コントローラ (DMAC)

---

H8S/2239 グループは、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

【注】 DMAC は H8S/2239 グループのみサポートしています。H8S/2258 グループ、H8S/2238 グループ、H8S/2237 グループ、H8S/2227 グループにはありません。

### 8.1 特長

- ショートアドレスモードとフルアドレスモードを選択可能

#### (1) ショートアドレスモード

最大4チャンネルを使用可能

デュアルアドレスモード/シングルアドレスモードの選択が可能

デュアルアドレスモードでは転送元、転送先アドレスの一方を24ビット、他方を16ビットで指定

シングルアドレスモードでは転送元、転送先アドレスの一方だけを24ビットで指定

シングルアドレスモードでは1バスサイクルでの転送が可能

デュアルアドレスモード、シングルアドレスモードに対し、シーケンシャルモード/アイドルモード/リピートモードの選択が可能

#### (2) フルアドレスモード

最大2チャンネルを使用可能

転送元、転送先アドレスを24ビットで指定

ノーマルモード/ブロック転送モードの選択が可能

- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト/ワードに設定可能
- 起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)  
16ビットタイマパルスユニット (TPU) のコンペアマッチ/インプットキャプチャ割り込み×6  
シリアルコミュニケーションインタフェース (SCL\_0、SCL\_1) の送信データエンプティ割り込み、受信データフル割り込み  
A/D変換器の変換終了割り込み  
外部リクエスト  
オートリクエスト
- モジュールストップモードの設定可能

## 8. DMA コントローラ (DMAC)

DMAC のブロック図を図 8.1 に示します。

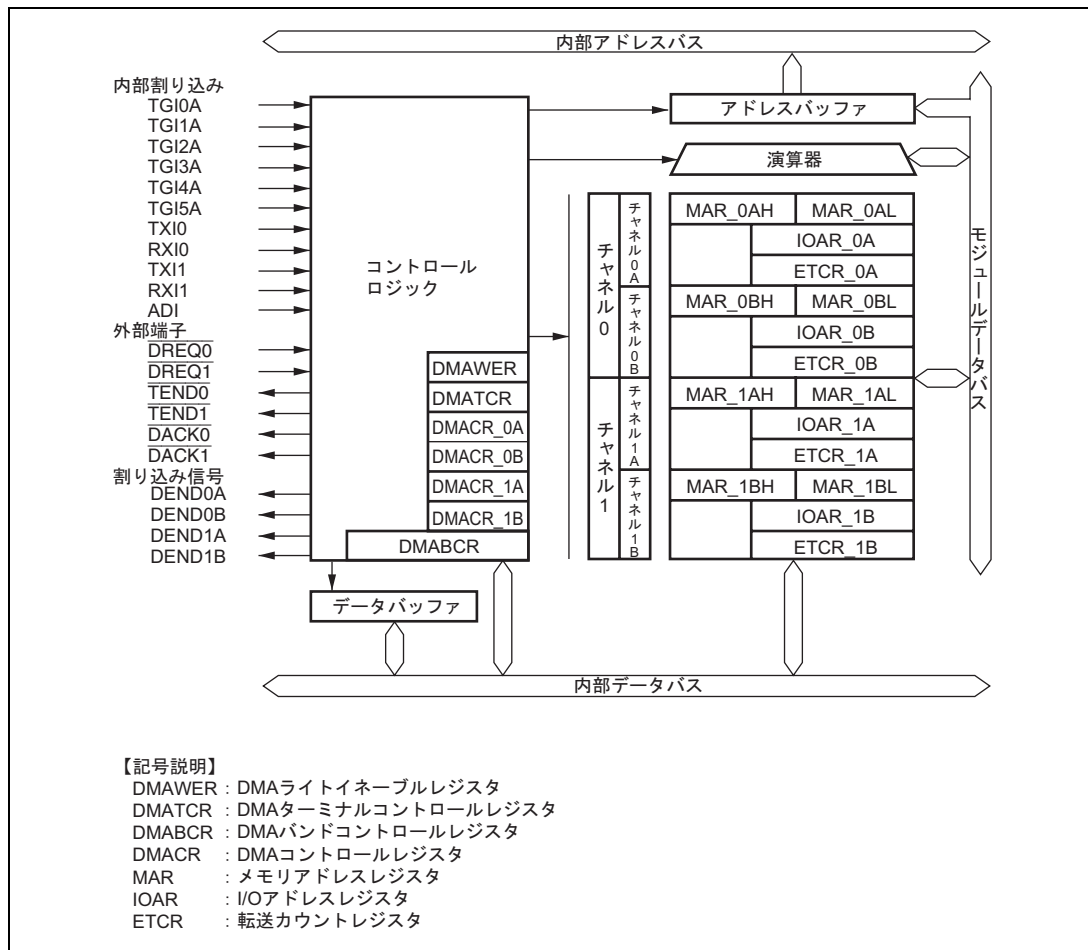


図 8.1 DMAC のブロック図



## 8.2 入出力端子

DMAC の端子構成を表 8.1 に示します。

表 8.1 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA リクエスト 0	$\overline{DREQ0}$	入力	チャンネル 0 の外部リクエスト
	DMA 転送アクノレッジ 0	$\overline{DACK0}$	出力	チャンネル 0 のシングルアドレス転送アクノレッジ
	DMA 転送終了 0	$\overline{TEND0}$	出力	チャンネル 0 の転送終了
1	DMA リクエスト 1	$\overline{DREQ1}$	入力	チャンネル 1 の外部リクエスト
	DMA 転送アクノレッジ 1	$\overline{DACK1}$	出力	チャンネル 1 のシングルアドレス転送アクノレッジ
	DMA 転送終了 1	$\overline{TEND1}$	出力	チャンネル 1 の転送終了

## 8.3 レジスタの説明

DMAC には以下のレジスタがあります。

- メモリアドレスレジスタ\_0AH ( MAR\_0AH )
- メモリアドレスレジスタ\_0AL ( MAR\_0AL )
- I/Oアドレスレジスタ\_0A ( IOAR\_0A )
- 転送カウントレジスタ\_0A ( ETCR\_0A )
- メモリアドレスレジスタ\_0BH ( MAR\_0BH )
- メモリアドレスレジスタ\_0BL ( MAR\_0BL )
- I/Oアドレスレジスタ\_0B ( IOAR\_0B )
- 転送カウントレジスタ\_0B ( ETCR\_0B )
- メモリアドレスレジスタ\_1AH ( MAR\_1AH )
- メモリアドレスレジスタ\_1AL ( MAR\_1AL )
- I/Oアドレスレジスタ\_1A ( IOAR\_1A )
- 転送カウントレジスタ\_1A ( ETCR\_1A )
- メモリアドレスレジスタ\_1BH ( MAR\_1BH )
- メモリアドレスレジスタ\_1BL ( MAR\_1BL )
- I/Oアドレスレジスタ\_1B ( IOAR\_1B )
- 転送カウントレジスタ\_1B ( ETCR\_1B )
- DMAコントロールレジスタ\_0A ( DMACR\_0A )
- DMAコントロールレジスタ\_0B ( DMACR\_0B )
- DMAコントロールレジスタ\_1A ( DMACR\_1A )
- DMAコントロールレジスタ\_1B ( DMACR\_1B )

## 8. DMA コントローラ (DMAC)

- DMAバンドコントロールレジスタH (DMABCRH)
- DMAバンドコントロールレジスタL (DMABCRL)
- DMAライトイネーブルレジスタ (DMAWER)
- DMAターミナルコントロールレジスタ (DMATCR)

MAR、IOAR、ETCR、DMACR、DMABCR は、転送モード (ショートアドレスモード、フルアドレスモード) により機能が異なります。転送モードは、DMABCRH の FAE1、FAE0 ビットにより選択できます。表 8.2 にチャンネル 0 のショートアドレスモードとフルアドレスモードのレジスタ構成を示します。

表 8.2 ショートアドレスモードとフルアドレスモード (チャンネル 0)

FAE0	説明																										
0	<p>ショートアドレスモードを指定 (チャンネルA、Bは独立して動作)</p> <table border="1"> <tr> <td rowspan="4">チャンネル 0 A</td> <td>MAR_0AH</td> <td>MAR_0AL</td> <td>← 転送元/転送先アドレスを指定</td> </tr> <tr> <td></td> <td>IOAR_0A</td> <td>← 転送先/転送元アドレスを指定</td> </tr> <tr> <td></td> <td>ETCR_0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td></td> <td>DMACR_0A</td> <td>← 転送サイズ、モード、起動要因などを指定</td> </tr> <tr> <td rowspan="4">チャンネル 0 B</td> <td>MAR_0BH</td> <td>MAR_0BL</td> <td>← 転送元/転送先アドレスを指定</td> </tr> <tr> <td></td> <td>IOAR_0B</td> <td>← 転送先/転送元アドレスを指定</td> </tr> <tr> <td></td> <td>ETCR_0B</td> <td>← 転送回数を指定</td> </tr> <tr> <td></td> <td>DMACR_0B</td> <td>← 転送サイズ、モード、起動要因などを指定</td> </tr> </table>	チャンネル 0 A	MAR_0AH	MAR_0AL	← 転送元/転送先アドレスを指定		IOAR_0A	← 転送先/転送元アドレスを指定		ETCR_0A	← 転送回数を指定		DMACR_0A	← 転送サイズ、モード、起動要因などを指定	チャンネル 0 B	MAR_0BH	MAR_0BL	← 転送元/転送先アドレスを指定		IOAR_0B	← 転送先/転送元アドレスを指定		ETCR_0B	← 転送回数を指定		DMACR_0B	← 転送サイズ、モード、起動要因などを指定
チャンネル 0 A	MAR_0AH		MAR_0AL	← 転送元/転送先アドレスを指定																							
			IOAR_0A	← 転送先/転送元アドレスを指定																							
			ETCR_0A	← 転送回数を指定																							
		DMACR_0A	← 転送サイズ、モード、起動要因などを指定																								
チャンネル 0 B	MAR_0BH	MAR_0BL	← 転送元/転送先アドレスを指定																								
		IOAR_0B	← 転送先/転送元アドレスを指定																								
		ETCR_0B	← 転送回数を指定																								
		DMACR_0B	← 転送サイズ、モード、起動要因などを指定																								
1	<p>フルアドレスモードを指定 (チャンネルA、Bは組み合わせて動作)</p> <table border="1"> <tr> <td rowspan="6">チャンネル 0</td> <td>MAR_0AH</td> <td>MAR_0AL</td> <td>← 転送元アドレスを指定</td> </tr> <tr> <td>MAR_0BH</td> <td>MAR_0BL</td> <td>← 転送先アドレスを指定</td> </tr> <tr> <td></td> <td>IOAR_0A</td> <td>← 未使用</td> </tr> <tr> <td></td> <td>IOAR_0B</td> <td>← 未使用</td> </tr> <tr> <td></td> <td>ETCR_0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td></td> <td>ETCR_0B</td> <td>← 転送回数を指定 (ブロック転送モード時のみ使用)</td> </tr> <tr> <td></td> <td>DMACR_0A</td> <td>DMACR_0B</td> <td>← 転送サイズ、モード、起動要因などを指定</td> </tr> </table>	チャンネル 0	MAR_0AH	MAR_0AL	← 転送元アドレスを指定	MAR_0BH	MAR_0BL	← 転送先アドレスを指定		IOAR_0A	← 未使用		IOAR_0B	← 未使用		ETCR_0A	← 転送回数を指定		ETCR_0B	← 転送回数を指定 (ブロック転送モード時のみ使用)		DMACR_0A	DMACR_0B	← 転送サイズ、モード、起動要因などを指定			
チャンネル 0	MAR_0AH		MAR_0AL	← 転送元アドレスを指定																							
	MAR_0BH		MAR_0BL	← 転送先アドレスを指定																							
			IOAR_0A	← 未使用																							
			IOAR_0B	← 未使用																							
			ETCR_0A	← 転送回数を指定																							
		ETCR_0B	← 転送回数を指定 (ブロック転送モード時のみ使用)																								
	DMACR_0A	DMACR_0B	← 転送サイズ、モード、起動要因などを指定																								

### 8.3.1 メモリアドレスレジスタ (MARA、MARB)

MAR は、ソースアドレス (転送元アドレス)、デスティネーションアドレス (転送先アドレス) を指定する 32 ビットのリード/ライト可能なレジスタです。MAR は 2 本の 16 ビットレジスタ MARH、MARL から構成されています。MARH の上位 8 ビットはリザーブビットで、リードすると常に 0 が読み出されます。ライトは無効です。

MAR は、チャンネル 0 に MAR\_0A (チャンネル 0A)、MAR\_0B (チャンネル 0B)、チャンネル 1 に MAR\_1A (チャンネル 1A)、MAR\_1B (チャンネル 1B) の 4 本があります。

MAR は、リセットまたはスタンバイモード時に初期化されません。

#### (1) ショートアドレスモード

ショートアドレスモードでは、MARA、MARB はそれぞれ独立して動作します。DMACR の DTDIR ビットにより、ソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかを選択できます。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、MAR によって指定するアドレスを自動的に更新します。

#### (2) フルアドレスモード

フルアドレスモードでは、MARA はソースアドレスレジスタとして機能し、MARB はデスティネーションアドレスレジスタとして機能します。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新します。

### 8.3.2 I/O アドレスレジスタ (IOARA、IOARB)

IOAR はソースアドレス (転送元アドレス) またはデスティネーションアドレス (転送先アドレス) の下位 16 ビットを指定する 16 ビットのリード/ライト可能なレジスタです。転送アドレスの上位 8 ビットは、H'FF の値が自動的に設定されます。

IOAR は、チャンネル 0 に IOAR\_0A (チャンネル 0A)、IOAR\_0B (チャンネル 0B)、チャンネル 1 に IOAR\_1A (チャンネル 1A)、IOAR\_1B (チャンネル 1B) の 4 本があります。

IOAR は、DMACR の DTDIR ビットにより、ソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかを選択できます。

IOAR はデータ転送でインクリメント/デクリメントされず、IOAR によって指定するアドレスは固定となります。

IOAR はリセットまたはスタンバイモード時に初期化されません。

IOAR はショートアドレスモードで使用し、フルアドレスモードでは使用しません。

## 8. DMA コントローラ (DMAC)

---

### 8.3.3 転送カウントレジスタ (ETCRA、ETCRB)

ETCR は転送回数を設定する 16 ビットのリード/ライト可能なレジスタです。ETCR は、チャンネル 0 に ETCR\_0A (チャンネル 0A)、ETCR\_0B (チャンネル 0B)、チャンネル 1 に ETCR\_1A (チャンネル 1A)、ETCR\_1B (チャンネル 1B) の 4 本があります。

ETCR は、リセットまたはスタンバイモード時に初期化されません。

#### (1) ショートアドレスモード

ETCR は、シーケンシャルモードおよびアイドルモードと、リピートモードでは設定が異なります。

シーケンシャルモードおよびアイドルモードでは、ETCR は 16 ビットの転送カウンタとして機能します。1 回のデータ転送を行うたびに 1 ずつデクリメントされ、H'0000 になると DMABCRL の DTE ビットをクリアし、転送を終了します。

リピートモードでは、ETCR は 8 ビットの転送カウンタ (ETCRL) と、転送回数保持レジスタ (ETCRH) として機能します。1 回のデータ転送を行うたびに ETCRL は 1 ずつデクリメントされ、カウンタ値が H'00 になると ETCRH の値をロードします。このとき MAR はデータ転送を開始したときの値に自動的に戻ります。DMABCRL の DTE ビットはクリアされません。DTE ビットをクリアするまで、繰り返しデータ転送が行えます。

#### (2) フルアドレスモード

ETCR は、ノーマルモードとブロック転送モードでは機能が異なります。

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回のデータ転送を行うたびに 1 ずつデクリメントされ、カウンタ値が H'0000 になると転送を終了します。ETCRB はノーマルモードでは使用しません。

ブロック転送モードでは、ETCRA は 8 ビットのブロックサイズカウンタ (ETCRAL) と、ブロックサイズ保持レジスタ (ETCRAH) として機能します。ETCRAL は 1 バイトまたは 1 ワードのデータ転送を行うたびに 1 ずつデクリメントされ、カウンタ値が H'00 になると ETCRAH の値がロードされます。ETCRAL、ETCRAH にブロックサイズを設定することにより、任意のバイト数またはワード数で構成されたブロックを繰り返し転送することができます。

ETCRB は、ブロック転送モードでは 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 ずつデクリメントされ、H'0000 になると転送を終了します。

### 8.3.4 DMA コントロールレジスタ (DMACRA、DMACRB)

DMACR は DMAC の各チャンネルの動作を制御します。DMACR は、チャンネル 0 に DMACR\_0A (チャンネル 0A)、DMACR\_0B (チャンネル 0B)、チャンネル 1 に DMACR\_1A (チャンネル 1A)、DMACR\_1B (チャンネル 1B) の 4 本があります。DMACR は、ショートアドレスモードではチャンネル A、チャンネル B はそれぞれ独立して動作し、フルアドレスモードではチャンネル A、チャンネル B は組み合わせて動作します。DMACR は、転送モードにより一部のビット機能が異なります。

## (1) ショートアドレスモード

- DMACR\_0A、DMACR\_0B、DMACR\_1A、DMACR\_1B

ビット	ビット名	初期値	R/W	説明
7	DTSZ	0	R/W	データトランスファサイズ 1 回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
6	DTID	0	R/W	データトランスインクリメント/デクリメント シーケンシャルモードまたはリポートモードの場合、データ転送ごとの MAR のインクリメント/デクリメントを選択します。アイドルモードの場合、MAR はインクリメント/デクリメントされません。 0: データ転送後 MAR をインクリメント <ul style="list-style-type: none"> <li>• DTSZ=0 のとき、MAR を +1</li> <li>• DTSZ=1 のとき、MAR を +2</li> </ul> 1: データ転送後 MAR をデクリメント <ul style="list-style-type: none"> <li>• DTSZ=0 のとき、MAR を -1</li> <li>• DTSZ=1 のとき、MAR を -2</li> </ul>
5	RPE	0	R/W	リポートイネーブル DMABCR の DTIE ビットと組み合わせて、シーケンシャルモード、アイドルモード、リポートモードのどのモードで転送するかを選択します。 DTIE = 0 のとき (転送終了割り込みなし) <ul style="list-style-type: none"> <li>0: シーケンシャルモードで転送</li> <li>1: リポートモードで転送</li> </ul> DTIE = 1 のとき (転送終了割り込みあり) <ul style="list-style-type: none"> <li>0: シーケンシャルモードで転送</li> <li>1: アイドルモードで転送</li> </ul>
4	DTDIR	0	R/W	データトランスファディレクション DMABCR の SAE ビットと組み合わせて、データ転送の方向 (ソース側、デスティネーション側) を指定します。デュアルアドレスモードとシングルアドレスモードでは機能が異なります。 SAE = 0 のとき <ul style="list-style-type: none"> <li>0: MAR をソースアドレス、IOAR をデスティネーションアドレスとして転送</li> <li>1: IOAR をソースアドレス、MAR をデスティネーションアドレスとして転送</li> </ul> SAE = 1 のとき <ul style="list-style-type: none"> <li>0: MAR をソースアドレス、<math>\overline{DACK}</math> 端子をライトストローブとして転送</li> <li>1: <math>\overline{DACK}</math> 端子をリードストローブ、MAR をデスティネーションアドレスとして転送</li> </ul>

## 8. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
3	DTF3	0	R/W	データトランスファファクタ 3~0
2	DTF2	0	R/W	データ転送の起動要因を選択します。チャンネル A とチャンネル B では一部起動要因が異なります。
1	DTF1	0	R/W	
0	DTF0	0	R/W	チャンネル A 0000 : 設定禁止 0001 : A/D 変換器の変換終了割り込みで起動 0010 : 設定禁止 0011 : 設定禁止 0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動 0101 : SCI チャンネル 0 の受信データフル割り込みで起動 0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動 0111 : SCI チャンネル 1 の受信データフル割り込みで起動 1000 : TPU チャンネル 0 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1001 : TPU チャンネル 1 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1010 : TPU チャンネル 2 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1011 : TPU チャンネル 3 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1100 : TPU チャンネル 4 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1101 : TPU チャンネル 5 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1110 : 設定禁止 1111 : 設定禁止 チャンネル B の場合 0000 : 設定禁止 0001 : A/D 変換器の変換終了割り込みで起動 0010 : DREQ 端子の立ち下がりエッジで起動 ( 転送許可後の最初の転送は Low レベルで検出します ) 0011 : DREQ 端子の Low レベル入力で起動 0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動 0101 : SCI チャンネル 0 の受信データフル割り込みで起動 0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動 0111 : SCI チャンネル 1 の受信データフル割り込みで起動 1000 : TPU チャンネル 0 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1001 : TPU チャンネル 1 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1010 : TPU チャンネル 2 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1011 : TPU チャンネル 3 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1100 : TPU チャンネル 4 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1101 : TPU チャンネル 5 のコンペアマッチ / インプットキャプチャ A 割り込みで起動 1110 : 設定禁止 1111 : 設定禁止 複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「8.5.11 複数チャンネルの動作」を参照してください。

## (2) フルアドレスモード

## • DMACR\_0A、DMACR\_1A

ビット	ビット名	初期値	R/W	説明
15	DTSZ	0	R/W	データ転送サイズ 1回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
14 13	SAID SAIDE	0 0	R/W R/W	ソースアドレスインクリメント/デクリメント ソースアドレスインクリメント/デクリメントイネーブル データ転送時、ソースアドレスレジスタ MARA をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00: 固定 01: データ転送後、MARA をインクリメント • DTSZ = 0 のとき、MARA を +1 • DTSZ = 1 のとき、MARA を +2 10: 固定 11: データ転送後、MARA をデクリメント • DTSZ = 0 のとき、MARA を -1 • DTSZ = 1 のとき、MARA を -2
12 11	BLKDIR BLKE	0 0	R/W R/W	ブロックディレクション ブロックイネーブル ノーマルモードで転送するか、ブロック転送モードで転送するかを BLKE ビットで指定します。またブロック転送モードを指定する場合には、ソース側、デスティネーション側のどちらをブロックエリアとするかを BLKDIR ビットで指定します。 X0: ノーマルモードで転送 01: ブロック転送モードで転送 (ブロックエリアはデスティネーション側) 11: ブロック転送モードで転送 (ブロックエリアはソース側)
10~8	-	すべて 0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。

【記号説明】 X: Don't care

## 8. DMA コントローラ (DMAC)

### • DMACR\_0B、DMACR\_1B

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
6	DAID	0	R/W	デスティネーションアドレスインクリメント/デクリメント
5	DAIDE	0	R/W	デスティネーションアドレスインクリメント/デクリメントイネーブル データ転送時、デスティネーションアドレスレジスタ MARB をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00: 固定 01: データ転送後、MARB をインクリメント <ul style="list-style-type: none"> <li>• DTSZ=0 のとき、MARB を +1</li> <li>• DTSZ=1 のとき、MARB を +2</li> </ul> 10: 固定 11: データ転送後、MARB をデクリメント <ul style="list-style-type: none"> <li>• DTSZ=0 のとき、MARB を -1</li> <li>• DTSZ=1 のとき、MARB を -2</li> </ul>
4	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。



8. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
3	DTF3	0	R/W	データトランスファファクタ 3~0
2	DTF2	0	R/W	データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。
1	DTF1	0	R/W	ノーマルモード
0	DTF0	0	R/W	<p>0000 : 設定禁止</p> <p>0001 : 設定禁止</p> <p>0010 : <math>\overline{\text{DREQ}}</math> 端子の立ち下がりエッジ入力で起動(転送許可後の最初の転送は、Low レベルで検出します)</p> <p>0011 : <math>\overline{\text{DREQ}}</math> 端子の Low レベル入力で起動</p> <p>010X : 設定禁止</p> <p>0110 : オートリクエスト (サイクルスチール)</p> <p>0111 : オートリクエスト (バースト)</p> <p>1XXX : 設定禁止</p> <p>ブロック転送モード</p> <p>0000 : 設定禁止</p> <p>0001 : A/D 変換器の変換終了割り込みで起動</p> <p>0010 : <math>\overline{\text{DREQ}}</math> 端子の立ち下がりエッジ入力で起動 (転送許可後の最初の転送は、Low レベルで検出します)</p> <p>0011 : <math>\overline{\text{DREQ}}</math> 端子の Low レベルで起動</p> <p>0100 : SCI チャンネル 0 の送信データエンプティ割り込みで起動</p> <p>0101 : SCI チャンネル 0 の受信データフル割り込みで起動</p> <p>0110 : SCI チャンネル 1 の送信データエンプティ割り込みで起動</p> <p>0111 : SCI チャンネル 1 の受信データフル割り込みで起動</p> <p>1000 : TPU チャンネル 0 のコンペアマッチ / インプットキャプチャ A 割り込みで起動</p> <p>1001 : TPU チャンネル 1 のコンペアマッチ / インプットキャプチャ A 割り込みで起動</p> <p>1010 : TPU チャンネル 2 のコンペアマッチ / インプットキャプチャ A 割り込みで起動</p> <p>1011 : TPU チャンネル 3 のコンペアマッチ / インプットキャプチャ A 割り込みで起動</p> <p>1100 : TPU チャンネル 4 のコンペアマッチ / インプットキャプチャ A 割り込みで起動</p> <p>1101 : TPU チャンネル 5 のコンペアマッチ / インプットキャプチャ A 割り込みで起動</p> <p>1110 : 設定禁止</p> <p>1111 : 設定禁止</p> <p>複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「8.5.11 複数チャンネルの動作」を参照してください。</p>

【記号説明】 X : Don't care

## 8. DMA コントローラ (DMAC)

### 8.3.5 DMA バンドコントロールレジスタ H、L (DMABCRH、DMABCRL)

DMABCR は DMAC の各チャンネルの動作を制御します。DMABCR は、転送モードにより一部ビットの機能が異なります。

#### (1) ショートアドレスモード

##### • DMABCRH

ビット	ビット名	初期値	R/W	説明
15	FAE1	0	R/W	フルアドレスイネーブル 1 チャンネル 1 をショートアドレスモード / フルアドレスモードのどちらで使用するかを指定します。ショートアドレスモードでは、チャンネル 1A、1B はそれぞれ独立したチャンネルとして使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
14	FAE0	0	R/W	フルアドレスイネーブル 0 チャンネル 0 をショートアドレスモード / フルアドレスモードのどちらで使用するかを指定します。ショートアドレスモードでは、チャンネル 0A、0B はそれぞれ独立したチャンネルとして使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
13	SAE1	0	R/W	シングルアドレスイネーブル 1 チャンネル 1B をデュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定します。フルアドレスモードでは、本ビットは無効になります。 0 : デュアルアドレスモード 1 : シングルアドレスモード
12	SAE0	0	R/W	シングルアドレスイネーブル 0 チャンネル 0B をデュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定します。フルアドレスモードでは、本ビットは無効になります。 0 : デュアルアドレスモード 1 : シングルアドレスモード

## 8. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
11	DTA1B	0	R/W	データトランスファアクノレッジ 1B データトランスファアクノレッジ 1A データトランスファアクノレッジ 0B データトランスファアクノレッジ 0A  DMACR の DTF3~0 ビットによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。  DTE = 1 のとき DTA = 1 にすると、内部割り込み要因は DMA 転送により自動的にクリアされます。DTE = 1、DTA = 1 の状態では、内部割り込みは CPU および DTC に割り込みを要求しません。  DTE = 1 のとき DTA = 0 にすると、内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合、CPU または DTC 転送で割り込み要因をクリアしてください。  DTE = 0 のとき DTA ビットの設定に関係なく、内部割り込み要因は CPU または DTC に割り込みを要求します。  0 : 選択されている内部割り込み要因の DMA 転送時のクリアを禁止 1 : 選択されている内部割り込み要因の DMA 転送時のクリアを許可
10	DTA1A	0	R/W	
9	DTA0B	0	R/W	
8	DTA0A	0	R/W	

### • DMABCRL

ビット	ビット名	初期値	R/W	説 明
7	DTE1B	0	R/W	データトランスファイネーブル 1B データトランスファイネーブル 1A データトランスファイネーブル 0B データトランスファイネーブル 0A  DTIE = 1 のとき DTE = 0 になると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。  DTE = 1 はデータ転送許可状態であり、DMACR の DTF3~0 ビットによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、DMA 転送が実行されます。  0 : データ転送を禁止 1 : データ転送を許可  [クリア条件] • 初期化されたとき • リピートモードを除いた転送モードで、指定した回数の転送を終了したとき • 強制的に転送を中断するなどの理由により、DTE ビットに 0 をライトしたとき  [セット条件] • DTE = 0 をリード後、DTE = 1 をライトしたとき
6	DTE1A	0	R/W	
5	DTE0B	0	R/W	
4	DTE0A	0	R/W	

## 8. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
3	DTIE1B	0	R/W	データトランスファエンドインタラプトイネーブル 1B
2	DTIE1A	0	R/W	データトランスファエンドインタラプトイネーブル 1A
1	DTIE0B	0	R/W	データトランスファエンドインタラプトイネーブル 0B
0	DTIE0A	0	R/W	データトランスファエンドインタラプトイネーブル 0A

転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTE = 0 のときに DTIE = 1 にすると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。

転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。

0 : 転送終了割り込みを禁止  
1 : 転送終了割り込みを許可

## (2) フルアドレスモード

## • DMABCRH

ビット	ビット名	初期値	R/W	説明
15	FAE1	0	R/W	<p>フルアドレスイネーブル 1</p> <p>チャンネル 1 をショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。フルアドレスモードでは、チャンネル 1A、1B を組み合わせてチャンネル 1 として使用できます。</p> <p>0 : ショートアドレスモード 1 : フルアドレスモード</p>
14	FAE0	0	R/W	<p>フルアドレスイネーブル 0</p> <p>チャンネル 0 をショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。フルアドレスモードでは、チャンネル 0A、0B を組み合わせてチャンネル 0 として使用できます。</p> <p>0 : ショートアドレスモード 1 : フルアドレスモード</p>
13, 12		すべて 0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>
11	DTA1	0	R/W	<p>データトランスファアクノレッジ 1</p> <p>チャンネル 1 の DMACR の DTF3~0 ビットによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。</p> <p>DTE1=1 のとき DTA1=1 にすると、内部割り込み要因は DMA 転送により自動的にクリアされます。DTE1=1、DTA1=1 の状態では内部割り込みは CPU および DTC に割り込みを要求しません。</p> <p>DTE1=1 のとき DTA1=0 にすると、内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合、CPU または DTC 転送で割り込み要因をクリアしてください。</p> <p>DTE1=0 のとき、DTA1 ビットの設定に関係なく、内部割り込みは CPU または DTC に割り込みを要求します。</p> <p>DTME1 ビットの状態は、前述の動作に影響を与えません。</p> <p>0 : 選択されている内部割り込み要因の DMA 転送時のクリアを禁止 1 : 選択されている内部割り込み要因の DMA 転送時のクリアを許可</p>

## 8. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
10		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
9	DTA0	0	R/W	データ転スファアノレッジ0 チャンネル0のDMACRのDTF3~0ビットによって選択されている内部割り込み要因のDMA転送時のクリアを許可または禁止するビットです。 DTE0=1のときDTA0=1にすると、内部割り込み要因はDMA転送により自動的にクリアされます。DTE0=1、DTA0=1の状態では内部割り込みはCPUおよびDTCに割り込みを要求しません。 DTE0=1のときDTA0=0にすると、内部割り込み要因は転送時にはクリアされず、並行してCPUまたはDTCに割り込みを要求することができます。この場合、CPUまたはDTC転送で割り込み要因をクリアしてください。 DTE0=0のとき、DTA0ビットの設定に関係なく、内部割り込みはCPUまたはDTCに割り込みを要求します。 DTME0ビットの状態は、前述の動作に影響を与えません。 0：選択されている内部割り込み要因のDMA転送時のクリアを禁止 1：選択されている内部割り込み要因のDMA転送時のクリアを許可
8		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

### • DMABCRL

ビット	ビット名	初期値	R/W	説明
7	DTME1	0	R/W	データ転スファマスタイネーブル1 DTE1ビットとともにチャンネル1のデータ転送を許可または禁止するビットです。DTME1ビットとDTE1ビットをいずれも1にセットすると、チャンネル1は転送許可状態となります。 NMI割り込みが発生したとき、チャンネル1がバーストモード転送中のときはDTME1ビットが0にクリアされ、転送を中断してCPUにバス権を移します。その後、DTME1ビットを1にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI割り込みによりDTME1ビットがクリアされることはなく、転送を中断することはありません。 0：データ転送を禁止 1：データ転送を許可 [クリア条件] • 初期化されたとき • バーストモードでNMIが入力されたとき • DTME1ビットに0をライトしたとき [セット条件] • DTME1ビット=0をリード後、DTME1ビットに1をライトしたとき

## 8. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
6	DTE1	0	R/W	<p>データトランスファイネーブル 1</p> <p>チャンネル1のDMACRのDTF3~0ビットによって選択されている起動要因のDMA転送を許可または禁止するビットです。</p> <p>DTE1=0のときはデータ転送禁止状態であり、起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPUまたはDTCに割り込みが要求されます。また、DTIE1=1のときDTE1=0になると、DMACは転送終了とみなし、CPUに対し転送終了割り込みを要求します。</p> <p>DTE1=1かつDTME1=1のときはデータ転送許可状態であり、起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。</p> <p>0: データ転送を禁止 1: データ転送を許可</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 初期化されたとき</li> <li>• 指定した回数の転送を終了したとき</li> <li>• 強制的に転送を中断するなどの理由により、DTE1ビットに0をライトしたとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• DTE1=0をリード後、DTE1ビットに1をライトしたとき</li> </ul>
5	DTME0	0	R/W	<p>データトランスファマスタイネーブル 0</p> <p>DTE0ビットとともにチャンネル0のデータ転送を許可または禁止するビットです。DTME0ビットとDTE0ビットをいずれも1にセットすると、チャンネル0は転送許可状態となります。</p> <p>NMI割り込みが発生したとき、チャンネル0がバーストモード転送中のときはDTME0ビットが0にクリアされ、転送を中断してCPUにバス権を移します。その後、DTME0ビットを1にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI割り込みによりDTME0ビットがクリアされることはなく、転送を中断することはありません。</p> <p>0: データ転送を禁止 1: データ転送を許可</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 初期化されたとき</li> <li>• バーストモードでNMIが入力されたとき</li> <li>• DTME0ビットに0をライトしたとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• DTME0ビット=0をリード後、DTME0ビットに1をライトしたとき</li> </ul>

## 8. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
4	DTE0	0	R/W	<p>データトランスファインープル0</p> <p>チャンネル0のDMACRのDTF3~0ビットによって選択されている起動要因のDMA転送を許可または禁止するビットです。</p> <p>DTE0=0のときはデータ転送禁止状態であり、起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPUまたはDTCに割り込みが要求されます。また、DTIE0=1のときDTE0=0になると、DMACは転送終了とみなし、CPUに対し転送終了割り込みを要求します。</p> <p>DTE0=1かつDTME0=1のときはデータ転送許可状態であり、起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。</p> <p>0: データ転送を禁止 1: データ転送を許可</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>初期化されたとき</li> <li>指定した回数の転送を終了したとき</li> <li>強制的に転送を中断するなどの理由により、DTE0ビットに0をライトしたとき</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>DTE0=0をリード後、DTE0ビットに1をライトしたとき</li> </ul>
3	DTIE1B	0	R/W	<p>データトランスファインタラプティネープル1B</p> <p>チャンネル1の転送中断時のCPUまたはDTCに対する割り込みを許可または禁止するビットです。DTIE1B=1のときDTME1=0になると、DMACは転送中断とみなし、CPUまたはDTCに対し転送中断割り込みを要求します。</p> <p>転送中断割り込みを解除するには、割り込み処理ルーチンにてDTIE1Bビットを0にクリアする方法と、DTME1ビットを1にセットして転送継続の処理を行う方法があります。</p> <p>0: データ転送を禁止 1: データ転送を許可</p>
2	DTIE1A	0	R/W	<p>データトランスファエンドインタラプティネープル1A</p> <p>チャンネル1の転送終了時のCPUまたはDTCに対する割り込みを許可または禁止するビットです。DTIE1A=1のときDTE1=0になると、DMACは転送終了とみなし、CPUまたはDTCに対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにてDTIE1Aビットを0にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後にDTE1ビットを1にセットして転送継続の処理を行う方法があります。</p> <p>0: データ転送を禁止 1: データ転送を許可</p>



## 8. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
1	DTIE0B	0	R/W	<p>データトランスファインタラプトイネーブル 0B</p> <p>チャンネル 0 の転送中断時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE0B = 1 のとき DTME0 = 0 になると、DMAC は転送中断とみなし、CPU または DTC に対し転送中断割り込みを要求します。</p> <p>転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIE0B ビットを 0 にクリアする方法と、DTME0 ビットを 1 にセットして転送継続の処理を行う方法があります。</p> <p>0 : データ転送を禁止 1 : データ転送を許可</p>
0	DTIE0A	0	R/W	<p>データトランスファエンドインタラプトイネーブル 0A</p> <p>チャンネル 0 の転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE0A = 1 のとき DTE0 = 0 になると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE0A ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE0 ビットを 1 にセットして転送継続の処理を行う方法があります。</p> <p>0 : データ転送を禁止 1 : データ転送を許可</p>

## 8. DMA コントローラ (DMAC)

### 8.3.6 DMA ライトイネーブルレジスタ (DMAWER)

DMAC は、転送終了割り込みによって DTC を起動し、転送終了したチャンネルを DTC のチェーン転送を利用して書き換え、再起動させることができます。DMAWER は、目的とするチャンネル以外のレジスタを不用意に書き換えることができないように、DTC に対し特定チャンネルの DMACR および DMATCR、DMABCR の特定ビットの変更を制限します。DMAWER による制限は、DTC に対し有効です。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	WE1B	0	R/W	ライトイネーブル 1B DMACR1B のすべてのビットと、DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを許可または禁止するビットです。 0 : ライト禁止 1 : ライト許可
2	WE1A	0	R/W	ライトイネーブル 1A DMACR1A のすべてのビットと、DMABCR のビット 10、6、2 へのライトを許可または禁止するビットです。 0 : ライト禁止 1 : ライト許可
1	WE0B	0	R/W	ライトイネーブル 0B DMACR0B のすべてのビットと、DMABCR のビット 9、5、1、DMATCR のビット 4 へのライトを許可または禁止するビットです。 0 : ライト禁止 1 : ライト許可
0	WE0A	0	R/W	ライトイネーブル 0A DMACR0A のすべてのビットと、DMABCR のビット 8、4、0 へのライトを許可または禁止するビットです。 0 : ライト禁止 1 : ライト許可

図 8.2 にチャンネル 0A の転送終了割り込み要求により DTC を起動し、チャンネル 0A を再起動するための転送領域を示します。1 回目の DTC 転送でアドレスレジスタ、カウントレジスタの領域を再設定し、続いて 2 回目の DTC チェイン転送でコントロールレジスタの領域を再設定します。コントロールレジスタの領域を再設定する際には、他のチャンネルの内容を変更できないように DMAWER のビットを設定してマスクしてください。

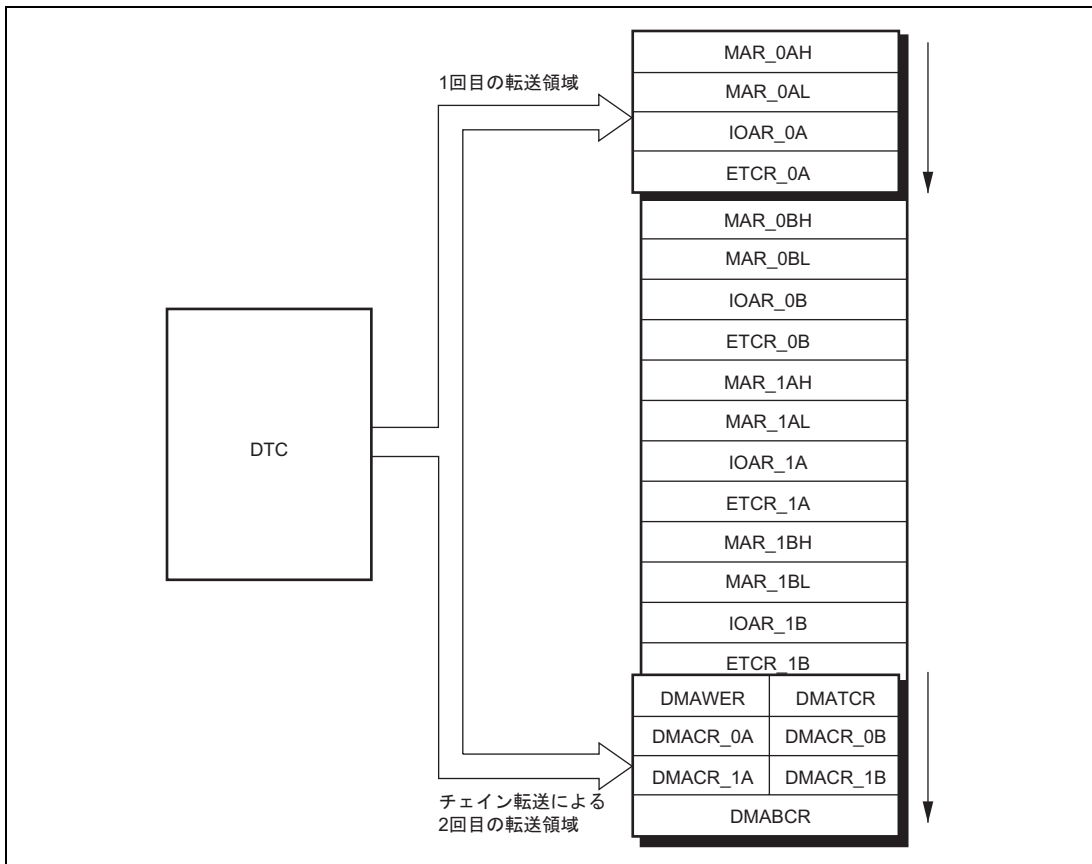


図 8.2 DTC によるレジスタ再設定領域 (チャンネル 0A)

DMAWER の設定にかかわらず、DTC による DMABCR のビット 15~12 (FAE、SAE) へのライトは無効です。これらのビットの変更は CPU による処理で行ってください。

DTC による DMABCR のビット 7~4 (DTE) へのライトは、0 をリードせずに 1 をライトすることができます。フルアドレスモードに設定されているチャンネルの再起動は、再起動するチャンネルのライトイネーブル A、ライトイネーブル B とともに 1 をライトしてください。

MAR、IOAR、ETCR は、DMAWER の設定に関係なく常にライト可能です。これらのレジスタの変更は、変更するチャンネルが停止している状態で行ってください。

## 8. DMA コントローラ (DMAC)

---

### 8.3.7 DMA ターミナルコントロールレジスタ (DMATCR)

DMATCR は、DMAC の転送終了端子の出力の許可または禁止を制御します。ビットの設定によりポートを自動的に出力に設定し、転送終了信号を出力することができます。TEND 端子は、ショートアドレスモードではチャンネル B のみに割り当てられています。転送終了信号は、転送要因によらず、転送カウンタが 0 になった転送サイクルを示しています。例外として、ブロック転送モードの場合は、ブロックカウンタが 0 になった転送サイクルを示しています。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	TEE1	0	R/W	転送終了端子イネーブル 1 転送終了端子 1 ( $\overline{TEND1}$ ) の出力を許可または禁止するビットです。 0: $\overline{TEND1}$ 端子出力を禁止 1: $\overline{TEND1}$ 端子出力を許可
4	TEE0	0	R/W	転送終了端子イネーブル 0 転送終了端子 0 ( $\overline{TEND0}$ ) の出力を許可または禁止するビットです。 0: $\overline{TEND0}$ 端子出力を禁止 1: $\overline{TEND0}$ 端子出力を許可
3~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

## 8.4 起動要因

DMAC は内部割り込み要求または外部リクエスト、オートリクエストにより起動します。表 8.3 に DMAC の起動要因を示します。指定できる要因は、転送モードによって異なります。

表 8.3 DMAC の起動要因

起動要因		ショートアドレスモード		フルアドレスモード	
		チャンネル 0A、1A	チャンネル 0B、1B	ノーマル モード	ブロック 転送モード
内部 割り込み	ADI			×	
	TXI0			×	
	RXI0			×	
	TXI1			×	
	RXI1			×	
	TGI0A			×	
	TGI1A			×	
	TGI2A			×	
	TGI3A			×	
	TGI4A			×	
	TGI5A			×	
外部 リクエスト	DREQ 端子の立ち下がりエッジ入力	×			
	DREQ 端子の Low レベル入力	×			
オートリクエスト		×	×		×

【記号説明】 : 指定可能 × : 指定不可

### 8.4.1 内部割り込み要求による起動

DMAC の起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に割り込み要求を発生させることができます。詳細は「第 5 章 割り込みコントローラ」を参照してください。

内部割り込み要求による起動要因では、DMAC は割り込みコントローラとは独立して割り込み要求を受け付けます。このため、割り込みコントローラの優先順位の設定の影響を受けません。

CPU の割り込み要因、または DTC の起動要因としない割り込み要求により DMAC を起動する場合 (DTA = 1)、割り込み要求フラグは DMA 転送により自動的にクリアされます。ただし、ADI、TXI、RXI 割り込みは、DMA 転送で所定のレジスタをアクセスしないと、割り込み要求フラグはクリアされません。複数のチャンネルで同一の割り込み要求を起動要因とした場合、最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持され優先順位に従って起動されます。

転送終了後の DTE = 0 の状態では、DTA ビットの設定に関係なく、選択された起動要因は DMAC に割り込みを要求しません。この場合、当該割り込みは CPU または DTC に割り込みを要求します。

CPU の割り込み要因または、DTC の起動要因と重なっている場合 (DTA = 0)、割り込み要求フラグは DMAC

によりクリアされません。

### 8.4.2 外部リクエストによる起動

DMAC の起動要因として外部リクエスト ( $\overline{\text{DREQ}}$  端子) を指定する場合は、該当ポートをあらかじめ入力に設定してください。外部リクエストにはレベルセンスとエッジセンスがあります。

ショートアドレスモード、フルアドレスモードのノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合、 $\overline{\text{DREQ}}$  端子の High レベルから Low レベルの変化を検出するたびに、1 バイトまたは 1 ワードのデータ転送を行います。データ転送を完了する前に次のエッジが入力された場合は、次のデータ転送を行わないことがあります。

レベルセンスを選択した場合、 $\overline{\text{DREQ}}$  端子が High レベルに保持されているときは、転送要求待ち状態となります。また、 $\overline{\text{DREQ}}$  端子が Low レベルに保持されているときは、1 バイトまたは 1 ワードの転送を行うたびにバスを解放しつつ、連続して転送を続けます。転送の途中で  $\overline{\text{DREQ}}$  端子が High レベルになると、転送を中断し転送要求待ち状態になります。

### 8.4.3 オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで転送を続けます。オートリクエストでは、サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを他のバスマスタに解放します。通常、DMA サイクルと CPU サイクルが交互に繰り返されます。バーストモードでは、転送終了までバスを占有し連続して転送を行います。

## 8.5 動作説明

### 8.5.1 転送モード

DMAC の転送モードを表 8.4 に示します。

表 8.4 DMAC の転送モード

転送モード	転送要因	備考
ショート アドレスモード	デュアルアドレスモード <ul style="list-style-type: none"> <li>• 1 回の転送要求で 1 バイト または 1 ワードの転送を実行</li> <li>• 転送先 / 転送元アドレスを指定し、2 バスサイクルで転送 (1) シーケンシャルモード</li> <li>• メモリアドレスを 1 または 2 増減</li> <li>• 転送回数は 1 ~ 65536</li> <li>(2) アイドルモード</li> <li>• メモリアドレスは固定</li> <li>• 転送回数は 1 ~ 65536</li> <li>(3) リピートモード</li> <li>• メモリアドレスを 1 または 2 増減</li> <li>• 転送回数 (1 ~ 256) 転送後、 初期状態を回復して動作を継続</li> </ul>	<ul style="list-style-type: none"> <li>• TPU チャンネル 0~5 の コンペアマッチ / インプット キャプチャ A 割り込み</li> <li>• SCI の送信データエンプティ 割り込み</li> <li>• SCI の受信データフル割り込み</li> <li>• A/D 変換器の変換終了割り込み</li> <li>• 外部リクエスト</li> </ul>
	シングルアドレスモード <ul style="list-style-type: none"> <li>• 1 回の転送要求で 1 バイト または 1 ワードの転送を実行</li> <li>• I/O を指定するアドレスの代わりに <math>\overline{\text{DACK}}</math> 端子を用いて 1 バスサイクルで転送</li> <li>• シーケンシャルモード、アイドル モード、リピートモードの各モードを指定可能</li> </ul>	

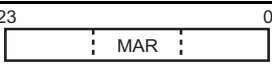
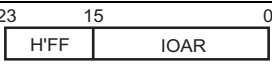

## 8. DMA コントローラ (DMAC)

転送モード		転送要因	備考
フル アドレスモード	ノーマルモード (1) オートリクエスト <ul style="list-style-type: none"> <li>転送要求を内部保持</li> <li>指定回数 (1 ~ 65536) を継続して転送</li> <li>バースト / サイクルスチール転送を選択可能</li> </ul>	<ul style="list-style-type: none"> <li>オートリクエスト</li> </ul>	<ul style="list-style-type: none"> <li>チャンネル A、B を組み合わせて、最大 2 チャンネル動作可能</li> </ul>
	(2) 外部リクエスト <ul style="list-style-type: none"> <li>1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行</li> <li>転送回数は 1 ~ 65536</li> </ul>	<ul style="list-style-type: none"> <li>外部リクエスト</li> </ul>	
	ブロック転送モード <ul style="list-style-type: none"> <li>1 回の転送要求で指定した 1 ブロックサイズの転送を実行</li> <li>転送回数は 1 ~ 65536</li> <li>ソースまたはデスティネーションのいずれかをブロックエリアに指定可能</li> <li>ブロックサイズは 1 ~ 256 バイトまたはワード</li> </ul>	<ul style="list-style-type: none"> <li>TPU チャンネル 0 ~ 5 のコンペアマッチ / インпутキャプチャ A 割り込み</li> <li>SCI の送信データエンティ割り込み</li> <li>SCI の受信データフル割り込み</li> <li>A/D 変換器の変換終了割り込み</li> <li>外部リクエスト</li> </ul>	

### 8.5.2 シーケンシャルモード

シーケンシャルモードは、DMACR の RPE ビットを 0 に設定することで指定できます。シーケンシャルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCR で設定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 8.5 にシーケンシャルモード時のレジスタの機能を示します。

表 8.5 シーケンシャルモード時のレジスタ機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント / デクリメント
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了



MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワードデータ転送を行うたびに 1 または 2 をインクリメント / デクリメントします。IOAR にもう一方のアドレスの低位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。

図 8.3 にシーケンシャルモードの動作を示します。

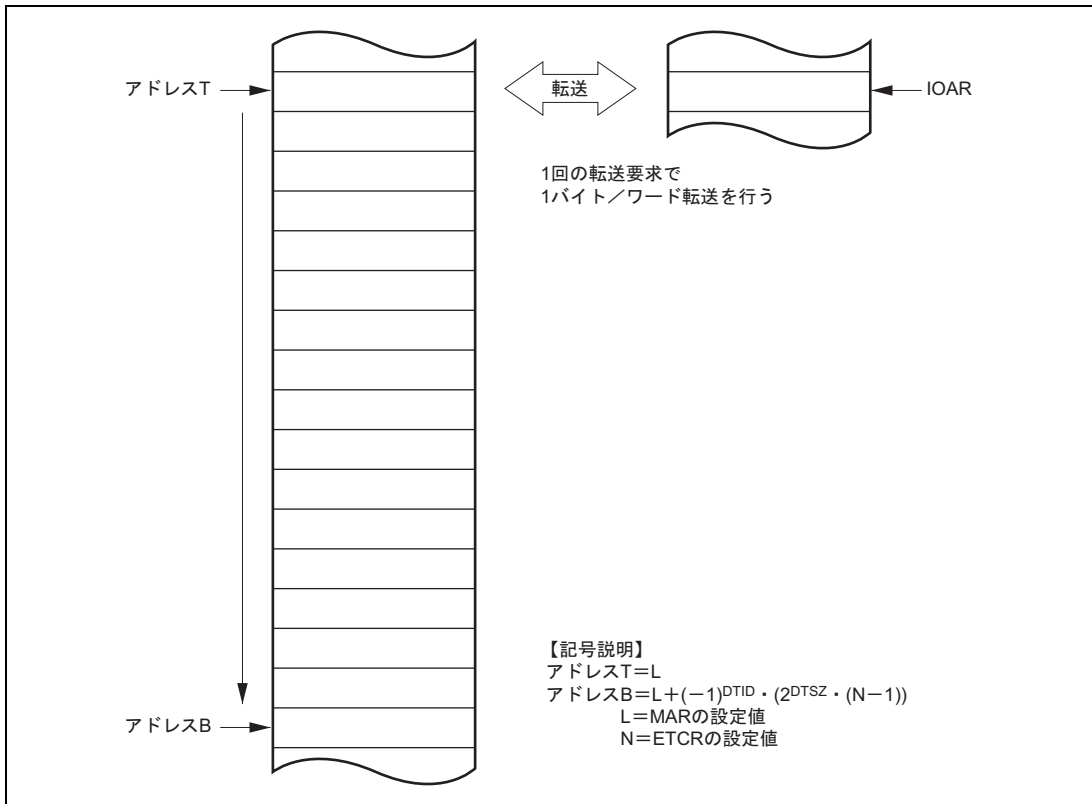


図 8.3 シーケンシャルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回のデータ転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCR の DTE ビットをクリアしてデータ転送を終了します。このとき、DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCR に H'0000 を設定したときで 65536 となります。

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

図 8.4 にシーケンシャルモードの設定手順例を示します。

## 8. DMA コントローラ (DMAC)

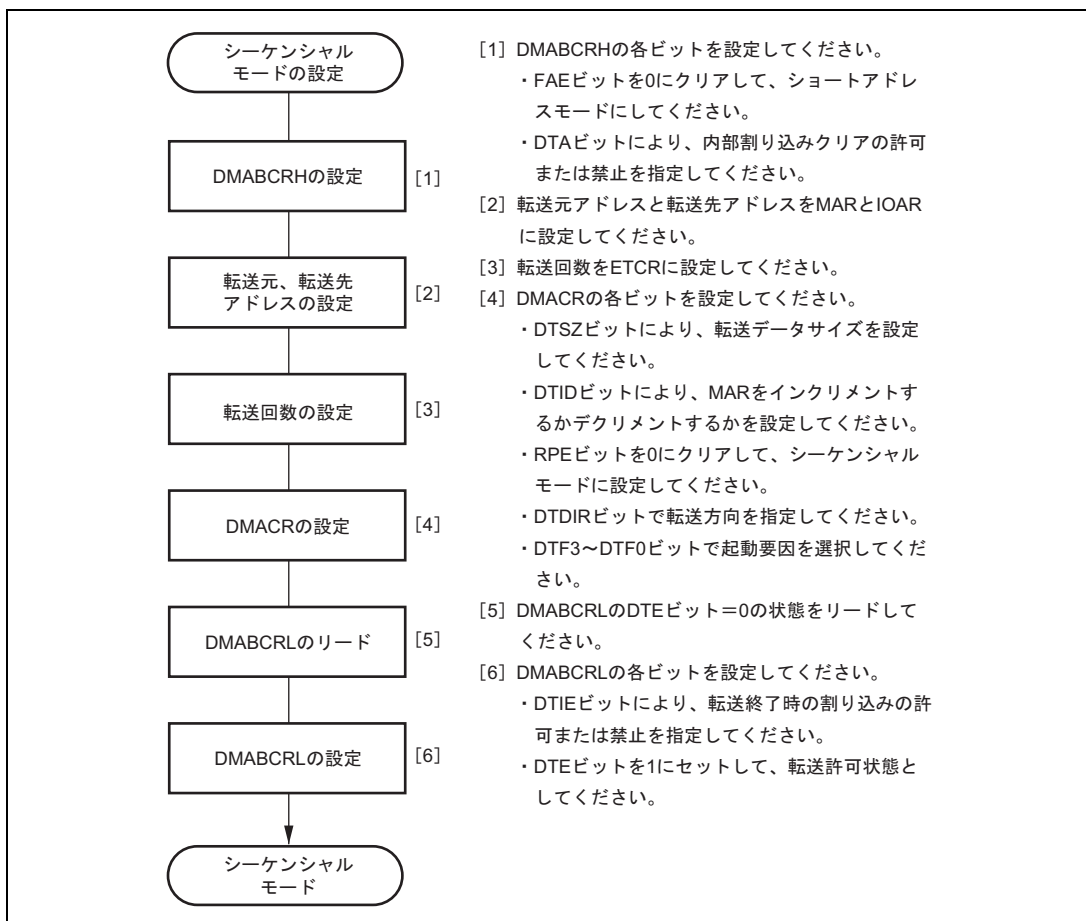
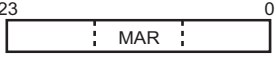



図 8.4 シーケンシャルモードの設定手順例

### 8.5.3 アイドルモード

アイドルモードは、DMACR の RPE ビットと DMABCR の DTIE ビットを 1 に設定することで指定できます。アイドルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行います。これを ETCR で設定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 8.6 にアイドルモード時のレジスタの機能を示します。

表 8.6 アイドルモード時のレジスタ機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
23  0	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先の先頭アドレス	固定
23  0	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
15  0	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR はデータ転送でインクリメント / デクリメントされません。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。図 8.5 にアイドルモードの動作を示します。

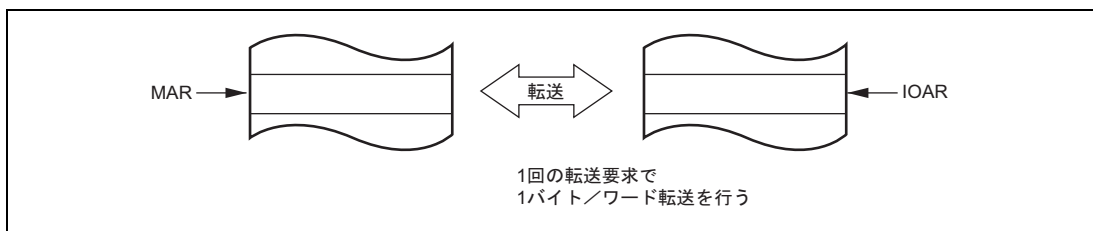


図 8.5 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回のデータ転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCR の DTIE ビットをクリアしてデータ転送を終了します。このとき、DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCR に H'0000 を設定したときで 65536 となります。

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

図 8.6 にアイドルモードの設定手順例を示します。

## 8. DMA コントローラ (DMAC)

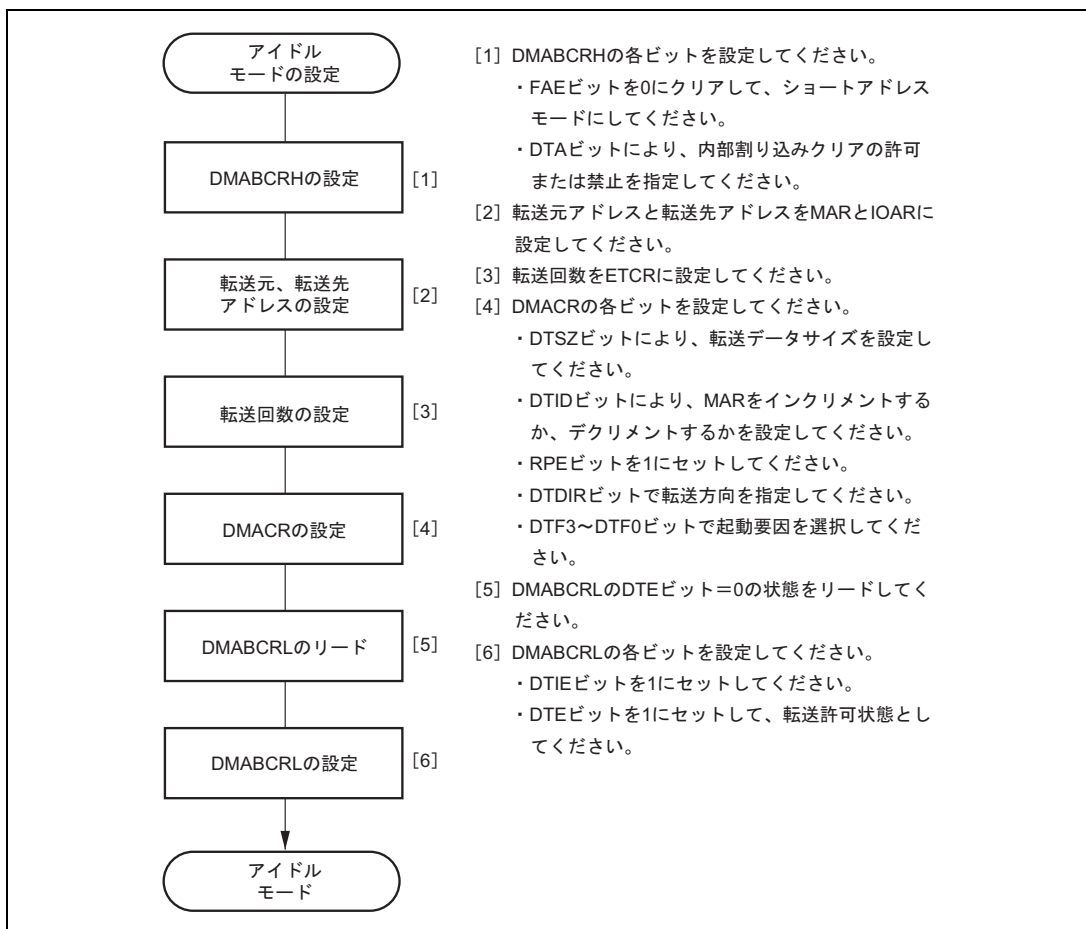
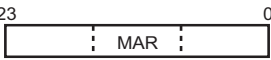
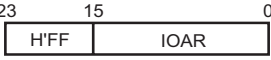




図 8.6 アイドルモードの設定手順例

### 8.5.4 リピートモード

リピートモードは、DMACR の RPE ビットを 1 に、DMABCRL の DTIE ビットを 0 に設定することで指定できます。リピートモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCRL で設定した回数だけ実行します。設定回数の転送を終了すると、自動的に MAR、ETCRL は設定値に戻り、動作を継続します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 8.7 にリピートモード時のレジスタの機能を示します。

表 8.7 リピートモード時のレジスタ機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント/デクリメント H'0000 になると初期設定値に回復
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送回数保持		転送回数	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'00 になると ETCRH の値をロード

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のデータ転送を行うたびに 1 または 2 をインクリメント/デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。転送回数は ETCRH、ETCRL によって 8 ビットで指定します。なお、転送回数の最大値は ETCRH、ETCRL にそれぞれ H'00 を設定したときで 256 となります。

リピートモードでは、ETCRL を転送カウンタ、ETCRH を転送回数保持レジスタとして使用します。ETCRL は 1 回のデータ転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRH の値がロードされます。このとき、MAR は DMACR の DTSZ、DTID ビットの値に応じて設定値を回復します。MAR の回復の動作は次のようになります。

$$\text{MAR} = \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRH}$$

ETCRH と ETCRL は同じ値に設定してください。

## 8. DMA コントローラ (DMAC)

リピートモードでは、DMABCRLのDTEビットがクリアされるまで動作を継続します。したがって、データ転送を終了するにはDTEビットを0にクリアしてください。CPUまたはDTCに対して転送終了割り込みは要求しません。DTEビットをクリア後、DTEビットを再びセットすると、DTEビットをクリアした時点で終了した転送の続きから再開することができます。

図 8.7 にリピートモードの動作を示します。

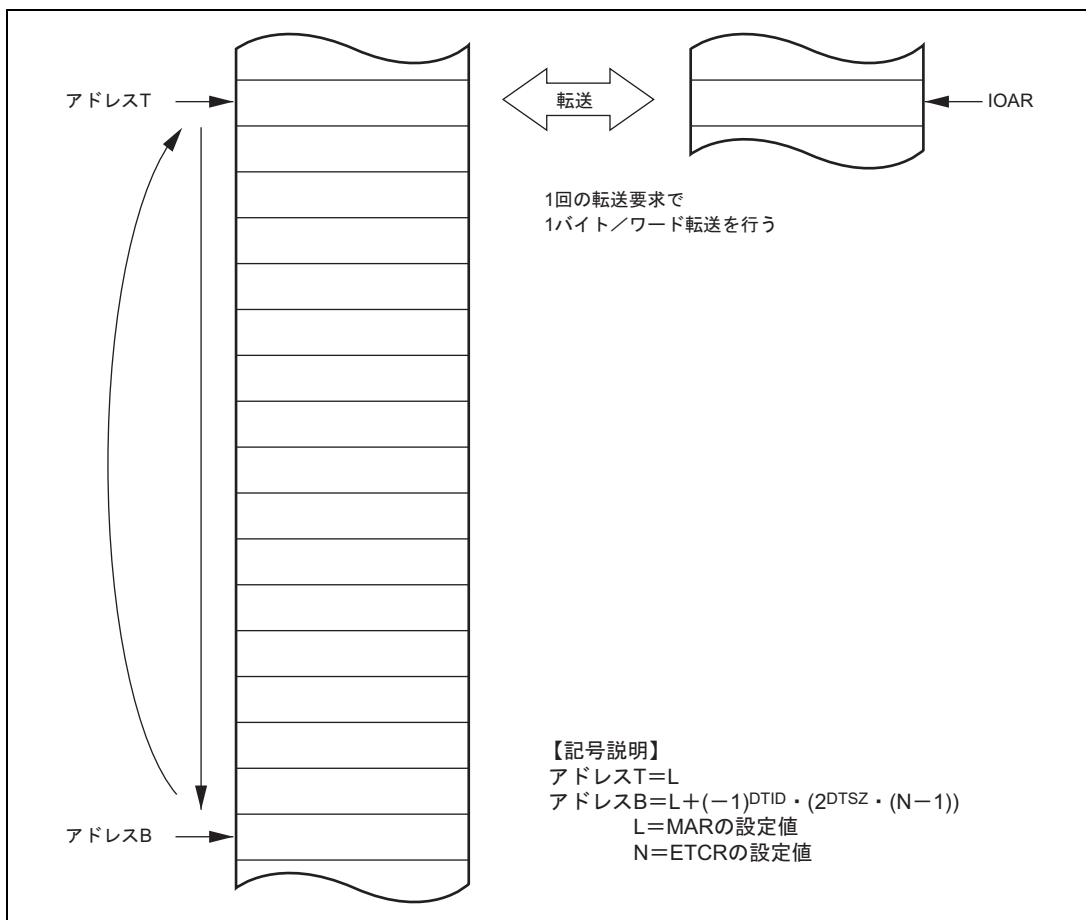


図 8.7 リピートモードの動作

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

図 8.8 にリピートモードの設定手順例を示します。

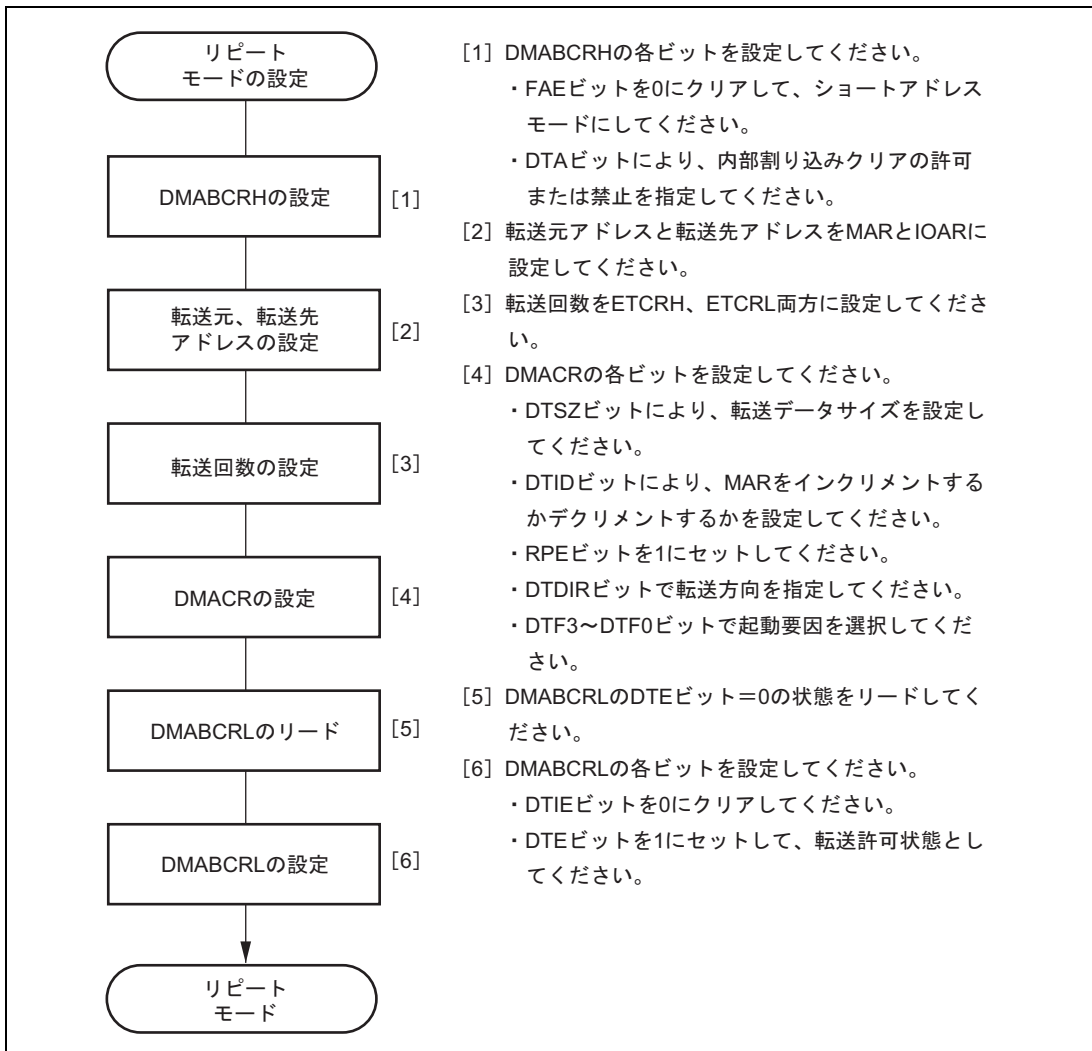


図 8.8 リピートモードの設定手順例

## 8.5.5 シングルアドレスモード

DMAC は、リードサイクル、ライトサイクルが別のバスサイクルとなるデュアルアドレスモードと、リードサイクル、ライトサイクルが平行して実行されるシングルアドレスモードがあります。

デュアルアドレスモードは、ソースアドレスとデスティネーションアドレスを独立に指定して転送を行います。

シングルアドレスモードは、転送元または転送先のいずれか一方がアドレスによって指定される外部空間と、アドレスにかかわらず  $\overline{\text{DACK}}$  ストロープにより選択する外部デバイスとの転送を行います。図 8.9 にシングルアドレスモード時のデータバスを示します。

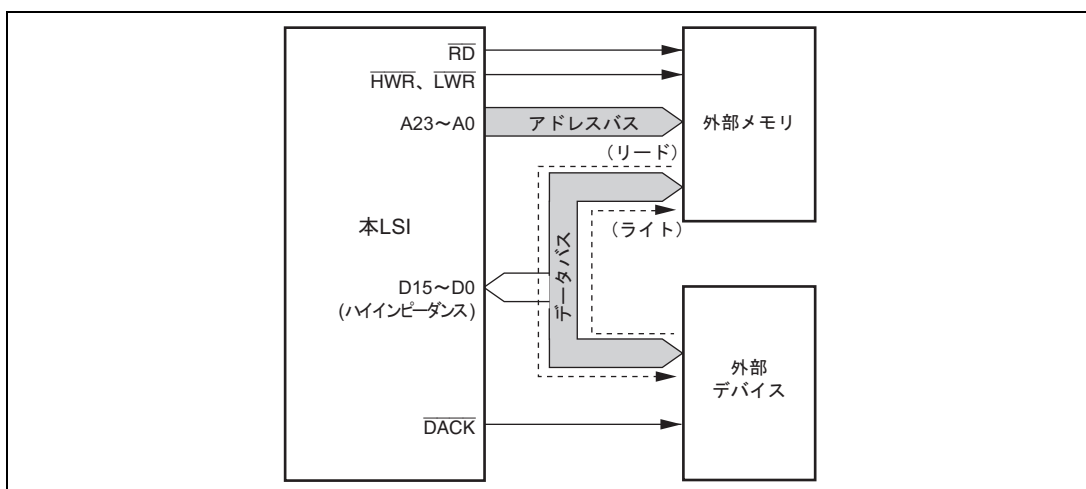


図 8.9 シングルアドレスモード時のデータバス

シングルアドレスモードのリードで使用する場合、外部メモリから外部デバイスへの転送となり、 $\overline{\text{DACK}}$  端子は外部デバイスに対するライトストロープとして機能します。シングルアドレスモードのライトで使用する場合、外部デバイスから外部メモリへの転送となり、 $\overline{\text{DACK}}$  端子は外部デバイスに対するリードストロープとして機能します。外部デバイスに対する方向制御はありませんので、上記のいずれか単方向で使用してください。

シングルアドレスモード時のバスサイクルは、外部メモリエリアに対するバスコントローラの設定に従います。外部デバイス側には、アドレスストロープと同期して  $\overline{\text{DACK}}$  が出力されます。バスサイクルの詳細は「8.5.10 DMA 転送 (シングルアドレスモード) のバスサイクル」を参照してください。

シングルアドレスモード時の転送アドレスは、内部空間を指定しないでください。



シングルアドレスモードは、チャンネル B のみ設定できます。シングルアドレスモードは、ショートアドレスモードにおいて DMABCRH の SAE ビットを 1 に設定することで指定できます。

アドレスの一方は MAR で指定し、他方は自動的にデータ転送アクノレッジ端子 ( $\overline{DACK}$ ) に設定されます。転送方向は DMACR の DTDIR ビットにより指定できます。表 8.8 にシングルアドレスモード時のレジスタの機能を示します。

表 8.8 シングルアドレスモード時レジスタの機能

対象レジスタ	機 能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	「8.5.2 シーケンシャルモード」、「8.5.3 アイドルモード」、「8.5.4 リピートモード」を参照
DACK 端子	ライトストローブ	リードストローブ	(DMABCRH の SAE ビットによる自動設定、IOAR は無効)	外部デバイスに対するストローブ
	転送カウンタ		転送回数	「8.5.2 シーケンシャルモード」、「8.5.3 アイドルモード」、「8.5.4 リピートモード」を参照

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。IOAR は無効となり、代わりに外部デバイスに対するストローブ ( $\overline{DACK}$ ) を出力します。

## 8. DMA コントローラ (DMAC)

図 8.10 にシングルアドレスモード (シーケンシャルモード指定) の動作を示します。

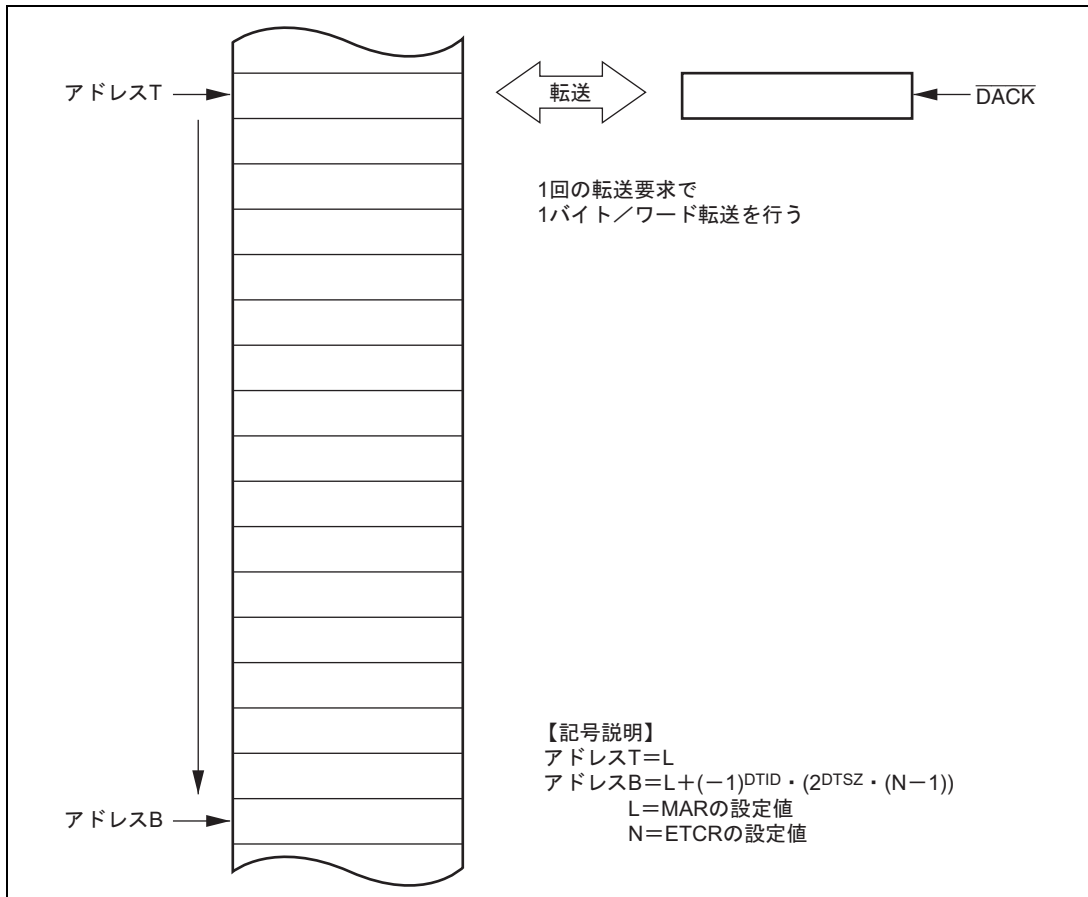


図 8.10 シングルアドレスモード (シーケンシャルモード指定) の動作

図 8.11 にシングルアドレスモード (シーケンシャルモード指定) の設定手順例を示します。

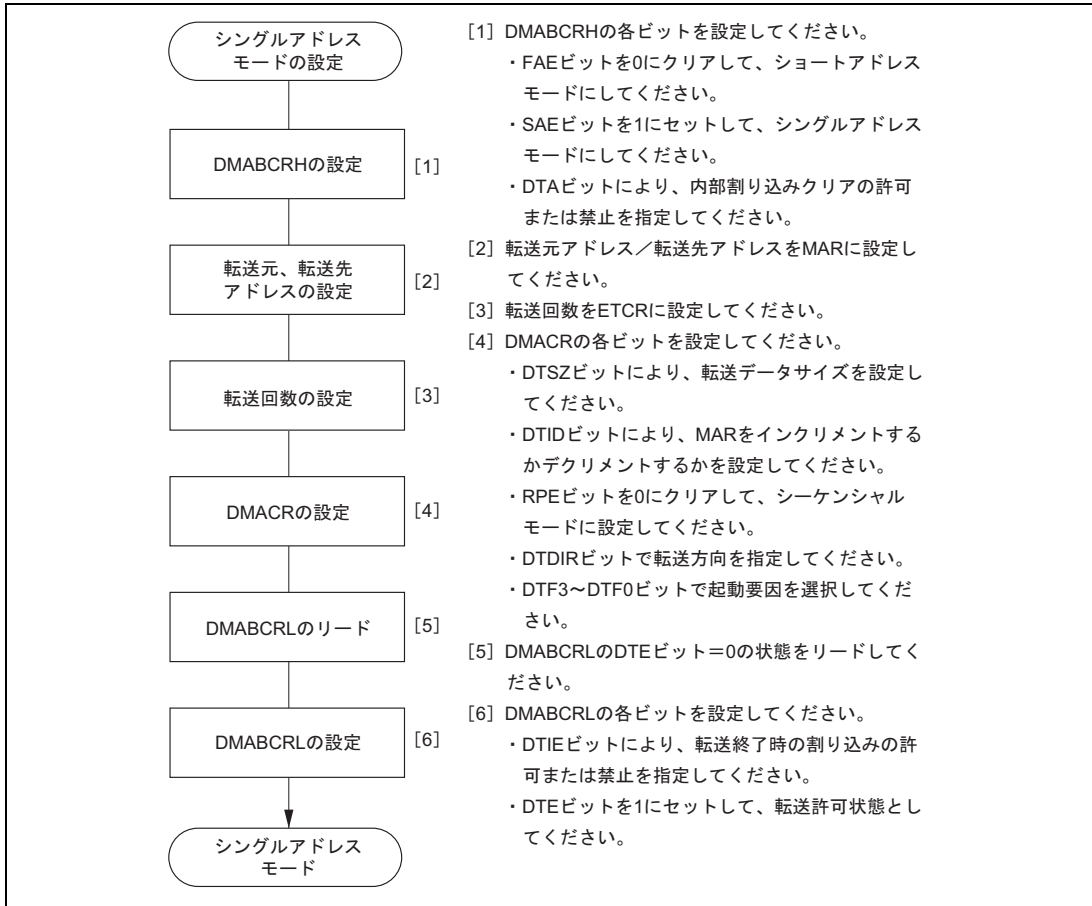





図 8.11 シングルアドレスモード (シーケンシャルモード指定) の設定手順例

## 8.5.6 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせてデータ転送を行います。ノーマルモードは、DMABCRH の FAE ビットを 1 に、DMACRA の BLKE ビットを 0 に設定することで指定できます。ノーマルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCRA で設定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。表 8.9 にノーマルモード時のレジスタの機能を示します。

表 8.9 ノーマルモード時のレジスタ機能

対象レジスタ	機能	初期設定値	動作
23  0	ソースアドレスレジスタ	転送元の先頭アドレス	1 回の転送ごとにインクリメント / デクリメント、または固定
23  0	デスティネーション アドレスレジスタ	転送先の先頭アドレス	1 回の転送ごとにインクリメント / デクリメント、または固定
15  0	転送カウンタ	転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のデータ転送を行うたびに、1 または 2 インクリメント / デクリメントするか、または固定にすることができます。インクリメント / デクリメント / 固定の選択は、MARA、MARB 別々に設定可能です。

転送回数は ETCRA により 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCRH の DTE ビットをクリアしてデータ転送を終了します。このとき、DMABCRH の DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCRA に H'0000 を設定したときで 65536 となります。

図 8.12 にノーマルモードの動作を示します。

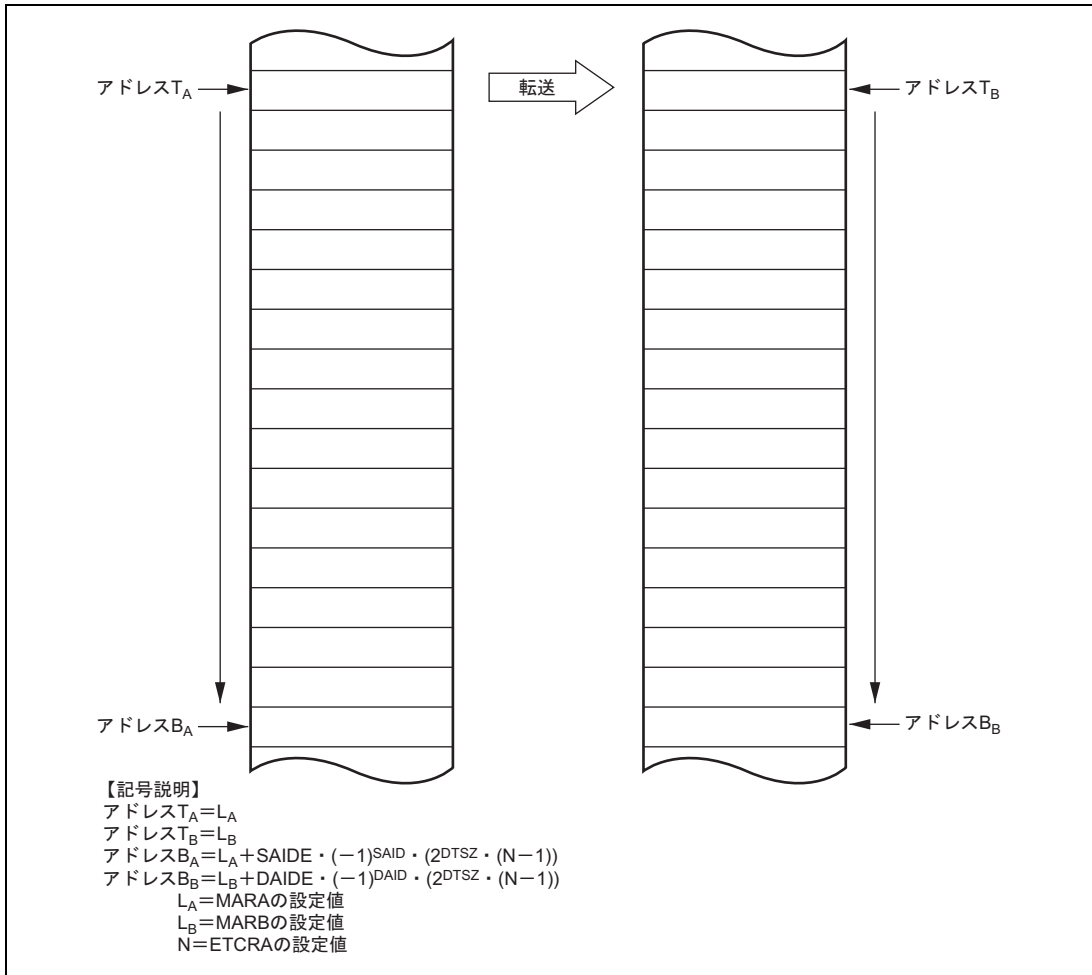


図 8.12 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、設定された回数のデータ転送を自動的に行います。オートリクエストではサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは、1回のデータ転送を行うたびに他のバスマスタにバスを解放します。バーストモードでは、転送終了までバスを占有し続けます。

## 8. DMA コントローラ (DMAC)

図 8.13 にノーマルモードの設定手順例を示します。

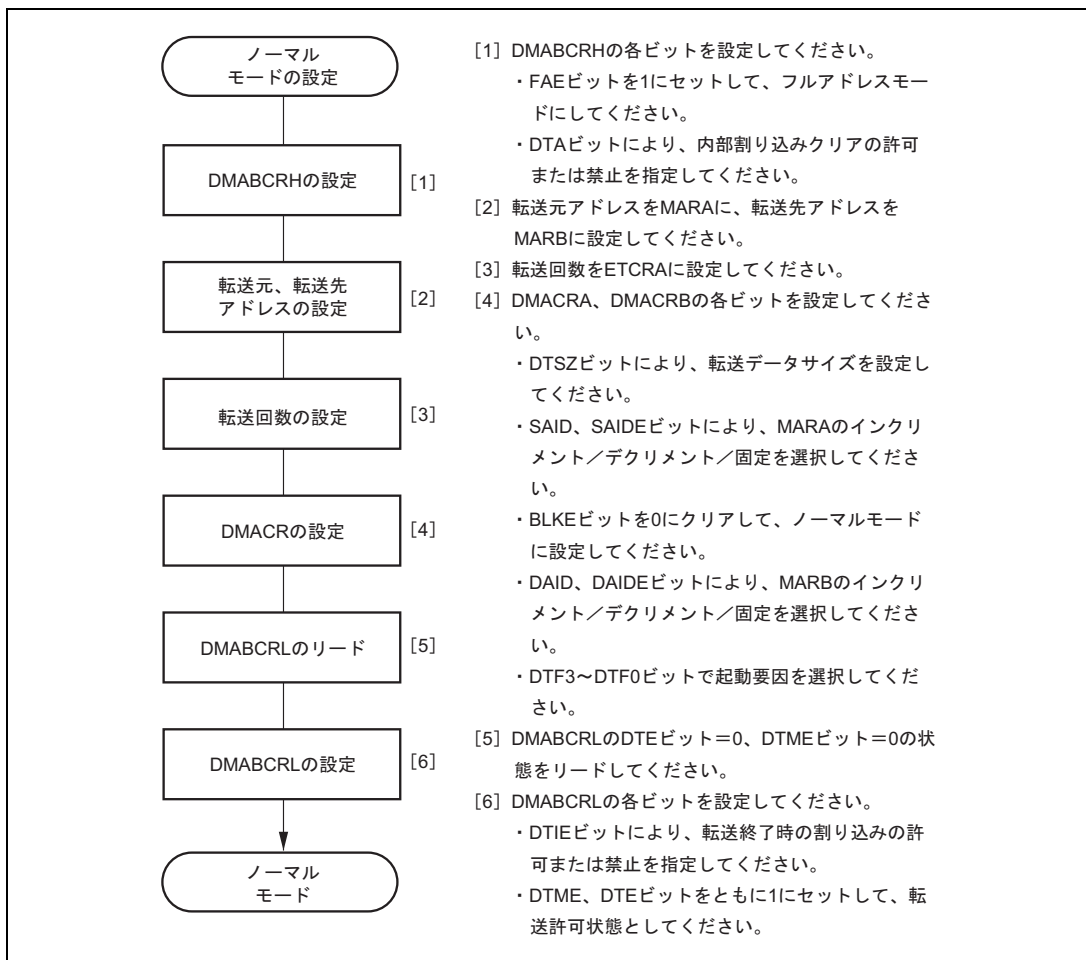


図 8.13 ノーマルモードの設定手順例

### 8.5.7 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせてデータ転送を行います。ブロック転送モードは、DMABCRH の FAE ビットを 1 に、DMACRA の BLKE ビットを 1 にセットすることで指定できます。ブロック転送モードでは、1 回の転送要求に対して指定されたブロックサイズのデータ転送を行います。これを ETCRB で設定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。転送元または転送先のどちらをブロックエリア（複数バイト/ワードで構成されたエリア）とするかを選択できます。表 8.10 にブロック転送モード時のレジスタの機能を示します。

表 8.10 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント / デクリメント、または固定
	デスティネーション アドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント / デクリメント、または固定
	ブロックサイズ保持	ブロックサイズ	固定
	ブロックサイズカウンタ	ブロックサイズ	1 回の転送ごとにデクリメント H'00 になると ETCRAH の値をコピー
	ブロック転送カウンタ	ブロック転送回数	1 ブロック転送ごとにデクリメント H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のデータ転送を行うたびに 1 または 2 インクリメント / デクリメントするか、または固定にすることができます。インクリメント / デクリメント / 固定の選択は MARA、MARB 別々に設定可能です。MARA、MARB のどちらをブロックとするかは、DMACRA の BLKDIR ビットで指定します。

転送回数は、1 ブロックの大きさを  $M$  ( $M=1\sim 256$ ) とし、 $N$  ( $N=1\sim 65536$ ) 回の転送を行うとき、ETCRAH、ETCRAL の両方に  $M$  を、ETCRB に  $N$  を設定します。

## 8. DMA コントローラ (DMAC)

図 8.14 に MARB をブロックエリアにした場合のブロック転送モードの動作を示します。

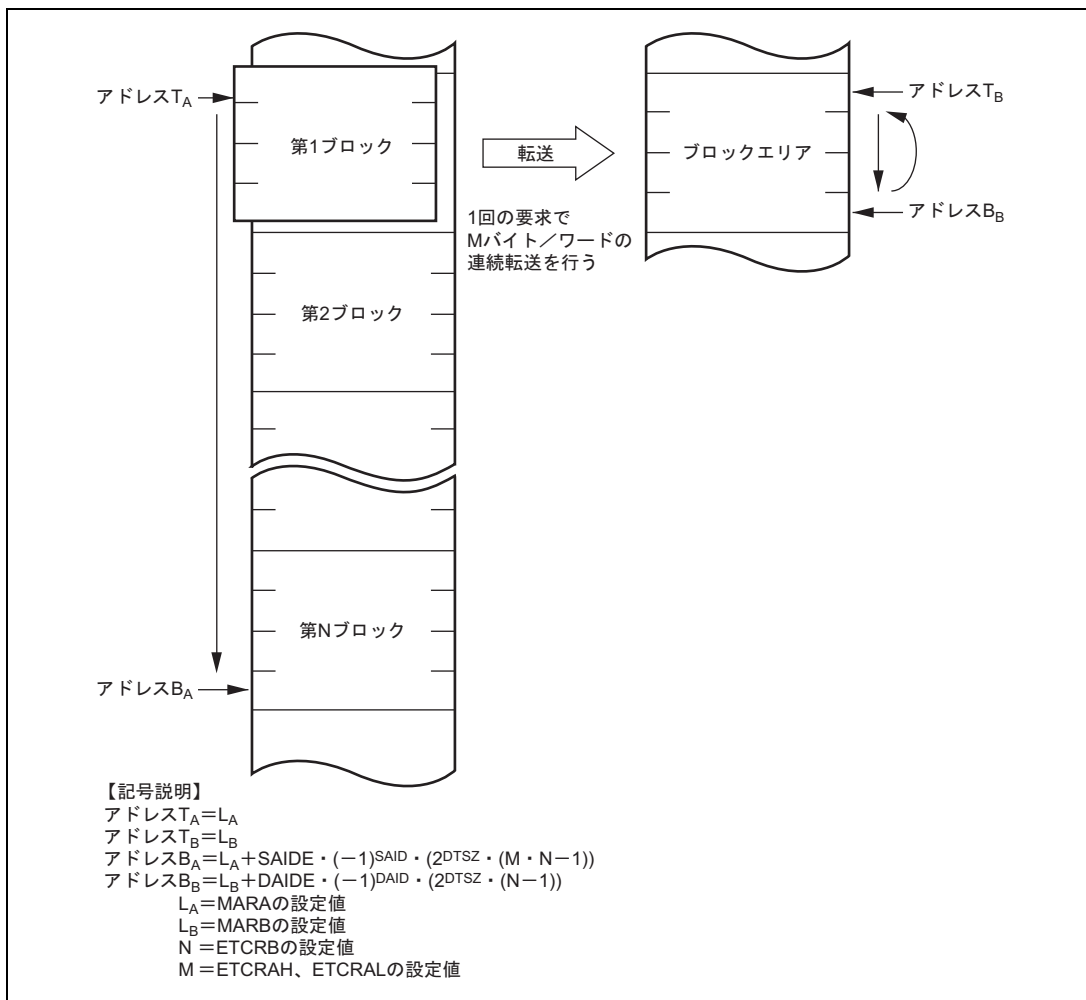


図 8.14 ブロック転送モードの動作 (BLKDIR = 0)



図 8.15 に MARA をブロックエリアにした場合のブロック転送モードの動作を示します。

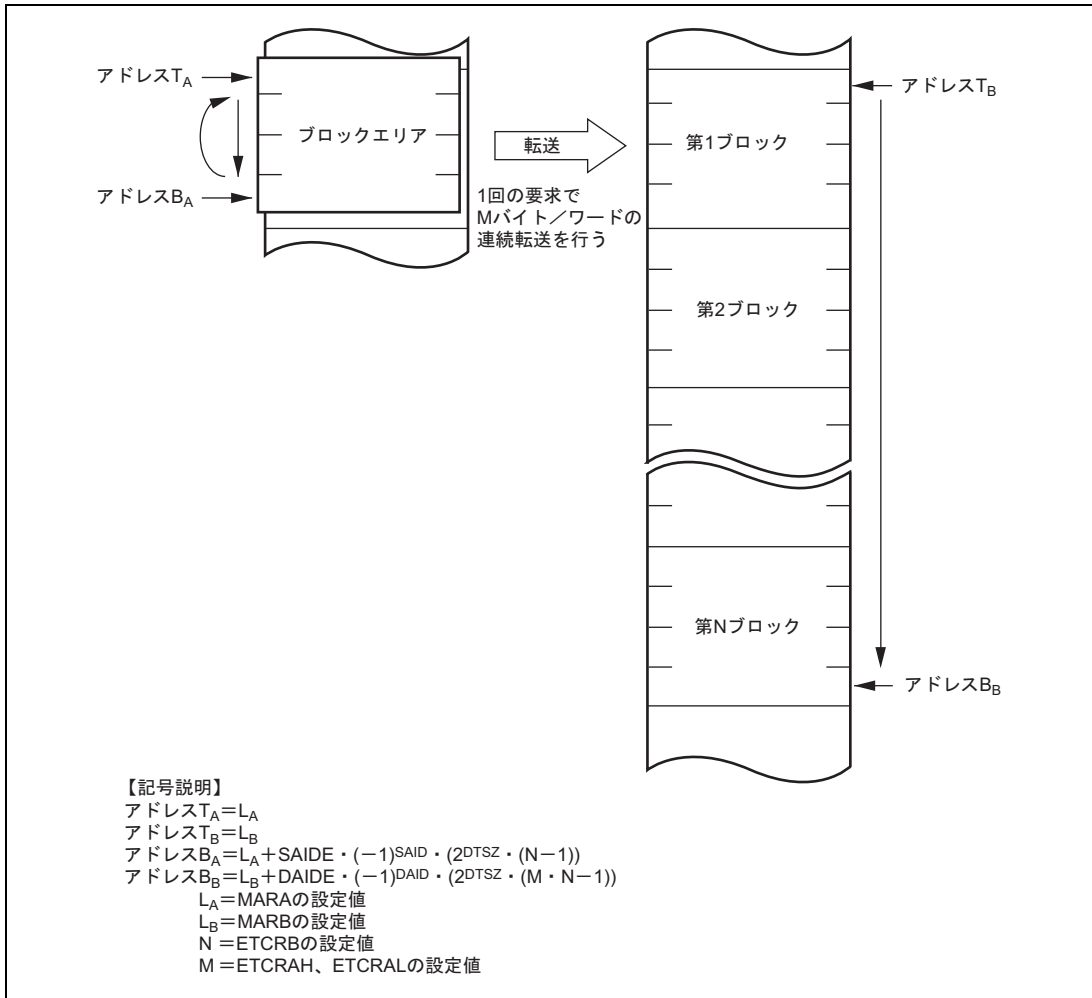


図 8.15 ブロック転送モードの動作 (BLKDIR = 1)

ETCRAL は 1 回のデータ転送を行うたびに 1 だけデクリメントされます。1 回の転送要求に対して、ETCRAL が H'00 になるまでパースト転送が行われます。ETCRAL が H'00 になると ETCRAH の値がロードされます。このとき、DMACRA の BLKDIR ビットでブロックに指定された MAR は、DMACR の DTSZ および SAID/DAID、SAIDE/DAIDE ビットに応じて設定値を回復します。

ETCRB は 1 回のブロック転送のたびに 1 だけデクリメントされ、H'0000 になったときに DMABCRL の DTE ビットをクリアして転送を終了します。このとき、DMABCRL の DTIE ビットが 1 にセットされていると、CPU または DTC に対して割り込みを要求します。図 8.16 にブロック転送モードの動作フローを示します。

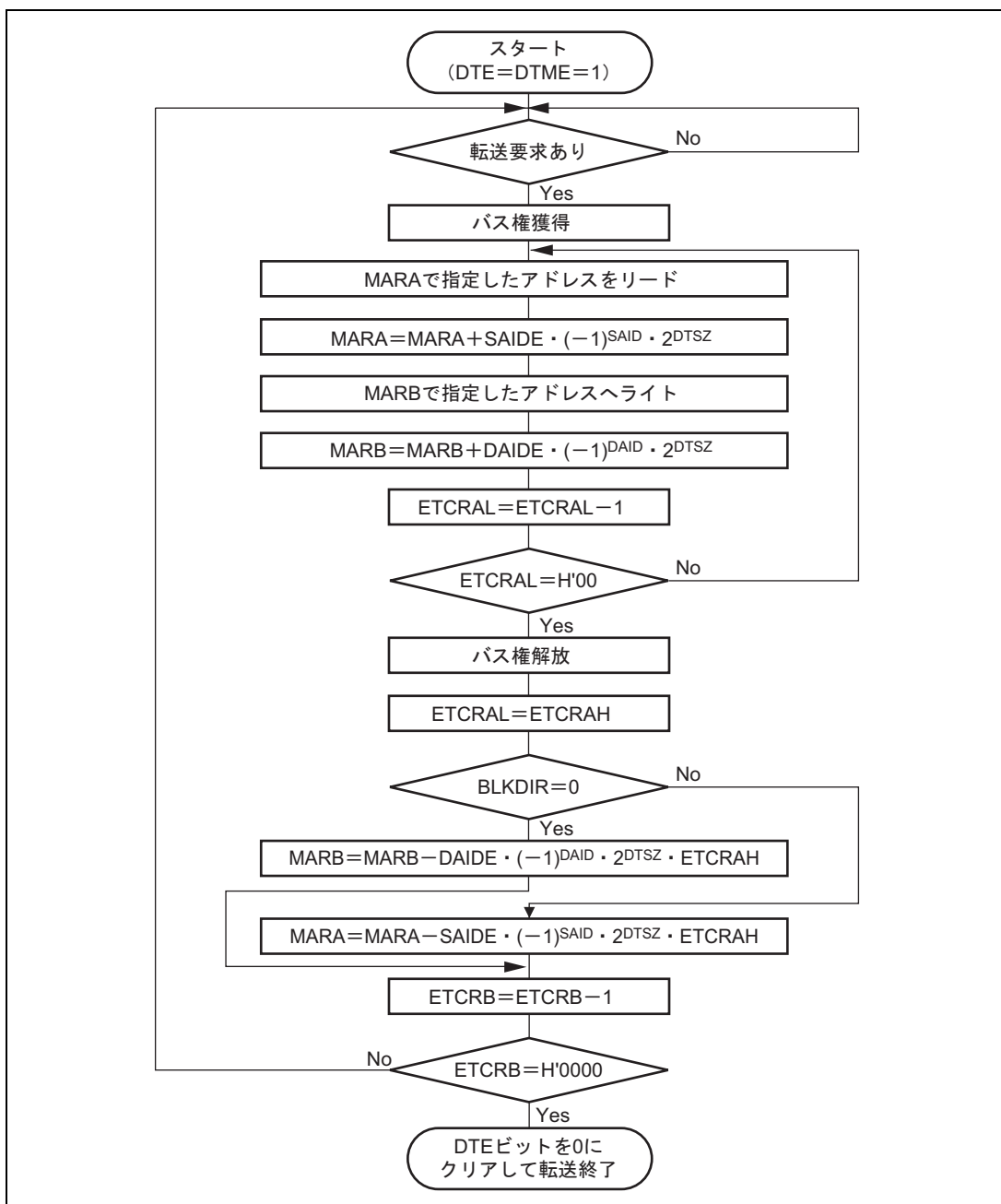


図 8.16 ブロック転送モードの動作フロー

転送要求 (起動要因) には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信データエンプティ / 受信データフル割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。図 8.17 にブロック転送モードの設定手順例を示します。

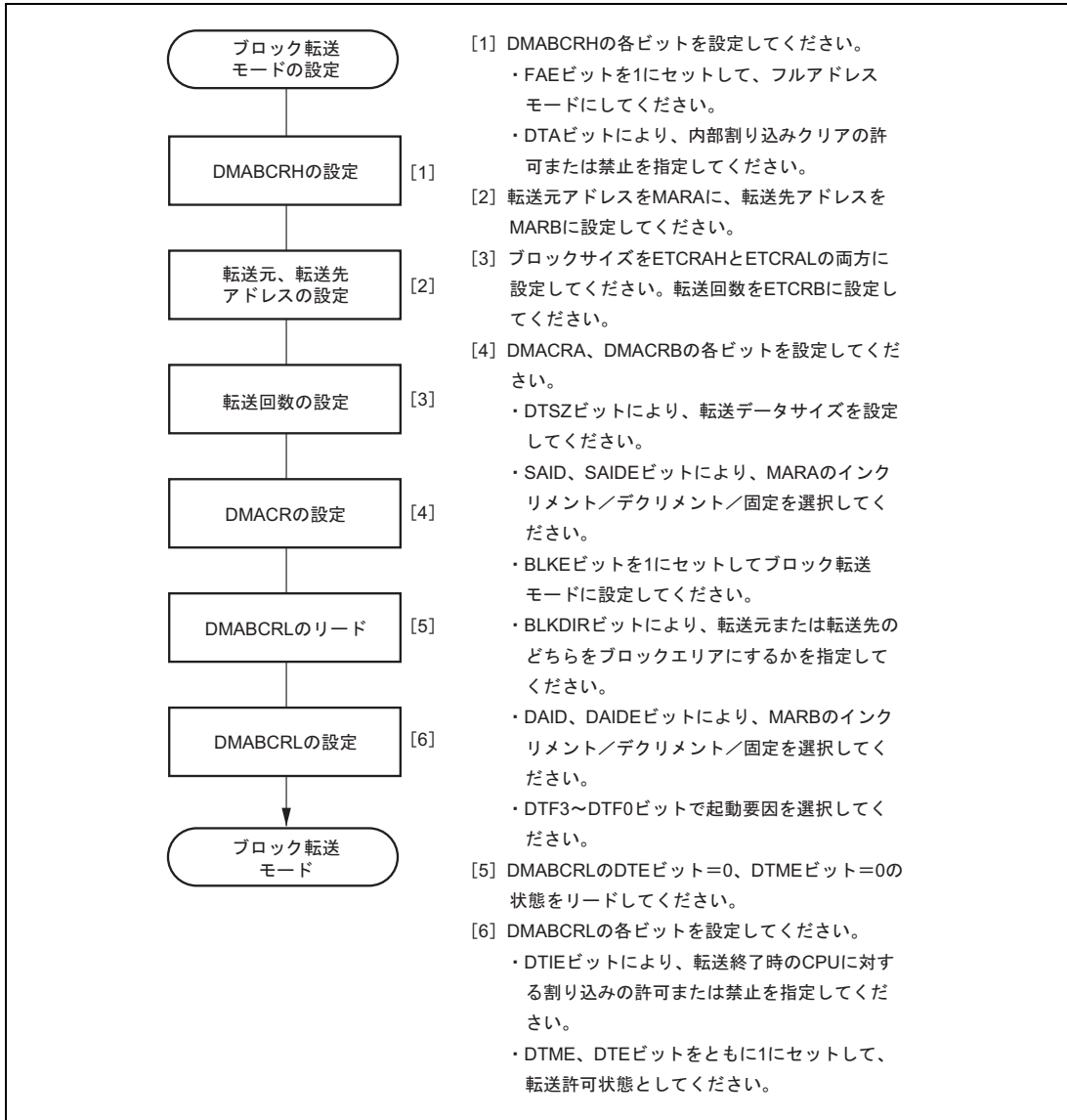


図 8.17 ブロック転送モードの設定手順例

### 8.5.8 基本バスサイクル

図 8.18 に DMAC の基本的なバスサイクルのタイミング例を示します。図 8.18 はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード/ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMA サイクルは CPU サイクルと同様に、バスコントローラの設定に従います。なお、内蔵メモリ、内部 I/O レジスタへのアクセス時のアドレスは、外部アドレスバスに出力されません。

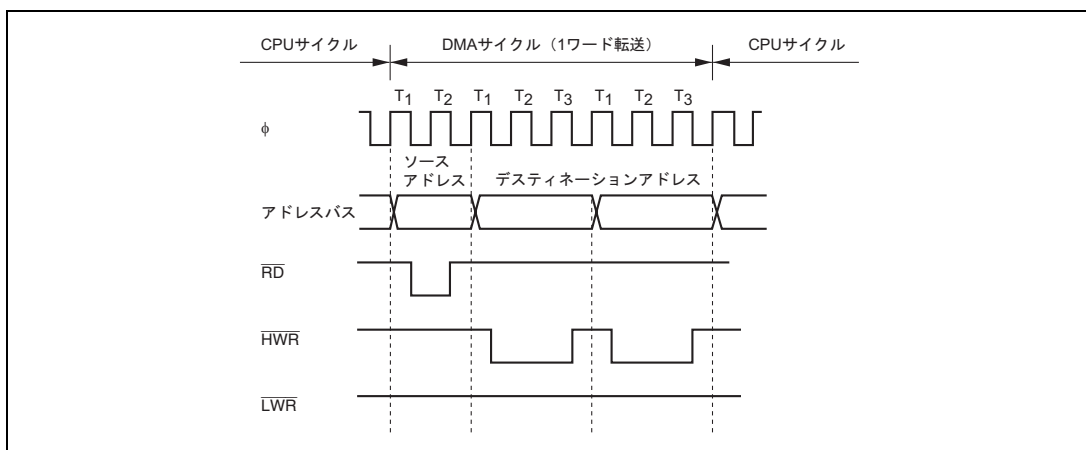


図 8.18 DMA 転送バスタイミング例

### 8.5.9 DMA 転送 (デュアルアドレスモード) のバスサイクル

#### (1) ショートアドレスモード

図 8.19 に  $\overline{TEND}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から内部 I/O 空間へ、バイトサイズでショートアドレスモード転送(シーケンシャル/アイドル/リピートモード)を行った場合の転送例を示します。

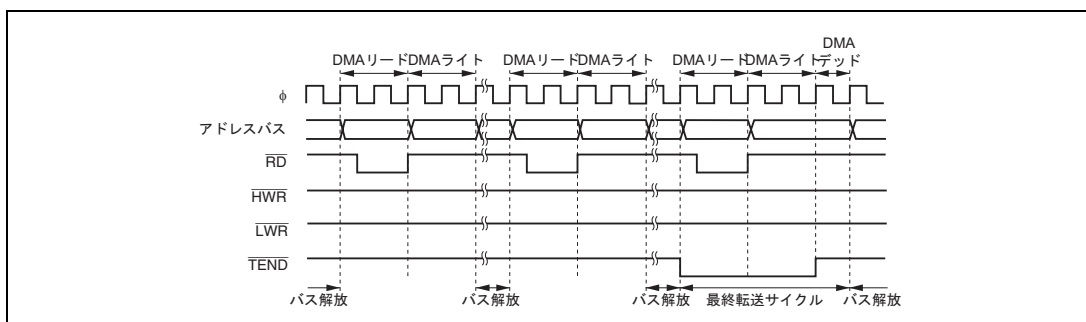


図 8.19 ショートアドレスモード転送例

1回の転送要求に対して1バイトまたは1ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中はCPUまたはDTCによるバスサイクルが1回以上入ります。

転送終了サイクル(転送カウンタが0となったサイクル)では、DMA ライトサイクルのあとにDMA デッドサイクルが1ステート入ります。

リピートモードの場合、 $\overline{TEND}$  出力を許可すると、転送終了サイクルで  $\overline{TEND}$  出力が Low レベルになります。

## (2) フルアドレスモード (サイクルスチールモード)

図 8.20 に  $\overline{TEND}$  出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (サイクルスチールモード) を行った場合の転送例を示します。

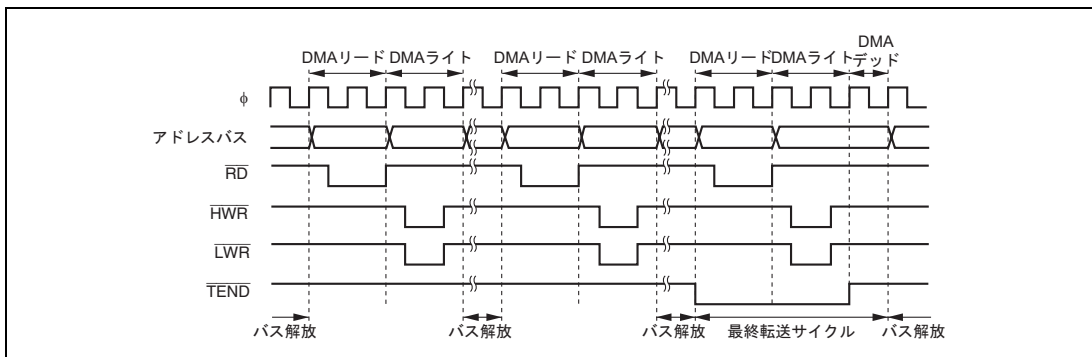


図 8.20 フルアドレスモード (サイクルスチール) 転送例

1回の転送要求に対して1バイトまたは1ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中はCPUまたはDTCによるバスサイクルが1回入ります。

転送終了サイクル(転送カウンタが0となったサイクル)では、DMA ライトサイクルのあとにDMA デッドサイクルが1ステート入ります。

## 8. DMA コントローラ (DMAC)

### (3) フルアドレスモード (バーストモード)

図 8.21 に  $\overline{TEND}$  出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (バーストモード) を行った場合の転送例を示します。

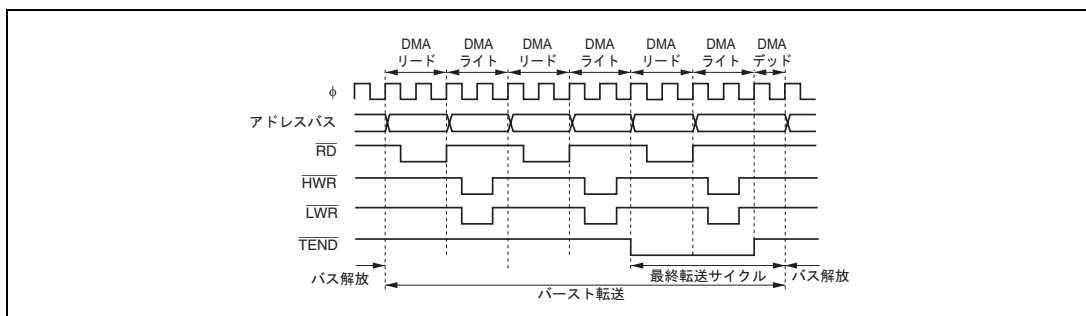


図 8.21 フルアドレスモード (バーストモード) 転送例

バーストモードでは、1 バイトまたは 1 ワードのデータ転送が終了するまで継続して実行します。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

バースト転送が始まると、他の優先順位の高いチャンネルの割り込み要求が発生しても、バースト転送が終了するまで待たされます。

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、DMABCRL の DTME ビットがクリアされ、転送禁止状態になります。すでにバースト転送が DMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードのデータ転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが DMAC 内部で起動されている場合は、DTME ビットがクリアされてもそのまま転送終了まで実行します。

## (4) フルアドレスモード (ブロック転送モード)

図 8.22 に  $\overline{TEND}$  出力を許可して、内部 16 ビット 1 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (ブロック転送モード) を行った場合の転送例を示します。

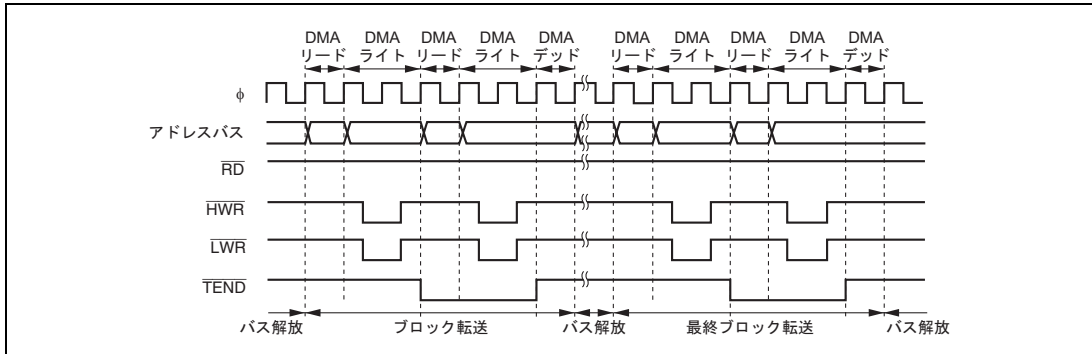


図 8.22 フルアドレスモード (ブロック転送モード) 転送例

1 回の転送要求に対して 1 ブロック分のデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

各ブロックの転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。データ転送中に NMI が発生しても、1 ブロック分のデータ転送終了までブロック転送の動作に影響を与えません。

## 8. DMA コントローラ (DMAC)

### (5) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 8.23 に  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のノーマルモード転送例を示します。

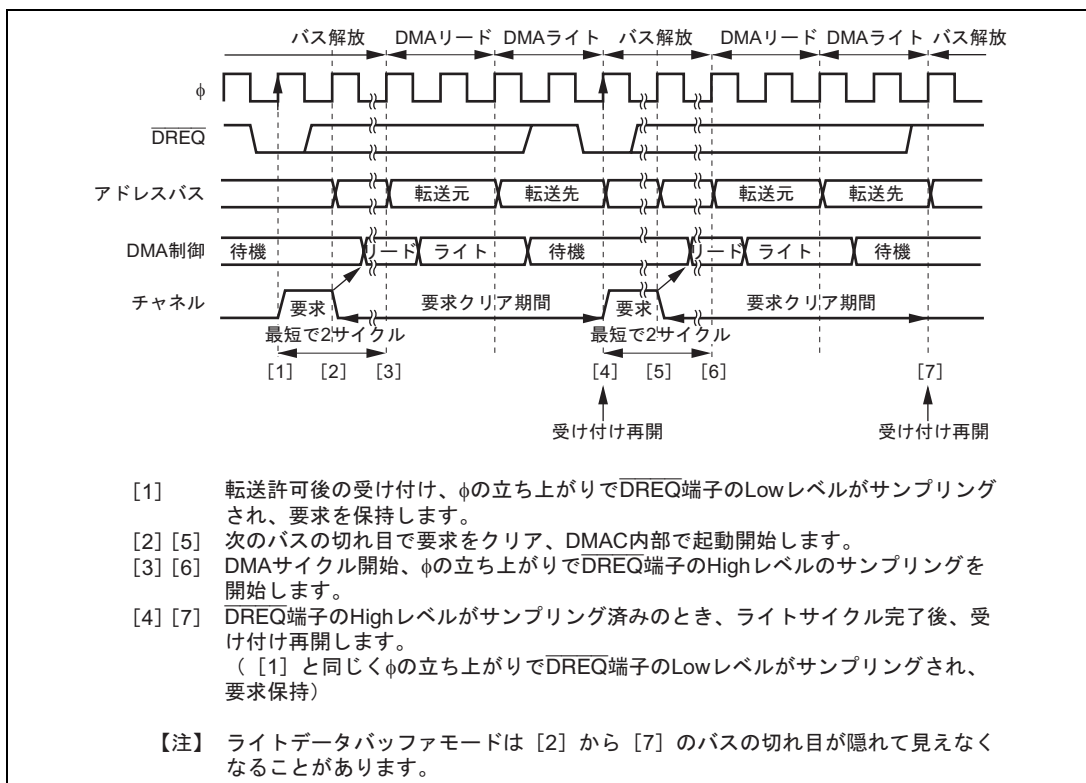
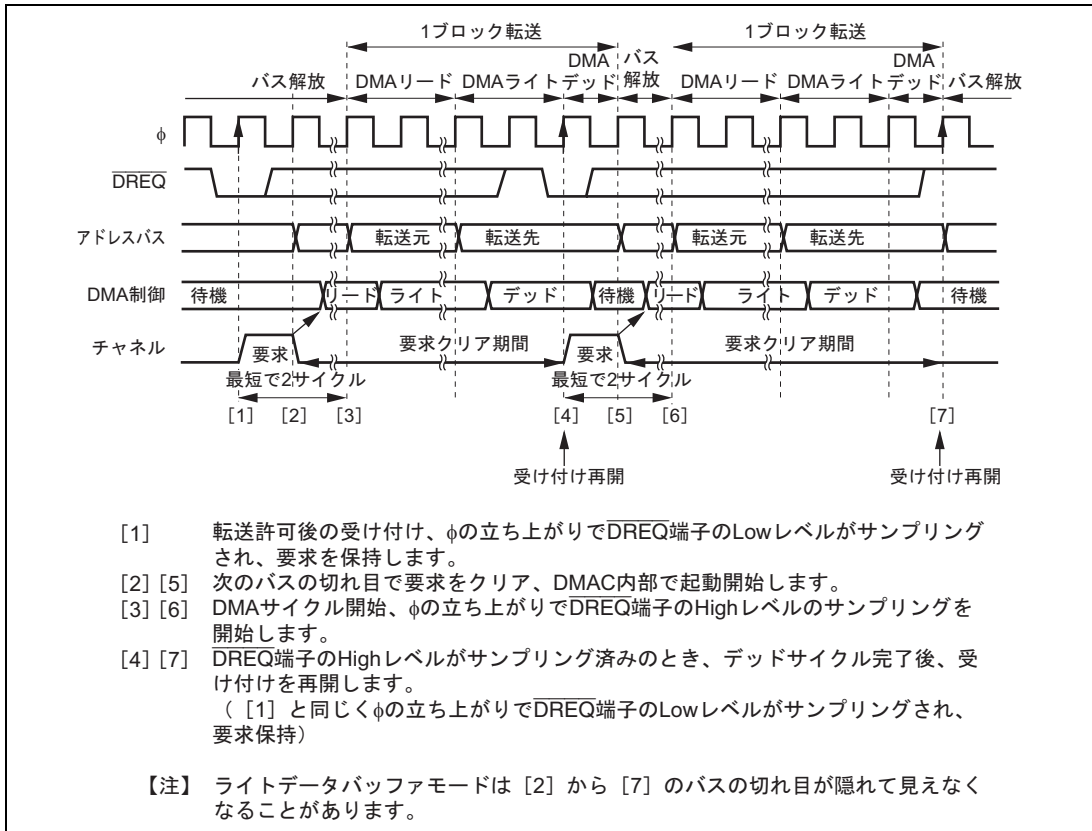


図 8.23  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のノーマルモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の $\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。



図 8.24 に  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のブロック転送モード転送例を示します。図 8.24  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のブロック転送モード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の $\phi$ の立ち上りを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが開始されます。DMA デッドサイクル終了までに  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが済んでいれば、DMA デッドサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

## 8. DMA コントローラ (DMAC)

### (6) $\overline{\text{DREQ}}$ 端子 Low レベル起動タイミング (ノーマルモード)

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 8.25 に  $\overline{\text{DREQ}}$  端子 Low レベル起動のノーマルモード転送例を示します。

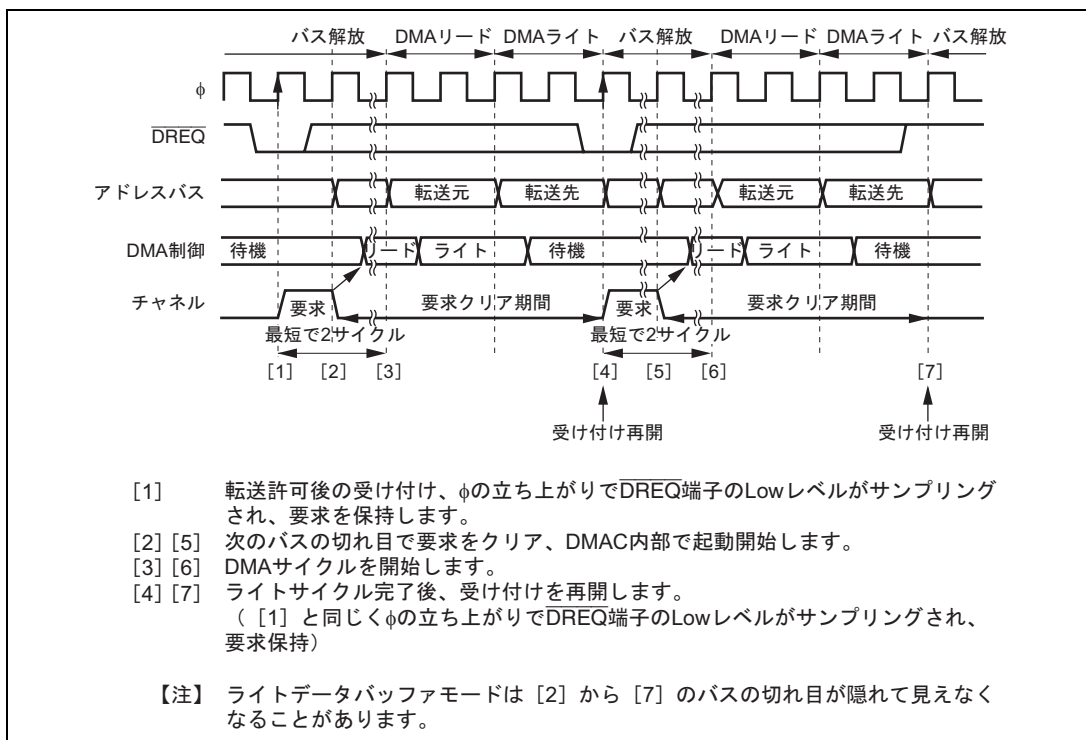
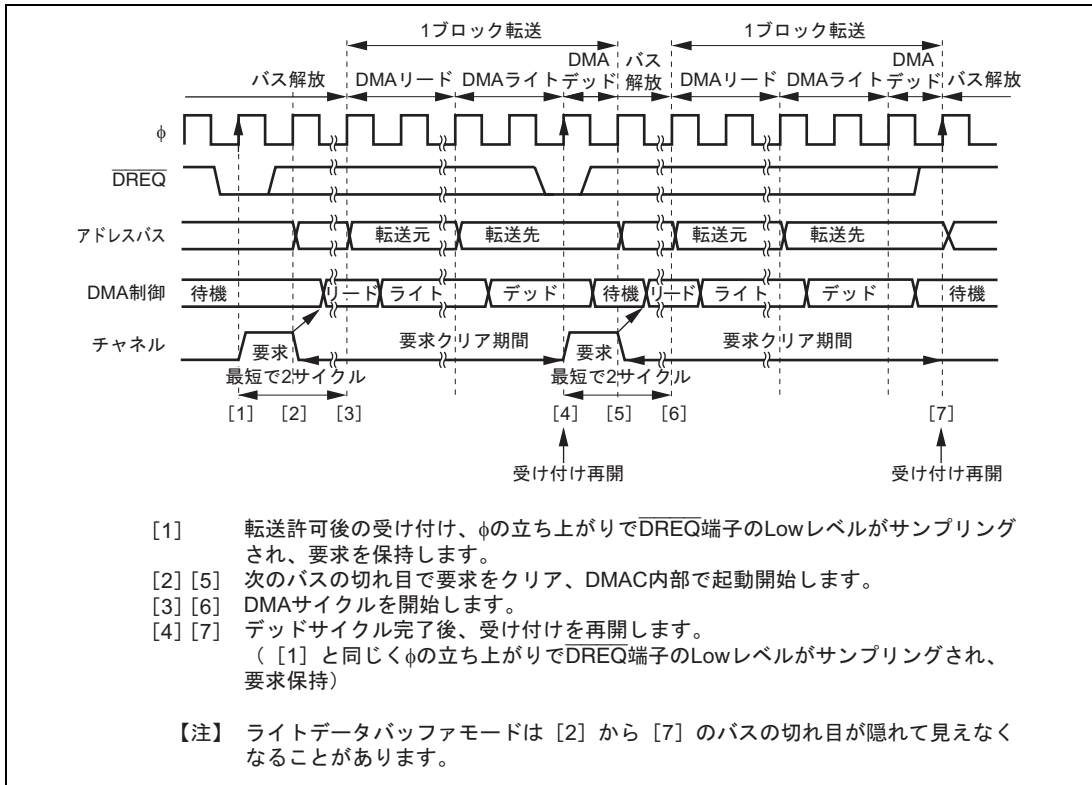


図 8.25  $\overline{\text{DREQ}}$  端子 Low レベル起動のノーマルモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の $\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 8.26 に  $\overline{\text{DREQ}}$  端子 Low レベル起動のブロック転送モード転送例を示します。図 8.26  $\overline{\text{DREQ}}$  端子 Low レベル起動のブロック転送モード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後のφの立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。DMA デッドサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

## 8.5.10 DMA 転送 (シングルアドレスモード) のバスサイクル

## (1) シングルアドレスモード (リード)

図 8.27 に  $\overline{\text{TEND}}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、バイトサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

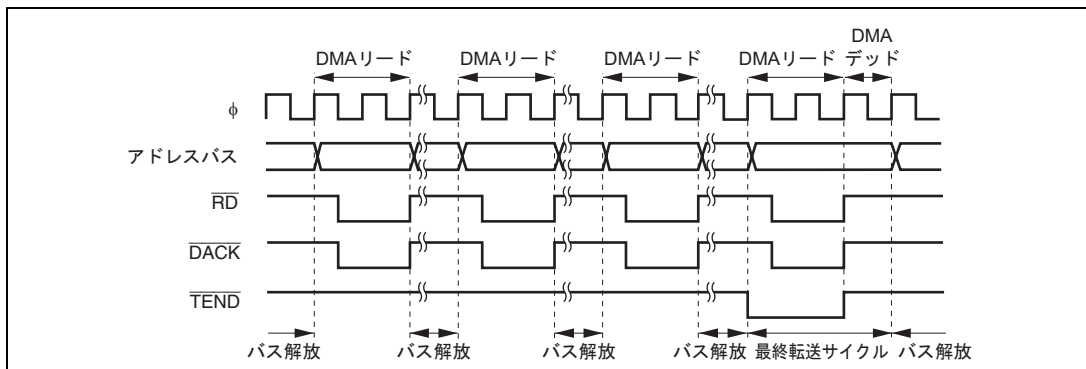


図 8.27 シングルアドレスモード (バイトリード) 転送例

図 8.28 に  $\overline{\text{TEND}}$  出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、ワードサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

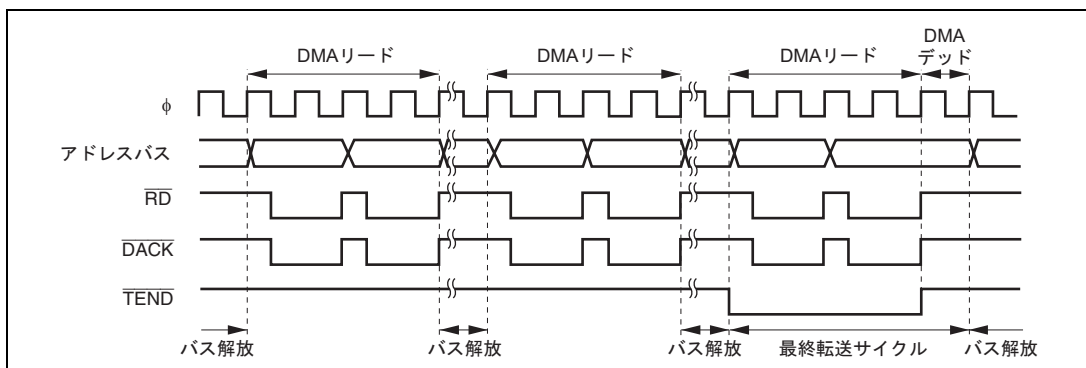


図 8.28 シングルアドレスモード (ワードリード) 転送例

1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

## (2) シングルアドレスモード (ライト)

図 8.29 に  $\overline{\text{TEND}}$  出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、バイトサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

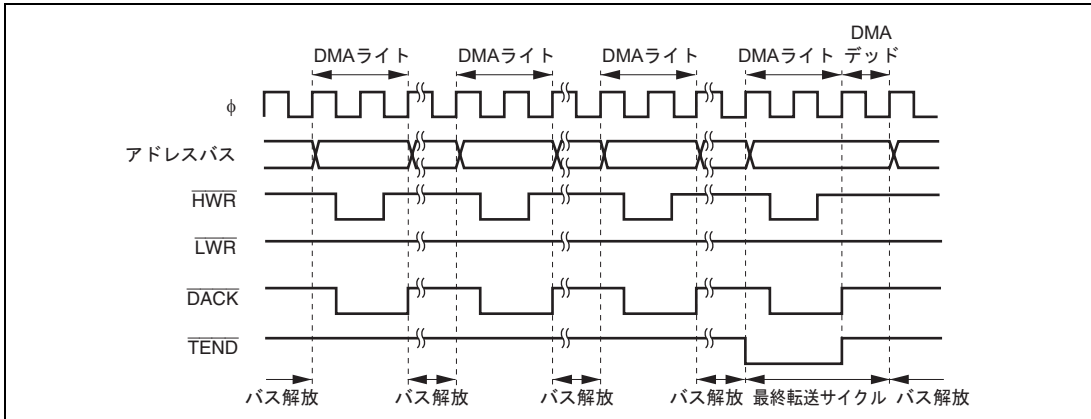


図 8.29 シングルアドレスモード (バイトライト) 転送例

図 8.30 に  $\overline{\text{TEND}}$  出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、ワードサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

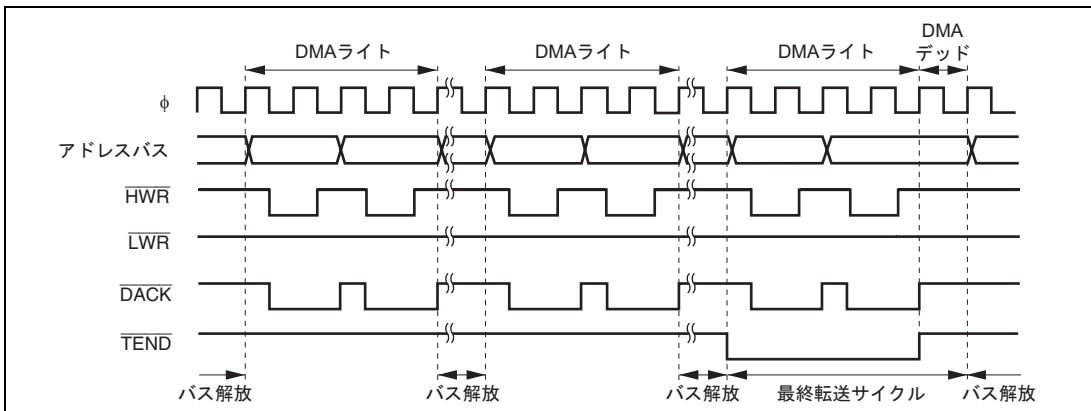


図 8.30 シングルアドレスモード (ワードライト) 転送例

1 回の転送要求に対して 1 バイトまたは 1 ワードの転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルのあとに DMA デッドサイクルが 1 ステート入ります。

## 8. DMA コントローラ (DMAC)

### (3) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 8.31 に  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のシングルアドレスモード転送例を示します。

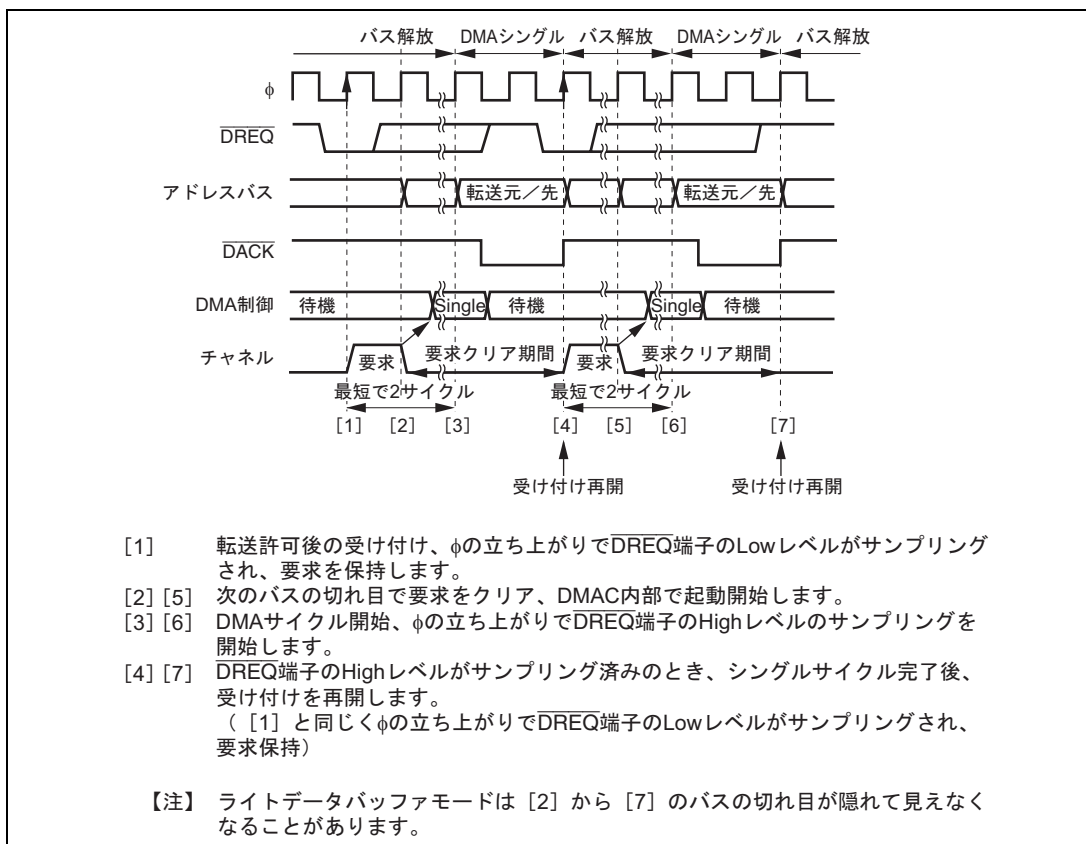


図 8.31  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の $\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに  $\overline{\text{DREQ}}$  端子の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(4)  $\overline{\text{DREQ}}$  端子 Low レベル起動タイミング

$\overline{\text{DREQ}}$  端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 8.32 に  $\overline{\text{DREQ}}$  端子 Low レベル起動のシングルアドレスモード転送例を示します。

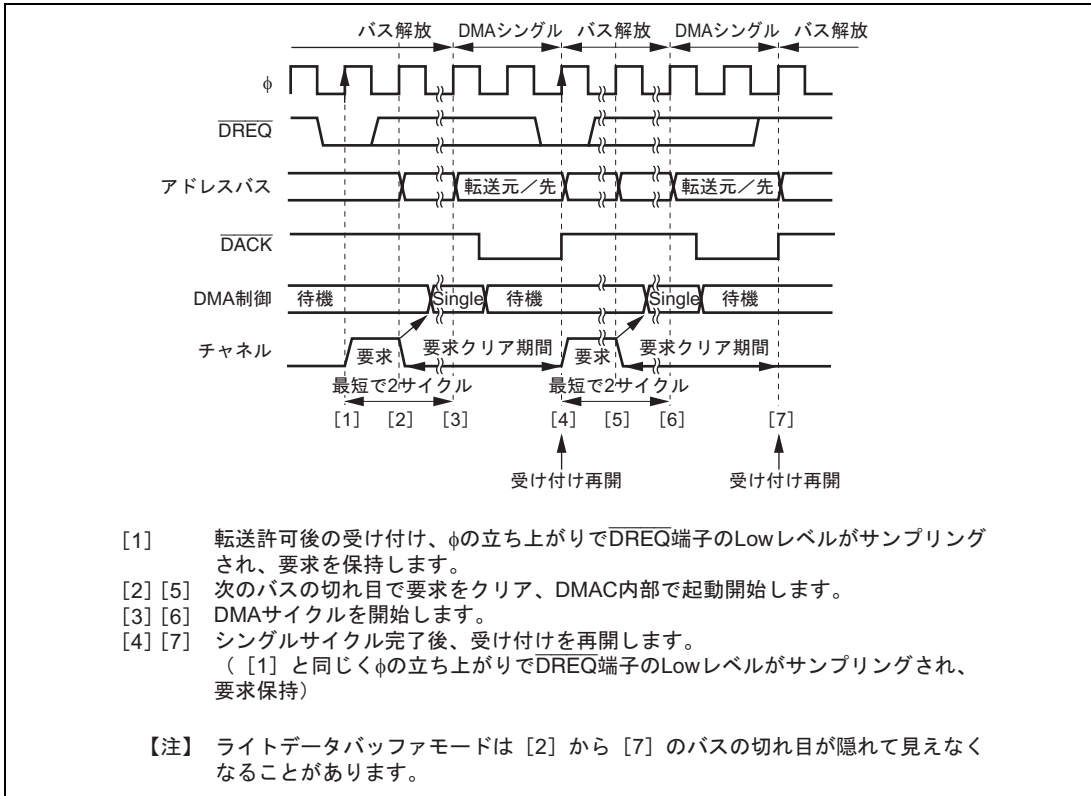


図 8.32  $\overline{\text{DREQ}}$  端子 Low レベル起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$  端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の $\phi$ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$  端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$  端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。シングルサイクル終了後に受け付け再開となり、再び  $\overline{\text{DREQ}}$  端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

## 8. DMA コントローラ (DMAC)

### 8.5.11 複数チャンネルの動作

DMAC のチャンネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順になっています。表 8.11 に DMAC のチャンネル間優先順位を示します。

表 8.11 DMAC のチャンネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ↑ 低
チャンネル 0B		
チャンネル 1A	チャンネル 1	
チャンネル 1B		

複数のチャンネルに対して同時に転送要求が発生した場合、または転送中に他のチャンネルの転送要求が発生した場合は、DMAC はバスを解放した時点で転送要求の発生しているチャンネルの中から表 8.11 の優先順位に従って、最も優先度の高いチャンネルを選択して転送します。バースト転送中およびブロック転送で 1 ブロック転送中は、転送終了までチャンネルを切り替えて転送することはありません。図 8.33 にチャンネル 0A、0B、1 の転送要求が同時に発生した場合の転送例を示します。

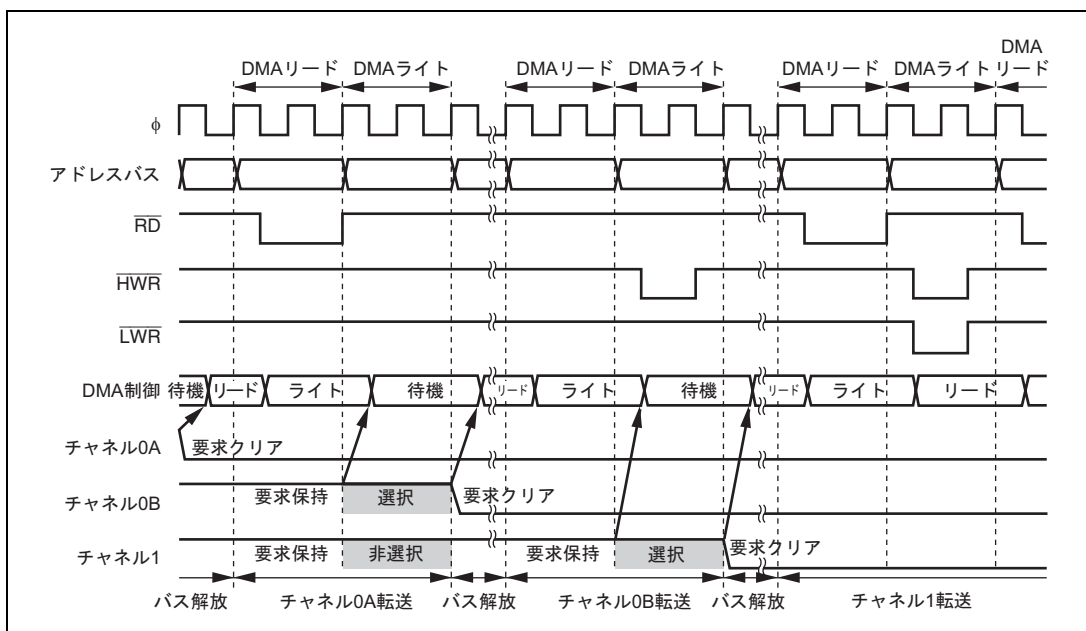


図 8.33 複数チャンネル転送例



### 8.5.12 DMAC と外部バス権要求、DTC の関係

DMA サイクルのリードとライトの間は不可分割となっています。このため、DMA サイクルの外部リードと外部ライト間に外部バス解放サイクル、DTC サイクルは発生しません。

バースト転送またはブロック転送のように、リードサイクルとライトサイクルが連続する場合には、ライトサイクルのあとに、外部バス解放状態が挿入されることがあります。DTC は、DMAC より優先度が低いため、DMAC がバスを解放するまで DTC は動作しません。

DMA サイクルのリードまたはライトが、内蔵メモリアクセスまたは内部 I/O レジスタアクセスの場合には、これらの DMA サイクル、または外部バス解放が同時に行われる場合があります。

### 8.5.13 DMAC と NMI 割り込み

NMI 割り込みが発生すると、フルアドレスモードのバーストモード転送が中断されます。その他のモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、DMABCRL の DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。バーストモード設定では、NMI 割り込みが発生すると DTME ビットがクリアされます。

バーストモード転送中に DTME ビットがクリアされると、DMAC は転送中の 1 バイトまたは 1 ワードのデータ転送を終了した時点で転送を中断してバスを解放し、CPU にバス権を移します。

転送を中断したチャンネルを再開するには、DTME ビットを再び 1 にセットしてください。図 8.34 にバーストモード転送に設定されたチャンネルが NMI 割り込みにより転送を中断したとき、転送を継続する手順を示します。

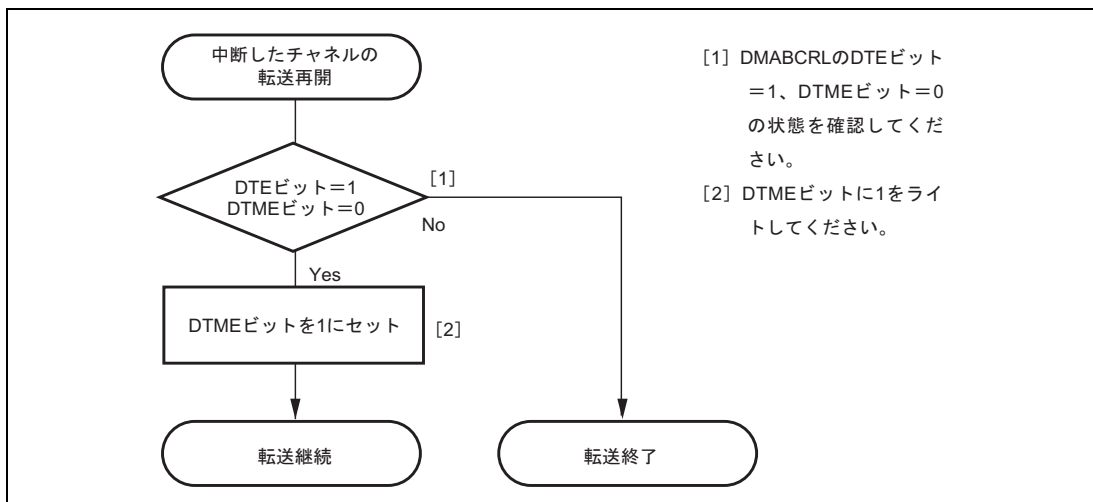


図 8.34 NMI 割り込みにより中断したチャンネルの転送継続手順例

### 8.5.14 DMAC の強制終了

動作中のチャンネルの DMABCRL の DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードのデータ転送を終了した時点で DMAC は停止します。このあと、DTE ビットを 1 にセットすると DMAC は動作を再開します。フルアドレスモードの場合は DMABCRL の DTME ビットについても同様です。図 8.35 に DMAC をソフトウェアで強制終了させる場合の手順を示します。

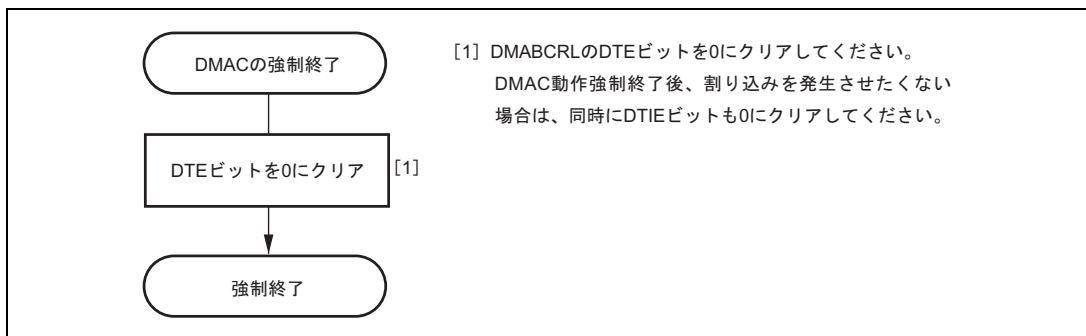


図 8.35 DMAC の強制終了手順例

### 8.5.15 フルアドレスモードの解除

図 8.36 にフルアドレスモードに設定したチャンネルを解除し、初期化する手順を示します。解除後に再設定する場合には、各転送モードの設定手順に従ってください。

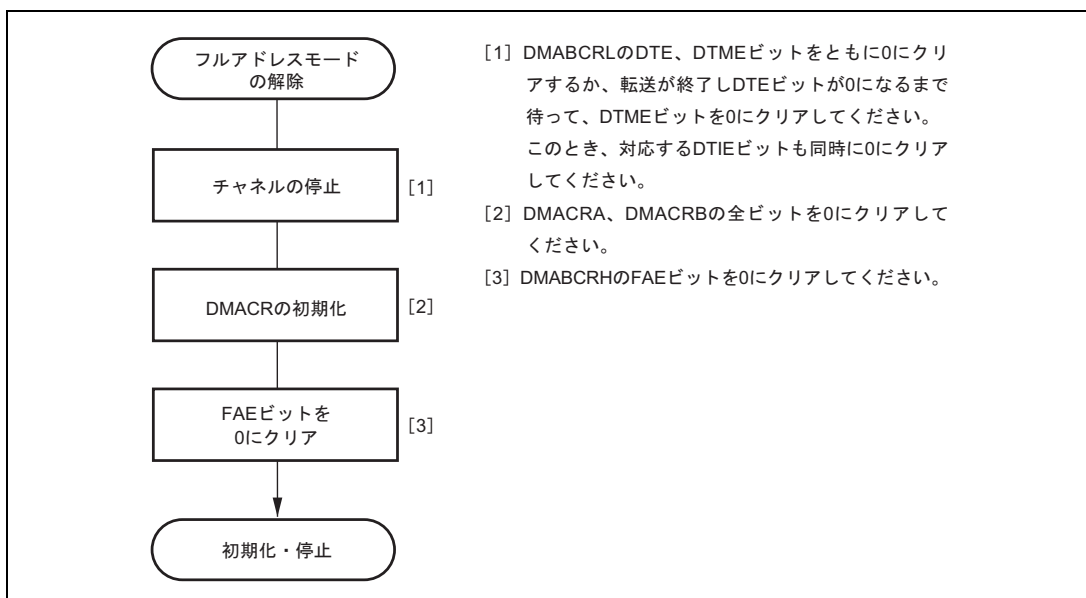


図 8.36 フルアドレスモード解除手順例

## 8.6 割り込み要因

DMAC が発生する割り込み要因は転送終了、転送中断です。表 8.12 に割り込み要因と優先度を示します。

表 8.12 割り込み要因と優先度

割り込み 名称	割り込み要因		割り込み 優先順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ 低
DEND0B	チャンネル 0B の転送終了による割り込み	チャンネル 0 の転送中断割り込み	
DEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DEND1B	チャンネル 1B の転送終了による割り込み	チャンネル 1 の転送中断割り込み	

各割り込み要因は、DMABCRL の対応するチャンネルの DMABCRL の DTIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。チャンネル間の転送終了割り込みの優先順位は、割り込みコントローラによって決められており、表 8.12 に示すようになっています。

図 8.37 に転送終了 / 転送中断割り込みのブロック図を示します。DMABCRL の DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

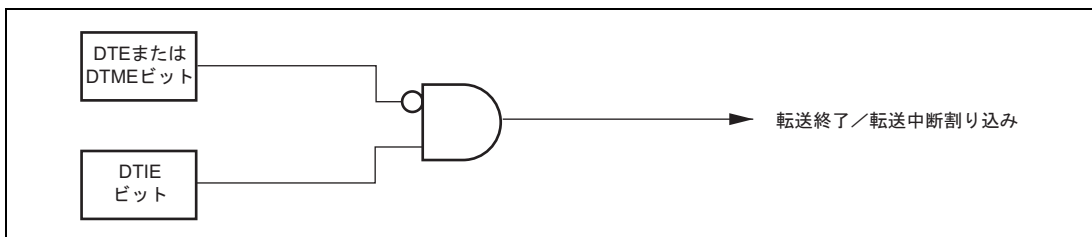


図 8.37 転送終了 / 転送中断割り込みのブロック図

フルアドレスモードでは、転送中断割り込みは DTIE = 1 のときに DTME ビットが 0 にクリアされると発生します。ショートアドレスモード、フルアドレスモードともに設定の途中で割り込みが発生する条件となる組み合わせが起こらないように、DMABCR を設定してください。

## 8.7 使用上の注意事項

### (1) 動作中の DMAC のレジスタアクセス

DMAC の強制終了を除き、動作中 (転送待ち状態を含む) のチャンネルの設定は変更しないでください。動作中にチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。また、DMA 転送による DMAC のレジスタへのライトは行わないでください。

動作中 (転送待ち状態を含む) の DMAC のレジスタリードに関しては次のようになります。

## 8. DMA コントローラ (DMAC)

- DMA制御は、バスサイクルより1サイクル早く起動し、アドレス値を出力します。このため、MARはDMA転送前のバスサイクルに更新されます。図8.38にデュアルアドレス転送モードにおけるDMACのレジスタの更新タイミング例を示します。

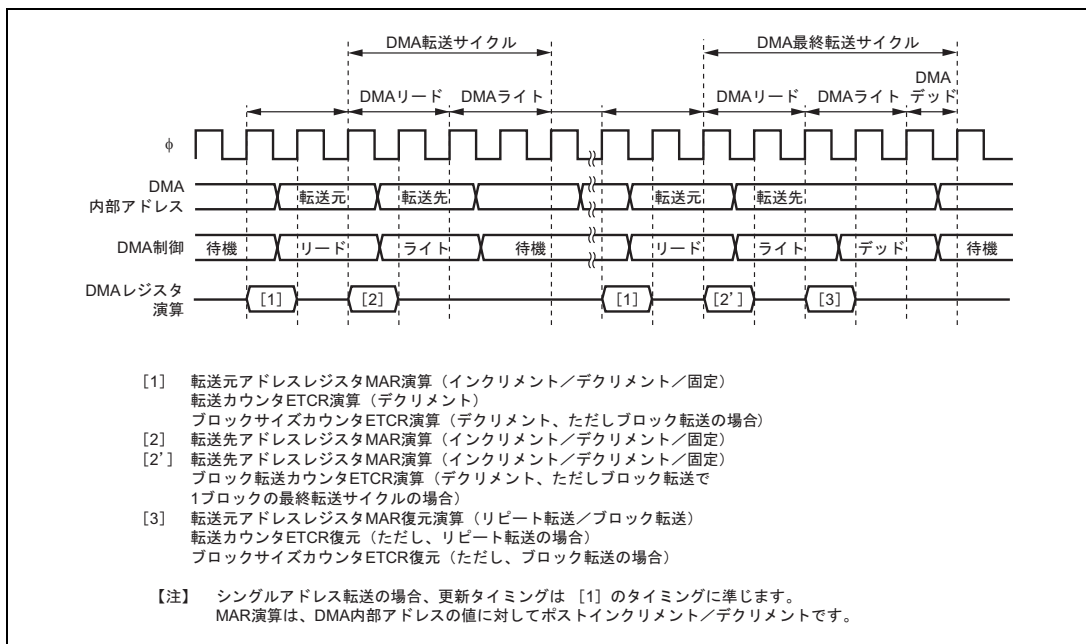


図 8.38 DMAC のレジスタの更新タイミング

- DMACのレジスタリード直後にDMACの転送サイクルが起こると、図8.39のようにDMACのレジスタがリードされます。

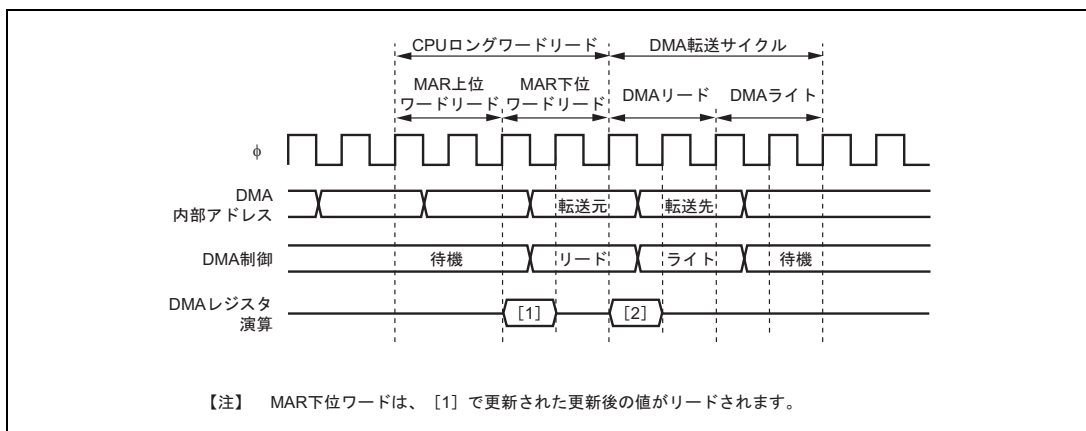


図 8.39 DMAC レジスタの更新と CPU リードの競合

## (2) モジュールストップ

MSTPCRA の MSTPA7 ビットを 1 にセットすると、DMAC のクロックが停止し、DMAC はモジュールストップ状態となります。ただし、DMAC のいずれかのチャンネルが許可状態になっている場合は、MSTPA7 ビットを 1 にセットできません。DMAC の動作が停止している状態で設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。以下の DMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じてモジュールストップに先立って無効にしてください。

- 転送終了 / 中断割り込み (DTE = 0かつDTIE = 1)
- $\overline{\text{TEND}}$ 端子イネーブル (TEE = 1)
- $\overline{\text{DACK}}$ 端子イネーブル (FAE = 0かつSAE = 1)

## (3) 中速モード

DTA ビットが 0 にクリアされている場合、DMAC の転送要因に指定された内部割り込み信号は、エッジ検出されています。

中速モードでは、DMAC は中速クロックで動作し、内蔵周辺モジュールは高速クロックで動作します。このため、CPU、DTC、または、DMAC の他のチャンネルにより当該割り込み要因がクリアされ、次の割り込みが発生する期間が DMAC のクロック (バスマスタクロック) に対し 1 ステート未満だった場合に、エッジ検出できずに無視されることがあります。

また、中速モードでは、 $\overline{\text{DREQ}}$  端子のサンプリングは中速クロックの立ち上がりになります。

(4)  $\overline{\text{DREQ}}$  端子立ち下がりエッジ起動

$\overline{\text{DREQ}}$  端子の立ち下がりエッジの検出は、DMAC の内部動作に同期して行い次のようになります。

1. 起動要求待ち状態： $\overline{\text{DREQ}}$ 端子のLowレベルの検出を待ち、2. に遷移します。
2. 転送待ち状態：DMACのデータ転送が可能になるのを待ち、3. に遷移します。
3. 起動要求禁止状態： $\overline{\text{DREQ}}$ 端子のHighレベルの検出を待ち、1. に遷移します。

DMAC の転送許可後は、1. に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われません。

## (5) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$  端子の立ち下がりエッジセンス / Low レベルセンスともに Low レベルを検出しています。同様に内部割り込みの場合は、割り込み要求を検出しています。したがって、転送許可状態にするための DMABCRL へのライト以前に発生している内部割り込み、または  $\overline{\text{DREQ}}$  端子の Low レベル出力は、要求を受け付けます。

DMAC の起動時には、必要に応じて前回の転送終了時などの内部割り込み、または  $\overline{\text{DREQ}}$  端子の Low レベルが残らないようにしてください。

## 8. DMA コントローラ (DMAC)

---

### (6) 転送終了後の内部割り込み

転送終了または強制終了により、DMABCRL の DTE ビットが 0 にクリアされると、DMABCRH の DTA = 1 の場合でも選択されている内部割り込みは CPU または DTC に割り込みを要求します。

なお、強制終了時にすでに DMAC 内部で起動がかかっている場合にはデータ転送は実行されますが、DTA = 1 の場合でも選択されている内部割り込みに対するフラグクリアを行いません。

転送終了または強制終了後の内部割り込み要求は、必要に応じた処理を CPU で行ってください。

### (7) チャンネルの再設定

複数のチャンネルが転送許可状態で複数のチャンネルの再起動を操作する場合には、転送終了割り込みが排他的に処理されるのを利用し、DMABCR の制御ビット操作を排他的に行ってください。

特に、DMABCR のリードとライトの間に多重割り込みが発生し、新たな割り込み処理中に DMABCR の操作を行うと、もとの処理ルーチンで DMABCR をライトするデータが異なってしまい、ライトにより多重割り込みでの操作結果を無効にしてしまうことがありますので注意してください。多重割り込みで DMABCR の操作が重ならないようにし、かつビット操作命令を用いてリードからライトまでが分割されないようにしてください。

なお、DTE および DTME ビットは、DMAC によりクリアするとき、および 0 をライトするときは DTE/DTME = 0 の状態をいったんリードしないと、CPU で 1 をライトできません。

---

## 9. データトランスファコントローラ (DTC)

---

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 9.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用するときは必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM (1K バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

### 9.1 特長

- 任意チャネル数の転送可能
- 転送モード：3種類  
ノーマルモード、リピートモード、ブロック転送モード
- 1つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールストップモードの設定可能

## 9. データトランスファコントローラ (DTC)

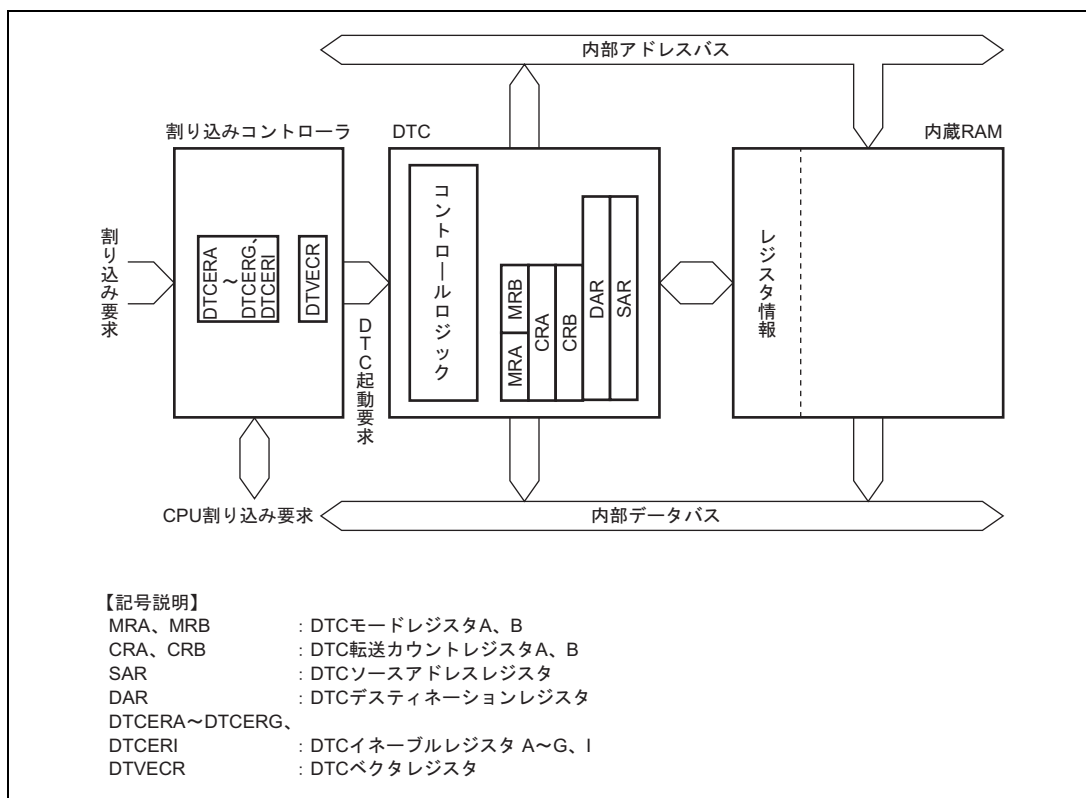


図 9.1 DTC のブロック図

### 9.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC起動要因が発生すると内蔵RAM上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC転送を行い、転送が終了するとこれらのレジスタの内容がRAMに戻されます。

- DTCイネーブルレジスタA~G, I (DTCERA~DTCERG, DTCERI)
- DTCベクタレジスタ (DTVECR)



## 9.2.1 DTC モードレジスタ A (MRA)

MRA は、DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SM1 SM0	不定 不定		ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
5 4	DM1 DM0	不定 不定		デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
3 2	MD1 MD0	不定 不定		DTC モード 1、0 DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止
1	DTS	不定		DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定		DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【記号説明】 X : Don't care

## 9. データトランスファコントローラ (DTC)

### 9.2.2 DTC モードレジスタ B (MRB)

MRB は、DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定		DTC チェイン転送イネーブル チェイン転送を指定するビットです。チェイン転送の詳細は「9.5.4 チェイン転送」を参照してください。 CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。 0 : DTC データ転送終了 (起動待ち状態) 1 : DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)
6	DISEL	不定		DTC インタラプトセレクト 1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定するビットです。 0 : 指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します (DTC は、起動要因となった割り込み要求フラグを 0 にクリア) 1 : DTC データ転送のたびに CPU に対して割り込み要求を発生します (DTC は、起動要因となった割り込み要求フラグを 0 にクリアしない)
5~0		不定		リザーブビット DTC の動作に影響を与えません。ライトするときは 0 をライトしてください。

### 9.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 9.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 9.2.5 DTC 転送カウンタレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リポートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。リポートモードでは CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。また、ブロック転送モードでは、CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ

(1~256)として機能します。CRALは、1回のデータ転送を行うたびにデクリメント(-1)され、カウンタ値がH'00になると、CRAHの内容が転送されます。この動作を繰り返します。

### 9.2.6 DTC 転送カウンタレジスタ B (CRB)

CRBは16ビットのレジスタで、ブロック転送モードのとき、DTCのブロックデータ転送の転送回数を指定します。16ビットの転送カウンタ(1~65536)として機能し、1回のデータ転送を行うたびに、デクリメント(-1)され、カウンタ値がH'0000になると転送を終了します。

### 9.2.7 DTC イネーブルレジスタ A~G、I (DTCERA~DTCERG、DTCERI)

DTCErは、DTCを起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERG、DTCERIがあります。各割り込み要因とDTCEビットの対応、およびそのとき割り込みコントローラが発生するベクタ番号については表9.2を参照してください。DTCEビットの設定は、BSET、BCLRなどビット操作命令を使用してください。ただし複数の起動要因を一度に設定するときには、初期設定に限り、割り込みをマスクして対象となるレジスタをダミーリードしたあとライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCEn7	0	R/W	DTC 起動イネーブル
6	DTCEn6	0	R/W	0: 割り込み DTC 起動を禁止します。
5	DTCEn5	0	R/W	1: 対応する割り込み要因が DTC 起動要因として選択されます。
4	DTCEn4	0	R/W	[クリア条件]
3	DTCEn3	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
2	DTCEn2	0	R/W	• 指定した回数の転送が終了したとき
1	DTCEn1	0	R/W	[保持条件]
0	DTCEn0	0	R/W	• DISEL ビットが 0 で、指定した回数の転送が終了していないとき

(n=A~G、I)

## 9. データトランスファコントローラ (DTC)

### 9.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR は、ソフトウェアによる DTC 起動の許可または禁止の設定およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル DTC ソフトウェア起動の許可または禁止を設定するビットです。 0 : DTC ソフトウェア起動禁止 1 : DTC ソフトウェア起動許可 [クリア条件] • DISEL ビットが 0 で、指定した回数の転送が終了しないとき • CPU に対し、ソフトウェア起動データ転送終了割り込み要求 (SWDTEND) が発生したあと、0 をライトしたとき [保持条件] • DISEL ビットが 1 でデータ転送を終了したとき • 指定した回数の転送が終了したとき • ソフトウェア起動によるデータ転送中
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6~0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400 + ベクタ番号 × 2 となります。たとえば、DTVEC6
3	DTVEC3	0	R/W	~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。
2	DTVEC2	0	R/W	SWDTE = 0 のときライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

## 9.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。表 9.1 に起動要因と DTCER のクリアを示します。たとえば RXI0 の場合、起動要因フラグは、SCL0 の RDRF フラグになります。DTC の起動要因は多数あるため、最終バイト (またはワード) の転送に対しては起動要因となったフラグをクリアしません。各割り込み処理にて必要な処理をしてください。

表 9.1 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	<ul style="list-style-type: none"> <li>• SWDTE ビットは 0 にクリア</li> </ul>	<ul style="list-style-type: none"> <li>• SWDTE ビットは 1 を保持</li> <li>• CPU に割り込みを要求</li> </ul>
割り込み起動	<ul style="list-style-type: none"> <li>• DTCER の対応するビットは 1 を保持</li> <li>• 起動要因フラグは 0 にクリア</li> </ul>	<ul style="list-style-type: none"> <li>• DTCER の対応するビットは 0 にクリア</li> <li>• 起動要因フラグは 1 を保持</li> <li>• 起動要因となった割り込みを CPU に要求</li> </ul>

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 9.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

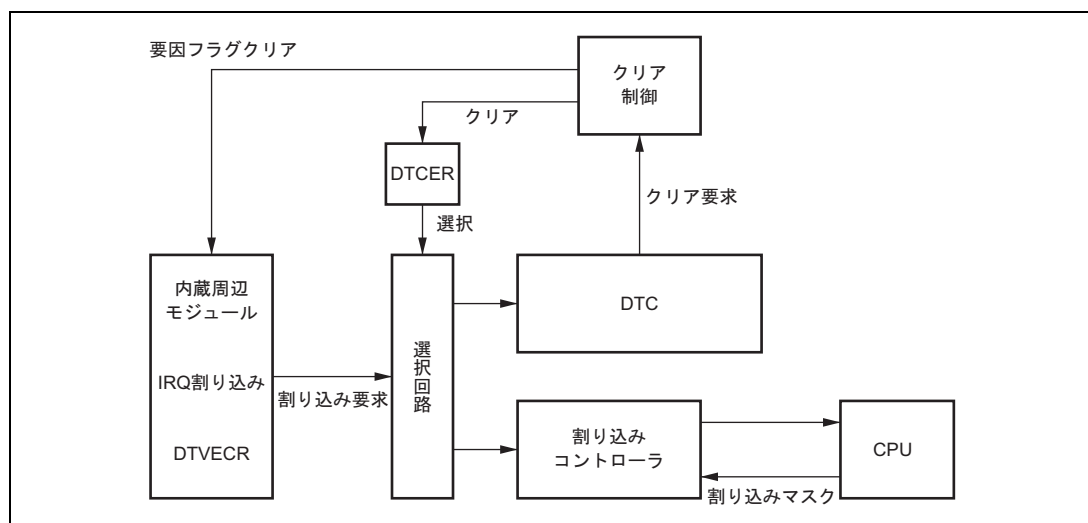


図 9.2 DTC 起動要因制御ブロック図

### 9.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'FFEB00 ~ H'FFEFBF に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは 4 の倍数の番地としてください。図 9.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 9.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。図 9.4 に DTC ベクタアドレスとレジスタ情報との対応を示します。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは  $H'0400 + (DTVECR [6:0] \times 2)$  となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、ノーマルモード\*とアドバンスモードとで同一で、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

【注】 \* 本 LSI では使用できません。

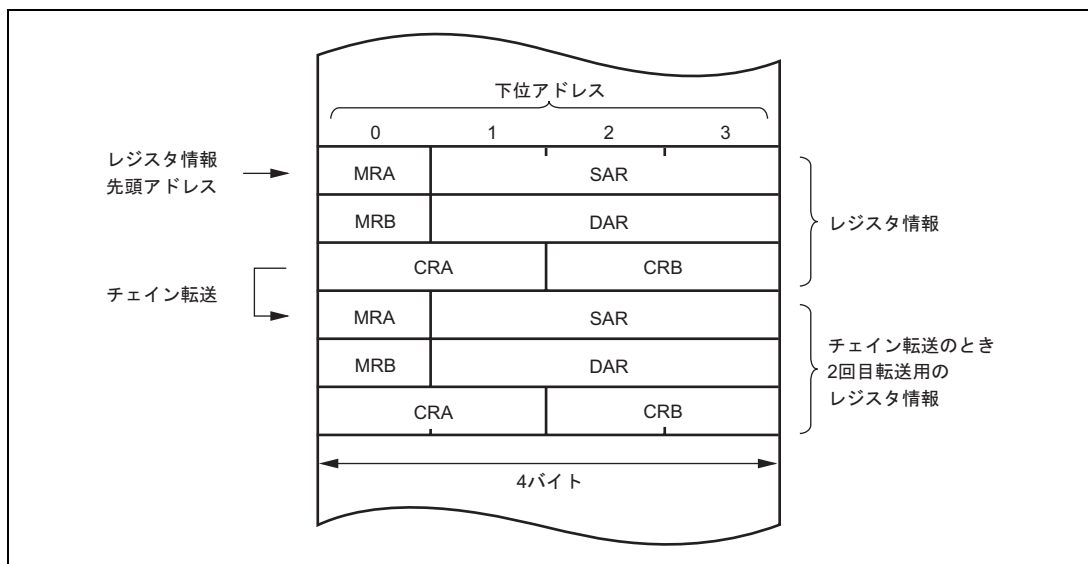


図 9.3 アドレス空間上での DTC レジスタ情報の配置

## 9. データトランスファコントローラ (DTC)

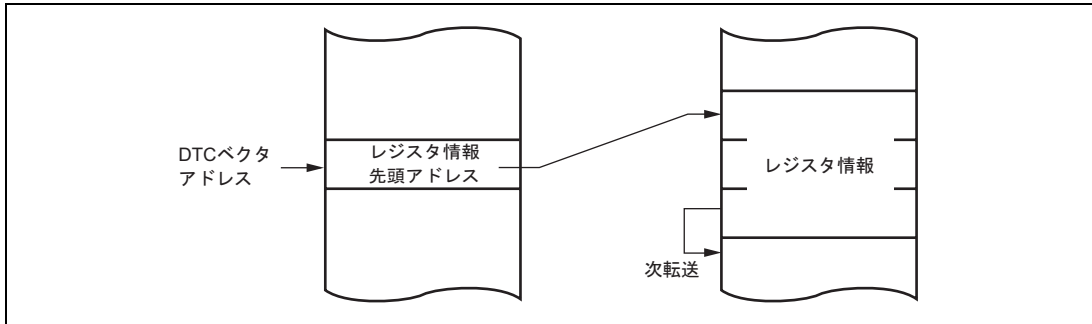


図 9.4 DTC ベクタアドレスとレジスタ情報との対応

表 9.2 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

起動要因発生元	起動要因	ベクタ番号	DTCベクタアドレス	DTCE*1	優先順位
ソフトウェア	DTVECR へのライト	DTVECR	H'0400 + ベクタ番号 × 2	-	高
外部端子	IRQ0	16	H'0420	DTCEA7	↑
	IRQ1	17	H'0422	DTCEA6	
	IRQ2	18	H'0424	DTCEA5	
	IRQ3	19	H'0426	DTCEA4	
	IRQ4	20	H'0428	DTCEA3	
	IRQ5	21	H'042A	DTCEA2	
	IRQ6	22	H'042C	DTCEA1	
	IRQ7	23	H'042E	DTCEA0	
A/D 変換器	ADI (A/D 変換終了)	28	H'0438	DTCEB6	↓
TPU チャンネル 0	TGI0A	32	H'0440	DTCEB5	
	TGI0B	33	H'0442	DTCEB4	
	TGI0C	34	H'0444	DTCEB3	
	TGI0D	35	H'0446	DTCEB2	
TPU チャンネル 1	TGI1A	40	H'0450	DTCEB1	
	TGI1B	41	H'0452	DTCEB0	
TPU チャンネル 2	TGI2A	44	H'0458	DTCEC7	
	TGI2B	45	H'045A	DTCEC6	
TPU チャンネル 3*4	TGI3A	48	H'0460	DTCEC5	
	TGI3B	49	H'0462	DTCEC4	
	TGI3C	50	H'0464	DTCEC3	
	TGI3D	51	H'0466	DTCEC2	





## 9.5 動作説明

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると、内蔵 RAM からレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

図 9.5 に DTC の動作フローチャートを示します。

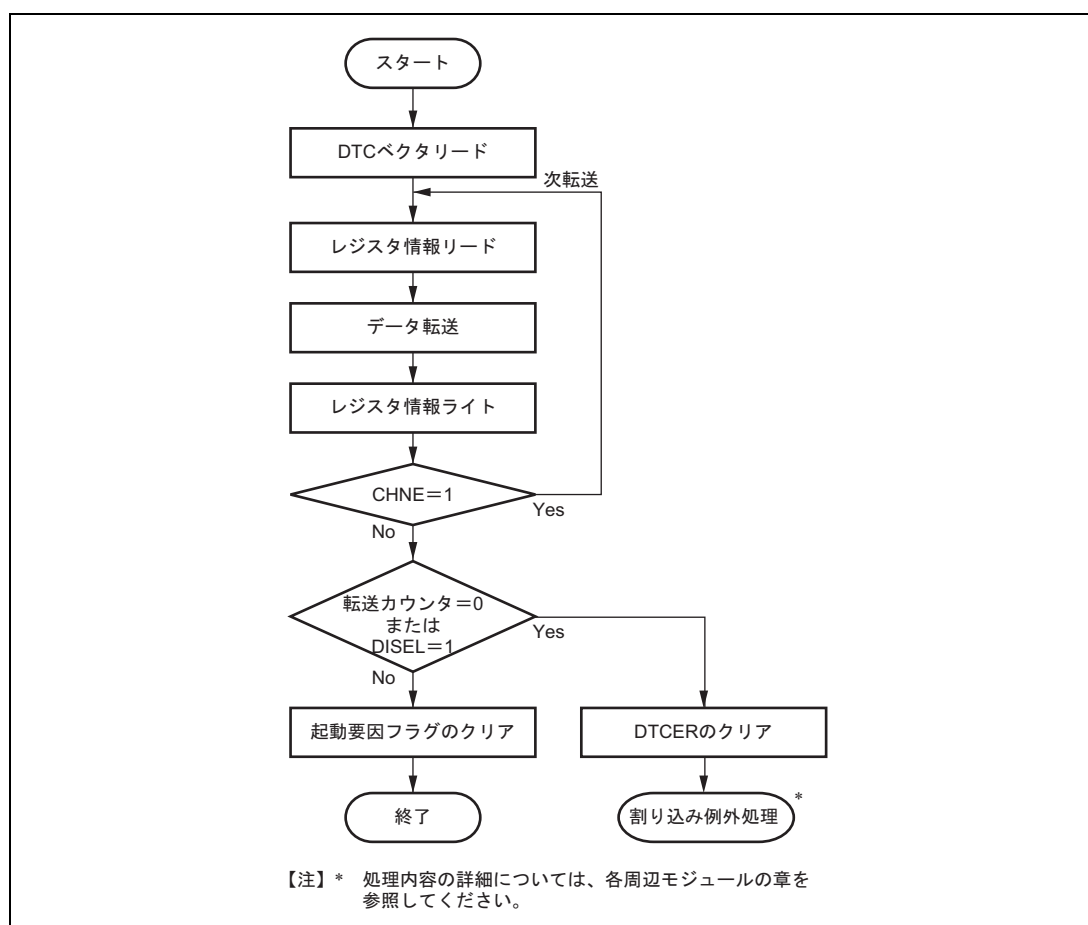


図 9.5 DTC 動作フローチャート

## 9. データトランスファコントローラ (DTC)

### 9.5.1 ノーマルモード

1回の動作で、1バイトまたは1ワードの転送を行います。転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。表9.3にノーマルモードにおけるレジスタ機能を、図9.6にノーマルモードのメモリマップを示します。

表 9.3 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

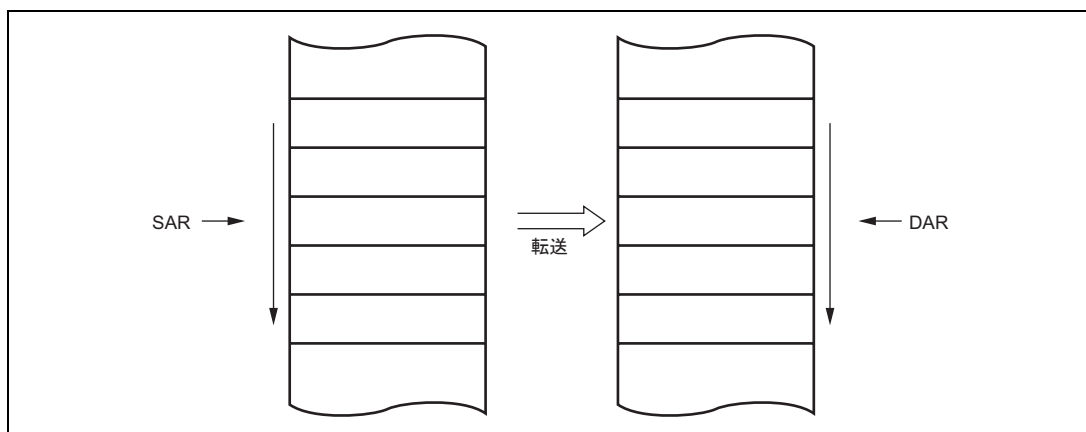


図 9.6 ノーマルモードのメモリマップ

## 9.5.2 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。表 9.4 にリピートモードにおけるレジスタ機能を、図 9.7 にリピートモードのメモリマップを示します。

表 9.4 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

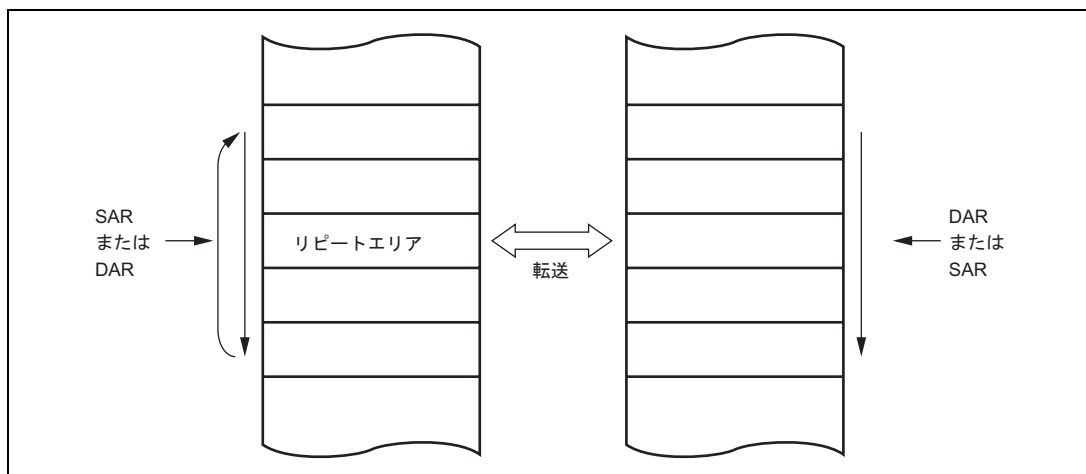


図 9.7 リピートモードのメモリマップ

### 9.5.3 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。表9.5にブロック転送モードにおけるレジスタ機能を、図9.8にブロック転送モードのメモリマップを示します。

表 9.5 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウンタレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウンタレジスタ B	CRB	転送カウンタ

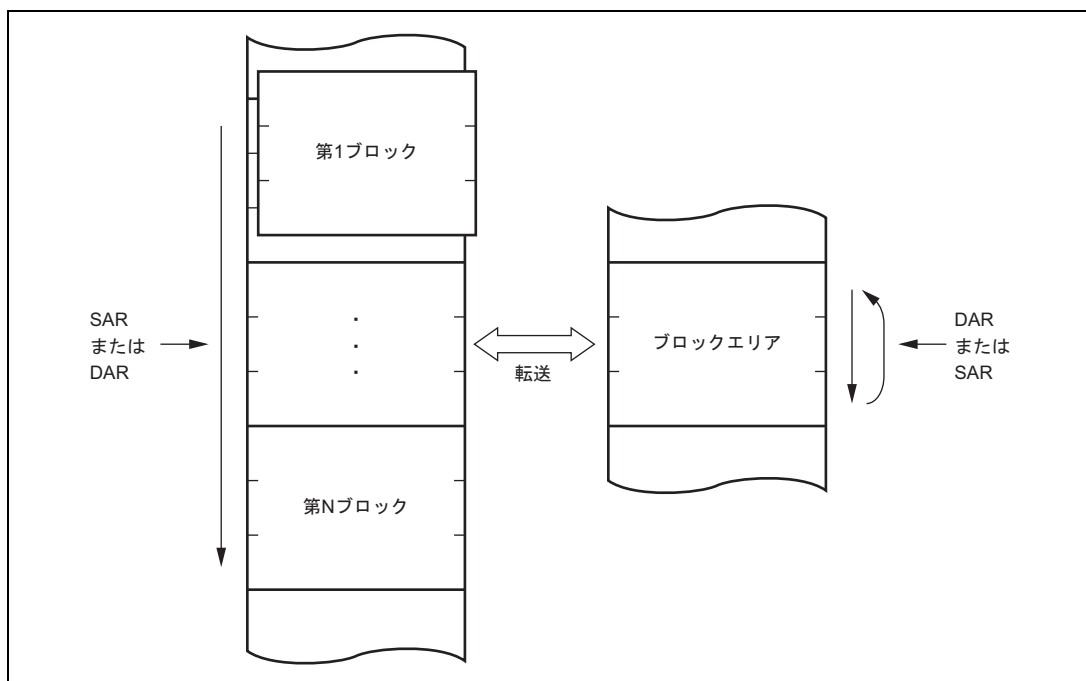


図 9.8 ブロック転送モードのメモリマップ

### 9.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続で行うことができます。SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 9.9 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE = 1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

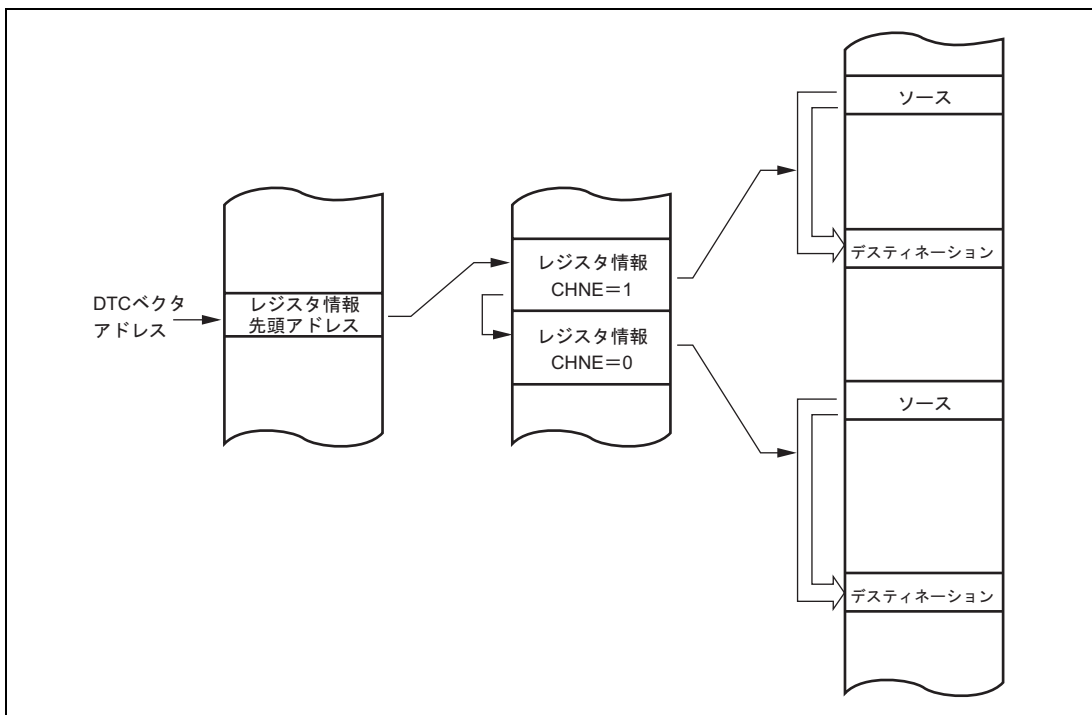


図 9.9 チェイン転送の動作

## 9. データトランスファコントローラ (DTC)

### 9.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

### 9.5.6 動作タイミング

図 9.10 ~ 図 9.12 に DTC の動作タイミングを示します。

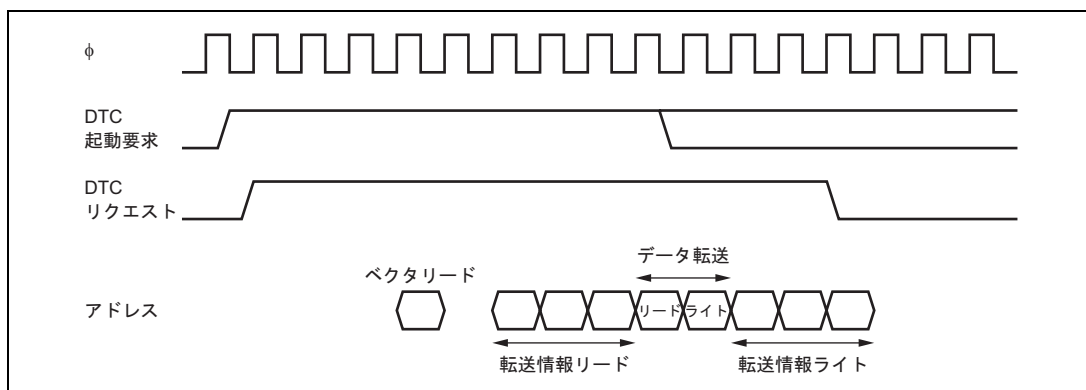


図 9.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

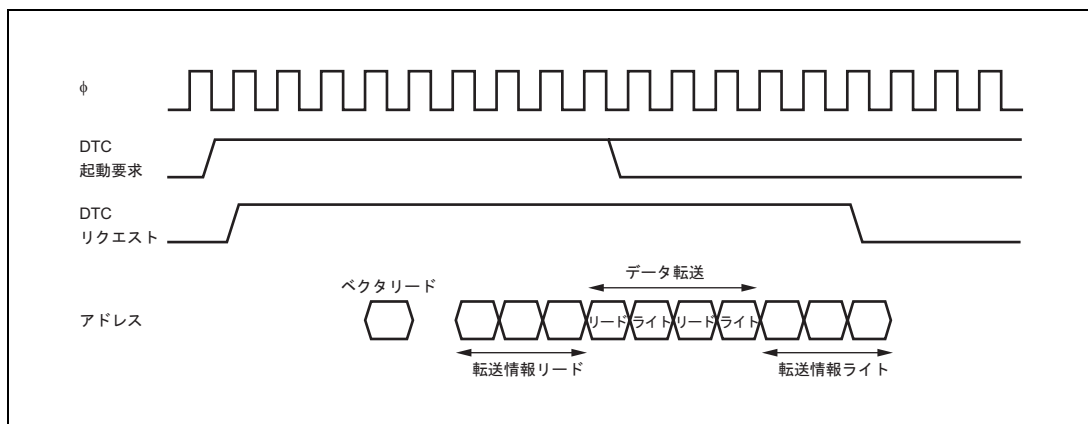


図 9.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

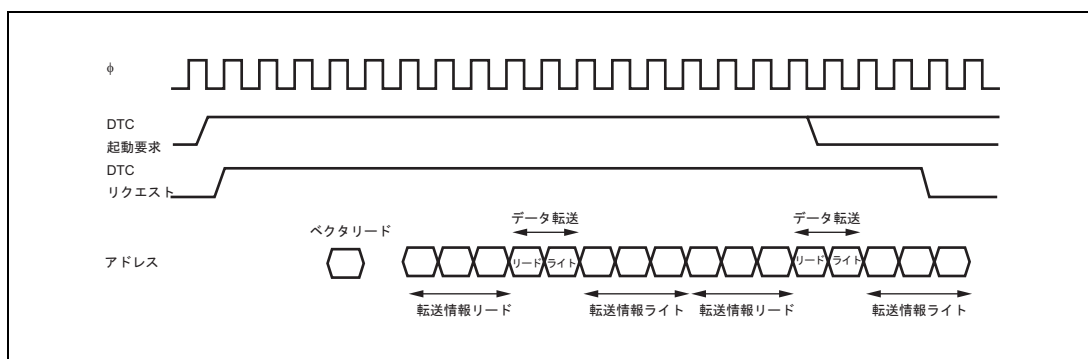


図 9.12 DTC の動作タイミング (チェイン転送の例)

### 9.5.7 DTC 実行ステート数

表 9.6 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 9.7 に、実行状態に必要なステート数を示します。

表 9.6 DTC の実行状態

モード	ベクタリード	レジスタ情報 リード/ライト	データリード	データライト	内部動作
	I	J	K	L	M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

【記号説明】 N : ブロックサイズ (CRAH、CRAL の初期設定値)

## 9. データトランスファコントローラ (DTC)

表 9.7 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実 行 状 態	ベクタリードS <sub>i</sub>	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報S <sub>j</sub> リード/ライト	1	-	-	-	-	-	-	-
	バイトデータリードS <sub>k</sub>	1	1	2	2	2	3+m	2	3+m
	ワードデータリードS <sub>k</sub>	1	1	4	2	4	6+2m	2	3+m
	バイトデータライトS <sub>l</sub>	1	1	2	2	2	3+m	2	3+m
	ワードデータライトS <sub>l</sub>	1	1	4	2	4	6+2m	2	3+m
	内部動作S <sub>m</sub>	1							

【記号説明】m：外部デバイスアクセス時のウェイトステート数

実行ステート数は次の計算式で計算されます。なお、は1つの起動要因で転送する回数分（CHNEビットを1にセットした数+1）の和を示します。

$$\text{実行ステート数} = I \cdot S_i + (J \cdot S_j + K \cdot S_k + L \cdot S_l) + M \cdot S_m$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

## 9.6 DTC 使用手順

### 9.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。  
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。



## 9.6.2 ソフトウェアによる起動

DTCのソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

## 9.7 DTC 使用例

### 9.7.1 ノーマルモード

DTCの使用例として、SCIによる128バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1 = SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ノーマルモード (MD1 = MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE = 0、DISEL = 0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

## 9. データトランスファコントローラ (DTC)

---

### 9.7.2 ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

1. MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
3. DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE=1と共に、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。
5. 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3]と[4]の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3]に戻ってください。
6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

## 9.8 使用上の注意事項

### 9.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTC の動作禁止 / 許可を設定することが可能です。初期値では、DTC の動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTC が起動中にはモジュールストップモードに設定できません。詳細は、「第 24 章 低消費電力状態」を参照してください。

### 9.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。

DTC を使用する場合には SYSCR の RAME ビットをクリアしないでください。

### 9.8.3 DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

## 9. データトランスファコントローラ (DTC)

---

---

## 10. I/O ポート

---

ポートの機能一覧を表 10.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR) と端子の状態をリードするポートレジスタ (PORT) から構成されています。入力専用ポートには DR、DDR はありません。

ポート A ~ E には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン / オフを制御できます。

ポート 3、ポート A にはオープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン / オフを選択できます。

すべてのポートは 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

ポート 3 の P35、P34 の出力形式は、NMOS プッシュプル出力となっています。\*

$\overline{\text{IRQ}}$  端子は、シュミットトリガ入力です。

【注】 \* H8S/2258 グループ、H8S/2239 グループ、H8S/2238 グループのみです。

## 10. I/O ポート

表 10.1 ポートの機能一覧

ポート名	概要	モード 4	モード 5	モード 6	モード 7	入出力形態他
ポート 1	TPU_2、TPU_1、TPU_0 入出力端子、割り込み入力端子、アドレス出力端子、DMAC 出力端子と兼用汎用入出力ポート	P17/TIOCB2/TCLKD P16/TIOCA2/IRQ1 P15/TIOCB1/TCLKC P14/TIOCA1/IRQ0 P13/TIOCD0/TCLKB/A23 P12/TIOCC0/TCLKA/A22 P11/TIOCB0/DACK1*3/A21 P10/TIOCA0/DACK0*3/A20			P17/TIOCB2/TCLKD P16/TIOCA2/IRQ1 P15/TIOCB1/TCLKC P14/TIOCA1/IRQ0 P13/TIOCD0/TCLKB P12/TIOCC0/TCLKA P11/TIOCB0/DACK1*3 P10/TIOCA0/DACK0*3	シュミットトリガ入力 (IRQ0、IRQ1)
ポート 3	IIC バスインタフェース*1 入出力端子、SCI_1、SCL_0 入出力端子、割り込み入力端子と兼用汎用入出力ポート	P36 P35/SCK1/SCL0*1/IRQ5 P34/RxD1/SDA0*1 P33/TxD1/SCL1*1 P32/SCK0/SDA1*1/IRQ4 P31/RxD0 P30/TxD0				オープンドレイン出力可能、シュミットトリガ入力 (IRQ4、IRQ5)、NMOS プッシュプル出力*1 (P35、P34、SCK1)
ポート 4	A/D 変換器アナログ入力端子と兼用汎用入出力ポート	P47/AN7 P46/AN6 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0				
ポート 7	SCI_3 入出力端子、TMR_3*1、TMR_2*1、TMR_1、TMR_0 入出力端子、DMAC 入出力端子と兼用汎用入出力ポート	P77/TxD3 P76/RxD3 P75/TMO3*1/SCK3 P74/TMO2*1/MRES P73/TMO1/TEND1*3/CS7 P72/TMO0/TEND0*3/CS6 P71/TMRI23*1/TMCI23*1/DREQ1*3/CS5 P70/TMRI01/TMCI01/DREQ0*3/CS4			P73/TMO1/TEND1*3 P72/TMO0/TEND0*3 P71/TMRI23*1/ TMCI23*1/DREQ1*3 P70/TMRI01/TMCI01/ DREQ0*3	

## 10. I/O ポート

ポート名	概要	モード 4	モード 5	モード 6	モード 7	入出力形態他
ポート 9	D/A 変換器* <sup>2</sup> アナログ出力端子と兼用汎用入力ポート	P97/DA1* <sup>2</sup> P96/DA0* <sup>2</sup>				
ポート A	SCI_2* <sup>2</sup> 入出力端子、アドレス出力端子と兼用汎用入出力ポート	PA3/A19/SCK2* <sup>2</sup> PA2/A18/RxD2* <sup>2</sup> PA1/A17/TxD2* <sup>2</sup> PA0/A16			PA3/SCK2* <sup>2</sup> PA2/RxD2* <sup>2</sup> PA1/TxD2* <sup>2</sup> PA0	入力プルアップ MOS 内蔵、オープンドレイン出力可能
ポート B	TPU_5* <sup>2</sup> 、TPU_4* <sup>2</sup> 、TPU_3* <sup>2</sup> 入出力端子、アドレス出力端子と兼用汎用入出力ポート	PB7/A15/TIOCB5* <sup>2</sup> PB6/A14/TIOCA5* <sup>2</sup> PB5/A13/TIOCB4* <sup>2</sup> PB4/A12/TIOCA4* <sup>2</sup> PB3/A11/TIOCD3* <sup>2</sup> PB2/A10/TIOCC3* <sup>2</sup> PB1/A9/TIOCB3* <sup>2</sup> PB0/A8/TIOCA3* <sup>2</sup>			PB7/TIOCB5* <sup>2</sup> PB6/TIOCA5* <sup>2</sup> PB5/TIOCB4* <sup>2</sup> PB4/TIOCA4* <sup>2</sup> PB3/TIOCD3* <sup>2</sup> PB2/TIOCC3* <sup>2</sup> PB1/TIOCB3* <sup>2</sup> PB0/TIOCA3* <sup>2</sup>	入力プルアップ MOS 内蔵
ポート C	アドレス出力端子と兼用汎用入出力ポート	A7 A6 A5 A4 A3 A2 A1 A0		PC7/A7 PC6/A6 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0	PC7 PC6 PC5 PC4 PC3 PC2 PC1 PC0	入力プルアップ MOS 内蔵
ポート D	データ入出力端子と兼用汎用入出力ポート	D15 D14 D13 D12 D11 D10 D9 D8			PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0	入力プルアップ MOS 内蔵

## 10. I/O ポート

ポート名	概要	モード 4	モード 5	モード 6	モード 7	入出力形態他
ポート E	データ入出力端子と兼用汎用入出力ポート	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0			PE7 PE6 PE5 PE4 PE3 PE2 PE1 PE0	入力プルアップ MOS 内蔵
ポート F	割り込み入力端子、バス制御入出力端子、A/D 変換器入力端子、WDT 出力端子と兼用汎用入出力ポート	PF7/ $\phi$ $\overline{AS}$ $\overline{RD}$ $\overline{HWR}$ PF3/ $\overline{LWR}/\overline{ADTRG}/\overline{IRQ3}$ PF2/ $\overline{WAIT}$ PF1/ $\overline{BACK}/\overline{BUZZ}$ PF0/ $\overline{BREQ}/\overline{IRQ2}$			PF7/ $\phi$ PF6 PF5 PF4 PF3/ $\overline{ADTRG}/\overline{IRQ3}$ PF2 PF1/ $\overline{BUZZ}$ PF0/ $\overline{IRQ2}$	シュミットトリガ入力 ( $\overline{IRQ2}$ 、 $\overline{IRQ3}$ )
ポート G	割り込み入力端子と兼用汎用入出力ポート	PG4/ $\overline{CS0}$ PG3/ $\overline{Rx}/\overline{CS1}$ *4 PG2/ $\overline{Tx}/\overline{CS2}$ *4 PG1/ $\overline{CS3}/\overline{IRQ7}$ PG0/ $\overline{IRQ6}$			PG4 PG3/ $\overline{Rx}$ PG2/ $\overline{Tx}$ PG1/ $\overline{IRQ7}$ PG0/ $\overline{IRQ6}$	シュミットトリガ入力 ( $\overline{IRQ6}$ 、 $\overline{IRQ7}$ )

【注】 \*1 H8S/2237 グループ、H8S/2227 グループにこれらの端子はありません。

\*2 H8S/2227 グループにこれらの端子はありません。

\*3 H8S/2239 グループのみサポートしています。

\*4 H8S/2258 グループのみサポートしています。

### 10.1 ポート 1

ポート 1 は 8 ビットの兼用入出力ポートです。ポート 1 には以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1レジスタ (PORT1)

#### 10.1.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR はポート 1 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。詳細は「2.9.4



ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	P17DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを1にセットすると対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

### 10.1.2 ポート1 データレジスタ (P1DR)

P1DR はポート1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

### 10.1.3 ポート1 レジスタ (PORT1)

PORT1 はポート1 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	P17	*	R	このレジスタをリードすると、P1DDR がセットされているビットはP1DR の値がリードされます。P1DDR がクリアされているビットは端子の状態がリードされます。
6	P16	*	R	
5	P15	*	R	
4	P14	*	R	
3	P13	*	R	
2	P12	*	R	
1	P11	*	R	
0	P10	*	R	

【注】 \* P17～P10 端子の状態により決定されます。

## 10. I/O ポート

### 10.1.4 端子機能

ポート 1 は、TPU (TPU\_0、TPU\_1、TPU\_2) の入出力端子、DMAC\*出力端子、割り込み入力端子、アドレス出力端子と兼用になっています。レジスタの設定値と端子機能の関係は以下のとおりです。

【注】 \* H8S/2239 グループのみサポートしています。

#### • P17/TIOCB2/TCLKD

TPU チャンネル 2 の設定、TCR\_0、TCR\_5 の TPSC2 ~ TPSC0 ビットおよび P17DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 2 の設定*1	出力設定	入力設定または初期値	
P17DDR	-	0	1
端子機能	TIOCB2 出力端子	P17 入力端子	P17 出力端子
		TIOCB2 入力端子*2	
	TCLKD 入力端子*3		

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 2 のタイマの動作モードが通常動作または位相計数モードで TIOR\_2 の IOB3 = 1 のとき、TIOCB2 入力端子となります。

\*3 TCR\_0、TCR\_5 のいずれかの設定が TPSC2 ~ TPSC0 = 111 のとき、TCLKD 入力端子となります。また、チャンネル 2、4 を位相計数モードに設定すると、TCLKD 入力端子となります。

#### • P16/TIOCA2/ $\overline{\text{IRQ1}}$

TPU チャンネル 2 の設定、および P16DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 2 の設定*1	出力設定	入力設定または初期値	
P16DDR	-	0	1
端子機能	TIOCA2 出力端子	P16 入力端子	P16 出力端子
		TIOCA2 入力端子*2	
	$\overline{\text{IRQ1}}$ 入力端子*3		

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 2 のタイマの動作モードが通常動作または位相計数モードで TIOR\_2 の IOA3 = 1 の場合に TIOCA2 入力端子となります。

\*3 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

- P15/TIOCB1/TCLKC

TPU チャンネル 1 の設定、TCR\_0、TCR\_2、TCR\_4、TCR\_5 の TPSC2 ~ TPSC0 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定* <sup>1</sup>	出力設定	入力設定または初期値	
P15DDR	-	0	1
端子機能	TIOCB1 出力端子	P15 入力端子	P15 出力端子
		TIOCB1 入力端子* <sup>2</sup>	
	TCLKC 入力端子* <sup>3</sup>		

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 1 のタイマの動作モードが通常動作または位相計数モードで TIOR\_1 の IOB3 ~ IOB0 = 10xx のとき、TIOCB1 入力端子となります。

\*3 TCR\_0、TCR\_2 のいずれかの設定が TPSC2 ~ TPSC0 = 110 または TCR\_4、TCR\_5 のいずれかの設定が TPSC2 ~ TPSC0 = 101 のとき、TCLKC 入力端子となります。また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力端子となります。

- P14/TIOCA1/ $\overline{\text{IRQ0}}$

TPU チャンネル 1 の設定、および P14DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定* <sup>1</sup>	出力設定	入力設定または初期値	
P14DDR	-	0	1
端子機能	TIOCA1 出力端子	P14 入力端子	P14 出力端子
		TIOCA1 入力端子* <sup>2</sup>	
	$\overline{\text{IRQ0}}$ 入力端子* <sup>3</sup>		

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 1 のタイマの動作モードが通常動作または位相計数モードで TIOR\_1 の IOA3 ~ IOA0 = 10xx のとき、TIOCA1 入力端子となります。

\*3 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

## 10. I/O ポート

### • P13/TIOCD0/TCLKB/A23

動作モードと TPU チャンネル 0 の設定、TCR\_0~TCR\_2 の TPSC2~TPSC0 ビット、PFCR の AE3~AE0 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				モード 7			
AE3~AE0	B'1111	B'1111 以外				-		
TPU チャンネル 0 の設定*1	-	出力設定	入力設定または初期値		出力設定	入力設定または初期値		
P13DDR	-	-	0	1	-	0	1	
端子機能	A23 出力端子	TIOCD0 出力端子	P13 入力端子	P13 出力端子	TIOCD0 出力端子	P13 入力端子	P13 出力端子	
			TIOCD0 入力端子*2			TIOCD0 入力端子*2		
		TCLKB 入力端子*3				TCLKB 入力端子*3		

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 0 のタイマの動作モードが通常動作で TIORL\_0 の IOD3~IOD0 = 10xx のとき、TIOCD0 入力端子となります。

\*3 TCR\_0~TCR\_2 のいずれかの設定が TPSC2~TPSC0 = 101 のとき、TCLKB 入力端子となります。また、チャンネル 1、5 を位相計数モードに設定すると、TCLKB 入力端子となります。

### • P12/TIOCC0/TCLKA/A22

動作モードと TPU チャンネル 0 の設定、TCR\_0~TCR\_5 の TPSC2~TPSC0 ビット、PFCR の AE3~AE0 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				モード 7			
AE3~AE0	B'1111	B'1111 以外				-		
TPU チャンネル 0 の設定*1	-	出力設定	入力設定または初期値		出力設定	入力設定または初期値		
P12DDR	-	-	0	1	-	0	1	
端子機能	A22 出力端子	TIOCC0 出力端子	P12 入力端子	P12 出力端子	TIOCC0 出力端子	P12 入力端子	P12 出力端子	
			TIOCC0 入力端子*2			TIOCC0 入力端子*2		
		TCLKA 入力端子*3				TCLKA 入力端子*3		

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 0 のタイマの動作モードが通常動作で TIORL\_0 の IOC3~IOC0 = 10xx のとき、TIOCC0 入力端子となります。

\*3 TCR\_0~TCR\_5 のいずれかの設定が TPSC2~TPSC0 = 100 の場合に TCLKA 入力端子となります。また、チャンネル 1、5 を位相計数モードに設定すると、TCLKA 入力端子となります。

- P11/TIOCB0/ $\overline{\text{DACK1}}$ /A21

動作モードとTPUチャンネル0の設定、PFCRのAE3～AE0ビット、DMABCRHのSAE1ビット\*<sup>3</sup>、およびP11DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード4～6					モード7			
AE3～AE0	B'111x	B'111x 以外					-		
SAE1* <sup>3</sup>	-	0			1	-			
TPUチャンネル0の設定* <sup>1</sup>	-	出力設定	入力設定または初期値		-	出力設定	入力設定または初期値		
P11DDR	-	-	0	1	-	-	0	1	
端子機能	A21 出力端子	TIOCB0 出力端子	P11 入力端子	P11 出力端子	$\overline{\text{DACK1}}$ * <sup>3</sup> 出力端子	TIOCB0 出力端子	P11 入力端子	P11 出力端子	
			TIOCB0 入力端子* <sup>2</sup>				TIOCB0 入力端子* <sup>2</sup>		

【注】 \*1 TPUチャンネルの設定は「第11章 16ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPUチャンネル0のタイマの動作モードが通常動作でTIORH\_0のIOB3～IOB0=10xxのとき、TIOCB0入力端子となります。

\*3 H8S/2239グループのみです。

- P10/TIOCA0/ $\overline{\text{DACK0}}$ /A20

動作モードとTPUチャンネル0の設定、PFCRのAE3～AE0ビット、DMABCRHのSAE0ビット\*<sup>3</sup>、およびP10DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード4～6					モード7			
AE3～AE0	B'1101 または B'111x	(B'1101またはB'111x) 以外					-		
SAE0* <sup>3</sup>	-	0			1	-			
TPUチャンネル0の設定* <sup>1</sup>	-	出力設定	入力設定または初期値		-	出力設定	入力設定または初期値		
P10DDR	-	-	0	1	-	-	0	1	
端子機能	A20 出力端子	TIOCA0 出力端子	P10 入力端子	P10 出力端子	$\overline{\text{DACK0}}$ * <sup>3</sup> 出力端子	TIOCA0 出力端子	P10 入力端子	P10 出力端子	
			TIOCA0 入力端子* <sup>2</sup>				TIOCA0 入力端子* <sup>2</sup>		

【注】 \*1 TPUチャンネルの設定は「第11章 16ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPUチャンネル0のタイマの動作モードが通常動作でTIORH\_0のIOA3～IOA0=10xxのとき、TIOCA0入力端子となります。

\*3 H8S/2239グループのみです。

### 10.2 ポート 3

ポート 3 は 7 ビットの兼用入出力ポートです。P34、P35、SCK1 は NMOS プッシュプル出力となります。\*  
ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3レジスタ (PORT3)
- ポート3オープンドレインコントロールレジスタ (P3ODR)

【注】 \* H8S/2237 グループ、H8S/2227 グループは CMOS 出力です。

#### 10.2.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7		不定		リザーブビット リードすると不定値が読み出されます。
6	P36DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

### 10.2.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7		不定		リザーブビット リードすると不定値が読み出されます。
6	P36DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

### 10.2.3 ポート 3 レジスタ (PORT3)

PORT3 は、ポート 3 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7		不定		リザーブビット リードすると不定値が読み出されます。
6	P36	*	R	このレジスタをリードすると、P3DDR がセットされているビットは、P3DR の値がリードされます。P3DDR がクリアされているビットは端子の状態がリードされます。
5	P35	*	R	
4	P34	*	R	
3	P33	*	R	
2	P32	*	R	
1	P31	*	R	
0	P30	*	R	

【注】 \* P36 ~ P30 端子の状態により決定されます。

## 10. I/O ポート

### 10.2.4 ポート 3 オープンドレインコントロールレジスタ (P3ODR)

P3ODR は、ポート 3 の PMOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7		不定		リザーブビット リードすると不定値が読み出されます。
6	P36ODR	0	R/W	P36、P33～P30 は、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。 P35、P34 は、このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると NMOS プッシュプル出力になります。*
5	P35ODR	0	R/W	
4	P34ODR	0	R/W	
3	P33ODR	0	R/W	
2	P32ODR	0	R/W	
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

【注】 \* H8S/2237 グループ、H8S/2227 グループでは、0 にクリアすると CMOS 出力になります。

### 10.2.5 端子機能

ポート 3 は、SCI 入出力端子、 $I^2C$  バスインタフェース\*入出力端子、割り込み入力端子と兼用になっています。

図 10.1 に示すように、P35、P34、SCK1、SCL0、SDA0 のタイプのオープンドレイン出力形式の場合、本 LSI の電源がダウンした場合でも、バスラインに影響を与えることはありません。システムで、本 LSI に電源が供給されない状態があるバスラインを使用する場合は (a) のオープンドレイン出力を使用してください。

【注】 \* H8S/2237 グループ、H8S/2227 グループには  $I^2C$  バスインタフェースはありません。

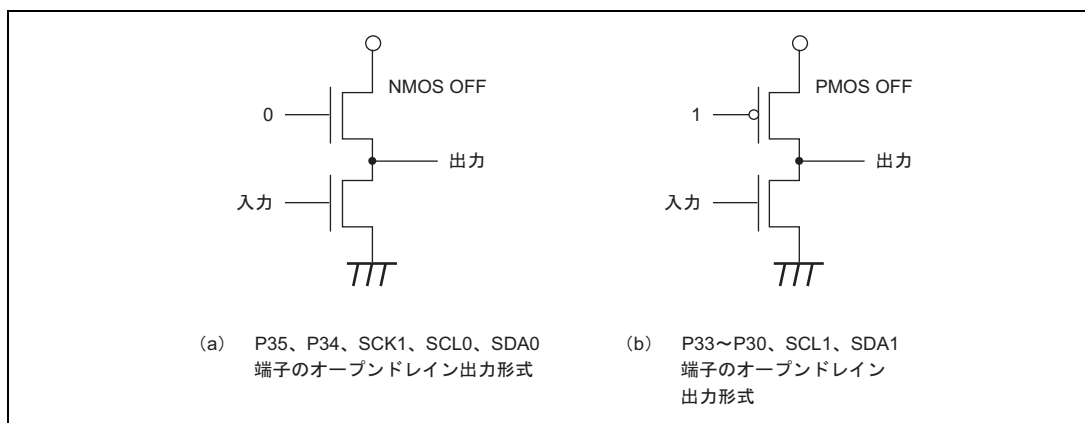


図 10.1 オープンドレイン出力形式の違い

P34、P35、SCK1 の NMOS プッシュプル出力\*は High 出力を設定しても負荷にかかわらず  $V_{CC}$  レベルは出力されません。 $V_{CC}$  レベルを出力するにはブルアップ抵抗を外付けする必要があります。



- 【注】 1. プルアップ抵抗を外付けした場合、信号の立ち下がり、立ち上がり時間が長くなりますのでご注意ください。信号の立ち下がり、立ち上がり時間が長い信号を入力する場合、シュミットトリガ回路などノイズ除去機能がある入力回路を使用してください。
2. 高速で動作させる場合にはレベルシフタを入れるなど外付け回路で対策してください。
3. 出力特性に関しては表 27.2、表 27.14、表 27.27、表 27.39 の出力 High レベル電圧 P34、P35 を参照してください。プルアップ抵抗値に関しては表 27.3、表 27.15、表 27.28、表 27.40 の出力許容電流を満足する値にしてください。
- \* H8S/2227 グループ、H8S/2237 グループにはありません。

H8S/2227 グループ、H8S/2237 グループは IIC バス機能を持たず、P34、P35 端子の出力は CMOS 出力（各端子の P34ODR、P35ODR = 0 のとき）です。H8S/2633 エバチップ、H8S/2238 エバチップを搭載したエミュレータをご使用の場合、本端子は NMOS プッシュプル出力ですので、H8S/2227 グループ、H8S/2237 グループとは端子の出力特性が異なります。P34、P35 端子に関して CMOS 出力を必要とする場合、エミュレータの P34、P35 端子は適切な抵抗によりプルアップしてください。

• P36

P36DDR ビットの組み合わせにより、次のように切り替わります。

P36DDR	0	1
端子機能	P36 入力端子	P36 出力端子*

【注】 \* P36ODR = 1 のとき、NMOS オープンドレイン出力になります。

• P35/SCK1/SCL0/IRQ5

IIC\_0 の ICCR\_0 の ICE ビット\*<sup>3</sup>、SCI\_1 の SMR\_1 の C/A ビット、SCR\_1 の CKE1、CKE0 ビット、および P35DDR ビットの組み合わせにより、次のように切り替わります。SCL0 入出力端子として使用するときは、C/A ビット、CKE1、CKE0 ビットは必ず 0 にクリアしてください。なお、SCL0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。また、P35 出力端子、SCK1 出力端子に設定したときの出力形式は NMOS プッシュプル出力\*<sup>4</sup> となります。

ICE* <sup>3</sup>	0				1	
CKE1	0			1	0	
C/A	0		1	-	0	
CKE0	0	1	-	-	0	
P35DDR	0	1	-	-	-	-
端子機能	P35 入力端子	P35 出力端子* <sup>1</sup>	SCK1 出力端子* <sup>1</sup>	SCK1 出力端子* <sup>1</sup>	SCK1 入力端子	SCL0* <sup>3</sup> 入出力端子
	IRQ5 入力端子* <sup>2</sup>					

【注】 \*<sup>1</sup> P35ODR = 1 のとき NMOS オープンドレイン出力になり、P35ODR = 0 のとき NMOS プッシュプル出力\*<sup>4</sup> となります。

\*<sup>2</sup> 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

\*<sup>3</sup> H8S/2237 グループ、H8S/2227 グループにはありません。

\*<sup>4</sup> H8S/2237 グループ、H8S/2227 グループでは CMOS 出力となります。

## 10. I/O ポート

---

### • P34/RxD1/SDA0

IIC\_0 の ICCR\_0 の ICE ビット\*<sup>2</sup>、SCL\_1 の SCR\_1 の RE ビット、および P34DDR ビットの組み合わせにより、次のように切り替わります。P34 出力端子に設定したときの出力形式は NMOS プッシュプル出力\*<sup>3</sup> となります。また、SDA0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

ICE* <sup>2</sup>	0		1	
RE	0		1	
P34DDR	0	1		
端子機能	P34 入力端子	P34 出力端子* <sup>1</sup>	RxD1 入力端子	SDA0 入出力端子* <sup>2</sup>

【注】 \*<sup>1</sup> P34ODR = 1 のとき NMOS オープンドレイン出力になり、P34ODR = 0 のとき NMOS プッシュプル出力\*<sup>3</sup> となります。

\*<sup>2</sup> H8S/2237 グループ、H8S/2227 グループにはありません。

\*<sup>3</sup> H8S/2237 グループ、H8S/2227 グループでは CMOS 出力となります。

### • P33/TxD1/SCL1

IIC\_1 の ICCR\_1 の ICE ビット\*<sup>2</sup>、SCL\_1 の SCR\_1 の TE ビット、および P33DDR ビットの組み合わせにより、次のように切り替わります。SCL1 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

ICE* <sup>2</sup>	0		1	
TE	0		1	
P33DDR	0	1		
端子機能	P33 入力端子	P33 出力端子* <sup>1</sup>	TxD1 出力端子* <sup>1</sup>	SCL1 入出力端子* <sup>2</sup>

【注】 \*<sup>1</sup> P33ODR = 1 のとき、NMOS オープンドレイン出力になります。

\*<sup>2</sup> H8S/2237 グループ、H8S/2227 グループにはありません。

- P32/SCK0/SDA1/ $\overline{\text{IRQ4}}$

IIC\_1 の ICCR\_1 の ICE ビット\*<sup>3</sup>、SCI\_0 の SMR\_0 の  $C/\overline{A}$  ビット、SCR\_0 の CKE1、CKE0 ビット、および P32DDR ビットの組み合わせにより、次のように切り替わります。SDA1 入出力端子として使用するときは、 $C/\overline{A}$  ビット、CKE0 ビット、CKE1 ビットは必ず 0 にクリアしてください。なお、SDA1 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

ICE* <sup>3</sup>	0					1
CKE1	0			1	1	0
$C/\overline{A}$	0		1	-	-	0
CKE0	0	1	-	-	-	0
P32DDR	0	1	-	-	-	-
端子機能	P32 入力端子	P32 出力端子* <sup>1</sup>	SCK0 出力端子* <sup>1</sup>	SCK0 出力端子* <sup>1</sup>	SCK0 入力端子	SDA1* <sup>3</sup> 入出力端子
	IRQ4 入力端子* <sup>2</sup>					

【注】 \*<sup>1</sup> P32ODR = 1 のとき、NMOS オープンドレイン出力になります。

\*<sup>2</sup> 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

\*<sup>3</sup> H8S/2237 グループ、H8S/2227 グループにはありません。

- P31/RxD0

SCI\_0 の SCR\_0 の RE ビット、および P31DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P31DDR	0	1	-
端子機能	P31 入力端子	P31 出力端子*	RxD0 入力端子

【注】 \* P31ODR = 1 のとき、NMOS オープンドレイン出力になります。

- P30/TxD0

SCI\_0 の SCR\_0 の TE ビット、および P30DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P30DDR	0	1	-
端子機能	P30 入力端子	P30 出力端子*	TxD0 出力端子*

【注】 \* P30ODR = 1 のとき、NMOS オープンドレイン出力になります。

## 10. I/O ポート

---

### 10.3 ポート 4

ポート 4 は 8 ビットの兼用入力ポートです。ポート 4 には以下のレジスタがあります。

- ポート4レジスタ (PORT4)

#### 10.3.1 ポート 4 レジスタ (PORT4)

PORT4 は、ポート 4 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説 明
7	P47	*	R	このレジスタをリードすると、常に端子の状態が読み出されます。
6	P46	*	R	
5	P45	*	R	
4	P44	*	R	
3	P43	*	R	
2	P42	*	R	
1	P41	*	R	
0	P40	*	R	

【注】 \* P47 ~ P40 端子の状態により決定されます。

#### 10.3.2 端子機能

ポート 4 は、A/D 変換器のアナログ入力端子 (AN7 ~ AN0) と兼用になっています。

## 10.4 ポート 7

ポート 7 は 8 ビットの兼用入出力ポートです。ポート 7 には以下のレジスタがあります。

- ポート7データディレクションレジスタ (P7DDR)
- ポート7データレジスタ (P7DR)
- ポート7レジスタ (PORT7)

### 10.4.1 ポート 7 データディレクションレジスタ (P7DDR)

P7DDR は、ポート 7 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	P77DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P76DDR	0	W	
5	P75DDR	0	W	
4	P74DDR	0	W	
3	P73DDR	0	W	
2	P72DDR	0	W	
1	P71DDR	0	W	
0	P70DDR	0	W	

### 10.4.2 ポート 7 データレジスタ (P7DR)

P7DR は、ポート 7 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P77DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P76DR	0	R/W	
5	P75DR	0	R/W	
4	P74DR	0	R/W	
3	P73DR	0	R/W	
2	P72DR	0	R/W	
1	P71DR	0	R/W	
0	P70DR	0	R/W	

## 10. I/O ポート

### 10.4.3 ポート7レジスタ (PORT7)

PORT7 は、ポート7の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P77	*	R	このレジスタをリードすると、P7DDR がセットされているビットは、P7DR の値がリードされます。P7DDR がクリアされているビットは端子の状態がリードされます。
6	P76	*	R	
5	P75	*	R	
4	P74	*	R	
3	P73	*	R	
2	P72	*	R	
1	P71	*	R	
0	P70	*	R	

【注】 \* P77 ~ P70 端子の状態により決定されます。

### 10.4.4 端子機能

ポート7は、TMR (TMR\_0、TMR\_1、TMR\_2\*<sup>1</sup>、TMR\_3\*<sup>1</sup>) 入出力端子、バス制御出力端子、SCI 入出力端子、DMAC\*<sup>2</sup> 入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

【注】 \*<sup>1</sup> H8S/2237 グループ、H8S/2227 グループにはありません。

\*<sup>2</sup> H8S/2239 グループのみサポートします。

#### • P77/TxD3

SCI<sub>3</sub> の SCR<sub>3</sub> の TE ビットと P77DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P77DDR	0	1	-
端子機能	P77 入力端子	P77 出力端子	TxD3 出力端子

#### • P76/RxD3

SCI<sub>3</sub> の SCR<sub>3</sub> の RE ビットと P76DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P76DDR	0	1	-
端子機能	P76 入力端子	P76 出力端子	RxD3 入力端子

- P75/TMO3/SCK3

TMR\_3\*の TCSR\_3 の OS3 ~ OS0 ビット、SCL\_3 の SCR\_3 の CKE1、CKE0 ビット、SMR\_3 の C/A、および P75DDR ビットの組み合わせにより、次のように切り替わります。

OS3 ~ OS0*	すべてが 0				いずれかが 1	
CKE1	0			1		-
C/A	0		1		-	-
CKE0	0		1		-	-
P75DDR	0	1	-	-	-	-
端子機能	P75 入力端子	P75 出力端子	SCK3 出力端子	SCK3 出力端子	SCK3 入力端子	TMO3*出力端子

【注】 \* H8S/2237 グループ、H8S/2227 グループにはありません。

- P74/TMO2/MRES

TMR\_2\*の TCSR\_2 の OS3 ~ OS0 ビット、SYSCR の MRESE ビット、および P74DDR ビットの組み合わせにより、次のように切り替わります。

MRESE	0			1	
OS3 ~ OS0*	すべてが 0		いずれかが 1		-
P74DDR	0	1	-		0
端子機能	P74 入力端子	P74 出力端子	TMO2*出力端子		MRES 入力端子

【注】 \* H8S/2237 グループ、H8S/2227 グループにはありません。

- P73/TMO1/TEND1/CS7

動作モードと DMAC\*の DMATCR の TEE1 ビット、TMR\_1 の TCSR\_1 の OS3 ~ OS0 ビット、および P73DDR ビットの組み合わせにより次のように切り替わります。

動作モード	モード 4~6				モード 7					
TEE1*	0			1	0			1		
OS3 ~ OS0	すべてが 0		いずれかが 1		-		すべてが 0		いずれかが 1	-
P73DDR	0	1	-		-		0	1	-	
端子機能	P73 入力端子	CS7 出力端子	TMO1 出力端子	TEND1* 出力端子	P73 入力端子	P73 出力端子	TMO1 出力端子	TEND1* 出力端子		

【注】 \* H8S/2239 グループのみサポートしています。

- P72/TMO0/TEND0/CS6

動作モードと DMAC\*の DMATCR の TEE0 ビット、TMR\_0 の TCSR\_0 の OS3 ~ OS0 ビット、および P72DDR ビットの組み合わせにより次のように切り替わります。

## 10. I/O ポート

動作モード	モード 4~6				モード 7			
	0		1		0		1	
TEE0*	0		1		0		1	
OS3~OS0	すべてが 0		いずれかが 1		すべてが 0		いずれかが 1	
P72DDR	0	1	-	-	0	1	-	-
端子機能	P72 入力端子	CS6 出力端子	TMO0 出力端子	TEND0* 出力端子	P72 入力端子	P72 出力端子	TMO0 出力端子	TEND0* 出力端子

【注】 \* H8S/2239 グループのみサポートしています。

- P71/TMRI23/TMCI23/DREQ1/CS5

動作モードと P71DDR ビットの組み合わせにより次のように切り替わります。

動作モード	モード 4~6		モード 7	
	0	1	0	1
P71DDR				
端子機能	P71 入力端子	CS5 出力端子	P71 入力端子	P71 出力端子
	TMRI23* <sup>1</sup> 、TMCI23* <sup>1</sup> 、 DREQ1* <sup>2</sup> 入力端子		TMRI23* <sup>1</sup> 、TMCI23* <sup>1</sup> 、DREQ1* <sup>2</sup> 入力端子	

【注】 \*1 H8S/2237 グループ、H8S/2227 グループにはありません。

\*2 H8S/2239 グループのみサポートしています。

- P70/TMRI01/TMCI01/DREQ0/CS4

動作モードと P70DDR ビットの組み合わせにより次のように切り替わります。

動作モード	モード 4~6		モード 7	
	0	1	0	1
P70DDR				
端子機能	P70 入力端子	CS4 出力端子	P70 入力端子	P70 出力端子
	TMRI01、TMCI01、 DREQ0* 入力端子		TMRI01、TMCI01、DREQ0* 入力端子	

【注】 \* H8S/2239 グループのみサポートしています。

### 10.5 ポート 9

ポート 9 は 2 ビットの兼用入力ポートです。ポート 9 には以下のレジスタがあります。

- ポート9レジスタ (PORT9)



### 10.5.1 ポート 9 レジスタ (PORT9)

PORT9 は、ポート 9 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P97	*	R	このレジスタをリードすると、常に端子の状態が読み出されます。
6	P96	*	R	
5~0			R	リザーブビット リードすると不定値が読み出されます。

【注】 \* P97、P96 端子の状態により決定されます。

### 10.5.2 端子機能

ポート 9 は、D/A 変換器\*のアナログ出力 (DA1、DA0) と兼用になっています。

【注】 \* H8S/2227 グループにはありません。

## 10.6 ポート A

ポート A は 4 ビットの兼用入出力ポートです。ポート A には以下のレジスタがあります。

- ポートAデータディレクションレジスタ (PADDR)
- ポートAデータレジスタ (PADR)
- ポートAレジスタ (PORTA)
- ポートAプルアップMOSコントロールレジスタ (PAPCR)
- ポートAオープンドレインコントロールレジスタ (PAODR)

### 10.6.1 ポート A データディレクションレジスタ (PADDR)

PADDR は、ポート A の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値が読み出されます。
3	PA3DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

## 10. I/O ポート

### 10.6.2 ポート A データレジスタ (PADR)

PADR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値が読み出されます。
3	PA3DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

### 10.6.3 ポート A レジスタ (PORTA)

PORTA は、ポート A の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値が読み出されます。
3	PA3	*	R	このレジスタをリードすると、PADDR がセットされているビットは、PADR の値がリードされます。PADDR がクリアされているビットは端子の状態がリードされます。
2	PA2	*	R	
1	PA1	*	R	
0	PA0	*	R	

【注】 \* PA3～PA0 端子の状態により決定されます。

### 10.6.4 ポート A プルアップ MOS コントロールレジスタ (PAPCR)

PAPCR は、ポート A の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値が読み出されます。
3	PA3PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
2	PA2PCR	0	R/W	
1	PA1PCR	0	R/W	
0	PA0PCR	0	R/W	

### 10.6.5 ポート A オープンドレインコントロールレジスタ (PAODR)

PAODR は、ポート A の端子の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値が読み出されます。
3	PA3ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

### 10.6.6 端子機能

ポート A は、アドレス出力端子、SCI<sub>2</sub>\* 入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

【注】 \* H8S/2227 グループにはありません。

- PA3/A19/SCK2

動作モードと PFCR の AE3 ~ AE0 ビット、SCI<sub>2</sub>\*<sup>2</sup> の SMR<sub>2</sub> の C/A、SCR<sub>2</sub> の CKE1、CKE0 ビット、および PA3DDR ビットにより次のように切り替わります。

動作モード	モード 4~6						
AE3 ~ AE0	B'11xx	B'11xx 以外					
CKE1	-	0				1	
C/A* <sup>2</sup>	-	0			1	-	
CKE0	-	0		1	-	-	
PA3DDR	-	0	1	-	-	-	
端子機能	A19 出力端子	PA3 入力端子	PA3 出力端子* <sup>1</sup>	SCK2* <sup>2</sup> 出力端子* <sup>1</sup>	SCK2* <sup>2</sup> 出力端子* <sup>1</sup>	SCK2* <sup>2</sup> 入力端子	

動作モード	モード 7					
AE3 ~ AE0	-					
CKE1	0					1
C/A* <sup>2</sup>	0			1		-
CKE0	0		1	-		-
PA3DDR	0	1	-	-		-
端子機能	PA3 入力端子	PA3 出力端子* <sup>1</sup>	SCK2* <sup>2</sup> 出力端子* <sup>1</sup>	SCK2* <sup>2</sup> 出力端子* <sup>1</sup>		SCK2* <sup>2</sup> 入力端子

【注】 \*<sup>1</sup> PAODR の PA3ODR = 1 のとき、NMOS オープンドレイン出力になります。

\*<sup>2</sup> H8S/2227 グループにはありません。

## 10. I/O ポート

### • PA2/A18/RxD2

動作モードと PFCR の AE3 ~ AE0 ビット、SCI\_2\*<sup>2</sup> の SCR\_2 の RE ビット、および PA2DDR ビットにより次のように切り替わります。

動作モード	モード 4~6				モード 7		
AE3 ~ AE0	B'1011 または B'11xx	(B'1011 または B'11xx) 以外			-		
RE* <sup>2</sup>	-	0	1	-	0	1	-
PA2DDR	-	0	1	-	0	1	-
端子機能	A18 出力端子	PA2 入力端子	PA2 出力端子* <sup>1</sup>	RxD2* <sup>2</sup> 入力端子	PA2 入力端子	PA2 出力端子* <sup>1</sup>	RxD2* <sup>2</sup> 入力端子

【注】 \*1 PAODR の PA2ODR = 1 のとき、NMOS オープンドレイン出力になります。

\*2 H8S/2227 グループにはありません。

### • PA1/A17/TxD2

動作モードと PFCR の AE3 ~ AE0 ビット、SCI\_2\*<sup>2</sup> の SCR\_2 の TE ビット、および PA1DDR ビットにより次のように切り替わります。

動作モード	モード 4~6				モード 7		
AE3 ~ AE0	B'101x または B'11xx	(B'101x または B'11xx) 以外			-		
TE* <sup>2</sup>	-	0	1	-	0	1	-
PA1DDR	-	0	1	-	0	1	-
端子機能	A17 出力端子	PA1 入力端子	PA1 出力端子* <sup>1</sup>	TxD2* <sup>2</sup> 出力端子* <sup>1</sup>	PA1 入力端子	PA1 出力端子* <sup>1</sup>	TxD2* <sup>2</sup> 出力端子* <sup>1</sup>

【注】 \*1 PAODR の PA1ODR = 1 のとき、NMOS オープンドレイン出力になります。

\*2 H8S/2227 グループにはありません。

### • PA0/A16

動作モードと PFCR の AE3 ~ AE0 ビット、および PA0DDR ビットにより次のように切り替わります。

動作モード	モード 4~6			モード 7	
AE3 ~ AE0	(B'0xxx または B'1000) 以外	B'0xxx または B'1000		-	
PA0DDR	-	0	1	0	1
端子機能	A16 出力端子	PA0 入力端子	PA0 出力端子*	PA0 入力端子	PA0 出力端子*

【注】 \* PAODR の PA0ODR = 1 のとき、NMOS オープンドレイン出力になります。

### 10.6.7 ポート A 入力プルアップ MOS の状態

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。入力プルアップ MOS の状態を表 10.2 に示します。

表 10.2 ポート A 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力、ポート出力、 SCI 出力	OFF		OFF		
ポート入力、SCI 入力	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PADDR=0 かつ PAPCR=1 のときオン状態、その他のときはオフ状態です。

## 10.7 ポート B

ポート B は 8 ビットの兼用入出力ポートです。ポート B には以下のレジスタがあります。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBDR)
- ポート B レジスタ (PORTB)
- ポート B プルアップ MOS コントロールレジスタ (PBPCR)

### 10.7.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR はポート B の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	PB7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

## 10. I/O ポート

---

### 10.7.2 ポート B データレジスタ (PBDR)

PBDR はポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

### 10.7.3 ポート B レジスタ (PORTB)

PORTB はポート B の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PB7	*	R	このレジスタをリードすると、PBDDR がセットされているビットは PBDR の値がリードされます。PBDDR がクリアされているビットは端子の状態がリードされます。
6	PB6	*	R	
5	PB5	*	R	
4	PB4	*	R	
3	PB3	*	R	
2	PB2	*	R	
1	PB1	*	R	
0	PB0	*	R	

【注】 \* PB7 - PB0 端子の状態により決定されます。

### 10.7.4 ポート B プルアップ MOS コントロールレジスタ (PBPCR)

PBPCR はポート B の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PB7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PB6PCR	0	R/W	
5	PB5PCR	0	R/W	
4	PB4PCR	0	R/W	
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

### 10.7.5 端子機能

ポート B の各端子は、TPU(TPU\_3\*、TPU\_4\*、TPU\_5\*)入出力端子、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

【注】 \* H8S/2227 グループにはありません。

- PB7/A15/TIOCB5

動作モードと TPU チャネル 5\*<sup>3</sup> の設定、PFCR の AE3 ~ AE0 ビット、および PB7DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				モード 7		
	AE3 ~ AE0	B'1xxx	B'1xxx 以外			-	
TPU チャネル 5 の設定* <sup>1</sup> * <sup>3</sup>	-	出力設定	入力設定または初期値		出力設定	入力設定または初期値	
PB7DDR	-	-	0	1	-	0	1
端子機能	A15 出力端子	TIOCB5* <sup>3</sup> 出力端子	PB7 入力端子	PB7 出力端子	TIOCB5* <sup>3</sup> 出力端子	PB7 入力端子	PB7 出力端子
			TIOCB5* <sup>3</sup> 入力端子* <sup>2</sup>			TIOCB5* <sup>3</sup> 入力端子* <sup>2</sup>	

【注】 \*1 TPU チャネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャネル 5 のタイマの動作モードが通常動作または位相計数モードで TIOR\_5 の IOB3 = 1 のとき、TIOCB5 入力端子となります。

\*3 H8S/2227 グループにはありません。

## 10. I/O ポート

### • PB6/A14/TIOCA5

動作モードと TPU チャンネル 5<sup>\*3</sup> の設定、PFCR の AE3 ~ AE0 ビット、および PB6DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				モード 7		
	AE3 ~ AE0	B'0111 または B'1xxx	( B'0111 または B'1xxx ) 以外			-	
TPU チャンネル 5 の設定 <sup>*1*3</sup>	-	出力設定	入力設定または初期値		出力設定	入力設定または初期値	
PB6DDR	-	-	0	1	-	0	1
端子機能	A14 出力端子	TIOCA5 <sup>*3</sup> 出力端子	PB6 入力端子	PB6 出力端子	TIOCA5 <sup>*3</sup> 出力端子	PB6 入力端子	PB6 出力端子
			TIOCA5 <sup>*3</sup> 入力端子 <sup>*2</sup>			TIOCA5 <sup>*3</sup> 入力端子 <sup>*2</sup>	

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 5 のタイマの動作モードが通常動作または位相計数モードで TIOR\_5 の IOA3 = 1 のとき、TIOCA5 入力端子となります。

\*3 H8S/2227 グループにはありません。

### • PB5/A13/TIOCB4

動作モードと TPU チャンネル 4<sup>\*3</sup> の設定、PFCR の AE3 ~ AE0 ビット、および PB5DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				モード 7		
	AE3 ~ AE0	B'011x または B'1xxx	( B'011x または B'1xxx ) 以外			-	
TPU チャンネル 4 の設定 <sup>*1*3</sup>	-	出力設定	入力設定または初期値		出力設定	入力設定または初期値	
PB5DDR	-	-	0	1	-	0	1
端子機能	A13 出力端子	TIOCB4 <sup>*3</sup> 出力端子	PB5 入力端子	PB5 出力端子	TIOCB4 <sup>*3</sup> 出力端子	PB5 入力端子	PB5 出力端子
			TIOCB4 <sup>*3</sup> 入力端子 <sup>*2</sup>			TIOCB4 <sup>*3</sup> 入力端子 <sup>*2</sup>	

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 4 のタイマの動作モードが通常動作または位相計数モードで TIOR\_4 の IOB3 ~ IOB0 = 10xx のとき、TIOCB4 入力端子となります。

\*3 H8S/2227 グループにはありません。



- PB4/A12/TIOCA4

動作モードと TPU チャンネル 4<sup>\*3</sup> の設定、PFCR の AE3 ~ AE0 ビット、および PB4DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				モード 7		
	AE3 ~ AE0	(B'0100 または B'00xx) 以外	B'0100 または B'00xx			-	
TPU チャンネル 4 の設定 <sup>*1*</sup> <sup>*3</sup>	-	出力設定	入力設定または初期値		出力設定	入力設定または初期値	
PB4DDR	-	-	0	1	-	0	1
端子機能	A12 出力端子	TIOCA4 <sup>*3</sup> 出力端子	PB4 入力端子	PB4 出力端子	TIOCA4 <sup>*3</sup> 出力端子	PB4 入力端子	PB4 出力端子
			TIOCA4 <sup>*3</sup> 入力端子 <sup>*2</sup>			TIOCA4 <sup>*3</sup> 入力端子 <sup>*2</sup>	

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 4 のタイマの動作モードが通常動作または位相計数モードで TIOR\_4 の IOA3 ~ IOA0 = 10xx のとき、TIOCA4 入力端子となります。

\*3 H8S/2227 グループにはありません。

- PB3/A11/TIOCD3

動作モードと TPU チャンネル 3<sup>\*3</sup> の設定、PFCR の AE3 ~ AE0 ビット、および PB3DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				モード 7		
	AE3 ~ AE0	B'00xx 以外	B'00xx			-	
TPU チャンネル 3 の設定 <sup>*1*</sup> <sup>*3</sup>	-	出力設定	入力設定または初期値		出力設定	入力設定または初期値	
PB3DDR	-	-	0	1	-	0	1
端子機能	A11 出力端子	TIOCD3 <sup>*3</sup> 出力端子	PB3 入力端子	PB3 出力端子	TIOCD3 <sup>*3</sup> 出力端子	PB3 入力端子	PB3 出力端子
			TIOCD3 <sup>*3</sup> 入力端子 <sup>*2</sup>			TIOCD3 <sup>*3</sup> 入力端子 <sup>*2</sup>	

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 3 のタイマの動作モードが通常動作で TIORL\_3 の IOD3 ~ IOD0 = 10xx のとき、TIOCD3 入力端子となります。

\*3 H8S/2227 グループにはありません。

## 10. I/O ポート

### • PB2/A10/TIOCC3

動作モードと TPU チャンネル 3<sup>\*3</sup> の設定、PFCR の AE3 ~ AE0 ビット、および PB2DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				モード 7		
AE3 ~ AE0	( B'0010 または B'000x ) 以外	B'0010 または B'000x			-		
TPU チャンネル 3 の設定 <sup>*1*</sup> <sup>*3</sup>	-	出力設定	入力設定または初期値		出力設定	入力設定または初期値	
PB2DDR	-	-	0	1	-	0	1
端子機能	A10 出力端子	TIOCC3 <sup>*3</sup> 出力端子	PB2 入力端子	PB2 出力端子	TIOCC3 <sup>*3</sup> 出力端子	PB2 入力端子	PB2 出力端子
			TIOCC3 <sup>*3</sup> 入力端子 <sup>*2</sup>			TIOCC3 <sup>*3</sup> 入力端子 <sup>*2</sup>	

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 3 のタイマの動作モードが通常動作で TIORL\_3 の IOC3 ~ IOC0 = 10xx のとき、TIOCC3 入力端子となります。

\*3 H8S/2227 グループにはありません。

### • PB1/A9/TIOCB3

動作モードと TPU チャンネル 3<sup>\*3</sup> の設定、PFCR の AE3 ~ AE0 ビット、および PB1DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				モード 7		
AE3 ~ AE0	B'000x 以外	B'000x			-		
TPU チャンネル 3 の設定 <sup>*1*</sup> <sup>*3</sup>	-	出力設定	入力設定または初期値		出力設定	入力設定または初期値	
PB1DDR	-	-	0	1	-	0	1
端子機能	A9 出力端子	TIOCB3 <sup>*3</sup> 出力端子	PB1 入力端子	PB1 出力端子	TIOCB3 <sup>*3</sup> 出力端子	PB1 入力端子	PB1 出力端子
			TIOCB3 <sup>*3</sup> 入力端子 <sup>*2</sup>			TIOCB3 <sup>*3</sup> 入力端子 <sup>*2</sup>	

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 3 のタイマの動作モードが通常動作で TIORH\_3 の IOB3 ~ IOB0 = 10xx のとき TIOCB3 入力端子となります。

\*3 H8S/2227 グループにはありません。

- PB0/A8/TIOCA3

動作モードと TPU チャンネル 3<sup>\*3</sup> の設定、PFCR の AE3 ~ AE0 ビット、および PB0DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 4~6				モード 7		
AE3 ~ AE0	B'0000 以外	B'0000			-		
TPU チャンネル 3 の設定 <sup>*1*3</sup>	-	出力設定	入力設定または初期値		出力設定	入力設定または初期値	
PB0DDR	-	-	0	1	-	0	1
端子機能	A8 出力端子	TIOCA3 <sup>*3</sup> 出力端子	PB0 入力端子	PB0 出力端子	TIOCA3 <sup>*3</sup> 出力端子	PB0 入力端子	PB0 出力端子
			TIOCA3 <sup>*3</sup> 入力端子 <sup>*2</sup>			TIOCA3 <sup>*3</sup> 入力端子 <sup>*2</sup>	

【注】 \*1 TPU チャンネルの設定は「第 11 章 16 ビットタイムパルスユニット (TPU)」を参照してください。

\*2 TPU チャンネル 3 のタイムの動作モードが通常動作で TIORH\_3 の IOA3 ~ IOA0 = 10xx のとき、TIOCA3 入力端子となります。

\*3 H8S/2227 グループにはありません。

### 10.7.6 ポート B 入力プルアップ MOS の状態

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。入力プルアップ MOS の状態を表 10.3 に示します。

表 10.3 ポート B 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力、ポート出力、 TPU 出力	OFF		OFF		
ポート入力、TPU 入力	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PBDDR=0 かつ PBPCR=1 のときオン状態、その他のときはオフ状態です。

## 10.8 ポート C

ポート C は 8 ビットの兼用入出力ポートです。ポート C には以下のレジスタがあります。

- ポートCデータディレクションレジスタ (PCDDR)
- ポートCデータレジスタ (PCDR)
- ポートCレジスタ (PORTC)
- ポートCプルアップMOSコントロールレジスタ (PCPCR)

### 10.8.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR はポート C の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	PC7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PC6DDR	0	W	
5	PC5DDR	0	W	
4	PC4DDR	0	W	
3	PC3DDR	0	W	
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

### 10.8.2 ポート C データレジスタ (PCDR)

PCDR はポート C の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PC7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

### 10.8.3 ポート C レジスタ (PORTC)

PORTC はポート C の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PC7	*	R	このレジスタをリードすると、PCDDR がセットされているビットは PCDR の値がリードされます。PCDDR がクリアされているビットは端子の状態がリードされます。
6	PC6	*	R	
5	PC5	*	R	
4	PC4	*	R	
3	PC3	*	R	
2	PC2	*	R	
1	PC1	*	R	
0	PC0	*	R	

【注】 \* PC7～PC0 端子の状態により決定されます。

### 10.8.4 ポート C プルアップ MOS コントロールレジスタ (PCPCR)

PCPCR はポート C の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PC7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

### 10.8.5 端子機能

ポート C の各端子は、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PC7/A7、PC6/A6、PC5/A5、PC4/A4、PC3/A3、PC2/A2、PC1/A1、PC0/A0

動作モードと PCnDDR ビットにより次のように切り替わります。

動作モード	モード 4、5		モード 6		モード 7	
PCnDDR	-		0	1	0	1
端子機能	アドレス出力端子		PCn 入力端子	アドレス出力端子	PCn 入力端子	PCn 出力端子

【注】 n=7～0

### 10.8.6 ポート C 入力プルアップ MOS の状態

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、モード 6、モード 7 のときに使用でき、ビット単位でオン / オフを指定できます。入力プルアップ MOS の状態を表 10.4 に示します。

表 10.4 ポート C 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力 (モード 4、5)、 ポート出力 (モード 6、7)	OFF		OFF		
ポート入力 (モード 6、7)	ON/OFF				

## 【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PCDDR=0 かつ PCPCR=1 のときオン状態、その他のときはオフ状態です。

## 10.9 ポート D

ポート D は 8 ビットの兼用入出力ポートです。ポート D には以下のレジスタがあります。

- ポート D データディレクションレジスタ (PDDDR)
- ポート D データレジスタ (PDDR)
- ポート D レジスタ (PORTD)
- ポート D プルアップ MOS コントロールレジスタ (PDPCR)

### 10.9.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR はポート D の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	PD7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

### 10.9.2 ポート D データレジスタ (PDDR)

PDDR はポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PD7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

## 10. I/O ポート

### 10.9.3 ポート D レジスタ (PORTD)

PORTD はポート D の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PD7	*	R	このレジスタをリードすると、PDDDR がセットされているビットはPDDR の値がリードされます。PDDDR がクリアされているビットは端子の状態がリードされます。
6	PD6	*	R	
5	PD5	*	R	
4	PD4	*	R	
3	PD3	*	R	
2	PD2	*	R	
1	PD1	*	R	
0	PD0	*	R	

【注】 \* PD7 ~ PD0 端子の状態により決定されます。

### 10.9.4 ポート D プルアップ MOS コントロールレジスタ (PDPCR)

PDPCR はポート D の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PD7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

### 10.9.5 端子機能

ポート D の各端子は、データ入出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PD7/D15、PD6/D14、PD5/D13、PD4/ D12、PD3/ D11、PD2/ D10、PD1/D9、PD0/D8、

動作モードと PDnDDR ビットにより次のように切り替わります。

動作モード	モード 4~6	モード 7	
PDnDDR	-	0	1
端子機能	データ入出力端子	PDn 入力端子	PDn 出力端子

【注】 n=7~0



### 10.9.6 ポート D 入力プルアップ MOS の状態

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、モード 7 のときに使用でき、ビット単位でオン/オフを指定できます。入力プルアップ MOS の状態を表 10.5 に示します。

表 10.5 ポート D 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
データ入出力 (モード 4~6)、 ポート出力 (モード 7)	OFF		OFF		
ポート入力 (モード 7)	ON/OFF				

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PDDDR=0 かつ PDPCR=1 のときオン状態、その他のときはオフ状態です。

## 10.10 ポート E

ポート E は 8 ビットの兼用入出力ポートです。ポート E には以下のレジスタがあります。

- ポート E データディレクションレジスタ (PEDDR)
- ポート E データレジスタ (PEDR)
- ポート E レジスタ (PORTE)
- ポート E プルアップ MOS コントロールレジスタ (PEPCR)

### 10.10.1 ポート E データディレクションレジスタ (PEDDR)

PEDDR は、ポート E の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PE7DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PE6DDR	0	W	
5	PE5DDR	0	W	
4	PE4DDR	0	W	
3	PE3DDR	0	W	
2	PE2DDR	0	W	
1	PE1DDR	0	W	
0	PE0DDR	0	W	

### 10.10.2 ポート E データレジスタ (PEDR)

PEDR は、ポート E の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PE7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

### 10.10.3 ポート E レジスタ (PORTE)

PORTE は、ポート E の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PE7	*	R	このレジスタをリードすると、PEDDR がセットされているビットは、PEDR の値がリードされます。PEDDR がクリアされているビットは端子の状態がリードされます。
6	PE6	*	R	
5	PE5	*	R	
4	PE4	*	R	
3	PE3	*	R	
2	PE2	*	R	
1	PE1	*	R	
0	PE0	*	R	

【注】 \* PE7 ~ PE0 端子の状態により決定されます。

### 10.10.4 ポート E プルアップ MOS コントロールレジスタ (PEPCR)

PEPCR は、ポート E の入力プルアップ MOS のオン/オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	PE7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

### 10.10.5 端子機能

ポート E はデータ入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PE7/D7、PE6/D6、PE5/D5、PE4/D4、PE3/D3、PE2/D2、PE1/D1、PE0/D0

動作モードとバスモードと PEnDDR ビットにより次のように切り替わります。

動作モード	モード 4~6			モード 7	
	8 ビットバスモード		16 ビットバスモード	-	
PEnDDR	0	1	-	0	1
端子機能	PEn 入力端子	PEn 出力端子	データ入出力端子	PEn 入力端子	PEn 出力端子

【注】 n=7~0

## 10. I/O ポート

---

### 10.10.6 ポート E 入力プルアップ MOS の状態

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、モード 4~6 で 8 ビットバスモードのとき、またはモード 7 のときに使用でき、ビット単位でオン/オフを指定できます。入力プルアップ MOS の状態を表 10.6 に示します。

表 10.6 ポート E 入力プルアップ MOS の状態

端子	パワーオン リセット	ハードウェア スタンバイ モード	マニュアル リセット	ソフトウェア スタンバイ モード	その他の 動作時
データ入出力 (モード 4~6 の 16 ビットバス)、 ポート出力 (モード 4~6 の 8 ビットバス、モード 7)	OFF		OFF		
ポート入力 (モード 4~6 の 8 ビットバス、モード 7)			ON/OFF		

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PEDDR=0 かつ PEPCR=1 のときオン状態、その他のときはオフ状態です。

## 10.11 ポート F

ポート F は 8 ビットの兼用入出力ポートです。ポート F には以下のレジスタがあります。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F データレジスタ (PFDR)
- ポート F レジスタ (PORTF)

### 10.11.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR は、ポート F の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	PF7DDR	0/1*	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PF6DDR	0	W	
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	PF2DDR	0	W	
1	PF1DDR	0	W	
0	PF0DDR	0	W	

【注】 \* モード 4~6 のときは、1 になります。モード 7 のときは、0 になります。

### 10.11.2 ポート F データレジスタ (PFDR)

PFDR は、ポート F の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PF7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

## 10. I/O ポート

### 10.11.3 ポート F レジスタ (PORTF)

PORTF は、ポート F の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PF7	*	R	このレジスタをリードすると、PFDDR がセットされているビットは、PFDR の値がリードされます。PFDDR がクリアされているビットは端子の状態がリードされます。
6	PF6	*	R	
5	PF5	*	R	
4	PF4	*	R	
3	PF3	*	R	
2	PF2	*	R	
1	PF1	*	R	
0	PF0	*	R	

【注】 \* PF7 ~ PF0 端子の状態により決定されます。

### 10.11.4 端子機能

ポート F は、バス制御信号入出力端子、割り込み入力端子、システムクロック出力端子、A/D トリガ入力端子、BUZZ 出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PF7/ $\phi$

PF7DDR ビットにより次のように切り替わります。

PF7DDR	0	1
端子機能	PF7 入力端子	$\phi$ 出力端子

- PF6/ $\overline{AS}$

動作モードと PF6DDR ビットにより次のように切り替わります。

動作モード	モード 4 ~ 6	モード 7	
PF6DDR	-	0	1
端子機能	$\overline{AS}$ 出力端子	PF6 入力端子	PF6 出力端子

- PF5/ $\overline{RD}$

動作モードと PF5DDR ビットにより次のように切り替わります。

動作モード	モード 4 ~ 6	モード 7	
PF5DDR	-	0	1
端子機能	$\overline{RD}$ 出力端子	PF5 入力端子	PF5 出力端子

- PF4/ $\overline{\text{HWR}}$

動作モードと PF4DDR ビットにより次のように切り替わります。

動作モード	モード 4~6		モード 7	
PF4DDR	-		0	1
端子機能	HWR 出力端子		PF4 入力端子	PF4 出力端子

- PF3/LWR/ADTRG/IRQ3

動作モード、バスモード、および PF3DDR ビットにより次のように切り替わります。

動作モード	モード 4~6			モード 7	
バスモード	16 ビットバスモード	8 ビットバスモード		-	
PF3DDR	-	0	1	0	1
端子機能	$\overline{\text{LWR}}$ 出力端子	PF3 入力端子	PF3 出力端子	PF3 入力端子	PF3 出力端子
		$\overline{\text{ADTRG}}$ 入力端子* <sup>1</sup>			
		IRQ3 入力端子* <sup>2</sup>			

【注】 \*1 TRGS0=TRGS1=1 のとき  $\overline{\text{ADTRG}}$  入力となります。

\*2 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

- PF2/ $\overline{\text{WAIT}}$

動作モード、WAITE ビット、および PF2DDR ビットにより次のように切り替わります。

動作モード	モード 4~6			モード 7	
WAITE	0		1	-	
PF2DDR	0	1	-	0	1
端子機能	PF2 入力端子	PF2 出力端子	$\overline{\text{WAIT}}$ 入力端子	PF2 入力端子	PF2 出力端子

- PF1/ $\overline{\text{BACK}}$ /BUZZ

動作モード、BRLE ビット、PFCR の BUZZ ビット、および PF1DDR ビットにより次のように切り替わります。

動作モード	モード 4~6				モード 7		
BRLE	0		1		-		
BUZZE	0		1	-	0		1
PF1DDR	0	1	-	-	0	1	-
端子機能	PF1 入力端子	PF1 出力端子	BUZZ 出力端子	$\overline{\text{BACK}}$ 出力端子	PF1 入力端子	PF1 出力端子	BUZZ 出力端子

## 10. I/O ポート

- PF0/BREQ/ $\overline{\text{IRQ2}}$

動作モード、BRLE ビット、および PF0DDR ビットにより次のように切り替わります。

動作モード	モード 4~6			モード 7	
BRLE	0		1	-	
PF0DDR	0	1	-	0	1
端子機能	PF0 入力端子	PF0 出力端子	$\overline{\text{BREQ}}$ 入力端子	PF0 入力端子	PF0 出力端子
	$\overline{\text{IRQ2}}$ 入力端子*				

【注】 \* 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

### 10.12 ポート G

ポート G は 5 ビットの兼用入出力ポートです。ポート G には以下のレジスタがあります。

- ポート G データディレクションレジスタ (PGDDR)
- ポート G データレジスタ (PGDR)
- ポート G レジスタ (PORTG)

#### 10.12.1 ポート G データディレクションレジスタ (PGDDR)

PGDDR は、ポート G の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。詳細は「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット リードすると不定値が読み出されます。
4	PG4DDR	0/1*	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
3	PG3DDR	0	W	
2	PG2DDR	0	W	
1	PG1DDR	0	W	
0	PG0DDR	0	W	

【注】 \* モード 4、5 のときは、1 になります。モード 6、7 のときは、0 になります。



### 10.12.2 ポート G データレジスタ (PGDR)

PGDR は、ポート G の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット リードすると不定値が読み出されます。
4	PG4DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
3	PG3DR	0	R/W	
2	PG2DR	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR	0	R/W	

### 10.12.3 ポート G レジスタ (PORTG)

PORTG は、ポート G の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~5		不定		リザーブビット リードすると不定値が読み出されます。
4	PG4	*	R	このレジスタをリードすると、PGDDR がセットされているビットは、PGDR の値がリードされます。PGDDR がクリアされているビットは端子の状態がリードされます。
3	PG3	*	R	
2	PG2	*	R	
1	PG1	*	R	
0	PG0	*	R	

【注】 \* PG4～PG0 端子の状態により決定されます。

### 10.12.4 端子機能

ポート G は、IEB\*の入出力端子、バス制御信号入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

【注】 \* H8S/2258 グループのみサポートします。

- PG4/ $\overline{CS0}$

動作モードと PG4DDR ビットにより次のように切り替わります。

動作モード	モード 4～6		モード 7	
	0	1	0	1
端子機能	PG4 入力端子	$\overline{CS0}$ 出力端子	PG4 入力端子	PG4 出力端子

## 10. I/O ポート

- PG3/ $\overline{Rx}$ / $\overline{CS1}$

IEE\*の IECTR の IEE ビット、動作モード、および PG3DDR ビットにより次のように切り替わります。

IEE*	0				1
動作モード	モード 4~6		モード 7		—
PG3DDR	0	1	0	1	—
端子機能	PG3 入力端子	$\overline{CS1}$ 出力端子	PG3 入力端子	PG3 出力端子	$\overline{Rx}$ 入力端子*

【注】 \* H8S/2258 グループのみサポートします。

- PG2/ $\overline{Tx}$ / $\overline{CS2}$

IEE\*の IECTR の IEE ビット、動作モード、および PG2DDR ビットにより次のように切り替わります。

IEE*	0				1
動作モード	モード 4~6		モード 7		—
PG2DDR	0	1	0	1	—
端子機能	PG2 入力端子	$\overline{CS2}$ 出力端子	PG2 入力端子	PG2 出力端子	$\overline{Tx}$ 出力端子*

【注】 \* H8S/2258 グループのみサポートします。

- PG1/ $\overline{CS3}$ / $\overline{IRQ7}$

動作モードと PG1DDR ビットにより次のように切り替わります。

動作モード	モード 4~6		モード 7	
PG1DDR	0	1	0	1
端子機能	PG1 入力端子	$\overline{CS3}$ 出力端子	PG1 入力端子	PG1 出力端子
	$\overline{IRQ7}$ 入力端子*			

【注】 \* 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

- PG0/ $\overline{IRQ6}$

PG0DDR ビットにより次のように切り替わります。

PG0DDR	0	1
端子機能	PG0 入力端子	PG0 出力端子
	$\overline{IRQ6}$ 入力端子*	

【注】 \* 外部割り込み端子として使用する場合は、他の機能として使用しないでください。

### 10.13 未使用端子の処理

未使用の入力端子は High または Low レベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子の処理例を表 10.7 に示します。

NC 端子は開放としてください。

表 10.7 未使用の入力端子の処理例

端子名	端子処理例
ポート 1	端子ごとに抵抗を介して $V_{CC}$ に接続 (プルアップ) または抵抗を介して $V_{SS}$ に接続 (プルダウン)
ポート 3	
ポート 4	端子ごとに抵抗を介して $AV_{CC}$ に接続 (プルアップ) または抵抗を介して $AV_{SS}$ に接続 (プルダウン)
ポート 7	端子ごとに抵抗を介して $V_{CC}$ に接続 (プルアップ) または抵抗を介して $V_{SS}$ に接続 (プルダウン)
ポート 9	端子ごとに抵抗を介して $AV_{CC}$ に接続 (プルアップ) または抵抗を介して $AV_{SS}$ に接続 (プルダウン)
ポート A	端子ごとに抵抗を介して $V_{CC}$ に接続 (プルアップ) または抵抗を介して $V_{SS}$ に接続 (プルダウン)
ポート B	
ポート C	
ポート D	
ポート E	
ポート F	
ポート G	



---

## 11. 16ビットタイマパルスユニット (TPU)

---

本 LSI は、3 チャンネルまたは 6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットの機能一覧を表 11.1 に、ブロック図を図 11.1 に示します。

### 11.1 特長

- チャンネル数
  - H8S/2258グループ、H8S/2239グループ、H8S/2238グループ、H8S/2237グループ：6チャンネル (チャンネル0、1、2、3、4、5)
  - H8S/2227グループ：3チャンネル (チャンネル0、1、2)
- パルス入出力が可能
  - H8S/2258グループ、H8S/2239グループ、H8S/2238グループ、H8S/2237グループ：最大16本
  - H8S/2227グループ：最大8本
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力
- チャンネル0、3\*はバッファ動作を設定可能
- チャンネル1、2、4\*、5\*は各々独立に位相計数モードを設定可能
- カスケード接続動作\*
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能

【注】 \* H8S/2227 グループにはありません。

11. 16 ビットタイマパルスユニット (TPU)

表 11.1 TPU の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3*1	チャンネル 4*1	チャンネル 5*1
カウントクロック	φ/1 φ/4 φ/16 φ/64 TCLKA TCLKB TCLKC TCLKD	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKA TCLKB TCLKC	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKA TCLKB TCLKC	φ/1 φ/4 φ/16 φ/64 φ/256 φ/1024 φ/4096 TCLKA	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKA TCLKC	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ / バッファレジスタ	TGRC_0 TGRD_0	-	-	TGRC_3 TGRD_3	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	0 出力					
	1 出力					
	トグル 出力					
インプットキャプチャ 機能						
同期動作						
PWM モード						
位相計数モード	-			-		
バッファ動作		-	-		-	-
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ

11. 16 ビットタイムパルスユニット (TPU)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3*1	チャンネル4*1	チャンネル5*1
DMAC の起動*2	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ0A ・コンペアマッチ /インプット キャプチャ0B ・コンペアマッチ /インプット キャプチャ0C ・コンペアマッチ /インプット キャプチャ0D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ1A ・コンペアマッチ /インプット キャプチャ1B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ2A ・コンペアマッチ /インプット キャプチャ2B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ /インプット キャプチャ3A ・コンペアマッチ /インプット キャプチャ3C ・コンペアマッチ /インプット キャプチャ3D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ4A ・コンペアマッチ /インプット キャプチャ4B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ5A ・コンペアマッチ /インプット キャプチャ5B ・オーバフロー ・アンダフロー

【記号説明】

: 可能

- : 不可

【注】 \*1 H8S/2227 グループにはありません。

\*2 H8S/2239 グループにのみサポートします。

# 11. 16ビットタイマパルスユニット (TPU)

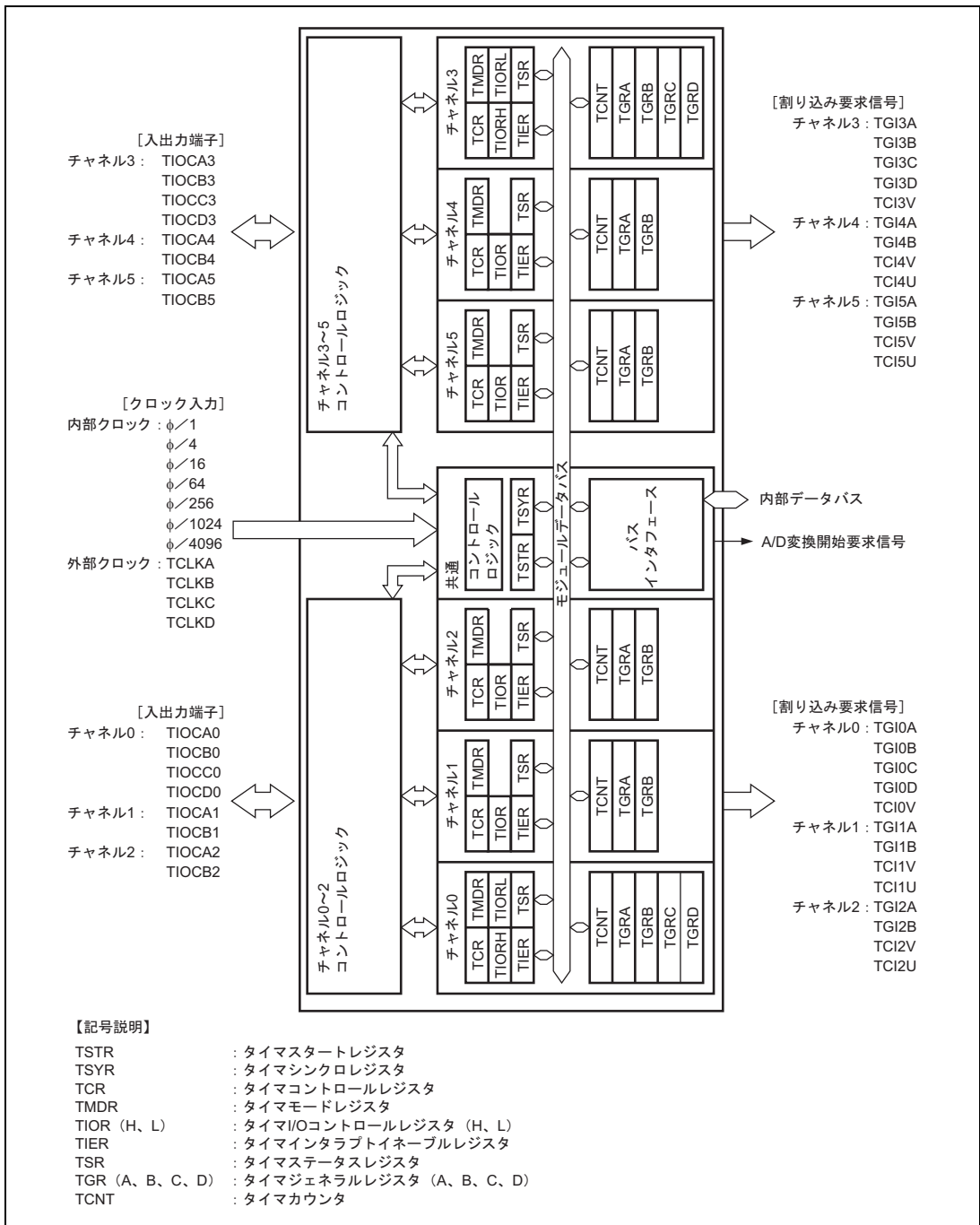


図 11.1 TPU のブロック図

( H8S/2258 グループ、H8S/2239 グループ、H8S/2238 グループ、H8S/2237 グループ )



11. 16ビットタイマパルスユニット (TPU)

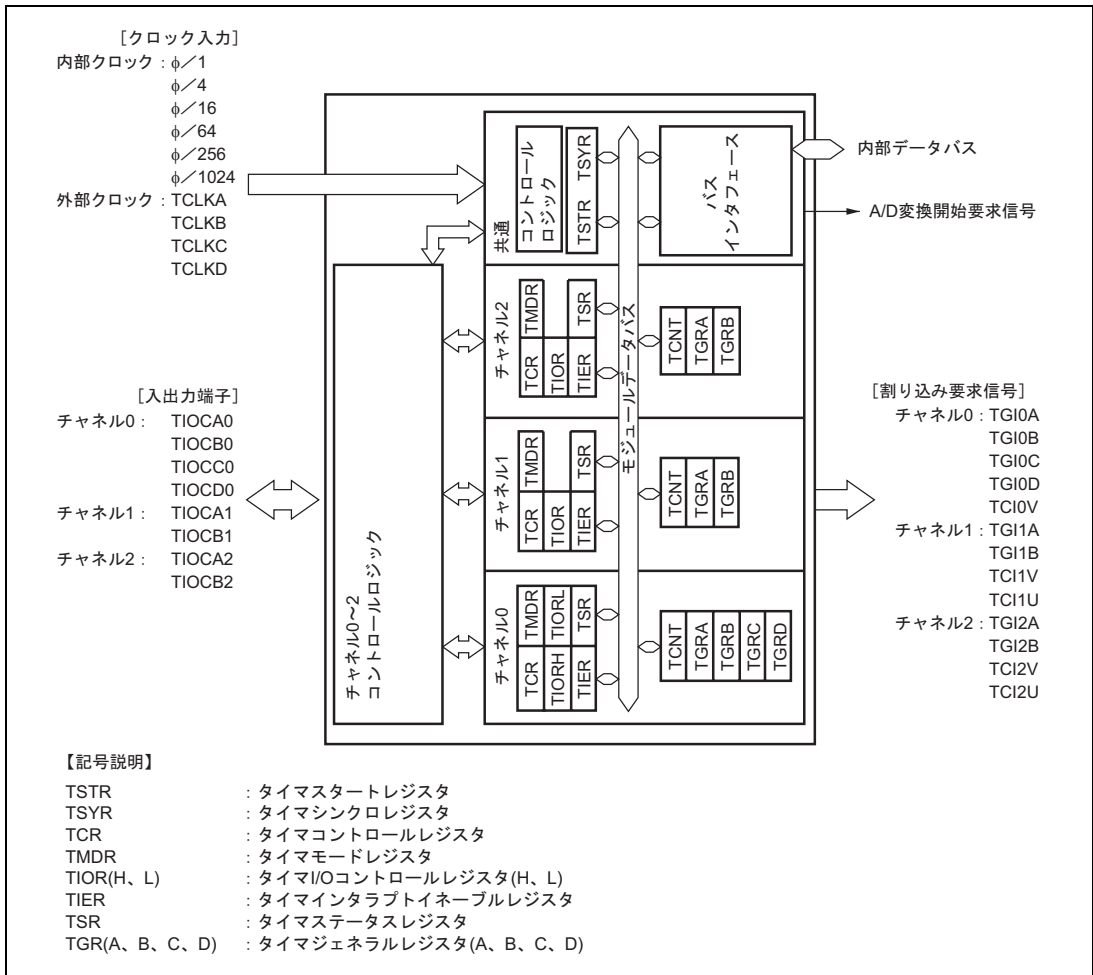


図 11.2 TPU のブロック図 (H8S/2227 グループ)

## 11. 16ビットタイマパルスユニット (TPU)

### 11.2 入出力端子

表 11.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5*の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5*の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4*の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4*の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3*	TIOCA3	入出力	TGRA_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB3	入出力	TGRB_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC3	入出力	TGRC_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCD3	入出力	TGRD_3 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4*	TIOCA4	入出力	TGRA_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB4	入出力	TGRB_4 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5*	TIOCA5	入出力	TGRA_5 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB5	入出力	TGRB_5 のインプットキャプチャ入力 / アウトプットコンペア出力 / PWM 出力端子

【注】 \* H8S/2227 グループにはありません。

### 11.3 レジスタの説明

TPU には各チャンネルに以下のレジスタがあります。

- タイマコントロールレジスタ\_0 (TCR\_0)
- タイマモードレジスタ\_0 (TMDR\_0)
- タイマI/OコントロールレジスタH\_0 (TIORH\_0)
- タイマI/OコントロールレジスタL\_0 (TIORL\_0)
- タイマインタラプトイネーブルレジスタ\_0 (TIER\_0)
- タイマステータスレジスタ\_0 (TSR\_0)
- タイマカウンタ\_0 (TCNT\_0)
- タイマジェネラルレジスタA\_0 (TGRA\_0)
- タイマジェネラルレジスタB\_0 (TGRB\_0)
- タイマジェネラルレジスタC\_0 (TGRC\_0)
- タイマジェネラルレジスタD\_0 (TGRD\_0)
- タイマコントロールレジスタ\_1 (TCR\_1)
- タイマモードレジスタ\_1 (TMDR\_1)
- タイマI/Oコントロールレジスタ\_1 (TIOR\_1)
- タイマインタラプトイネーブルレジスタ\_1 (TIER\_1)
- タイマステータスレジスタ\_1 (TSR\_1)
- タイマカウンタ\_1 (TCNT\_1)
- タイマジェネラルレジスタA\_1 (TGRA\_1)
- タイマジェネラルレジスタB\_1 (TGRB\_1)
- タイマコントロールレジスタ\_2 (TCR\_2)
- タイマモードレジスタ\_2 (TMDR\_2)
- タイマI/Oコントロールレジスタ\_2 (TIOR\_2)
- タイマインタラプトイネーブルレジスタ\_2 (TIER\_2)
- タイマステータスレジスタ\_2 (TSR\_2)
- タイマカウンタ\_2 (TCNT\_2)
- タイマジェネラルレジスタA\_2 (TGRA\_2)
- タイマジェネラルレジスタB\_2 (TGRB\_2)
- タイマコントロールレジスタ\_3 (TCR\_3) \*
- タイマモードレジスタ\_3 (TMDR\_3) \*

## 11. 16ビットタイマパルスユニット (TPU)

---

- タイマI/OコントロールレジスタH\_3 (TIORH\_3) \*
- タイマI/OコントロールレジスタL\_3 (TIORL\_3) \*
- タイマインタラプトイネーブルレジスタ\_3 (TIER\_3) \*
- タイマステータスレジスタ\_3 (TSR\_3) \*
- タイマカウンタ\_3 (TCNT\_3) \*
- タイマジェネラルレジスタA\_3 (TGRA\_3) \*
- タイマジェネラルレジスタB\_3 (TGRB\_3) \*
- タイマジェネラルレジスタC\_3 (TGRC\_3) \*
- タイマジェネラルレジスタD\_3 (TGRD\_3) \*
- タイマコントロールレジスタ\_4 (TCR\_4) \*
- タイマモードレジスタ\_4 (TMDR\_4) \*
- タイマI/Oコントロールレジスタ\_4 (TIOR\_4) \*
- タイマインタラプトイネーブルレジスタ\_4 (TIER\_4) \*
- タイマステータスレジスタ\_4 (TSR\_4) \*
- タイマカウンタ\_4 (TCNT\_4) \*
- タイマジェネラルレジスタA\_4 (TGRA\_4) \*
- タイマジェネラルレジスタB\_4 (TGRB\_4) \*
- タイマコントロールレジスタ\_5 (TCR\_5) \*
- タイマモードレジスタ\_5 (TMDR\_5) \*
- タイマI/Oコントロールレジスタ\_5 (TIOR\_5) \*
- タイマインタラプトイネーブルレジスタ\_5 (TIER\_5) \*
- タイマステータスレジスタ\_5 (TSR\_5) \*
- タイマカウンタ\_5 (TCNT\_5) \*
- タイマジェネラルレジスタA\_5 (TGRA\_5) \*
- タイマジェネラルレジスタB\_5 (TGRB\_5) \*

### 共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

【注】 \* H8S/2227 グループにはありません。

## 11.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。H8S/2227 グループの TPU には、チャンネル 0~2 に各 1 本、計 3 本、それ以外のグループの TPU には、チャンネル 0~5 に各 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2~0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 11.3、表 11.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $\phi/4$ の両エッジ = $\phi/2$ の立ち上がりエッジ)。チャンネル 1、2、4*、5* で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー / アンダフローを選択した場合は本設定は無視され、 $\phi$ の立ち下がりエッジでカウントされます。 00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント 【記号説明】X: Don't care
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイムプリスケアラ 2~0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 11.5 ~ 表 11.10 を参照してください。
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

【注】 \* H8S/2227 グループにはありません。

## 11. 16ビットタイムパルスユニット (TPU)

表 11.3 CCLR2~CCLR0 (チャンネル0、3)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
0、3 <sup>*3</sup>	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア <sup>*1</sup>
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア <sup>*2</sup>
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア <sup>*2</sup>
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア <sup>*1</sup>

【注】 \*1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

\*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

\*3 H8S/2227グループにはありません。

表 11.4 CCLR2~CCLR0 (チャンネル1、2、4、5)

チャンネル	ビット7	ビット6	ビット5	説明
	リザーブ <sup>*2</sup>	CCLR1	CCLR0	
1、2、 4 <sup>*3</sup> 、5 <sup>*3</sup>	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア <sup>*1</sup>

【注】 \*1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

\*2 チャンネル1、2、4、5ではビット7はリザーブです。リードすると常に0がリードされます。ライトは無効です。

\*3 H8S/2227グループにはありません。

表 11.5 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 11.6 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	TCNT2 のオーバフロー / アンダフローでカウント (H8S/2227 グループでは設定禁止)

【注】 チャンネル1 が位相計数モード時、この設定は無効になります。

## 11. 16ビットタイムパルスユニット (TPU)

表 11.7 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
1	1	1	内部クロック : $\phi/1024$ でカウント	

【注】 チャンネル2 が位相計数モード時、この設定は無効になります。

表 11.8 TPSC2~TPSC0 (チャンネル3)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3*	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	内部クロック : $\phi/1024$ でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
1	1	1	内部クロック : $\phi/4096$ でカウント	

【注】 \* H8S/2227 グループにはありません。



表 11.9 TPSC2~TPSC0 (チャンネル4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
4*	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : $\phi/1024$ でカウント
	1	1	1	TCNT5 のオーバフロー / アンダフローでカウント

【注】 チャンネル4 が位相計数モード時、この設定は無効になります。

\* H8S/2227 グループにはありません。

表 11.10 TPSC2~TPSC0 (チャンネル5)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
5*	0	0	0	内部クロック : $\phi/1$ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

【注】 チャンネル5 が位相計数モード時、この設定は無効になります。

\* H8S/2227 グループにはありません。

## 11. 16ビットタイムパルスユニット (TPU)

### 11.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。H8S/2227 グループの TPU には、チャンネル 0~2 に各 1 本、計 3 本、それ以外のグループの TPU には、チャンネル 0~5 に各 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 1		リザーブ リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4*、5*ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4*、5*ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3 2 1 0	MD3 MD2 MD1 MD0	0 0 0 0	R/W	モード 3~0 MD3~MD0 はタイマの動作モードを設定します。 MD3 はリザーブビットです。ライト時には常に 0 としてください。 詳細は表 11.11 を参照してください。

【注】 \* H8S/2227 グループにはありません。

表 11.11 MD3 ~ MD0

ビット 3	ビット 2	ビット 1	ビット 0	説 明
MD3* <sup>1</sup>	MD2* <sup>2</sup>	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	*	*	*	

【記号説明】\* : Don't care

【注】 \*1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

\*2 チャンネル 0、3 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

### 11.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。H8S/2227 グループの TPU には、チャンネル 0 に 2 本、チャンネル 1、2 に各 1 本、計 4 本、それ以外のグループの TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH\_0、TIOR\_1、TIOR\_2、TIORH\_3\*、TIOR\_4\*、TIOR\_5\*

ビット	ビット名	初期値	R/W	説 明
7	IOB3	0	R/W	I/O コントロール B3 ~ B0 TGRB の機能を設定します。詳細は表 11.12、表 11.14、表 11.15、表 11.16、表 11.18、表 11.19 を参照してください。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3 ~ A0 TGRA の機能を設定します。詳細は表 11.20、表 11.22、表 11.23、表 11.24、表 11.26、表 11.27 を参照してください。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

【注】 \* H8S/2227 グループにはありません。

## 11. 16 ビットタイムパルスユニット (TPU)

### • TIORL\_0、TIORL\_3\*

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3 ~ D0 TGRD の機能を設定します。詳細は表 11.13、表 11.17 を参照してください。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3 ~ C0 TGRC の機能を設定します。詳細は表 11.21、表 11.25 を参照してください。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

【注】 \* H8S/2227 グループにはありません。

表 11.12 TIORH\_0

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ <sup>*1*2</sup>

【記号説明】 \* : Don't care

## 11. 16 ビットタイムパルスユニット (TPU)

【注】 \*1 TCR\_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT\_1 のカウントクロックにφ1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

\*2 H8S/2227 グループはできません。

表 11.13 TIORL\_0

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ*1*3

【記号説明】 \* : Don't care

【注】 \*1 TCR\_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT\_1 のカウントクロックにφ1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

\*2 TMDR\_0 の BFB ビットを 1 にセットして TGRD\_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

\*3 H8S/2227 グループはできません。

## 11. 16 ビットタイムパルスユニット (TPU)

表 11.14 TIOR\_1

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	*	*		TGRC_0 コンペアマッチ / インプットキャプチャ TGRC_0のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ <sup>*1</sup>

【記号説明】 \* : Don't care

【注】 \*1 H8S/2227 グループはできません。

表 11.15 TIOR\_2

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	*	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	*	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	*	1	*		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】\* : Don't care

## 11. 16 ビットタイムパルスユニット (TPU)

表 11.16 TIORH\_3

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_3*2の機能	TIOCB3*2端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*1

【記号説明】\* : Don't care

【注】 \*1 TCR\_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT\_4 のカウントクロックにφ1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

\*2 H8S/2227 グループにはありません。



表 11.17 TIORL\_3

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 <sup>*3</sup> の機能	TIOCD3 <sup>*3</sup> 端子の機能
0	0	0	0	アウトプットコンペアレジスタ <sup>*2</sup>	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ <sup>*2</sup>	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ <sup>*1</sup>

【記号説明】\* : Don't care

【注】 \*1 TCR\_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT\_4 のカウントクロックにφ1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

\*2 TMDR\_3 の BFB ビットを 1 にセットして TGRD\_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

\*3 H8S/2227 グループにはありません。

11. 16ビットタイムパルスユニット (TPU)

表 11.18 TIOR\_4

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_4*1の機能	TIOCB4*1端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCB4端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCB4端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元はTIOCB4端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元はTGRC_3コンペアマッチ/インプットキャプチャ TGRC_3のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】\* : Don't care

【注】 \*1 H8S/2227 グループにはありません。

表 11.19 TIOR\_5

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_5* <sup>1</sup> の機能	TIOCB5* <sup>1</sup> 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	*	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	*	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	*	1	*		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】\* : Don't care

【注】 \*1 H8S/2227 グループにはありません。

## 11. 16 ビットタイムパルスユニット (TPU)

表 11.20 TIORH\_0

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_0の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ <sup>*1</sup>

【記号説明】 \* : Don't care

【注】 \*1 H8S/2227 グループはできません。

表 11.21 TIORL\_0

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ* <sup>1</sup>	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* <sup>1</sup>	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ* <sup>2</sup>

【記号説明】 \* : Don't care

【注】 \*1 TMDR\_0 の BFA ビットを 1 にセットして TGRC\_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

\*2 H8S/2227 グループはできません。

## 11. 16 ビットタイムパルスユニット (TPU)

表 11.22 TIOR\_1

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元は TGRA_0 コンペアマッチ / インプットキャプチャ チャンネル 0 / TGRA_0 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ <sup>*1</sup>

【記号説明】 \* : Don't care

【注】 \*1 H8S/2227 グループはできません。

表 11.23 TIOR\_2

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	*	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	*	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	*	1	*		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】\* : Don't care

## 11. 16 ビットタイムパルスユニット (TPU)

表 11.24 TIORH\_3

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_3*1の機能	TIOCA3*1端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA3端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元はTIOCA3端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元はTIOCA3端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元はチャンネル4 / カウントクロック TCNT_4のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 \* : Don't care

【注】 \*1 H8S/2227 グループにはありません。



表 11.25 TIORL\_3

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	TGRC_3* <sup>2</sup> の端子	TIOCC3* <sup>2</sup> 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* <sup>1</sup>	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* <sup>1</sup>	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 \* : Don't care

【注】 \*1 TMDR\_3 の BFA ビットを 1 にセットして TGRC\_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

\*2 H8S/2227 グループにはありません。

## 11. 16 ビットタイムパルスユニット (TPU)

表 11.26 TIOR\_4

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_4* <sup>1</sup> の機能	TIOCA4* <sup>1</sup> 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	*		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	*	*		キャプチャ入力元は TGRA_3 コンペアマッチ / インプットキャプチャ TGRA_3 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】\* : Don't care

【注】 \*1 H8S/2227 グループにはありません。

表 11.27 TIOR\_5

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_5* <sup>1</sup> の機能	TIOCA5* <sup>1</sup> 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	*	0	0	インプットキャプチャレジスタ	キャプチャ入力元はTIOCA5端子 立ち上がりエッジでインプットキャプチャ
1	*	0	1		キャプチャ入力元はTIOCA5端子 立ち下がりエッジでインプットキャプチャ
1	*	1	*		キャプチャ入力元はTIOCA5端子 両エッジでインプットキャプチャ

【記号説明】\* : Don't care

【注】 \*1 H8S/2227 グループにはありません。

## 11. 16ビットタイムパルスユニット (TPU)

### 11.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。H8S/2227 グループの TPU には、チャンネル 0~2 に各 1 本、計 3 本、それ以外のグループの TPU には、チャンネル 0~5 に各 1 本、計 6 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6		1		リザーブビット リードすると 1 がリードされます。ライトは無効です。
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4*、5* で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3* ではリザーブビットです。 リードすると常に 0 がリードされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3* で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2、4*、5* ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3* で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4*、5* ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

## 11. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求(TGIB)を禁止 1 : TGFB ビットによる割り込み要求(TGIB)を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

【注】 \* H8S/2227 グループにはありません。

### 11.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。H8S/2227 グループの TPU には、チャンネル 0~2 に各 1 本、計 3 本、それ以外のグループの TPU には、チャンネル 0~5 に各 1 本、計 6 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4* <sup>3</sup> 、5* <sup>3</sup> の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、3* <sup>3</sup> ではリザーブビットです。リードすると常に 1 がリードされます。ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6		1		リザーブビット リードすると常に 1 がリードされます。ライトは無効です
5	TCFU	0	R(W)* <sup>1</sup>	アンダフローフラグ チャンネル 1、2、4* <sup>3</sup> 、5* <sup>3</sup> が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。 チャンネル 0、3* <sup>3</sup> ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 [セット条件] • TCNT の値がアンダフロー (H'0000 H'FFFF) したとき [クリア条件] • TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき

## 11. 16ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
4	TCFV	0	R/(W)* <sup>1</sup>	<p>オーバフローフラグ (TCFV)</p> <p>TCNT のオーバフローの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• TCNT の値がオーバフローしたとき (H'FFFF H'0000)</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき</li> </ul>
3	TGFD	0	R/(W)* <sup>1</sup>	<p>インプットキャプチャ / アウトプットコンペアフラグ D</p> <p>チャンネル 0、3*<sup>3</sup> の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4*<sup>3</sup>、5*<sup>3</sup> ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき</li> <li>• TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき</li> <li>• TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき</li> </ul>
2	TGFC	0	R/(W)* <sup>1</sup>	<p>インプットキャプチャ / アウトプットコンペアフラグ C</p> <p>チャンネル 0、3*<sup>3</sup> の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4*<sup>3</sup>、5*<sup>3</sup> ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき</li> <li>• TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき</li> <li>• TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき</li> </ul>

ビット	ビット名	初期値	R/W	説明
1	TGFB	0	R/(W)* <sup>1</sup>	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき</li> <li>• TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき</li> <li>• TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき</li> </ul>
0	TGFA	0	R/(W)* <sup>1</sup>	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき</li> <li>• TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 で、かつ転送カウンタが 0 でないとき</li> <li>• TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTE ビットが 1 のとき*<sup>2</sup></li> <li>• TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき</li> </ul>

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 H8S/2239 グループのみです。

\*3 H8S/2227 グループにはありません。

### 11.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。H8S/2227 グループの TPU には、チャンネル 0~2 に各 1 本、計 3 本、それ以外のグループの TPU には、チャンネル 0~5 に各 1 本、計 6 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

## 11. 16ビットタイムパルスユニット (TPU)

### 11.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード / ライト可能なアウトプットコンペア / インพุットキャプチャ兼用のレジスタです。H8S/2227 グループの TPU には、チャンネル 0 に 2 本、チャンネル 1、2 に各 1 本、計 4 本、それ以外のグループの TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TGR があります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

### 11.3.8 タイマスタートレジスタ (TSTR)

TSTR は、H8S/2227 グループではチャンネル 0~2、それ以外のグループではチャンネル 0~5 の TCNT の動作 / 停止を選択します。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7、6		すべて 0		リザーブビット ライト時は必ず 0 としてください。
5	CST5*	0	R/W	カウンタスタート 5~0
4	CST4*	0	R/W	TCNT の動作または停止を選択します。
3	CST3*	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは
2	CST2	0	R/W	停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。
1	CST1	0	R/W	CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端
0	CST0	0	R/W	子の出力レベルが更新されます。 0 : TCNT_5 - TCNT_0 のカウント動作は停止 1 : TCNT_5 - TCNT_0 はカウント動作

【注】 \* H8S/2227 グループではリザーブビットです。ライト時は必ず 0 としてください。



### 11.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、H8S/2227 グループではチャンネル0~2、それ以外のグループではチャンネル0~5のTCNTの独立動作または同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて0	R/W	リザーブビット ライト時は必ず0としてください。
5	SYNC5*	0	R/W	タイマ同期 5~0
4	SYNC4*	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3*	0	R/W	同期動作を選択すると、複数のTCNTの同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。
2	SYNC2	0	R/W	同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。同期クリアの設定には、SYNCビットのほかにTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。
1	SYNC1	0	R/W	同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。同期クリアの設定には、SYNCビットのほかにTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。
0	SYNC0	0	R/W	同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。同期クリアの設定には、SYNCビットのほかにTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。

【注】 \* H8S/2227 グループではリザーブビットです。ライト時は必ず0としてください。

## 11.4 動作説明

### 11.4.1 基本動作

各チャンネルには、TCNTとTGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGRは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

#### (1) カウンタの動作

H8S/2227グループではTSTRのCST2~CST0ビット、それ以外のグループではTSTRのCST5~CST0ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

#### (a) カウント動作の設定手順例

カウント動作の設定手順例を図11.3に示します。

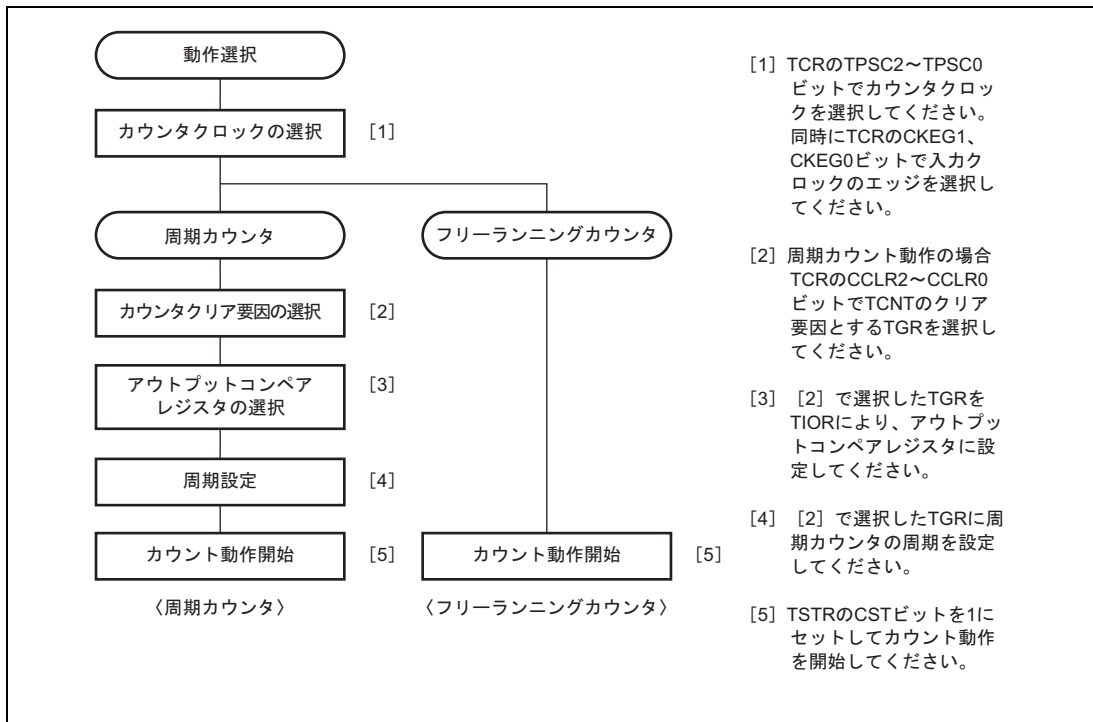


図 11.3 カウンタ動作設定手順例

## (b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウンタ動作を開始します。TCNT がオーバーフロー (H'FFFF H'0000) すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウンタ動作を継続します。

フリーランニングカウンタの動作を図 11.4 に示します。

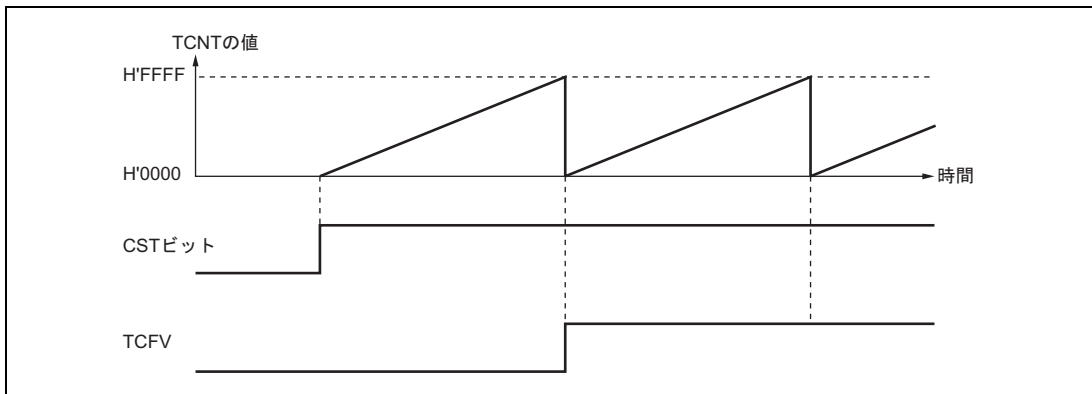


図 11.4 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウンタ動作を開始します。カウンタ値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウンタ動作を継続します。

## 11. 16 ビットタイマパルスユニット (TPU)

周期カウンタの動作を図 11.5 に示します。

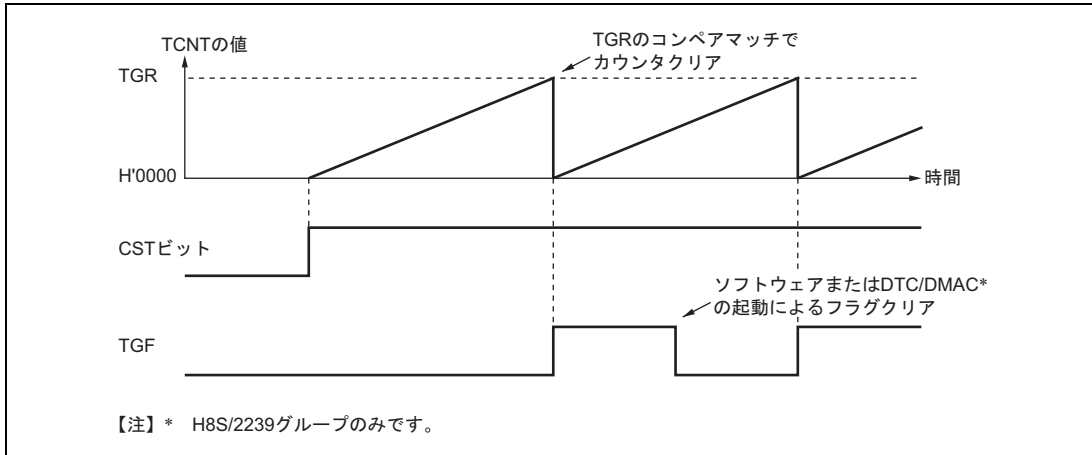


図 11.5 周期カウンタの動作

### (2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

#### (a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 11.6 に示します。

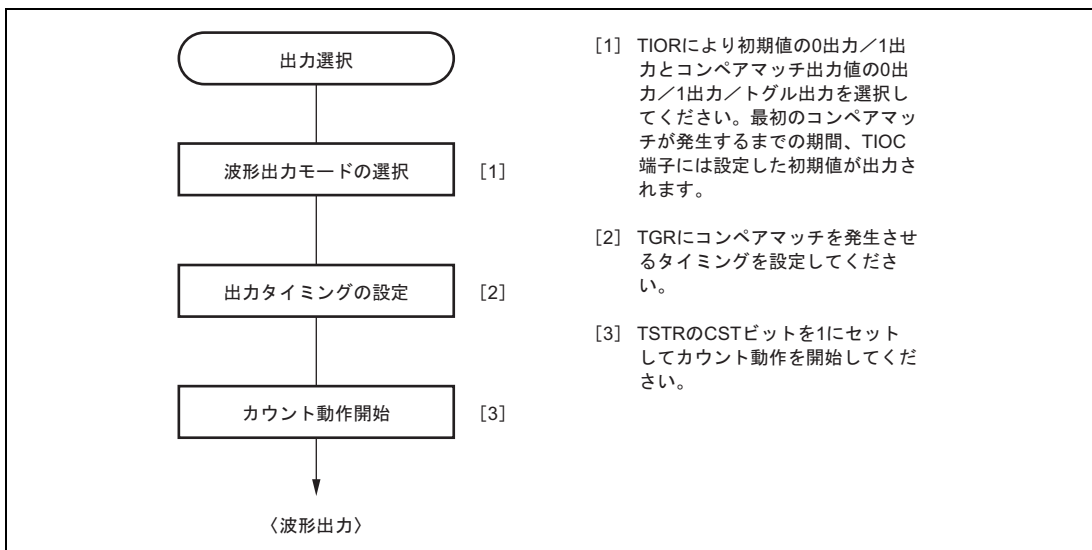


図 11.6 コンペアマッチによる波形出力動作例

## (b) 波形出力動作例

0出力 / 1出力例を図 11.7 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1出力、コンペアマッチ B により 0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

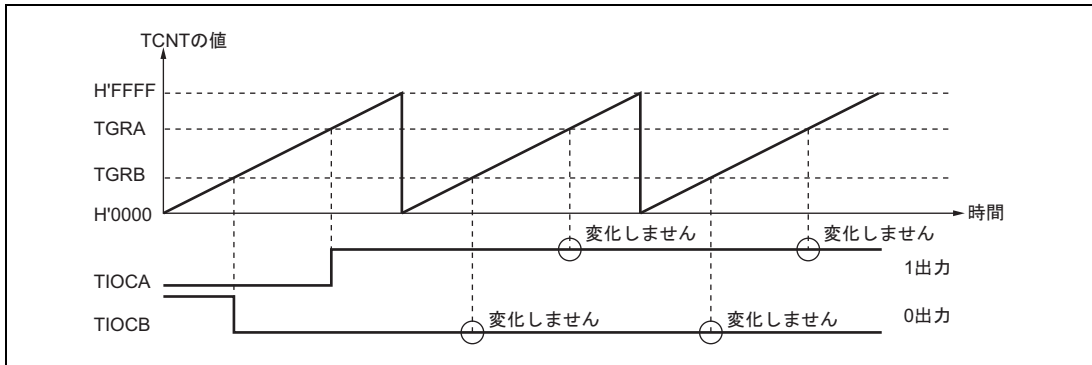


図 11.7 0出力 / 1出力の動作例

トグル出力の例を図 11.8 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

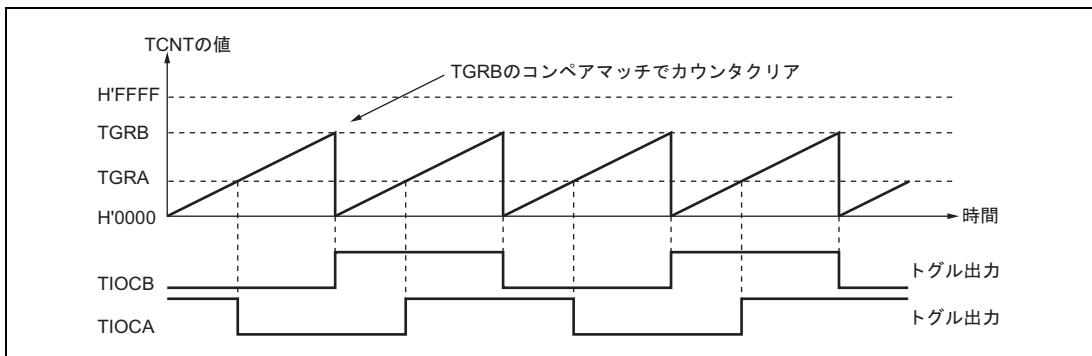


図 11.8 トグル出力の動作例

## 11. 16 ビットタイムパルスユニット (TPU)

### (3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1、3\*、4\*は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに  $\phi/1$  を選択しないでください。  $\phi/1$  を選択した場合は、インพุットキャプチャは発生しません。

\* H8S/2227 グループにはありません。

### (a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 11.9 に示します。

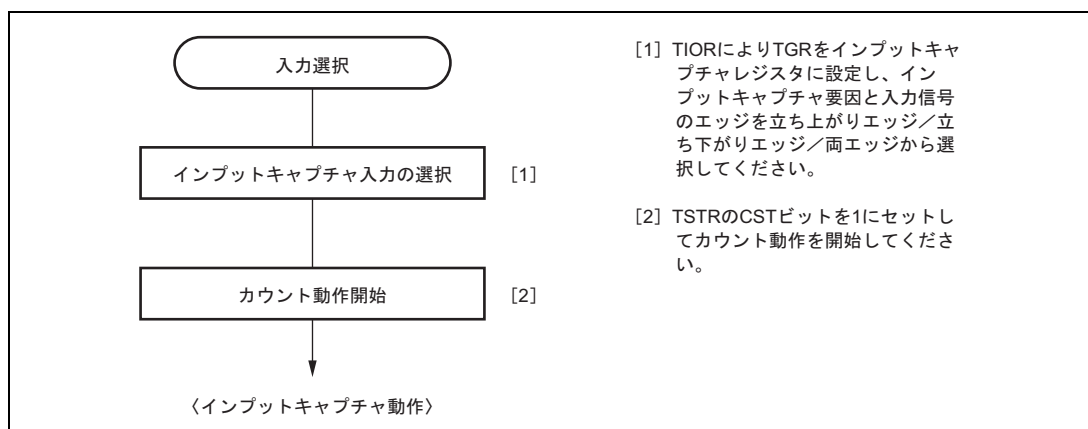


図 11.9 インพุットキャプチャ動作の設定例

## (b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 11.10 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

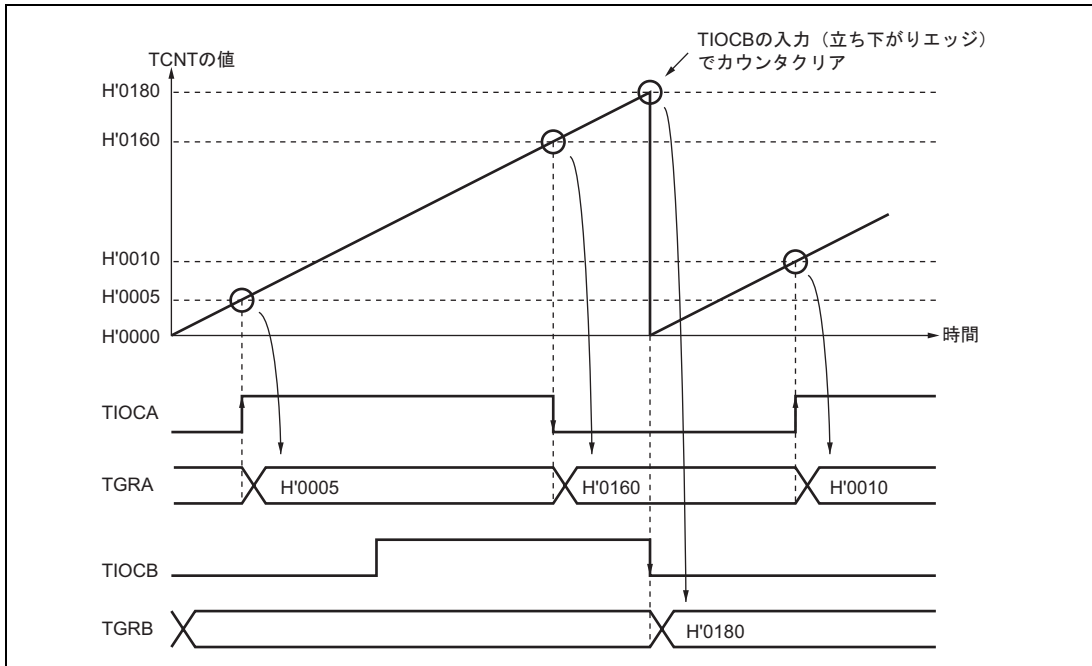


図 11.10 インพุットキャプチャ動作例

### 11.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

H8S/2227 グループのチャンネル0~2、それ以外のグループのチャンネル0~5 はすべて同期動作の設定が可能です。

#### (1) 同期動作の設定手順例

同期動作の設定手順例を図 11.11 に示します。

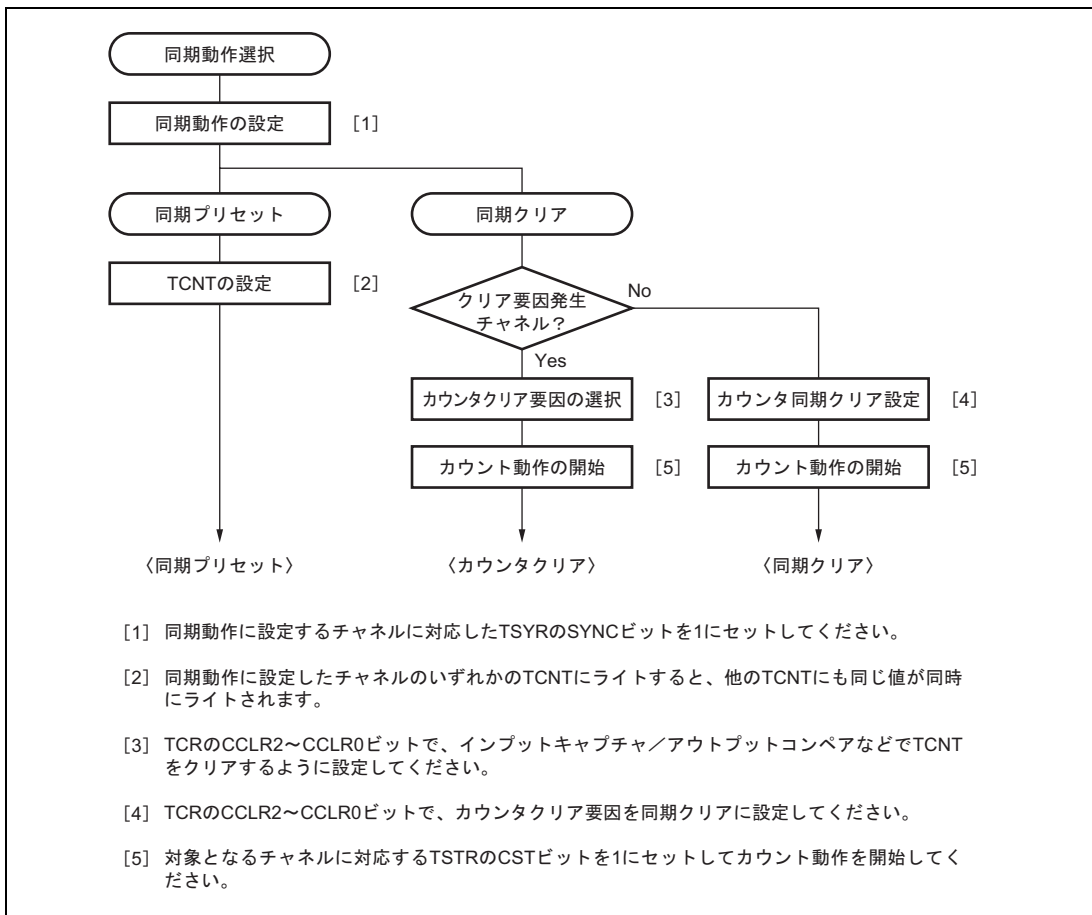


図 11.11 同期動作の設定手順例



## (2) 同期動作の例

同期動作の例を図 11.12 に示します。

チャンネル0~2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGRB\_0のコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOCA2、TIOCA1、TIOCA0端子から出力します。このとき、チャンネル0~2のTCNTは同期プリセット、TGRB\_0のコンペアマッチによる同期クリアを行い、TGRB\_0に設定したデータがPWM周期となります。

PWMモードについては、「11.4.5 PWMモード」を参照してください。

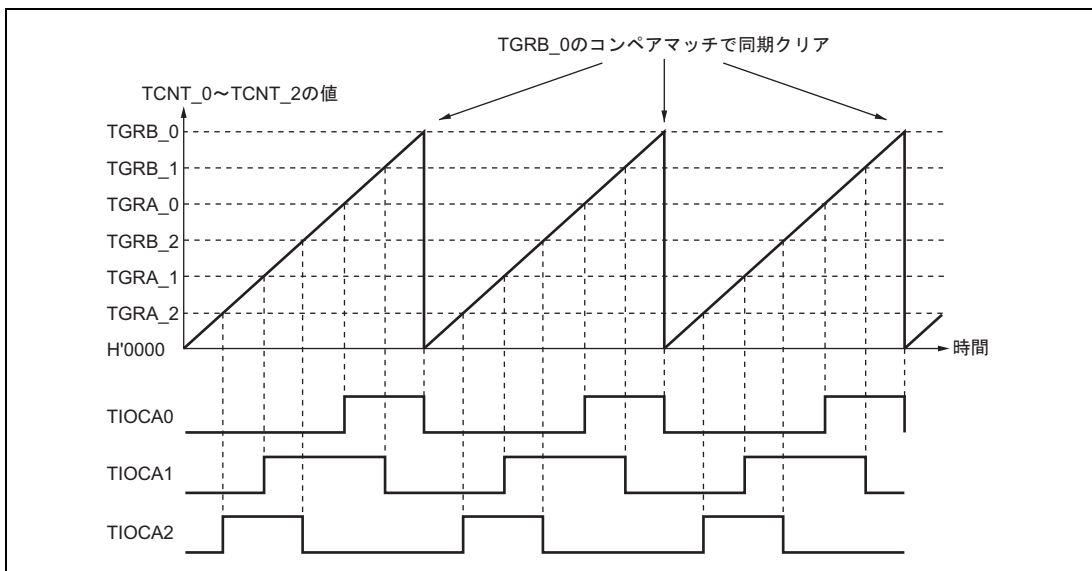


図 11.12 同期動作の動作例

### 11.4.3 バッファ動作

バッファ動作は、チャンネル0、3が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 11.28 にバッファ動作時のレジスタの組み合わせを示します。

表 11.28 レジスタの組み合わせ

チャンネル	タイムジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3*	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

【注】 \* H8S/2227 グループにはありません。

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。

この動作を図 11.13 に示します。

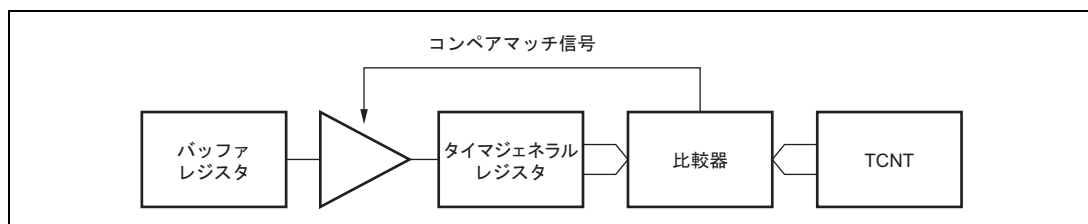


図 11.13 コンペアマッチバッファ動作

•TGR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 11.14 に示します。

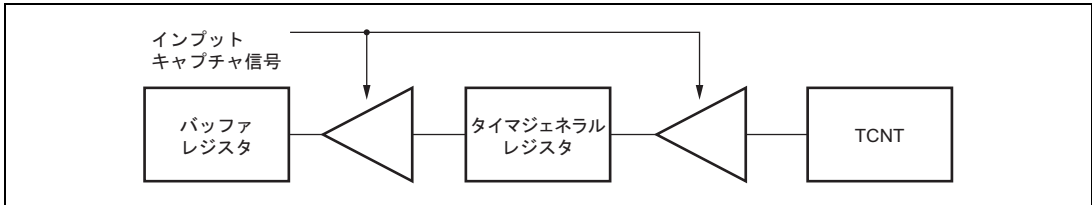


図 11.14 入力キャプチャバッファ動作

( 1 ) バッファ動作の設定手順例

バッファ動作の設定手順例を図 11.15 に示します。

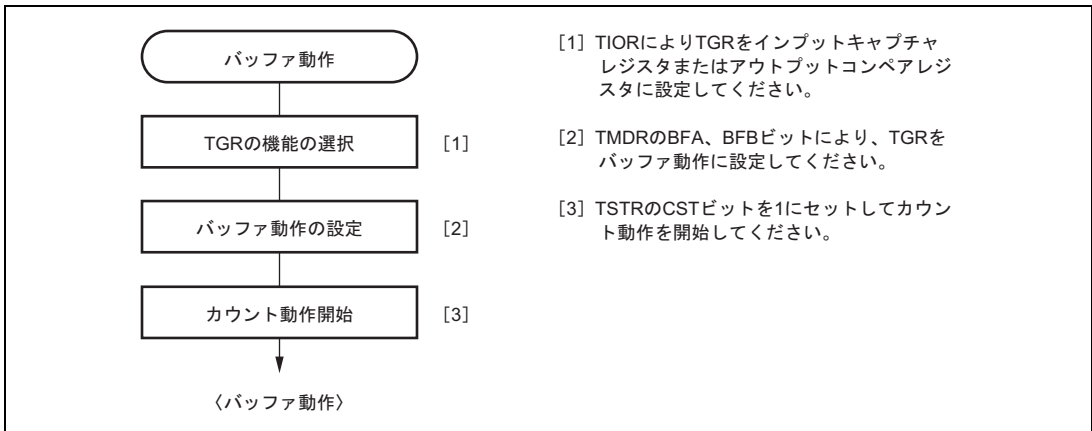


図 11.15 バッファ動作の設定手順例

## 11. 16ビットタイマパルスユニット (TPU)

### (2) バッファ動作例

#### (a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図11.16に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「11.4.5 PWMモード」を参照してください。

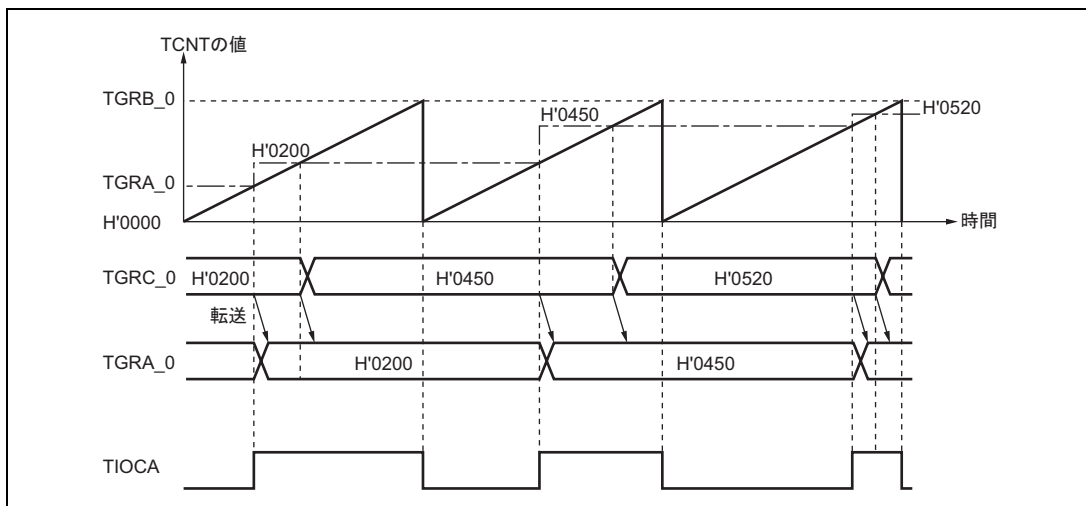


図 11.16 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 11.17 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ / 立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

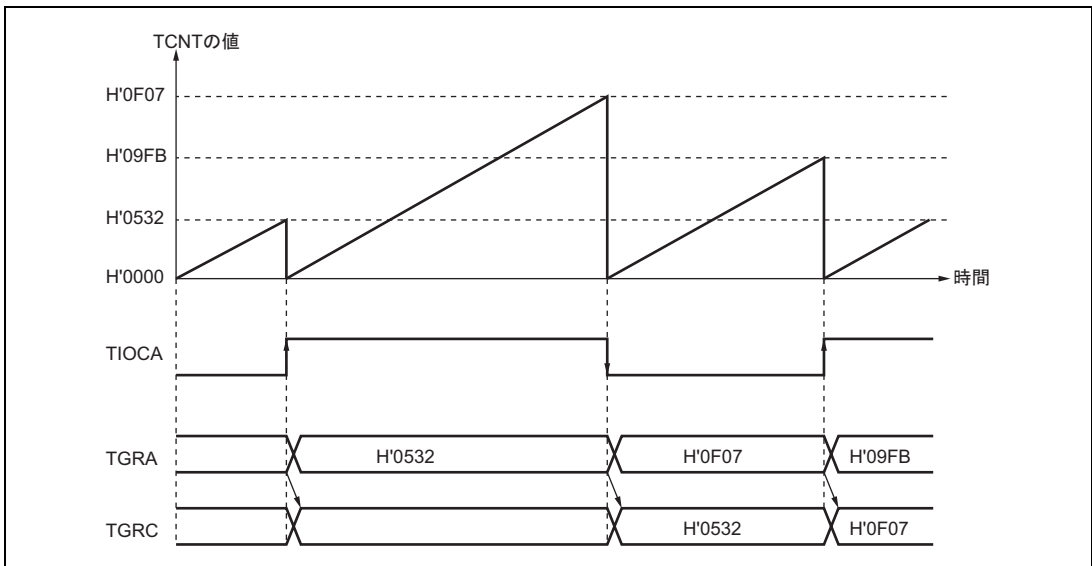


図 11.17 バッファ動作例 (2)

## 11. 16ビットタイマパルスユニット(TPU)

### 11.4.4 カスケード接続動作

カスケード接続動作\*は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1(チャンネル4)のカウンタクロックをTCRのTPSC2~TPSC0ビットでTCNT\_X(TCNT\_5)のオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 11.29 にカスケード接続の組み合わせを示します。

【注】 チャンネル1、4を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

\* H8S/2227グループにこの機能はありません。

表 11.29 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT_1	TCNT_2
チャンネル4とチャンネル5	TCNT_4	TCNT_5

#### (1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 11.18 に示します。

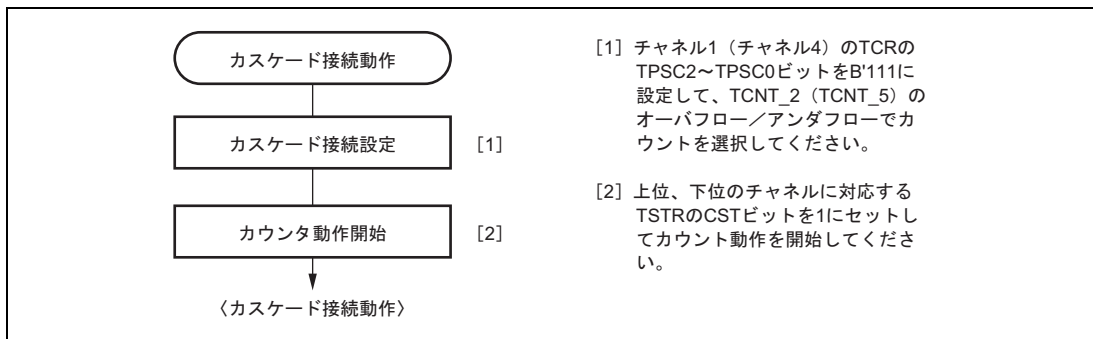


図 11.18 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT\_1 は TCNT\_2 のオーバーフロー / アンダフローでカウント、TGRA\_1 と TGRA\_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択したときの動作を図 11.19 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA\_1 に上位 16 ビット、TGRA\_2 に下位 16 ビットの 32 ビットデータが転送されます。

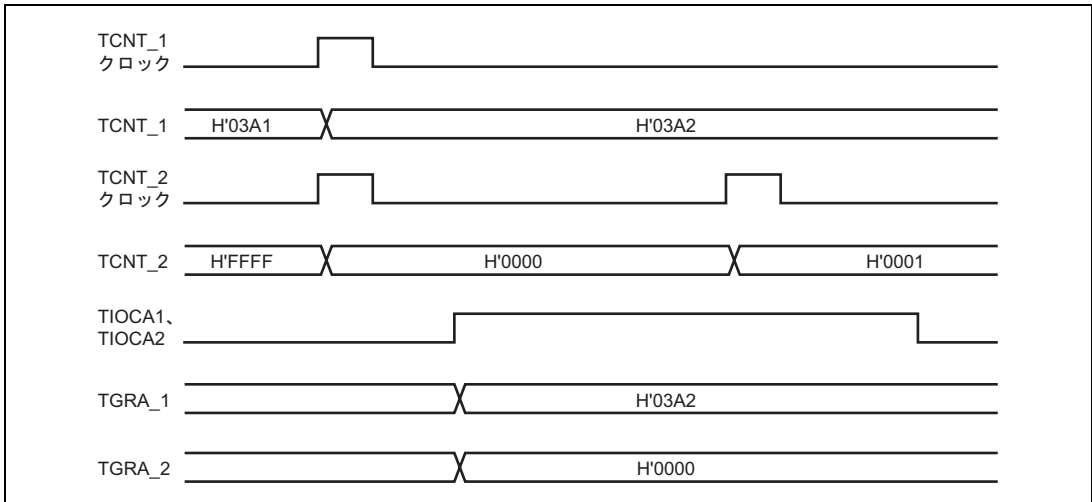


図 11.19 カスケード接続動作例 (1)

TCNT\_1 は TCNT\_2 のオーバーフロー / アンダフローでカウント、チャンネル 2 を位相计数モードに設定したときの動作を図 11.20 に示します。

TCNT\_1 は、TCNT\_2 のオーバーフローでアップカウント、TCNT\_2 のアンダフローでダウンカウントされます。

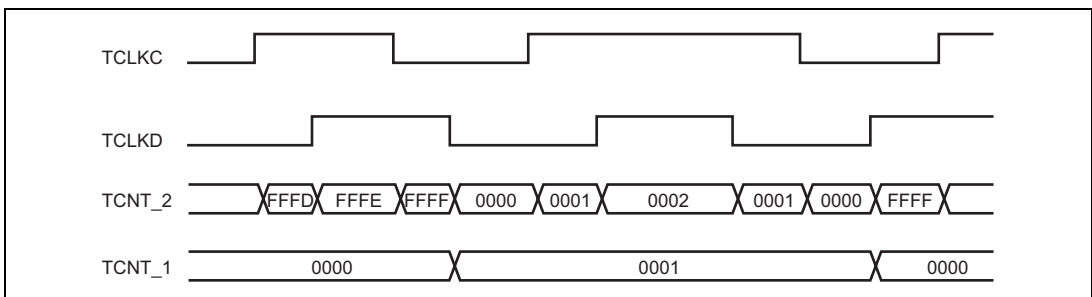


図 11.20 カスケード接続動作例 (2)

### 11.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

#### ( a ) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

#### ( b ) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタを使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。



PWM 出力端子とレジスタの対応を表 11.30 に示します。

表 11.30 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3*	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4*	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5*	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

\* H8S/2227 グループにはありません。

## 11. 16ビットタイマパルスユニット (TPU)

### (1) PWM モードの設定手順例

PWM モードの設定手順例を図 11.21 に示します。

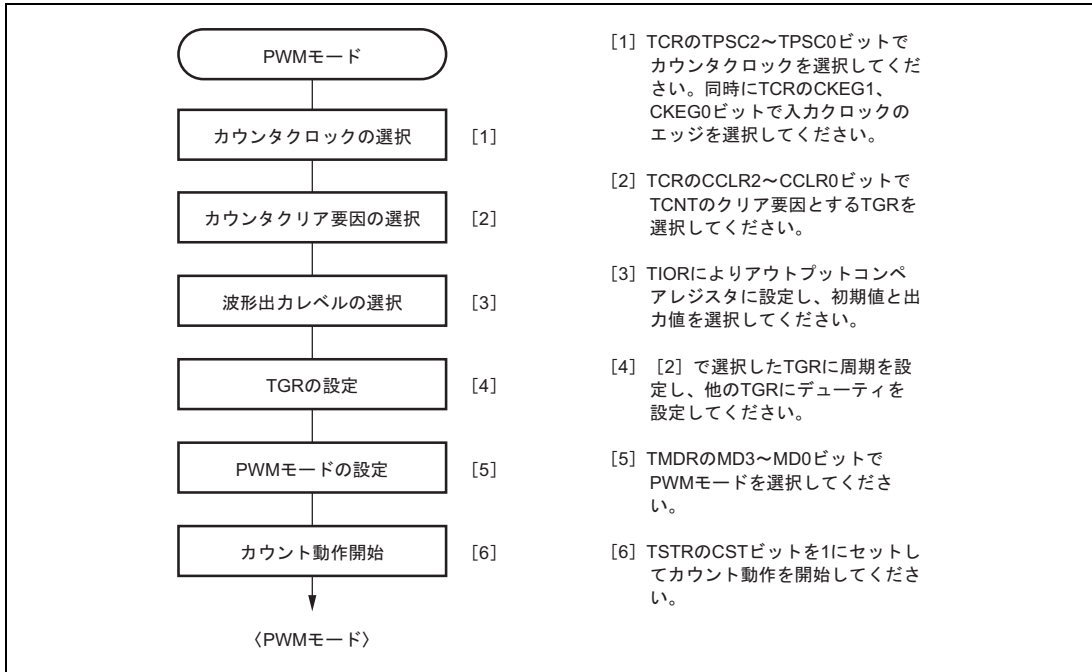


図 11.21 PWM モードの設定手順例

### (2) PWM モードの動作例

PWM モード1の動作例を図 11.22 に示します。

この図は、TCNTのクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

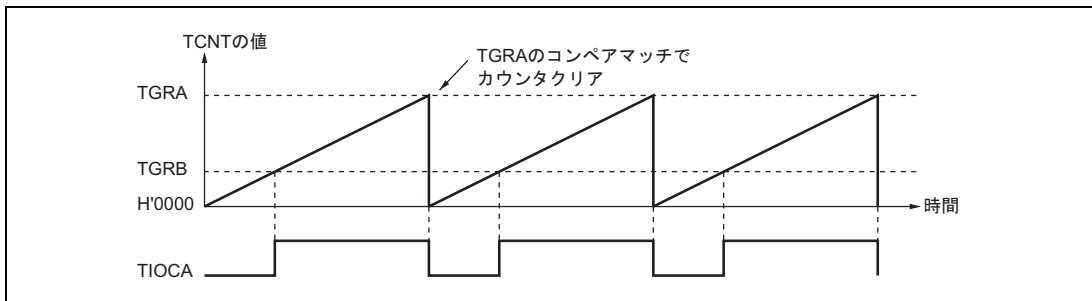


図 11.22 PWM モードの動作例 (1)

PWM モード 2 の動作例を図 11.23 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB\_1 のコンペアマッチとし、他の TGR (TGRA\_0 ~ TGRD\_0、TGRA\_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB\_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

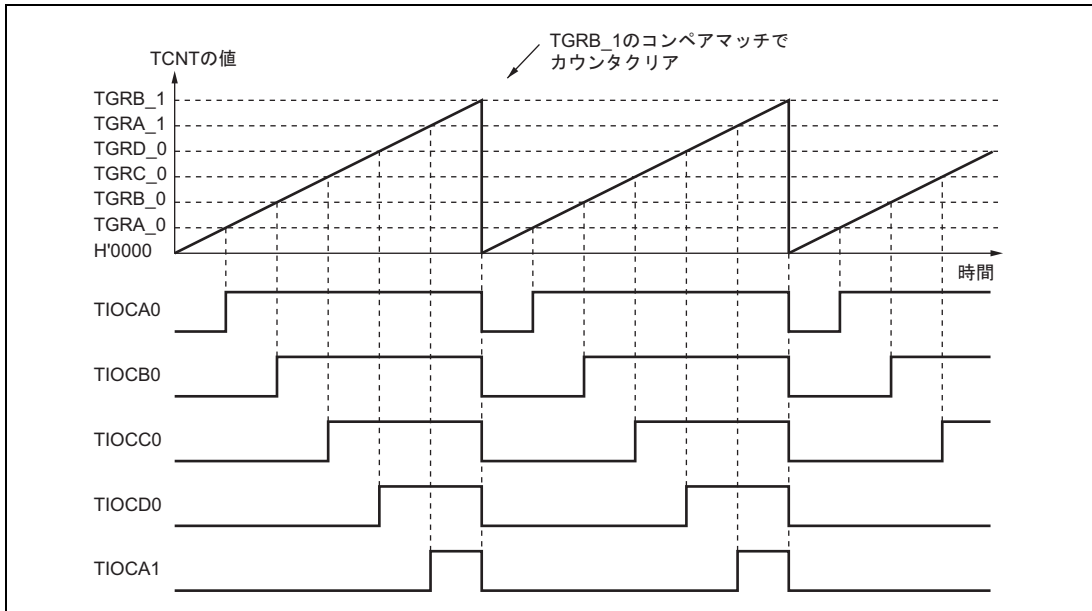


図 11.23 PWM モードの動作例 (2)

## 11. 16ビットタイマパルスユニット(TPU)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図11.24に示します。

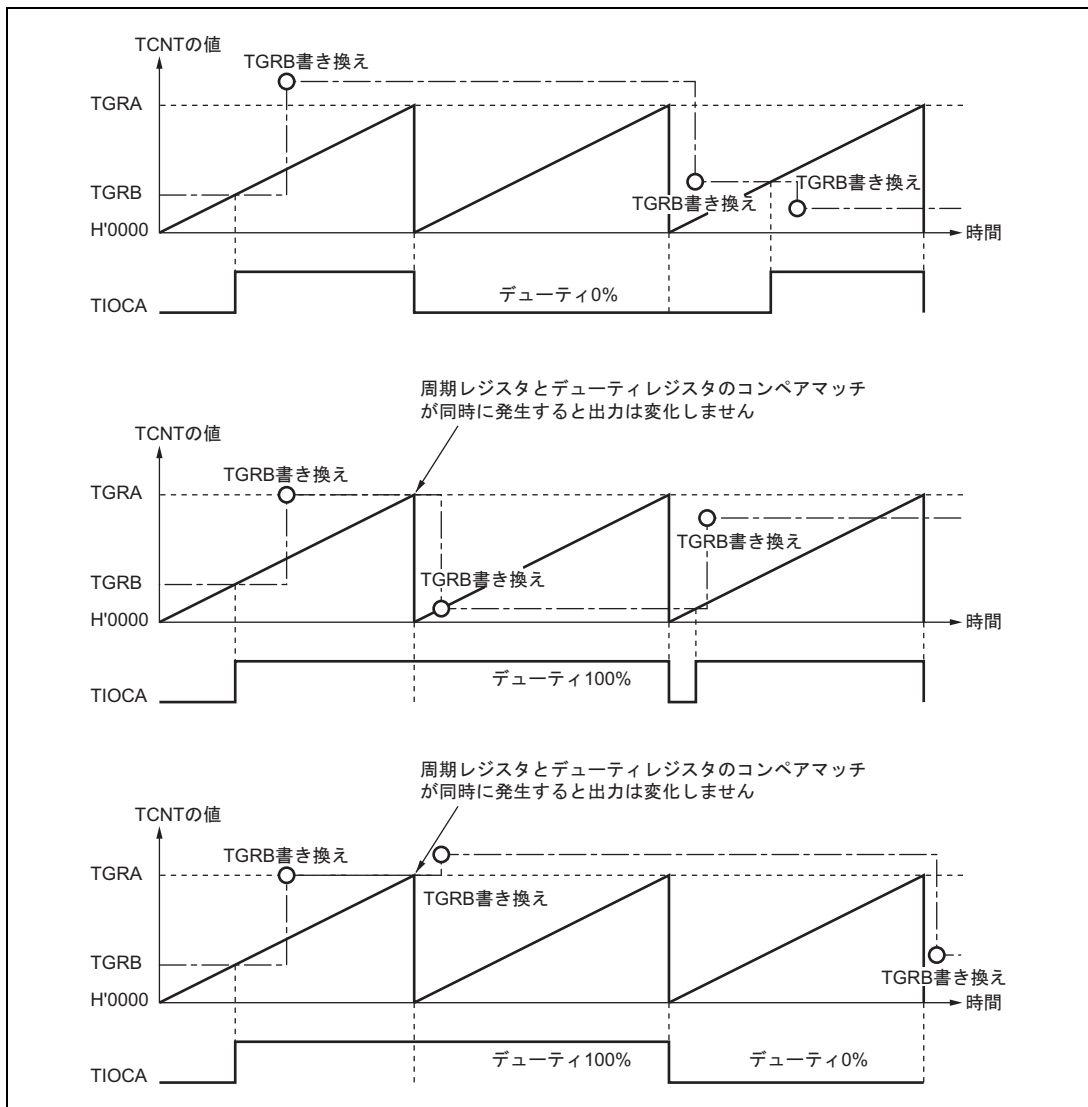


図 11.24 PWMモードの動作例(3)

### 11.4.6 位相計数モード

位相計数モードは、H8S/2227 グループではチャンネル 1、2、それ以外のグループではチャンネル 1、2、4、5 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 11.31 に外部クロック端子とチャンネルの対応を示します。

表 11.31 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5*を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4*を位相計数モードとするとき	TCLKC	TCLKD

【注】 \* H8S/2227 グループにはありません。

#### (1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 11.25 に示します。

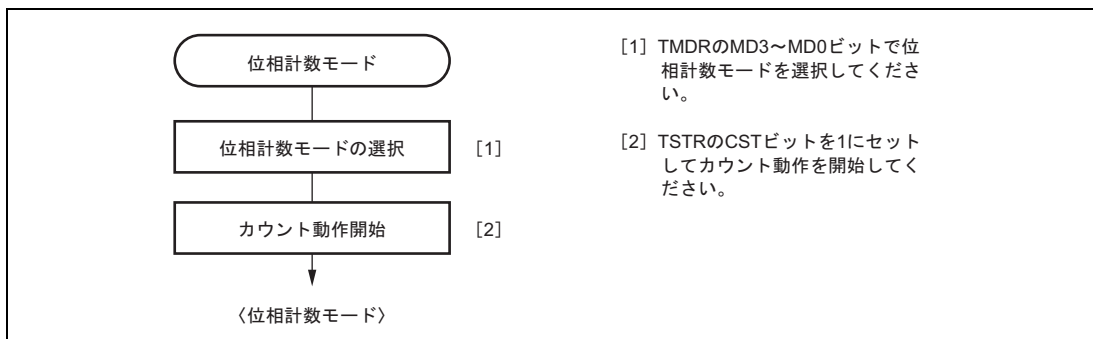


図 11.25 位相計数モードの設定手順例

## 11. 16 ビットタイマパルスユニット (TPU)

### (2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

#### (a) 位相計数モード1

位相計数モード1の動作例を図 11.26 に、TCNT のアップ/ダウンカウント条件を表 11.32 に示します。

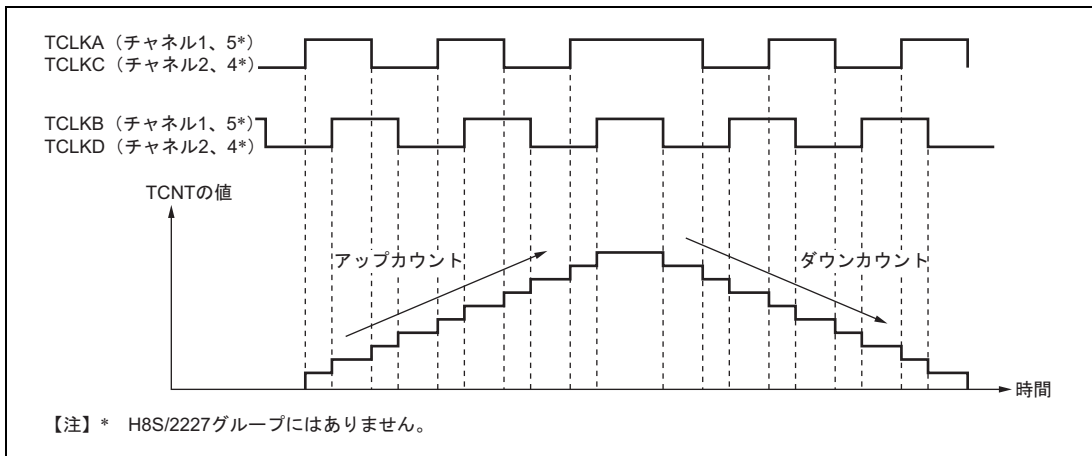


図 11.26 位相計数モード1の動作例

表 11.32 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1、5*) TCLKC (チャンネル2、4*)	TCLKB (チャンネル1、5*) TCLKD (チャンネル2、4*)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

#### 【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

【注】 \* H8S/2227グループにはありません。

(b) 位相計数モード2

位相計数モード2の動作例を図11.27に、TCNTのアップ/ダウンカウント条件を表11.33に示します。

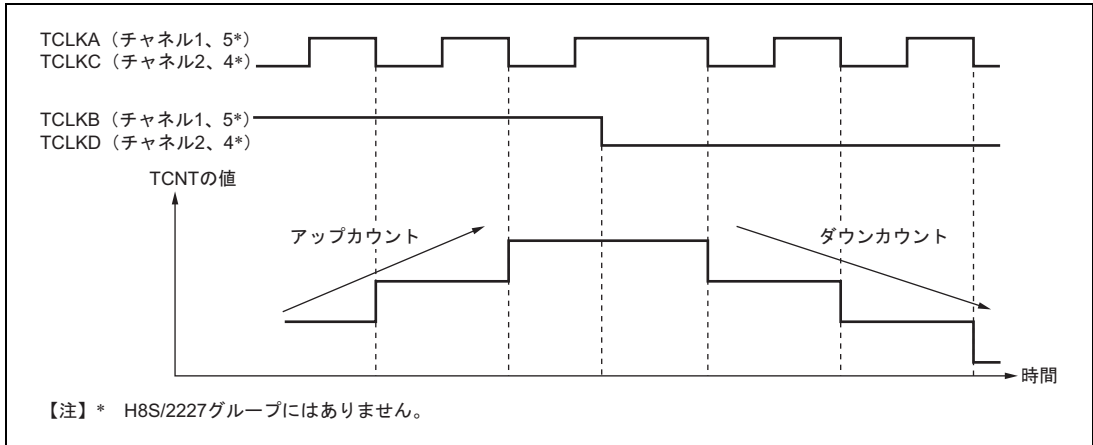


図 11.27 位相計数モード2の動作例

表 11.33 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1、5*) TCLKC (チャンネル2、4*)	TCLKB (チャンネル1、5*) TCLKD (チャンネル2、4*)	動作内容
High レベル		Don't care
Low レベル		Don't care
	Low レベル	Don't care
	High レベル	アップカウント
High レベル		Don't care
Low レベル		Don't care
	High レベル	Don't care
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

【注】 \* H8S/2227 グループにはありません。

## 11. 16 ビットタイマパルスユニット (TPU)

### (c) 位相計数モード 3

位相計数モード 3 の動作例を図 11.28 に、TCNT のアップ/ダウンカウント条件を表 11.34 に示します。

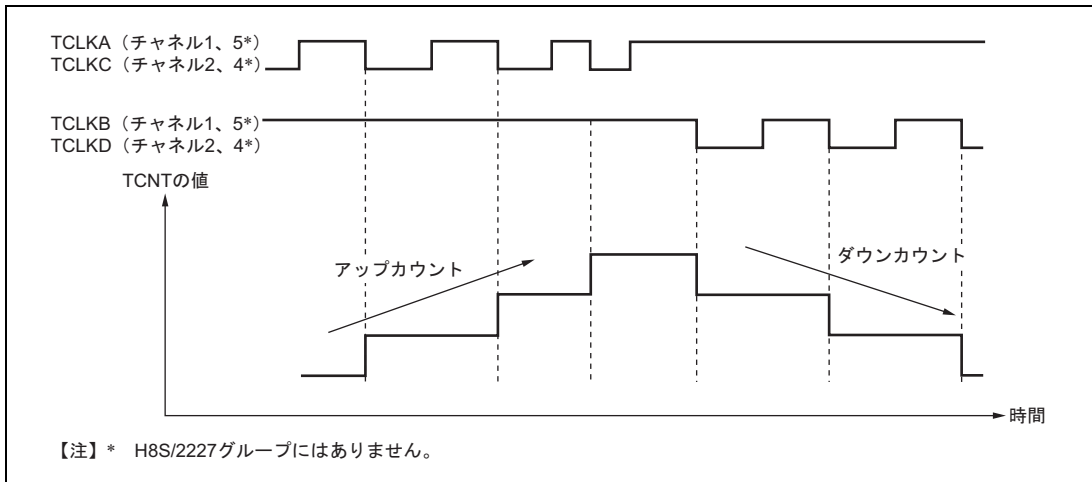


図 11.28 位相計数モード 3 の動作例

表 11.34 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5*) TCLKC (チャンネル 2、4*)	TCLKB (チャンネル 1、5*) TCLKD (チャンネル 2、4*)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

#### 【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

【注】\* H8S/2227 グループにはありません。



(d) 位相計数モード 4

位相計数モード 4 の動作例を図 11.29 に、TCNT のアップ/ダウンカウント条件を表 11.35 に示します。

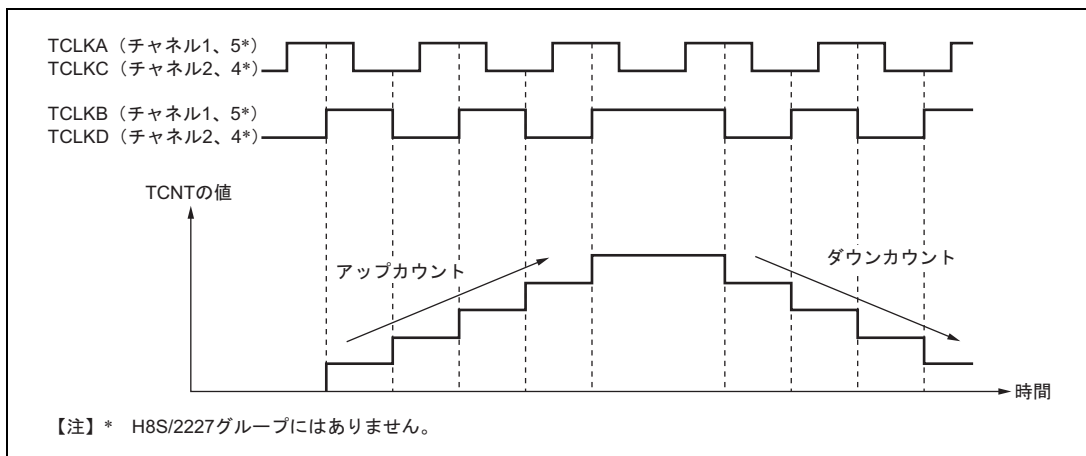


図 11.29 位相計数モード 4 の動作例

表 11.35 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5*) TCLKC (チャンネル 2、4*)	TCLKB (チャンネル 1、5*) TCLKD (チャンネル 2、4*)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

【注】 \* H8S/2227 グループにはありません。

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 11.30 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。チャンネル 0 は TCNT を TGRC\_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA\_0 と TGRC\_0 はコ

## 11. 16 ビットタイマパルスユニット (TPU)

ンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB\_0 は入力キャプチャ機能で使用し、TGRB\_0 と TGRD\_0 をバッファ動作させます。TGRB\_0 の入力キャプチャ要因は、チャンネル 1 のカウンタ入カロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

チャンネル 1 の TGRA\_1 と TGRB\_1 は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル 0 の TGRA\_0 と TGRC\_0 のコンペアマッチを選択し、それぞれの制御周期時のアップ / ダウンカウンタの値を格納します。

これにより、正確な位置 / 速度検出を行うことができます。

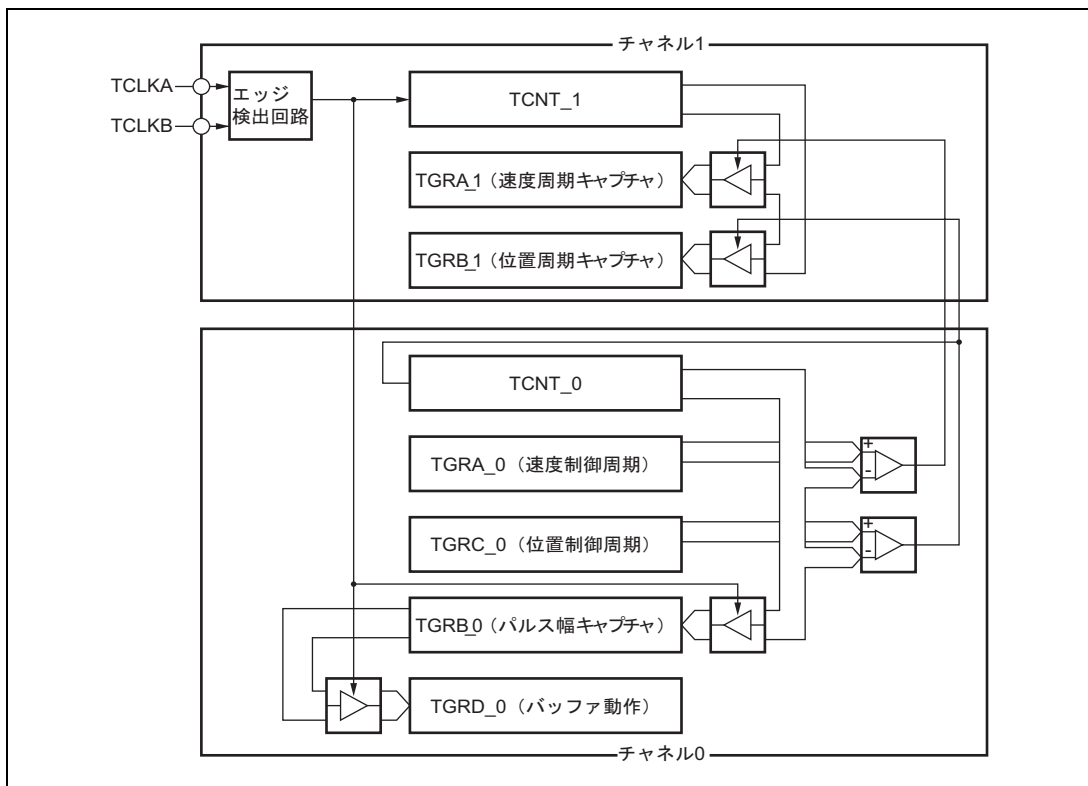


図 11.30 位相計数モードの応用例

### 11.5 割り込み要因

TPU の割り込み要因には、TGR の入力キャプチャ / コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可 / 禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可 / 禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアする

ことで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第5章 割り込みコントローラ」を参照してください。

表 11.36 に TPU の割り込み要因の一覧を示します。

表 11.36 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込み フラグ	DTC の起動	DMAC* <sup>1</sup> の起動
0	TGI0A	TGRA_0 のインプットキャプチャ / コンペアマッチ	TGFA_0	可	可
	TGI0B	TGRB_0 のインプットキャプチャ / コンペアマッチ	TGFB_0	可	不可
	TGI0C	TGRC_0 のインプットキャプチャ / コンペアマッチ	TGFC_0	可	不可
	TGI0D	TGRD_0 のインプットキャプチャ / コンペアマッチ	TGFD_0	可	不可
	TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可	不可
1	TGI1A	TGRA_1 のインプットキャプチャ / コンペアマッチ	TGFA_1	可	可
	TGI1B	TGRB_1 のインプットキャプチャ / コンペアマッチ	TGFB_1	可	不可
	TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可	不可
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可	不可
2	TGI2A	TGRA_2 のインプットキャプチャ / コンペアマッチ	TGFA_2	可	可
	TGI2B	TGRB_2 のインプットキャプチャ / コンペアマッチ	TGFB_2	可	不可
	TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可	不可
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可	不可
3* <sup>2</sup>	TGI3A	TGRA_3 のインプットキャプチャ / コンペアマッチ	TGFA_3	可	可
	TGI3B	TGRB_3 のインプットキャプチャ / コンペアマッチ	TGFB_3	可	不可
	TGI3C	TGRC_3 のインプットキャプチャ / コンペアマッチ	TGFC_3	可	不可
	TGI3D	TGRD_3 のインプットキャプチャ / コンペアマッチ	TGFD_3	可	不可
	TCI3V	TCNT_3 のオーバフロー	TCFV_3	不可	不可
4* <sup>2</sup>	TGI4A	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可	可
	TGI4B	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	可	不可
	TCI4V	TCNT_4 のオーバフロー	TCFV_4	不可	不可
	TCI4U	TCNT_4 のアンダフロー	TCFU_4	不可	不可
5* <sup>2</sup>	TGI5A	TGRA_5 のインプットキャプチャ / コンペアマッチ	TGFA_5	可	可
	TGI5B	TGRB_5 のインプットキャプチャ / コンペアマッチ	TGFB_5	可	不可
	TCI5V	TCNT_5 のオーバフロー	TCFV_5	不可	不可
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可	不可

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

\*1 H8S/2239 グループのみサポートします。

\*2 H8S/2227 グループにはありません。

## 11. 16ビットタイムパルスユニット (TPU)

---

### (1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFフラグが1にセットされたとき、TIERのTGIEビットが1にセットされていれば、割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。H8S/2227グループのTPUには、チャンネル0に4本、チャンネル1、2に各2本、計8本、それ以外のグループのTPUには、チャンネル0、3に各4本、チャンネル1、2、4、5に各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

### (2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。H8S/2227グループのTPUには、チャンネル0~2に各1本、計3本、それ以外のグループのTPUには、チャンネル0~5に各1本、計6本のオーバフロー割り込みがあります。

### (3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。H8S/2227グループのTPUには、チャンネル1、2に各1本、計2本、それ以外のグループのTPUには、チャンネル1、2、4、5に各1本、計4本のアンダフロー割り込みがあります。

## 11.6 DTCの起動

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「第9章 データトランスファコントローラ (DTC)」を参照してください。

H8S/2227グループのTPUでは、チャンネル0が4本、チャンネル1、2が各2本、計8本、それ以外のグループのTPUでは、チャンネル0、3が各4本、チャンネル1、2、4、5が各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

## 11.7 DMACの起動 (H8S/2239グループのみ)

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチ割り込みによって、DMACを起動することができます。詳細は「第8章 DMAコントローラ (DMAC)」を参照してください。

TPUでは、各チャンネルに1本、計6本のTGRAのインพุットキャプチャ/コンペアマッチ割り込みをDMACの起動要因とすることができます。

## 11.8 A/D 変換器の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

## 11.9 動作タイミング

### 11.9.1 入出力タイミング

#### (1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.31 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 11.32 に示します。

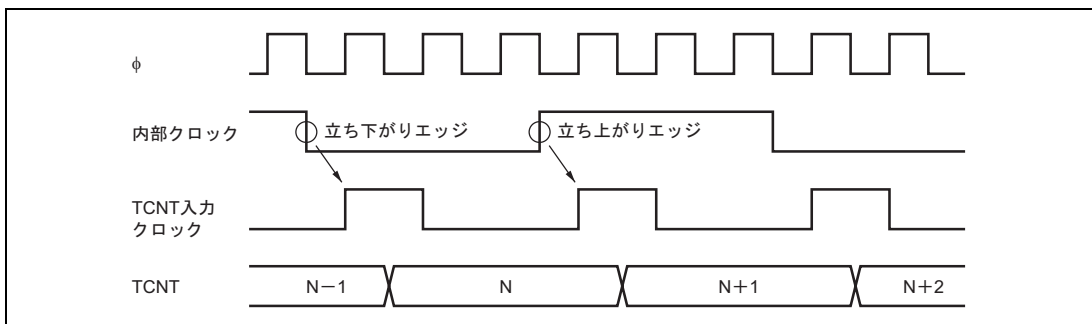


図 11.31 内部クロック動作時のカウントタイミング

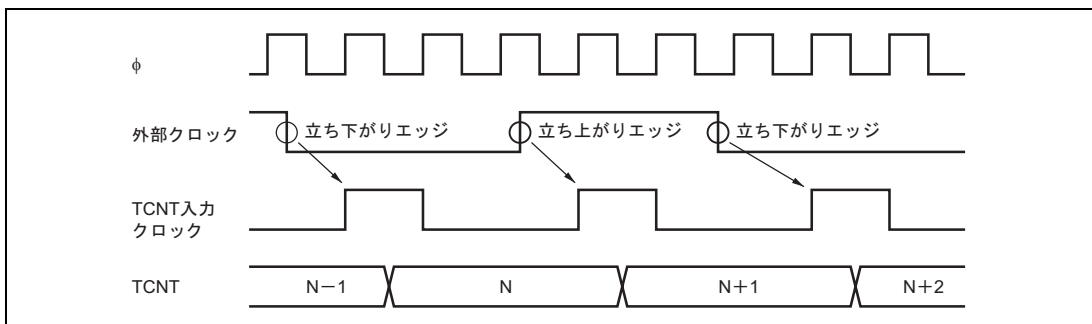


図 11.32 外部クロック動作時のカウントタイミング

## 11. 16 ビットタイマパルスユニット (TPU)

### (2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致したあと、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 11.33 に示します。

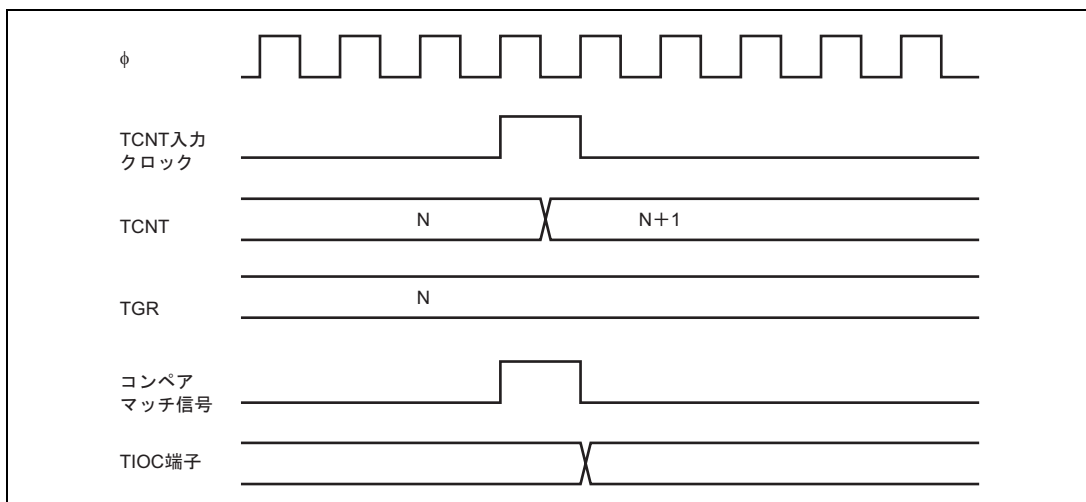


図 11.33 アウトプットコンペア出力タイミング

### (3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 11.34 に示します。

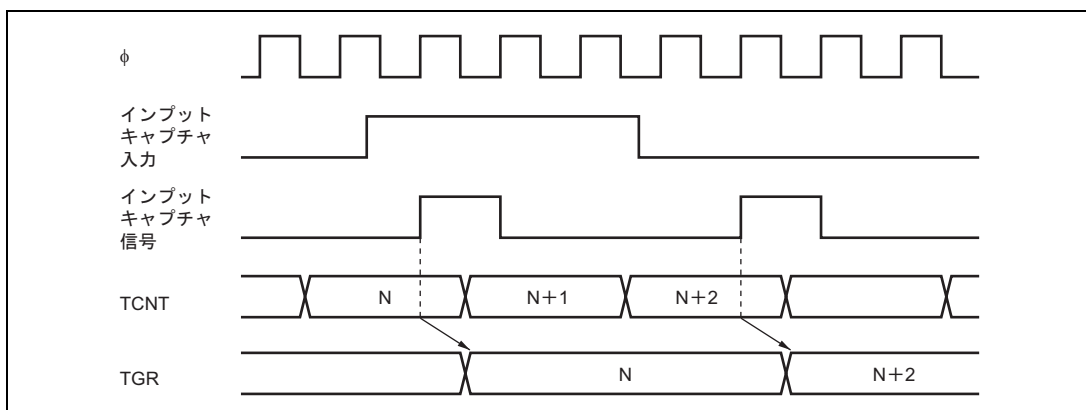


図 11.34 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ / インพุットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 11.35 に示します。

インพุットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 11.36 に示します。

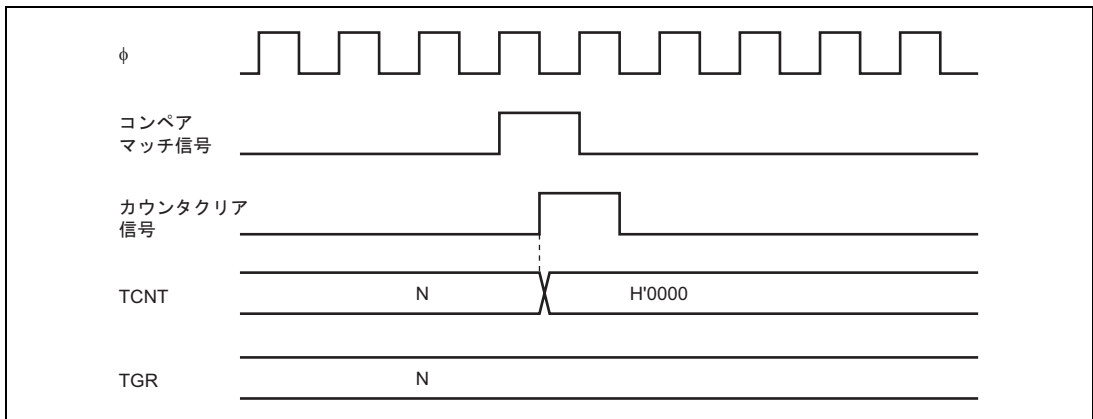


図 11.35 カウンタクリアタイミング (コンペアマッチ)

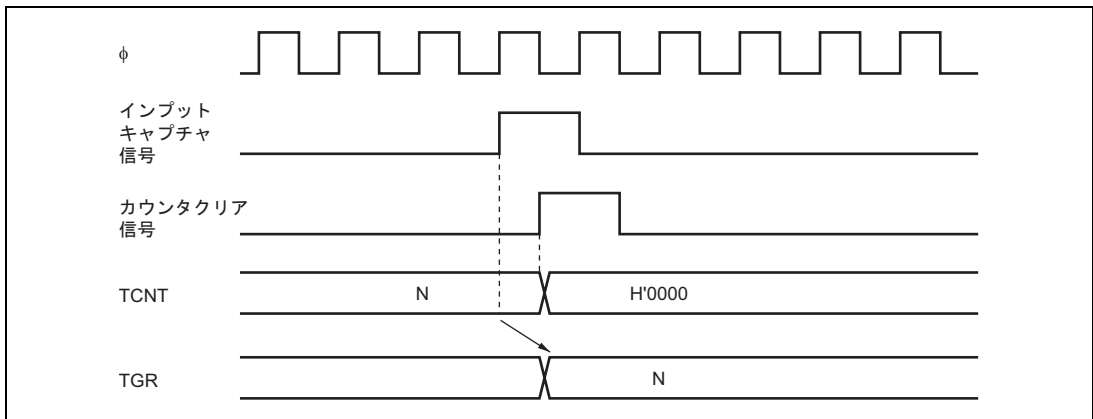


図 11.36 カウンタクリアタイミング (インพุットキャプチャ)

## 11. 16 ビットタイマパルスユニット (TPU)

### (5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 11.37、図 11.38 に示します。

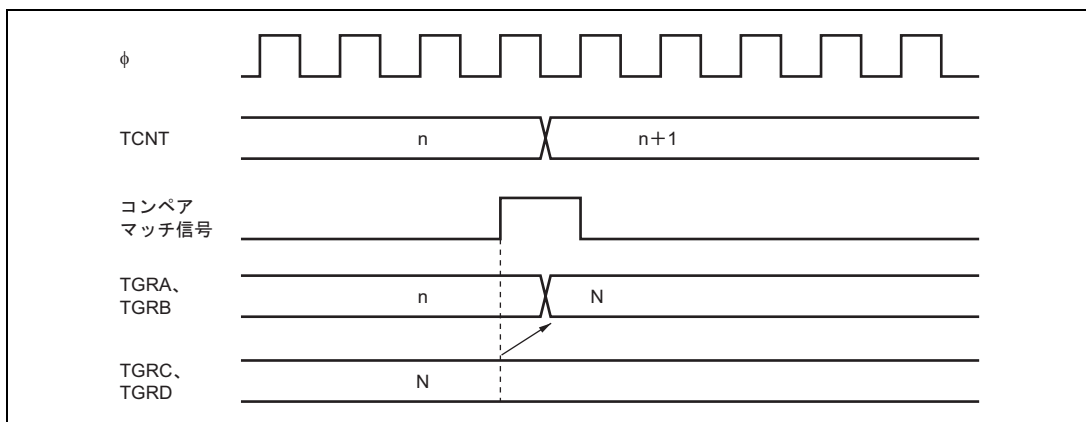


図 11.37 バッファ動作タイミング (コンペアマッチ)

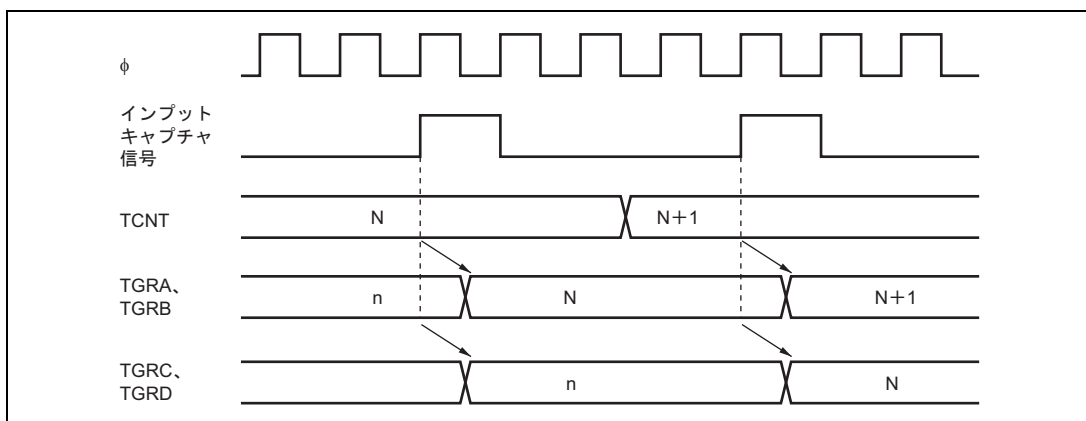


図 11.38 バッファ動作タイミング (インプットキャプチャ)



## 11.9.2 割り込み信号タイミング

### (1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.39 に示します。

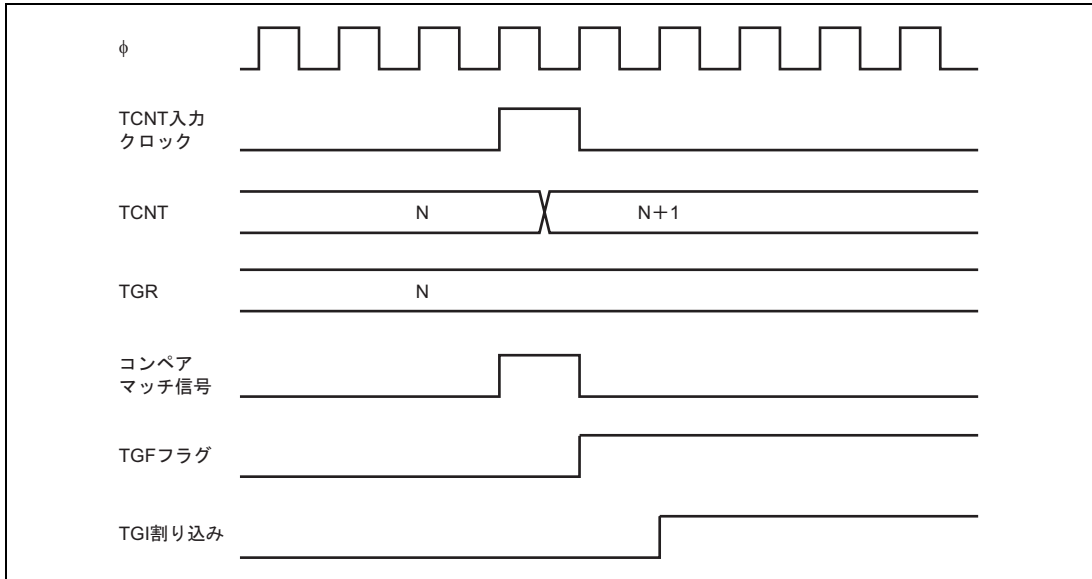


図 11.39 TGI 割り込みタイミング (コンペアマッチ)

## 11. 16 ビットタイマパルスユニット (TPU)

### (2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.40 に示します。

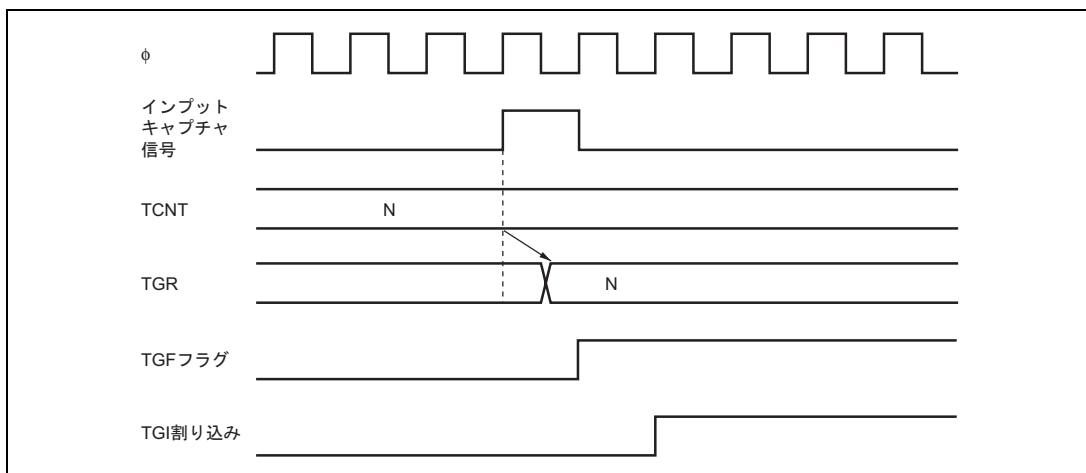


図 11.40 TGI 割り込みタイミング (インพุットキャプチャ)

### (3) TCFV フラグ / TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 11.41 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 11.42 に示します。

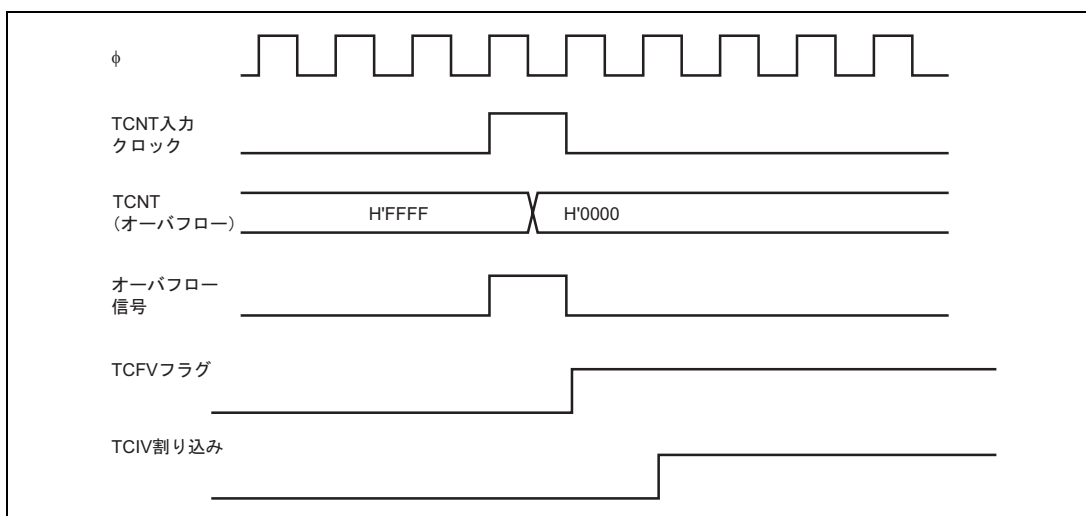


図 11.41 TCIV 割り込みのセットタイミング

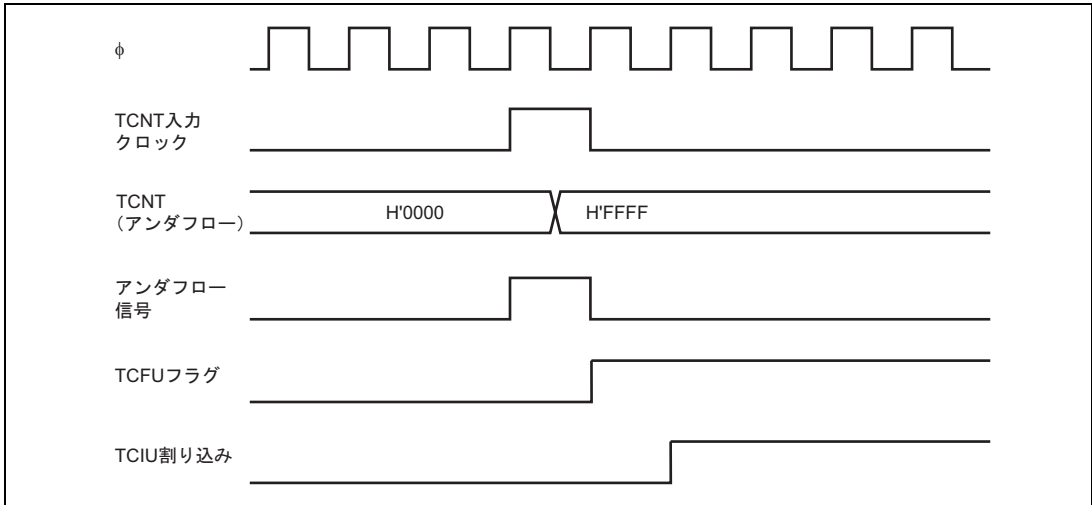


図 11.42 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードしたあと、0 をライトするとクリアされます。DTC または DMAC\* を起動する場合は、自動的にクリアすることもできます。CPU によるステータスフラグのクリアタイミングを図 11.43 に、DTC または DMAC\* によるステータスフラグのクリアのタイミングを図 11.44 に示します。

【注】 \* H8S/2239 グループのみです。

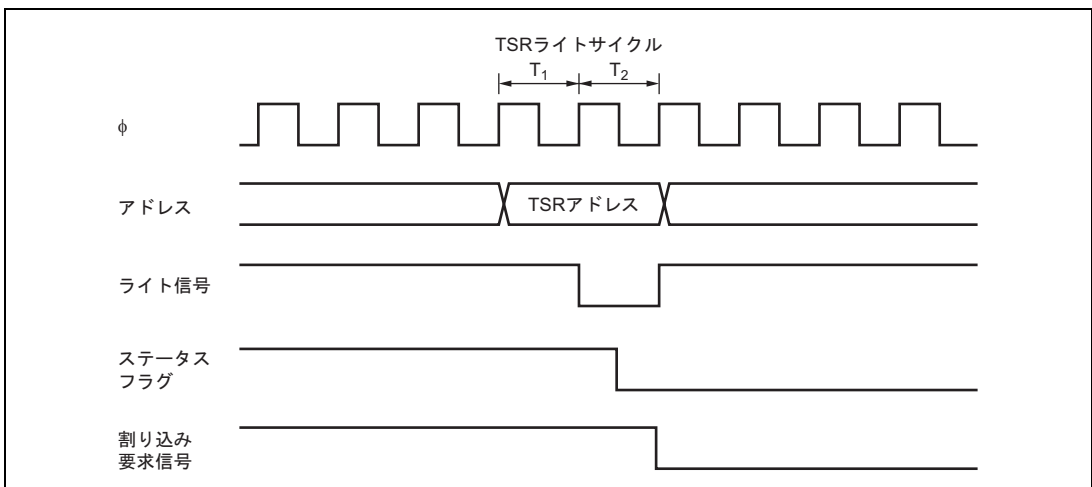


図 11.43 CPU によるステータスフラグのクリアタイミング

## 11. 16ビットタイムパルスユニット (TPU)

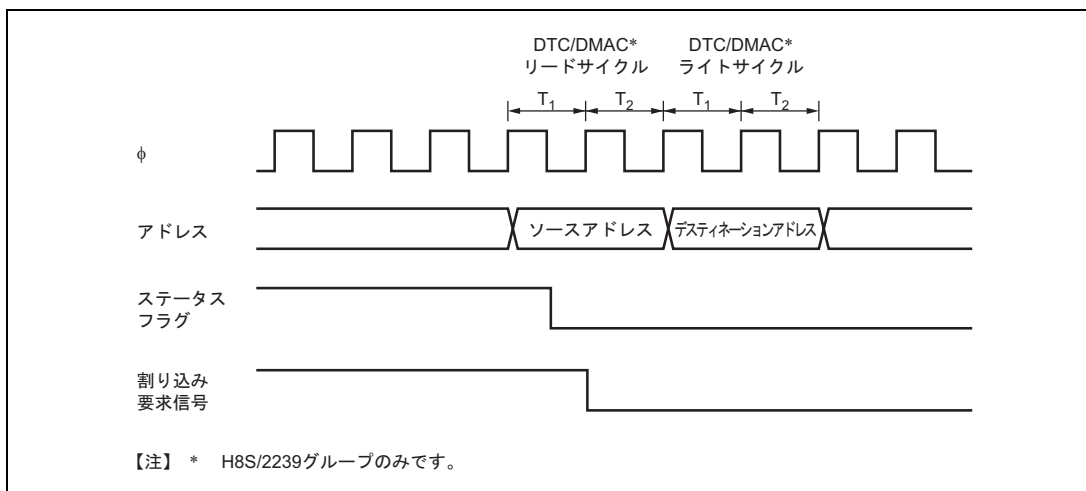


図 11.44 DTC/DMAC\*の起動によるステータスフラグのクリアタイミング

【注】 \* H8S/2239 グループのみです。

## 11.10 使用上の注意事項

### 11.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止 / 許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

### 11.10.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 11.45 に示します。

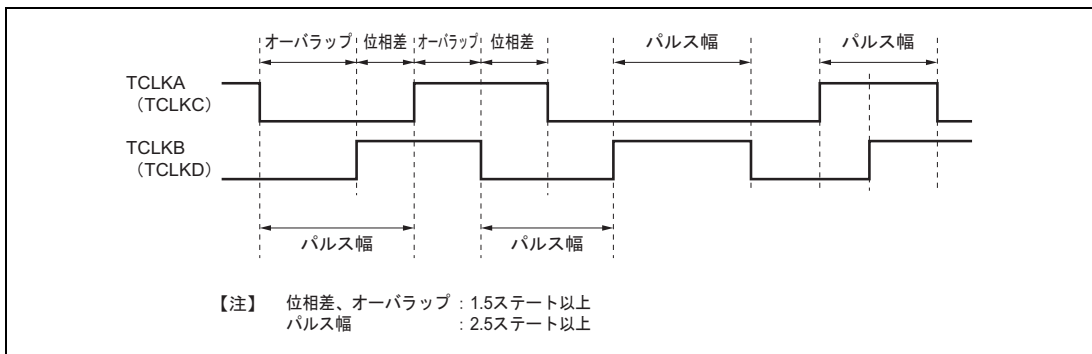


図 11.45 位相計数モード時の位相差、オーバーラップ、およびパルス幅

## 11. 16ビットタイマパルスユニット (TPU)

### 11.10.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

$\phi$  : 動作周波数

N : TGR の設定値

### 11.10.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の  $T_2$  ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。このタイミングを図 11.46 に示します。

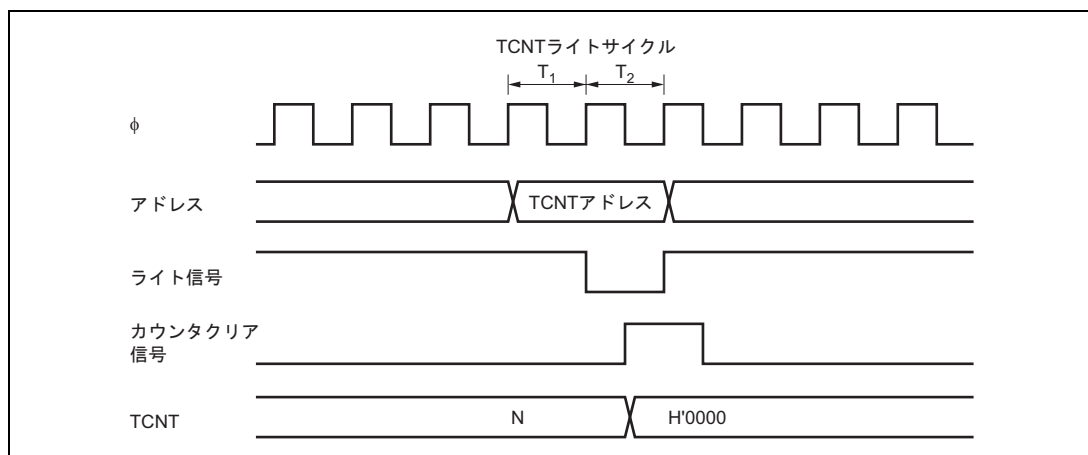


図 11.46 TCNT のライトとクリアの競合

### 11.10.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の  $T_2$  ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。このタイミングを図 11.47 に示します。

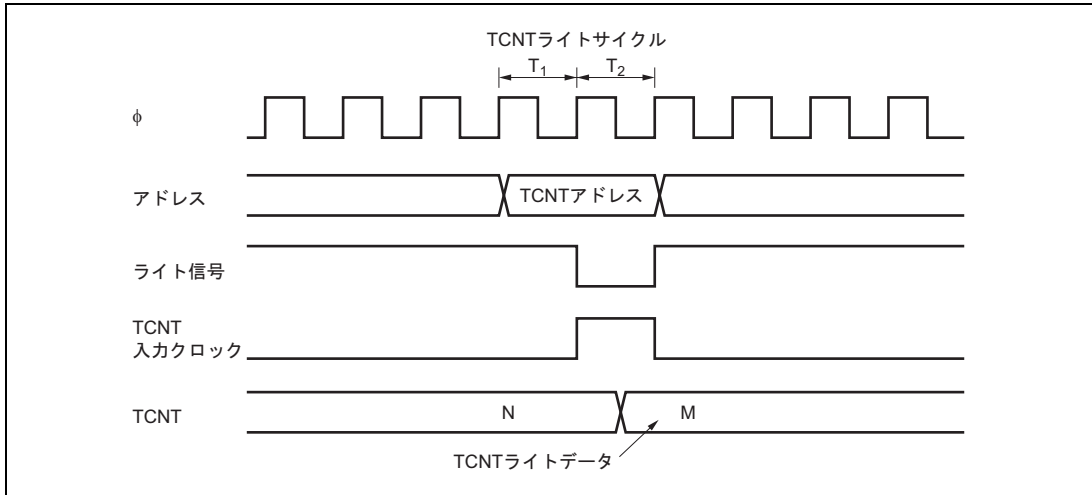


図 11.47 TCNT のライトとカウントアップの競合

### 11.10.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の  $T_2$  ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。このタイミングを図 11.48 に示します。

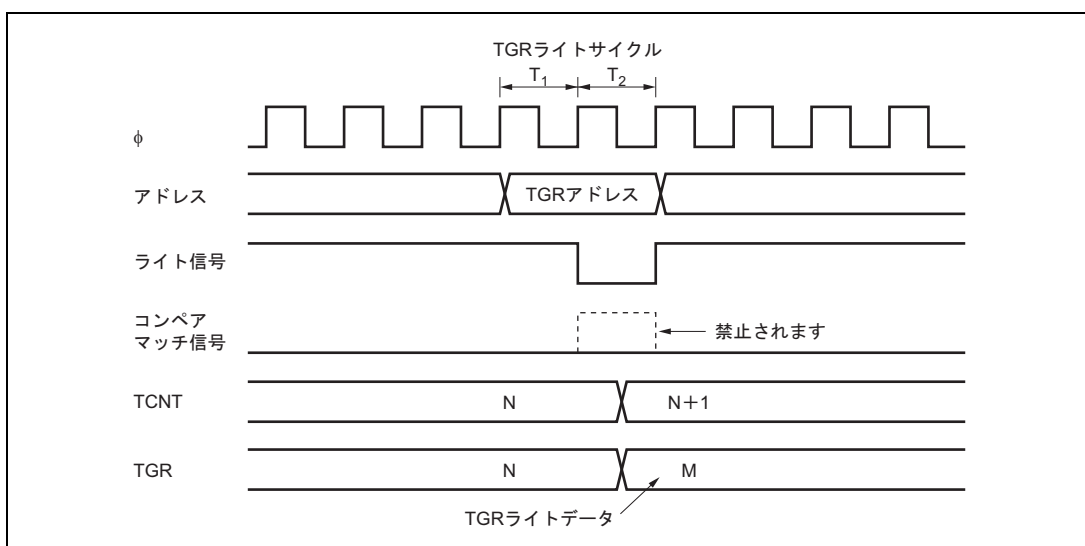


図 11.48 TGR のライトとコンペアマッチの競合



### 11.10.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の  $T_2$  ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。このタイミングを図 11.49 に示します。

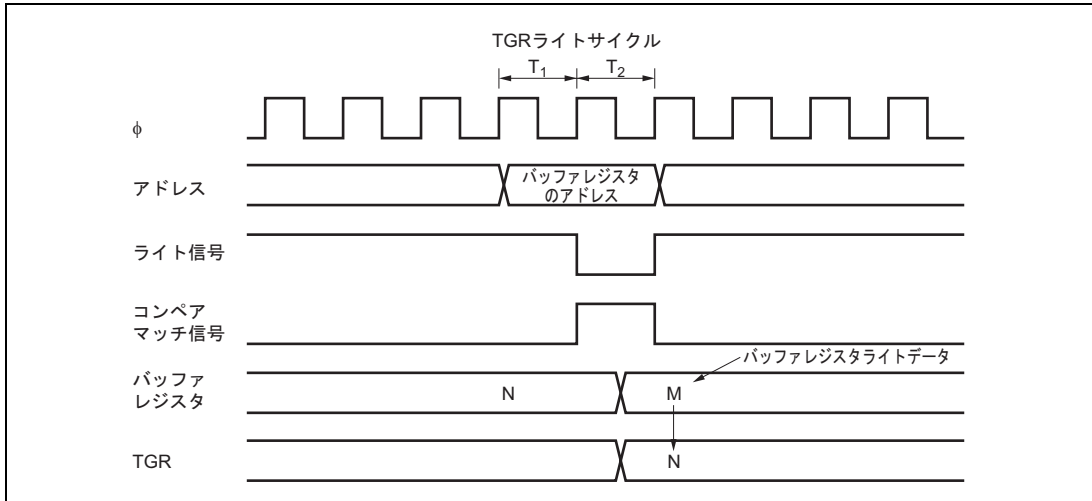


図 11.49 バッファレジスタのライトとコンペアマッチの競合

### 11.10.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の  $T_1$  ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。このタイミングを図 11.50 に示します。

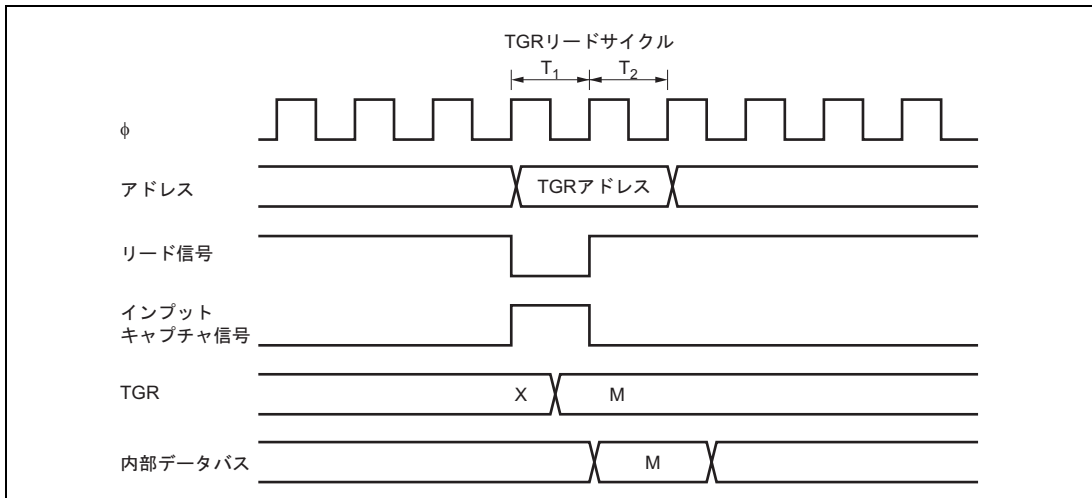


図 11.50 TGR のリードとインプットキャプチャの競合

### 11.10.9 TGRのライトと入力キャプチャの競合

TGRのライトサイクル中の $T_2$ 状態で入力キャプチャ信号が発生すると、TGRへのライトは行われず、入力キャプチャが優先されます。このタイミングを図11.51に示します。

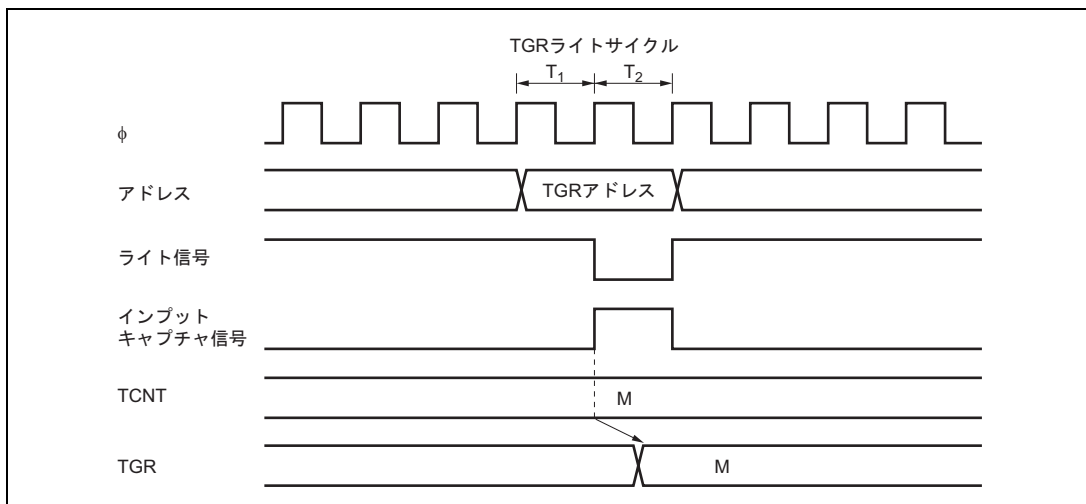


図 11.51 TGRのライトと入力キャプチャの競合

## 11.10.10 バッファレジスタのライトと入力キャプチャの競合

バッファレジスタのライトサイクル中の $T_2$ ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 11.52 に示します。

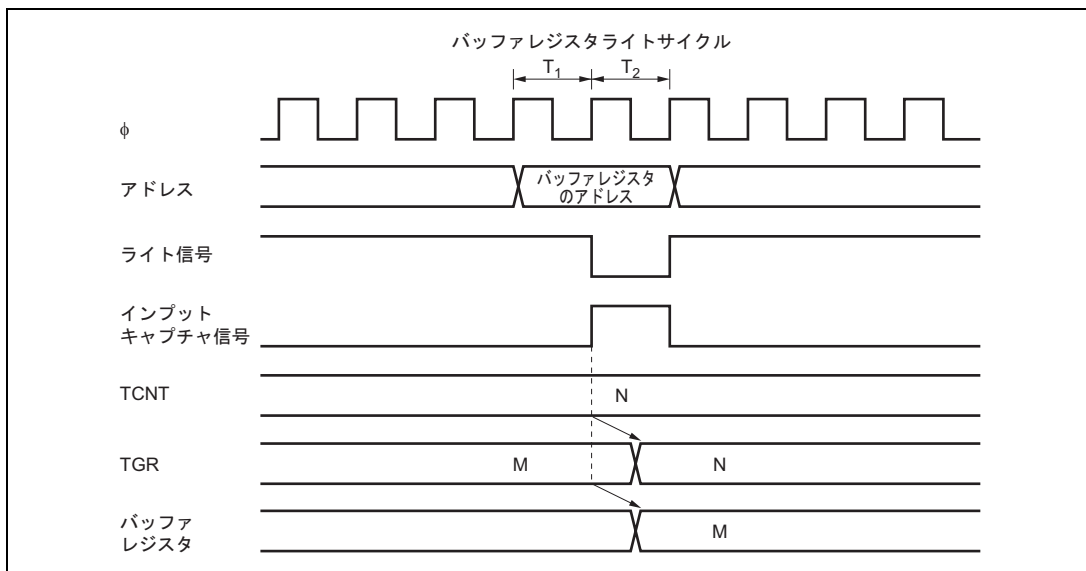


図 11.52 バッファレジスタのライトと入力キャプチャの競合

### 11.10.11 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 11.53 に示します。

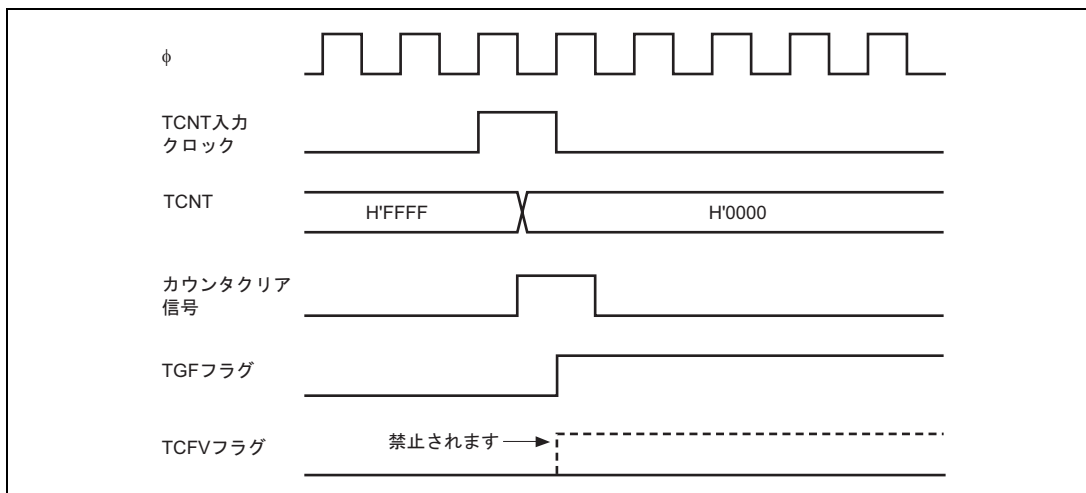


図 11.53 オーバフローとカウンタクリアの競合

### 11.10.12 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の  $T_2$  ステートでカウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 11.54 に示します。

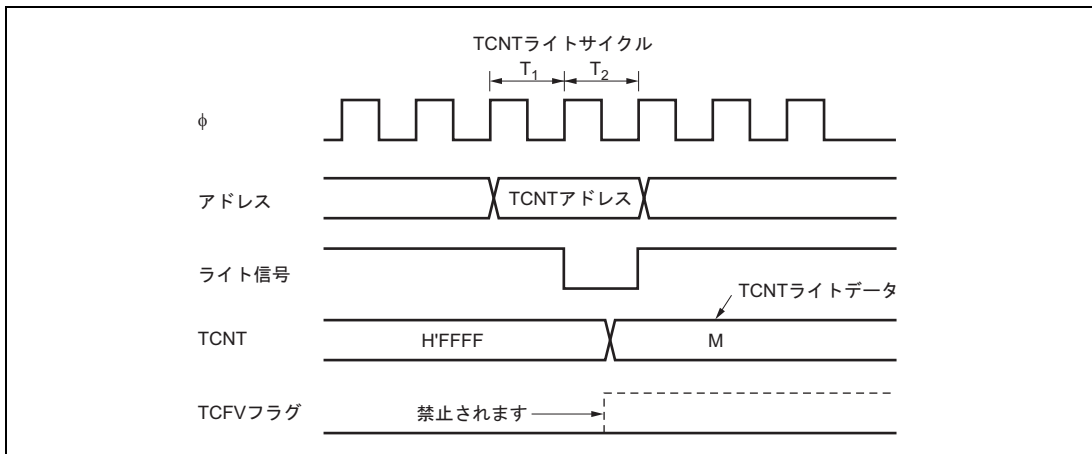


図 11.54 TCNT のライトとオーバフローの競合

### 11.10.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

### 11.10.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、DMAC\*または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

【注】 \* H8S/2239 グループのみです。

## 11. 16ビットタイマパルスユニット (TPU)

---

---

## 12. 8ビットタイマ (TMR)

---

H8S/2258 グループ、H8S/2239 グループ、H8S/2238 グループは、8ビットのカウンタをベースにした4チャンネルの8ビットタイマ (TMR\_0、TMR\_1、TMR\_2、TMR\_3) を内蔵しています。

H8S/2237 グループ、H8S/2227 グループは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ (TMR\_0、TMR\_1) を内蔵しています。

8ビットタイマは外部のイベントのカウンタが可能のほか、2本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

### 12.1 特長

- 4種類のクロックを選択可能  
3種類の内部クロック ( $\phi/8$ 、 $\phi/64$ 、 $\phi/8192$ ) と外部クロックのうちから選択可能
- カウンタのクリア指定が可能  
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択可能
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御  
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能
- 2チャンネルのカスケード接続が可能  
(TMR\_0、TMR\_1のカスケード接続)  
TMR\_0を上位、TMR\_1を下位とする16ビットタイマとして動作可能 (16ビットカウントモード)  
TMR\_1はTMR\_0のコンペアマッチをカウント可能 (コンペアマッチカウントモード)  
(TMR\_2、TMR\_3のカスケード接続)\*  
TMR\_2を上位、TMR\_3を下位とする16ビットタイマとして動作可能 (16ビットカウントモード)  
TMR\_3はTMR\_2のコンペアマッチをカウント可能 (コンペアマッチカウントモード)
- 各チャンネル3種類の割り込み要因  
コンペアマッチ $\times 2$ 要因、オーバフロー $\times 1$ 要因があり、それぞれ独立に要求可能
- A/D変換器の変換スタートトリガを生成可能  
A/D変換器の交換開始トリガとしてチャンネル0のコンペアマッチA信号を使用可能
- モジュールストップモードの設定可能  
初期値では8ビットタイマの動作は停止、モジュールストップモードの解除によりレジスタのアクセスが可能

【注】 \* H8S/2237 グループ、H8S/2227 グループにはありません。

## 12. 8ビットタイマ (TMR)

8ビットタイマ (TMR\_0、TMR\_1) のブロック図を図 12.1 に示します。

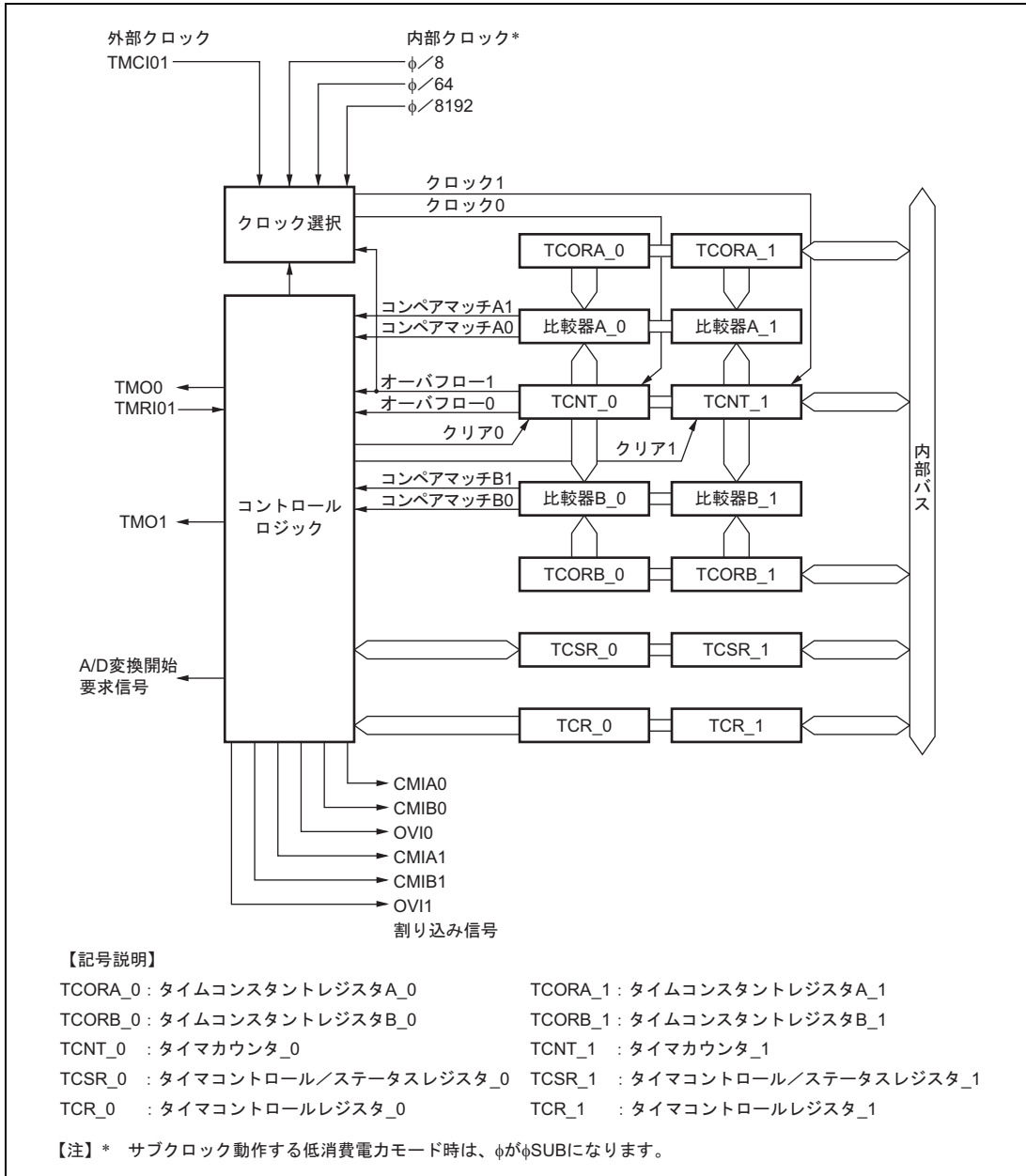


図 12.1 8ビットタイマのブロック図



## 12.2 入出力端子

8ビットタイマの端子構成を表 12.1 に示します。

表 12.1 端子構成

チャンネル	名 称	略称	入出力	機 能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
0、1 共通	タイマクロック入力端子	TMC101	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI01	入力	カウンタ外部リセット入力
2	タイマ出力端子	TMO2*	出力	コンペアマッチ出力
3	タイマ出力端子	TMO3*	出力	コンペアマッチ出力
2、3 共通	タイマクロック入力端子	TMC123*	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI23*	入力	カウンタ外部リセット入力

【注】 \* H8S/2237 グループ、H8S/2227 グループにはありません。

## 12.3 レジスタの説明

8ビットタイマには以下のレジスタがあります。モジュールストップコントロールレジスタについては「24.1.2 モジュールストップコントロールレジスタ A～C (MSTPCRA～MSTPCRC)」を参照してください。

- タイマカウンタ\_0 (TCNT\_0)
- タイムコンスタントレジスタA\_0 (TCORA\_0)
- タイムコンスタントレジスタB\_0 (TCORB\_0)
- タイマコントロールレジスタ\_0 (TCR\_0)
- タイマコントロール/ステータスレジスタ\_0 (TCSR\_0)
- タイマカウンタ\_1 (TCNT\_1)
- タイムコンスタントレジスタA\_1 (TCORA\_1)
- タイムコンスタントレジスタB\_1 (TCORB\_1)
- タイマコントロールレジスタ\_1 (TCR\_1)
- タイマコントロール/ステータスレジスタ\_1 (TCSR\_1)
- タイマカウンタ\_2 (TCNT\_2) \*
- タイムコンスタントレジスタA\_2 (TCORA\_2) \*
- タイムコンスタントレジスタB\_2 (TCORB\_2) \*
- タイマコントロールレジスタ\_2 (TCR\_2) \*
- タイマコントロール/ステータスレジスタ\_2 (TCSR\_2) \*

## 12. 8ビットタイマ (TMR)

---

- タイマカウンタ\_3 (TCNT\_3) \*
- タイムコンスタントレジスタA\_3 (TCORA\_3) \*
- タイムコンスタントレジスタB\_3 (TCORB\_3) \*
- タイマコントロールレジスタ\_3 (TCR\_3) \*
- タイマコントロール/ステータスレジスタ\_3 (TCSR\_3) \*

【注】 \* H8S/2237 グループ、H8S/2227 グループにはありません。

### 12.3.1 タイマカウンタ (TCNT)

TCNT は 8 ビットのアップカウンタです。TCNT\_0、TCNT\_1 (または TCNT\_2、TCNT\_3) \* を 16 ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCR の CKS2 ~ CKS0 ビットにより選択します。TCNT は、外部リセット入力信号またはコンペアマッチ A 信号、コンペアマッチ B 信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットにより選択します。また、TCNT がオーバフロー (H'FF H'00) すると、TCSR の OVF が 1 にセットされます。TCNT の初期値は H'00 です。

【注】 \* H8S/2237 グループ、H8S/2227 グループにはありません。

### 12.3.2 タイムコンスタントレジスタ (TCORA)

TCORA は 8 ビットのリード/ライト可能なレジスタです。TCORA\_0、TCORA\_1 (または TCORA\_2、TCORA\_3) \* を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORA の値は TCNT と常に比較され、一致すると TCSR の CMFA が 1 にセットされます。ただし、TCORA へのライトサイクルの T<sub>2</sub> ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチ A) と TCSR の OS1、OS0 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORA の初期値は H'FF です。

【注】 \* H8S/2237 グループ、H8S/2227 グループにはありません。

### 12.3.3 タイムコンスタントレジスタ B (TCORB)

TCORB は 8 ビットのリード/ライト可能なレジスタです。TCORB\_0、TCORB\_1 (または TCORB\_2、TCORB\_3) \* を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORB の値は TCNT と常に比較され、一致すると TCSR の CMFB が 1 にセットされます。ただし、TCORB へのライトサイクルの T<sub>2</sub> ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチ B) と TCSR の OS3、OS2 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORB の初期値は H'FF です。

【注】 \* H8S/2237 グループ、H8S/2227 グループにはありません。

### 12.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

## 12. 8ビットタイマ (TMR)

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4 3	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジによりクリア
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2-0 内部クロックは、システムロック (φ) を分周した 3 種類のクロックから選択できます。外部クロックのとき、クロック入力には立ち上がり、立ち下がり、または立ち上がり / 立ち下がり両エッジのカウントの 3 種類から選択できます。 000 : クロック入力を禁止 001 : 内部クロック : φ / 8 立ち下がりエッジでカウント 010 : 内部クロック : φ / 64 立ち下がりエッジでカウント 011 : 内部クロック : φ / 8192 立ち下がりエッジでカウント 100 : チャネル 0 の場合 : TCNT1 のオーバフロー信号でカウント* <sup>1</sup> チャネル 1 の場合 : TCNT0 のコンペアマッチ A でカウント* <sup>1</sup> チャネル 2* <sup>2</sup> の場合 : TCNT3 のオーバフロー信号でカウント* <sup>1</sup> チャネル 3* <sup>2</sup> の場合 : TCNT2 のコンペアマッチ A でカウント* <sup>1</sup> 101 : 外部クロック : 立ち上がりエッジでカウント 110 : 外部クロック : 立ち下がりエッジでカウント 111 : 外部クロック : 立ち上がり / 立ち下がり両エッジでカウント

【注】 \*1 チャネル 0 (チャネル 2) のクロック入力を TCNT1 (TCNT3) のオーバフロー信号とし、チャネル 1 (チャネル 3) のクロック入力を TCNT0 (TCNT2) のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

\*2 H8S/2237 グループ、H8S/2227 グループにはありません。

## 12. 8ビットタイマ (TMR)

### 12.3.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

• TCSR\_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] • TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードしたあと、CMFB に 0 をライトしたとき • CMIB 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 で、かつ転送カウンタが 0 でないとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] • TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードしたあと、CMFA に 0 をライトしたとき • CMIA 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 で、かつ転送カウンタが 0 でないとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] • TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] • OVF = 1 の状態で OVF をリードしたあと、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

## 12. 8ビットタイマ (TMR)

ビット	ビット名	初期値	R/W	説明
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### • TCSR\_1、TCSR\_3\*<sup>1</sup>

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* <sup>2</sup>	コンペアマッチフラグ B [セット条件] • TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードしたあと、CMFB に 0 をライトしたとき • CMIB 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 で、かつ転送カウンタが 0 でないとき
6	CMFA	0	R/(W)* <sup>2</sup>	コンペアマッチフラグ A [セット条件] • TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードしたあと、CMFA に 0 をライトしたとき • CMIA 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 で、かつ転送カウンタが 0 でないとき
5	OVF	0	R/(W)* <sup>2</sup>	タイマオーバフローフラグ [セット条件] • TCNT の値が H'FF から H'00 にオーバフローしたとき [クリア条件] • OVF = 1 の状態で OVF をリードしたあと、OVF に 0 をライトしたとき
4		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	OS3	0	R/W	アウトプットセレクト 3、2
2	OS2	0	R/W	TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

## 12. 8ビットタイマ (TMR)

ビット	ビット名	初期値	R/W	説明
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 \*1 H8S/2237 グループ、H8S/2227 グループにはありません。

\*2 フラグをクリアするための 0 ライトのみ可能です。

### • TCSR\_2\*<sup>1</sup>

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* <sup>2</sup>	コンペアマッチフラグ B [セット条件] • TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードしたあと、CMFB に 0 をライトしたとき • CMIB 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 で、かつ転送カウンタが 0 でないとき
6	CMFA	0	R/(W)* <sup>2</sup>	コンペアマッチフラグ A [セット条件] • TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードしたあと、CMFA に 0 をライトしたとき • CMIA 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 で、かつ転送カウンタが 0 でないとき
5	OVF	0	R/(W)* <sup>2</sup>	タイマオーバフローフラグ [セット条件] • TCNT の値が H'FF から H'00 にオーバフローしたとき [クリア条件] • OVF = 1 の状態で OVF をリードしたあと、OVF に 0 をライトしたとき
4		0	R/W	リザーブビット リード/ライト可能です。ライトするときは 0 をライトしてください。

ビット	ビット名	初期値	R/W	説明
3	OS3	0	R/W	アウトプットセレクト 3、2 TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
2	OS2	0	R/W	
1	OS1	0	R/W	アウトプットセレクト 1、0 TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
0	OS0	0	R/W	

【注】 \*1 H8S/2237 グループ、H8S/2227 グループにはありません。

\*2 フラグをクリアするための 0 ライトのみ可能です。

## 12.4 動作説明

### 12.4.1 パルス出力

任意のデューティパルスを出力させる例を図 12.2 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

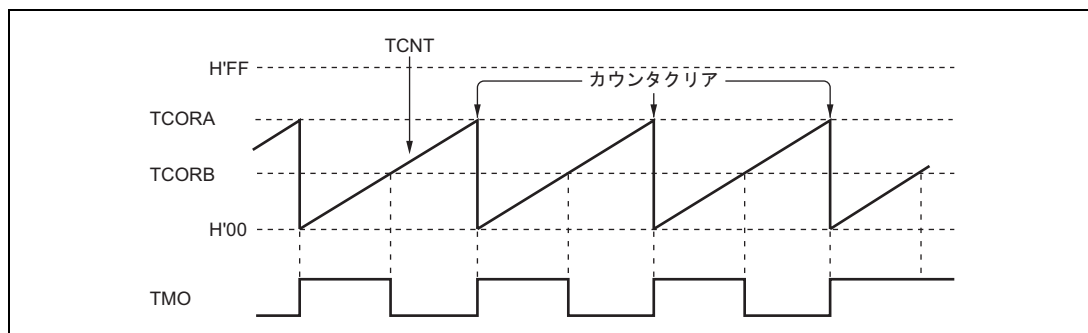


図 12.2 パルス出力例

## 12.5 動作タイミング

### 12.5.1 TCNTのカウントタイミング

内部クロック動作の場合のTCNTのカウントタイミングを図12.3に示します。また、外部クロック動作の場合のTCNTのカウントタイミングを図12.4に示します。なお外部クロックのパルス幅は、単エッジの場合は1.5ステート以上、両エッジの場合は2.5ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

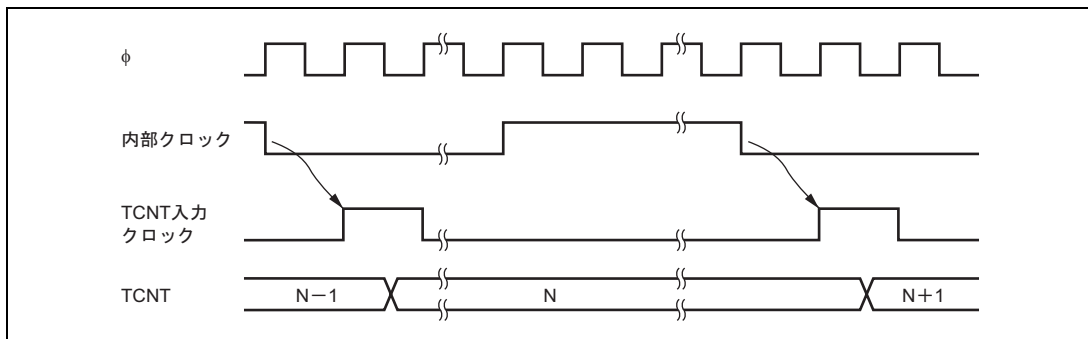


図 12.3 内部クロック動作時のカウントタイミング

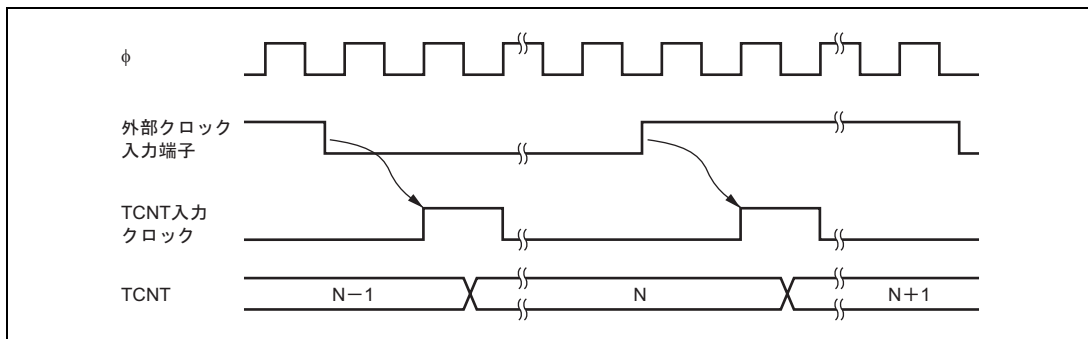


図 12.4 外部クロック動作時のカウントタイミング



### 12.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致したあと、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 12.5 に示します。

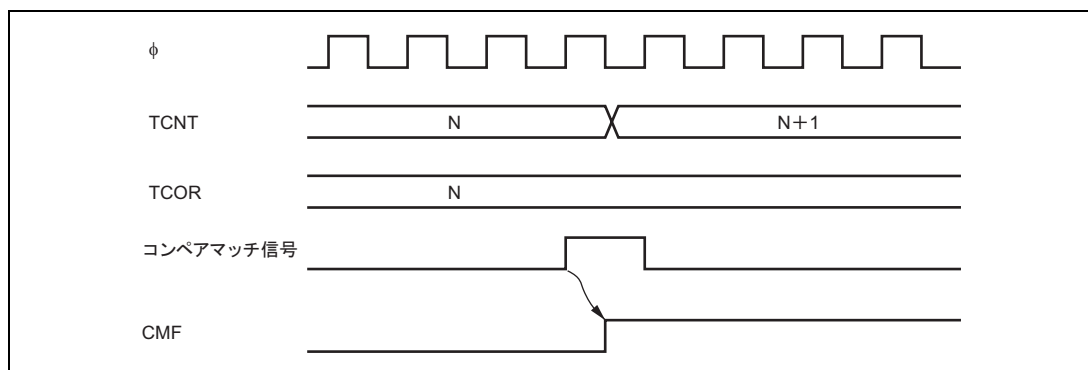


図 12.5 コンペアマッチ時の CMF フラグのセットタイミング

### 12.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3 ~ OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 12.6 に示します。

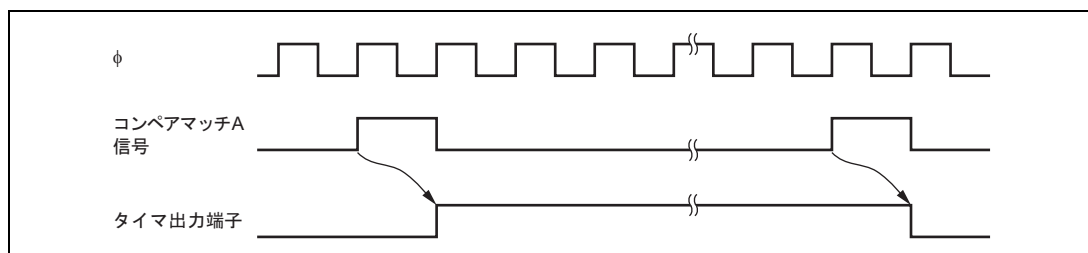


図 12.6 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

### 12.5.4 コンペアマッチによるカウンタクリアタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択によりコンペアマッチAまたはコンペアマッチBでクリアされます。コンペアマッチによるカウンタクリアタイミングを図12.7に示します。

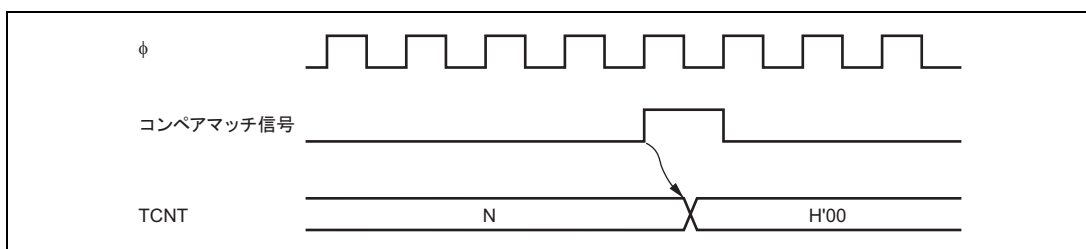


図 12.7 コンペアマッチによるカウンタクリアタイミング

### 12.5.5 TCNTの外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は1.5ステート以上必要となります。外部リセット入力によるクリアタイミングを図12.8に示します。

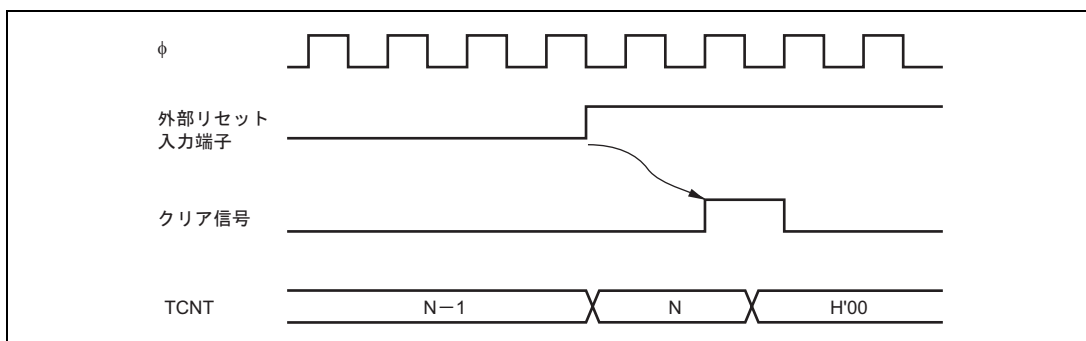


図 12.8 外部リセット入力によるクリアタイミング

### 12.5.6 オーバフローフラグ(OVF)のセットタイミング

TCSRのOVFは、TCNTがオーバフロー(H'FF H'00)したとき出力されるオーバフロー信号により1にセットされます。OVFフラグのセットタイミングを図12.9に示します。

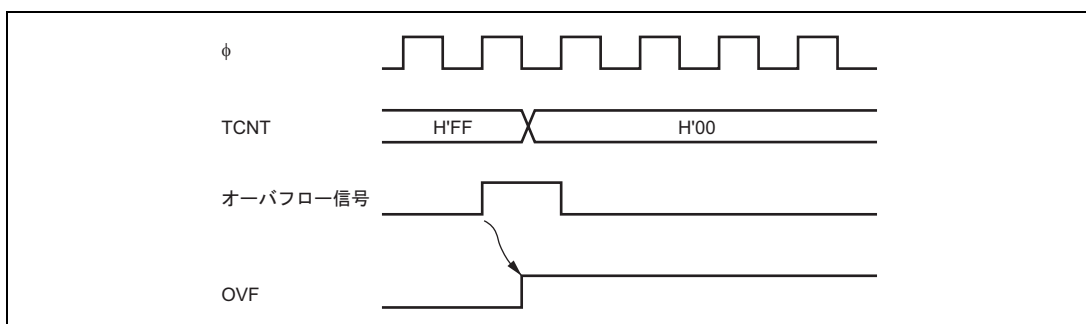


図 12.9 OVF フラグのセットタイミング

### 12.6 カスケード接続時の動作

TCR\_0、TCR\_1 (TCR\_2、TCR\_3) \*のいずれか一方のCKS2~CKS0ビットをB'100に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットタイマモードか、またはチャンネル0 (チャンネル2) \*の8ビットタイマのコンペアマッチをチャンネル1 (チャンネル3) \*のタイマでカウントするコンペアマッチカウントモードにすることができます。チャンネル0とチャンネル1をカスケード接続する場合で以下説明します。

【注】 \* H8S/2237グループ、H8S/2227グループにはありません。

#### 12.6.1 16ビットカウントモード

TCR\_0のCKS2~CKS0ビットがB'100のとき、タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

##### (1) コンペアマッチフラグのセット

- TCSR\_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR\_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

##### (2) カウンタクリア指定

- TCR\_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT\_0、TCNT\_1の両方) がクリアされます。また、TMR101端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT\_0、TCNT\_1の両方) がクリアされます。
- TCR\_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

##### (3) 端子出力

- TCSR\_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR\_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

#### 12.6.2 コンペアマッチカウントモード

TCR\_1のCKS2~CKS0ビットがB'100のとき、TCNT\_1はチャンネル0のコンペアマッチAをカウントします。チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

## 12.7 割り込み要因

### 12.7.1 割り込み要因と DTC 起動

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表12.2に各割り込み要因と優先順位を示します。各割り込み要因は、TCRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、CMIA、CMIB割り込みによりDTCを起動できます。

表 12.2 8ビットタイマの割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
CMIA0	TCORA_0のコンペアマッチ	CMFA	可	高
CMIB0	TCORB_0のコンペアマッチ	CMFB	可	↑
OVI0	TCNT_0のオーバーフロー	OVF	不可	低
CMIA1	TCORA_1のコンペアマッチ	CMFA	可	高
CMIB1	TCORB_1のコンペアマッチ	CMFB	可	↑
OVI1	TCNT_1のオーバーフロー	OVF	不可	低
CMIA2*	TCORA_2のコンペアマッチ	CMFA	可	高
CMIB2*	TCORB_2のコンペアマッチ	CMFB	可	↑
OVI2*	TCNT_2のオーバーフロー	OVF	不可	低
CMIA3*	TCORA_3のコンペアマッチ	CMFA	可	高
CMIB3*	TCORB_3のコンペアマッチ	CMFB	可	↑
OVI3*	TCNT_3のオーバーフロー	OVF	不可	低

【注】 \* H8S/2237グループ、H8S/2227グループにはありません。

### 12.7.2 A/D変換器の起動

チャンネル0のコンペアマッチAのみ、A/D変換器を起動することができます。チャンネル0のコンペアマッチAの発生により、TCR\_0のCMFAフラグが1にセットされたとき、ADTEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、8ビットタイマの変換開始トリガが選択されていれば、A/D変換が開始されます。

## 12.8 使用上の注意事項

### 12.8.1 TCNT のライトとカウンタクリアの競合

図 12.10 のように TCNT のライトサイクル中の  $T_2$  ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

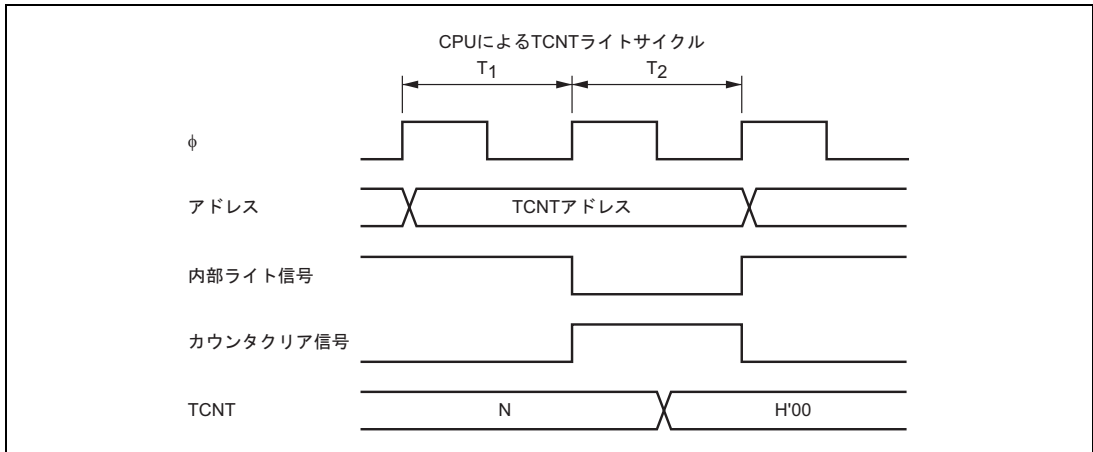


図 12.10 TCNT のライトとクリアの競合

### 12.8.2 TCNT のライトとカウントアップの競合

図 12.11 のように TCNT のライトサイクル中の  $T_2$  ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

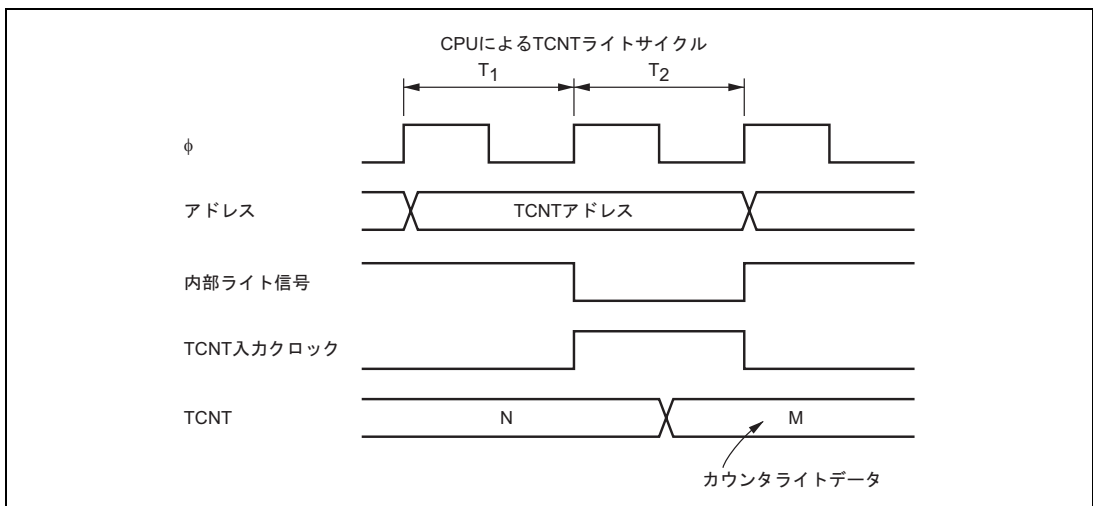


図 12.11 TCNT のライトとカウントアップの競合

### 12.8.3 TCOR のライトとコンペアマッチの競合

図 12.12 のように TCOR のライトサイクル中の  $T_2$  ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

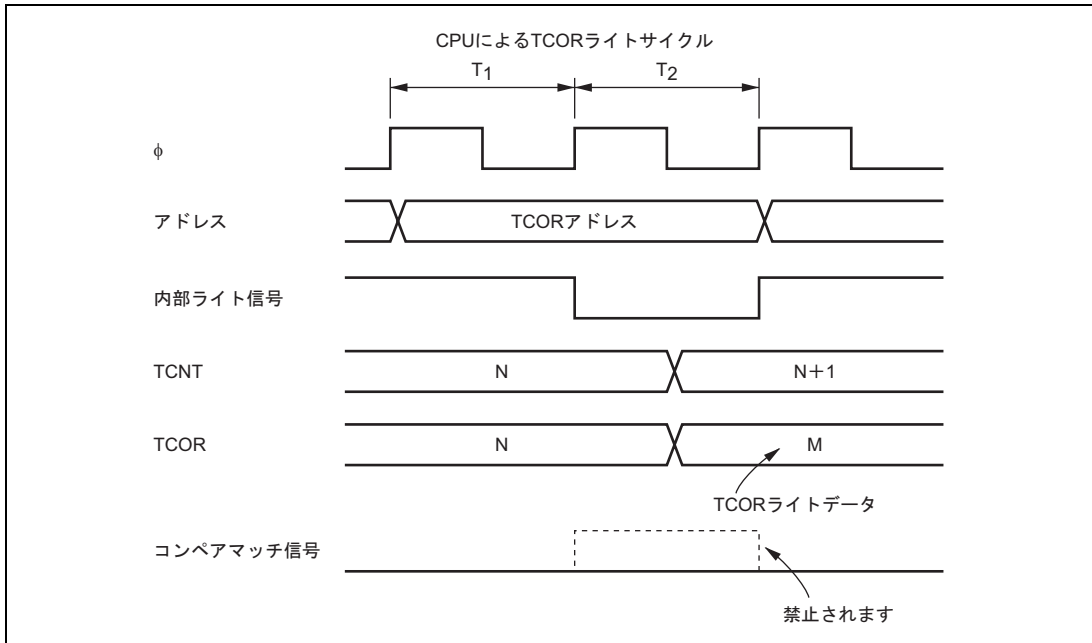


図 12.12 TCOR のライトとコンペアマッチの競合

### 12.8.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 12.3 に示すタイマ出力の優先順位に従って動作します。

表 12.3 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
1 出力	↑
0 出力	↑
変化しない	低

### 12.8.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 12.4 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 12.4 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 12.4 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low Low レベル* <sup>1</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low High レベル* <sup>2</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>



No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High Low レベル* <sup>3</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 \*1 Low レベル 停止、および停止 Low レベルの場合を含みます。

\*2 停止 High レベルの場合を含みます。

\*3 High レベル 停止を含みます。

\*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNTはカウントアップされてしまいます。

### 12.8.6 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPUの割り込み要因、またはDTCの起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードとしてください。

### 12.8.7 カスケード接続時のモード設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TCNT\_0、TCNT\_1(CNT\_2、CNT\_3) \*の入力クロックが発生しなくなるためカウントが停止して動作しません。この設定は行わないでください。

【注】 \* H8S/2237 グループ、H8S/2227 グループにはありません。

## 12. 8ビットタイマ (TMR)

---

---

## 13. ウォッチドッグタイマ (WDT)

---

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、2 チャンネルを内蔵しています。システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 13.1 に示します。

### 13.1 特長

- WDT\_0は8種類、WDT\_1は16種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

#### ウォッチドッグタイマモード

- 内部リセットは、パワーオンリセットまたはマニュアルリセットを選択可能、WDT\_0ではカウンタがオーバーフローすると、本LSI内部をリセットするかしないかを選択可能
- WDT\_1ではカウンタがオーバーフローすると、本LSI内部をパワーオンリセットするかまたは内部NMI割り込みを発生するかを選択可能

#### インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生
- 選択したクロックをBUZZ出力端子から出力可能 (WDT\_1)

### 13. ウォッチドッグタイマ (WDT)

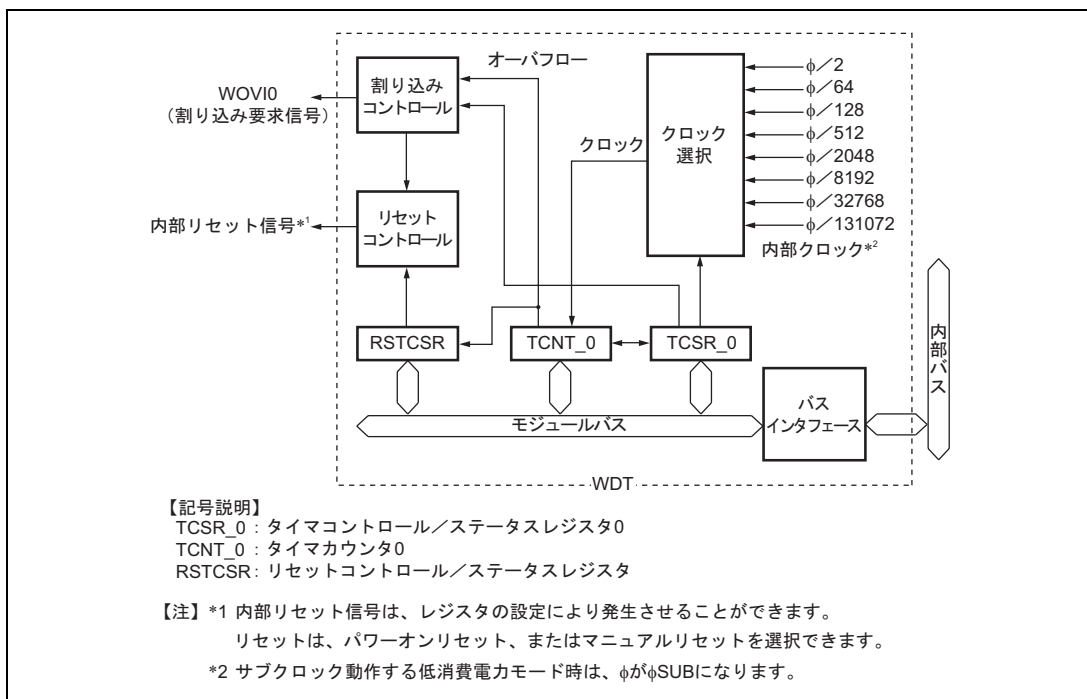


図 13.1 WDT\_0のブロック図(1)

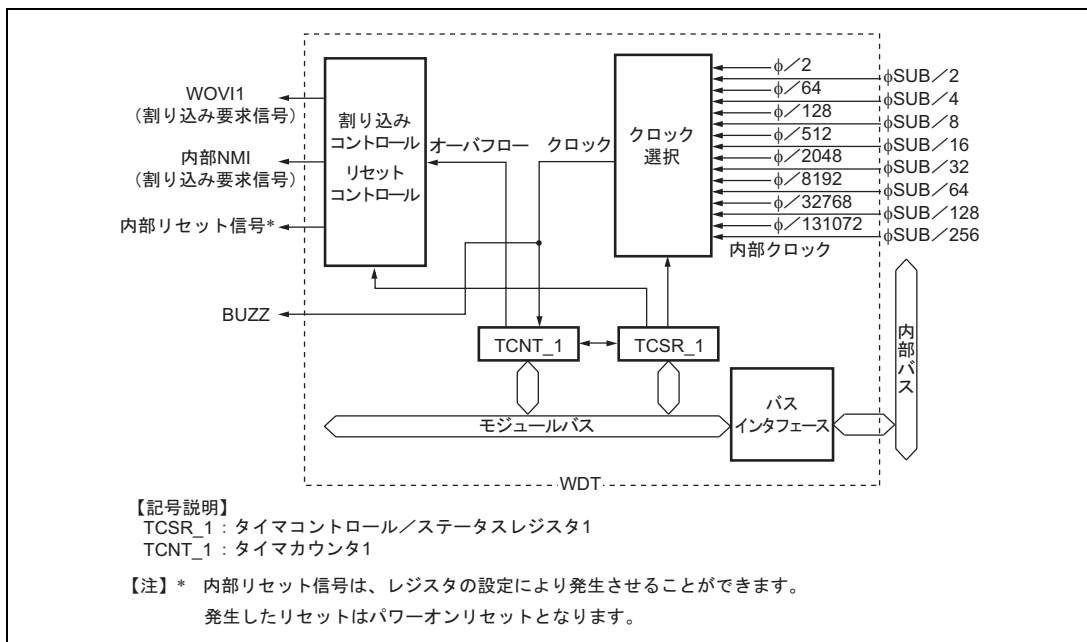


図 13.1 WDT\_1のブロック図(2)

## 13.2 入出力端子

WDT の端子を表 13.1 に示します。

表 13.1 端子構成

名 称	記 号	入出力	機 能
ブザー出力	BUZZ	出力	WDT_1 で選択したクロック出力

## 13.3 レジスタの説明

WDT には、以下のレジスタがあります。TCSR、TCNT は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「13.6.1 レジスタアクセス時の注意事項」を参照してください。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。端子機能コントロールレジスタについては「7.3.6 端子機能コントロールレジスタ (PFCR)」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

### 13.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

タイマ動作中に TCNT を H'00 にする場合には直接 TCNT に H'00 をライトしてください。「13.6.7 TME ビットによる TCNT 初期化時の注意」も参照してください。

### 13.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

### 13. ウォッチドッグタイマ (WDT)

• TCSR\_0

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* <sup>1</sup>	<p>オーバフローフラグ</p> <p>TCNT がオーバフローしたことを示します。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TCNT がオーバフロー (H'FF H'00) したとき</li> </ul> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• OVF=1 の状態で、TCSR をリード*<sup>2</sup>後、OVF に 0 をライトしたとき</li> </ul>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード (CPU へのインターバルタイマ割り込み (WOVI) を要求)</p> <p>1 : ウォッチドッグタイマモード (内部リセット選択可能)</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4, 3		すべて 1		<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	<p>クロックセレクト 2-0</p> <p>TCNT に入力するクロックを選択します。( ) 内は <math>\phi = 10\text{MHz}</math> のときのオーバフロー周期*<sup>3</sup>を表します。</p> <p>000 : クロック <math>\phi / 2</math> (周期 51.2<math>\mu\text{s}</math>)</p> <p>001 : クロック <math>\phi / 64</math> (周期 1.6ms)</p> <p>010 : クロック <math>\phi / 128</math> (周期 3.2ms)</p> <p>011 : クロック <math>\phi / 512</math> (周期 13.2ms)</p> <p>100 : クロック <math>\phi / 2048</math> (周期 52.4ms)</p> <p>101 : クロック <math>\phi / 8192</math> (周期 209.8ms)</p> <p>110 : クロック <math>\phi / 32768</math> (周期 838.8ms)</p> <p>111 : クロック <math>\phi / 131072</math> (周期 3.36s)</p>

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 インターバルタイマ割り込みを禁止して、OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

\*3 オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

### 13. ウォッチドッグタイム (WDT)

• TCSR\_1

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* <sup>1</sup>	<p>オーバーフローフラグ</p> <p>TCNT がオーバーフローしたことを示します。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• TCNT がオーバーフロー (H'FF H'00) したとき</li> </ul> <p>ただし、ウォッチドッグタイムモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• TME ビットに 0 をライトしたとき</li> </ul> <p>OVF=1 の状態で、TCSR をリード<sup>※2</sup>後、OVF に 0 をライトしたとき</p>
6	WT/ $\overline{\text{IT}}$	0	R/W	<p>タイムモードセレクト</p> <p>ウォッチドッグタイムとして使用するか、インターバルタイムとして使用するかを選択します。</p> <p>0: インターバルタイムモード (CPU ヘインターバルタイム割り込み (WOVI) を要求)</p> <p>1: ウォッチドッグタイムモード (CPU ヘパワーオンリセットまたは NMI 割り込み要求)</p>
5	TME	0	R/W	<p>タイムイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	PSS	0	R/W	<p>プリスケラセレクト</p> <p>WDT_1 の TCNT の入力クロックソースを選択します。</p> <p>0: TCNT は<math>\phi</math>ベースのプリスケラ (PSM) の分周クロックをカウント</p> <p>1: TCNT は<math>\phi</math>SUB ベースのプリスケラ (PSS) の分周クロックをカウント</p>
3	RST/ $\overline{\text{NMI}}$	0	R/W	<p>リセットまたは NMI (RST/<math>\overline{\text{NMI}}</math>)</p> <p>ウォッチドッグタイムモードで TCNT オーバーフロー時にパワーオンリセットと NMI 割り込み要求のいずれかを選択します。</p> <p>0: NMI 割り込みを要求</p> <p>1: リセットを要求</p>

### 13. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
2	CKS2	0	R/W	クロックセレクト 2-0
1	CKS1	0	R/W	TCNT に入力するクロックを選択します。( )内は $\phi = 10\text{MHz}$ のときのオーバーフロー周期*3を表します。
0	CKS0	0	R/W	
				PSS=0 のとき
				000 : クロック $\phi / 2$ (周期 51.2 $\mu\text{s}$ )
				001 : クロック $\phi / 64$ (周期 1.6ms)
				010 : クロック $\phi / 128$ (周期 3.2ms)
				011 : クロック $\phi / 512$ (周期 13.2ms)
				100 : クロック $\phi / 2048$ (周期 52.4ms)
				101 : クロック $\phi / 8192$ (周期 209.8ms)
				110 : クロック $\phi / 32768$ (周期 838.8ms)
				111 : クロック $\phi / 131072$ (周期 3.36s)
				PSS=1 のとき
				000 : クロック $\phi\text{SUB} / 2$ (周期 15.6ms)
				001 : クロック $\phi\text{SUB} / 4$ (周期 31.3ms)
				010 : クロック $\phi\text{SUB} / 8$ (周期 62.5ms)
				011 : クロック $\phi\text{SUB} / 16$ (周期 125ms)
				100 : クロック $\phi\text{SUB} / 32$ (周期 250ms)
				101 : クロック $\phi\text{SUB} / 64$ (周期 500ms)
				110 : クロック $\phi\text{SUB} / 128$ (周期 1s)
				111 : クロック $\phi\text{SUB} / 256$ (周期 2s)

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 インターバルタイマ割り込みを禁止して、OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

\*3 オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバーフローするまでの時間です。



## 13.3.3 リセットコントロール/ステータスレジスタ (RSTCSR) (WDT\_0 のみ)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 $\overline{RES}$  端子からのリセット信号で初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。フラグをクリアするための 0 ライトのみ可能です。 [セット条件] •ウォッチドッグタイマモードで TCNT がオーバーフロー (H'FF H'00) したとき [クリア条件] •1 の状態をリードしたあと、0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0: TCNT がオーバーフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT_0 内の TCNT、TCSR はリセットされます。) 1: TCNT がオーバーフローすると内部がリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで TCNT がオーバーフローして発生する、内部リセットの種類を選択します。 0: パワーオンリセット 1: マニュアルリセット
4~0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 13.4 動作説明

#### 13.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときには、TCSR の  $WT/\overline{IT}$  ビット = 1 に、TME ビット = 1 に設定してください。

TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 をライトする)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローは発生しません。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、WDT\_0 では RSTCSR の RSTE ビットを 1 にセットした場合、LSI 内部をリセットする信号が 518 システムクロックの間出力されます。

WDT\_1 では、TCSR の  $RST/\overline{NMI}$  ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、本 LSI の内部をリセットする信号が 516 システムクロックの間出力されます。また、 $RST/\overline{NMI}$  ビットを 0 にクリアしておく、TCNT がオーバーフローしたときに、NMI 割り込み要求を発生 (クロックソースを  $\phi_{SUB}$  (PSS=1) とした場合、515 または 516 システムクロック) します。

ウォッチドッグタイマからの内部リセット要求と  $\overline{RES}$  端子からのリセット入力は、同一ベクタで処理されません。ウォッチドッグタイマからの内部リセット要求と  $\overline{RES}$  端子からのリセット入力が同時に発生したときは、 $\overline{RES}$  端子からのリセット入力が優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されません。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

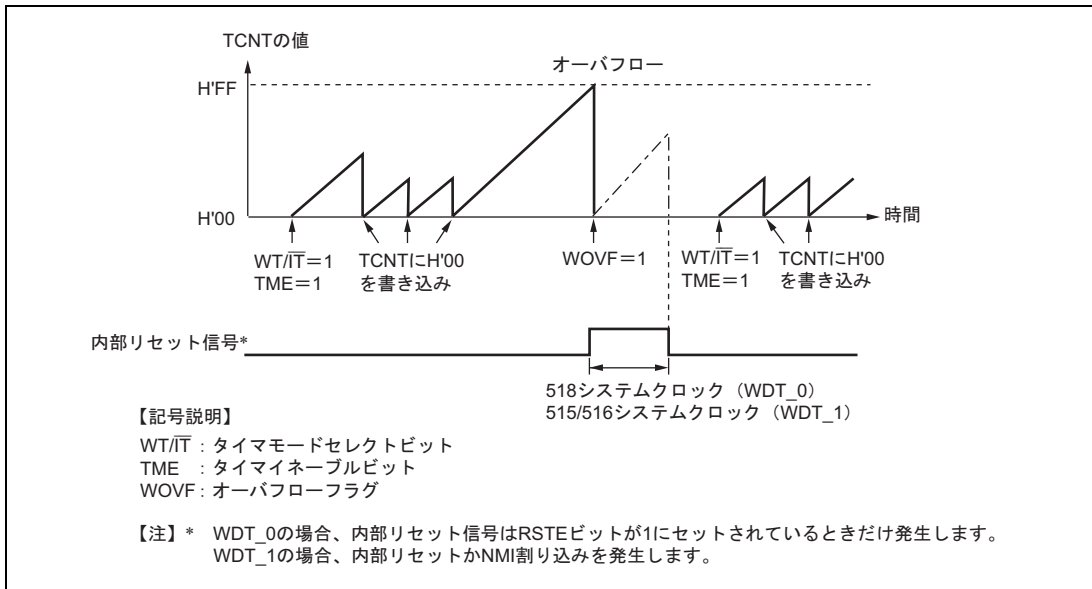


図 13.2 ウォッチドッグタイマモード時の動作

### 13.4.2 インターバルタイマモード

インターバルタイマモードとして使用するときには、TCSR の  $WT/\overline{IT}$  ビットを 0 に、TME ビットを 1 に設定してください。

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します (NMI 割り込みは発生しません)。したがって、一定時間ごとに、割り込みを発生させることができます。

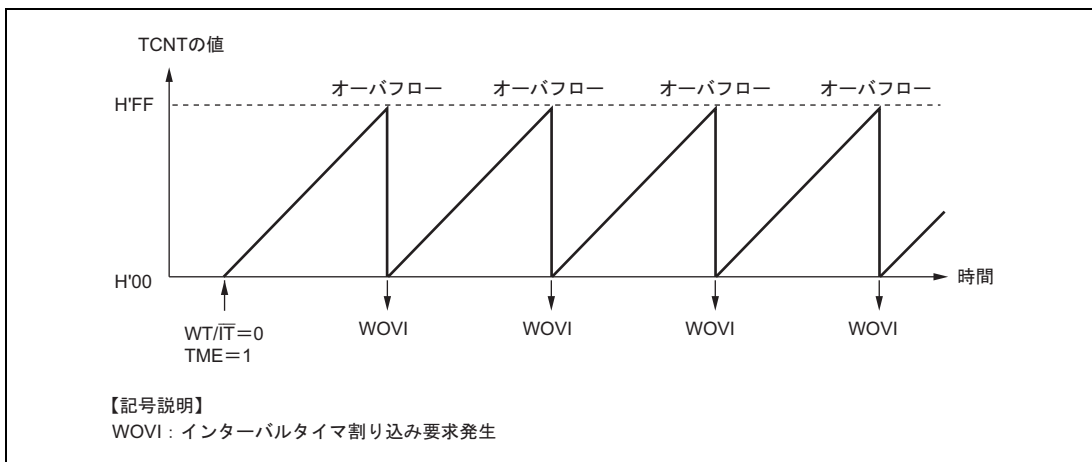


図 13.3 インターバルタイマモード時の動作

## 13. ウォッチドッグタイマ (WDT)

### 13.4.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 13.4 に示します。

WDT\_1 ではウォッチドッグモードで NMI 要求を選択した場合、TCNT がオーバフローすると TCSR の OVF ビットが 1 にセットされ、同時に NMI 割り込みが要求されます。

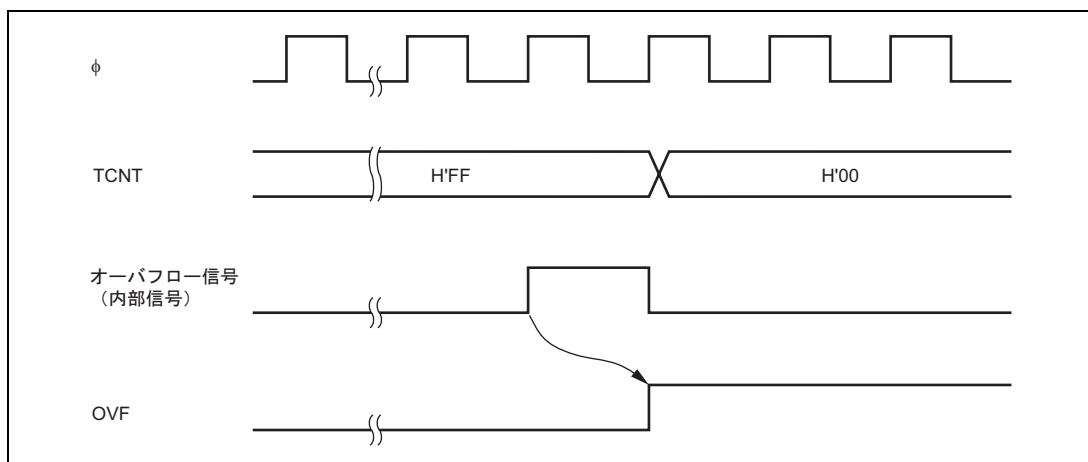


図 13.4 OVF のセットタイミング

### 13.4.4 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

WDT\_0の場合、ウォッチドッグタイマモードでTCNTがオーバフローすると、RSTCSRのWOVFビットが1にセットされます。また、RSTCSRのRSTEビットが1にセットしてあると、TCNTがオーバフローしたとき、本LSI全体に対して内部リセット信号を発生します (WOVI割り込みは発生しません)。これらのタイミングを図13.5に示します。

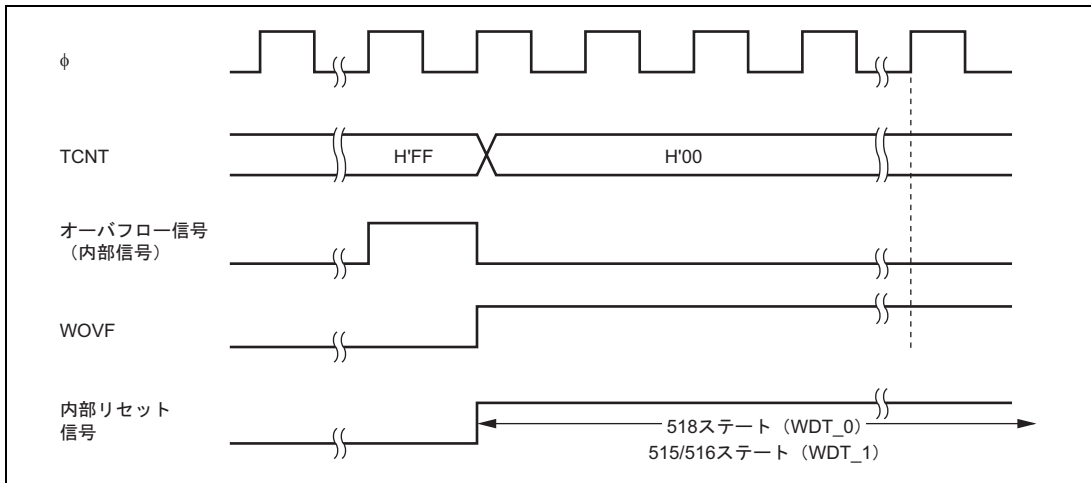


図 13.5 WOVF のセットタイミング

## 13.5 割り込み要因

インターバルタイマモード時、オーバフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSRのOVFフラグが1にセットされると常に要求されます。割り込み処理ルーチンで必ずOVFを0にクリアしてください。

ウォッチドッグタイマモードでNMI割り込み要求を選択時は、オーバフローによりNMI割り込み要求を発生します。

表 13.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ
WOVI	TCNTのオーバフロー (インターバルタイマモード)	OVF
NMI	TCNTのオーバフロー (ウォッチドッグタイマモード)	OVF

### 13.6 使用上の注意事項

#### 13.6.1 レジスタアクセス時の注意事項

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

##### (1) TCNT、TCSR へのライト

TCNT、TCSR ヘライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。これを図 13.6 に示します。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、TCNT ヘライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR ヘライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR ヘライトされます。

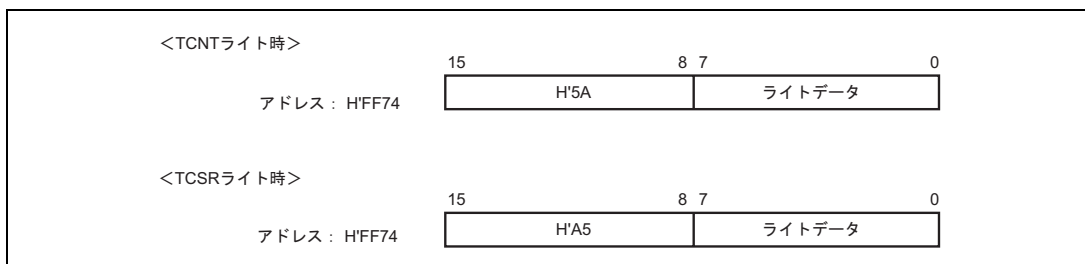


図 13.6 TCNT、TCSR へのライト

##### (2) RSTCSR へのライト

RSTCSR ヘライトするときは、ワード転送を行ってください。バイト転送命令では、ライトできません。これを図 13.7 に示します。

WOVF ビット 0 をライトする場合と、RSTE ビットと RSTS ビットにライトする場合は、ライトの方法が異なります。

WOVF ビット 0 をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれライトされます。このとき、WOVF ビットは影響を受けません。

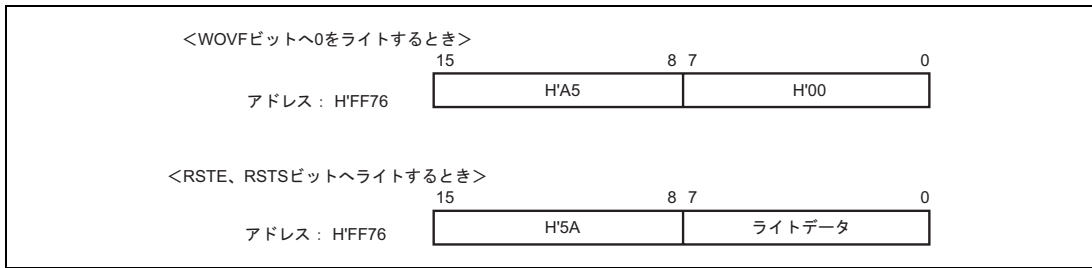


図 13.7 RSTCSR へのライト

(3) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FF74 に、TCNT はアドレス H'FF75 に、RSTCSR はアドレス H'FF77 にそれぞれ割り当てられています。

13.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の  $T_2$  ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 13.8 に示します。

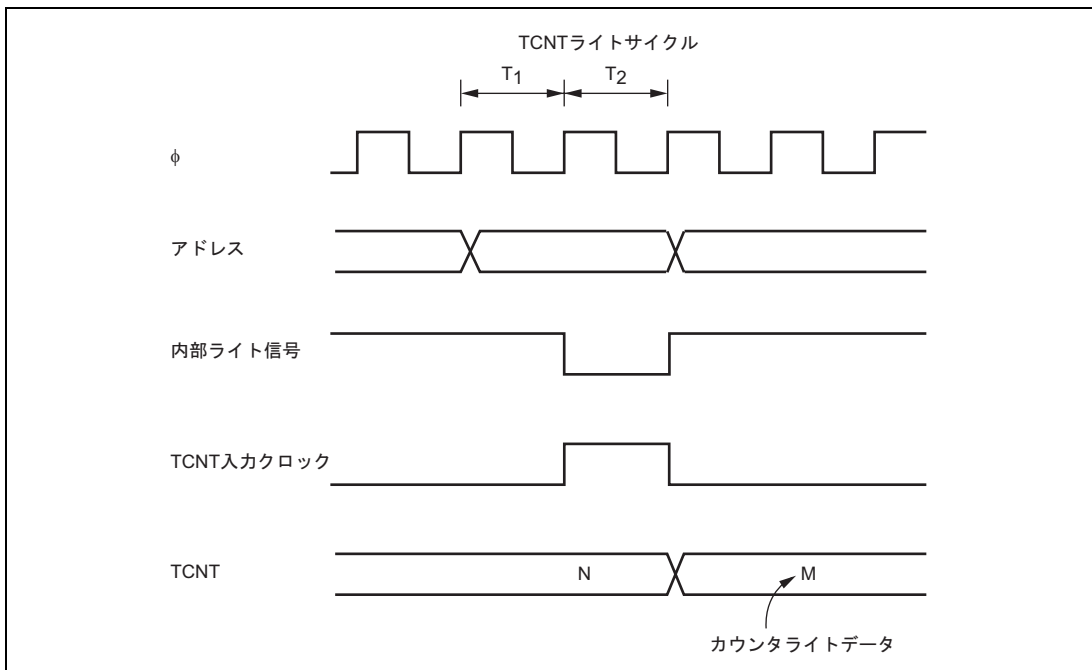


図 13.8 TCNT のライトとカウントアップの競合

## 13. ウォッチドッグタイマ (WDT)

---

### 13.6.3 PSS、CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の PSS、CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。PSS、CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 13.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われな場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 13.6.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT\_0 の TCNT\_0、TCSR\_0 はリセットされます。

オーバフローが発生してから 132 ステートの期間は、TCNT、TCSR、RSTCR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、オーバフローが発生してから 132 ステート待ったあと、WOVF フラグに 0 をライトしてください。

### 13.6.6 インターバルタイマモードでの OVF フラグのクリア

インターバルタイマモード時に、OVF フラグのセットと OVF フラグのリードが競合した場合、OVF=1 の状態をリードしたにもかかわらず、OVF に 0 をライトしてもフラグがクリアされないことがあります。インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合など、OVF フラグのセットとリードが競合する可能性がある場合は、フラグをクリアする際に、少なくとも OVF=1 の状態を 2 回以上リードしてから OVF に 0 をライトしてください。

### 13.6.7 TME ビットによる TCNT 初期化時の注意

TCNT の入力クロックに  $\phi_{SUB}$  (サブクロック) の分周クロックを選択 (TCSR の PSS=1 にセット) し、カウンタ (TCNT) が動作中に高速 / 中速モードで TCSR の TME=0 にクリアしてカウンタ (TCNT) の初期化を行った後、再度 TME=1 にセットして TCNT を動作させたとき、TCNT が初期化されない場合があります。この場合 TCNT の初期化は以下のいずれかの方法で実施してください。

1. TCNT に H'00 をライトしてください。
2. サブアクティブモードで TME ビットを "0" にしてください。



---

## 14. IEBus™ コントローラ(IEB)(H8S/2258グループ)

---

本 LSI は、1 チャンネルの IEBus™ コントローラ (IEB) を内蔵しています。IEBus™ (Inter Equipment Bus™) \*1 は、装置間のデータ転送を目的とした小規模のデジタルデータ転送システムです。

本 LSI は IEBus ドライバ/レシーバを内蔵していないため、専用のドライバ/レシーバ\*2を外付けする必要があります。

図 14.1 に IEB のブロック図を示します。

【注】 \*1 IEBus (Inter Equipment Bus) は NEC エレクトロニクスの商標です。

\*2 バスインタフェース用ドライバ/レシーバ IC : HA12187FP を推奨します。

### 14.1 特長

- IEBusのプロトコル制御(レイア2)に対応
  - 半二重非同期通信
  - マルチマスタ方式
  - 同報通信機能
  - 伝送速度の異なる3種類のモードが選択可能
- データトランスファコントローラ(DTC)による転送が可能
  - 送信バッファ/受信バッファは各々1バイト
  - モード2の最大伝送バイト数である128バイトまで連続送受信が可能
- 動作周波数
  - 12MHz、12.58MHz (IEBは外部クロックを1/2に分周して使用)

【注】 モード0、1 使用時±1.5%、モード2 使用時±0.5%

- IEBusドライバ/レシーバ(レイア1)外付けにより、耐ノイズ性が向上
- モジュールストップモードの設定可能

14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

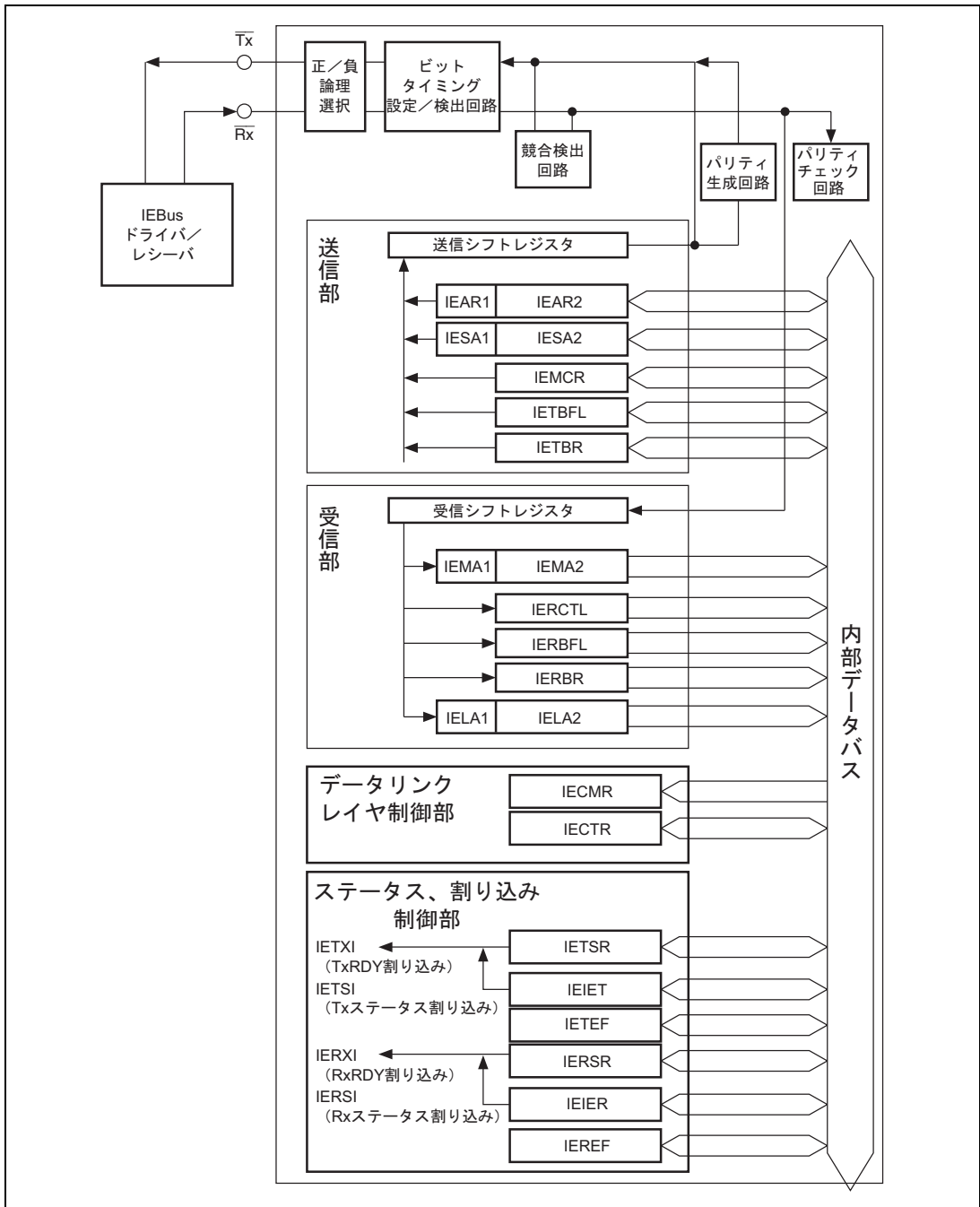


図 14.1 IEB のブロック図

### 14.1.1 IEBus 通信プロトコル

IEBus の概要は、以下のとおりです。

- 通信方式：半2重非同期通信
- マルチマスタ方式

IEBusに接続しているすべてのユニットがほかのユニットヘデータの伝送が実現できます。

- 同報通信機能 (1ユニット対複数ユニットの通信)  
 グループ同報通信：グループユニットに対しての同報通信  
 一斉同報通信：すべてのユニットに対しての同報通信
- 伝送速度の異なる3種類のモードが選択可能

表 14.1 3種類のモード

モード	$\phi = 12\text{MHz}$	$\phi = 12.58\text{MHz}$	最大伝送バイト数 (バイト/フレーム)
0	約 3.9kbps	約 4.1kbps	16
1	約 17kbps	約 18kbps	32
2	約 26kbps	約 27kbps	128

- アクセス制御：CSMA/CD (Carrier Sense Multiple Access with Collision Detection)

バス占有の優先順位は、次のとおりです。

1. 同報通信 (1ユニット対複数ユニットの通信) が通常通信 (1ユニット対1ユニットの通信) より優先
2. マスタアドレスの小さい方が優先

- 通信規模

ユニット数：最大50

ケーブル長：最長150m (ツイストペアケーブルを使用した場合)

【注】 実際のシステムにおける通信規模は、外付けの IEBus ドライバ/レシーバの特性や使用するケーブルの特性により異なります。

#### (1) バス占有権の決定 (アービトレーション)

IEBus に接続された装置は他の装置を制御するとき、バスを占有するための動作を行います。この動作を、アービトレーションと呼びます。アービトレーションでは、複数のユニットが同時に送信を開始した場合に、それらの中から1つのユニットに対し、バスを占有する許可を与える処理が行われます。

アービトレーションにより1装置のみがバス占有権を得るため、次のようなバス占有の優先条件が決められています。

#### (a) 通信の種類による優先

同報通信(1ユニット対複数ユニットの通信)が通常通信(1ユニット対1ユニットの通信)より優先されます。

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

### (b) マスタアドレスによる優先

通信種類が同じ場合には、マスタアドレスの最も小さいものが優先されます。

例：マスタアドレスは 12 ビットで構成され、H'000 のユニットが最上位の優先順位を持ち、H'FFF のユニットが最下位の優先順位を持ちます。

【注】 アービトレーションに負けた場合、自動的に再送信モードに入ることができます (再送信回数は、IEMCR の RN2 ~ RN0 ビットで 0 ~ 7 回に設定可能です)。

### (2) 通信モード

IEBus には、伝送速度の異なる 3 種の通信モードが用意されています。各通信モードにおける伝送速度および 1 通信フレームの中の最大伝送バイト数を、表 14.2 に示します。

表 14.2 各通信モードにおける伝送速度、最大伝送バイト数

通信モード	最大伝送バイト数 (バイト/フレーム)	実効伝送速度* <sup>1</sup> (kbps)	
		$\phi = 12\text{MHz}^{*2}$	$\phi = 12.58\text{MHz}^{*2}$
0	16	約 3.9	約 4.1
1	32	約 17	約 18
2	128	約 26	約 27

【注】 IEBus に接続した各装置は、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタユニットとその通信相手局 (スレーブユニット) の通信モードが同一でないと、通信は、正しく行われません。

$\phi = 12\text{MHz}$  の装置と  $\phi = 12.58\text{MHz}$  の装置間では通信モードが同一でも通信は正しく行われません。必ず同じ発振周波数で通信を行ってください。

\*1 最大伝送バイト数を伝送したときの実効伝送速度

\*2 本 LSI を使用したときの発振周波数

### (3) 通信アドレス

IEBus では、各装置に 12 ビットの固有な通信アドレスが割り当てられます。通信アドレスは、次のように構成されます。

上位 4 ビット：グループ番号 (各装置の所属するグループを識別する番号)

下位 8 ビット：ユニット番号 (グループ内の各装置を識別する番号)

### (4) 同報通信

通常の送信では、マスタユニットとその通信相手局となるスレーブユニットはともに 1 ユニットで、1 対 1 の送信または受信が行われます。それに対し、同報通信ではスレーブユニットが複数存在し、マスタユニットは複数のスレーブユニットに対して送信を行います。スレーブユニットは複数存在するため、通信中スレーブユニットからは、アクノリッジは返されません。

また、同報通信を行うか通常の通信を行うかは、同報ビットによって決まります。(同報ビットについては、「14.1.2 (1) (b) 同報ビット」を参照してください)。

同報通信には、次の 2 種類があります。

(a) グループ同報通信

通信アドレスの上位 4 ビットのグループ番号が等しいグループ内の装置に対して同報通信を行います。

(b) 一斉同報通信

グループ番号の値にかかわらずすべての装置に対して同報通信を行います。

グループ同報と一斉同報の識別は、スレープアドレスの値で行われます(スレープアドレスについては、「14.1.2

(3) スレープアドレスフィールド」を参照してください)。

### 14.1.2 伝送プロトコル

IEBus の伝送信号フォーマットを図 14.2 に示します。

通信データは、通信フレームとよぶ一連の信号として伝送されます。1 通信フレームで伝送可能なデータ数および伝送速度は、通信モードによって異なります。

フィールド名		(φ= 12MHz時)																		
ビット数		ヘッダ		マスタアドレスフィールド		スレープアドレスフィールド			コントロールフィールド			電文長フィールド			データフィールド					
		1	1	12	1	12	1	1	4	1	1	8	1	1	8	1	1	8	1	1
		スタートビット	同報ビット	マスタアドレス	P	スレープアドレス	P	A	コントロールビット	P	A	電文長ビット	P	A	データビット	P	A	データビット	P	A
伝送時間																				
モード0		約7330μs						約1590 × Nμs												
モード1		約2090μs						約410 × Nμs												
モード2		約1590μs						約300 × Nμs												

P : パリティビット (1ビット)  
A : アクノリッジビット (1ビット)  
    A = 0のとき : ACK  
    A = 1のとき : NAK  
N : データバイト数

【注】同報通信時には、アクノリッジビットの値は無視されます。

図 14.2 伝送信号フォーマット

(1) ヘッダ

ヘッダは、スタートビットおよび同報ビットで構成されています。

(a) スタートビット

スタートビットはデータ伝送の始まりをほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間口ウレベルの信号 (スタートビット) を出力し、同報ビットの出力へ移行します。

スタートビットを出力しようとしたとき、すでにほかのユニットがスタートビットを出力している場合には、

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

---

スタートビットを出力しないでそのユニットのスタートビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を始めたユニット以外は、このスタートビットを検出し受信状態へ移行します。

### (b) 同報ビット

同報ビットは、同報通信、または通常の通信の識別を行うビットです。

同報ビットが0の場合には同報通信、1の場合には通常の通信を表します。また同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブアドレスの値によって行われます (スレーブアドレスについては、「14.1.2 (3) スレーブアドレスフィールド」を参照してください)。

同報通信の場合には通信相手局となるスレーブユニットが複数存在するため、(2)以降各フィールドでのアクノリッジビットは返されません。

2つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には、同報通信が通常の通信より優先し、アービトレーションに勝ち残ります。

### (2) マスタアドレスフィールド

マスタアドレスフィールドは、自分のユニットアドレス (マスタアドレス) をほかのユニットに送信するためのフィールドです。マスタアドレスフィールドはマスタアドレスビットとパリティビットで構成されています。

マスタアドレスは12ビットで構成されておりMSBより出力されます。

2つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタアドレスフィールドへ持ち越されます。

マスタアドレスフィールドでは、1ビット送信するたびに自分が出力しているデータとバス上のデータとの比較を行います。比較の結果、自分の出力しているマスタアドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断し、送信を中止し受信状態へ移行します。

IEBusはワイヤードANDで構成されているため、アービトレーションに参加しているユニット (アービトレーションマスタ) の中で、最小のマスタアドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に12ビットのマスタアドレス出力後、1つのユニットのみがマスタユニットとして送信状態で残ります。

次に、このマスタユニットはパリティビット\*を出力し、ほかのユニットに対してマスタアドレスを確定させ、スレーブアドレスフィールド出力へ移行します。

【注】 \* パリティは偶数パリティを使用しており、マスタアドレスビット中の1のビットの数が奇数のとき、パリティビットが1となります。

### (3) スレーブアドレスフィールド

スレーブアドレスフィールドは、通信を行いたいユニット (スレーブユニット) のアドレス (スレーブアドレス) を送信するためのフィールドです。スレーブアドレスフィールドはスレーブアドレスビット、パリティビットおよびアクノリッジビットで構成されています。

スレーブアドレスは12ビットで構成されMSBから出力されます。12ビットのスレーブアドレス送信後、スレーブアドレスが間違っても受信されることを避けるため、パリティビットを出力します。次に、スレーブユニットがバス上に存在することを確認するために、マスタユニットはスレーブユニットからのアクノリッジ信号の検出

を行います。アクノリッジ信号を検出した場合、コントロールフィールド出力へ移行します。ただし、同報通信時には、アクノリッジビットを検出せずに、コントロールフィールド出力へ移行します。

スレーブユニットは、スレーブアドレスが一致し、マスタアドレスとスレーブアドレスの両方のパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。スレーブユニットはパリティが奇数の場合、マスタアドレスまたはスレーブアドレスが正しく受信されなかったと判断し、アクノリッジ信号を出力しません。このとき、マスタユニットは、待機 (モニタ) 状態になり通信が終了します。

また、同報通信の場合は、スレーブアドレスは次のようにグループ同報か、一斉同報かの識別に使用されます。

スレーブアドレスが H'FFF のとき：一斉同報通信

スレーブアドレスが H'FFF 以外のとき：グループ同報通信

【注】 グループ同報通信時のグループ番号は、スレーブアドレスの上位 4 ビットの値になります。

#### (4) コントロールフィールド

コントロールフィールドは、次のデータフィールドの種類や方向を送信するためのフィールドです。コントロールフィールドはコントロールビット、パリティビットおよびアクノリッジビットで構成されています。

コントロールビットは 4 ビットで構成され MSB から出力されます。

コントロールビットに続いて、パリティビットが出力されます。パリティが偶数でかつ、マスタユニットの要求機能を実行可能な場合は、スレーブユニットはアクノリッジ信号を出力し、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブユニットがマスタユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブユニットはアクノリッジ信号を出力せず、待機 (モニタ) 状態に戻ります。

マスタユニットはアクノリッジ信号を確認後、次の電文長フィールドへ移行します。

アクノリッジ信号の確認ができない場合は、マスタユニットは待機状態になり、通信が終了します。ただし同報通信の場合には、マスタユニットはアクノリッジ信号を確認せずに、次の電文長フィールドへ移行します。

コントロールビットの内容については表 14.4 を参照してください。

#### (5) 電文長フィールド

電文長フィールドは、通信データのバイト数を指定するためのフィールドです。電文長フィールドは、電文長ビットと、パリティビットおよびアクノリッジビットで構成されます。

電文長ビットは 8 ビットで構成され、MSB から出力されます。通信データのバイト数を表 14.3 に示します。

表 14.3 電文長ビットの内容

電文長ビット (16 進)	送信データ・バイト数
H'01	1 バイト
H'02	2 バイト
.	.
.	.
H'FF	255 バイト
H'00	256 バイト

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

---

【注】 通信モードにより、1 フレームの最大伝送バイト数以上を設定すると、複数フレームでの通信となります。その際、2 回目以降は、電文長ビットは残りの通信データのバイト数となります。本 LSI では、2 回目以降は、電文長ビットは残りの通信データのバイト数をプログラムにより設定する必要があります。ハードウェアで自動的に設定されません。

このフィールドの動作は、マスタ送信時 (コントロールビットのビット 3 が 1) とマスタ受信時 (コントロールビットのビット 3 が 0) で異なります。

### (a) マスタ送信時

電文長ビットおよびパリティビットは、マスタユニットが出力します。スレーブユニットは、パリティが偶数であることを検出した場合、アクノリッジ信号を出力し、次のデータフィールドへ移行します。ただし、同報通信時では、スレーブユニットはアクノリッジ信号を出力しません。

また、スレーブユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機 (モニタ) 状態に戻ります。このとき、マスタユニットも待機状態に戻り、通信が終了します。

### (b) マスタ受信時

電文長ビットおよびパリティビットは、スレーブユニットが出力します。マスタユニットはパリティが偶数であることを検出した場合、アクノリッジ信号を出力します。

マスタユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断し、アクノリッジ信号を出力せず、待機状態に戻ります。このとき、スレーブユニットも待機状態に戻り、通信が終了します。

### (6) データフィールド

データフィールドは、スレーブユニットに対しデータを送受信するためのフィールドです。マスタユニットは、データフィールドを使用してスレーブユニットにデータを送信したり、スレーブユニットからデータを受信したりします。データフィールドはデータビット、パリティビット、およびアクノリッジビットで構成されています。

データユニットは 8 ビットで構成され MSB から出力されます。

データビットに続きパリティビットとアクノリッジビットが、それぞれマスタユニットおよびスレーブユニットより出力されます。

同報通信は、マスタユニットの送信動作のみに行われます。また、このときアクノリッジ信号は無視されます。

マスタ送信時とマスタ受信時の動作は次のようになります。

### (a) マスタ送信時

マスタユニットからスレーブユニットへ書き込みを行う場合、マスタユニットは、スレーブユニットに対してデータビット、パリティビットを送信します。スレーブユニットはデータビット、パリティビットを受信し、パリティが偶数で、かつ受信バッファが空いていれば、アクノリッジ信号を出力します。パリティが奇数、または受信バッファが空いていない場合には、スレーブユニットは対応するデータの受け付けを拒否し、アクノリッジ信号出力を行いません。

スレーブユニットからアクノリッジ信号が出力されなかった場合、マスタユニットは再び同じデータを送信します。この動作はスレーブユニットからのアクノリッジ信号を検出するか、データ最大伝送バイト数を超えるまで続けられます。



パリティが偶数で、スレーブユニットからアクノリッジ信号が出力された場合は、データに続きがあり、かつ最大伝送バイト数を超えていなければ、マスタユニットは次のデータを送信します。

また、同報通信の場合では、スレーブユニットからはアクノリッジ信号は出力されず、マスタユニットはデータを1バイトごとに転送します。

#### (b) マスタ受信時

マスタユニットがスレーブユニットから読み込みを行う場合、マスタユニットはすべての読み込みビットに対応する同期信号を出力します。

スレーブユニットは、データ、パリティビットの内容をマスタユニットからの同期信号に応じてバス上に出力します。

マスタユニットは、スレーブユニットの出力したデータパリティビットを読み込み、パリティを確認します。

パリティが奇数の場合、または受信バッファが空いていない場合は、マスタユニットはそのデータ受け付けを拒否し、アクノリッジ信号を出力しません。1通信フレームで送信可能な最大伝送バイト数以内であれば、マスタユニットは同じデータの読み込み動作を繰り返します。また、パリティが偶数で、かつ受信バッファが空いていれば、マスタユニットはデータを受け付け、アクノリッジ信号を返します。1フレームで送信可能な最大バイト数以内であればマスタユニットは次のデータを読み込みます。

#### (7) パリティビット

パリティビットは、伝送データに誤りが無いことを確認するために使用されます。

パリティビットは、マスタアドレスビット、スレーブアドレスビット、コントロールビット、電文長ビット、データビットの各データに対して付加されます。

パリティは、偶数パリティです。データの中の1のビット数が奇数の場合は、パリティビットは1となります。データ中の1の数が偶数の場合は、パリティビットは0となります。

#### (8) アクノリッジビット

通常通信(1ユニット対1ユニット間の通信)においては、データを正しく受け付けたかを確認するために、次の箇所にアクノリッジビットが付加されます。

- スレーブアドレスフィールドの最後
- コントロールフィールドの最後
- 電文長フィールドの最後
- データフィールドの最後

アクノリッジビットの定義は次のとおりです。

- 0: 伝送データを認識したことを表します (ACK)
- 1: 伝送データを認識しなかったことを表します (NAK)

ただし、同報通信の場合には、アクノリッジビットの内容は無視されます。

#### (a) スレーブアドレスフィールドの最後のアクノリッジビット

スレーブアドレスフィールドの最後のアクノリッジビットは、次の場合、NAKとなり、伝送は中止されます。

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

---

- マスタアドレスビットまたはスレーブアドレスビットのパリティが正しくない場合
- タイミングエラー (ビットフォーマットにエラー) が発生した場合
- スレーブユニットが存在しなかった場合

### (b) コントロールフィールドの最後のアクノリッジビット

コントロールフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- コントロールビットのパリティが正しくない場合
- スレーブ受信バッファ\*が空でないのに、コントロールビットのビット3が1 (書き込み動作) の場合
- スレーブ送信バッファ\*が空なのに、コントロールビットがデータの読み込み (H'3、H'7) の場合
- ロックを設定されているのに、ロックを設定したユニット以外からコントロールビットのH'3、H'6、H'7、H'A、H'B、H'E、H'Fを要求した場合
- ロックを設定されていないのに、コントロールビットがロックアドレスの読み込み (H'4、H'5) の場合
- タイミングエラーが発生した場合
- 未定義のコントロールビットの場合

【注】 \* 14.1.3 (1) スレーブステータス (SSR) の読み込み (コントロールビット : H'0、H'6) を参照してください。

### (c) 電文長フィールドの最後のアクノリッジビット

電文長フィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- 電文長ビットのパリティが正しくない場合
- タイミングエラーが発生した場合

### (d) データフィールドの最後のアクノリッジビット

データフィールドの最後のアクノリッジビットは、次の場合、NAK となり、伝送は中止されます。

- データビットのパリティが正しくない場合\*
- タイミングエラーが前回のアクノリッジビット伝送以降で発生した場合
- 受信バッファがフルの状態になり、それ以上のデータを受け付けることができない場合\*

【注】 \* この場合、送信側では1フレームで伝送可能な最大伝送バイト数以内であれば、最大伝送バイト数に達するまでそのデータフィールドの送信を再実行します。

## 14.1.3 伝送データ (データフィールドの内容)

データフィールドの内容は、コントロールビットで示されるデータになります。

表 14.4 コントロールビットの内容

設定値	ビット 3* <sup>1</sup>	ビット 2	ビット 1	ビット 0	機能* <sup>2</sup>
H'0	0	0	0	0	スレープステータス (SSR) の読み込み
H'1	0	0	0	1	未定義、使用禁止
H'2	0	0	1	0	未定義、使用禁止
H'3	0	0	1	1	データ読み込みとロック
H'4	0	1	0	0	ロックアドレスの読み込み (下位 8 ビット)
H'5	0	1	0	1	ロックアドレスの読み込み (上位 4 ビット)
H'6	0	1	1	0	スレープステータス (SSR) の読み込みとロック解除
H'7	0	1	1	1	データ読み込み
H'8	1	0	0	0	未定義、使用禁止
H'9	1	0	0	1	未定義、使用禁止
H'A	1	0	1	0	コマンド書き込みとロック
H'B	1	0	1	1	データ書き込みとロック
H'C	1	1	0	0	未定義、使用禁止
H'D	1	1	0	1	未定義、使用禁止
H'E	1	1	1	0	コマンド書き込み
H'F	1	1	1	1	データ書き込み

【注】 \*1 ビット 3 (MSB) の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータの転送方向が変わります。

ビット 3 が 1 の場合：マスタユニットからスレープユニットへ転送

ビット 3 が 0 の場合：スレープユニットからマスタユニットへ転送

\*2 H'3、H'6、H'A、H'B はロックの設定、および解除を指定するコントロールビットです。

H'1、H'2、H'8、H'9、H'C、H'D の未定義値が送信された場合はアクノリッジを返しません。

マスタユニットによりロックを設定されたユニットは、ロックを要求したマスタユニット以外から受信したコントロールビットが表 14.5 以外の場合、受け付けを拒否し、アクノリッジビットを出力しません。

表 14.5 ロックされたスレープユニットに対するコントロールフィールド

設定値	ビット 3	ビット 2	ビット 1	ビット 0	機能
H'0	0	0	0	0	スレープステータスの読み込み
H'4	0	1	0	0	ロックアドレスの読み込み (下位 8 ビット)
H'5	0	1	0	1	ロックアドレスの読み込み (上位 4 ビット)

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

### (1) スレープステータス (SSR) の読み込み (コントロールビット : H'0、H'6)

マスタユニットは、スレープステータスの読み込み (H'0、H'6) を行うことにより、スレープユニットが、アクノリッジビット (ACK) を返送しなかった理由を知ることができます。スレープステータスは、スレープステータスが最後に行った通信結果に対して決定されます。すべてのスレープユニットは、スレープステータスの情報を提供できます。スレープステータスについて、図 14.3 に示します。

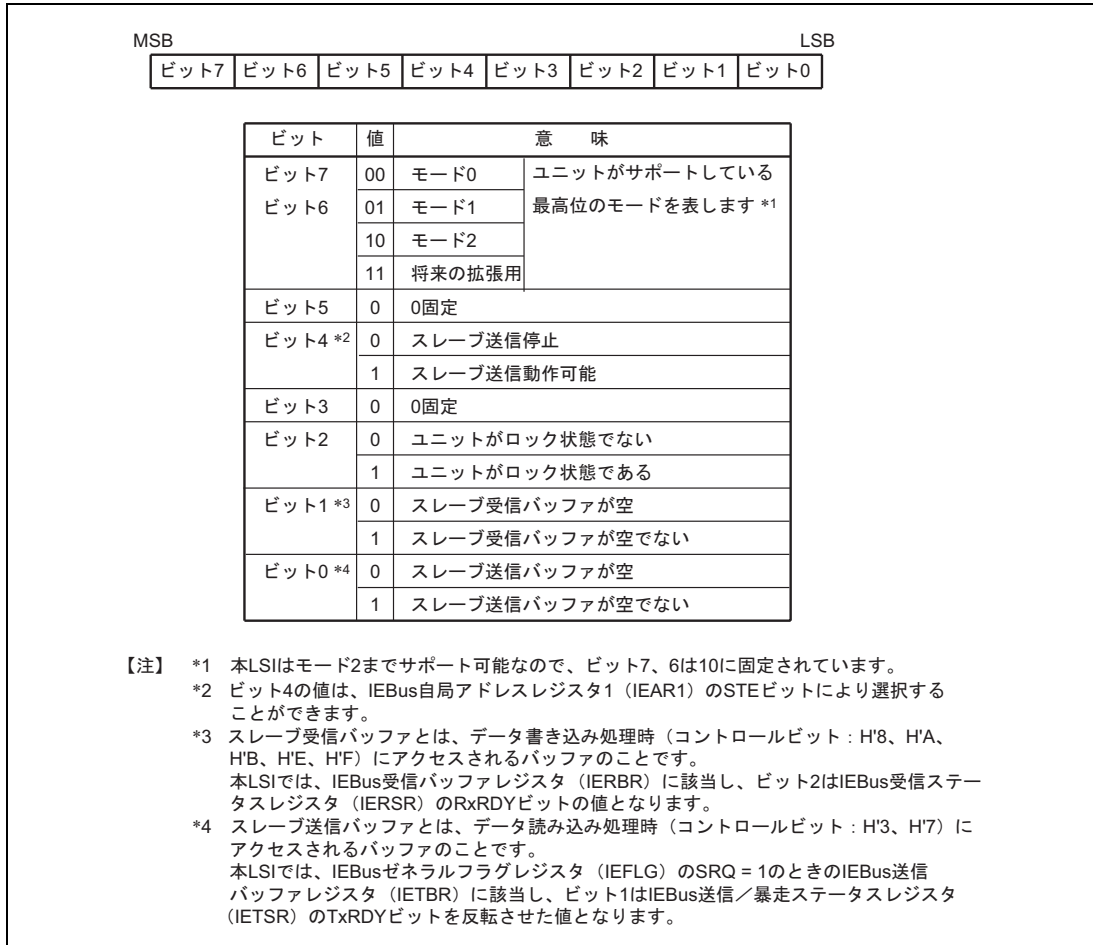


図 14.3 スレープステータス (SSR) のビット構成

### (2) データコマンド転送 (コントロールビット : 読み込み (H'3、H'7)、書き込み (H'A、H'B、H'E、H'F))

データ読み込み (H'3、H'7) の場合、スレープユニットのデータバッファにあるデータが、マスタユニットに読み込まれます。データ書き込み (H'B、H'F) またはコマンド書き込み (H'A、H'E) の場合、スレープユニットが受信したデータはそのスレープユニットの動作規定に従って処理されます。

- 【注】 1. データとコマンドの選択は、ユーザがシステムに応じて自由に決めることができます。  
2. H'3、H'A、H'B は通信条件、状態によりロックが設定されることがあります。

### (3) ロックアドレスの読み込み (コントロールビット : H'4、H'5)

ロックアドレスの読み込み処理時 (H'4、H'5) には、ロック命令を発行したマスタユニットのアドレス (12 ビット) が、次に示すように 1 バイト単位に構成されて、読み出されます。

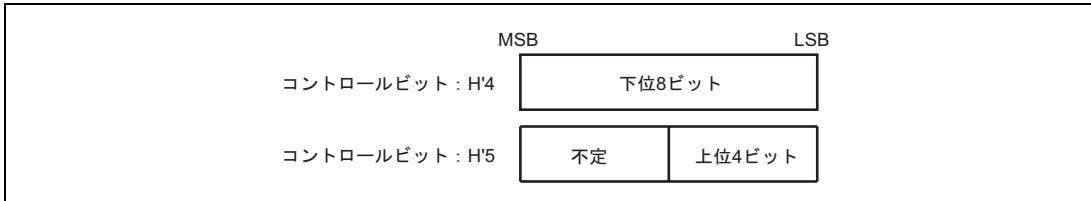


図 14.4 ロックアドレスの構成

### (4) ロックの設定、解除 (コントロールビット : 設定 (H'3、H'A、H'B)、解除 (H'6))

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。ロックを設定されたユニットは、ロックをかけたユニット以外からは受信しません。

ロックの設定および解除を、次に示します。

#### (a) ロックの設定

ロックを指定したコントロールビット (H'3、H'A、H'B) で、電文長フィールドのアクノリッジビット 0 の送受信終了後、電文長ビットにて指定されたバイト数分のデータの送受信を完了せずに通信フレームを終了した場合に、スレーブユニットはマスタユニットにより、ロックを設定されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット (ビット 2) が 1 にセットされます。

ロックが設定されるのは、フレーム最大伝送バイト数を越えたときのみで、他のエラー終了ではセットされません。

#### (b) ロックの解除

ロックを指定したコントロールビット (H'3、H'A、H'B) または、ロックの解除を指定したコントロールビット (H'6) で、1 通信フレーム内に、電文長ビットで指定したバイト数分のデータの送受信完了後、スレーブユニットは、マスタユニットによりロックを解除されます。また、このとき、スレーブステータスを表すバイト中のロックに関するビット (ビット 2) が 0 にリセットされます。

なお、同報通信時にはロックの設定および解除は行われません。

【注】 ロックの解除を指定されたユニット自身で解除するには、次の 3 種類の方法があります。

- ・ハードウェアリセットをかける
- ・モジュールストップモードに入れる
- ・IEBus コマンドレジスタ (IECMR) でロック状態解除コマンドを発行する

なお、ロック状態の有無は IEFLG の LCK ビットで確認できます。

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

### 14.1.4 ビットフォーマット

IEBus の通信フレームを構成するビットのフォーマット (概念) を図 14.5 に示します。

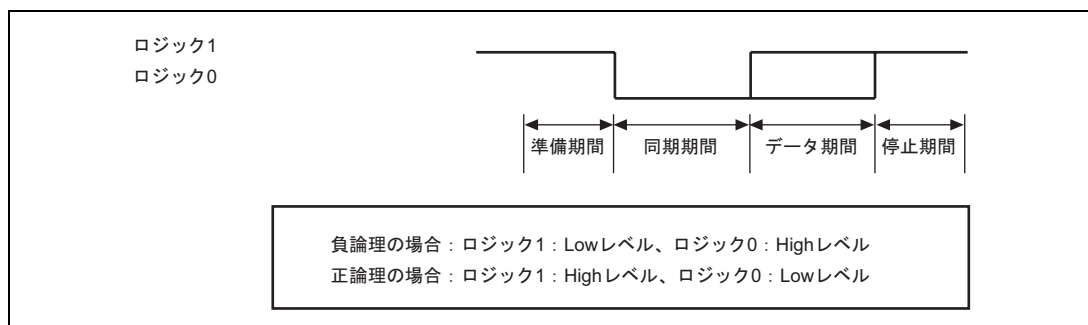


図 14.5 IEBus のビットフォーマット (概念)

以下、正論理の場合のビットフォーマットの各期間を説明します。

準備期間 : 最初のロジック 1 期間 (High レベル)

同期期間 : 次のロジック 0 期間 (Low レベル)

データ期間 : ビットの値を表す期間 (ロジック 1 : High レベル、ロジック 0 : Low レベル)

停止期間 : 最後のロジック 1 期間 (High レベル)

負論理の場合、正論理から反転したレベルになります。

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBus は、1 ビットごとに同期がとられています。また、ビット全体の時間と、そのビット内に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタユニットかスレーブユニットかの違いにより異なります。

## 14.2 入出力端子

IEB の入出力端子を表 14.6 に示します。

表 14.6 端子構成

名 称	記号	入出力	機 能
IEBus 送信データ端子	$\overline{\text{Tx}}$	出力	送信データ出力端子
IEBus 受信データ端子	$\overline{\text{Rx}}$	入力	受信データ入力端子

### 14.3 レジスタの説明

IEB には以下のレジスタがあります。モジュールストップコントロールレジスタについては「24.1.2 モジュールストップコントロールレジスタ A~C (MSTPCRA~MSTPCRC)」を参照してください。

- IEBusコントロールレジスタ (IECTR)
- IEBusコマンドレジスタ (IECMR)
- IEBusマスタコントロールレジスタ (IEMCR)
- IEBus自局アドレスレジスタ1 (IEAR1)
- IEBus自局アドレスレジスタ2 (IEAR2)
- IEBusスレーブアドレス設定レジスタ1 (IESA1)
- IEBusスレーブアドレス設定レジスタ2 (IESA2)
- IEBus送信電文長レジスタ (IETBFL)
- IEBus送信バッファレジスタ (IETBR)
- IEBus受信マスタアドレスレジスタ1 (IEMA1)
- IEBus受信マスタアドレスレジスタ2 (IEMA2)
- IEBus受信コントロールフィールドレジスタ (IERCTL)
- IEBus受信電文長レジスタ (IERBFL)
- IEBus受信バッファレジスタ (IERBR)
- IEBusロックアドレスレジスタ1 (IELA1)
- IEBusロックアドレスレジスタ2 (IELA2)
- IEBusゼネラルフラグレジスタ (IEFLG)
- IEBus送信 / 暴走ステータスレジスタ (IETSR)
- IEBus送信 / 暴走割り込み許可レジスタ (IEIET)
- IEBus送信エラーフラグレジスタ (IETEF)
- IEBus受信ステータスレジスタ (IERSR)
- IEBus受信割り込み許可レジスタ (IEIER)
- IEBus受信エラーフラグレジスタ (IEREF)

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

### 14.3.1 IEBus コントロールレジスタ (IECTR)

IECTR は、IEB の動作の制御 (IEBus 端子 / ポートの切り替え、入出力レベルの反転、受信動作許可) を設定します。

ビット	ビット名	初期値	R/W	説明
7	IEE	0	R/W	IEB 端子用端子の切り替え IEB 用の端子とポートとの端子切り替えをします。 0: PG3/Rx/CS1、PG2/Tx/CS2 端子は、PG3/CS1、PG2/CS2 端子として動作 1: PG3/Rx/CS1、PG2/Tx/CS2 端子は、Tx、Rx 端子として動作
6	IOL	0	R/W	入出力レベル (I/O レベル: IOL) Rx、Tx 端子の入出力端子のレベル (正論理、負論理) を選択します。 0: 端子の入出力は負論理 (ロジック 1 が Low レベル、ロジック 0 が High レベル) 1: 端子の入出力は正論理 (ロジック 1 が High レベル、ロジック 0 が Low レベル)
5	DEE	0	R/W	同報受信エラー割り込みイネーブル 同報受信では、マスタとスレーブ間でアクノリッジの転送を行わないため、スレーブが受信可能状態にあるかどうか、マスタでは判定できません。 本ビットを 1 にセットすると、同報受信のコントロールフィールドの受信時に、受信バッファが受信可能状態にない場合 (RE ビットが 1 にセットされていない状態か、RxRDY フラグがセットされている状態)、受信エラー割り込みが発生します (IEBus 受信エラーフラグには対応するビットがありませんので、注意してください)。その際、IEMA1、IEMA2 レジスタにマスタアドレスが格納されます。IERCTL は格納されません。 本ビットが 0 のときは、同報受信でコントロールフィールドの受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みは発生せず受信を中止して待機状態に入ります。マスタアドレスは保存されません。 0: コントロールフィールドまでの同報受信エラーを発生させない 1: コントロールフィールドまでの同報受信エラーを発生させる
4	CKS	0	R/W	入力クロック選択 本 LSI では常に 0 を設定してください。IEB で使用するクロックの選択を行います。
3	RE	0	R/W	レシーブイネーブル IEB の受信の許可 / 禁止を設定します。本ビットの設定は、フレーム受信前の初期設定で行ってください。コントロールフィールドの受信前に行った変更は有効ですが、コントロールフィールド受信後の変更は無効となり、変更前の値が有効になります。 0: 受信動作を禁止 1: 受信動作を許可



14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

ビット	ビット名	初期値	R/W	説明
2	LUEE	0	R/W	<p>最終バイトアンダランイネーブル</p> <p>データ送信時、データフィールドの最終バイトの転送でのアンダランを発生させるかどうかを設定します。</p> <p>アンダランエラーは、TxRDY フラグがセットされた状態 (送信バッファレジスタ (IETBR) が空) で、IEB が IETBR からデータを取り出す動作を行ったときに発生します。DTC を使用した送信では、最終バイトの転送後、DTC は TxRDY フラグをクリアしないため、CPU で TxRDY フラグをクリアしなかった場合、最終バイトの送信時にアンダランエラーが発生します。DTC を使用する場合は、本ビットを 0 にして、最終バイト送信時に発生するアンダランエラーをマスクしてください。DTC を使用しない場合は、本ビットを 1 に設定して最終バイト送信時のアンダランエラーを発生させてください。</p> <p>0: 最終バイト送信時に、アンダランエラーを発生しない (DTC 使用時)</p> <p>1: 最終バイト送信時に、アンダランエラーを発生 (DTC 未使用時)</p>
1、0	-	すべて 0	-	<p>リザーブビット</p> <p>リードすると 0 が読み出されます。ライトは無効です。</p>

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

### 14.3.2 IEBus コマンドレジスタ (IECMR)

IECMR は、IEB の通信の制御を行うためのコマンドを発行するレジスタです。本レジスタはライト専用レジスタのため、ビット操作命令でライトしないでください。「2.9.4 ライト専用ビットを含むレジスタのアクセス方法」を参照してください。

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて0	-	リザーブビット リード値は不定です。ビット操作命令を使用すると誤動作を起こすので、ビット操作命令は使用しないでください。ライトは無効です。
2	CMD2	0	W	コマンドビット IEB の通信制御を行うためのコマンドを発行します。本コマンド発行後、IEFLG の CMX ビットがセットされている間はコマンド実行中です。CMX が 0 になって、動作状態に移行します。リード値は不定です。ビット操作命令を使用すると誤動作を起こすので、ビット操作命令は使用しないでください。 000：ノーオペレーション。動作に影響なし 001：ロック状態（他局からの要求）を解除*1 010：マスタとしての通信を要求 011：マスタ通信を中止*2 100：未定義ビットです。本コマンドを発行しても動作に影響なし 101：スレーブからのデータ送信を要求 110：スレーブからのデータ送信を中止*3 111：未定義ビットです。本コマンドを発行しても動作に影響なし
1	CMD1	0	W	
0	CMD0	0	W	

【注】 \*1 スレーブ通信状態では、実行しないでください。スレーブ通信が終了した時点、あるいは、マスタ通信状態で、実行してください。スレーブ通信状態でこのコマンドを発行しても、無視されます。

\*2 マスタ通信中 (MRQ=1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されません。マスタ通信中に本コマンドを発行すると、通信コントローラは直ちに待機状態に入ります。同時に、発行されていたマスタ送信要求は終了します。(MRQ=0)

\*3 スレーブ送信 (SRQ=1) のときのみ、本コマンドは有効です。それ以外では、コマンドを発行しても無視されません。スレーブ送信中に本コマンドを発行すると、スレーブ送信を行う前では、SRQ=0 となるため、マスタからの送信要求に対応しなくなります。スレーブ送信を行っている状態でコマンドを発行すると、送信動作を中止し、待機状態になります。(SRQ=0)

## 14.3.3 IEBus マスタコントロールレジスタ (IEMCR)

IEMCR は、マスタ通信を行うときの通信条件 (同報通信 / 通常通信の選択、アービトレーション負けのとき再送の回数、コントロールビットの値) を設定します。本レジスタはスレーブ通信の場合は、設定する必要はありません。

ビット	ビット名	初期値	R/W	説明
7	SS	1	R/W	同報 / 通常通信の選択 マスタ通信時の、同報 / 通常通信の選択を行います。 0 : マスタ通信時、同報通信 1 : マスタ通信時、通常通信
6	RN2	0	R/W	再送回数 マスタ通信中にアービトレーションに負けた場合に、自動的に再送信を行う回数を設定します。設定回数分、アービトレーションに負けた場合、IETSR の TxE フラグと IETEF の AL ビットがセットされ、送信エラー終了となります。再送している間でアービトレーションに勝った場合、マスタアドレス送信後、再送回数は自動的に初期設定値に復帰します。  000 : 0 回 001 : 1 回 010 : 2 回 011 : 3 回 100 : 4 回 101 : 5 回 110 : 6 回 111 : 7 回
5	RN1	0	R/W	
4	RN0	0	R/W	

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

ビット	ビット名	初期値	R/W	説明	
3	CTL3* <sup>1</sup>	0	R/W	コントロールビット	
2	CTL2	0	R/W	マスタ送信時の、コントロールフィールドのコントロールビットの設定を行います。	
1	CTL1	0	R/W		
0	CTL0	0	R/W		0000 : スレープステータスの読み込み
					0001 : 未定義、使用禁止
				0010 : 未定義、使用禁止	
				0011 : データ読み込みとロック* <sup>2</sup>	
				0100 : ロックアドレスの読み込み (下位 8 ビット)	
				0101 : ロックアドレスの読み込み (上位 4 ビット)	
				0110 : スレープステータスの読み込みとロック解除* <sup>2</sup>	
				0111 : データ読み込み	
				1000 : 未定義、使用禁止	
				1001 : 未定義、使用禁止	
				1010 : コマンド書き込みとロック* <sup>2</sup>	
1011 : データ書き込みとロック* <sup>2</sup>					
1100 : 未定義、使用禁止					
1101 : 未定義、使用禁止					
1110 : コマンド書き込み					
1111 : データ書き込み					

【注】 \*1 CTL3 の値により、以後の電文長フィールドの電文長ビットおよびデータフィールドのデータ転送方向が変わります。

CTL3 が 1 の場合 : マスタユニットからスレープユニットへの転送

CTL3 が 0 の場合 : スレープユニットからマスタユニットへの転送

\*2 ロックの設定、および解除を指定するコントロールビットです。

### 14.3.4 IEBus 自局アドレスレジスタ 1 (IEAR1)

IEAR1 は、自局アドレスの下位 4 ビットと、通信モードを設定します。自局アドレスは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。

ビット	ビット名	初期値	R/W	説明
7	IAR3	0	R/W	IEBus 自局アドレス下位 4 ビット 自局アドレスの下位 4 ビットを設定します。
6	IAR2	0	R/W	
5	IAR1	0	R/W	
4	IAR0	0	R/W	
3	IMD1	0	R/W	IEBus 通信モード IEBus 通信モードの選択を行います。 00: 通信モード 0 01: 通信モード 1 10: 通信モード 2 11: 設定禁止
2	IMD0	0	R/W	
1	-	0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
0	STE	0	R/W	スレーブ送信設定 スレーブステータスレジスタのビット 4 の値を設定します。本ビットを 1 に設定すると、マスタユニットに対して、スレーブステータスレジスタの送信により、スレーブ送信可能状態である、という情報を与えます。本ビットはスレーブステータスレジスタの値を設定するだけで、スレーブ送信の動作には直接影響しません。 0: スレーブステータスのビット 4 は 0 (スレーブ送信停止状態) 1: スレーブステータスのビット 4 は 1 (スレーブ送信可能状態)

### 14.3.5 IEBus 自局アドレスレジスタ 2 (IEAR2)

IEAR2 は、自局アドレスの上位 8 ビットを設定します。本レジスタは、マスタ通信時には、マスタアドレスフィールドの値となります。スレーブ通信時には、受信したスレーブアドレスフィールドとの比較を行います。

ビット	ビット名	初期値	R/W	説明
7	IAR11	0	R/W	IEBus 自局アドレス上位 8 ビット 自局アドレスの上位 8 ビットを設定します。
6	IAR10	0	R/W	
5	IAR9	0	R/W	
4	IAR8	0	R/W	
3	IAR7	0	R/W	
2	IAR6	0	R/W	
1	IAR5	0	R/W	
0	IAR4	0	R/W	

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

---

### 14.3.6 IEBus スレーブアドレス設定レジスタ 1 (IESA1)

IESA1 は、通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。本レジスタは、スレーブ通信の場合、設定する必要はありません。

ビット	ビット名	初期値	R/W	説 明
7	ISA3	0	R/W	IEBus スレーブアドレス下位 4 ビット 通信相手のスレーブユニットのアドレスの下位 4 ビットを設定します。
6	ISA2	0	R/W	
5	ISA1	0	R/W	
4	ISA0	0	R/W	
3~0	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。

### 14.3.7 IEBus スレーブアドレス設定レジスタ 2 (IESA2)

IESA2 は、通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。本レジスタは、スレーブ通信の場合、設定する必要はありません。

ビット	ビット名	初期値	R/W	説 明
7	ISA11	0	R/W	IEBus スレーブアドレス上位 8 ビット 通信相手のスレーブユニットのアドレスの上位 8 ビットを設定します。
6	ISA10	0	R/W	
5	ISA9	0	R/W	
4	ISA8	0	R/W	
3	ISA7	0	R/W	
2	ISA6	0	R/W	
1	ISA5	0	R/W	
0	ISA4	0	R/W	

### 14.3.8 IEBus 送信電文長レジスタ (IETBFL)

IETBFL は、マスタ送信、スレーブ送信を行う際の電文長を設定します。

ビット	ビット名	初期値	R/W	説明
7	TBFL7	0	R/W	送信電文長ビット
6	TBFL6	0	R/W	マスタ送信、スレーブ送信する際の電文長の値を設定します。
5	TBFL5	0	R/W	通信モードにより、IETBFL に 1 フレームの最大伝送バイト数以上を設定すると、複数フレームでの通信になります。その際、2 回目以降は残りの通信データのバイト数が電文長の値となりますが、IETBFL の値は、最初に設定した状態のままです。2 回目以降のフレームでは残りの通信データのバイト数を再度設定してください。
4	TBFL4	0	R/W	
3	TBFL3	0	R/W	
2	TBFL2	0	R/W	
1	TBFL1	0	R/W	
0	TBFL0	0	R/W	

### 14.3.9 IEBus 送信バッファレジスタ (IETBR)

IETBR は、マスタ送信時、およびスレーブ送信時に送信するデータを書き込む 1 バイトのバッファです。

IETBR は、IETSR の TxRDY ビットが 1 のとき、空になっています。TxRDY の値をチェックして IETBR に送信データを設定します。

IETBR には、マスタ送信時、スレーブ送信時、共にデータフィールドで送信する値を書き込みます。

IEBus データ送信時の伝送信号フォーマットと各レジスタの関係を図 14.6 に示します。

ビット	ビット名	初期値	R/W	説明
7	TBR7	0	R/W	送信するデータを書き込む 1 バイトのバッファです。
6	TBR6	0	R/W	
5	TBR5	0	R/W	
4	TBR4	0	R/W	
3	TBR3	0	R/W	
2	TBR2	0	R/W	
1	TBR1	0	R/W	
0	TBR0	0	R/W	

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

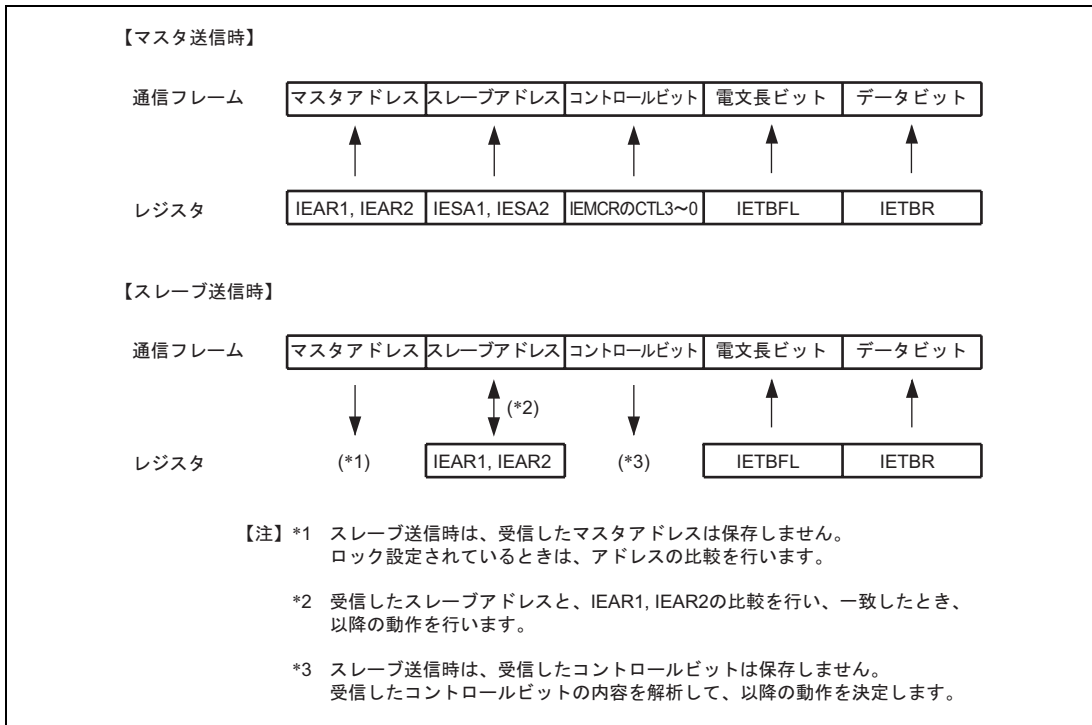


図 14.6 送信時の伝送信号フォーマットと各レジスタの関係

### 14.3.10 IEBus 受信マスタアドレスレジスタ 1 (IEMA1)

IEMA1 は、スレーブ/同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットが読み出されます。本レジスタは、スレーブ/同報受信が開始すると有効になります (IERSR の RxS ビットがセットされた時点で、内容が書き換えられます)。

IECTR の DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA1 にマスタアドレス下位 4 ビットが格納されます。本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	IMA3	0	R	IEBus 受信マスタアドレス下位 4 ビット スレーブ/同報受信時の通信相手のマスタユニットのアドレスの下位 4 ビットが読み出されます。
6	IMA2	0	R	
5	IMA1	0	R	
4	IMA0	0	R	
3~0	-	すべて 0	R	リザーブビット リードすると 0 が読み出されます。



### 14.3.11 IEBus 受信マスタアドレスレジスタ 2 (IEMA2)

IEMA2 は、スレープ/同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットが読み出されます。本レジスタは、スレープ/同報受信が開始すると有効になります (IERSR の RxS ビットがセットされた時点で、内容が書き換えられます)。

IECTR の DEE ビットで同報受信エラー割り込みが選択されると、コントロールフィールド受信時に、受信バッファが受信可能状態にない場合、受信エラー割り込みが発生し、IEMA2 にマスタアドレス上位 8 ビットが格納されます。本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	IMA11	0	R	IEBus 受信マスタアドレス上位 8 ビット スレープ/同報受信時の通信相手のマスタユニットのアドレスの上位 8 ビットが読み出されます。
6	IMA10	0	R	
5	IMA9	0	R	
4	IMA8	0	R	
3	IMA7	0	R	
2	IMA6	0	R	
1	IMA5	0	R	
0	IMA4	0	R	

### 14.3.12 IEBus 受信コントロールフィールドレジスタ (IERCTL)

IERCTL は、スレープ/同報受信時のコントロールフィールドの値が読み出されます。本レジスタは、スレープ/同報受信が開始すると有効になります (IERSR の RxS ビットがセットされた時点で、内容が書き換えられます)。本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット リードすると 0 が読み出されます。
3	RCTL3	0	R	IEBus 受信コントロールフィールド スレープ/同報受信時のコントロールフィールドの値が読み出されます。
2	RCTL2	0	R	
1	RCTL1	0	R	
0	RCTL0	0	R	

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

### 14.3.13 IEBus 受信電文長レジスタ (IERBFL)

IERBFL は、スレーブ / 同報受信時の電文長フィールドが読み出されます。本レジスタは、スレーブ / 同報受信が開始すると有効になります (IERSR の RxS ビットがセットされた時点で、内容が書き換えられます)。

本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	RBFL7	0	R	IEBus 受信電文長 スレーブ / 同報受信時の電文長フィールドの内容が読み出されます。
6	RBFL6	0	R	
5	RBFL5	0	R	
4	RBFL4	0	R	
3	RBFL3	0	R	
2	RBFL2	0	R	
1	RBFL1	0	R	
0	RBFL0	0	R	

### 14.3.14 IEBus 受信バッファレジスタ (IERBR)

IERBR は、マスタ受信時、およびスレーブ受信時に受信したデータを格納する 1 バイトのリード専用のバッファです。

IERBR は、IERSR の RxRDY ビットが 1 のときに、読み出すことができます。IERBR で読み出すデータはマスタ受信、スレーブ受信共に、データフィールドの値になります。本レジスタへのライトは無効です。

IEBus データ受信時の伝送信号フォーマットと各レジスタの関係を図 14.7 に示します。

ビット	ビット名	初期値	R/W	説明
7	RBR7	0	R	受信したデータを格納する 1 バイトのリード専用のバッファです。
6	RBR6	0	R	
5	RBR5	0	R	
4	RBR4	0	R	
3	RBR3	0	R	
2	RBR2	0	R	
1	RBR1	0	R	
0	RBR0	0	R	



図 14.7 受信時の伝送信号フォーマットと各レジスタの関係

### 14.3.15 IEBus ロックアドレスレジスタ 1 (IELA1)

IELA1 は、ロックが設定されたときのロックアドレスの下位 8 ビットを設定します。IEFLG の LCK ビットがセットされているときのみ、データは有効です。

本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	ILA7	0	R	IEBus ロックアドレス下位 8 ビット ロックを設定したマスタユニットのアドレス下位 8 ビットを格納します。
6	ILA6	0	R	
5	ILA5	0	R	
4	ILA4	0	R	
3	ILA3	0	R	
2	ILA2	0	R	
1	ILA1	0	R	
0	ILA0	0	R	

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

---

### 14.3.16 IEBus ロックアドレスレジスタ 2 (IELA2)

IELA2 は、8 ビットのリード専用のレジスタで、ロックが設定されたときのロックアドレスの上位 4 ビットを設定します。IEFLG の LCK ビットがセットされているときのみ、データは有効です。

本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット リードすると 0 が読み出されます。
3	ILA11	0	R	IEBus ロックアドレス上位 4 ビット ロックを設定したマスタユニットのアドレス上位 4 ビットを格納します。
2	ILA10	0	R	
1	ILA9	0	R	
0	ILA8	0	R	

## 14.3.17 IEBus ゼネラルフラグレジスタ (IEFLG)

IEFLG は、IEB のコマンドの実行状態の表示、ロック状態の表示、スレーブアドレスの一致、同報受信の検出を行います。本レジスタへのライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	CMX	0	R	コマンド実行状態 コマンドの実行状態を示します。 1: コマンド実行中 [セット条件] • MRQ、SRQ、SRE のいずれかがセットされた条件で、マスタ通信要求コマンドかスレーブ送信要求コマンドが発行されたとき 0: コマンドの実行は終了 [クリア条件] • コマンドが実行終了したとき
6	MRQ	0	R	マスタ通信要求 マスタユニットとして、通信要求期間中か期間中でないかを示します。 1: マスタユニットとしての通信要求期間中 [セット条件] • マスタ通信要求コマンドを発行し、CMX ビットが 0 になったとき 0: マスタユニットとしての通信要求期間中ではない [クリア条件] • マスタ通信が終了したとき
5	SRQ	0	R	スレーブ送信要求 スレーブユニットとして、送信要求期間中か期間中でないかを示します。 1: スレーブユニットとして送信要求期間中 [セット条件] • スレーブ送信要求コマンドを発行し、CMX ビットが 0 になったとき 0: スレーブユニットとして送信要求期間中ではない [クリア条件] • スレーブ送信が終了したとき
4	SRE	0	R	スレーブ受信状態 スレーブ / 同報受信の実行状態を示します。 1: スレーブ / 同報受信 [セット条件] • IECTR の RE ビットが 1 の状態で、スレーブ / 同報受信を開始したとき 0: スレーブ / 同報受信中ではない [クリア条件] • スレーブ / 同報受信が終了したとき

#### 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

ビット	ビット名	初期値	R/W	説明
3	LCK	0	R	<p>ロック状態表示</p> <p>マスタユニットからロック要求を受けて、ロックが設定された場合、セットされます。IELA1、IELA 2 の値は本ビットがセットされているとき、有効です。</p> <p>1：ロック状態</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>マスタからロック設定のコントロールビットを受信し、電文長で指定されたデータを受信しなかったとき (LCK がセットされるのはフレーム最大伝送バイト数を超えたときのみで、他のエラー終了ではセットされません)。</li> </ul> <p>0：ロックは解除</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>ロック解除条件が成立するか、ロック解除コマンドを発行したとき</li> </ul>
2	-	0	R	<p>リザーブビット</p> <p>リードすると 0 が読み出されます。</p>
1	RSS	0	R	<p>受信同報ビット</p> <p>受信した同報ビットの値を示します。スレーブ/同報受信開始時有効になります (IERSR の RxS ビットがセットされた時点で内容が書き換えられます)。スレーブ/同報受信開始時までは、前回値を保持します。</p>
0	GG	0	R	<p>一斉同報受信認識</p> <p>同報受信時、スレーブアドレスが H'FFF を認識したとき、セットされます。受信同報ビットと同様に、スレーブ/同報受信開始時有効になります (IERSR の RxS ビットがセットされた時点で、内容が書き換えられます)。スレーブ/同報受信開始時までは、前回値を保持します。スレーブ通常受信の場合は、0 になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>同報受信時、スレーブアドレスフィールドで H'FFF を認識した</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>スレーブ受信であった</li> <li>同報受信時、スレーブアドレスフィールドで H'FFF を認識しなかった</li> </ul>

## 14.3.18 IEBus 送信 / 暴走ステータスレジスタ (IETSR)

IETSR は、送信データレディ、送信開始、送信正常終了、送信途中終了、暴走検出等の状態を検出します。

各々の要因は、IEBus 送信 / 暴走割り込み許可レジスタ (IEIET) に対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。

ビット	ビット名	初期値	R/W	説明
7	TxRDY	1	R/W	送信データレディ IETBR が空の状態、IETBR に次のデータを書き込めることを示します。本フラグは、DTC でのデータ転送時には自動クリアされます*が、CPU でデータ転送する際は、プログラムでクリアする必要があります。1 リードのあとの 0 書き込みで、クリアすることができます。 [セット条件] • リセット直後 • IETBR にデータライトが可能なとき、すなわち IEB が、IETBR から送信シフトレジスタにデータを読み出したとき [クリア条件] • TxRDY = 1 の状態をリードしたあと、0 をライトしたとき • TxRDY 要求により、DTC で TBR ヘデータをライトしたとき 【注】* DTC による最終バイトの転送では、クリアされません。
6~4	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	IRA	0	R/W	IEBus 暴走状態 IEBus 制御用の内蔵マイクロプログラムが暴走状態にあることを検出します。本フラグは IEBus 送信、受信のどちらかが暴走しているときにセットされます (送信専用のフラグではなく、受信側の暴走でもセットされます)。 [セット条件] • 内蔵マイクロプログラムが暴走しているとき [クリア条件] • IRA = 1 の状態をリードしたあと、0 をライトしたとき
2	TxS	0	R/W	送信開始検出 IEB が、送信開始したことを示します。 [セット条件] • マスタ送信：アービトレーションに勝ち残って、マスタアドレスフィールドまで送信終了したとき • スレーブ送信：マスタユニットから、H'3(0011)、H'7(0111)のコントロールビットを受信して、データ送信を要求されたとき [クリア条件] • TxS = 1 の状態をリードしたあと、0 をライトしたとき

#### 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

ビット	ビット名	初期値	R/W	説明
1	TxF	0	R/W	<p>送信正常終了</p> <p>送信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを検出します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 電文長ビットで指定した送信データバイト数分の送信を終了したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TxF = 1 の状態をリードしたあと、0 をライトしたとき</li> </ul>
0	TxE	0	R/W	<p>送信エラー終了</p> <p>送信動作が、電文長ビットで指定されたデータ長分行われず、途中で通信を終了したことを検出します。このときの要因については、IETEF の内容によりチェックします。</p> <p>TxE フラグは、IETEF の要因が発生したタイミングでセットされます。IETEF のフラグの論理 OR ではありませんので、IETEF の要因がセットされた状態でもクリアできます。マスタ受信動作時、マスタ通信要求コマンド発行後、マスタ受信開始までの間に発生したエラー（アービトレーション負け、タイミングエラー、NAK 受信）は、送信エラーとして検出されます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 電文長ビットで指定した送信データバイト数分の送信を完了せず、送信を終了したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TxE = 1 の状態をリードしたあと、0 をライトしたとき</li> </ul>



## 14.3.19 IEBus 送信 / 暴走割り込み許可レジスタ (IEIET)

IEIET は、IETSR の送信データレディ、送信開始、送信正常終了、送信途中終了、暴走検出等の各々の要因について、割り込みの禁止 / 許可を設定することができます。

ビット	ビット名	初期値	R/W	説明
7	TxRDYE	0	R/W	送信データレディ割り込み許可 送信データレディ割り込みの禁止 / 許可を設定します。 0 : 送信データレディ (TxRDY) 割り込みを禁止 1 : 送信データレディ (TxRDY) 割り込みを許可
6~4	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	IRAE	0	R/W	IEBus 暴走状態割り込み許可 IEBus 暴走状態割り込みの禁止 / 許可を設定します。 0 : IEBus 暴走状態割り込み (IRA) を禁止 1 : IEBus 暴走状態割り込み (IRA) 許可
2	TxSE	0	R/W	送信開始割り込み許可 送信開始 (TxS) 割り込みの禁止 / 許可を設定します。 0 : 送信開始 (TxS) 割り込みを禁止 1 : 送信開始 (TxS) 割り込みを許可
1	TxFE	0	R/W	送信正常終了割り込み許可 送信正常終了 (TxF) 割り込みの禁止 / 許可を設定します。 0 : 送信正常終了 (TxF) 割り込みを禁止 1 : 送信正常終了 (TxF) 割り込みを許可
0	TxEE	0	R/W	送信エラー終了割り込み許可 送信エラー終了 (TxE) 割り込みの禁止 / 許可を設定します。 0 : 送信エラー終了 (TxE) 割り込みを禁止 1 : 送信エラー終了 (TxE) 割り込みを許可

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

### 14.3.20 IEBus 送信エラーフラグレジスタ (IETEF)

IETEF は、IETSR で TxE 要因で割り込みが発生したときの要因のチェックを行います。アービトレーション負け、アンダランエラー、タイミングエラー、フレーム最大伝送バイト数オーバ、NAK 受信を検出することができます。

ビット	ビット名	初期値	R/W	説明
7~5	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
4	AL	0	R/W	アービトレーション負け IEB は、マスタ通信時にアービトレーションに負けた場合、IEMCR の RN2~0 で設定された回数だけ、再度スタートビットから送信を行います。設定回数すべて、アービトレーションに負けた場合は、本ビットと TxE フラグをセットし待機状態になります。設定回数の再送時にアービトレーションに勝った場合、本ビットは 1 にセットされません。本ビットがセットされるのは、アービトレーションに負けて、通信が待機状態になったときです。 [セット条件] • データ送信中に、アービトレーション負けが発生し送信が終了したことを示す [クリア条件] • AL=1 の状態をリードしたあと、0 をライトしたとき
3	UE	0	R/W	アンダランエラー データ送信時にアンダランエラーが発生したことを示します。IEB は、TxRDY がセットされた状態で、IETBR からデータを取り出そうとしたとき、アンダランが発生したと判断し、TxE フラグをセットし、待機状態に入ります。したがって、IETBR にデータを書き込んでも、TxRDY がクリアされていない場合、アンダランエラーが発生し、送信を中止します。CPU を使ったデータ転送では必ず TxRDY フラグをクリアしてください。 [セット条件] • TxRDY がセットされた状態で、IEB が IETBR から送信シフトレジスタへデータを転送しようとしたとき [クリア条件] • UE=1 の状態をリードしたあと、0 をライトしたとき
2	TTME	0	R/W	タイミングエラー データ送信中、IEBus プロトコルで規定したタイミングでデータの転送が行われなかったとき、本ビットがセットされます。IEB は、TxE フラグをセットして待機状態になります。 [セット条件] • データ送信中に、タイミングエラーが発生したことを示す [クリア条件] • TTME=1 の状態をリードしたあと、0 をライトしたとき

14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

ビット	ビット名	初期値	R/W	説明
1	RO	0	R/W	<p>送信フレーム最大伝送バイト数オーバー</p> <p>データ送信時に受信ユニットから NAK を受信し、再送したため、通信モードで定義される最大バイト長まで送信を行ったか、あるいは、電文長の値が、最大伝送バイト数より大きい値であったため、送信が終了しなかったことを示します。IEB は、TxE フラグをセットして待機状態となります。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>通信モードで定義される最大バイト数まで送信したが、送信が終了しなかったことを示す</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>RO=1 の状態をリードしたあと、0 をライトしたとき</li> </ul>
0	ACK	0	R/W	<p>アクノリッジビット</p> <p>データフィールドのアクノリッジビットで受信したデータを示します。</p> <p>1. データフィールド以外のアクノリッジビット</p> <p>NAK を受信すると、送信を中止し待機状態に入ります。本ビット、および TxE フラグは 1 にセットされます。</p> <p>2. データフィールドでのアクノリッジビット</p> <p>データフィールド送信時に、受信ユニットから、NAK を受信すると、受信ユニットから ACK を受信するまで、通信モードで定義される最大バイト数まで再送を行います。このとき、再送中に受信ユニットから、ACK を受信した場合には、本ビットは設定されず、そのまま送信を行います。</p> <p>ACK を受信することができずに、通信を終了した場合に、本ビットは 1 にセットされます。</p> <p>【注】本フラグは同報通信では、無効です。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>アクノリッジビットで 1 (NAK) で検出したことを示す</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>ACK=1 の状態をリードしたあと、0 をライトしたとき</li> </ul>

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

### 14.3.21 IEBus 受信ステータスレジスタ (IERSR)

IERSR は、受信データレディ、受信開始、送受信正常終了、受信途中終了等の状態を検出します。各々の要因は、IEIER に対応したビットを持っており、割り込みの禁止 / 許可を設定することができます。

ビット	ビット名	初期値	R/W	説明
7	RxRDY	0	R/W	<p>受信データレディ</p> <p>受信したデータが IERBR に格納され、受信データが読み出せることを示します。本フラグは、DTC でのデータ転送時には自動クリアされます*が、CPU でデータ転送する際は、プログラムでクリアする必要があります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>データ受信が正常終了し、IERBR に受信データが転送されたとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>RxRDY = 1 の状態をリードしたあと、0 をライトしたとき</li> <li>RxRDY 要求により DTC で IERBR のデータをリードしたとき</li> </ul> <p>【注】* DTC による最終バイトの転送では、クリアされません。</p>
6~3	-	すべて 0	-	<p>リザーブビット</p> <p>リードすると 0 が読み出されます。ライトは無効です。</p>
2	RxS	0	R/W	<p>受信開始検出 (レシープスタート)</p> <p>IEB が受信開始したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>マスタ受信: アービトレーションに勝ち残って、コントロールフィールドまで送信を行った後、スレーブから電文長フィールドを正しく受信したとき</li> <li>スレーブ受信: マスタユニットから、電文長フィールドまで正しく受信したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>RxS = 1 の状態をリードしたあと、0 をライトしたとき</li> </ul>
1	RxF	0	R/W	<p>受信正常終了</p> <p>受信動作が、電文長ビットで指定されたデータ長分行われ、正常に終了したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>電文長ビットで指定した受信データバイト数分の受信を終了したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>RxF = 1 の状態をリードしたあと、0 をライトしたとき</li> </ul>

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

ビット	ビット名	初期値	R/W	説明
0	RxE	0	R/W	<p>受信エラー終了</p> <p>受信開始後 (RxS ビットがセットされたあと)、データフィールドの受信が、電文長ビットで指定されたデータ長分行われず、途中で通信を終了したことを検出します。このときの要因については、IEREF の内容によりチェックします。RxE フラグは、IEREF の要因が発生したタイミングでセットされます。IEREF のフラグの論理 OR ではありませんので、IEREF の要因がセットされた状態でもクリアすることができます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>電文長ビットで指定した受信データバイト数分の受信を完了せず、受信を終了したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>RxE = 1 の状態をリードしたあと、0 をライトしたとき</li> </ul>

### 14.3.22 IEBus 受信割り込み許可レジスタ (IEIER)

IEIER は、IERSR の受信データレディ、受信開始、送受信正常終了、受信途中終了等の各々の要因について、割り込みの禁止 / 許可を設定することができます。

ビット	ビット名	初期値	R/W	説明
7	RxRDYE	0	R/W	<p>受信データレディ割り込み許可</p> <p>受信データレディ割り込みの禁止 / 許可を設定します。</p> <p>0: 受信データレディ (RxRDY) 割り込みを禁止</p> <p>1: 受信データレディ (RxRDY) 割り込みを許可</p>
6~3	-	すべて 0	-	<p>リザーブビット</p> <p>リードすると 0 が読み出されます。ライトは無効です。</p>
2	RxSE	0	R/W	<p>受信開始検出割り込み許可</p> <p>受信開始 (RxS) 割り込みの禁止 / 許可を設定します。</p> <p>0: 受信開始 (RxS) 割り込みを禁止</p> <p>1: 受信開始 (RxS) 割り込みを許可</p>
1	RxFE	0	R/W	<p>受信正常終了割り込み許可</p> <p>受信正常終了 (RxF) 割り込みの禁止 / 許可を設定します。</p> <p>0: 受信正常終了 (RxF) 割り込みを禁止</p> <p>1: 受信正常終了 (RxF) 割り込みを許可</p>
0	RxE	0	R/W	<p>受信エラー終了割り込み許可</p> <p>受信エラー終了 (RxE) 割り込みの禁止 / 許可を設定します。</p> <p>0: 受信エラー終了 (RxE) 割り込みを禁止</p> <p>1: 受信エラー終了 (RxE) 割り込みを許可</p>

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

### 14.3.23 IEBus 受信エラーフラグレジスタ (IEREF)

IEREF は、IERSR で RxE 要因で割り込みが発生したときの要因のチェックを行います。オーバランエラー、タイミングエラー、フレーム最大伝送バイト数オーバー、パリティエラーを検出することができます。

これらのフラグは、受信開始フラグ (RxS) がセットされて初めて有効になります。受信開始フラグがセットされるまでの間に発生した場合、通信を中止して待機状態に入ります。このとき、これらのビットはセットされず、RxE フラグもセットされません。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	OVE	0	R/W	<p>オーバラン制御フラグ データ受信中のオーバラン制御に使用するフラグです。</p> <p>IEB は、RxRDY フラグがクリアされていない状態、すなわち受信データが読み出されていない状態で次バイトのデータを受信し、さらにパリティビットの受信を開始した時点で、OVE フラグ、および RxE フラグをセットします。アクノリッジビット送信時までに OVE ビットがセットされたままだと、IEB はオーバランエラーが発生したと判断し、通信相手に NAK を返送します。</p> <p>このあと、通信相手はフレーム最大伝送バイト数に達するまで、再送を行いますが、OVE フラグがセットされたままだと、IEB はオーバランエラーが解消されていないものと判断し、NAK を送信し続けます。</p> <p>OVE フラグがクリアされると、IEB はオーバランエラーが解消されたものと判断し、ACK を送信し次のデータを取り込みます。</p> <p>同報受信の場合、アクノリッジビット送信時に、OVE ビットがセットされると、直ちに待機状態に入ります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• RxRDY フラグがクリアされていない状態で、次バイトのデータを受信し、そのデータのパリティビットの受信を開始したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• OVE = 1 の状態をリードしたあと、0 をライトしたとき</li> </ul>
2	RTME	0	R/W	<p>タイミングエラー データ受信時、IEBus プロトコルで規定したタイミングで正しくデータを受信できなかった場合、本ビットがセットされます。IEB は、RxE フラグをセットして待機状態になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• データ受信中に、タイミングエラーが発生したことを示す</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• RTME = 1 の状態をリードしたあと、0 をライトしたとき</li> </ul>

ビット	ビット名	初期値	R/W	説明
1	DLE	0	R/W	<p>受信フレーム最大伝送バイト数オーバ</p> <p>データ受信時に、パリティエラーかオーバランエラーが発生し、再送による受信を行ったため、通信モードで定義される最大バイト長内で、受信が終了しなかったか、電文長の値が、最大伝送バイト数より大きい値であったため、受信が終了しなかったことを示します。IEB は、RxE フラグをセットして待機状態となります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>通信モードで定義される最大バイト数内で、受信が終了しなかったことを示します。</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>DLE=1 の状態をリードしたあと、0 をライトしたとき</li> </ul>
0	PE	0	R/W	<p>パリティエラー</p> <p>データフィールド受信中に、パリティエラーが発生したことを示します。</p> <p>データフィールド受信前にパリティエラーが発生した場合、IEB は直ちに待機状態になります。PE はセットされません。</p> <p>データフィールド受信中心パリティエラーが発生し、フレーム最大伝送バイト数に達するまで受信を行っていない場合、PE はまだセットされません。パリティエラーが発生すると、IEB はアクノリッジビットで通信相手に NAK を返送します。このとき、通信相手はフレーム最大伝送バイト数に達するまで、再送を行います。再受信中に、パリティエラーが解消され、正常に受信が行われると、PE はセットされません。電文長で設定されたバイト数だけ受信を行わずに受信を中止し待機状態になったときに、パリティエラーが解消されていなかった場合、PE はセットされます。</p> <p>同報受信の場合、データフィールド受信中にパリティエラーが発生すると、IEB は PE ビットをセットし、ただちに待機状態になります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>フレーム最大伝送バイト数に達するまで受信を行い、最終受信バイトのデータフィールドのパリティビットが偶数パリティでなかったとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>PE=1 の状態をリードしたあと、0 をライトしたとき</li> </ul>

## 14.4 動作説明

### 14.4.1 マスタ送信動作

スレーブ受信後に、DTC を使用してマスタ送信をする例を示します。

(1) IEB の初期設定

(a) IEBus コントロールレジスタ (IECTR) の設定

IEBus 端子イネーブル、端子の正論理 / 負論理の選択、IEB へ供給するクロックの選択をします。DTC で転送しますので、LUEE=0 にします。

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

---

### (b) IEBus 自局アドレスレジスタ 1、2 (IEAR1、IEAR2) の設定

マスタアドレスの設定をします。同時に、IEAR1 で通信モードを設定します。

### (c) IEBus スレーブアドレスレジスタ 1、2 (IESA1、IESA2) の設定

送信相手のスレーブアドレスの設定をします。

### (d) IEBus マスタコントロールレジスタ (IEMCR) の設定

同報 / 通常通信の選択、アービトレーション負けのときの再送回数、およびコントロールビットの設定をします。

### (e) IEBus 送信電文長レジスタ (IETBFL) の設定

電文長ビットの設定をします。

### (f) IEBus 送信 / 暴走割り込み許可レジスタ (IEIET) の設定

TxRDY 割り込み (IETxI)、TxS 割り込み、TxF 割り込み、TxE 割り込み (IETSI) の割り込みを許可します。上記設定は、どのレジスタから設定しても問題ありません。(設定順序により、動作が異なることはありません。)

## (2) DTC の初期設定

1. DTC転送要求で発生するベクタアドレス (H'000004D4) に、DTC転送のためのレジスタ情報を格納したRAMの先頭アドレスを設定しておきます。
2. 上記RAMの先頭アドレスから以下の設定をします。
  - 転送元アドレス (SAR) : データフィールドで送信するデータを格納したRAMの先頭アドレス
  - 転送先アドレス (DAR) : IEBus送信バッファレジスタ (IETBR) のアドレス (H'FFF808)
  - 転送カウント (CRA) : IETBFLと同じ値
3. DTCイネーブルレジスタG (DTCERG) のDTCERG5をセットして、TxRDY割り込み (IETxI) を許可します。TxRDYはリセット後もデータが保持されていますので、IETxIが許可された時点でDTC転送が実行され、最初のデータフィールドのデータがIETBRに書き込まれます。DTCはTxRDYをネゲートし1バイト目のDTC転送が終了します。

## (3) マスタ送信動作のフロー

図 14.8 にマスタ送信動作のフローを示します。以下の説明中の (数字) は図中の番号と対応しています。

1. IEB、DTCの初期設定が終了したあとで、IECMRレジスタでマスタ通信要求コマンドを発行します。スレーブ受信中は、IEFLGの中のコマンド実行中ステータス (CMX) が立ち、マスタ通信要求は発行されません。
2. スレーブ受信が終了するとCMXがクリアされ、マスタ送信要求コマンドが実行され、MRQがセットされます。
3. アービトレーションに勝ち、マスタアドレスが送信された時点で、IETSRレジスタの送信開始フラグ (TxS) がセットされます。このときCPUに対し、送信ステータス割り込み (IETSI) が要求されます。割り込みルー



チンでTxSをクリアします。

4. コントロールフィールド、電文長フィールドを送信し、各々のフィールドでACKを受信すると、IEBはIETBRからデータフィールドの送信データを取り込みます。これにより、TxRDYがセットされます。IETxIによるDTC転送要求が発生し、2バイト目のデータが送信バッファに書き込まれます。
5. 以降、同様にしてデータフィールドの転送、送信を繰り返します。
6. 最終バイトで送信するデータを書き込んだ時点で、DTCは設定されたバイト数の転送を終了します。このとき、DTCはTxRDYのフラグをクリアしませんが、DTCイネーブルレジスタG (DTCERG) のDTCEG5をクリアしますので、これ以降DTCへの転送要求は発生しません。
7. DTCの転送が終了した時点で、CPUに対してTxRDY割り込み (IETxI) が発生します。この割り込みルーチンでTxRDYフラグをクリアできますが、最終バイト送信後、再度TxRDY割り込みが発生しますのでTxRDYフラグはクリアしないでおきます。(IECTRのLUEEが1にセットされていると、アンダランエラーが発生し、送信を終了しますのでLUEEは0で使用してください)ただし、これ以降、常にTxRDY割り込みが発生することになりますので、TxRDY割り込みは禁止にします。
8. 最終データ転送終了後、正常終了 (TxF) 割り込み (IETS1) が発生します。ここで、CPUはTxFフラグをクリアし正常終了割り込みを終了します。MRQは0にクリアされます。

【注】 送信ステータス割り込み (IETS1) は、送信開始 (TxS) ・正常終了 (TxF) 割り込み以外にエラー終了 (TxE) 割り込みも許可にしてください。エラー終了割り込みが禁止の場合、エラーが発生して送信が終了しても割り込みが発生しません。

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

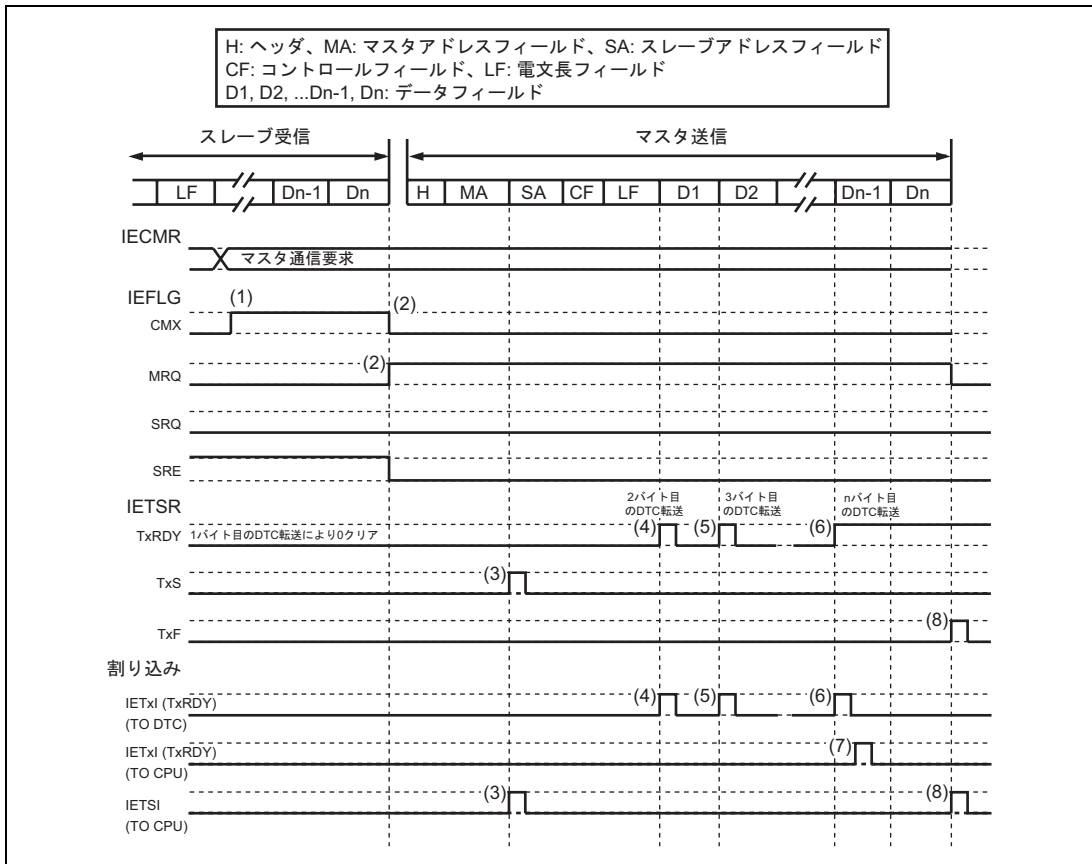


図 14.8 マスタ送信動作タイミング図

### 14.4.2 スレーブ受信動作

同報受信後に、DTC を使用してスレーブ受信をする例を示します。

#### (1) IEB の初期設定

##### (a) IEBus コントロールレジスタ (IECTR) の設定

IEBus 端子イネーブル、端子の正論理 / 負論理の選択、IEB へ供給するクロックの選択をします。受信をしますので、RE = 1 にします。LUEE の設定は必要ありません。

##### (b) IEBus 自局アドレスレジスタ 1、2 (IEAR1、IEAR2) の設定

自局アドレスを設定します。同時に、IEAR1 で通信モードを設定します。通信フレーム中のスレーブアドレスとの比較を行い、一致していればフレームを受信します。

##### (c) IEBus 受信割り込み許可レジスタ (IEIER) の設定

RxRDY 割り込み (IERxI)、RxS 割り込み、Rx F 割り込み、Rx E 割り込み (IERSI) の割り込みを許可します。

上記設定は、どのレジスタから設定しても問題ありません。(設定順序により、動作が異なることはありません)

ん。)

## (2) DTC の初期設定

1. DTC転送要求で発生するベクタアドレス (H'000004D2) に、DTC転送のためのレジスタ情報を格納したRAMの先頭アドレスを設定しておきます。
2. 上記RAMの先頭アドレスから以下の設定をします。
  - 転送元アドレス (SAR) : IEBus受信バッファレジスタ (IERBR) のアドレス (H'FFF80D)
  - 転送先アドレス (DAR) : データフィールドで受信するデータを格納するRAMの先頭アドレス
  - 転送カウント (CRA) : 転送モードにおけるフレーム最大伝送バイト数
3. DTCイネーブルレジスタG (DTCERG) のDTCEG6をセットして、RxRDY割り込み (IERxI) を許可します。

上記設定は、フレームの受信前に行っているため、受信するデータの長さは分かりません。そのため、フレーム最大伝送バイト数をDTCの転送カウントに設定しています。

DTCの設定を受信開始後に行う場合、受信開始 (RxS) 割り込みルーチンで行います。このとき、転送カウンタはIEBus受信電文長レジスタ (IERBFL) と同じ値にしてください。

## (3) スレープ受信動作のフロー

図 14.9 にスレープ受信動作のフローを示します。以下の説明中の (数字) は図中の番号と対応しています。ここでは、DTCの設定をフレーム受信開始時に行う例で説明します。

1. 同報受信が終了したあと、スレープ受信を行います。IEFLGの受信同報ビット (RSS) は受信開始フラグ (RxS) がセットされるまで、前のフレームの情報を保持 (1のまま) します。RSSがヘッダ受信のタイミングで変化すると、同報受信終了割り込み処理をヘッダ受信までの間に行わなければなりません。このため、RSSは受信開始時に値が変わる仕様になっています。
2. 電文長フィールドまで正しく受信すると、受信開始 (RxS) 割り込み (受信ステータス割り込み (IERSI)) が発生します。SREは1にセットされます。ここで、(2)のDTCの初期設定を行います。設定後、RxSフラグをクリアします。
3. 最初のデータを受信すると、RxRDYがセットされます。IERxIによるDTC転送要求が発生し、DTCはIEBus受信バッファレジスタ (IERBR) からデータを取り込んで、RxRDYフラグをクリアします。
4. 以降、同様にしてデータフィールドの受信、転送を繰り返します。
5. 最終データ受信時に、受信データをRAMに転送した時点で、DTCは設定されたバイト数の転送を終了します。このとき、DTCはRxRDYのフラグをクリアしませんが、DTCイネーブルレジスタG (DTCEG) をクリアしますので、これ以降DTCへの転送要求は発生しません。
6. DTCの転送が終了した時点で、CPUに対してRxRDY割り込み (IERxI) が発生します。この割り込みルーチンでRxRDYフラグをクリアします。
7. 最終データ受信時に、正常終了 (RxF) 割り込み (IERSI) が発生します。ここで、CPUはRxFフラグをクリアし正常終了割り込みを終了します。SREは0にクリアされます。

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

- 【注】 1. 受信ステータス割り込み (IERSI) は、送信開始 (RxS) ・ 正常終了 (RxF) 割り込み以外にエラー終了 (RxE) 割り込みも許可にしてください。エラー終了割り込みが禁止の場合、エラーが発生して送信が終了しても割り込みが発生しません。
2. 上記 6. の割り込みは、DTC 転送が終了したあとでするので、実際は 7. のあとに発生します。

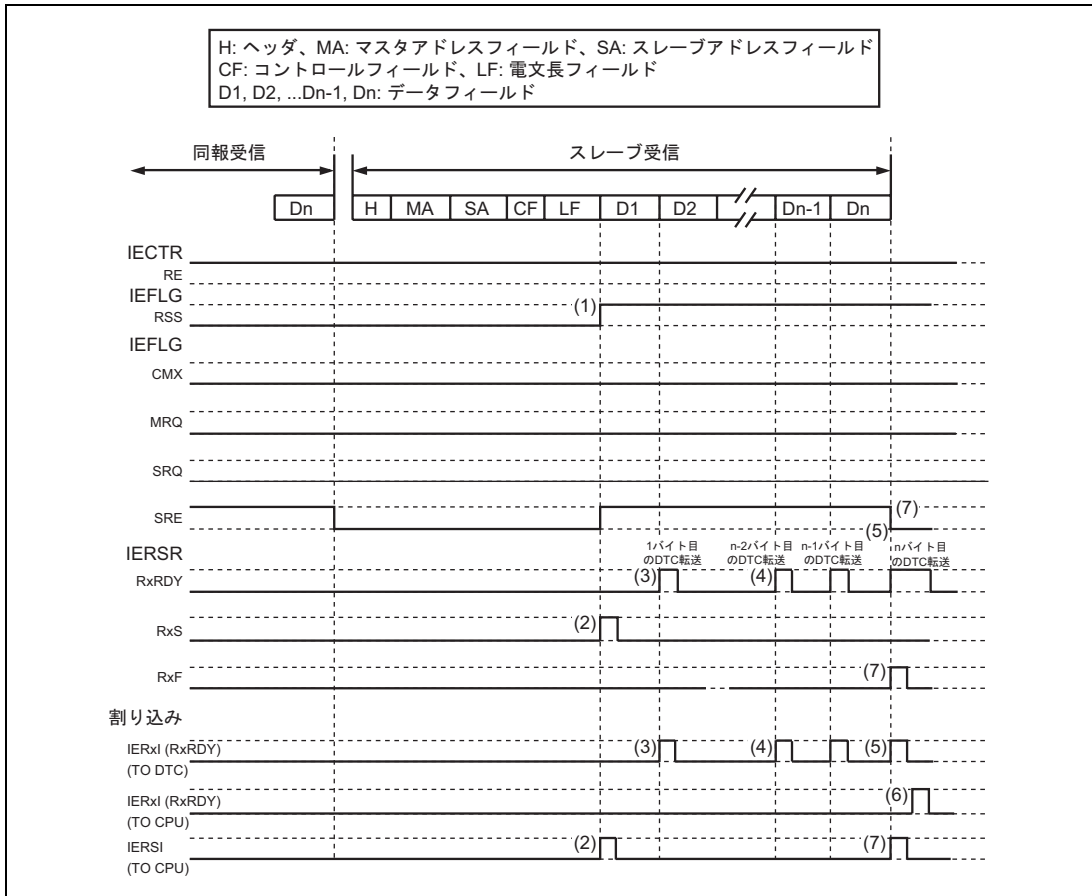


図 14.9 スレーブ受信動作タイミング図

### (4) 同報受信動作でエラーが発生した場合 (DEE = 1)

DEE ビットを設定して、スレーブ受信後の同報受信で、コントロールフィールド受信までに受信準備ができずに (RxRDY をクリアしなかった場合)、受信エラーが発生する例を示します。

【注】 コントロールフィールド受信までに、RE ビットをセットしなかった場合も同様です。

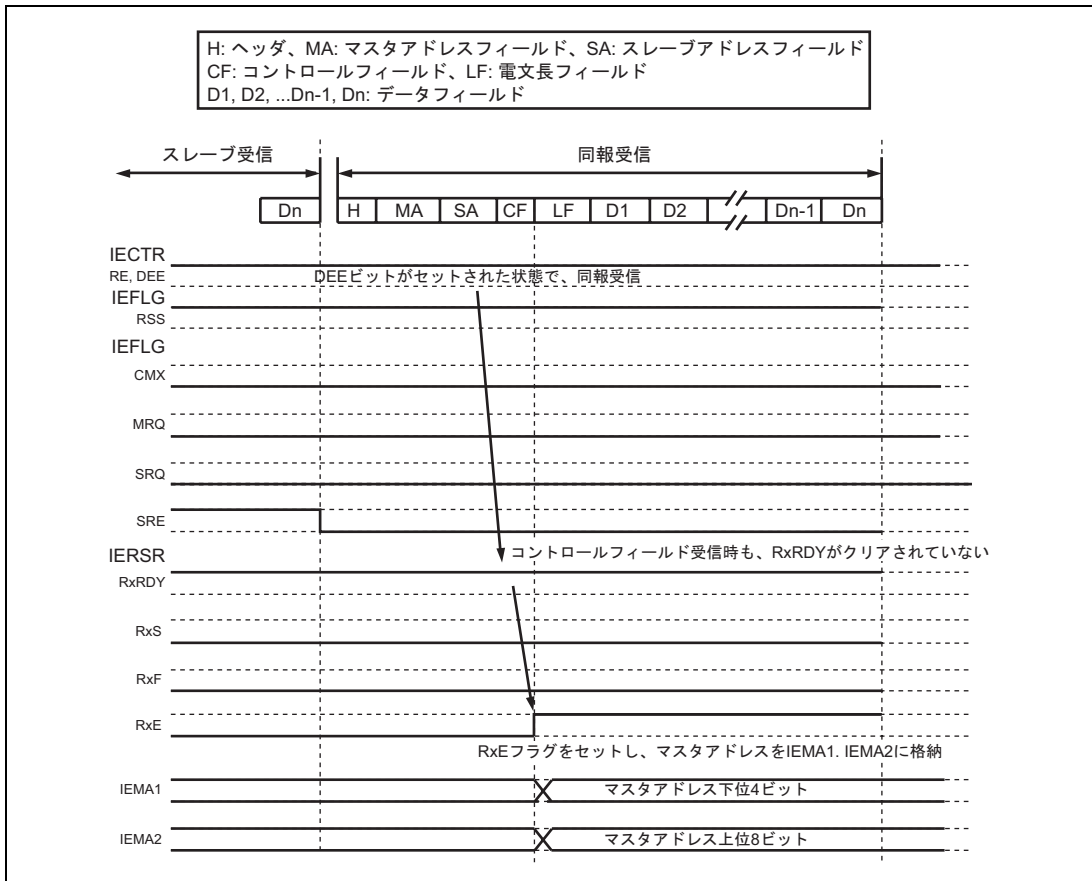


図 14.10 同報受信動作でエラーが発生した場合 (DEE = 1)

### 14.4.3 マスタ受信動作

スレーブ受信後に、DTC を使用してマスタ受信をする例を示します。

#### (1) IEB の初期設定

##### (a) IEBus コントロールレジスタ (IECTR) の設定

IEBus 端子イネーブル、端子の正論理 / 負論理の選択、IEB へ供給するクロックの選択をします。受信をしますので、RE = 1 にします。LUEE の設定は必要ありません。

##### (b) IEBus 自局アドレスレジスタ 1、2 (IEAR1、IEAR2) の設定

自局アドレスを設定します。同時に、IEAR1 で通信モードを設定します。通信フレーム中のスレーブアドレスとの比較を行い、一致していればフレームを受信します。

##### (c) IEBus スレーブアドレスレジスタ 1、2 (IESA1、IESA2) の設定

送信相手のスレーブアドレスを設定します。

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

---

### (d) IEBus マスタコントロールレジスタ (IEMCR) の設定

同報 / 通常通信の選択、アービトレーション負けのときの再送回数、およびコントロールビットの設定をします。

### (e) IEBus 受信割り込み許可レジスタ (IEIER) の設定

RxRDY 割り込み (IERxI)、RxS 割り込み、RxF 割り込み、RxE 割り込み (IERSI) の割り込みを許可します。  
上記設定は、どのレジスタから設定しても問題ありません(設定順序により、動作が異なることはありません)。

### (2) DTC の初期設定

1. DTC転送要求で発生するベクタアドレス (H'000004D2) に、DTC転送のためのレジスタ情報を格納したRAMの先頭アドレスを設定しておきます。

2. 上記RAMの先頭アドレスから以下の設定をします。

- 転送元アドレス (SAR) : IEBus受信バッファレジスタ (IERBR) のアドレス (H'FFF80D)
- 転送先アドレス (DAR) : データフィールドで受信するデータを格納するRAMの先頭アドレス
- 転送カウント (CRA) : 転送モードにおけるフレーム最大伝送バイト数

3. DTCイネーブルレジスタG (DTCERG) のDTCEG6をセットして、RxRDY割り込み (IERxI) を許可します。

上記設定は、フレームの受信前に行っているため、受信するデータの長さは分かりません。そのため、フレーム最大伝送バイト数を DTC の転送カウントに設定しています。

DTC の設定を受信開始後行う場合、受信開始 (RxS) 割り込みルーチンで行います。このとき、転送カウンタは IEBus 受信電文長レジスタ (IERBFL) と同じ値にしてください。

### (3) マスタ受信動作のフロー

図 14.11 にマスタ受信動作のフローを示します。以下の説明中の (数字) は図中の番号と対応しています。ここでは、DTC の設定をフレーム受信開始時に行う例で説明します。

1. IEBの初期設定が終了したあとで、IECMRレジスタでマスタ通信要求コマンドを発行します。スレーブ受信中は、IEFLGの中のコマンド実行中ステータス (CMX) が立ち、マスタ通信要求は発行されません。
2. スレーブ受信が終了するとCMXがクリアされ、マスタ送信要求コマンドが実行され、MRQがセットされません。
3. アービトレーションに勝つと、マスタアドレス、スレーブアドレス、コントロールフィールドを送信します。コントロールフィールド送信までの間に発生したエラーは、送信エラーとして処理され、TxEフラグがセットされ、IETEFにエラー内容が反映されます。
4. スレーブから電文長フィールドを受信します。このとき、パリティエラーがなく正しく受信できた場合、受信開始 (RxS) フラグがセットされます。パリティエラーが発生した場合、受信エラーとして処理されます。受信開始 (RxS) 割り込み (受信ステータス割り込み (IERSI) ) が発生し、ここで、(2)のDTCの初期設定を行います。設定後、RxSフラグをクリアします。

5. 最初のデータを受信すると、RxRDYがセットされます。IERxIによるDTC転送要求が発生し、DTCはIEBus受信バッファレジスタ (IERBR) からデータを取り込んで、RxRDYフラグをクリアします。
6. 以降、同様にしてデータフィールドの受信、転送を繰り返します。
7. 最終データ受信時に、受信データをRAMに転送した時点で、DTCは設定されたバイト数の転送を終了します。このとき、DTCはRxRDYのフラグをクリアしませんが、DTCイネーブルレジスタG (DTCEG) をクリアしますので、これ以降DTCへの転送要求は発生しません。
8. DTCの転送が終了した時点で、CPUに対してRxRDY割り込み (IERxI) が発生します。この割り込みルーチンでRxRDYフラグをクリアします。
9. 最終データ受信時に、正常終了 (RxF) 割り込み (IERSI) が発生します。ここで、CPUはRxFフラグをクリアし正常終了割り込みを終了します。MRQは0にクリアされます。

- 【注】
- 1 受信ステータス割り込み (IERSI) は、送信開始 (RxS) ・正常終了 (RxF) 割り込み以外にエラー終了 (RxE) 割り込みも許可にしてください。エラー終了割り込みが禁止の場合、エラーが発生して送信が終了しても割り込みが発生しません。
  - 2 上記 8.の割り込みは、DTC 転送が終了したあとですので、実際は 9.のあとに発生します。

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

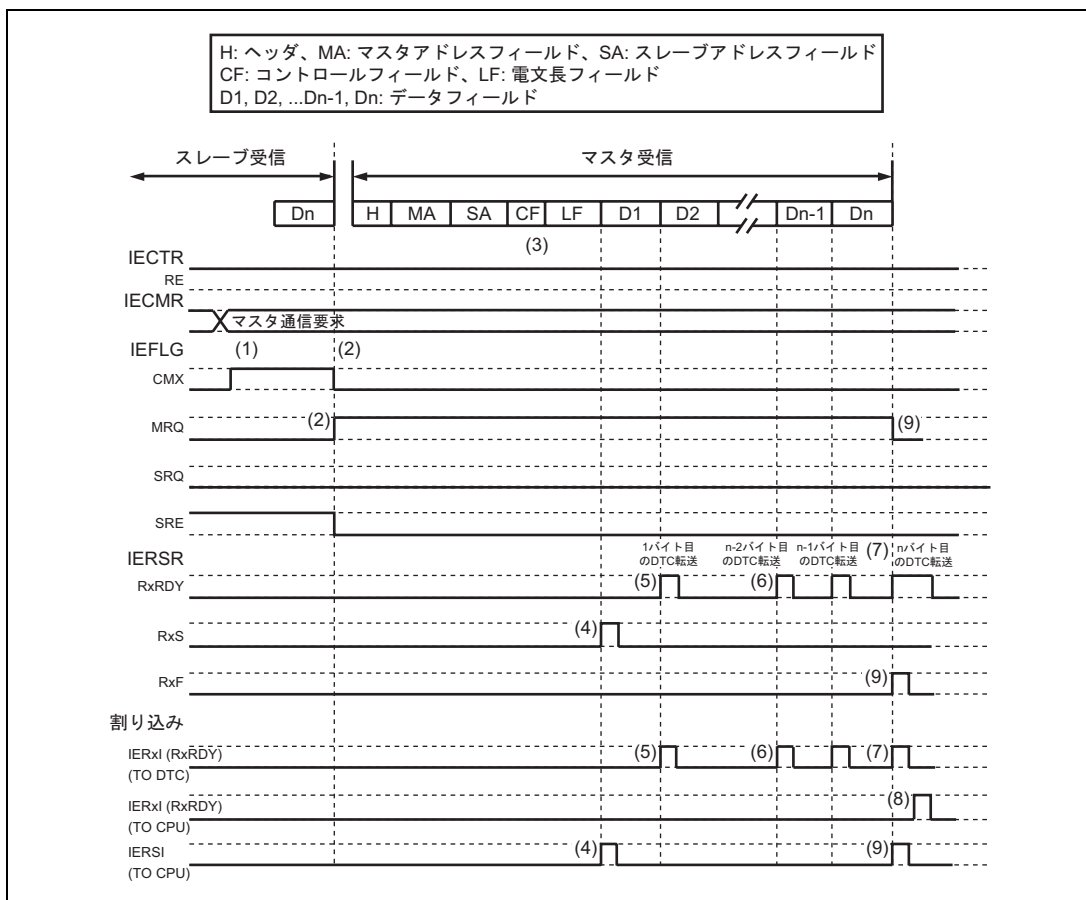


図 14.11 マスタ受信動作タイミング図

### 14.4.4 スレーブ送信動作

スレーブ受信後に、DTCを使用してスレーブ送信をする例を示します。

#### (1) IEB の初期設定

##### (a) IEBus コントロールレジスタ (IECTR) の設定

IEBus 端子イネーブル、端子の正論理 / 負論理の選択、IEB へ供給するクロックの選択をします。DTC で転送をしますので、LUEE=0 にします。

##### (b) IEBus 自局アドレスレジスタ 1、2 (IEAR1、IEAR2) の設定

自局アドレスを設定します。同時に、IEAR1 で通信モードを設定します。通信フレーム中のスレーブアドレスとの比較を行い、一致していればフレームを受信します。



(c) IEBus 送信電文長レジスタ (IETBFL) の設定

電文長ビットを設定します。

(d) IEBus 送信 / 暴走割り込み許可レジスタ (IEIET) の設定

TxRDY 割り込み (IETxI)、TxS 割り込み、TxF 割り込み、TxE 割り込み (IETSI) の割り込みを許可します。

上記設定は、どのレジスタから設定しても問題ありません(設定順序により、動作が異なることはありません)。

(2) DTC の初期設定

1. DTC転送要求で発生するベクタアドレス (H'000004D4) に、DTC転送のためのレジスタ情報を格納したRAMの先頭アドレスを設定しておきます。
2. 上記RAMの先頭アドレスから以下の設定をします。
  - 転送元アドレス (SAR) : データフィールドで送信するデータを格納したRAMの先頭アドレス
  - 転送先アドレス (DAR) : IEBus受信バッファレジスタ (IETBR) のアドレス (H'FFF808)
  - 転送カウント (CRA) : IETBFLと同じ値
3. DTCイネーブルレジスタG (DTCERG) のDTCEG5をセットして、TxRDY割り込み (IETxI) を許可します。TxRDYはリセット後、ずっとセットされていますので、IETxIが許可された時点でDTC転送が実行され、最初のデータフィールドのデータがIETBRに書き込まれます。DTCはTxRDYをネゲートし、1バイト目のDTC転送が終了します。

(3) スレーブ送信動作のフロー

図 14.12 にスレーブ送信動作のフローを示します。以下の説明中の (数字) は図中の番号と対応しています。

1. IEB、DTCの初期設定が終了したあとで、IECMRレジスタでスレーブ送信要求コマンドを発行します。スレーブ受信中は、IEFLGの中のコマンド実行中ステータス (CMX) が立ち、スレーブ送信要求は発行されません。
2. スレーブ受信が終了するとCMXがクリアされ、スレーブ送信要求コマンドが実行され、SRQがセットされます。
3. コントロールフィールドまで正しく受信し、コントロールビットの内容が、H'3かH'7であった場合、送信開始 (TxS) フラグをセットします。TxS割り込みルーチンでTxSフラグをクリアします。
4. このあと、スレーブは電文長フィールドを送信し、ACKを受信すると、IEBusはIETBRからデータフィールドの送信データを取り込みます。これにより、TxRDYがセットされます。IETxIによるDTC転送要求が発生し、2バイト目のデータが送信バッファに書き込まれます。
5. 以降、同様にしてデータフィールドの転送、送信を繰り返します。
6. 最終バイトで送信するデータを書き込んだ時点で、DTCは設定されたバイト数の転送を終了します。このとき、DTCはTxRDYのフラグをクリアしませんが、DTCイネーブルレジスタG (DTCERG) のDTCEG5をクリアしますので、これ以降DTCへの転送要求は発生しません。

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

7. DTCの転送が終了した時点で、CPUに対してTxRDY割り込み (IETxI) が発生します。この割り込みルーチンでTxRDYフラグをクリアできますが、最終バイト送信後、再度TxRDY割り込みが発生しますのでTxRDYフラグはクリアしないでおきます (IECTRのLUEEが1にセットされていると、アンダランエラーが発生し、送信を終了しますのでLUEEは0で使用してください)。ただし、これ以降、常にTxRDY割り込みが発生することになりますので、TxRDY割り込みは禁止にします。
8. 最終データ転送終了後、正常終了 (RxF) 割り込み (IETSI) が発生します。ここで、CPUはTxFフラグをクリアし正常終了割り込みを終了します。SRQは0にクリアされます。

- 【注】
- 1 送信ステータス割り込み (IETSI) は、送信開始 (TxS) ・正常終了 (TxF) 割り込み以外にエラー終了 (TxE) 割り込みも許可にしてください。エラー終了割り込みが禁止の場合、エラーが発生して送信が終了しても割り込みが発生しません。
  - 2 スレーブ送信で、マスタからのコントロールビットが H'0 か H'4 か H'5 か H'6 の場合は IEB は自動的に処理を行いますので、TxS、TxF フラグはセットされません。

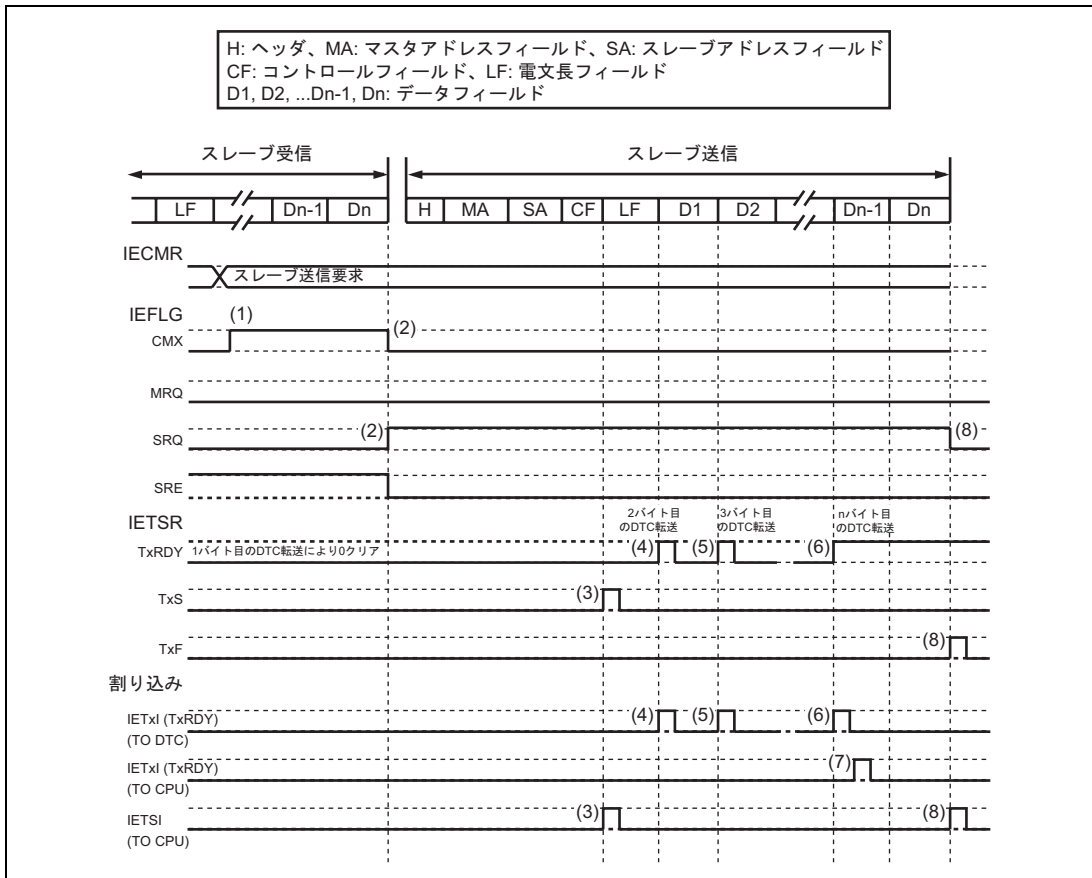


図 14.12 スレーブ送信動作タイミング図

## 14.5 割り込み要因

送信、受信それぞれの割り込み要因の関係を図 14.13、図 14.14 に示します。

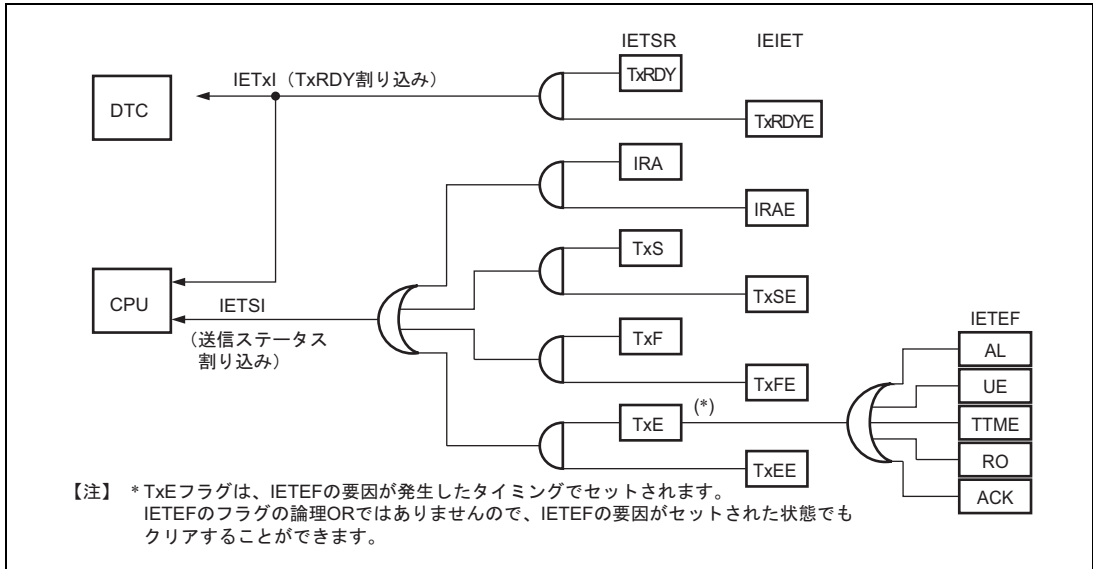


図 14.13 送信割り込み要因の関係

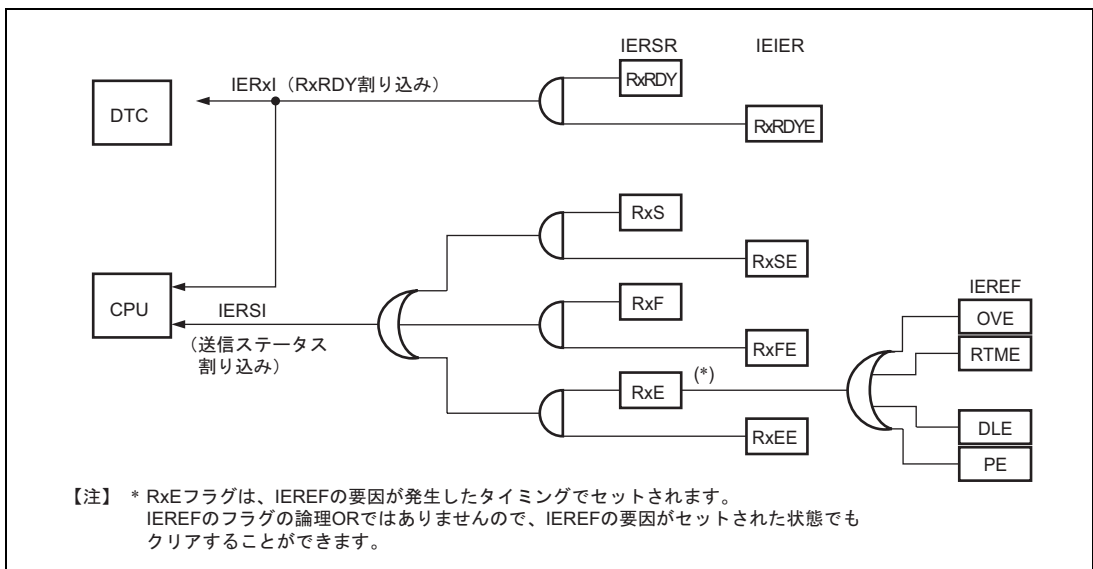


図 14.14 受信割り込み要因の関係

### 14.6 使用上の注意事項

#### 14.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、IEBの動作禁止/許可を設定することが可能です。初期値では、IEBの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第24章 低消費電力状態」を参照してください。

#### 14.6.2 TxRDY フラグとアンダランエラーについて

1. TxRDYフラグはIETBRが空であることを示すフラグです。DTCによるIETBRへの書き込みで、TxRDYフラグはクリアされますが、CPUによるIETBRへの書き込みではクリアされません。プログラムでクリアする必要があります。
2. CPUによるIETBRの書き込みがフレーム送信に対し遅れて間に合わなかった場合、あるいは、DTCの転送語数が、電文長ビットで指定された長さより短かった場合、アンダランエラーが発生します。
3. IEBは、TxRDYフラグがセットされた状態で、IETBRからデータを取り出して送信シフトレジスタヘデータを転送しようとする、アンダランエラーが発生したものと判断します。この際、IETSRのTxEビットをセットして、待機状態に入ります。同時にIETEFのUEビットがセットされます。
4. 受信側では、途中で通信が中断された形になりますので、タイミングエラーとなります。
5. DTCを使用した転送では、最終バイトのデータをIETBRに転送したあと、IETSRのTxRDYフラグはクリアされず、DTCの割り込みによるCPUの割り込みが発生します。  
このCPUの割り込み処理の中で、TxRDYフラグをクリアしなかった場合、最終データをIETBRから取り出して送信シフトレジスタヘデータを転送しようとする、アンダランエラーが発生してしまいます。このときLUEEビットが0にクリア(初期値)されている場合は、上記のようなアンダランエラーが発生することなく、最終データフィールドまで正常に送信されます(LUEEビットが1にセットされているときは、アンダランエラーとなります)。
6. 上記5.のようにDTCを使用しても、DTCの転送語数が電文長ビットで指定された長さより短かった場合には、LUEEビットは無効になります(LUEEビットが有効になるのは、電文長ビットで指定された分の送信を行った場合だけです)。この場合、アンダランエラーが発生し、DTCの転送語数より1バイト少ない転送を行ったあと、送信エラー終了となります。

### 14.6.3 RxRDY フラグとオーバランエラーについて

1. RxRDYフラグはIERBRに受信データがあることを示すフラグです。DTCによるIERBRからの読み出しで、RxRDYフラグはクリアされますが、CPUによるIERBRからの読み出しではクリアされません。プログラムでクリアする必要があります。
2. CPUによるIERBRからの読み出しがフレーム受信に対し遅れて間に合わなかった場合、あるいは、DTCの転送語数が、受信電文長ビットで指定された長さより短かった場合、オーバランエラーが発生します。
3. IEBは、RxRDYフラグがセットされた状態で、データを受信し、パリティビットを受信開始したタイミングで、OVEビットをセットします。アクノリッジビット送信タイミングで、このOVEビットがセットされると、IEBはオーバランエラーが発生したものと認識して、NAKを返信します。同時に受信シフトレジスタのデータは廃棄します。
4. 送信側では、NAKを受信したので、ACKを受信するまで再送を続けます。
5. OVEがセットされたときのRxE割り込みによる割り込みルーチンで、単にOVEフラグをクリアしただけで、IERBRから受信データの転送を行っていないプログラムの場合、IEBはオーバランエラーは解消したものと判断し、外部に対しACKを送信します。この場合、送信側では問題なく通信を終了させますが、受信側では受信データがIERBRから転送が行われることなく、受信を続けます。したがって、OVEによる割り込みでは、IERBRから受信データを取り出し、RxRDYフラグをクリアして、次バイトから受信できる状態にDTCを設定したあと、OVEフラグをクリアしてください。
6. 上記5. はDTCの転送語数を常にIERBFLの値にしておけば、発生することはありません。

### 14.6.4 IETEF のエラーフラグについて

#### (1) AL フラグ

アービトレーション負けが発生し、IEMCRで設定した回数分再送してもアービトレーション負けであった場合にセットされます。再送している間にアービトレーションに勝った場合にはセットされません。ALフラグがセットされると、TxEフラグをセットして待機状態になります。

#### (2) UE フラグ

UEフラグがセットされると、TxEフラグをセットして待機状態になります。詳細は、「14.6.2 TxRDYフラグとアンダランエラーについて」を参照してください。

#### (3) TTME フラグ

データ送信中にタイミングエラーが発生した場合、TTMEフラグをセットし、TxEフラグをセットして待機状態になります。

### (4) RO フラグ

データフィールド送信中に、受信側からNAKを受信し、再送を行った結果、プロトコルで規定する最大伝送バイト数まで送信し、電文長で指定されたバイト数だけ送信しなかった場合、あるいは、電文長の値が、最大伝送バイト数より大きい値であった場合、ROフラグがセットされます。プロトコルで規定する最大伝送バイト数を指定し(たとえばモード1では32バイトを電文長で指定)、正しく送信した場合にはROはセットされません。ROフラグがセットされると、TxEフラグをセットして待機状態になります。

### (5) ACK フラグ

- 電文長フィールド送信までの間に、アクノリッジビットでNAKを受信した場合には、ACKフラグをセットし、TxEフラグをセットして待機状態になります。
- データフィールドのアクノリッジビットでNAKを受信した場合には、プロトコルで規定する最大伝送バイト数までデータを自動的に再送します。この再送の間でアクノリッジビットでACKを受信し、以降データを正しく送信した場合、ACKはセットされません。最大伝送バイト数まで送信を行った結果、最後のデータ送信でもNAK受信であった場合、ACKフラグをセットして待機状態になります。

【注】 データフィールド送信中に、受信側からNAKを受信し、再送を行った結果、プロトコルで規定する最大伝送バイト数まで送信を行ったが、電文長で指定されたバイト数だけ送信しなかった場合でも、最終バイト送信のアクノリッジビット受信でACKを受信するケースがあります。この場合、ROフラグはセットされますが、ACKフラグはセットされません。

## 14.6.5 IEREF のエラーフラグについて

### (1) OVE フラグ

OVEフラグがセットされると、RxEフラグはセットされますが、オーバランエラーが解消され、OVEフラグがクリアされると、IEBus受信動作を継続します。詳細は、「14.6.3 RxRDYフラグとオーバランエラーについて」を参照してください。

### (2) RTME フラグ

受信開始後(RxSがセットされたあと)、データ受信中にタイミングエラーが発生した場合、RTMEフラグをセットし、RxEフラグをセットして待機状態になります。受信開始前では、本フラグはセットされず、受信フレーム破棄されます。

### (3) DLE フラグ

データフィールド受信中に、パリティエラーかオーバランエラーにより、NAKを送信し、再送を行った結果、プロトコルで規定する最大伝送バイト数まで受信して、電文長で指定されたバイト数だけ受信しなかった場合、あるいは、電文長の値が最大伝送バイト数より大きい値であった場合、DLEフラグがセットされます。電文長でプロトコルで規定する最大伝送バイト数を指定し、正しく受信した場合にはDLEはセットされません。DLEフラグがセットされると、RxEフラグをセットして待機状態になります。

#### (4) PE フラグ

受信開始後 (RxS がセットされたあと)、パリティエラーが発生した場合、NAK を送信し再受信を行います。プロトコルで規定する最大伝送バイト数まで受信して、パリティエラーが解消されなかった場合、PE がセットされ、RxE フラグをセットして待機状態になります。この再受信の間でパリティエラーが解消され、以降正しくデータを受信した場合には PE はセットされません。

- 【注】
1. データフィールド受信中に、オーバーランエラーかパリティエラーが発生したため再送を行った結果、プロトコルで規定する最大伝送バイト数まで受信して電文長で指定されたバイト数だけ受信しなかった場合でも、最終バイト受信でパリティエラーもオーバーランエラーも発生しない場合もあります。この場合、DLE フラグはセットされませんが、OVE、PE フラグはセットされません。
  2. IEREF のフラグは、すべて受信開始後、セットされます。つまり、RxE フラグは必ず RxS ビットがセットされたあとで、有効になりセットされます。受信開始前のエラーが発生した場合は、フレームは破棄され、割り込みも発生しません。

### 14.6.6 スレーブ送信時の注意事項

スレーブステータス、ロックアドレスの上位およびロックアドレスの下位をスレーブが送信する際、マスタ受信側でパリティエラーか、オーバーランエラーが発生し、データが受信できないため、NAK が返された場合、スレーブで動作する場合には再送動作を行うことができません。

この場合、マスタ側ではエラーが発生したフレームは捨ててください。再度、マスタ受信で上記動作を要求し、エラーのないフレームを受信するようにしてください。

### 14.6.7 DTC 設定時の注意事項

送信データの DTC 転送時は DTCERG のビット 5 を、受信データの DTC 転送時は DTCERG のビット 6 を、それぞれビット操作命令 (BSET、BCLR 等) で設定し、DTCERG のその他のビット (ビット 7 およびビット 4~0) は 1 を書き込まないでください。

### 14.6.8 送信時のエラー処理

図 14.15 にタイミングエラー発生時の動作を示します。

データ送信時にタイミングエラー等が発生した場合 (1)、すでに DTC により、次の送信データが送信バッファに転送され、DTC の起動要因である TxRDY フラグがクリアされている場合があります。(2)

この状態で、再送信を行うと、データフィールドの 1 バイト目のデータとして、送信用バッファに残っているデータ (前回のフレームのデータ) を送信します。(3)

この動作を回避するため、マスタ送信時には、データフィールドの 1 バイト目のデータは、DTC を使用せずソフトウェア処理により送信用バッファに書き込んでください。2 バイト目以降のデータは DTC により転送します。

この際、DTC の SAR (転送元アドレス)、CRA (転送元カウンタ) は以下のように設定します。

- 2 バイト目のデータを格納している内蔵メモリのアドレス SAR
- 電文長で指定したデータバイト数 - 1 CRA

## 14. IEBus™ コントローラ (IEB) (H8S/2258 グループ)

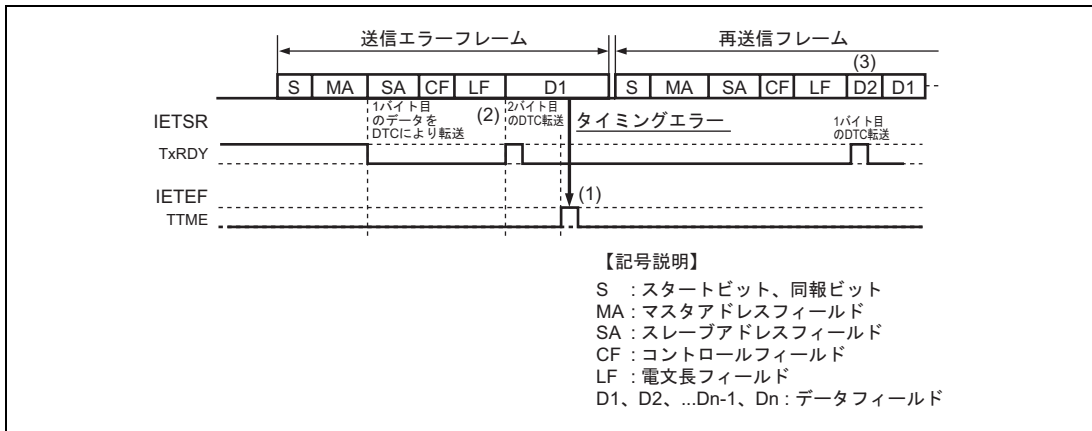


図 14.15 送信時のエラー処理

### 14.6.9 低消費電力モードの動作

IEB は、モジュールストップ、ウォッチ、ソフトウェアスタンバイ、ハードウェアスタンバイの低消費電力モードでは動作を停止し、内部はリセットされます。

IEB をリセットする場合は、モジュールストップモードに設定してください。IEB を使用して、消費電力を下げたい場合は、スリープモードを使用してください。

### 14.6.10 中速モードにおける注意事項

中速モードにおいては IEB のレジスタに対してリード/ライトを行わないでください。

### 14.6.11 レジスタアクセスにおける注意事項

IEB のレジスタはすべてバイトアクセスのみ可能です。ワードおよびロングワードアクセスは行わないでください。



---

## 15. シリアルコミュニケーションインタフェース (SCI)

---

本 LSI は、各々独立したシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。

### 15.1 特長

- 内蔵チャンネル数

H8S/2258グループ、H8S/2239グループ、H8S/2238グループ、H8S/2237グループ : 4チャンネル (チャンネル0、1、2、3)

H8S/2227グループ : 3チャンネル (チャンネル0、1、3)

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部は共にダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能

送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。

- LSBファースト / MSBファースト選択可能 (調歩同期式7ビットデータを除く)

- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCまたはDMAC (H8S/2239グループのみ) を起動することができます。

- モジュールストップモードの設定可能

#### 調歩同期式モード

- データ長 : 7ビット / 8ビット選択可能

- ストップビット長 : 1ビット / 2ビット選択可能

## 15. シリアルコミュニケーションインタフェース (SCI)

---

- パリティ：偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバーランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能
- 平均転送レートジェネレータ (SCI\_0)：16MHz動作時に720kbps/460.784kbps/115.192kbpsの選択が可能 (H8S/2239グループのみ)
- TPUからの転送レートクロック入力が可能 (SCI\_0) (H8S/2239グループのみ)
- マルチプロセッサ間通信が可能

### クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバーランエラー
- SCIセレクト機能 (SCI\_0)： $\overline{\text{IRQ7}} = 1$ のとき、TxD0 = Hi-Z、SCK0 = High固定入力の選択が可能 (H8S/2239グループのみ)

### スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

図 15.1 に SCI (H8S/2239 グループの SCI\_0 を除く) のブロック図を示します。図 15.2 に H8S/2239 グループの SCI\_0 のブロック図を示します。

## 15. シリアルコミュニケーションインタフェース (SCI)

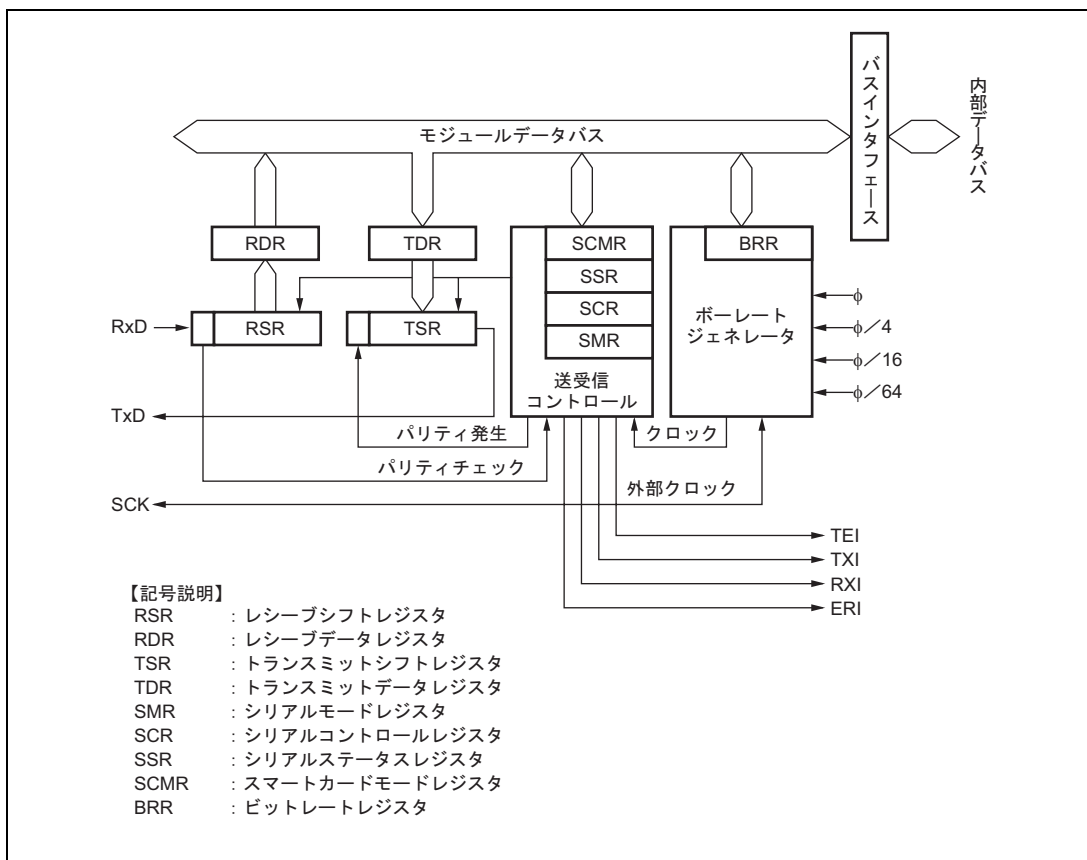


図 15.1 SCI のブロック図

## 15. シリアルコミュニケーションインタフェース (SCI)

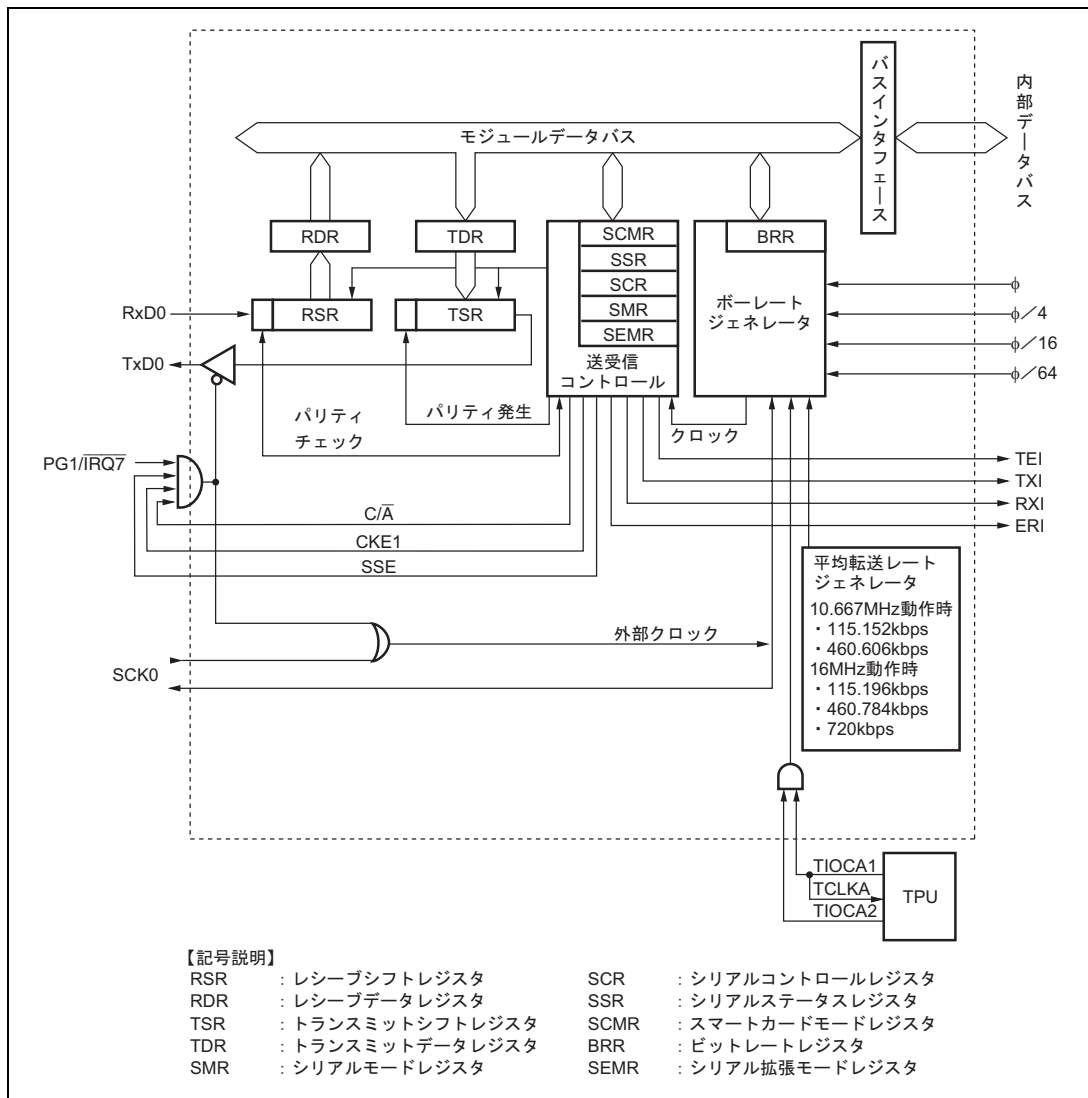


図 15.2 H8S/2239 グループの SCI\_0 のブロック図

## 15.2 入出力端子

SCIには、表 15.1 の入出力端子があります。

表 15.1 端子構成

チャンネル	端子名 <sup>*1</sup>	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2 <sup>*2</sup>	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子
3	SCK3	入出力	チャンネル3のクロック入出力端子
	RxD3	入力	チャンネル3の受信データ入力端子
	TxD3	出力	チャンネル3の送信データ出力端子

【注】 \*1 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

\*2 H8S/2227 グループにはありません。

## 15.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットデータレジスタ (TDR)
- トランスミットシフトレジスタ (TSR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ (SCR)
- シリアルステータスレジスタ (SSR)
- スマートカードモードレジスタ (SCMR)
- ビットレートレジスタ (BRR)
- シリアル拡張モードレジスタ0 (SEMR0) \*

## 15. シリアルコミュニケーションインタフェース (SCI)

---

【注】 \* H8S/2239 グループのみ、チャンネル0にあります。

### 15.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

### 15.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

RDR はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

### 15.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR の空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR に次の送信データがライトされていれば TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

### 15.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

## 15.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF = 0 のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ $\bar{A}$	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセスサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ $\bar{E}$	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。 1: 奇数パリティで送受信します。 送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットとみなします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ $\bar{E}$ ビットの設定は無効です。 詳細は「15.5 マルチプロセッサ通信機能」を参照してください。

## 15. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : $\phi$ クロック (n=0) 01 : $\phi/4$ クロック (n=1) 10 : $\phi/16$ クロック (n=2) 11 : $\phi/64$ クロック (n=3) このビットの設定値とポーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「15.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W	

### • スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「15.7.8 クロック出力制御」を参照してください。 0 : 通常のスマートカードインタフェースモードの動作 <ul style="list-style-type: none"> <li>• TEND フラグが開始ビットの先頭から 12.5etu (ブロック転送モード時は 11.5etu) のタイミングで発生</li> <li>• クロック出力の ON/OFF 制御のみ</li> </ul> 1 : GSM モードのスマートカードインタフェースモードの動作 <ul style="list-style-type: none"> <li>• TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生</li> <li>• クロック出力の ON/OFF 制御のほか、High/Low 固定制御可能 (SCR で設定)</li> </ul>
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「15.7.3 ブロック転送モード」を参照してください。 0 : 通常のスマートカードインタフェースモードの動作 <ul style="list-style-type: none"> <li>• エラーシグナルの送出、検出、データの自動再送信を行う</li> <li>• TXI 割り込みが TEND フラグにより発生する</li> <li>• TEND フラグの設定タイミングが、送信開始から 12.5etu 後 (GSM モードでは 11.0etu 後)</li> </ul> 1 : ブロック転送モードでの動作 <ul style="list-style-type: none"> <li>• エラーシグナルの送出、検出、データの自動再送信を行わない</li> <li>• TXI 割り込みが TDRE フラグにより発生する</li> <li>• TEND フラグの設定タイミングが、送信開始から 11.5etu 後 (GSM モードでは 11.0etu 後)</li> </ul>



## 15. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	パリティネーブル (調歩同期式モードのみ有効) このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードでPE=1のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「15.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を選択します。 00: 32クロック (S=32) 01: 64クロック (S=64) 10: 372クロック (S=372) 11: 256クロック (S=256) 詳細は、「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。Sは「15.3.9 ビットレートレジスタ (BRR)」中のSの値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00: $\phi$ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とボーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「15.3.9 ビットレートレジスタ (BRR)」中のnの値を表します。

【注】 etu (Elementary Time Unit) : 1ビットの転送期間

## 15. シリアルコミュニケーションインタフェース (SCI)

### 15.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「15.9 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、SSR の TDRE フラグから 1 をリードしたあと、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI、および ERI 割り込み要求の解除は、SSR の RDRF、FER、PER、ORER の各フラグから 1 をリードしたあと、0 にクリアするか、または RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にクリアすると、送信動作が禁止され、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にクリアすると、受信動作が禁止されます。0 にクリアしても、RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

## 15. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読み飛ばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「15.5 マルチプロセッサ通信機能」を参照してください。</p> <p>MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。</p> <p>TEI の解除は、SSR の TDRE フラグから 1 をリードしたあと、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <ul style="list-style-type: none"> <li>00: 内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます)</li> <li>01: 内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します)</li> <li>1X: 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください)</li> </ul> <p>クロック同期式の場合</p> <ul style="list-style-type: none"> <li>0X: 内部クロック (SCK 端子はクロック出力端子となります)</li> <li>1X: 外部クロック (SCK 端子はクロック入力端子となります)</li> </ul>

【記号説明】 X : Don't care

## 15. シリアルコミュニケーションインタフェース (SCI)

### • スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプティネーブル</p> <p>このビットを 1 にセットすると、TXI 割り込み要求を許可します。</p> <p>TXI 割り込み要求の解除は、SSR の TDRE フラグから 1 をリードしたあと、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプティネーブル</p> <p>このビットを 1 にセットすると、RXI および ERI 割り込み要求を許可します。</p> <p>RXI、および ERI 割り込み要求の解除は、SSR の RDRF、FER、PER、ORER の各フラグから 1 をリードしたあと、0 にクリアするか、または RIE ビットを 0 にクリアすることで行うことができます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。</p> <p>このビットを 0 にクリアすると、送信動作が禁止され、SSR の TDRE フラグは 1 に固定されます。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを 1 にセットすると、受信動作が可能になります。この状態で、調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。</p> <p>このビットを 0 にクリアすると、受信動作が禁止されます。0 にクリアしても、RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプティネーブル (調歩同期モードで SMR の MP = 1 のとき有効)</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p> <p>MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>

## 15. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説 明
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p> <p>TEIの解除は、SSRのTDREフラグから1をリードしたあと、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。</p>
1	CKE1	0	R/W	<p>クロックイネーブル 1、0</p> <p>SCK端子からのクロック出力を制御します。GSMモードではクロックの出力をダイナミックに切り替えることができます。詳細は「15.7.8 クロック出力制御」を参照してください。</p> <p>SMRのGM=0の場合</p> <p>00：出力ディスエーブル（SCK端子は入出力ポートとして使用可）</p> <p>01：クロック出力</p> <p>1X：リザーブ</p> <p>SMRのGM=1の場合</p> <p>00：Low出力固定</p> <p>01：クロック出力</p> <p>10：High出力固定</p> <p>11：クロック出力</p>
0	CKE0	0	R/W	

【記号説明】 X：Don't care

## 15. シリアルコミュニケーションインタフェース (SCI)

### 15.3.7 シリアルステータスレジスタ (SSR)

SSRはSCIのステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FERはクリアのみ可能です。SSRは通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* <sup>1</sup>	トランスミットデータレジスタエンプティ TDR内の送信データの有無を表示します。 [セット条件] • SCRのTEが0のとき • TDRからTSRにデータが転送されたとき [クリア条件] • 1の状態をリードしたあと、0をライトしたとき • TXI割り込み要求によりDMAC* <sup>2</sup> またはDTC* <sup>3</sup> でTDRへ送信データを転送したとき
6	RDRF	0	R/(W)* <sup>1</sup>	レシーブデータレジスタフル RDR内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSRからRDRへ受信データが転送されたとき [クリア条件] • 1の状態をリードしたあと、0をライトしたとき • RXI割り込みによりDMAC* <sup>2</sup> またはDTC* <sup>3</sup> でRDRからデータを転送したとき SCRのREをクリアしてもRDRおよびRDRFは影響を受けず状態を保持します。 RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。
5	ORER	0	R/(W)* <sup>1</sup>	オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。 [セット条件] • RDRF=1の状態での次のデータを受信したとき RDRではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。 [クリア条件] • 1の状態をリードしたあと、0をライトしたとき SCRのREをクリアしても、ORERは影響を受けず以前の状態を保持します。

## 15. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)* <sup>1</sup>	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• ストップビットが0のとき</li> </ul> <p>2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1の状態をリードしたあと、0をライトしたとき</li> </ul> <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/(W)* <sup>1</sup>	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 受信中にパリティエラーを検出したとき</li> </ul> <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、PER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1の状態をリードしたあと、0をライトしたとき</li> </ul> <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>送信を終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCRのTEが0のとき</li> <li>• 送信キャラクタの最後尾ビットの送信時、TDREが1のとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TDRE=1の状態をリードしたあと、TDREフラグに0をライトしたとき</li> <li>• TXI割り込み要求によりDMAC*<sup>2</sup>またはDTC*<sup>3</sup>でTDRへ送信データを転送したとき</li> </ul>
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 \*1 フラグをクリアするための0ライトのみ可能です。

## 15. シリアルコミュニケーションインタフェース (SCI)

\*2 H8S/2239 グループのみです。

\*3 DTC によりクリアされるのは DISEL = 0 で、かつ転送カウンタが 0 でない場合です。

### • スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* <sup>1</sup>	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• SCR の TE が 0 のとき</li> <li>• TDR から TSR にデータが転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードしたあと、0 をライトしたとき</li> <li>• TXI 割り込み要求により DMAC*<sup>2</sup>または DTC*<sup>3</sup>で TDR へ送信データを転送したとき</li> </ul>
6	RDRF	0	R/(W) * <sup>1</sup>	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• 受信が正常終了し、RSR から RDR へ受信データが転送されたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードしたあと、0 をライトしたとき</li> <li>• RXI 割り込みにより DTC*<sup>3</sup>で RDR からデータを転送したとき</li> </ul> <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)* <sup>1</sup>	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• RDRF=1 の状態で次のデータを受信したとき</li> </ul> <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードしたあと、0 をライトしたとき</li> </ul> <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>



## 15. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
4	ERS	0	R/(W)* <sup>1</sup>	<p>エラーシグナルステータス</p> <p>送信時に受信側から送り返されるエラーシグナルのステータスを表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>エラーシグナル Low をサンプリングしたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>1 の状態をリードしたあと、0 をライトしたとき</li> </ul> <p>SCR の TE をクリアしても ERS は影響を受けず状態を保持します。</p>
3	PER	0	R/(W)* <sup>1</sup>	<p>パリティエラー</p> <p>調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>受信中にパリティエラーを検出したとき</li> </ul> <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>1 の状態をリードしたあと、0 をライトしたとき</li> </ul> <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>SCR の TE=0 かつ ERS=0 のとき</li> <li>1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき</li> </ul> <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 12.5etu 後</p> <p>GM=0、BLK=1 のとき、送信開始から 11.5etu 後</p> <p>GM=1、BLK=0 のとき、送信開始から 11.0etu 後</p> <p>GM=1、BLK=1 のとき、送信開始から 11.0etu 後</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>TDRE = 1 の状態をリードしたあと、TDRE フラグに 0 をライトしたとき</li> <li>TXI 割り込み要求により DMAC*<sup>2</sup>または DTC*<sup>3</sup>で TDR へ送信データを転送したとき</li> </ul>
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p>

## 15. シリアルコミュニケーションインタフェース (SCI)

---

- 【注】 \*1 フラグをクリアするための0ライトのみ可能です。
- \*2 H8S/2239グループのみです。
- \*3 DTCによりクリアされるのはDISEL=0で、かつ転送カウンタが0でない場合です。

## 15.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよび通信フォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。調歩同期式モード 7 ビットデータの場合を除き、シリアル通信のモードによらず、LSB ファースト/MSB ファーストの選択が可能です。7 ビットデータの場合は 0 に設定し LSB ファーストで使用してください。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

## 15. シリアルコミュニケーションインタフェース (SCI)

### 15.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 15.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 15.2 BRR の設定値 N とビットレート B の関係

通信モード	ABCSビット*	ビットレート	誤差
調歩同期式	0	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$B = \frac{\phi \times 10^6}{32 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	—	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	—
スマートカード インタフェース	—	$B = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

#### 【記号説明】

- B : ビットレート (bps)  
 N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)  
 φ : 動作周波数 (MHz)  
 n と S : 下表のとおり SMR の設定値によって決まります。

【注】 \* ABCS ビットが 1 のときのビットレートは H8S/2239 グループの SCI\_0 のみ有効です。

SMR の設定値		クロック ソース	n
CKS1	CKS0		
0	0	φ	0
0	1	φ / 4	1
1	0	φ / 16	2
1	1	φ / 64	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 15.3 に、各動作周波数における設定可能な最大ビットレートを表 15.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 15.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 15.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「15.7.4 受信データサンプリングタ

## 15. シリアルコミュニケーションインタフェース (SCI)

イミングと受信マージン」を参照してください。また、表 15.5、表 15.7 に外部クロック入力時の最大ビットレートを示します。

調歩同期モードで SCL\_0 の SEMR0 の ABCS ビットを 1 にセットしたときは、最大ビットレートは表 15.4、表 15.5 の 2 倍になります (H8S/2239 グループのみ有効)。

表 15.3 ビットレートに対する BRR の設定例 (調歩同期モード)

ビットレート* <sup>1</sup> (bps)	動作周波数 $\phi$ (MHz)											
	2* <sup>3</sup>			2.097152* <sup>3</sup>			2.4576* <sup>3</sup>			3* <sup>3</sup>		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート* <sup>1</sup> (bps)	動作周波数 $\phi$ (MHz)											
	3.6864* <sup>3</sup>			4* <sup>3</sup>			4.9152* <sup>3</sup>			5* <sup>3</sup>		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

## 15. シリアルコミュニケーションインタフェース (SCI)

ビットレート*1 ( bps )	動作周波数φ ( MHz )											
	6*3			6.144*3			7.3728*3			8*3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート*1 ( bps )	動作周波数φ ( MHz )											
	9.8304*3			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

## 15. シリアルコミュニケーションインタフェース (SCI)

ビットレート* <sup>1</sup> ( bps )	動作周波数 $\phi$ ( MHz )											
	14* <sup>2</sup>			14.7456* <sup>2</sup>			16* <sup>2</sup>			17.2032* <sup>2</sup>		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート* <sup>1</sup> ( bps )	動作周波数 $\phi$ ( MHz )								
	18* <sup>2</sup>			19.6608* <sup>2</sup>			20* <sup>2</sup>		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	- 0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	- 1.36
31250	0	17	0.00	0	19	- 1.70	0	19	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73

【注】 \*1 H8S/2239 グループでは、SEMR0のABCS=0のときの例です。ABCS=1に設定したときは、ビットレートが2倍になります。

\*2 H8S/2239 グループのみです。

\*3 H8S/2258 グループは動作範囲外です。

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.4 各動作周波数における最大ビットレート (調歩同期式モード)

φ (MHz)	最大ビットレート ( kbps )	n	N	φ (MHz)	最大ビットレート ( kbps )	n	N
2* <sup>2</sup>	62.5	0	0	9.8304* <sup>2</sup>	307.2	0	0
2.097152* <sup>2</sup>	65.536	0	0	10	312.5	0	0
2.4576* <sup>2</sup>	76.8	0	0	12	375.0	0	0
3* <sup>2</sup>	93.75	0	0	12.288	384.0	0	0
3.6864* <sup>2</sup>	115.2	0	0	14* <sup>1</sup>	437.5	0	0
4* <sup>2</sup>	125.0	0	0	14.7456* <sup>1</sup>	460.8	0	0
4.9152* <sup>2</sup>	153.6	0	0	16* <sup>1</sup>	500.0	0	0
5* <sup>2</sup>	156.25	0	0	17.2032* <sup>1</sup>	537.6	0	0
6* <sup>2</sup>	187.5	0	0	18* <sup>1</sup>	562.5	0	0
6.144* <sup>2</sup>	192.0	0	0	19.6608* <sup>1</sup>	614.4	0	0
7.3728* <sup>2</sup>	230.4	0	0	20* <sup>1</sup>	625.0	0	0
8* <sup>2</sup>	250.0	0	0				

【注】 \*1 H8S/2239 グループのみです。

\*2 H8S/2258 グループは動作範囲外です。

表 15.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

φ (MHz)	外部入力クロック ( MHz )	最大ビットレート ( kbps )	φ (MHz)	外部入力クロック ( MHz )	最大ビットレート ( kbps )
2* <sup>2</sup>	0.5000	31.25	9.8304* <sup>2</sup>	2.4576	153.6
2.097152* <sup>2</sup>	0.5243	32.768	10	2.5000	156.25
2.4576* <sup>2</sup>	0.6144	38.4	12	3.0000	187.5
3* <sup>2</sup>	0.7500	46.875	12.288	3.0720	192.0
3.6864* <sup>2</sup>	0.9216	57.6	14* <sup>1</sup>	3.5000	218.75
4* <sup>2</sup>	1.0000	62.5	14.7456* <sup>1</sup>	3.6864	230.4
4.9152* <sup>2</sup>	1.2288	76.8	16* <sup>1</sup>	4.0000	250.0
5* <sup>2</sup>	1.2500	78.125	17.2032* <sup>1</sup>	4.3008	268.8
6* <sup>2</sup>	1.5000	93.75	18* <sup>1</sup>	4.5000	281.3
6.144* <sup>2</sup>	1.5360	96.0	19.6608* <sup>1</sup>	4.9152	307.2
7.3728* <sup>2</sup>	1.8432	115.2	20* <sup>1</sup>	5.0000	312.5
8* <sup>2</sup>	2.0000	125.0			

【注】 \*1 H8S/2239 グループのみです。

\*2 H8S/2258 グループは動作範囲外です。



## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.6 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビット レート ( bps )	動作周波数 $\phi$ ( MHz )													
	2* <sup>2</sup>		4* <sup>2</sup>		6* <sup>2</sup>		8* <sup>2</sup>		10		16* <sup>1</sup>		20* <sup>1</sup>	
	n	N	n	N	n	N	N	N	n	N	n	N	n	N
110	3	70	-	-										
250	2	124	2	249			3	124	-	-	3	249		
500	1	249	2	124			2	249	-	-	3	124	-	-
1k	1	124	1	249			2	124	-	-	2	249	-	-
2.5k	0	199	1	99	1	149	1	199	1	249	2	99	2	124
5k	0	99	0	199	1	74	1	99	1	124	1	199	1	249
10k	0	49	0	99	0	149	0	199	0	249	1	99	1	124
25k	0	19	0	39	0	59	0	79	0	99	0	159	0	199
50k	0	9	0	19	0	29	0	39	0	49	0	79	0	99
100k	0	4	0	9	0	14	0	19	0	24	0	39	0	49
250k	0	1	0	3	0	5	0	7	0	9	0	15	0	19
500k	0	0*	0	1	0	2	0	3	0	4	0	7	0	9
1M			0	0*			0	1			0	3	0	4
2.5M									0	0*			0	1
5M													0	0*

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

\* : 連続送信 / 連続受信はできません。

【注】 \*1 H8S/2239 グループのみです。

\*2 H8S/2258 グループは動作範囲外です。

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
2* <sup>2</sup>	0.3333	0.333
4* <sup>2</sup>	0.6667	0.667
6* <sup>2</sup>	1.0000	1.000
8* <sup>2</sup>	1.3333	1.333
10	1.6667	1.667
12	2.0000	2.000
14* <sup>1</sup>	2.3333	2.333
16* <sup>1</sup>	2.6667	2.667
18* <sup>1</sup>	3.0000	3.000
20* <sup>1</sup>	3.3333	3.333

【注】 \*1 H8S/2239 グループのみです。

\*2 H8S/2258 グループは動作範囲外です。

表 15.8 ビットレートに対する BRR の設定例  
(スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bps)	動作周波数φ (MHz)											
	5.00* <sup>2</sup>		7.00* <sup>2</sup>		7.1424* <sup>2</sup>		10.00		10.7136		13.00	
	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)
6720	0	0.01	1	30.00	1	28.57	1	0.01	1	7.14	2	13.33
9600	0	30.00	0	1.99	0	0.00	1	30.00	1	25.00	1	8.99

ビットレート (bps)	動作周波数φ (MHz)							
	14.2848* <sup>1</sup>		16.00* <sup>1</sup>		18.00* <sup>1</sup>		20.00* <sup>1</sup>	
	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)	N	誤差 (%)
6720	2	4.76	2	6.67	3	9.99	3	0.01
9600	1	0.00	1	12.01	2	15.99	2	6.66

【注】 \*1 H8S/2239 グループのみです。

\*2 H8S/2258 グループは動作範囲外です。

表 15.9 各動作周波数における最大ビットレート  
(スマートカードインタフェースモードで S=372 のとき)

φ (MHz)	最大ビットレート (bps)	n	N
5.00* <sup>2</sup>	6720	0	0
7.00* <sup>2</sup>	9409	0	0
7.1424* <sup>2</sup>	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848* <sup>1</sup>	19200	0	0
16.00* <sup>1</sup>	21505	0	0
18.00* <sup>1</sup>	24194	0	0
20.00* <sup>1</sup>	26882	0	0

【注】 \*1 H8S/2239 グループのみです。

\*2 H8S/2258 グループは動作範囲外です。

### 15.3.10 シリアル拡張モードレジスタ\_0 (SEMR\_0)

SEMR\_0 は、SCI\_0 の機能を拡張する 8 ビットのレジスタです。調歩同期式モード時の基本クロック設定、クロックソースの選択、転送レートの自動設定ができます。

【注】 H8S/2239 グループのみサポートします。

ビット	ビット名	初期値	R/W	説明
7	SSE	0	R/W	<p>SCI_0 セレクトイネーブル</p> <p>クロック同期式モードで外部クロック入力時における SCI_0 セレクト機能の選択ができます。SCI_0 セレクト機能を有効にした場合、PG1/<math>\overline{RQ7}</math> 端子に 1 入力されると TxD0 出力が Hi-Z 状態になり、SCK0 入力为本 LSI 内部で High 固定となり、SCI_0 のデータ送受信が停止します。SSE の設定は、クロック同期式モード (SMR の C/<math>\overline{A}</math> = 1) で外部クロック入力 (SCR の CKE = 1) のとき有効です。</p> <p>0 : SCI_0 セレクト機能が無効 1 : SCI_0 セレクト機能が有効</p> <p>PG1/<math>\overline{RQ7}</math> 端子 = 1 入力時は、TxD0 出力が Hi-Z 状態になり、SCK0 クロック X 入力が High 固定入力になります。</p>
6~4	-	不定	-	<p>リザーブビット</p> <p>ライトすると常に 0 が読み出されます。ライトは無効です。</p>

## 15. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	ABCS	0	R/W	<p>調歩同期式基本クロックセレクト</p> <p>調歩同期式モードにおける1ビット期間の基本クロックを選択します。</p> <p>ABCSの設定は、調歩同期式モード (SHRのC/Aビット=0)のとき有効です。</p> <p>0: 転送レートの16倍の周波数の基本クロックで動作</p> <p>1: 転送レートの8倍の周波数の基本クロックで動作</p>
2 1 0	ACS2 ACS1 ACS0	0 0 0	R/W R/W R/W	<p>調歩同期クロックソースセレクト</p> <p>平均転送レートを選択したときは、ABCSの設定に関係なく基本クロックが自動設定されます。また、平均転送レートは、10.667MHzと16MHzの動作周波数に対応しています。それ以外には対応していません。</p> <p>ACS2~ACS0の設定は、調歩同期式モード (SMRレジスタのC/Aビット=0)で外部クロック (SCRのCKE=0)のとき有効です。</p> <p>000: 外部クロック入力</p> <p>001: <math>\phi = 10.667\text{MHz}</math> 専用の平均転送レート 115.152kbps を選択 (転送レートの16倍の周波数の基本クロックで動作)</p> <p>010: <math>\phi = 10.667\text{MHz}</math> 専用の平均転送レート 460.606kbps を選択 (転送レートの8倍の周波数の基本クロックで動作)</p> <p>011: リザーブ</p> <p>100: TPU クロック入力 (TIOCA1 と TIOCA2 の論理積)</p> <p>101: <math>\phi = 16\text{MHz}</math> 専用の平均転送レート 115.196kbps を選択 (転送レートの16倍の周波数の基本クロックで動作)</p> <p>110: <math>\phi = 16\text{MHz}</math> 専用の平均転送レート 460.784kbps を選択 (転送レートの16倍の周波数の基本クロックで動作)</p> <p>111: <math>\phi = 16\text{MHz}</math> 専用の平均転送レート 720kbps を選択 (転送レートの16倍の周波数の基本クロックで動作)</p>

図 15.3、図 15.4 は、平均転送レートが選択されたときの内部基本クロックの例を示します。

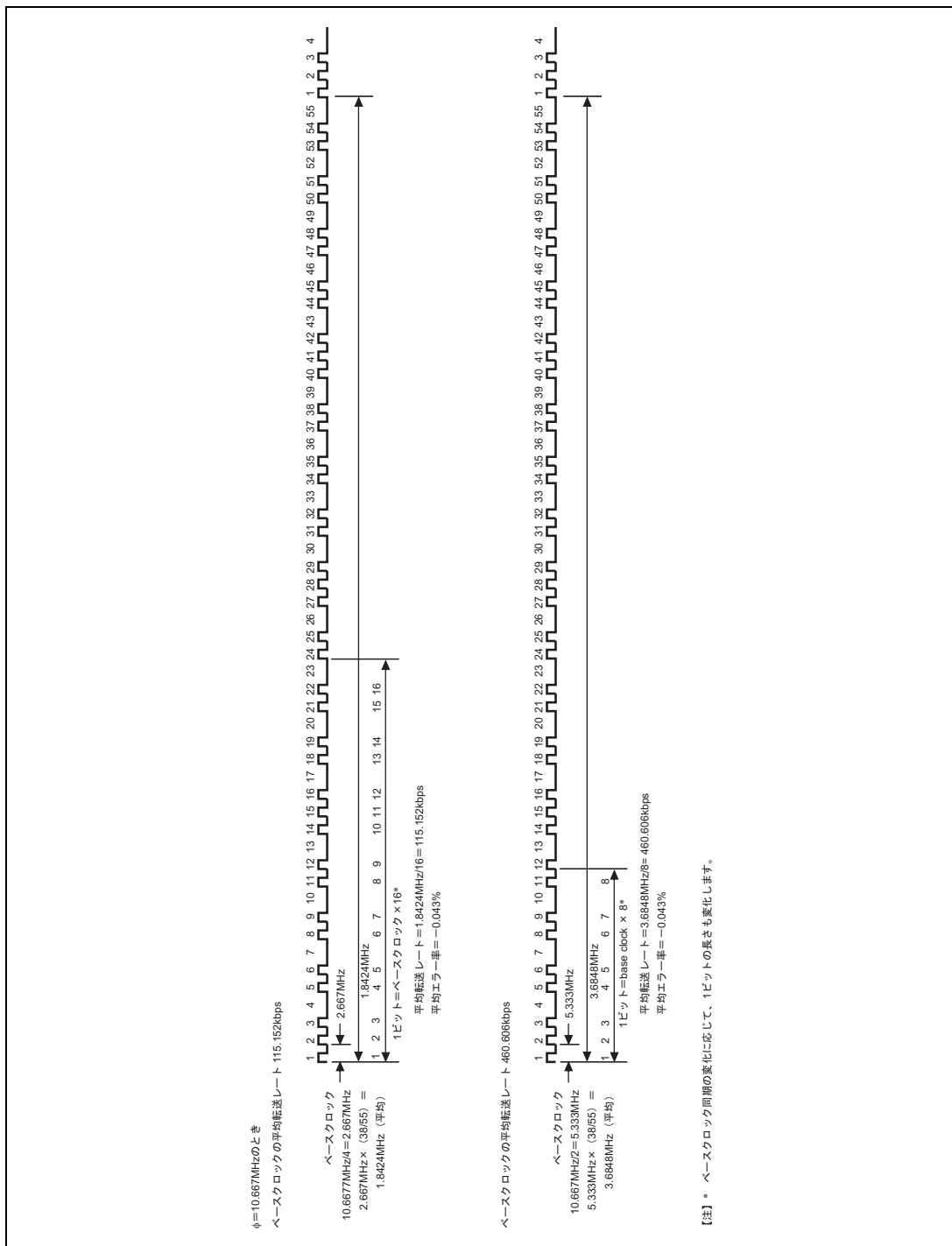


図 15.3 平均転送レートが選択されたときのベースクロック例 (1)

## 15. シリアルコミュニケーションインタフェース (SCI)

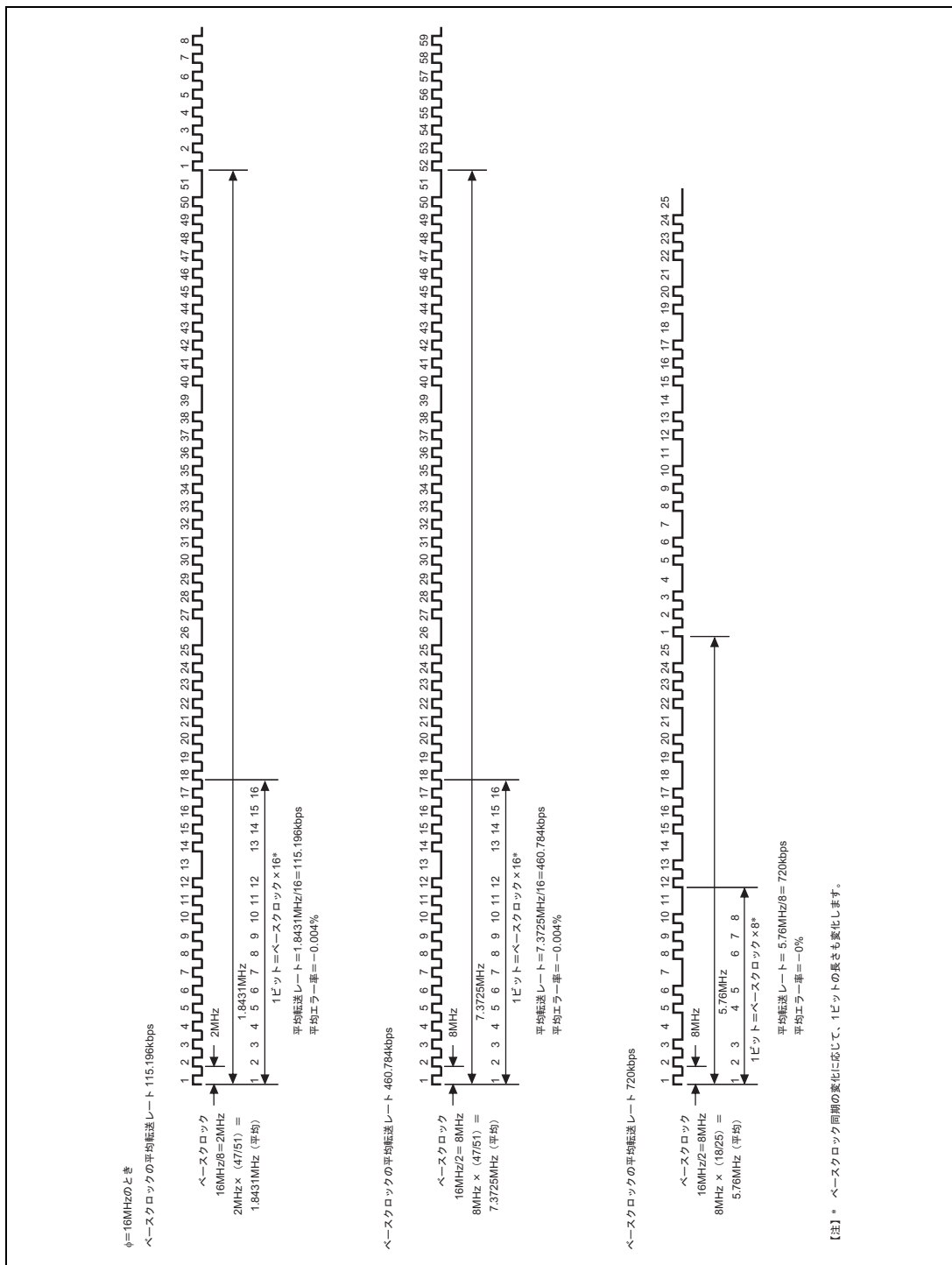


図 15.4 平均転送レートが選択されたときのベースクロック例 (2)

## 15.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 15.5 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

SEMR\_0 の ABCS ビット = 1 のとき、SCI\_0 はデータを 1 ビット期間の 8 倍の周波数クロックの 4 番目でサンプリングします (H8S/2239 グループのみ有効)。

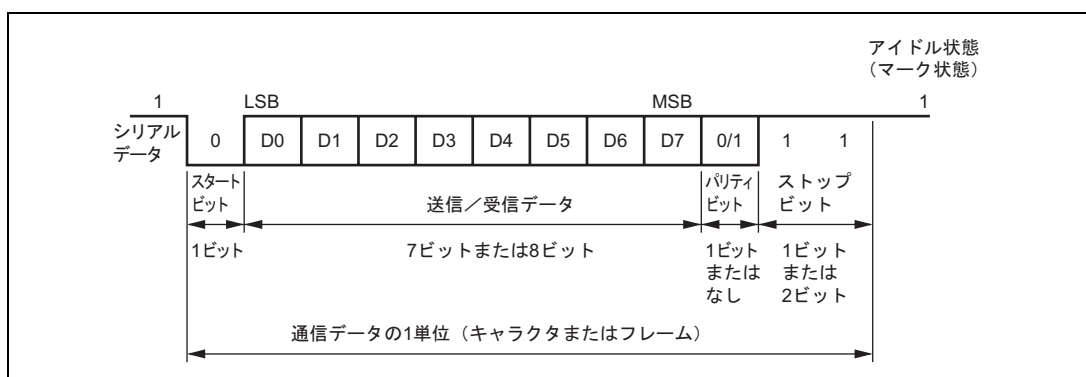


図 15.5 調歩同期式通信のデータフォーマット (8 ビットデータ / パリティあり / 2 ストップビットの例)

### 15.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 15.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「15.5 マルチプロセッサ通信機能」を参照してください。

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット



### 15.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図15.6に示すように受信データを基本クロックの8番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N = 16、ただし、H8S/2239グループのSEMR0のABCS = 1のとき N = 8)

D: クロックのデューティ (D = 0 ~ 1.0)

L: フレーム長 (L = 9 ~ 12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値) = 0、D(クロックのデューティ) = 0.5、N(クロックに対するビットレートの比) = 16とすると、

$$M = \{ 0.5 - 1 / (2 \times 16) \} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20 ~ 30%の余裕を持たせてください。

【注】 H8S/2239グループのSEMR0のABCSビット = 1以外の例です。ABCS = 1のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

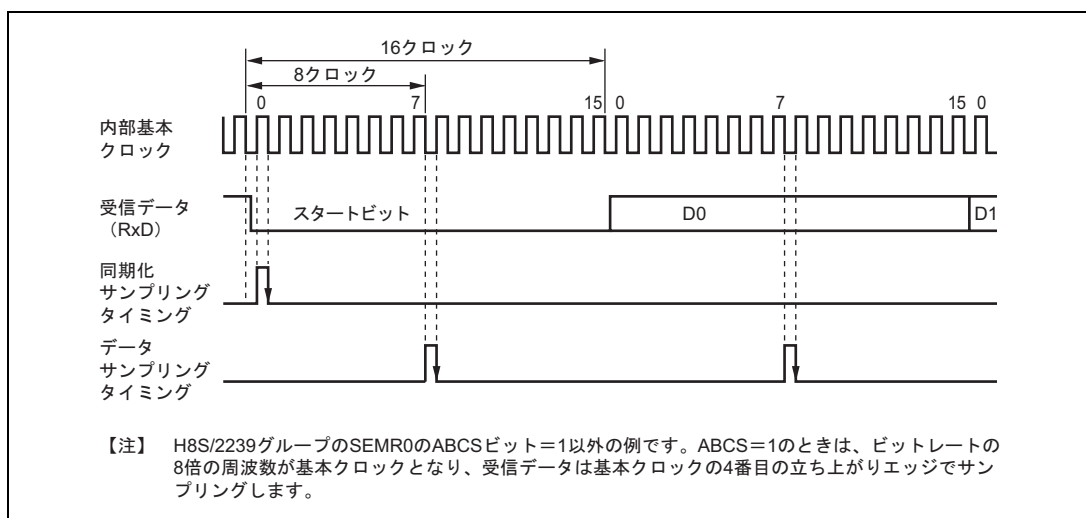


図 15.6 調歩同期式モードの受信データサンプリングタイミング

## 15. シリアルコミュニケーションインタフェース (SCI)

### 15.4.3 クロック

SCIの送受信クロックは、SMRの $C/\bar{A}$ ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはCKE1 = 0、CKE0 = 1に設定するとSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図15.7に示すように送信データの中央でクロックが立ち上がります。

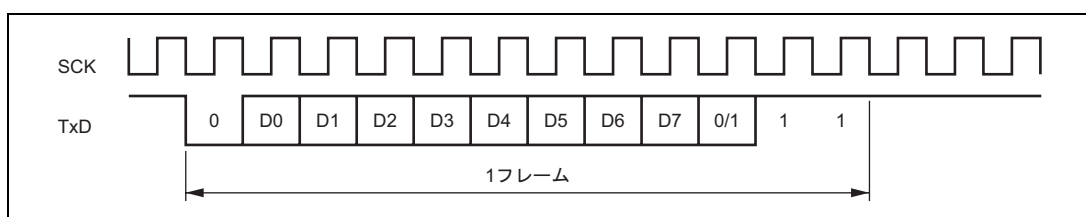


図 15.7 出力クロックと送信データの位相関係 (調歩同期式モード)

## 15.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 15.8 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

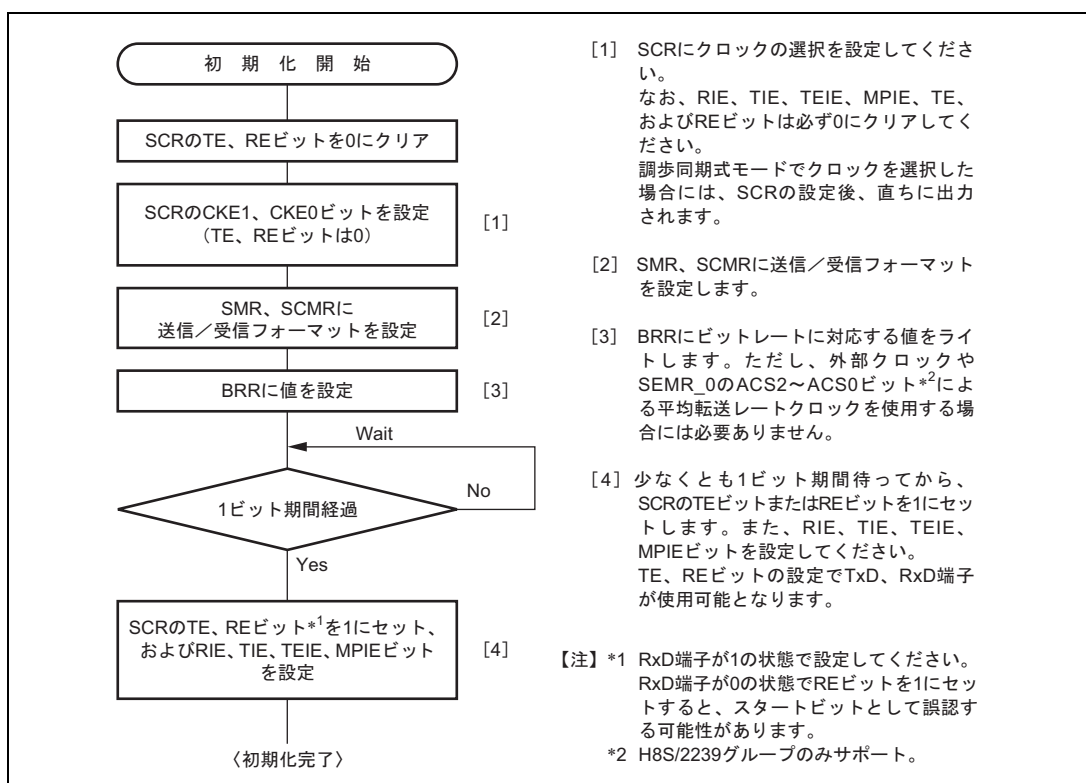


図 15.8 SCI の初期化フローチャートの例

### 15.4.5 シリアルデータ送信 (調歩同期式)

図 15.9 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

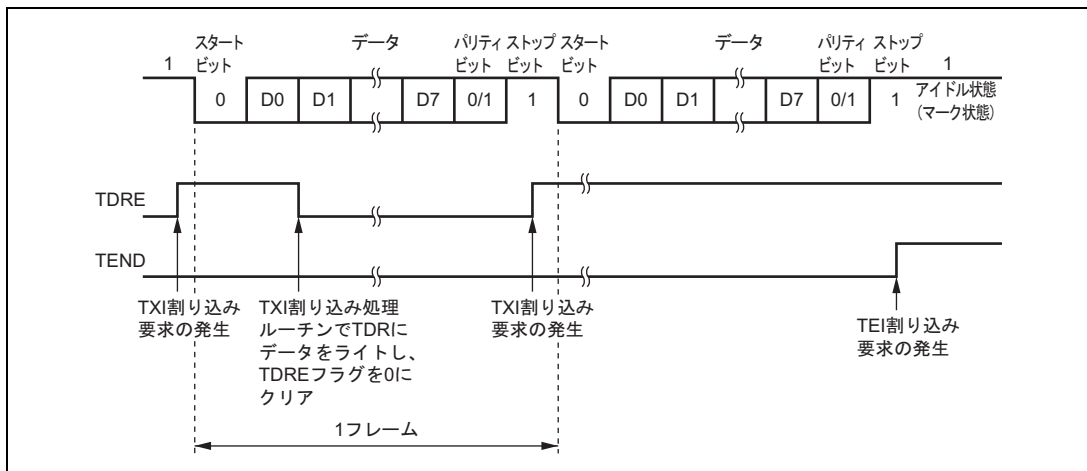


図 15.9 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

図 15.10 にデータ送信のフローチャートの例を示します。

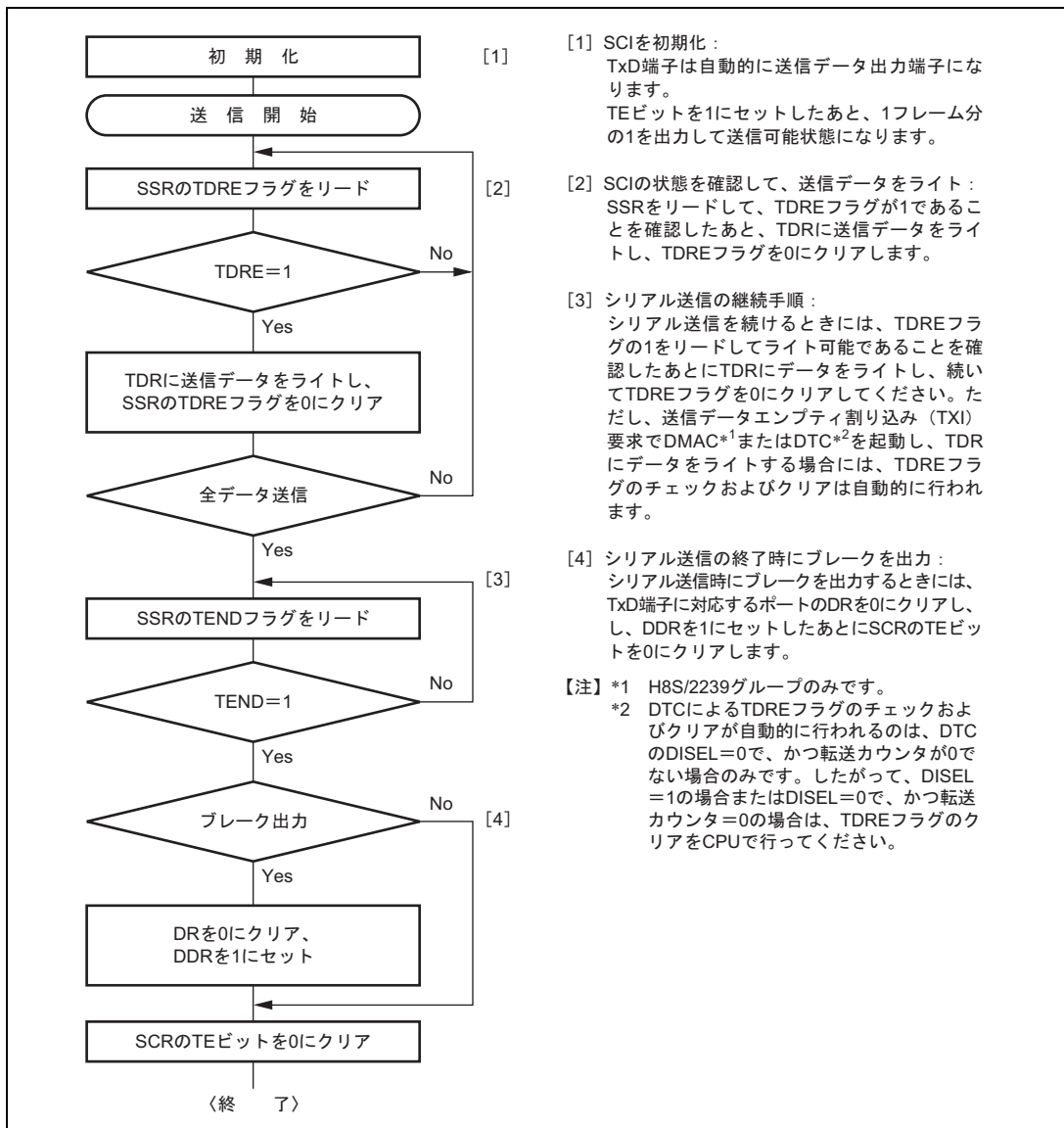


図 15.10 シリアル送信のフローチャートの例

### 15.4.6 シリアルデータ受信 (調歩同期式)

図 15.11 に調歩同期式モードの送信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

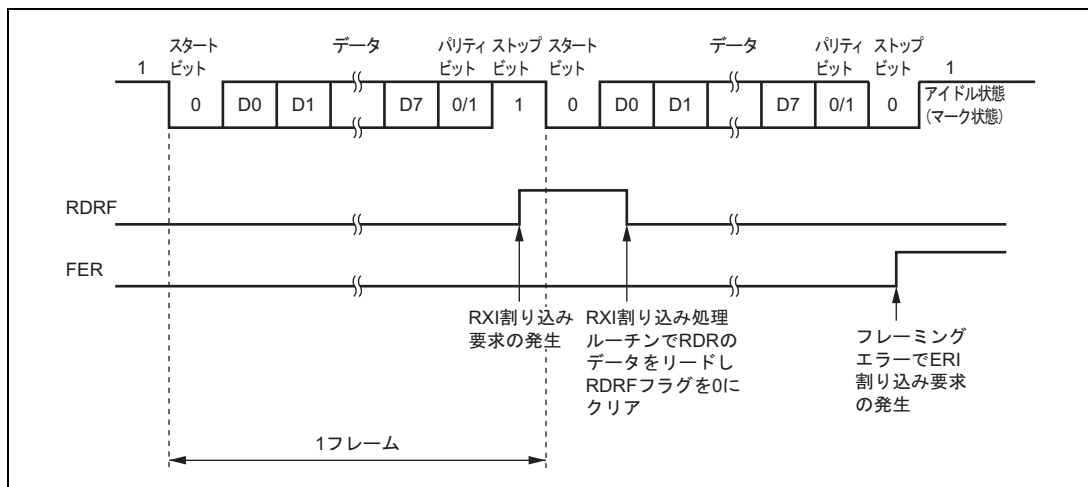


図 15.11 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 15.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.12 にデータ受信のためのフローチャートの例を示します。

表 15.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 \* RDRF は、データ受信前の状態を保持します。

## 15. シリアルコミュニケーションインタフェース (SCI)

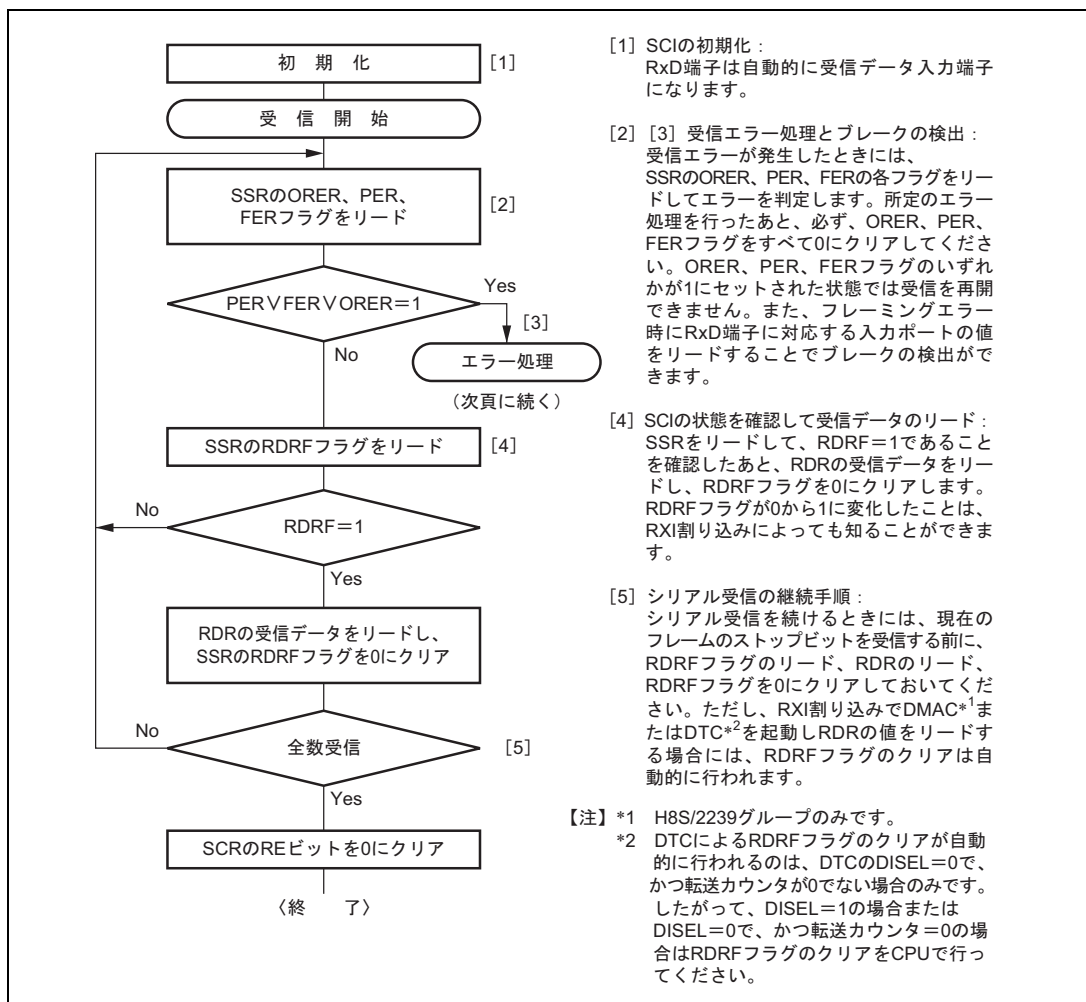


図 15.12 シリアル受信データフローチャートの例 (1)



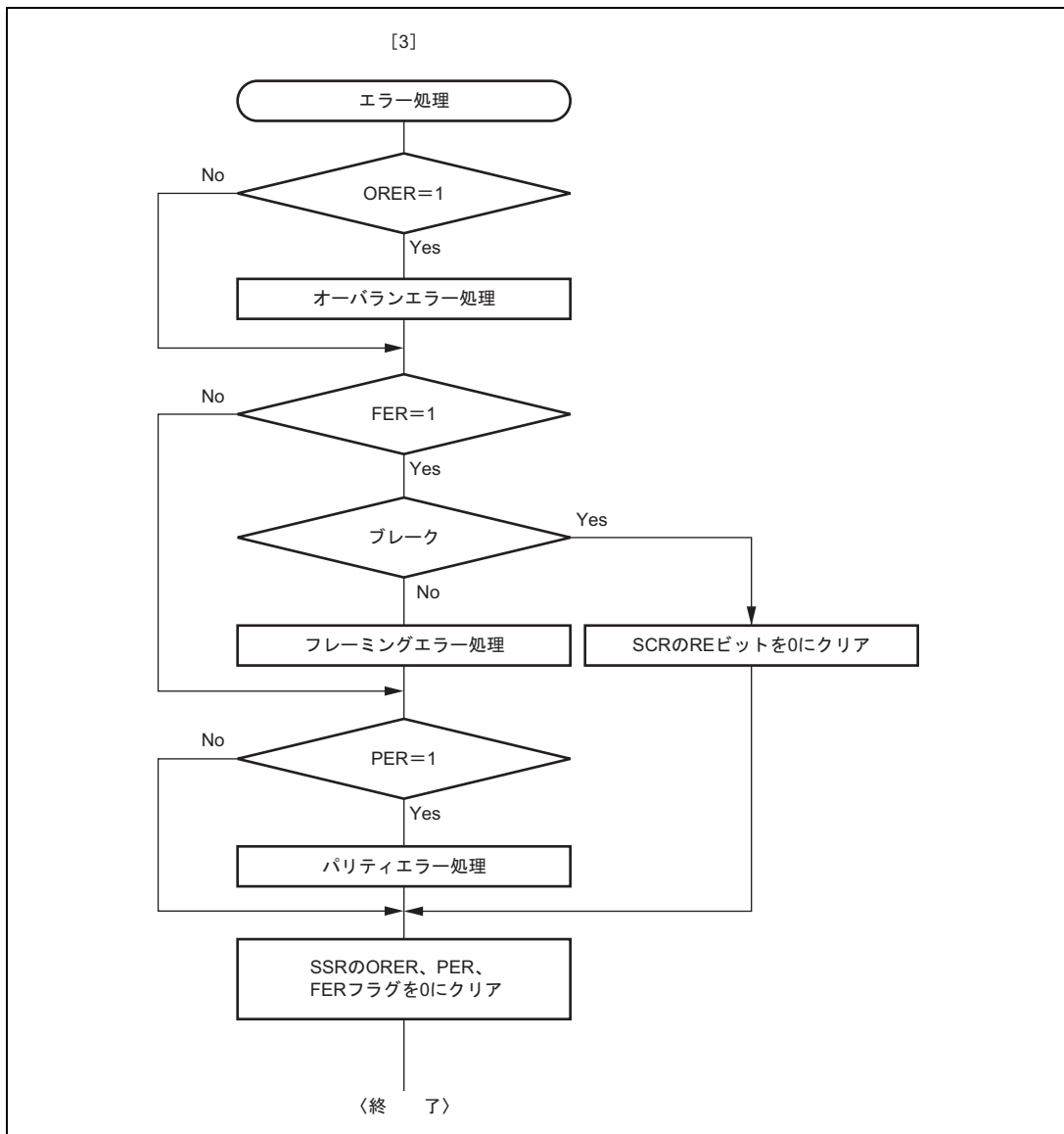


図 15.12 シリアル受信データフローチャートの例 (2)

## 15.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 15.13 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRが1にセットされると共にMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

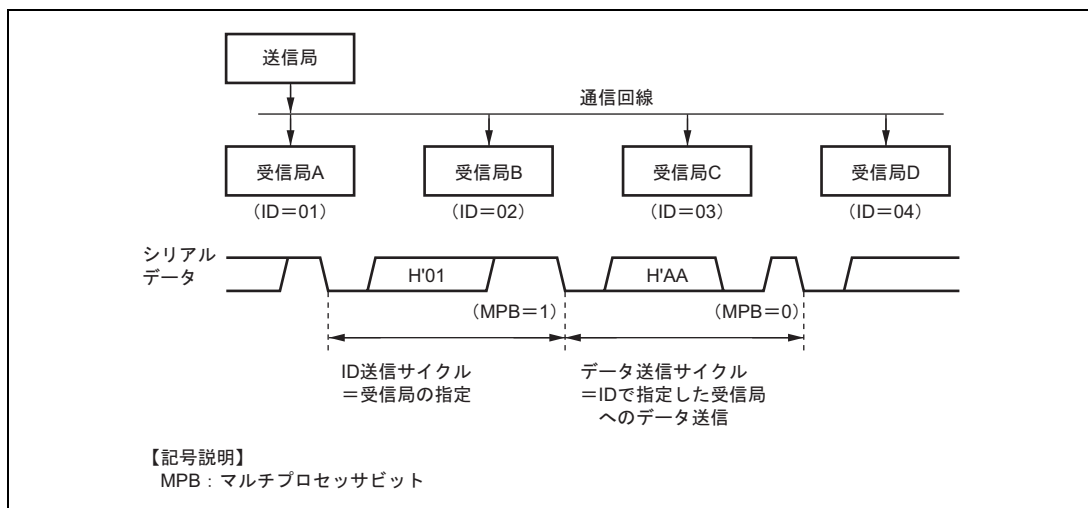


図 15.13 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

## 15.5.1 マルチプロセッサシリアルデータ送信

図 15.14 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

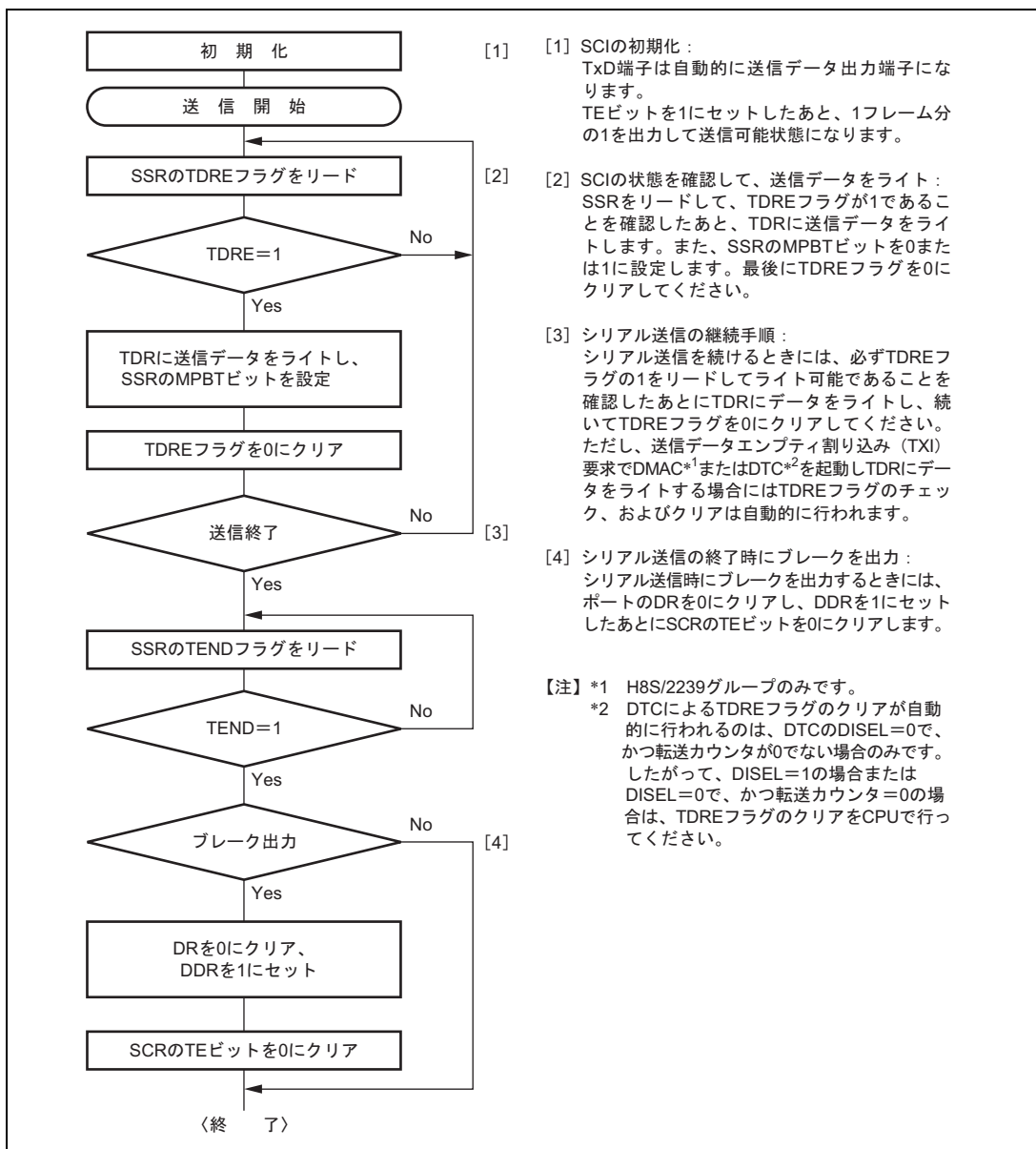


図 15.14 マルチプロセッサシリアル送信のフローチャートの例

### 15.5.2 マルチプロセッサシリアルデータ受信

図 15.16 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 15.15 に受信時の動作例を示します。

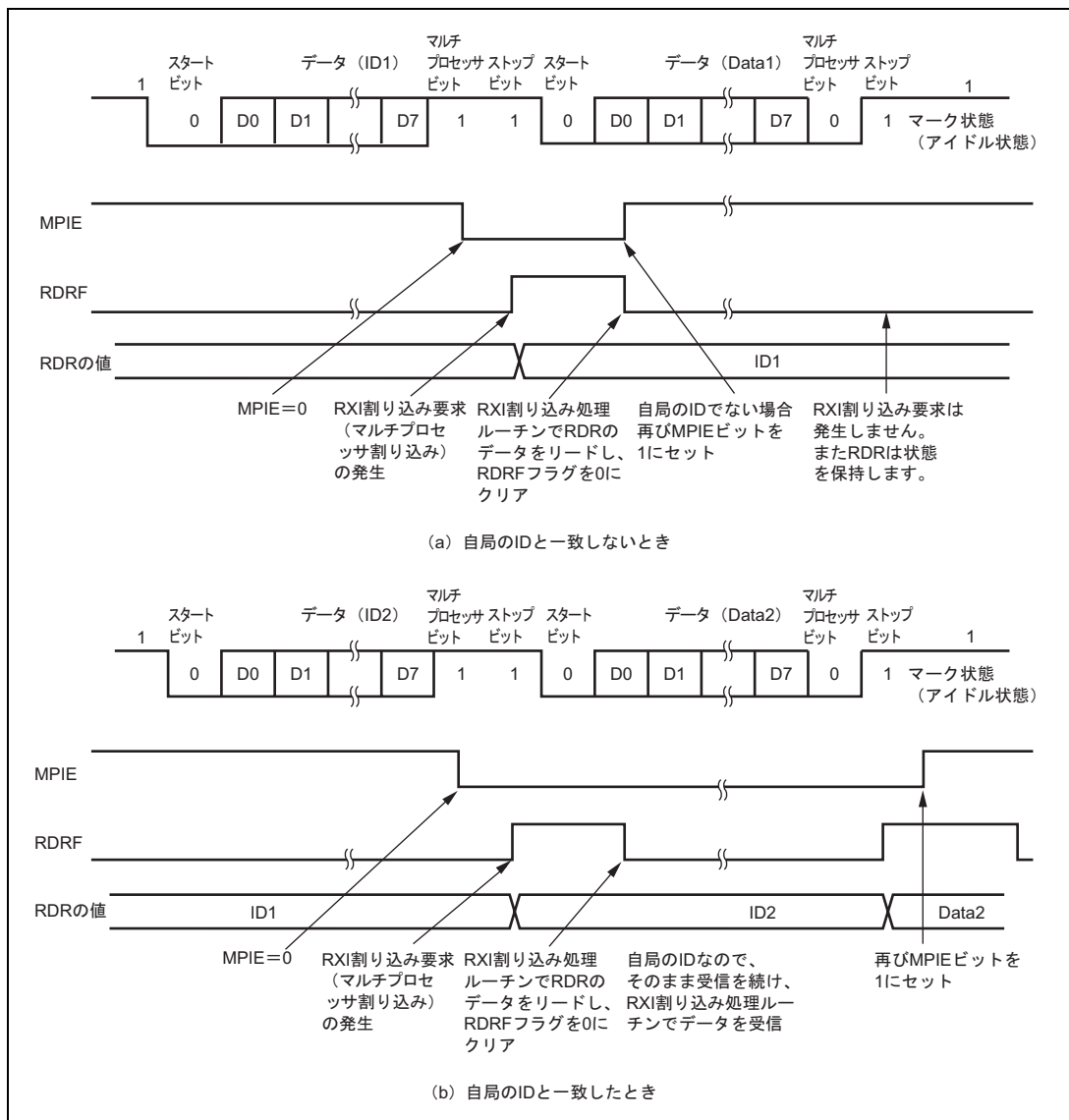


図 15.15 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

## 15. シリアルコミュニケーションインタフェース (SCI)

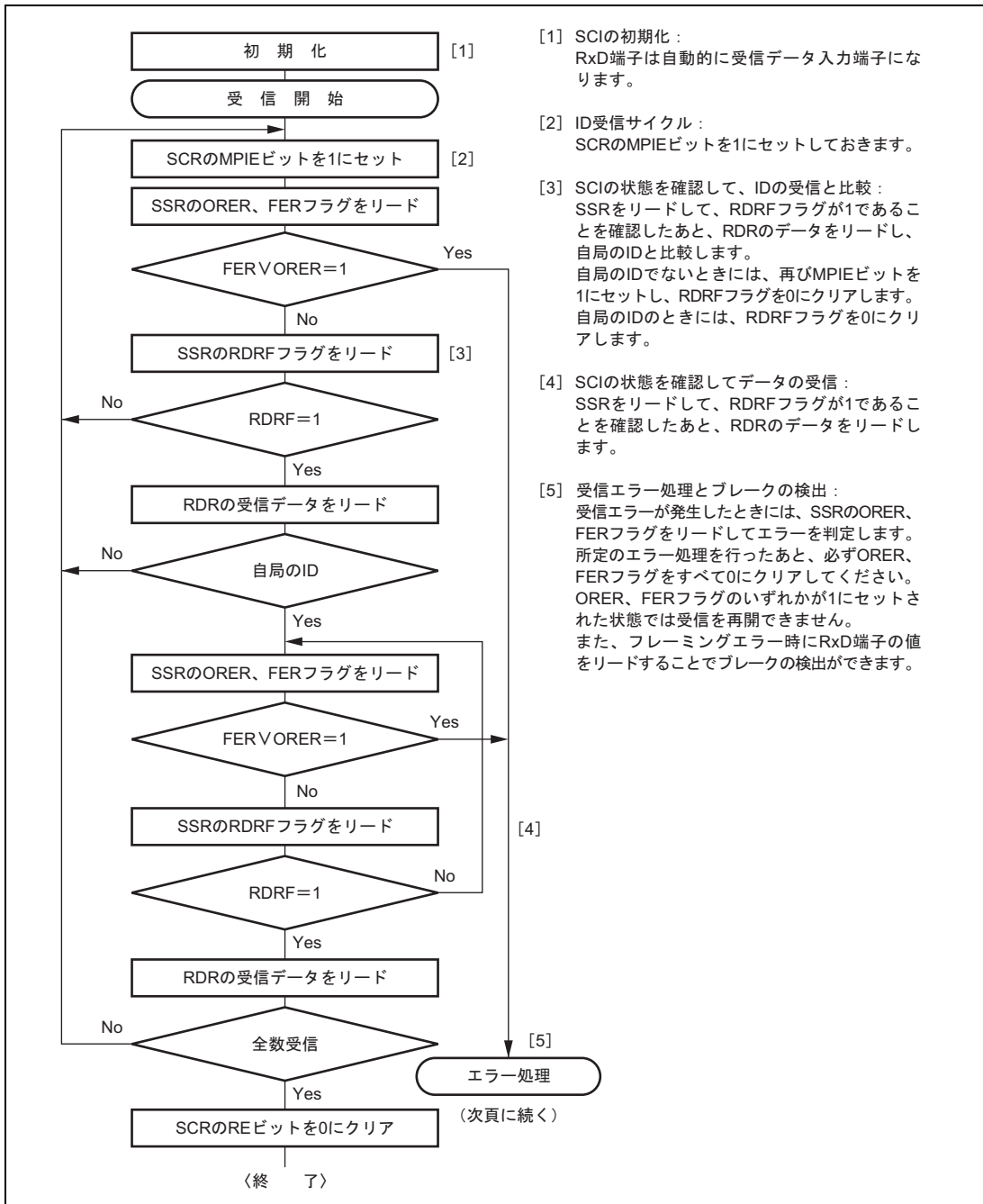


図 15.16 マルチプロセッサシリアル受信のフローチャートの例 (1)

## 15. シリアルコミュニケーションインタフェース (SCI)

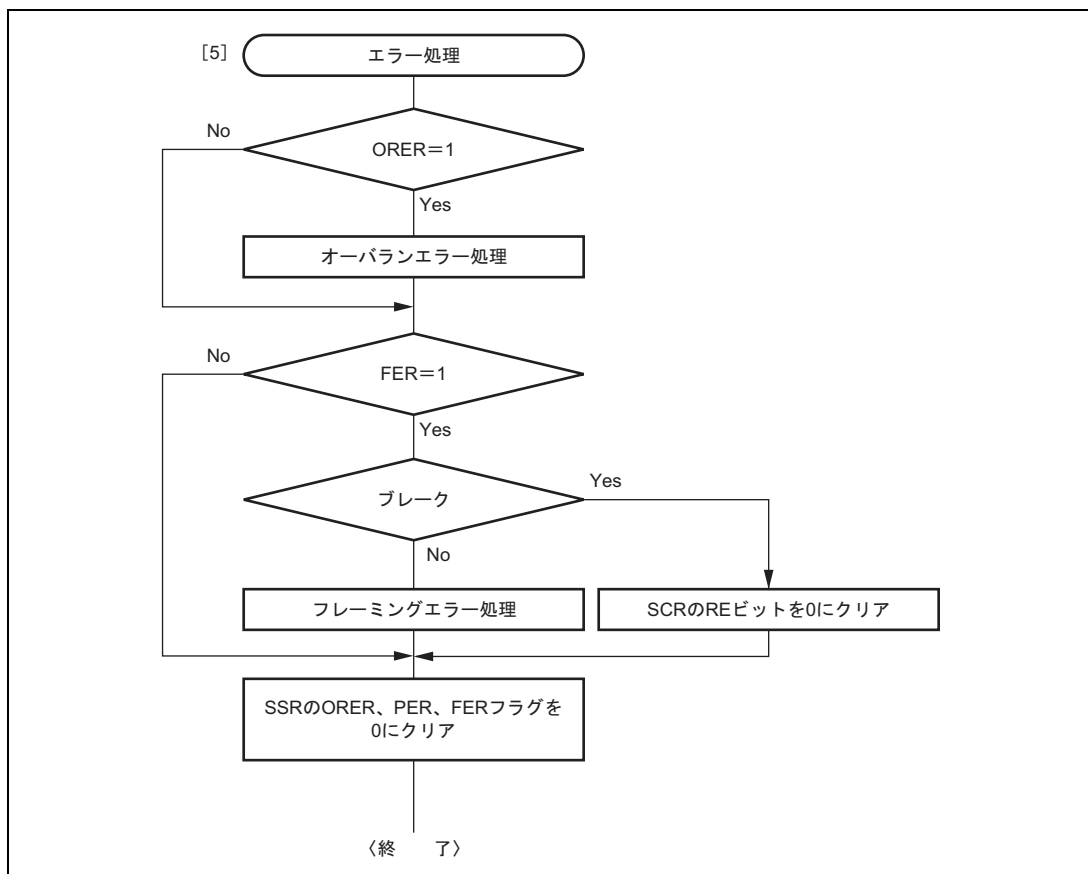


図 15.16 マルチプロセッサシリアル受信のフローチャートの例 (2)

## 15.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 15.17 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりから次の立ち上がりまで取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

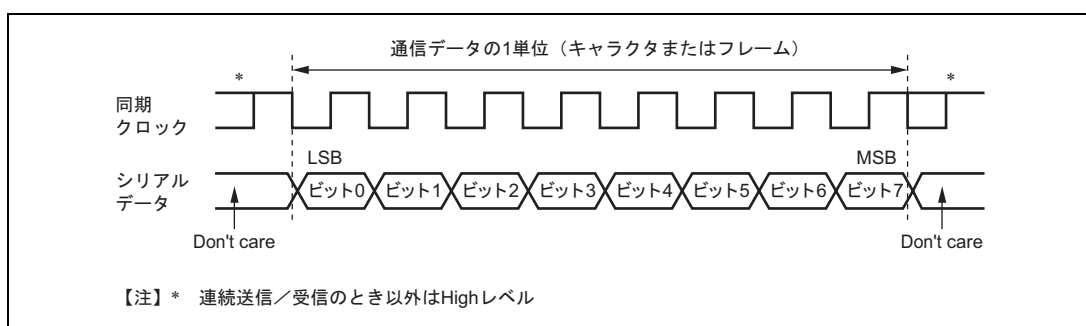


図 15.17 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

### 15.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

### 15.6.2 SCI の初期化

データの送受信前に、SCR の TE、RE ビットをクリアしたあと、図 15.18 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。

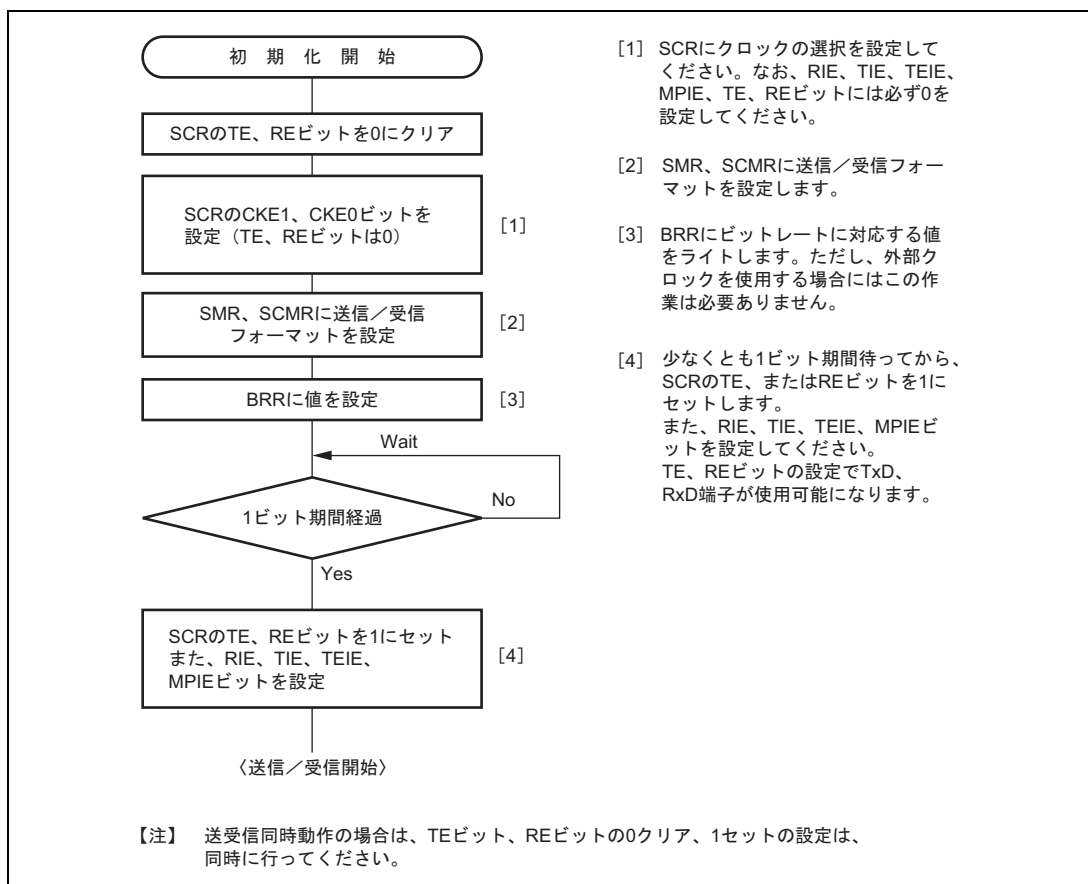


図 15.18 SCI の初期化フローチャートの例



## 15.6.3 シリアルデータ送信 (クロック同期式)

図 15.19 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 15.20 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が1にセットされた状態ではTDREをクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはREビットをクリアしただけではクリアされませんので注意してください。

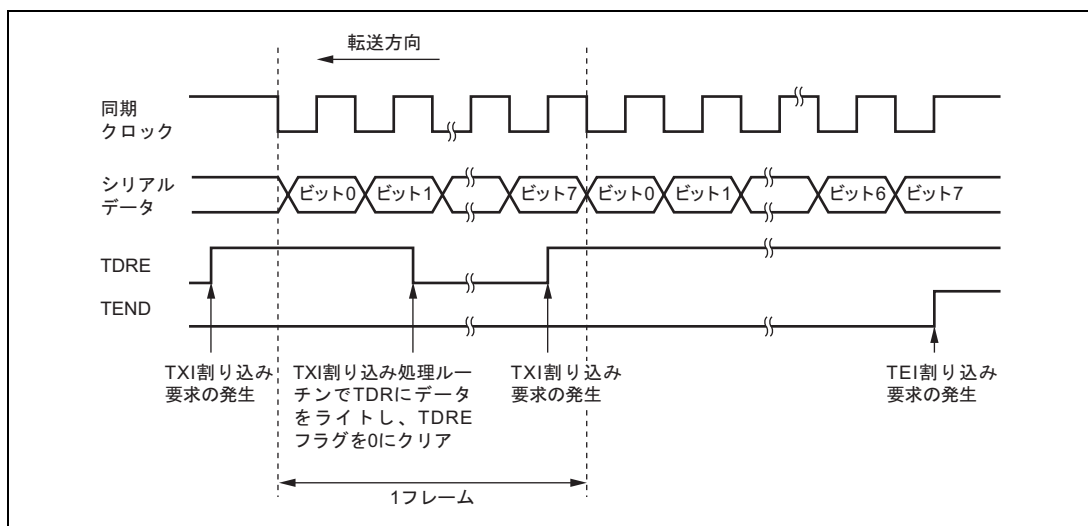


図 15.19 クロック同期式モードの送信時の動作例

## 15. シリアルコミュニケーションインタフェース (SCI)

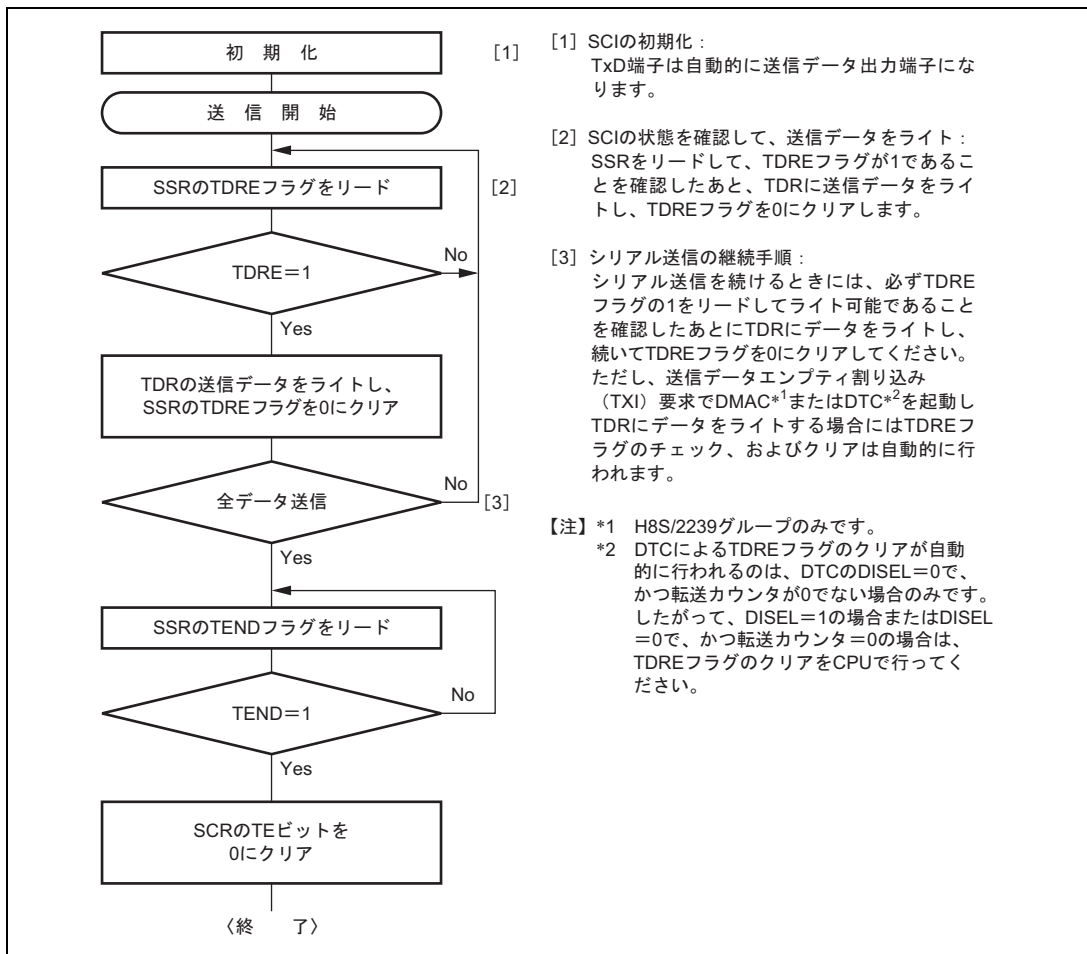


図 15.20 シリアル送信のフローチャートの例

## 15.6.4 シリアルデータ受信 (クロック同期式)

図 15.21 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

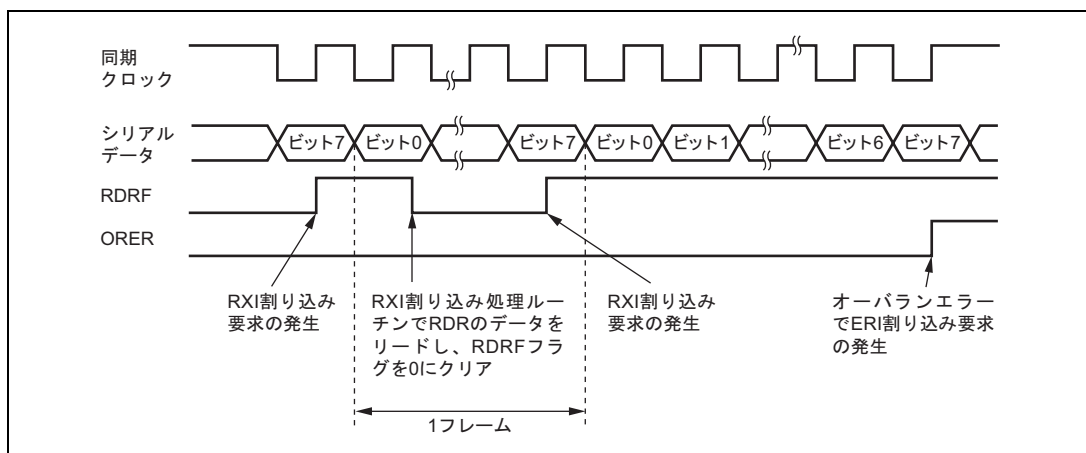


図 15.21 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.22 にデータ受信のためのフローチャートの例を示します。

内部クロックを選択し、受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックが出力されます。1 フレーム単位の受信動作を行いたいときは、送受信同時動作による 1 フレームだけのダミー送信も同時に行ってください。

## 15. シリアルコミュニケーションインタフェース (SCI)

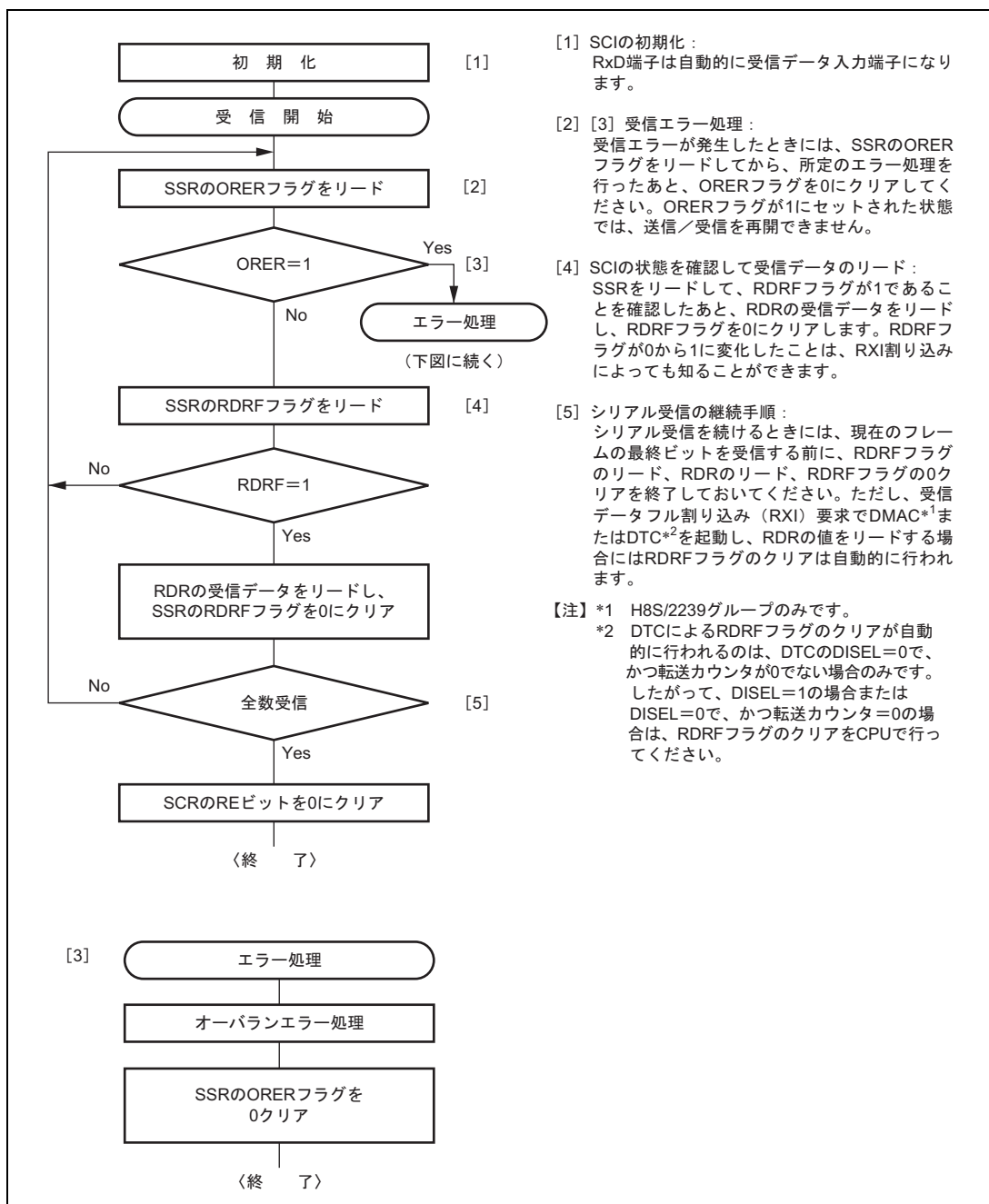


図 15.22 シリアルデータ受信フローチャートの例

### 15.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 15.23 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認したあと、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認したあと、TE および RE を 1 命令で同時に 1 にセットしてください。

## 15. シリアルコミュニケーションインタフェース (SCI)

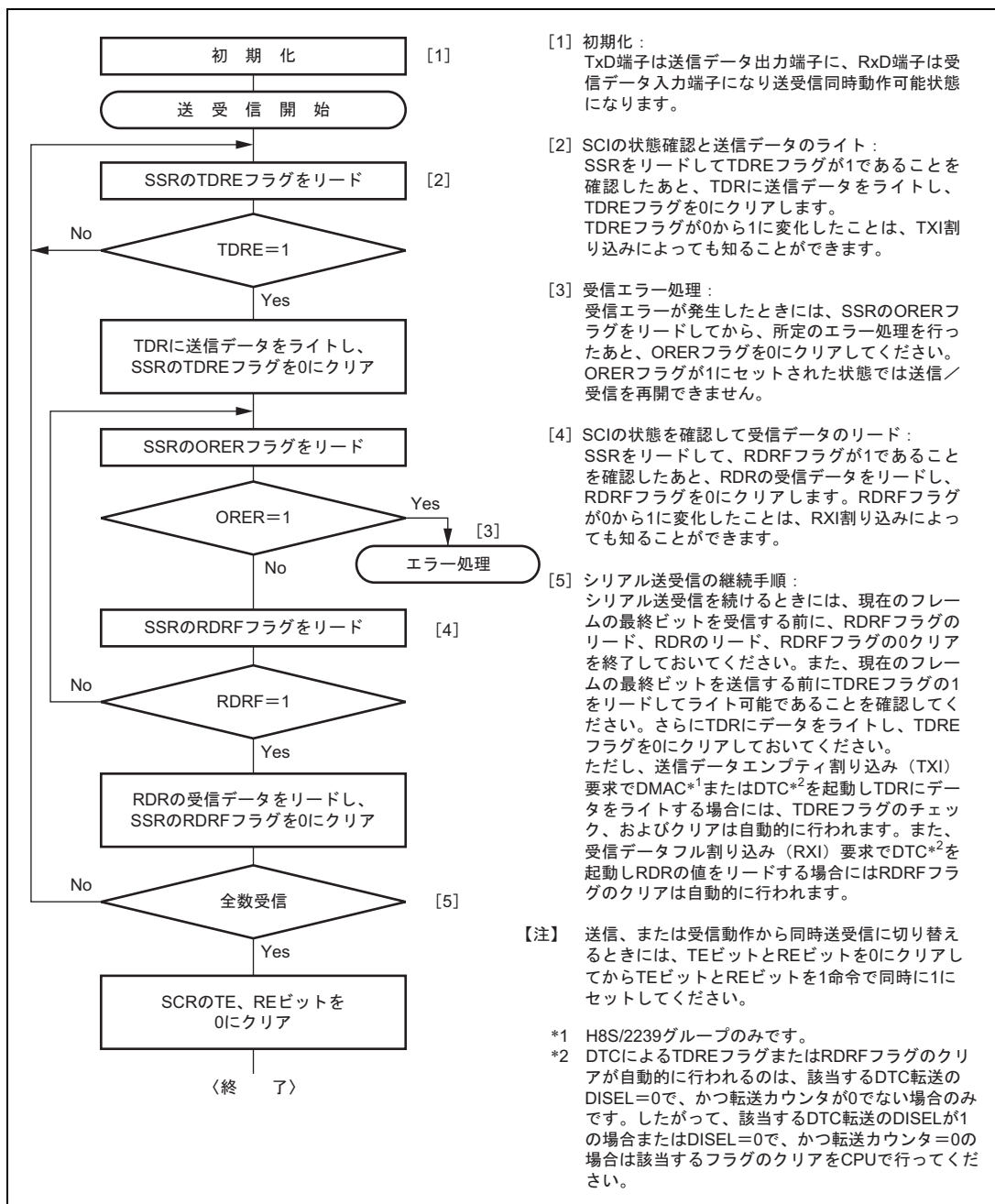


図 15.23 シリアル送受信同時動作のフローチャートの例

## 15.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

### 15.7.1 接続例

図 15.24 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD端子とRxD端子とを結線し、データ伝送線は抵抗で電源V<sub>CC</sub>側にプルアップしてください。ICカードを接続しない状態でRE=TE=1に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK端子出力をICカードのCLK端子に入力してください。ICカードで、内部クロックを使用する場合は接続不要です。リセット信号の出力には本LSIの出力ポートを使用できます。端子としては、これ以外に通常、電源とグラウンドの接続が必要です。

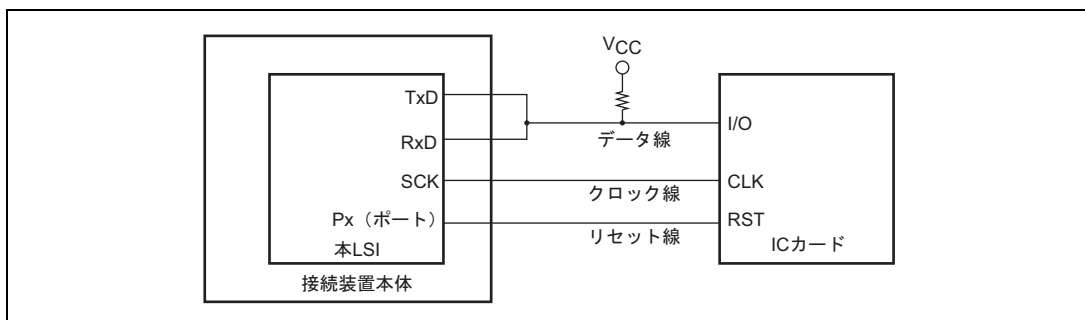


図 15.24 スマートカードインタフェース端子接続概要

### 15.7.2 データフォーマット (ブロック転送モード時を除く)

図 15.25 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムを置きます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

## 15. シリアルコミュニケーションインタフェース (SCI)

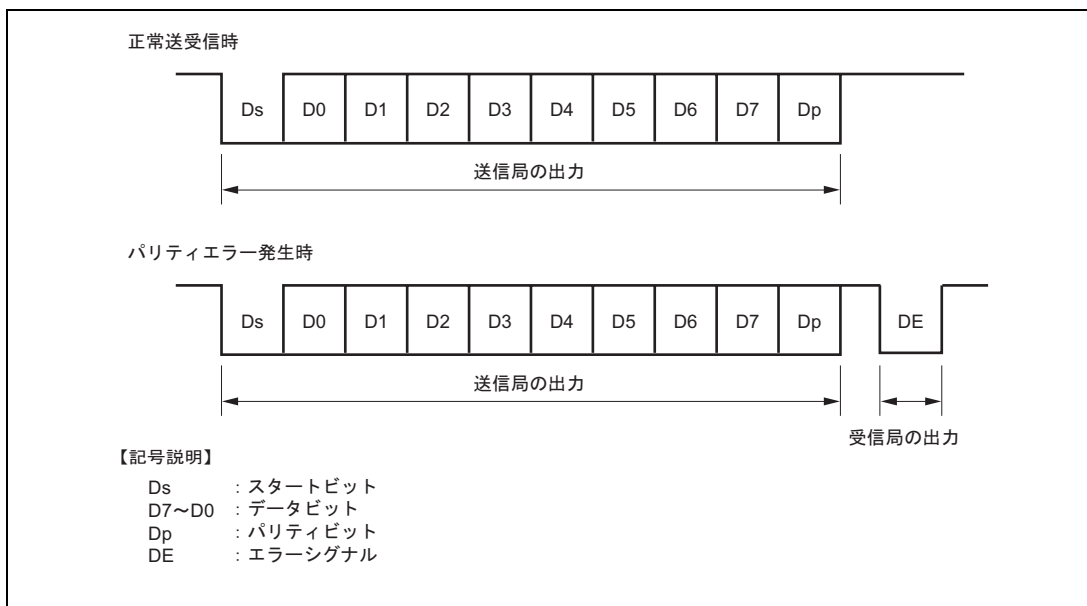


図 15.25 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

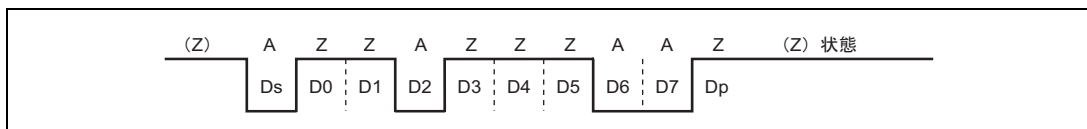


図 15.26 ダイレクトコンベンション (SDIR = SINV = O/E = 0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをとともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRのO/Eビットには0をセットしてください。

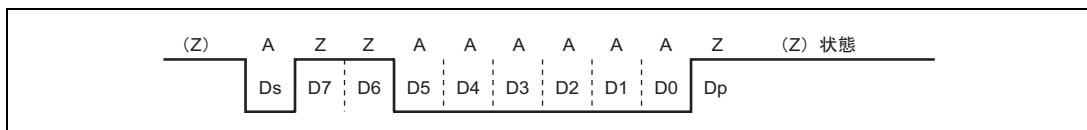


図 15.27 インバースコンベンション (SDIR = SINV = O/E = 1)



インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7~D0 のみ反転させます。このため、送受信とも SMR の O $\bar{E}$  ビットに 1 を設定してパリティビットを反転させてください。

### 15.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

### 15.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図15.28に示すように受信データを基本クロックのそれぞれ16、32、186、128番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N=32、64、372、256)

D：クロックデューティ (D=0~1.0)

L：フレーム長 (L=10)

F：クロック周波数の偏差の絶対値

## 15. シリアルコミュニケーションインタフェース (SCI)

上の式で、 $F=0$ 、 $D=0.5$ 、 $N=372$  とすると、受信マージンは次のようになります。

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

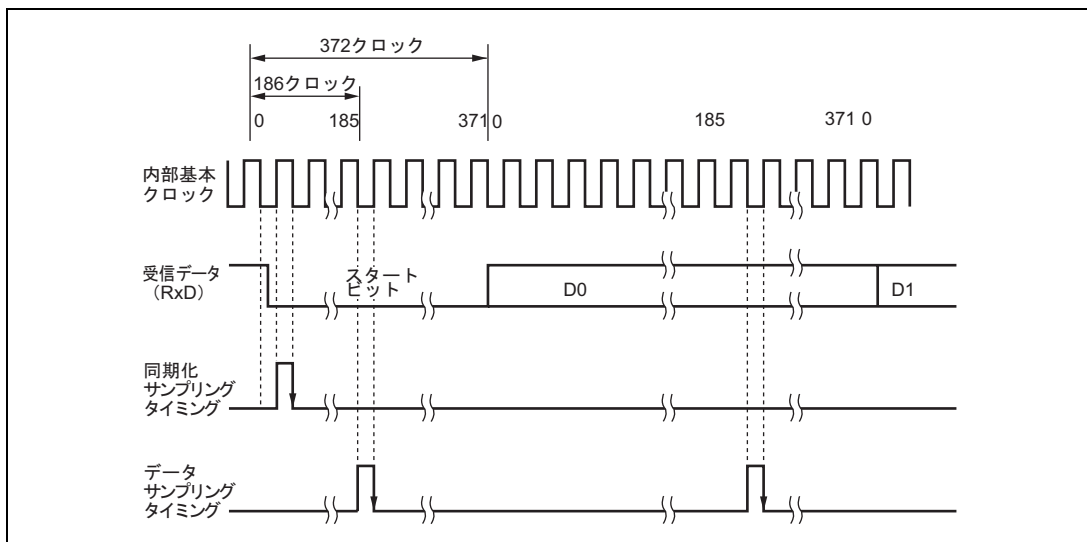


図 15.28 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

### 15.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、 $O\bar{E}$ 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。  
SMIFビットを1にセットすると、Tx/D端子およびRx/D端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。  
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。

7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認したあと、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認したあと、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了は TEND フラグで確認できます。

### 15.7.6 シリアルデータ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 15.29 に示します。

1. 1フレーム分の送信を完了したあと、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 15.31 に示します。これら一連の処理は TXI 割り込み要因によって DTC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC が起動されて送信データの転送を行います。このとき、DTC の DISEL = 0 で、かつ転送カウンタが 0 でない場合は、TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。なお、DTC の DISEL が 1 の場合、または DISEL = 0 でも転送カウンタが 0 の場合は、DTC により転送データは TDR にライトされますがフラグはクリアされませんので、CPU にてフラグクリアの処理を行ってください。また、エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第 9 章 データトランスファコントローラ (DTC)」を参照してください。

## 15. シリアルコミュニケーションインタフェース (SCI)

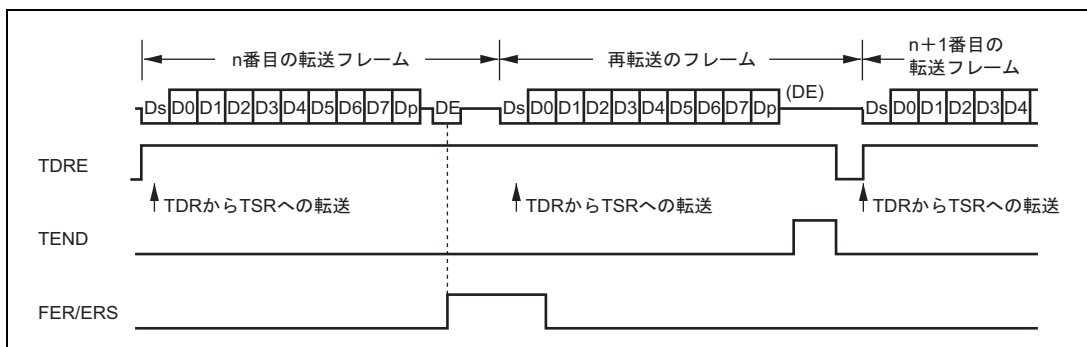


図 15.29 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 15.30 に TEND フラグ発生タイミングを示します。

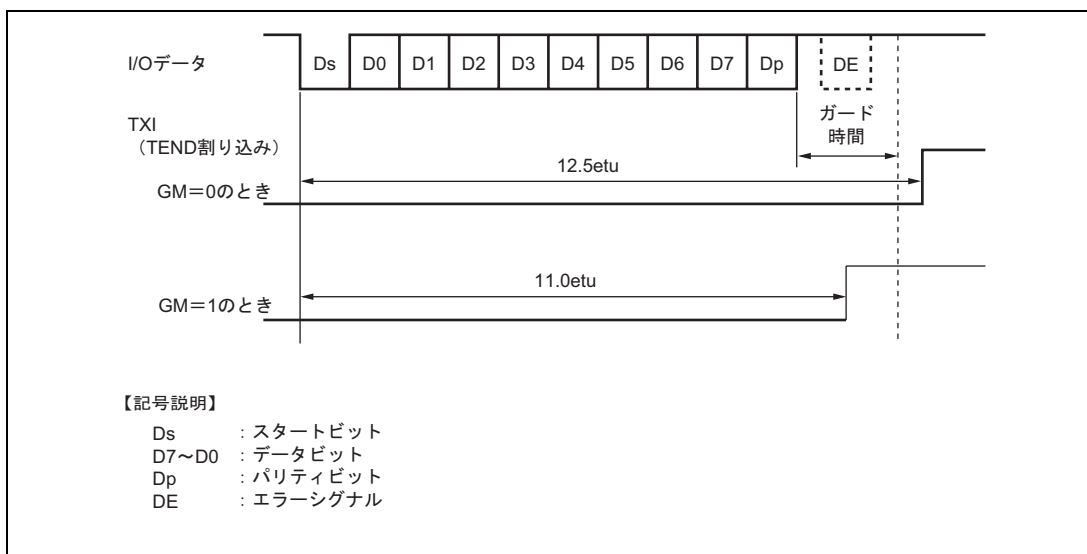


図 15.30 送信動作時の TEND フラグ発生タイミング

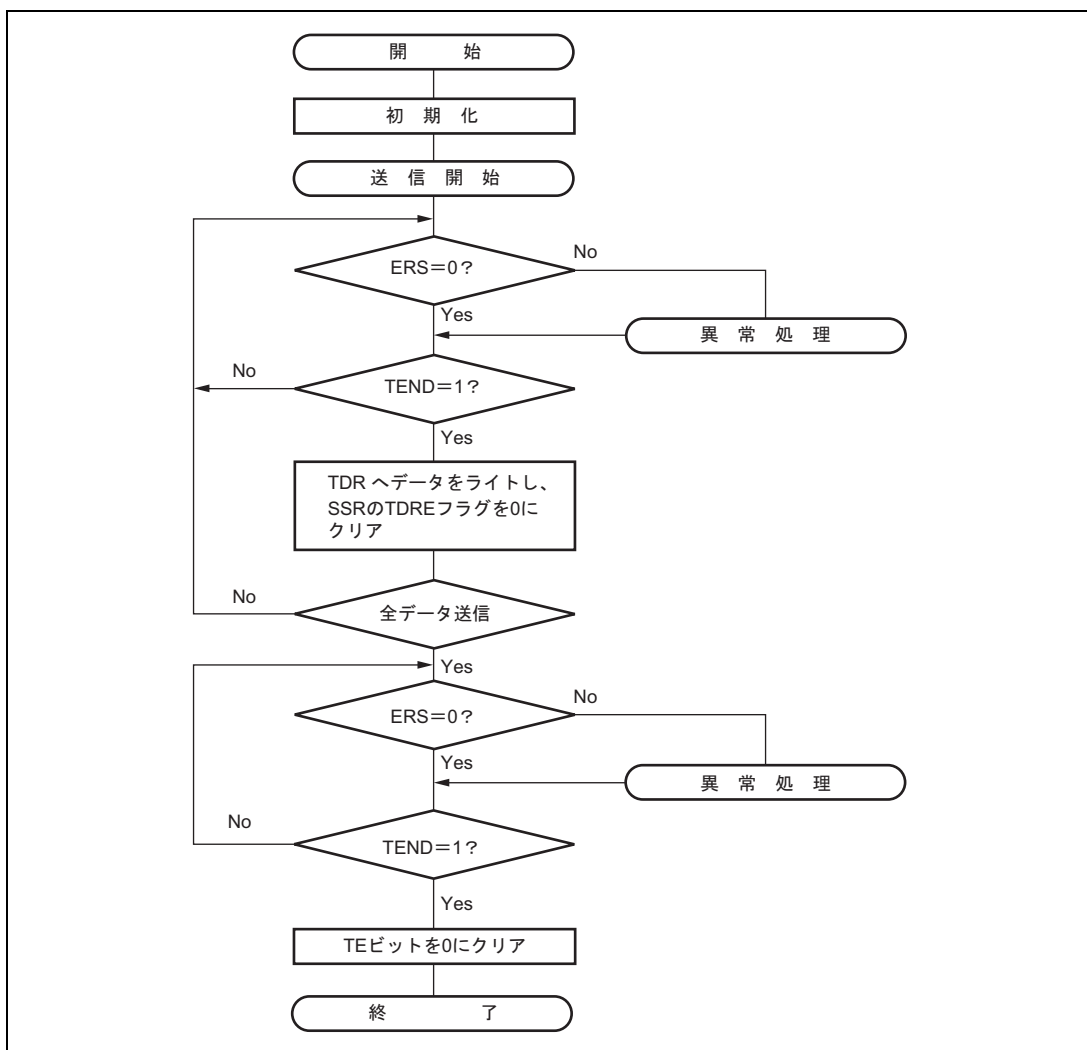


図 15.31 送信処理フローの例

## 15. シリアルコミュニケーションインタフェース (SCI)

### 15.7.7 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 15.32 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 15.33 に示します。これら一連の処理は RXI 割り込み要因によって DTC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことで RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DTC の起動要因に RXI 要求を設定しておけば、RXI 要求により DTC が起動されて受信データの転送を行います。このとき、DTC の DISEL = 0 で、かつ転送カウンタが 0 でない場合は、RDRF フラグは自動的にクリアされます。なお、DTC の DISEL が 1 の場合、または DISEL = 0 でも転送カウンタが 0 の場合は、DTC により受信データの転送は行われますがフラグのクリアは行われません。CPU にてフラグクリア処理を行ってください。また、受信時にエラーが発生し ORE、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC は起動されず、受信データはスキップされるため DTC に設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「15.4 調歩同期式モードの動作」を参照してください。

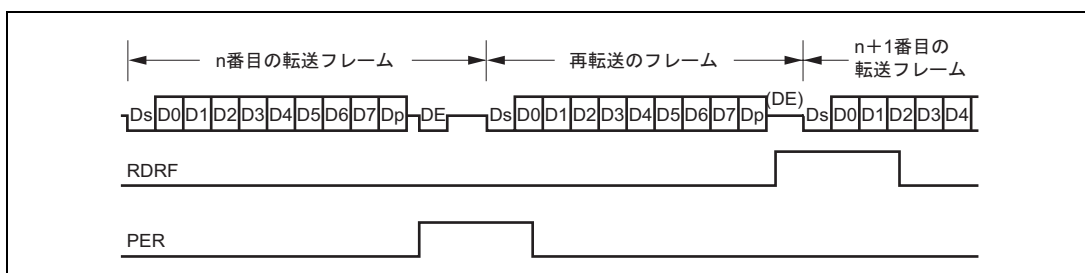


図 15.32 SCI 受信モードの場合の再転送動作

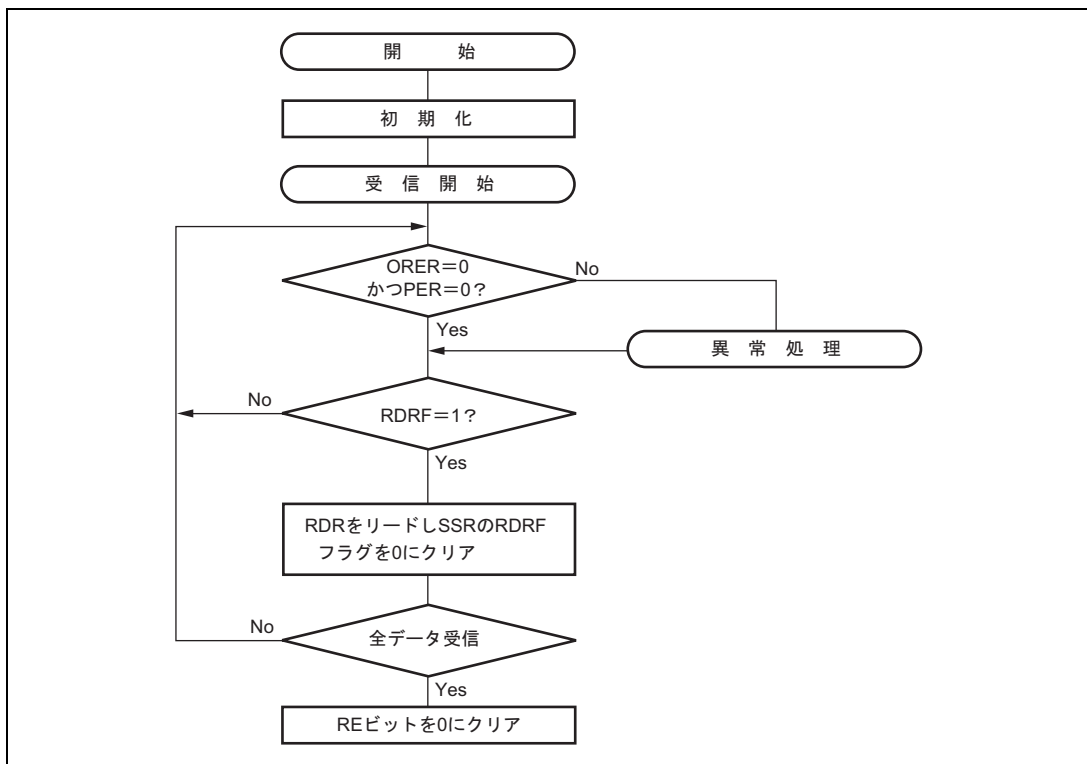


図 15.33 受信フローの例

### 15.7.8 クロック出力制御

SMRのGMビットが1にセットされているとき、SCRのCKE1、CKE0ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 15.34 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

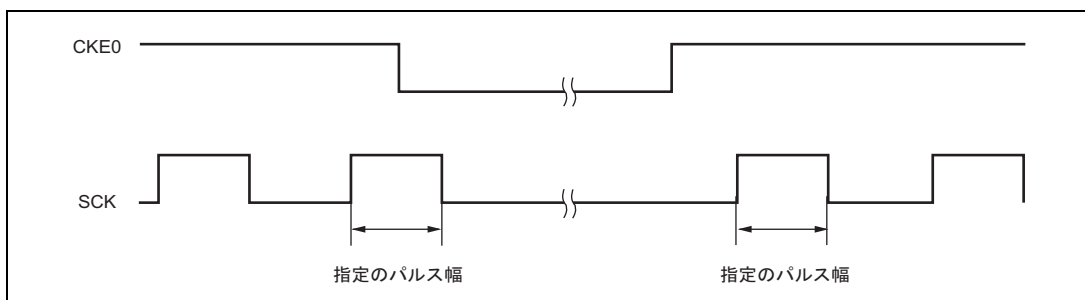


図 15.34 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
4. SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

- スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信 / 受信動作を停止させてください。  
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。  
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。



- ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき
  1. ソフトウェアスタンバイ状態を解除してください。
  2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

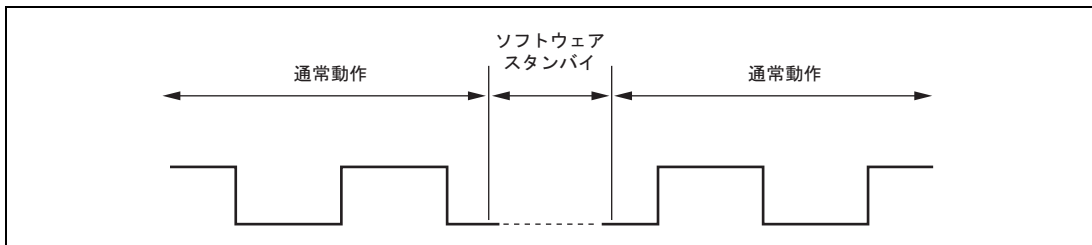


図 15.35 クロック停止・再起動手順

## 15.8 SCI セレクト機能 (H8S/2239 グループのみ)

SCI<sub>0</sub>には、SCIセレクト機能があり、マスタLSIと複数のスレーブLSI(本LSI)間の1対1クロック同期式通信が可能です。図 15.36 にSCIセレクト機能による通信例、図 15.37 に動作概要を示します。

マスタLSIは、 $\overline{\text{SEL\_A}}$ 信号をLow、 $\overline{\text{SEL\_B}}$ 信号をHigh出力することでスレーブLSI<sub>A</sub>との1対1通信が可能となります。このときスレーブLSI<sub>B</sub>のTx<sub>D0</sub>\_B端子はHi-Z状態、内部SCK<sub>0</sub>\_B信号はHigh固定となり通信動作が停止します。マスタLSIが $\overline{\text{SEL\_A}}$ 信号をHigh、 $\overline{\text{SEL\_B}}$ 信号をLowにすることでスレーブLSI<sub>B</sub>との1対1通信が可能となります。\*

スレーブLSIは、 $\overline{\text{IRQ7}}$ のLow入力割り込みによって選択されたことを検出し、送受信データ処理をすばやく実行できます。

【注】 \* マスタLSIのセレクト信号( $\overline{\text{SEL\_A}}$ 、 $\overline{\text{SEL\_B}}$ など)の切り替えは、送信データの最終ビット出力後のシリアルクロック(M\_SCK) = High期間中に行ってください。また、セレクト信号は1つだけLow出力としてください。

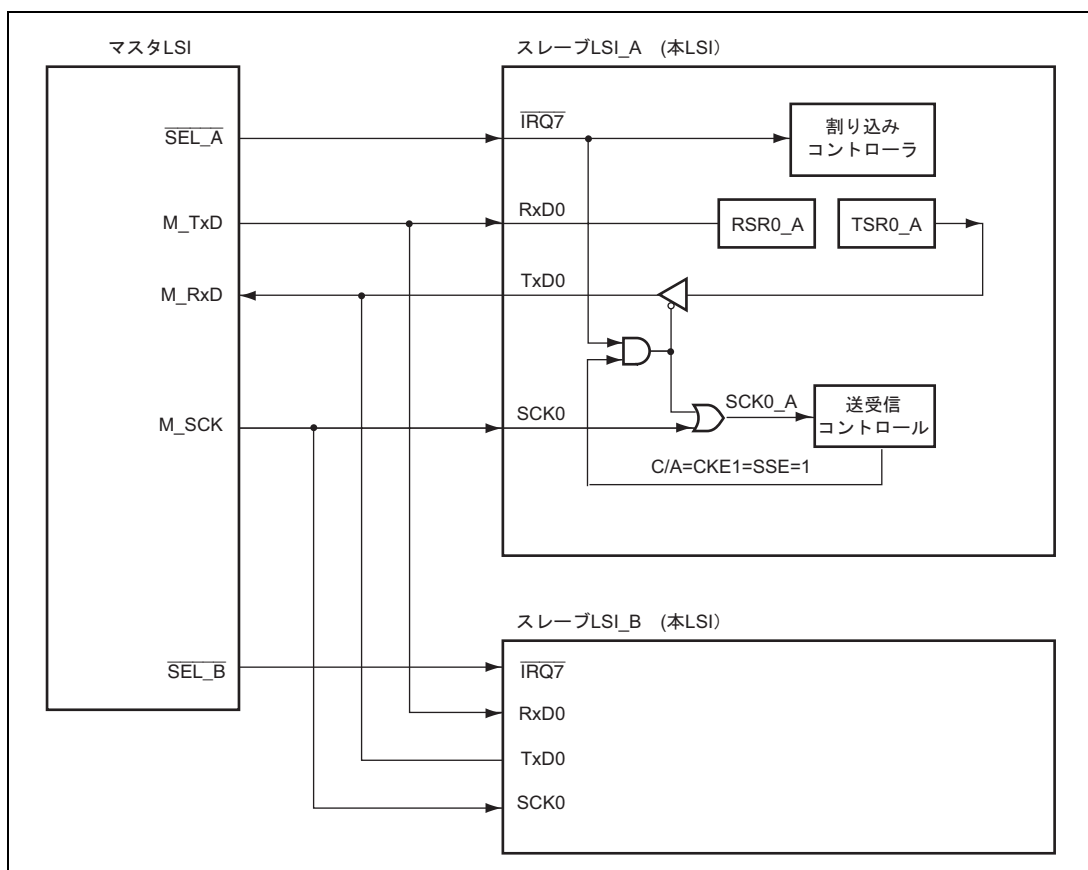


図 15.36 SCI セレクト機能による通信例

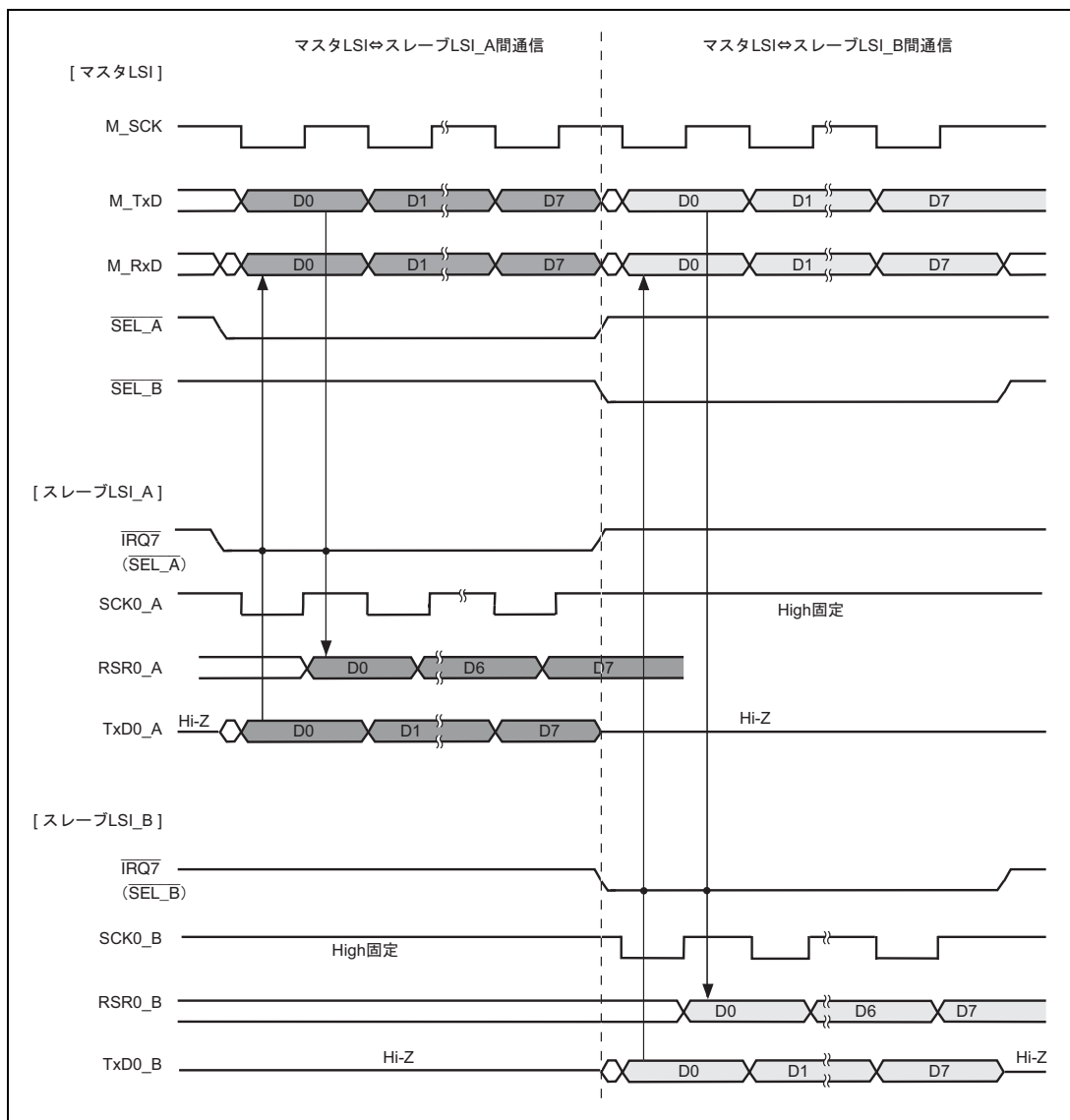


図 15.37 SCI セレクト機能の動作概要

## 15.9 割り込み要因

### 15.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 15.12 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DMAC\*<sup>1</sup> または DTC\*<sup>2</sup> によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC\*<sup>1</sup> または DTC\*<sup>2</sup> を起動してデータ転送を行うことができます。RDRF フラグは DMAC\*<sup>1</sup> または DTC\*<sup>2</sup> によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき要求されます。TEI 割り込みと TXI 割り込みが同時に要求されている状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

【注】 \*1 H8S/2239 グループのみです。

\*2 フラグクリアが実行されるのは DTC の DISEL = 0 で、かつ転送カウンタが 0 でない場合です。

表 15.12 シリアルコミュニケーションインタフェースモードの割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC* <sup>2</sup> の起動	優先順位* <sup>1</sup>
0	ERI0	受信エラー	ORER、FER、PER	不可	不可	高 ↑ 低
	RX10	受信データフル	RDRF	可	可	
	TX10	送信データエンpty	TDRE	可	可	
	TE10	送信終了	TEND	不可	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	不可	
	RX11	受信データフル	RDRF	可	可	
	TX11	送信データエンpty	TDRE	可	可	
	TE11	送信終了	TEND	不可	不可	
2* <sup>3</sup>	ERI2	受信エラー	ORER、FER、PER	不可	不可	
	RX12	受信データフル	RDRF	可	不可	
	TX12	送信データエンpty	TDRE	可	不可	
	TE12	送信終了	TEND	不可	不可	
3	ERI3	受信エラー	ORER、FER、PER	不可	不可	
	RX13	受信データフル	RDRF	可	不可	
	TX13	送信データエンpty	TDRE	可	不可	
	TE13	送信終了	TEND	不可	不可	

【注】 \*1 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

\*2 H8S/2239 グループのみです。

\*3 H8S/2227 グループにはありません。

## 15.9.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 15.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

【注】 ブロック転送モードの場合は、「15.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み」を参照してください。

表 15.13 スマートカードインタフェースモードの割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC <sup>*2</sup> の起動	優先順位 <sup>*1</sup>
0	ERI0	受信エラー、 エラーシグナル検出	ORER、PER、ERS	不可	不可	高  低
	RX10	受信データフル	RDRF	可	可	
	TX10	送信データエンプティ	TEND	可	可	
1	ERI1	受信エラー、 エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RX11	受信データフル	RDRF	可	可	
	TX11	送信データエンプティ	TEND	可	可	
2 <sup>*3</sup>	ERI2	受信エラー、 エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RX12	受信データフル	RDRF	可	不可	
	TX12	送信データエンプティ	TEND	可	不可	
3	ER3	受信エラー、 エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RX13	受信データフル	RDRF	可	不可	
	TX13	送信データエンプティ	TEND	可	不可	

【注】 \*1 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

\*2 H8S/2239 グループのみです。

\*3 H8S/2227 グループにはありません。

### 15.10 使用上の注意事項

#### 15.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCIの動作禁止/許可を設定することが可能です。初期値では、SCIの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第24章 低消費電力状態」を参照してください。

#### 15.10.2 ブレークの検出と処理について (調歩同期式モードのみ)

フレーミングエラー (FER) 検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、また PER フラグもセットされる可能性があります。SCI は、ブレークを受信したあとも受信動作を続けます。したがって、FER フラグを 0 にクリアしても再び FER が 1 にセットされますので注意してください。

#### 15.10.3 マーク状態とブレークの送出 (調歩同期式モードのみ)

TE が 0 のとき、TxD 端子は DDR で入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR = 1、DR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR = 1、DR = 0 に設定したあと TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

#### 15.10.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

#### 15.10.5 DMAC\*または DTC 使用上の制約事項

1. 同期クロックに外部クロックソースを使用する場合、DMAC\*またはDTCによるTDRの更新後、 $\phi$ クロックで5クロック以上経過したあとに、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります (図15.38)。
2. DMAC\*またはDTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。
3. データ転送時DTCによりフラグが自動的にクリアされるのは、DTCのDISELが0で、かつ転送カウンタが0でない場合のみです。したがって、DTCのDISEL = 1の場合、またはDISEL = 0で、かつ転送カウンタが0の

場合はCPUにてフラグ処理を行ってください。特に送信時はCPUにてTDREフラグをクリアしないと正しく送信されませんのでご注意ください。

【注】 \* H8S/2239 グループのみです。

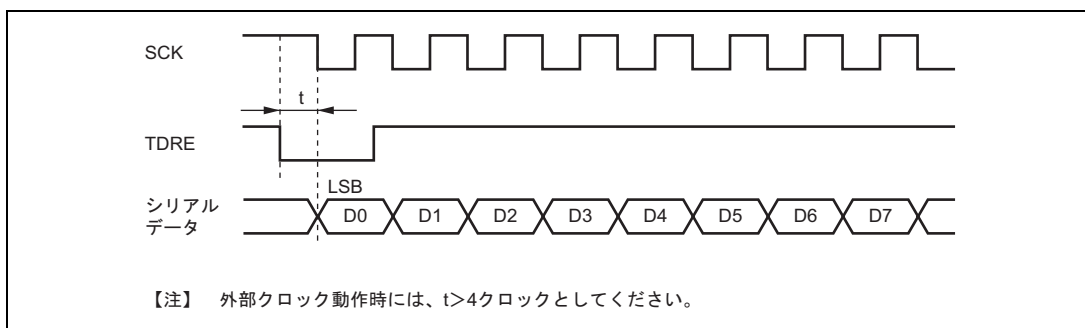


図 15.38 DMAC\*、DTC によるクロック同期式送信時の例

【注】 \* H8S/2239 グループのみです。

### 15.10.6 モード遷移時の動作について

#### (a) 送信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード遷移時には、動作を停止 ( $TE = TIE = TEIE = 0$ ) してから行ってください。TSR、TDR、および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード期間中の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。もし送信中に遷移したときは、その送信中のデータは不確定なものになります。解除後に送信モードを変えないで送信する場合は、 $TE = 1$  に戻し、SSR リード TDR ライト TDRE クリアで送信開始できます。解除後に送信モードを変えて送信する場合は、初期設定から行ってください。図 15.39 に送信時のモード遷移フローチャートの例を示します。なお、ポート端子状態を図 15.40、図 15.41 に示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードまたはサブスリープモードに遷移時には、動作を停止 ( $TE = TIE = TEIE = 0$ ) してから行ってください。解除後 DTC による送信をする場合は  $TE = 1$ 、 $TIE = 1$  に設定すれば TXI フラグが立ち、DTC による送信が始まります。

## 15. シリアルコミュニケーションインタフェース (SCI)

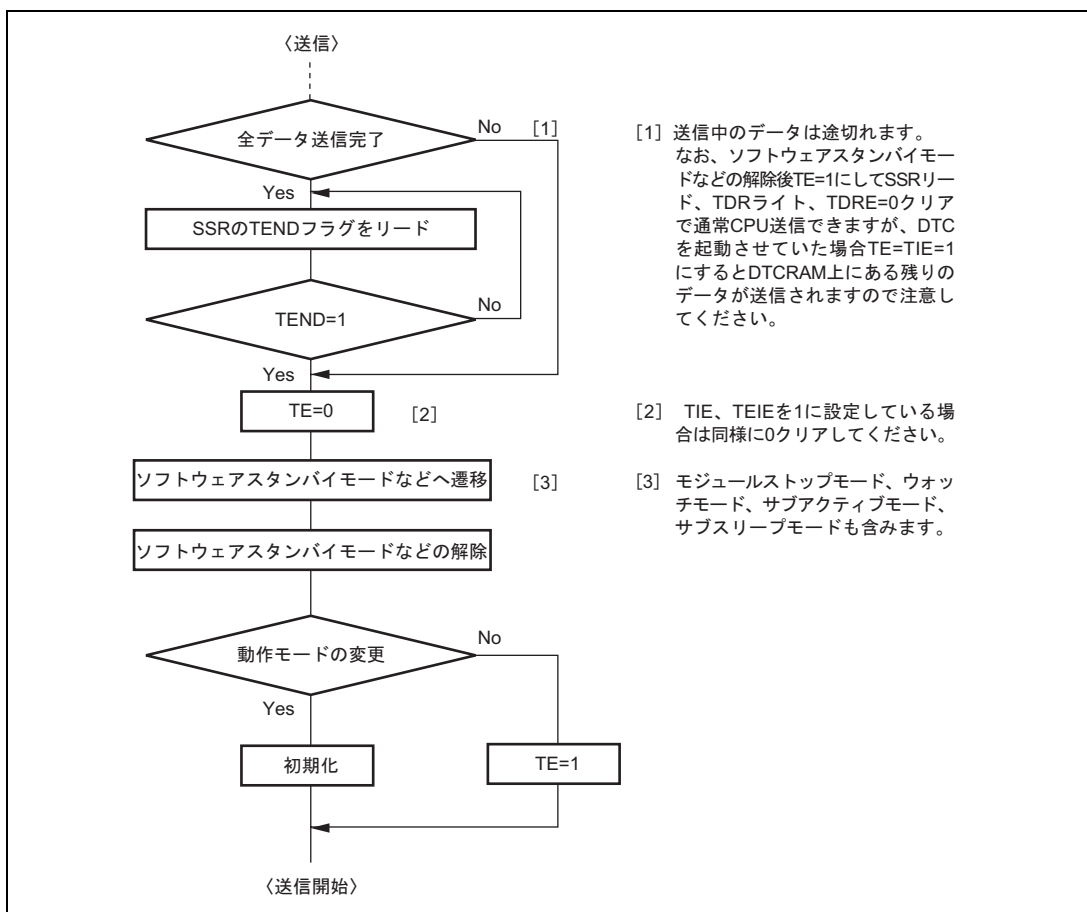


図 15.39 送信時のモード遷移フローチャートの例

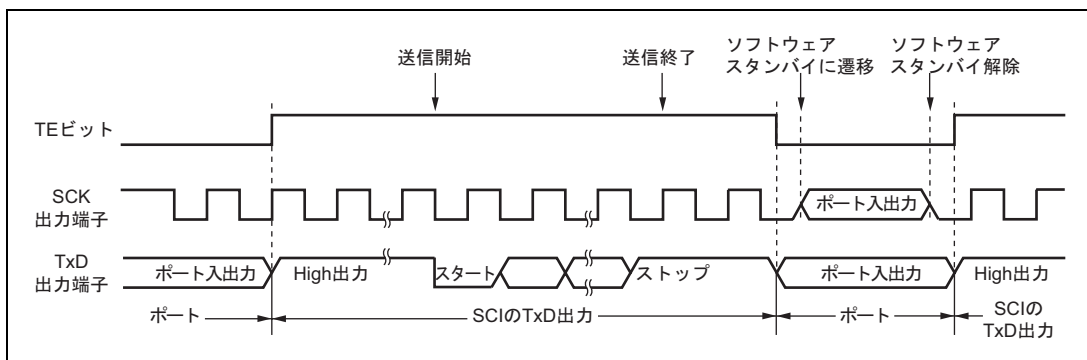


図 15.40 内部クロック、調歩同期送信の場合のポート端子状態



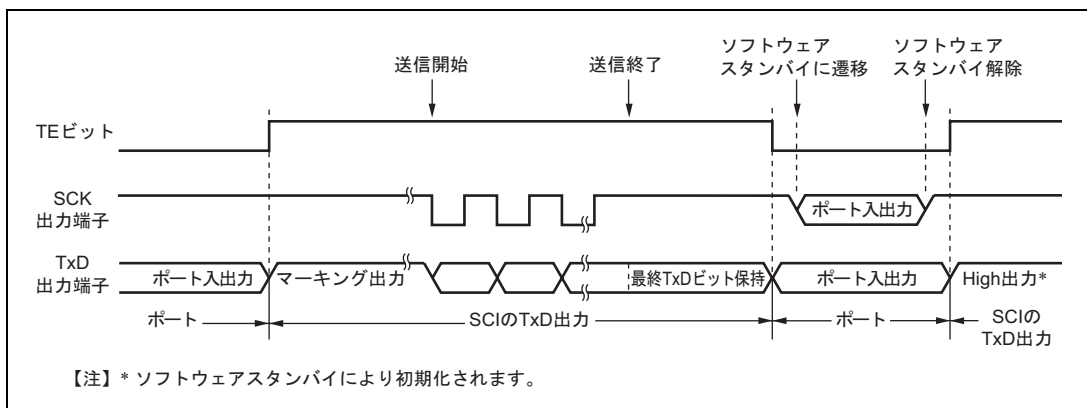


図 15.41 内部クロック、クロック同期送信の場合のポート端子状態

## (b) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード遷移時には、受信動作を停止 ( $RE=0$ ) してから行ってください。RSR、RDR、および SSR はリセットされます。停止しないで遷移すると受信中の受信データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE=1$  に設定してから受信を開始してください。なお、受信モードを変えて受信する場合は、初期設定から行ってください。

図 15.42 に受信時のモード遷移フローチャートの例を示します。

15. シリアルコミュニケーションインタフェース (SCI)

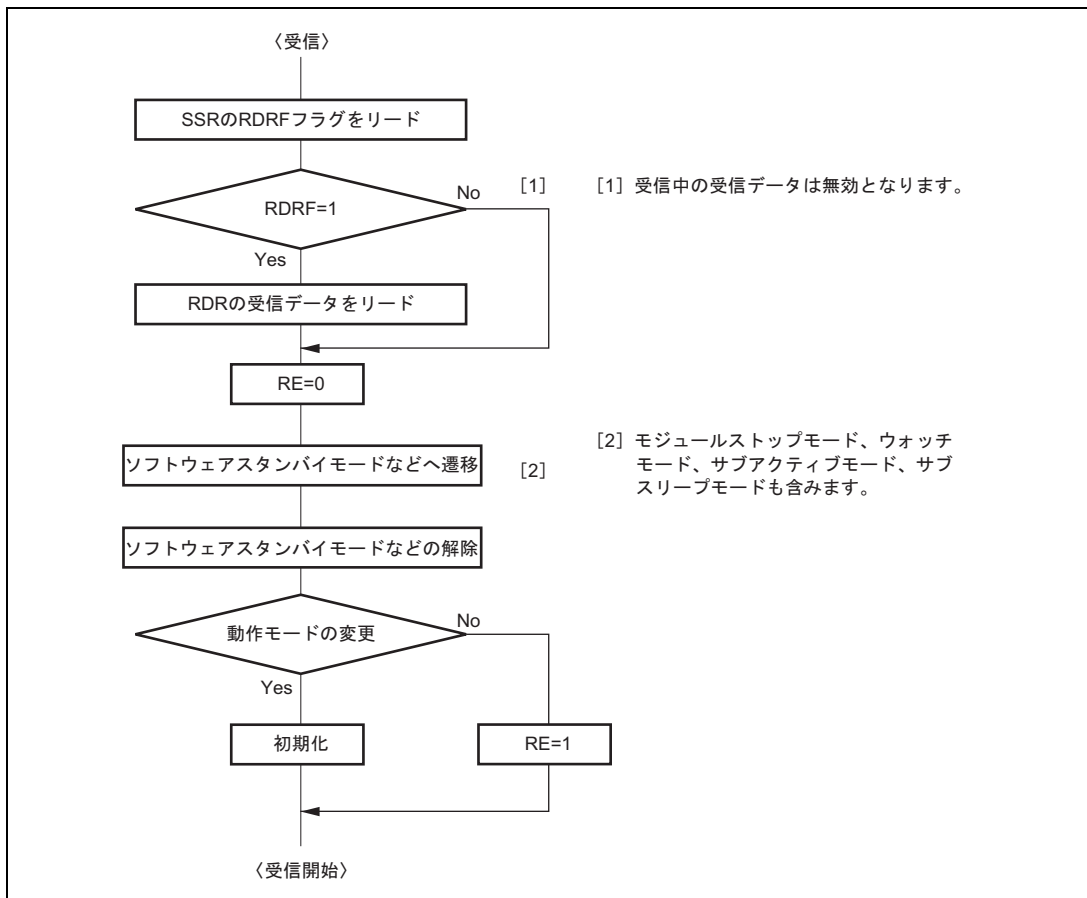


図 15.42 受信時のモード遷移フローチャートの例

## 15.10.7 SCK 端子からポート端子へ切り替えるときの注意事項

## (a) 動作現象

DDR = 1、DR = 1 に設定し、クロック同期 SCI クロック出力を使用し、送信終了状態で SCK 端子をポートに切り替え時に、半サイクルの Low 出力後、ポート出力になります。

DDR = 1、DR = 1、 $\overline{C/A}$  = 1、CKE1 = 0、CKE0 = 0、TE = 1 の状態より、以下の設定でポートに切り替え時に半サイクルの Low 出力が発生します。

1. シリアルデータ送信終了
2. TEビット = 0
3.  $\overline{C/A}$ ビット = 0 ... ポート出力に切り替え
4. Low出力発生

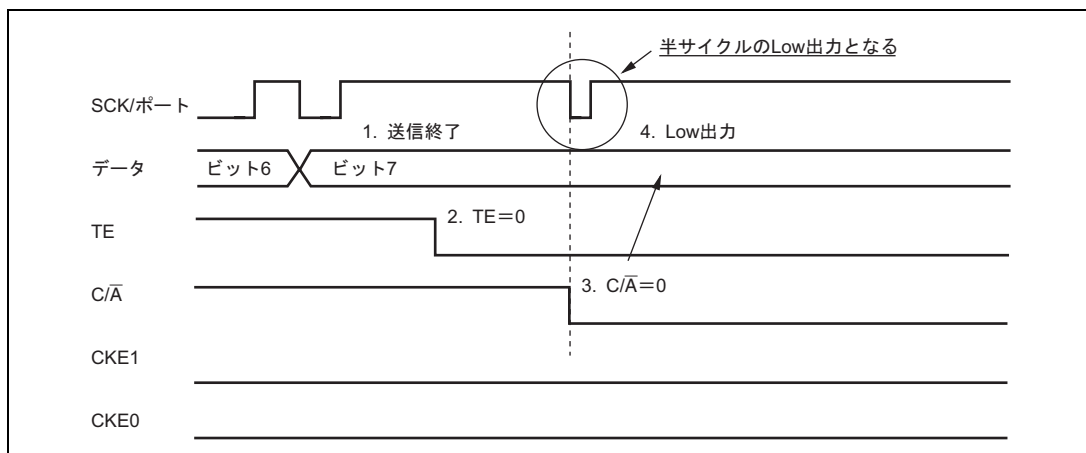


図 15.43 SCK 端子からポート端子へ切り替えるときの動作

## 15. シリアルコミュニケーションインタフェース (SCI)

### (b) 使用上の注意事項

SCK 端子をポートに切り替える際に発生する Low 出力を回避する場合、下記の手順で行ってください。

この手順は、SCK端子を一度入力状態にするため、あらかじめSCK / ポート端子を外部回路でプルアップしてください。

DDR = 1、DR = 1、 $\overline{C/\bar{A}}$  = 1、CKE1 = 0、CKE0 = 0、TE = 1の状態より以下の1～5の順で設定してください。

1. シリアルデータ送信終了
2. TEビット = 0
3. CKE1ビット = 1
4.  $\overline{C/\bar{A}}$ ビット = 0 ... ポート出力に切り替え
5. CKE1ビット = 0

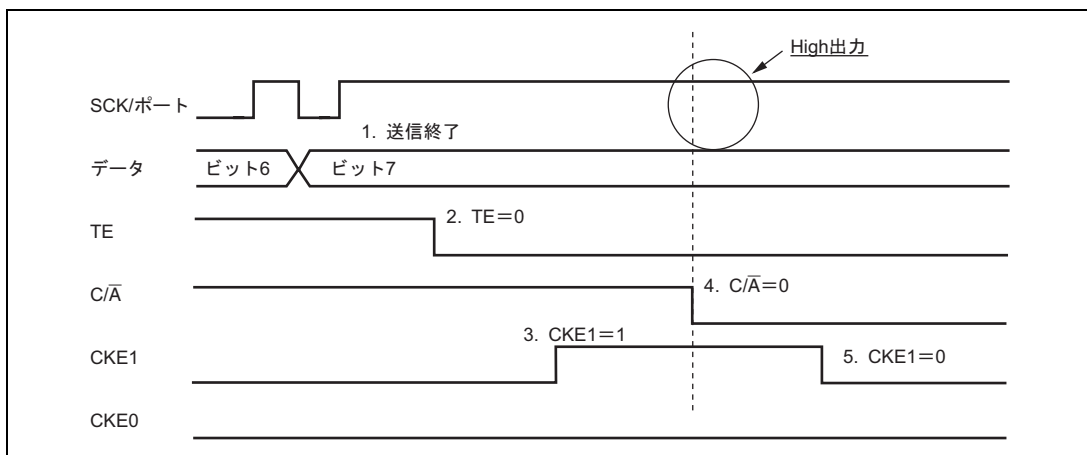


図 15.44 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

### 15.10.8 レジスタアドレスの割り当てと選択

シリアルコミュニケーションインタフェースの一部のレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルコントロールレジスタ (SCRX) の IICE ビットで行います。レジスタアドレスの詳細は「26.1 レジスタアドレス一覧 (アドレス順)」を参照してください。

---

## 16. I<sup>2</sup>C バスインタフェース (IIC) (オプション)

---

I<sup>2</sup>C バスインタフェースはオプションです。オプション機能を仕様する場合には次の点にご注意ください。

1. マスクROM版では、オプション機能を使用する製品型名にはWが付加されます。

例：HD6432239WTEなど

H8S/2258 グループ、H8S/2239 グループ、H8S/2238 グループは、2チャンネルのI<sup>2</sup>C バスインタフェースを内蔵しています。

I<sup>2</sup>C バスインタフェースは、フィリップス社が提唱するI<sup>2</sup>C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。I<sup>2</sup>C バスを制御するレジスタの構成が一部フィリップス社と異なります。

I<sup>2</sup>C バスインタフェースを用いたデータ転送は、各チャンネルで、データライン (SDA) 1本、クロックライン (SCL) 1本で構成され、コネクタやプリント基板の面積などを経済的に使用できます。

- 【注】
1. H8S/2237 グループ、H8S/2227 グループにはI<sup>2</sup>C バスインタフェースはありません。
  2. 電源電圧範囲 2.2 ~ 2.7V ではI<sup>2</sup>C バスインタフェースは使用できません。

### 16.1 特長

- I<sup>2</sup>Cバスフォーマットまたはクロック同期式シリアルフォーマットに設定可能

I<sup>2</sup>Cバスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作

クロック同期式シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用

#### I<sup>2</sup>C バスフォーマット

- スレーブアドレスを2通り設定可能
- マスタモードでは開始条件、停止条件を自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- マスタモード時のウェイト機能

アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグをクリアすることで解除。

- スレーブモード時のウェイト機能

アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

---

- 割り込み要因

データ転送終了時 (送信モードに遷移したとき、およびマスタ競合負けのあとのアドレス受信を含む)

アドレス一致時 (スレーブ受信モードでスレーブアドレスが一致したとき、またはゼネラルコールアドレスを受信したとき)

開始条件検出時 (マスタモード時)

停止条件検出時 (スレーブモード時)

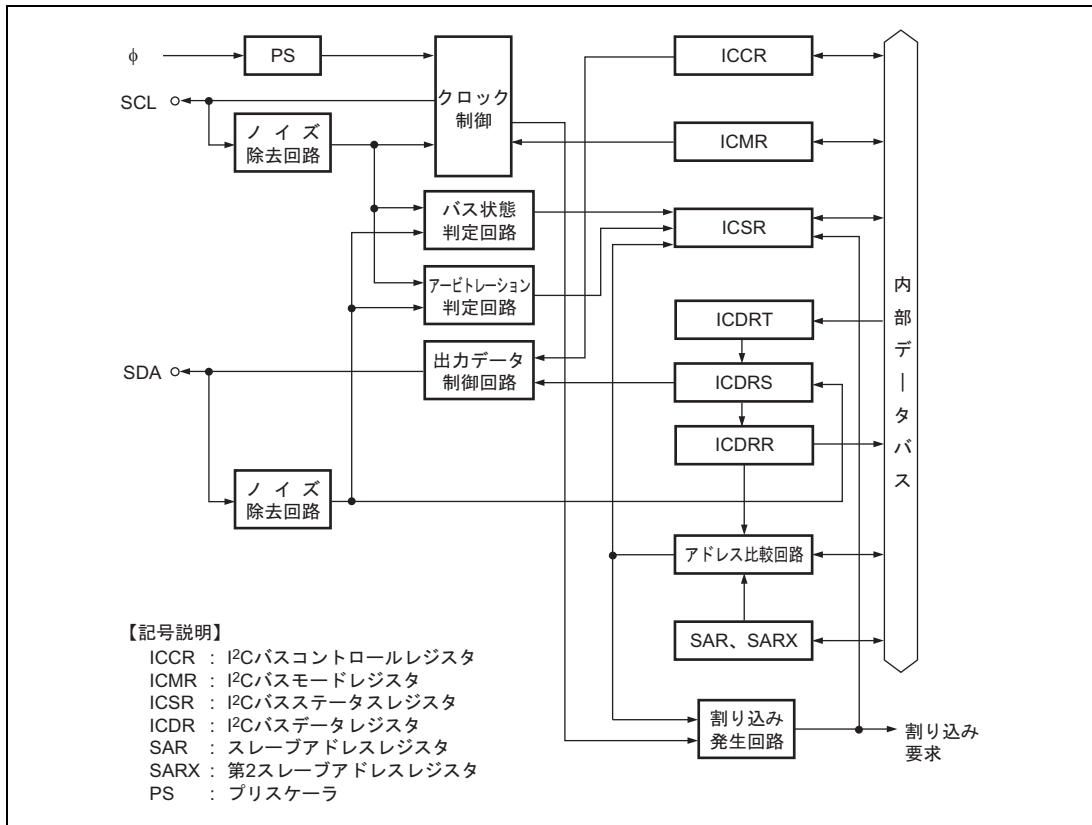
- マスタモード時、16種類の内部クロック選択可能

- バスを直接駆動可能

P35/SCL0、P34/SDA0の2端子は、バス駆動機能選択時NMOSオープンドレイン出力

P33/SCL1、P32/SDA1の2端子は、バス駆動機能選択時はNMOSのみで出力

I<sup>2</sup>C バスインタフェースのブロック図を図 16.1 に示します。入出力端子の外部回路接続例を、図 16.2 に示します。チャンネル0の入出力端子は、NMOS オープンドレインであり、本 LSI の電源 (V<sub>CC</sub>) 電圧を超える電圧印加が可能です。印加電圧の上限は、電源 (V<sub>CC</sub>) 電圧範囲+0.3V としてください。チャンネル1の入出力端子は NMOS のみにより駆動されるため、見かけ上 NMOS オープンドレインと同様の動作をします。しかし、入出力端子に印加可能な電圧は、本 LSI の電源 (V<sub>CC</sub>) 電圧に依存します。

図 16.1 I<sup>2</sup>C バスインタフェースのブロック図

## 16. I<sup>2</sup>C バスインタフェース (IIC)

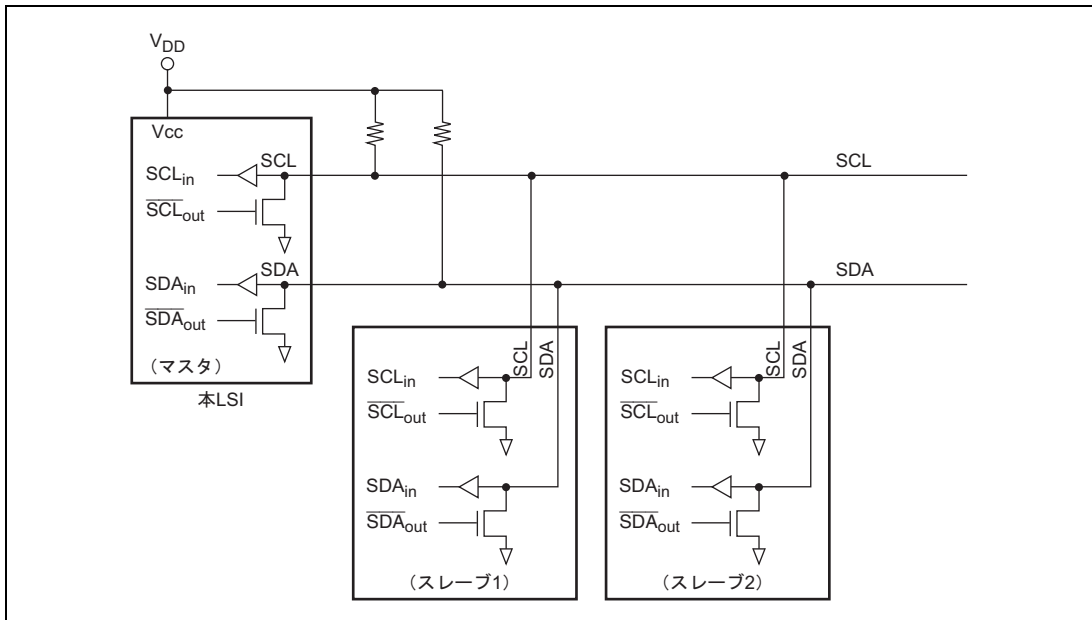


図 16.2 I<sup>2</sup>C バスインタフェース接続例 (本 LSI がマスタの場合)

### 16.2 入出力端子

I<sup>2</sup>C バスインタフェースで使用する端子を表 16.1 に示します。

表 16.1 端子構成

名 称	記号*	入出力	機 能
シリアルクロック端子	SCL0	入出力	IIC_0 シリアルクロック入出力端子
シリアルデータ端子	SDA0	入出力	IIC_0 シリアルデータの入出力端子
シリアルクロック端子	SCL1	入出力	IIC_1 シリアルクロック入出力端子
シリアルデータ端子	SDA1	入出力	IIC_1 シリアルデータの入出力端子

【注】 \* 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。



### 16.3 レジスタの説明

IICには以下のレジスタがあります。ICDR と SARX、ICMR と SAR は同じアドレスに割り付けられており、ICCR の ICE ビットによりアクセスできるレジスタが変わります。ICE=0 のとき SAR と SARX、ICE=1 のとき ICMR と ICDR がアクセスできます。モジュールストップコントロールレジスタについては「24.1.2 モジュールストップコントロールレジスタ A~C (MSTPCRA~MSTPCRC)」を参照してください。

- I<sup>2</sup>Cバスデータレジスタ\_0 (ICDR\_0) \*
- スレーブアドレスレジスタ\_0 (SAR\_0) \*
- 第2スレーブアドレスレジスタ\_0 (SARX\_0) \*
- I<sup>2</sup>Cバスモードレジスタ\_0 (ICMR\_0) \*
- I<sup>2</sup>Cバスコントロールレジスタ\_0 (ICCR\_0) \*
- I<sup>2</sup>Cバスステータスレジスタ\_0 (ICSR\_0) \*
- I<sup>2</sup>Cバスデータレジスタ\_1 (ICDR\_1) \*
- スレーブアドレスレジスタ\_1 (SAR\_1) \*
- 第2スレーブアドレスレジスタ\_1 (SARX\_1) \*
- I<sup>2</sup>Cバスモードレジスタ\_1 (ICMR\_1) \*
- I<sup>2</sup>Cバスコントロールレジスタ\_1 (ICCR\_1) \*
- I<sup>2</sup>Cバスステータスレジスタ\_1 (ICSR\_1) \*
- DDCスイッチレジスタ (DDCSWR)
- シリアルコントロールレジスタX (SCRX)

【注】 \* I<sup>2</sup>C バスインタフェースの一部のレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択は、シリアルコントロールレジスタ X (SCRX) の IICE ビットで行います。

#### 16.3.1 I<sup>2</sup>C バスデータレジスタ (ICDR)

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信データレジスタとして機能します。ICDR は内部でシフトレジスタ (ICDRS)、受信バッファ (ICDRR)、送信バッファ (ICDRT) に分かれています。3 本のレジスタ間のデータ転送はバス状態の変化に関連付けられて自動的に行われ、TDRE や RDRF などの内部フラグの状態に影響を与えません。TDRE は 1 のとき送信バッファが空の状態では CPU から次の送信データをライト可能であることを示します。RDRF は 1 のとき受信バッファに有効な受信データが格納されていることを示します。

シフトレジスタで 1 フレームのデータを送受信後、送信モードでは送信バッファに次の送信データがあると (TDRE フラグが 0 の場合) 自動的にシフトレジスタへ転送されます。シフトレジスタで 1 フレームのデータを送受信後、受信モードでは受信バッファに以前のデータがない場合 (RDRF フラグが 0 の場合)、自動的にシフトレジスタから受信バッファにデータが転送されます。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS=0 のとき MSB 側に、MLS=1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS=0 のとき LSB 側に、MLS=1 のとき MSB 側に詰めて格納されます。

ICDR は ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。ICDR の初期値は不定です。

内部フラグ TDRE、RDRF は次のような条件でセット/クリアされます。TDRE、RDRF は割り込みフラグの状態に影響を与えません。

ビット	ビット名	初期値	R/W	説明
	TDRE			トランスミットデータレジスタempty [セット条件] <ul style="list-style-type: none"> <li>送信モードのとき、I<sup>2</sup>C バスフォーマット、シリアルフォーマットのマスターモードで開始条件を発行後、バスラインの状態から開始条件成立を検出したとき</li> <li>送信バッファからシフトレジスタにデータが転送されたとき</li> <li>開始条件検出後、受信モードから送信モードに切り替えたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>送信モードで ICDR (送信バッファ) に送信データをライトしたとき</li> <li>I<sup>2</sup>C バスフォーマットまたはシリアルフォーマットで停止条件を発行後、バスラインの状態から停止条件成立を検出したとき</li> <li>I<sup>2</sup>C バスフォーマットで停止条件を検出したとき</li> <li>受信モードのとき</li> </ul>
	RDRF			レシーブデータレジスタフル [セット条件] <ul style="list-style-type: none"> <li>シフトレジスタから受信バッファにデータが転送されたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>受信モードで ICDR (受信バッファ) の受信データをリードしたとき</li> </ul>

### 16.3.2 スレーブアドレスレジスタ (SAR)

SAR はスレーブアドレスと転送フォーマットを設定します。ICCR の ICE ビットが 0 にクリアされているときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVA6	0	R/W	スレーブアドレス 6~0 スレーブアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	SARX の FSX との組み合わせで転送フォーマットを選択します。表 16.2 を参照してください。

### 16.3.3 第 2 スレーブアドレスレジスタ (SARX)

SARX は第 2 スレーブアドレスと転送フォーマットを設定します。ICCR の ICE ビットが 0 にクリアされているときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVAX6	0	R/W	第 2 スレーブアドレス 6~0 第 2 スレーブアドレスを設定します。
6	SVAX5	0	R/W	
5	SVAX4	0	R/W	
4	SVAX3	0	R/W	
3	SVAX2	0	R/W	
2	SVAX1	0	R/W	
1	SVAX0	0	R/W	
0	FSX	1	R/W	SAR の FS との組み合わせで転送フォーマットを選択します。表 16.2 を参照してください。

表 16.2 転送フォーマット

SAR	SARX	転送フォーマット
FS	FSX	
0	0	I <sup>2</sup> C バスフォーマットで SAR と SARX をスレーブアドレスとして使用
0	1	I <sup>2</sup> C バスフォーマットで SAR のみスレーブアドレスとして使用
1	0	I <sup>2</sup> C バスフォーマットで SARX のみスレーブアドレスとして使用
1	1	クロック同期式シリアルフォーマット (SAR と SARX は無効となります)

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### 16.3.4 I<sup>2</sup>C バスモードレジスタ (ICMR)

ICMR は転送フォーマットと転送レートを設定します。ICCR の ICE ビットが 1 のときだけアクセスできます。

ビット	ビット名	初期値	R/W	説明																		
7	MLS	0	R/W	MSB ファースト / LSB ファースト 選択 0 : MSB ファースト 1 : LSB ファースト I <sup>2</sup> C バスフォーマットで使用するときには 0 に設定してください。																		
6	WAIT	0	R/W	ウェイト挿入ビット I <sup>2</sup> C バスフォーマットでマスタモードのときのみ有効 WAIT = 1 のとき、データの最終ビットのクロックが立ち下がったあと、ICCR の IRIC フラグが 1 にセットされウェイト状態 (SCL = Low レベル) となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。 WAIT = 0 のときはウェイトは挿入されず、データとアクノリッジを連続して転送します。 ICCR の IRIC フラグは、WAIT の設定にかかわらず、アクノリッジの転送が完了した時点で 1 にセットされます。																		
5	CKS2	0	R/W	転送クロック選択 2~0																		
4	CKS1	0	R/W	マスタモードのときのみ有効																		
3	CKS0	0	R/W	SCRX レジスタの IICX1、IICX0 との組み合わせで転送レートを選択します。表 16.3 を参照してください。																		
2	BC2	0	R/W	ビットカウンタ 2~0																		
1	BC1	0	R/W	次に転送するデータのビット数を指定します。I <sup>2</sup> C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。																		
0	BC0	0	R/W																			
				<table border="0"> <tr> <td>I<sup>2</sup>C バスフォーマット</td> <td>クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I <sup>2</sup> C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I <sup>2</sup> C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

表 16.3 転送レート

SCRX ビット5、6	ICMR			クロック	転送レート				
	ビット5	ビット4	ビット3		$\phi=5\text{MHz}^{*3}$	$\phi=8\text{MHz}^{*3}$	$\phi=10\text{MHz}$	$\phi=16\text{MHz}^{*2}$	$\phi=20\text{MHz}^{*2}$
IICX	CKS2	CKS1	CKS0						
0	0	0	0	$\phi/28$	179kHz	286kHz	357kHz	571kHz <sup>*1</sup>	714kHz <sup>*1</sup>
0	0	0	1	$\phi/40$	125kHz	200kHz	250kHz	400kHz	500kHz <sup>*1</sup>
0	0	1	0	$\phi/48$	104kHz	167kHz	208kHz	333kHz	417kHz <sup>*1</sup>
0	0	1	1	$\phi/64$	78.1kHz	125kHz	156kHz	250kHz	313kHz
0	1	0	0	$\phi/80$	62.5kHz	100kHz	125kHz	200kHz	250kHz
0	1	0	1	$\phi/100$	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
0	1	1	0	$\phi/112$	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
0	1	1	1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	$\phi/56$	89.3kHz	143kHz	179kHz	286kHz	357kHz
1	0	0	1	$\phi/80$	62.5kHz	100kHz	125kHz	200kHz	250kHz
1	0	1	0	$\phi/96$	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
1	0	1	1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	1	0	0	$\phi/160$	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
1	1	0	1	$\phi/200$	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
1	1	1	0	$\phi/224$	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
1	1	1	1	$\phi/256$	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

【注】 \*1 I<sup>2</sup>C バスインタフェース仕様 (通常モード: 最大 100kHz、高速モード: 最大 400kHz) の範囲外となります。

\*2 H8S/2239 グループのみです。

\*3 H8S/2258 グループは動作範囲外です。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### 16.3.5 シリアルコントロールレジスタ X (SCRX)

SCRX は、IIC の動作モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット 初期値を変更しないでください。
6	IICX1	0	R/W	I <sup>2</sup> C トランスファレートセレクト 1、0 IIC の動作を制御するビットです。I <sup>2</sup> C バスモードレジスタ (ICMR) の CKS2 ~ CKS0 と組み合わせて、マスタモードでの転送レートを選択します。転送レートについては表 16.3 を参照してください。 IICX1 は IIC_1 を、IICX0 は IIC_0 を制御します。
5	IICX0	0	R/W	
4	IICE	0	R/W	I <sup>2</sup> C マスタイネーブル IIC のデータレジスタと制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR) の CPU アクセスを制御します。 0 : データレジスタと制御レジスタの CPU アクセスを禁止 1 : データレジスタと制御レジスタの CPU アクセスを許可
3	FLSHE	0	R/W	ビット 3 の詳細は、「20.5.7 シリアルコントロールレジスタ X (SCRX)」を参照してください。
2~0		すべて 0	R/W	リザーブビット 初期値を変更しないでください。

16.3.6 I<sup>2</sup>C バスコントロールレジスタ (ICCR)

ICCR は I<sup>2</sup>C バスインタフェースの制御ビットと割り込み要求フラグで構成されています。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I <sup>2</sup> C バスインタフェースイネーブル このビットを 1 にセットすると I <sup>2</sup> C バスインタフェースモジュールは送受信可能となり、SCL、SDA 端子と接続されてバスを駆動できる状態になります。また、ICMR、ICDR がアクセス可能となります。 このビットがクリアされた状態では、SCL/SDA は出力禁止 (SCL/SDA への入力は有効) となります。SAR、SARX がアクセス可能となります。
6	IEIC	0	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル このビットが 1 のとき IRIC による割り込み要求がイネーブルになります。
5 4	MST TRS	0 0	R/W R/W	マスタ/スレーブ選択 送受信選択 00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード  I <sup>2</sup> C バスフォーマットのマスタモードでバス競合負けをするとこれらのビットは共にハードウェアによってクリアされます。スレーブ受信モードでは、開始条件直後の第 1 フレームの R/W ビットによりハードウェアによって自動的に受信モードまたは送信モードに設定されます。これらハードウェアによってセットまたはクリアされたビットは一度読み出すことによって再設定が可能になります。転送中の TRS ビットの変更はアクノリッジを含めたフレーム転送完了まで保留され、転送完了後に切り替わります。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
3	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>1: 受信したアクノリッジビットが1のとき転送を中断します。</p> <p>0: 受信したアクノリッジビットを無視して連続的に転送を行います。受信したアクノリッジビットは ACKB ビットに反映されず、常時0となります。</p> <p>本 LSI では転送を連続的に行うために、DTC を利用することができます。DTC は、2つある割り込みフラグ (IRIC と IRTR) のうち、IRTR フラグが1にセットされた場合に起動します。ACKE ビットが0の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に TDRE、IRIC、IRTR フラグがセットされます。ACKE ビットが1の場合、アクノリッジビットが0でデータ送信が完了すると TDRE、IRIC、IRTR フラグがセットされ、アクノリッジビットが1でデータ送信が完了すると IRIC フラグだけがセットされます。</p> <p>DTC が起動されると、所定のデータ転送を実行したあと、TDRE、IRIC、IRTR フラグを0にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、ACKE ビットが1の場合にアクノリッジビットが1でデータ送信が完了すると、DTC は起動されず、許可されていれば割り込みが発生します。</p> <p>アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味を持たせる場合と、まったく意味を持たせず1固定の場合があります。</p>
2	BBSY	0	R/W	<p>バスビジー</p> <p>スレープモードでは BBSY フラグをリードすることにより、I<sup>2</sup>C バスが占有されているか解放されているかを確認できます。BBSY フラグは、SCL = High レベルの状態 で SDA が High レベルから Low レベルに変化すると開始条件が発行されたと認識し、1にセットされます。SCL = High レベルの状態 で SDA が Low レベルから High レベルに変化すると停止条件が発行されたと認識し、0にクリアされます。スレープモード時の BBSY フラグのライトは無効です。</p> <p>マスタモードでは開始条件、停止条件の発行に使用します。開始条件を発行する場合、BBSY に1、SCP に0をライトします。開始条件の再送信も同様です。停止条件の発行は BBSY に0、SCP に0をライトすることで行います。開始条件/停止条件の発行には、MOV 命令を用いてください。開始条件の発行に先立って、I<sup>2</sup>C バスインタフェースをマスタ送信モードに設定する必要があります。</p>



16. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R/W	<p>I<sup>2</sup>C バスインタフェース割り込み要求フラグ</p> <p>表 16.4 をあわせて参照してください。</p> <p>[ セット条件 ]</p> <p>I<sup>2</sup>C バスフォーマットでマスタモードのとき</p> <ul style="list-style-type: none"> <li>開始条件を発行後、バスラインの状態から開始条件を検出したとき (第 1 フレーム送信のため TDRE フラグが 1 にセットされたとき)</li> <li>WAIT=1 で、データとアクノリッジの間にウェイトを挿入したとき</li> <li>データ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</li> <li>バス競合負けのあと、スレーブアドレスを受信したとき</li> <li>ACKE ビットが 1 で、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき)</li> </ul> <p>I<sup>2</sup>C バスフォーマットでスレーブモードのとき</p> <ul style="list-style-type: none"> <li>スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが 1 にセットされたとき)、およびその後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</li> <li>ゼネラルコールアドレス (R<math>\bar{W}</math> ビットも含めた 1 フレームが H'00) を検出したとき (ADZ フラグが 1 にセットされたとき)、およびその後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</li> <li>ACKE ビットが 1 で、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき)</li> <li>停止条件を検出したとき (STOP または ESTP フラグが 1 にセットされたとき)</li> </ul> <p>クロック同期式シリアルフォーマットのとき</p> <ul style="list-style-type: none"> <li>データ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき)</li> <li>シリアルフォーマットで開始条件を検出したとき</li> </ul> <p>上記のほか、TDRE、RDRF 内部フラグが 1 にセットされる条件が発生したとき</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>1 の状態をリードしたあと、0 をライトしたとき</li> <li>DTC で ICDR をリード/ライトしたとき (TDRE または RDRF フラグが 0 にクリアされたとき)</li> </ul> <p>(クリア条件とならない場合もあるため詳細は「16.4.8 DTC による動作」を参照)</p>
0	SCP	1	W	<p>開始条件 / 停止条件発行禁止ビット</p> <p>SCP ビットはマスタモードでの開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットは、リードすると常に 1 が読み出されます。ライトしてもデータは格納されません。</p>

## 16. I<sup>2</sup>C バスインタフェース (IIC)

I<sup>2</sup>C バスフォーマットで IRIC = 1 となり割り込みが発生した場合には、IRIC = 1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

内部フラグである TDRE または RDRF フラグがセットされたとき、リード可能な IRTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I<sup>2</sup>C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致したあとの再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、内部フラグである TDRE または RDRF フラグがセットされていない場合があります。DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため TDRE または RDRF フラグはクリアされています。

各フラグと転送状態の関係を表 16.4 に示します。

表 16.4 フラグと転送状態の関係

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	状態
1/0	1/0	0	0	0	0	0	0	0	0	0	アイドル状態 (フラグクリア要)
1	1	0	0	0	0	0	0	0	0	0	開始条件発行
1	1	1	0	0	1	0	0	0	0	0	開始条件成立
1	1/0	1	0	0	0	0	0	0	0	0/1	マスタモードウェイト
1	1/0	1	0	0	1	0	0	0	0	0/1	マスタモード送受信終了
0	0	1	0	0	0	1/0	1	1/0	1/0	0	アービトレーションロスト
0	0	1	0	0	0	0	0	1	0	0	スレーブモード第1フレームで SAR に一致
0	0	1	0	0	0	0	0	1	1	0	ゼネラルコールアドレスに一致
0	0	1	0	0	0	1	0	0	0	0	SARX に一致
0	1/0	1	0	0	0	0	0	0	0	0/1	スレーブモード送受信終了 (SARX 一致後以外)
0	1/0	1	0	0	1	1	0	0	0	0	スレーブモード送受信終了 (SARX 一致後)
0	1	1	0	0	0	1	0	0	0	1	スレーブモード送受信終了 (SARX 一致後)
0	1/0	0	1/0	1/0	0	0	0	0	0	0/1	停止条件検出

16.3.7 I<sup>2</sup>C バスステータスレジスタ (ICSR)

ICSR はステータスフラグで構成されます。

ビット	ビット名	初期値	R/W	説明
7	ESTP	0	R/(W)*	エラー停止条件検出フラグ I <sup>2</sup> C バスフォーマットでスレープモードのとき有効 [セット条件] <ul style="list-style-type: none"> <li>• フレームの転送の途中で停止条件を検出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1の状態をリードしたあと、0をライトしたとき</li> <li>• IRIC フラグが0にクリアされたとき</li> </ul>
6	STOP	0	R/(W)*	正常停止条件検出フラグ I <sup>2</sup> C バスフォーマットでスレープモードのとき有効 [セット条件] <ul style="list-style-type: none"> <li>• フレームの転送の完了後に停止条件を検出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1の状態をリードしたあと、0をライトしたとき</li> <li>• IRIC フラグが0にクリアされたとき</li> </ul>
5	IRTR	0	R/(W)*	I <sup>2</sup> C バスインタフェース連続送受信割り込み要求フラグ [セット条件] I <sup>2</sup> C バスフォーマットでスレープモードのとき <ul style="list-style-type: none"> <li>• AASX=1の状態では TDRE または RDRF フラグが1にセットされたとき</li> </ul> I <sup>2</sup> C バスフォーマットでスレープモードのとき以外 <ul style="list-style-type: none"> <li>• TDRE または RDRF フラグが1にセットされたとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1の状態をリードしたあと、0をライトしたとき</li> <li>• ICE = 1の状態では IRIC フラグが0にクリアされたとき</li> </ul>
4	AASX	0	R/(W)*	第2スレープアドレス認識フラグ [セット条件] <ul style="list-style-type: none"> <li>• スレープ受信モード、FSX=0で第2スレープアドレスを検出したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1の状態をリードしたあと、0をライトしたとき</li> <li>• 開始条件を検出したとき</li> <li>• マスタモードのとき</li> </ul>

## 16. I<sup>2</sup>C バスインタフェース (IIC)

ビット	ビット名	初期値	R/W	説明
3	AL	0	R/(W)*	<p>アービトレーションロストフラグ</p> <p>マスタモード時にバス競合負けをしたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき</li> <li>• SCL の立ち下がり で内部 SCL が High レベルのとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 1 の状態をリードしたあと、0 をライトしたとき</li> <li>• ICDR をライト (送信時) またはリード (受信時) したとき</li> </ul>
2	AAS	0	R/(W)*	<p>スレーブアドレス認識フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• スレーブ受信モードかつ FS=0 でスレーブアドレスまたはゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき</li> <li>• 1 の状態をリードしたあと、0 をライトしたとき</li> <li>• マスタモードのとき</li> </ul>
1	ADZ	0	R/(W)*	<p>ゼネラルコールアドレス認識フラグ</p> <p>I<sup>2</sup>C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームでゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• スレーブ受信モードかつ、(FSX=0 または FS=0) でゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき</li> <li>• 1 の状態をリードしたあと、0 をライトしたとき</li> <li>• マスタモードのとき</li> </ul> <p>FS=1 かつ FSX=0 でゼネラルコールアドレスを検出した場合、ADZ フラグは 1 にセットされますが、ゼネラルコールアドレスは認識されません (AAS フラグは 1 にセットされません)。</p>

ビット	ビット名	初期値	R/W	説明
0	ACKB	0	R/W	<p>アクノリッジビット</p> <p>アクノリッジデータを格納するビットです。</p> <p>送信モード</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>送信モードかつ ACKE = 1 でアクノリッジビットとして 1 を受信したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>送信モードかつ ACKE = 1 でアクノリッジビットとして 0 を受信したとき</li> <li>ACKE ビットに 0 をライトしたとき</li> </ul> <p>受信モード</p> <p>0: データを受信したあと、アクノリッジデータとして 0 を送出します。</p> <p>1: データを受信したあと、アクノリッジデータとして 1 を送出します。</p> <p>本ビットをリードすると、送信時 (TRS = 1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS = 0 のとき) には設定した値が読み出されます。</p> <p>また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。ICSR レジスタのフラグをビット操作命令によって書き換えた場合は、ACKB ビットのリード値でアクノリッジデータの設定値を書き換えますので、再度アクノリッジデータを設定し直してください。</p> <p>マスタモードで送信動作を終了して停止条件を発行する場合、もしくはスレーブモードで送信動作を終了してマスタデバイスが停止条件を発行できるように SDA を開放する場合は、その前に ACKE ビットに 0 をライトして ACKB フラグを 0 にクリアしてください。</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### 16.3.8 DDC スイッチレジスタ (DDCSWR)

DDCSWR は I<sup>2</sup>C バスインタフェースの内部ラッチクリアの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0	R/(W)*	リザーブビット 0 をライトしてください。
3	CLR3	1	W	I <sup>2</sup> C バスインタフェースクリア 3~0 CLR3~CLR0 ビットの設定により、I <sup>2</sup> C バスインタフェースの内部ラッチ回路へのクリア信号が発生し、内部状態を初期化します。なお、CLR3~CLR0 へのライトデータは保持されません。I <sup>2</sup> C バスインタフェースをクリアする場合は必ず MOV 命令を使用してください。BCLR 命令などのビット操作命令は使用しないでください。 00xx : 設定禁止 0100 : 設定禁止 0101 : IIC_0 内部ラッチクリア 0110 : IIC_1 内部ラッチクリア 0111 : IIC_0、IIC_1 内部ラッチクリア 1xxx : 設定無効
2	CLR2	1	W	
1	CLR1	1	W	
0	CLR0	1	W	

【記号説明】 x : Don't care

【注】 \* 0 ライトのみ可能です。

## 16.4 動作説明

I<sup>2</sup>C バスインタフェースには、I<sup>2</sup>C バスフォーマットとクロック同期式シリアルフォーマットがあります。

### 16.4.1 I<sup>2</sup>C バスデータフォーマット

I<sup>2</sup>C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットが付加されます。アドレッシングフォーマットは開始条件に続く第1フレームは必ず8ビット構成となります。I<sup>2</sup>C バスフォーマットを図 16.3 に示します。クロック同期式シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットはありません。これを図 16.4 に示します。I<sup>2</sup>C バスタイミングを図 16.5 に示します。

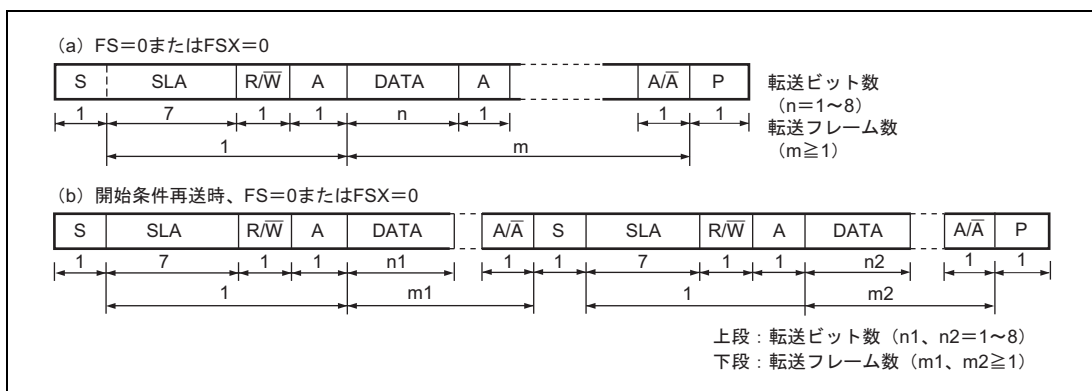


図 16.3 I<sup>2</sup>C バスデータフォーマット (I<sup>2</sup>C バスフォーマット)

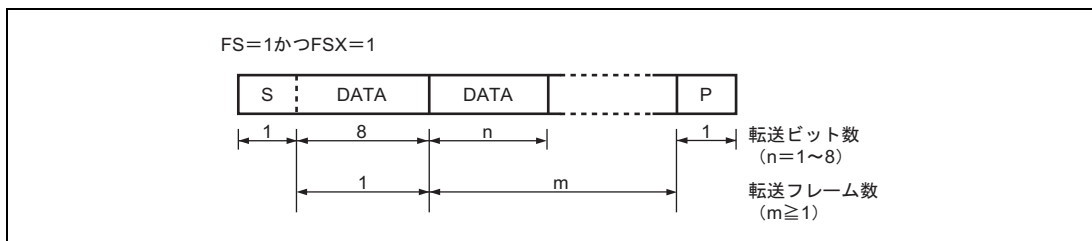


図 16.4 I<sup>2</sup>C バスデータフォーマット (シリアルフォーマット)

## 16. I<sup>2</sup>C バスインタフェース (IIC)

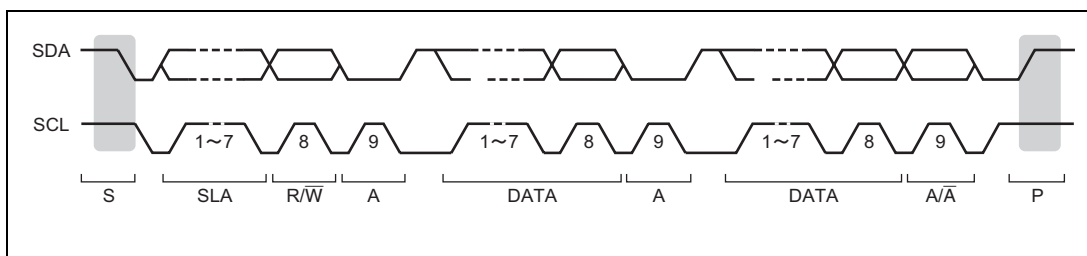


図 16.5 I<sup>2</sup>C バスタイミング

### 【記号説明】

- S : 開始条件。マスタデバイスが SCL = High レベルの状態 で SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/ $\bar{W}$  : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態 で SDA を Low レベルから High レベルに変化させます。



## 16.4.2 初期設定

データ送信 / 受信を開始するとき、以下の手順に従い IIC を初期化してください。

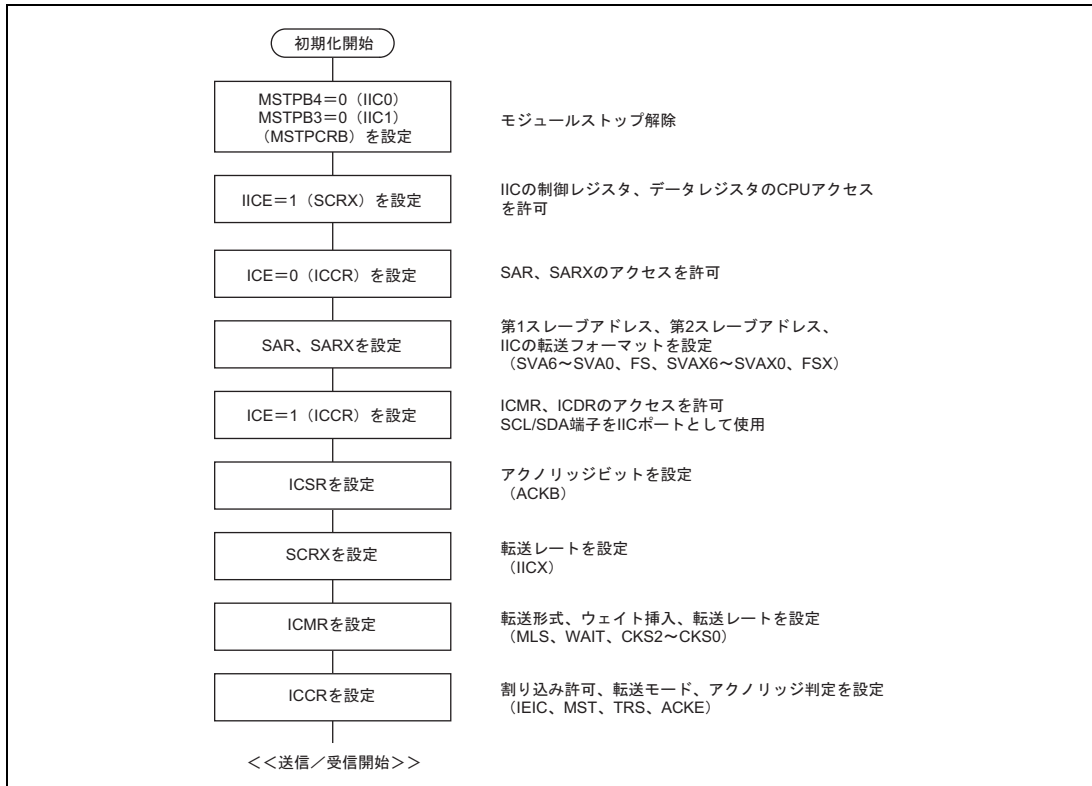


図 16.6 IIC の初期化フローチャートの例

【注】 ICMR レジスタの書き換えは、必ず送受信動作の終了後に行ってください。

送受信動作の途中で ICMR レジスタに対しライト動作を行うと、ビットカウンタ BC2~BC0 の値が不正に書き換えられ、正常に動作しなくなる恐れがあります。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### 16.4.3 マスタ送信動作

I<sup>2</sup>C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

図 16.7 にマスタ送信モードのフローチャート例を示します。

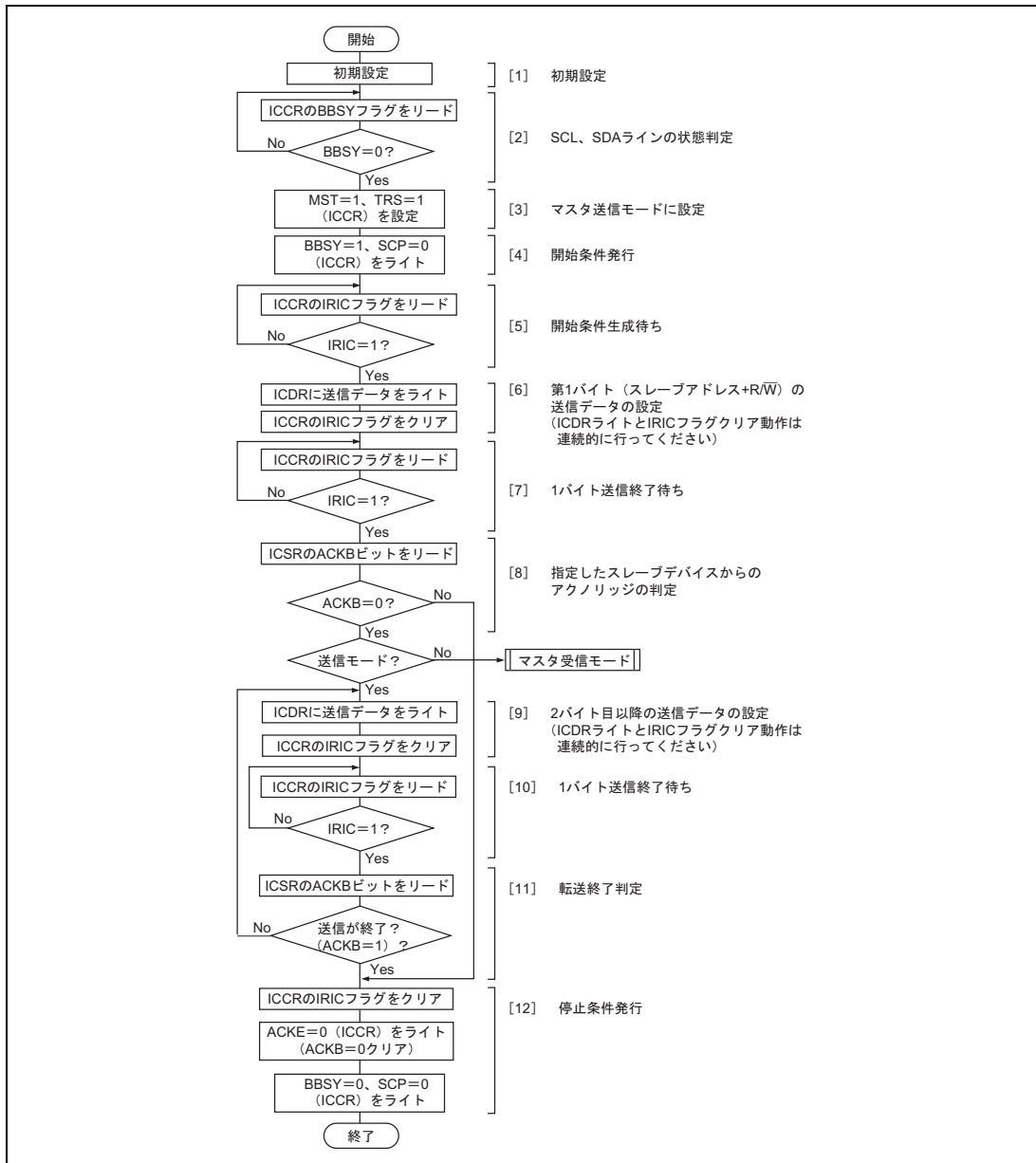


図 16.7 マスタ送信モードフローチャート例

以下に ICDR (ICDRT) のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

1. 「16.4.2 初期設定」に従い初期設定を行います。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
4. ICCRにBBSY=1かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
5. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
6. 開始条件を検出後、ICDRにデータ (スレーブアドレス+R $\bar{W}$ ) をライトします。  
I<sup>2</sup>Cバスフォーマット (SARのFSビットまたはSARXのFSXビットが0のとき) では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信 / 受信の方向(R $\bar{W}$ )を示します。  
次に転送終了を判断するためIRICフラグを0にクリアします。  
ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。  
マスタデバイスは図16.8で示すタイミングで送信クロックとICDRにライトされたデータを順次送出します。選択された (スレーブアドレスが一致した) スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
7. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。  
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
8. ICSRのACKBビットをリードしてACKB=0であることを確認します。  
スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。
9. ICDRに送信データをライトします。  
次に転送終了を判断するためIRICフラグを0にクリアします。  
ここで6.同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。  
次フレームの送信は内部クロックに同期して行われます。
10. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。

### 11. ICSRのACKBビットをリードします。

スレーブデバイスがアクノリッジを返しACKB=0となっていることを確認します。引き続きデータを送信する場合には、9.に戻り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行います。

### 12. IRICフラグを0にクリアします。

ICCRのACKEビットに0をライトし、受信したACKBビットの内容を0にクリアします。

ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

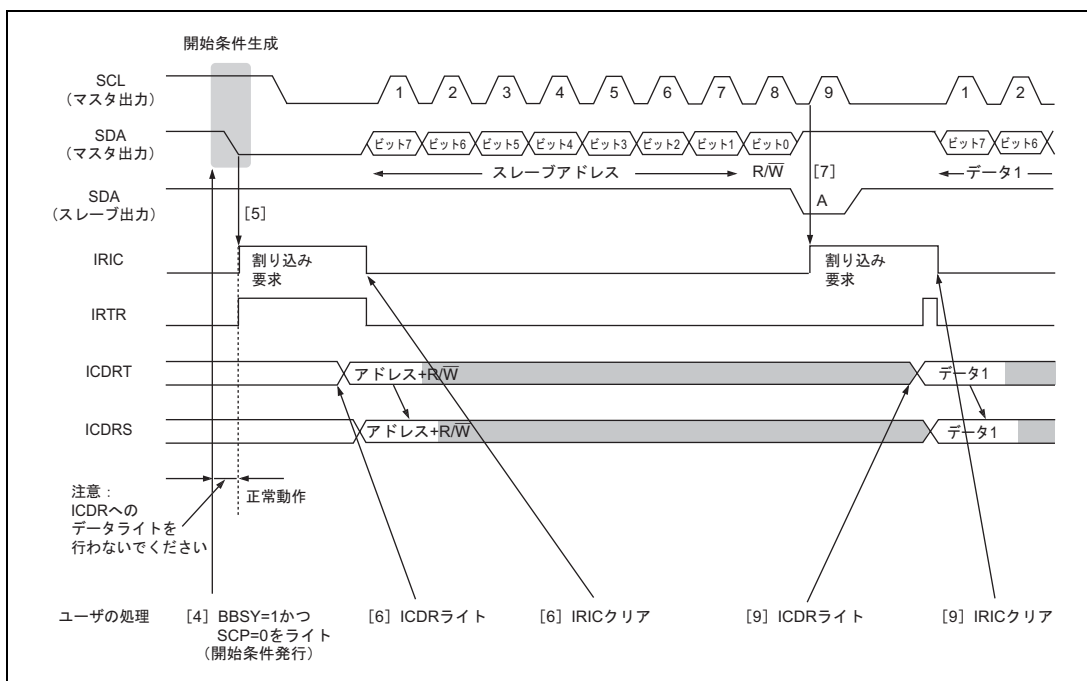


図 16.8 マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)

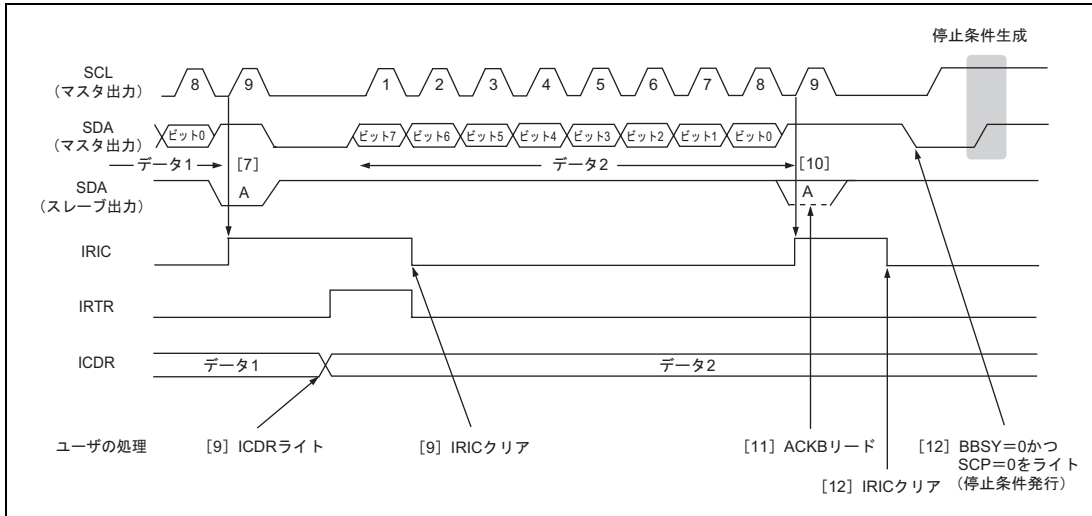


図 16.9 マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)

#### 16.4.4 マスタ受信動作

I<sup>2</sup>C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アックノリッジを返します。スレーブデバイスはデータを送信します。

マスタデバイスは、マスタ送信モードにて開始条件発行後の第一フレームでスレーブアドレス +  $R/\bar{W}$  (0: リード) のデータを送信し、スレーブデバイスを選択したあと、受信動作に切り替えます。

##### (1) ウェイトを利用した受信動作

図 16.10、図 16.11 にマスタ受信モードのフローチャート例 (WAIT=1) を示します。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

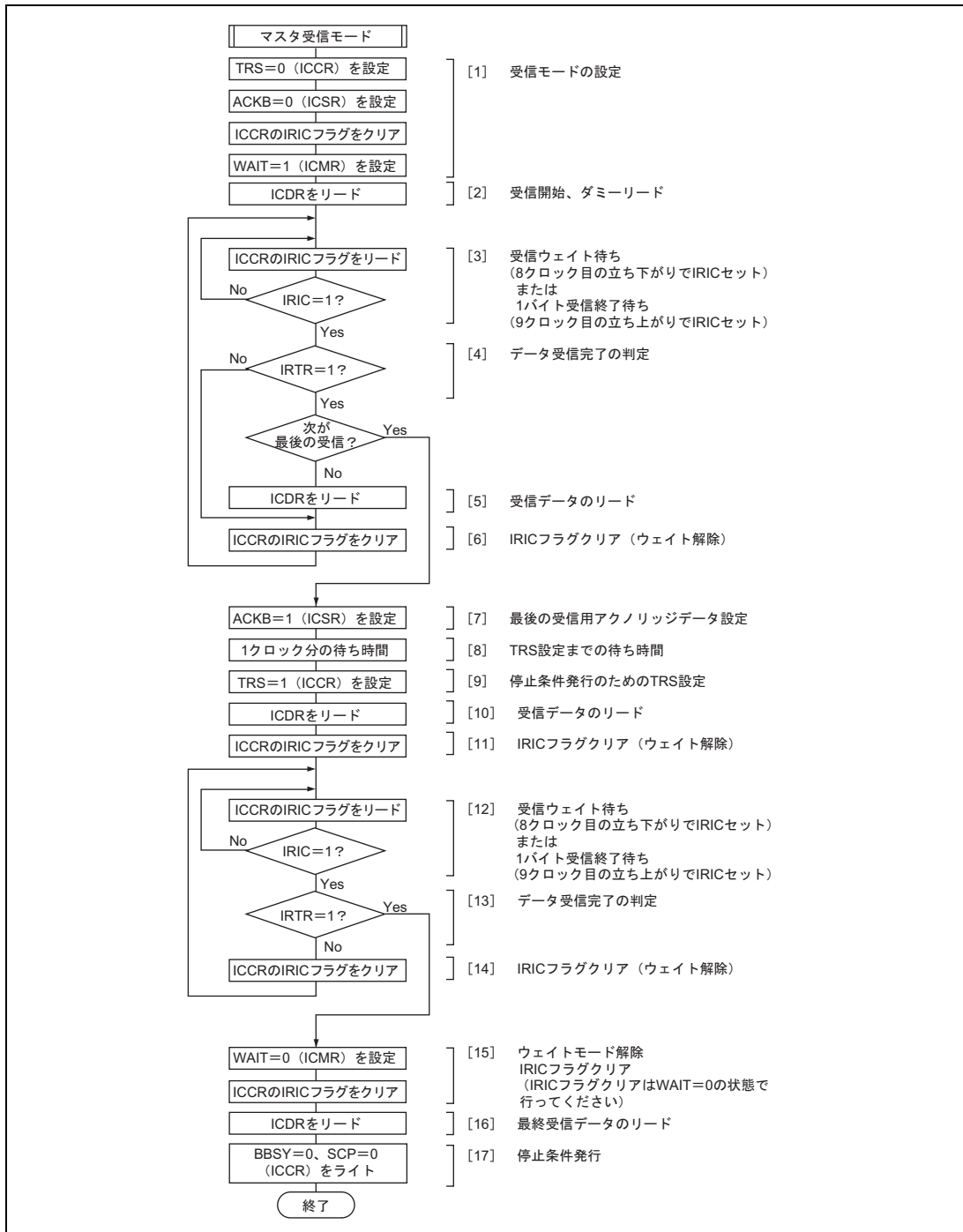


図 16.10 マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)

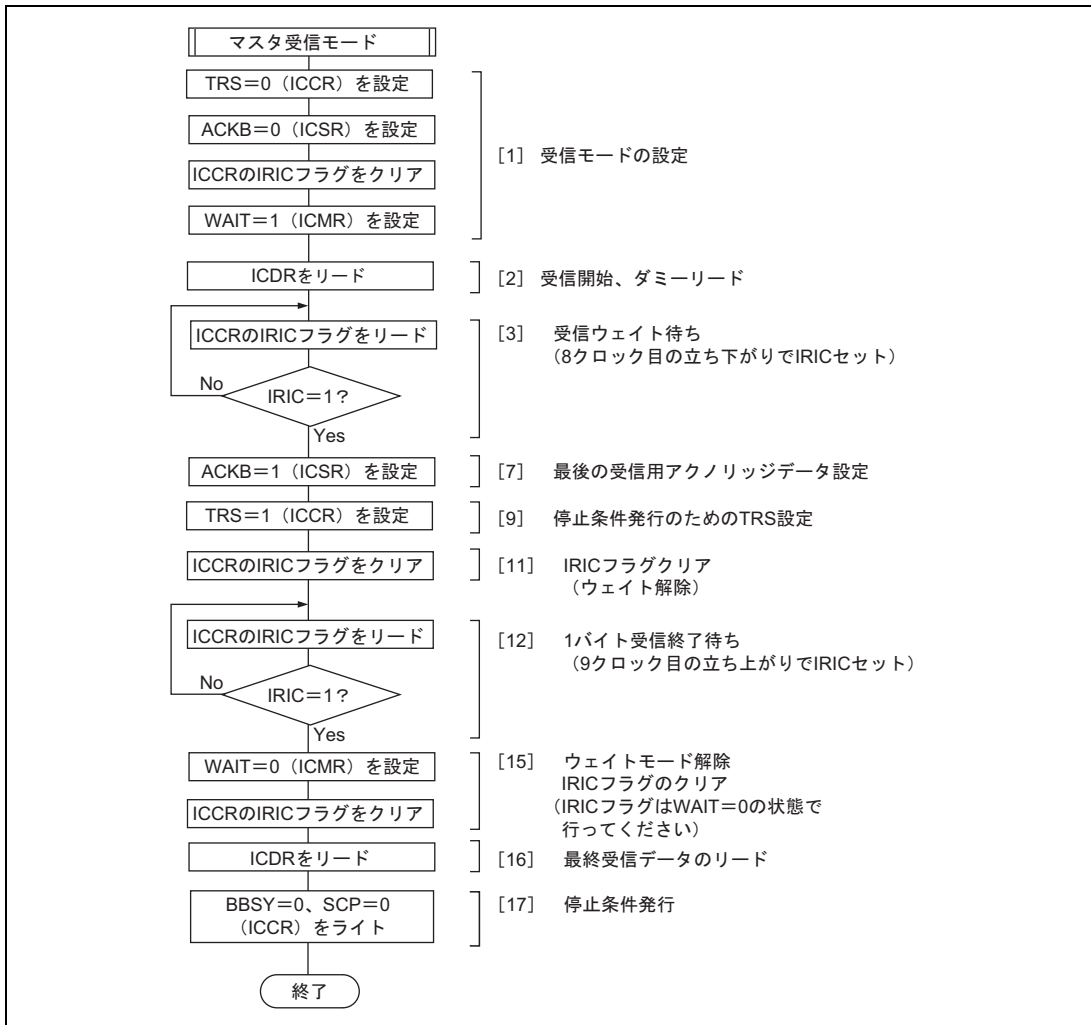


図 16.11 マスタ受信モード (1バイトのみ受信) のフローチャート例 (WAIT=1)

以下にウェイト動作 (WAIT ビット) を利用し、ICDR (ICDRR) のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

下記手順は複数バイト受信動作について説明しています。1バイトのみ受信の場合は一部手順が省略されていますので、図 16.11 のフローチャートに従って動作を行ってください。

- ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。  
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)  
IRICフラグを0にクリアし、そのあとにICMRのWAITビットを1にセットします。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

---

2. ICDRをリード(ダミーリード)すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。
3. IRICフラグが以下の2条件で1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
  - (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。

SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
  - (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。

IRTRフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。
4. ICSRのIRTRフラグをリードします。

IRTRフラグが0の場合は6.のIRICフラグクリアでウェイト解除を行います。  
IRTRフラグが1で、次に受信するデータが最後の受信データの場合は、7.の終了処理を行ってください。
5. IRTRフラグが1の場合は、ICDRの受信データをリードします。
6. IRICフラグを0にクリアします。ここで5.のICDRのリードとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。ウェイト動作時はBC2~0カウンタの値が2以上のときにIRICフラグのクリアを行ってください。BC2~0カウンタの値が1または0のときにIRICフラグのクリアを行うと、転送終了を判定することができなくなります。3.(1)の場合、マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。

3.から6.を繰り返し行うことにより、データを受信することができます。
7. ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。
8. IRICフラグが1にセットされてから少なくとも1クロック分の待ち時間を取り、次の受信データの1クロック目が立ち上がるのを待ちます。
9. ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。ここで設定したTRSビットの値は次の9クロック目の立ち上がりエッジが入力されてから有効になります。
10. ICDRの受信データをリードします。
11. IRICフラグを0にクリアします。ここで6.と同様にICDRのリードとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。ウェイト動作時はBC2~0カウンタの値が2以上のときにIRICフラグのクリアを行ってください。
12. IRICフラグが以下の2条件で1にセットされます。
  - (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。

SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。



(2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。

IRTRフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。

13. ICSRのIRTRフラグをリードします。

IRTRフラグが0の場合は14.のIRICフラグクリアでウェイト解除を行います。

IRTRフラグが1で受信動作が完了している場合は、15.の停止条件発行処理を行ってください。

14. IRTRフラグが0の場合は、IRICフラグを0にクリアし、ウェイトを解除します。

受信動作の完了を検出するため12.のIRICフラグリードに戻ります。

15. ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。

その後、IRICフラグを0にクリアします。

IRICフラグのクリアはWAIT=0の状態で行ってください。

(IRICフラグを0にクリアしたあとにWAITビットを0にクリアし、停止条件発行命令を実行した場合、停止条件が正常に出力されない場合があります。)

16. ICDRにある最終受信データをリードします。

17. ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

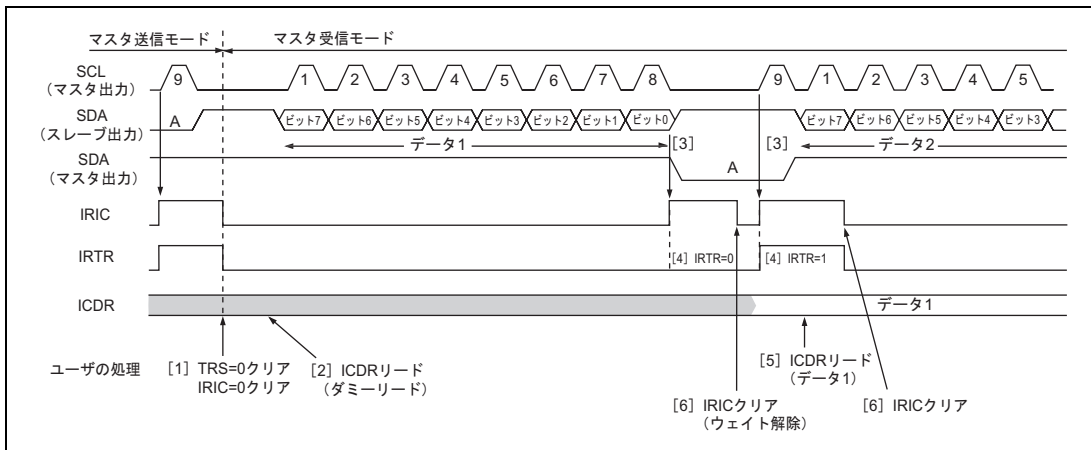


図 16.12 マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

## 16. I<sup>2</sup>C バスインタフェース (IIC)

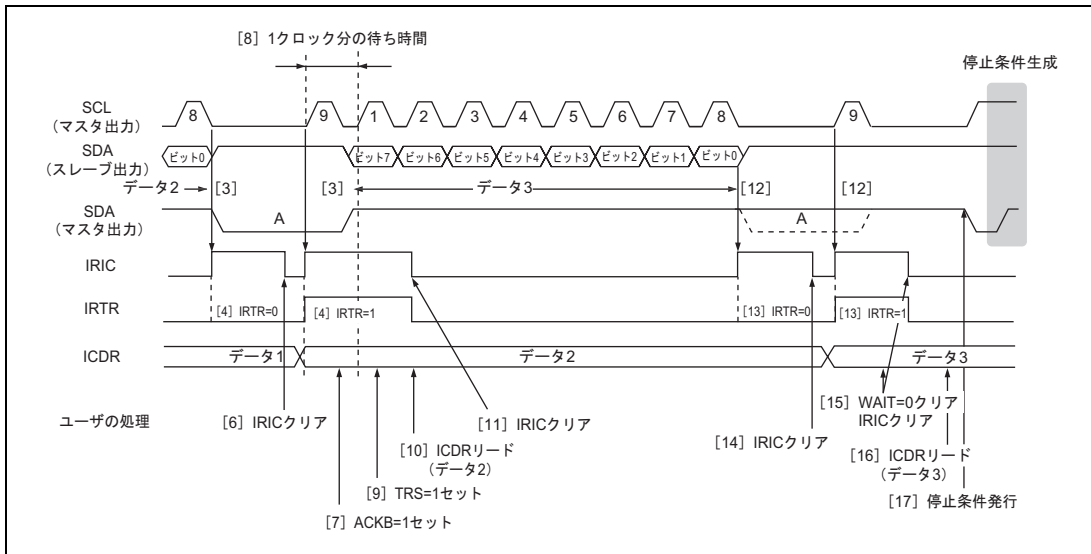


図 16.13 マスタ受信モード停止条件発行動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

### 16.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブデバイスは、マスタが発行する開始条件後の第1フレームのスレーブアドレスと自分のアドレスを比較し、一致したときにマスタデバイスに指定されたスレーブデバイスとして動作します。

図 16.14 にスレーブ受信モード時のフローチャート例を示します。

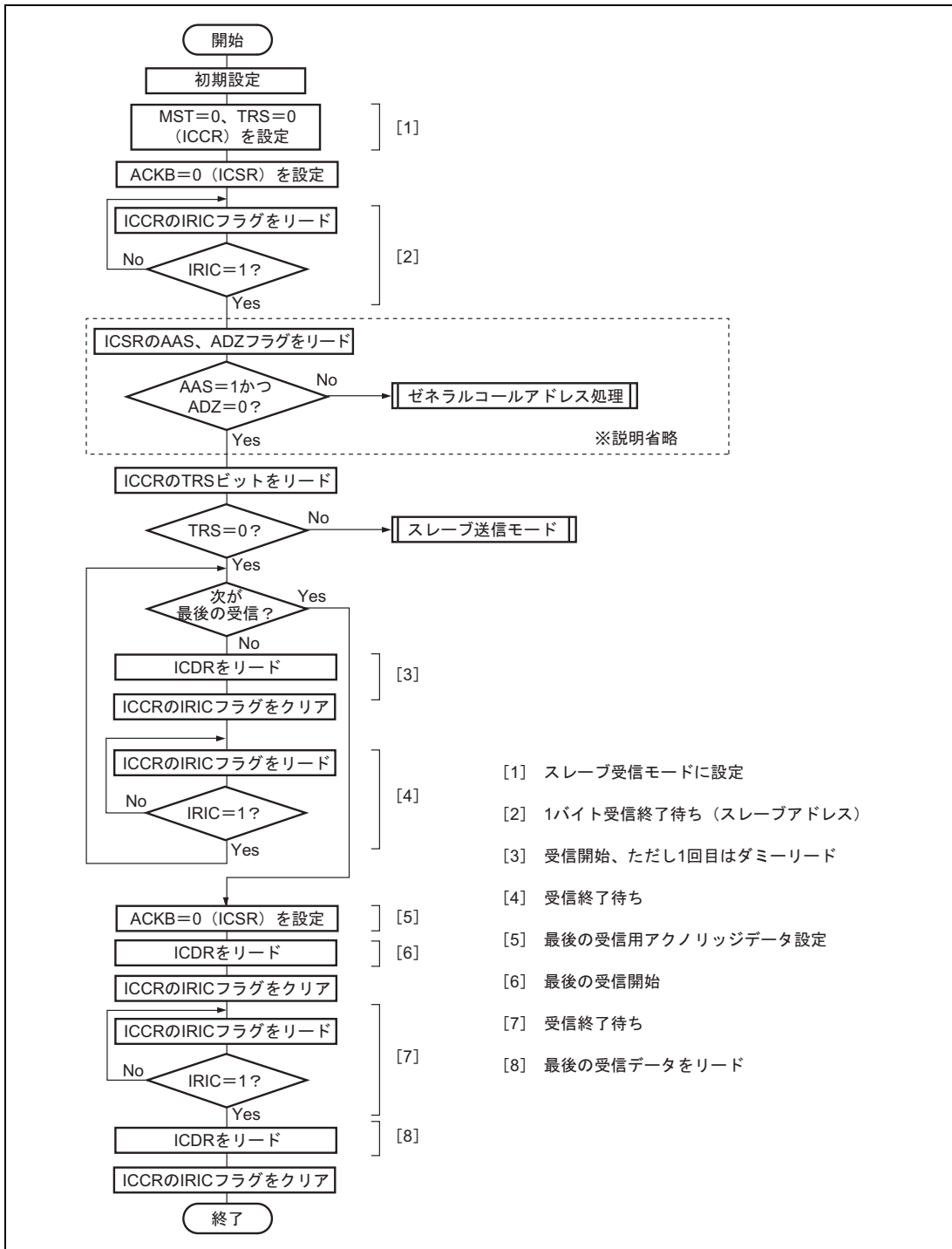


図 16.14 スレーブ受信モードフローチャート例

## 16. I<sup>2</sup>C バスインタフェース (IIC)

---

以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードにあわせて設定します。
2. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。
3. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ (R $\bar{W}$ ) が0のときICCRのTRSビットは0のまま変化せず、スレーブ受信動作を行います。
4. 受信フレームの9クロック目でスレーブデバイスはSDAをLowレベルにし、アクリッジを返します。同時にICCRのIRICフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。このとき、RDRF内部フラグが0にクリアされていると、RDRF内部フラグを1にセットして引き続き受信動作を行います。RDRF内部フラグが1にセットされていると、スレーブデバイスは受信クロックの立ち下がりからICDRにデータをリードするまでSCLをLowレベルにします。
5. ICDRをリードし、ICCRのIRICフラグを0にクリアします。このときRDRFフラグが0にクリアされます。ここでICDRのリードとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。

4.から 5.を繰り返すことにより、受信動作を継続できます。SCL が High レベルのとき、SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

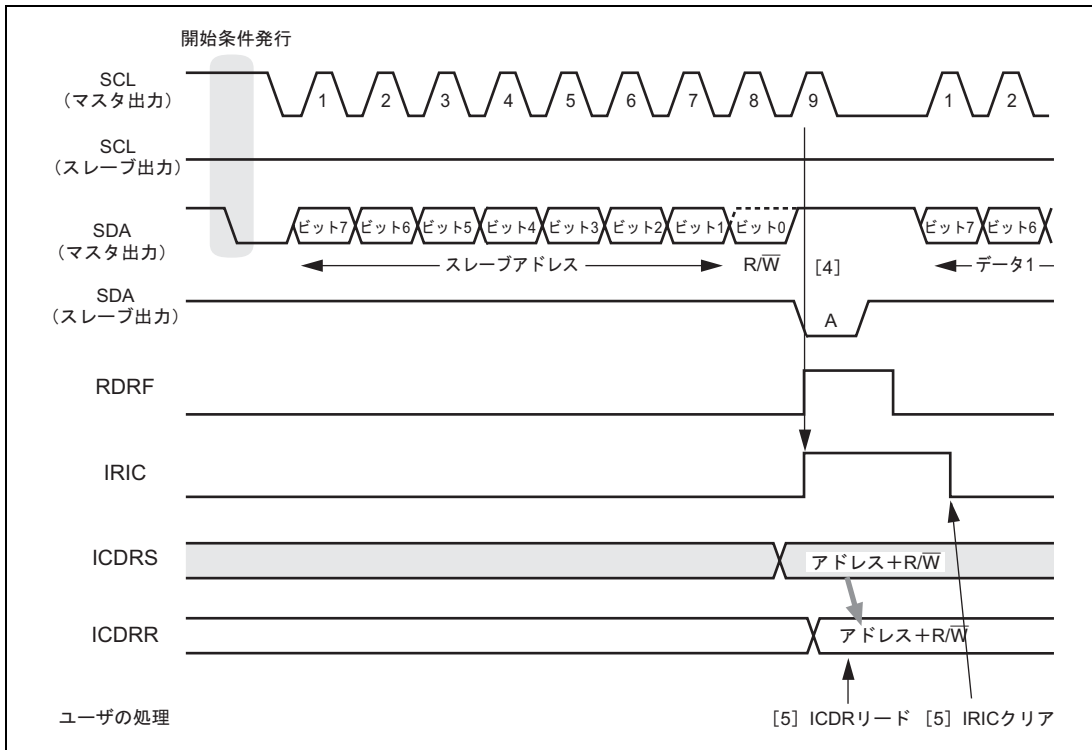


図 16.15 スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0 のとき)

## 16. I<sup>2</sup>C バスインタフェース (IIC)

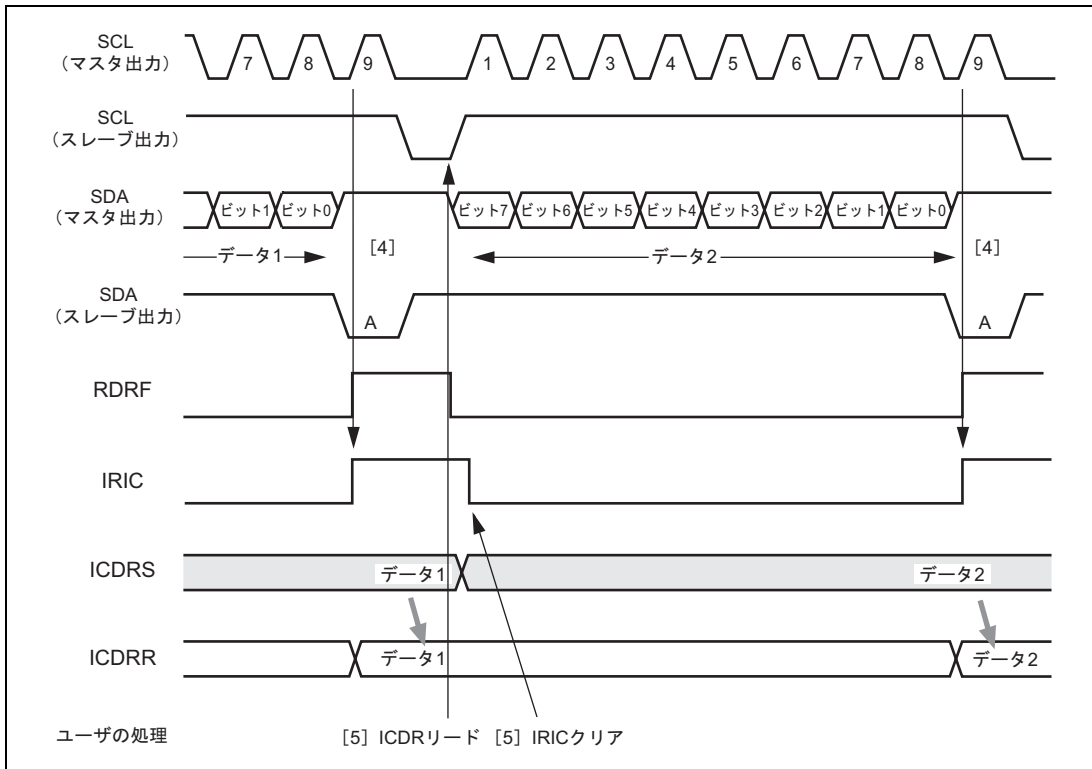


図 16.16 スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0 のとき)

## 16.4.6 スレーブ送信動作

スレーブ送信動作は、スレーブ受信モードで開始条件検出後の第1フレーム（アドレス受信フレーム）にてマスタが送信したアドレスと自分のアドレスが一致し、かつ8ビット目のデータ（R/W）が1（リード）のときに ICCR の TRS ビットが自動的に 1 にセットされ、スレーブ送信モードになります。

図 16.17 にスレーブ送信モードのフローチャート例を示します。

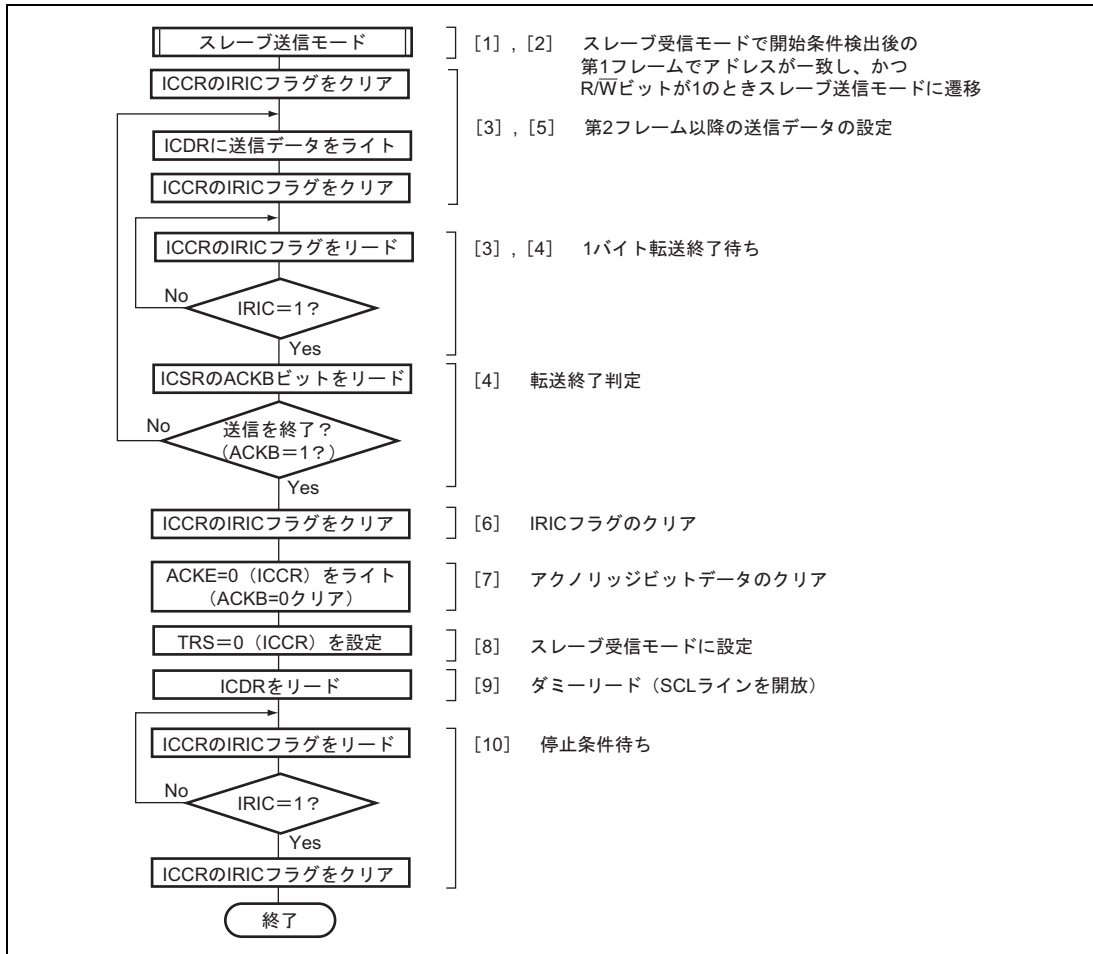


図 16.17 スレーブ送信モードフローチャート例

## 16. I<sup>2</sup>C バスインタフェース (IIC)

---

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. スレーブ受信モードの初期設定を行い、自分のアドレス受信を待ちます。

スレーブ受信モードの初期設定時、ICCRのACKCビットに1をライトしてください。スレーブ送信モードに遷移後、アクノリッジビットの受信を有効にするために必要になります。

2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。また、8ビット目のデータ ( $R\bar{W}$ ) が1のときTRSビットが1にセットされ、自動的にスレーブ送信モードになります。9クロックの立ち上がりのタイミングでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされているとCPUに対し割り込み要求を発生します。このとき、TDRE内部フラグは1にセットされています。スレーブデバイスは送信クロックの9クロック目の立ち下がりからICDRにデータをライトするまでSCLをLowレベルにしマスタデバイスが次の転送クロックを出力できないようにします。

3. IRICフラグを0にクリア後、ICDRに送信データをライトします。このときTDRE内部フラグは0にクリアされます。ライトされたデータはICDRSに転送され、TDRE内部フラグとIRICフラグが再び1にセットされます。スレーブデバイスはマスタデバイスが出力するクロックに従い、ICDRSに転送されたデータを順次送出します。

送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に割り込み処理を含む他の処理が入らないようにしてください。もし、IRICフラグのクリアまでに1バイト分の転送時間が経過した場合には、転送終了を判定することができなくなります。

4. マスタデバイスは転送フレームの9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKCビットが1のとき、ACKBビットに格納されるので転送動作が正常に行われたかどうか確認することができます。1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。TDRE内部フラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、TDRE内部フラグとIRICフラグが再び1にセットされます。TDRE内部フラグが1にセットされていると、送信クロックの9クロック目の立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。

5. 送信を続ける場合は、次に送信するデータをICDRにライトします。このときTDRE内部フラグは0にクリアされます。送信完了を検知するためにIRICフラグを0にクリアします。ICDRライトからIRICフラグクリアまでは連続的に行い、この間に割り込み処理を含む他の処理が入らないようにしてください。

4から5を繰り返し行うことにより、送信動作を継続できます。

6. IRICフラグを0にクリアします。



7. 送信を終了する場合は、ICCRのACKEビットを0にクリアし、ACKBビットに格納されているアクノリッジビットの値を0にクリアします。
8. 次のアドレス受信動作のため、TRSビットを0にクリアし、スレーブ受信モードに設定します。
9. スレーブ側でSCLを開放するためにICDRをダミーリードします。
10. SCLがHighレベルのときSDAがLowレベルからHighレベルに変化して停止条件を検出すると、ICCRのBBSYフラグが0にクリアされ、ICSRのSTOPフラグが1にセットされます。同時にIRICフラグが1にセットされます。IRICフラグがセットされているときは、IRICフラグを0にクリアします。  
再度スレーブ送信動作を行う場合は、初期設定から実施してください。

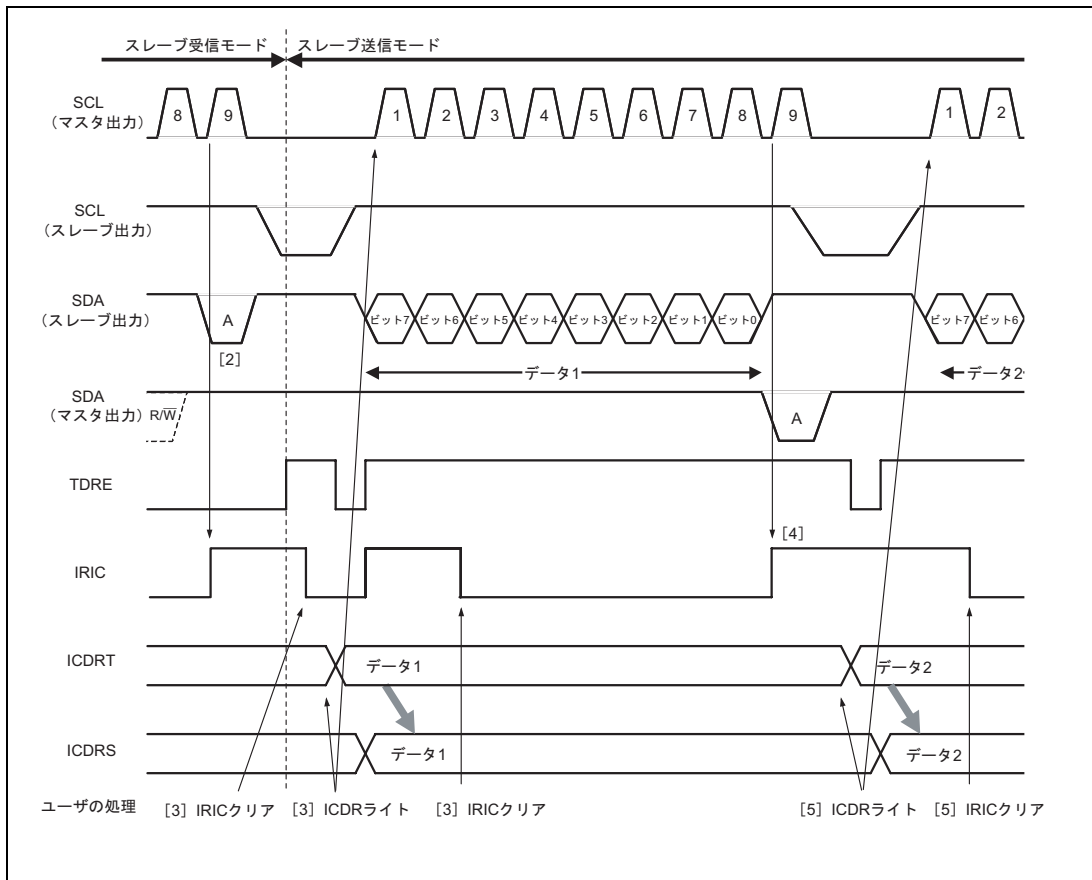
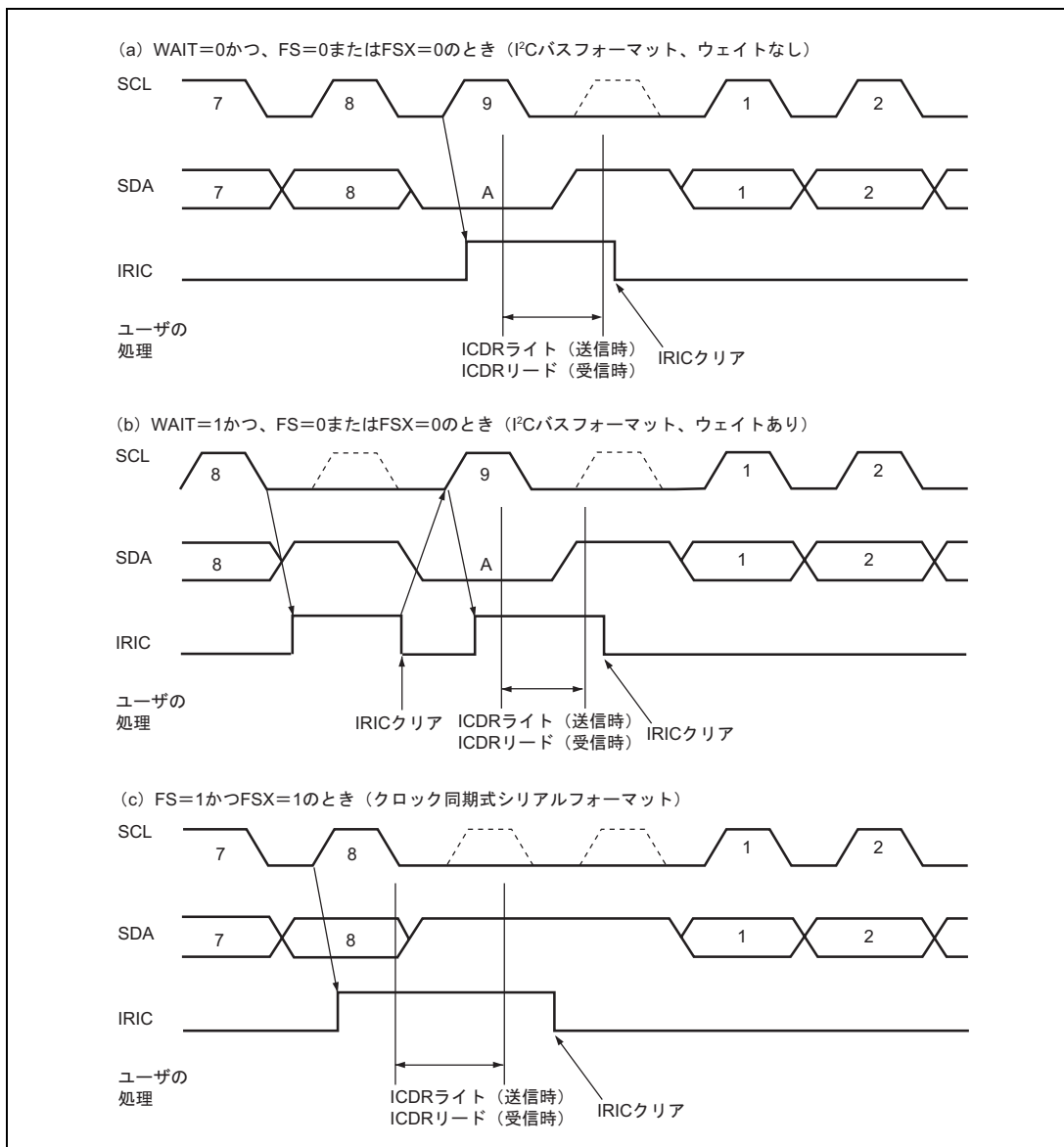


図 16.18 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

### 16.4.7 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、TDRE や RDRF 内部フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 16.19 に IRIC セットタイミングと SCL 制御を示します。



## 16.4.8 DTC による動作

I<sup>2</sup>C バスフォーマットでは、スレーブアドレスと R $\bar{W}$  ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

表 16.5 は、DTC を利用した処理の例を示します。スレーブモードでも転送データ数がわかっていると仮定しています。

表 16.5 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス + R $\bar{W}$ ビット送信 / 受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード	—	CPU で処理 (ICDR リード)	—	—
本体データ送信 / 受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
ダミーデータ (H'FF) ライト	—	—	DTC で処理 (ICDR ライト)	—
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
最終フレーム処理後の転送要求処理	1 回目 : CPU でクリア 2 回目 : CPU で終了条件発生	不要	ダミーデータ (H'FF) 送出中に終了条件を検出して自動的にクリア	不要
DTC 転送データフレーム数設定	送信 : 実データ数 + 1 (+1 は、スレーブアドレス + R $\bar{W}$ ビット分)	受信 : 実データ数	送信 : 実データ数 + 1 (+1 は、ダミーデータ (H'FF) 分)	受信 : 実データ数

### 16.4.9 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 16.20 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

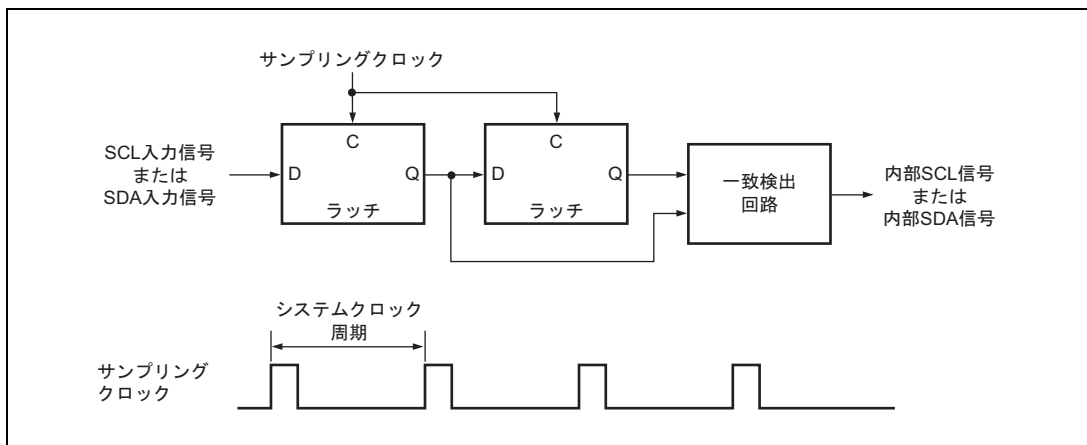


図 16.20 ノイズ除去回路のブロック図

### 16.4.10 内部状態の初期化

本 IIC は、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能を持っています。初期化は、(1) DDCSWR レジスタの CLR3 ~ CLR0 ビットの設定、または (2) ICE ビットのクリアにより実行されます。CLR3 ~ CLR0 ビット設定の詳細は、「16.3.8 DDC スイッチレジスタ (DDCSWR)」を参照してください。

#### (1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- TDRE、RDRF 内部フラグ
- 送信 / 受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA 端子出力状態を保持するための内部ラッチ (ウェイト、クロック、データ出力など)

なお、以下の内容は初期化されません。

- レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、DDCSWR、STCR)
- ICMR、ICCR、ICSR、DDCSWR 各レジスタのフラグのセット / クリアのためのレジスタリード情報保持用内部ラッチ
- ICMR レジスタのビットカウンタ (BC2 ~ BC0) の値
- 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

#### (2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- DDCSWR レジスタにより初期化を行う場合、CLR3 ~ CLR0 ビットのライトデータは保持されません。IIC クリアを行う場合は、必ず MOV 命令を使用し、CLR3 ~ CLR0 ビットを同時に書き込んでください。BCLR などのビット操作命令は使用しないでください。  
また、再度クリアが必要な場合は、同様にすべてのビットとも設定を行い、同時に書き込みする必要があります。
- 送受信中にフラグのクリア設定を行うと、その時点で IIC モジュールは送受信を中止し SCL、SDA 端子を解放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、解放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

---

- (1) CLR3 ~ CLR0 ビットの設定、または ICE ビットによる内部状態の初期化実行
- (2) BBSY ビットを 0 にクリアするための、停止条件発行命令実行 (BBSY = 0 かつ SCP = 0 ライト)、および転送レートの 2 クロック分の期間ウェイト
- (3) CLR3 ~ CLR0 ビットの設定、または ICE ビットによる内部状態の初期化の再実行
- (4) IIC の各レジスタの初期化 (再設定)

### 16.5 割り込み要因

IIC の割り込み要因は、IIC1 があります。表 16.6 に各割り込み要因と優先順位を示します。各割り込み要因は、ICCR 割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 16.6 IIC 割り込み要因

チャンネル	名称	イネーブルビット	割り込み要因	割り込みフラグ	優先順位
0	IIC10	IEIC	I <sup>2</sup> C バスインタフェース割り込み要求	IRIC	高
1	IIC11	IEIC	I <sup>2</sup> C バスインタフェース割り込み要求	IRIC	低

## 16.6 使用上の注意事項

1. マスタモードで、開始条件生成のための命令を発行した際に、実際に開始条件がI<sup>2</sup>Cバスに出力される前に停止条件生成のための命令を発行すると、開始条件も停止条件も正常に出力されなくなります。  
開始条件に引き続いて停止条件を出力する必要がある場合は、開始条件生成のための命令を発行後、各I<sup>2</sup>Cバス出力端子のPORTレジスタをリードし、SCL、SDAが共に、Lowレベルになっていることを確認してください。ICEビットに1が設定された状態でも、端子に対応したI/OポートレジスタのDDRレジスタがクリアされていれば、PORTレジスタのリードで端子状態をモニタすることができます。その後、停止条件生成のための命令を発行してください。BBSY=0となったタイミングでは、まだSCLがLowレベルになっていない場合がありますのでご注意ください。
2. 次の転送の開始条件は以下の2条件となっています。ICDRをアクセスする場合は注意してください。
  - (a) ICE = 1、TRS = 1の状態(ICDRにデータをライトしたとき (ICDRT ICDRSの自動転送を含む))
  - (b) ICE = 1、TRS = 0の状態(ICDRをリードしたとき (ICDRS ICDRRの自動転送を含む))
3. SCL、SDA出力は、内部クロックに同期して表16.7に示すタイミングで出力されます。実際のバス上でのタイミングは、さらにバスの負荷容量、直列抵抗、および並列抵抗によって決まる信号の立ち上がり / 立ち下がり時間の影響を受けます。

表 16.7 I<sup>2</sup>C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	tSCLO	28t <sub>cy</sub> ~ 256t <sub>cy</sub>	ns	図 27.34
SCL 出力 High パルス幅	tsCLHO	0.5tSCLO	ns	
SCL 出力 Low パルス幅	tsCLLO	0.5tSCLO	ns	
SDA 出力バスフリー時間	tBUFO	0.5tSCLO-1t <sub>cy</sub>	ns	
開始条件出力ホールド時間	tSTAHO	0.5tSCLO-1t <sub>cy</sub>	ns	
再送開始条件出力セットアップ時間	tSTASO	1tSCLO	ns	
停止条件出力セットアップ時間	tSTOSO	0.5tSCLO + 2t <sub>cy</sub>	ns	
データ出力セットアップ時間 (マスタ時)	tsDASO	1tsCLLO-3t <sub>cy</sub>	ns	
データ出力セットアップ時間 (スレーブ時) * <sup>1</sup>		1tsCLL-3t <sub>cy</sub>	ns	
データ出力セットアップ時間 (スレーブ時) * <sup>2</sup>		1tsCLL- (6t <sub>cy</sub> または 12t <sub>cy</sub> ) * <sup>3</sup>	ns	
データ出力ホールド時間	tSDAHO	3t <sub>cy</sub>	ns	

【注】 \*1 H8S/2258 グループ以外です。

\*2 H8S/2258 グループのみです。

\*3 IICX が 0 のとき 6t<sub>cy</sub>、1 のとき 12t<sub>cy</sub> となります。

4. SCL、SDA入力は内部クロックに同期してサンプリングされます。そのため、ACタイミングは、表27.22 (H8S/2239グループ)、表27.34 (H8S/2238B、H8S/2236B) のようにシステムクロックの周期t<sub>cy</sub>に依存します。システムクロック周波数が5MHzに満たないと、I<sup>2</sup>CバスインタフェースのACタイミング仕様を満

## 16. I<sup>2</sup>C バスインタフェース (IIC)

足しくなりますので注意してください。

- SCLの立ち上がり時間 $t_{sr}$ はI<sup>2</sup>Cバスインタフェースの仕様で1000ns（高速モード時は300ns）以内と定められています。本I<sup>2</sup>Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 $t_{sr}$ （Lowレベルから $V_{IH}$ まで変化する時間）が、I<sup>2</sup>Cバスインタフェースの入カロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表16.8に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 16.8 SCL 立ち上がり時間 ( $t_{sr}$ ) の許容範囲

IICX	$t_{cyc}$ 表示	時間表示 [ns]						
		I <sup>2</sup> C バス仕様 (max)	$\phi=$ 5MHz* <sup>2</sup>	$\phi=$ 8MHz* <sup>2</sup>	$\phi=$ 10MHz	$\phi=$ 16MHz* <sup>1</sup>	$\phi=$ 20MHz* <sup>1</sup>	
0	7.5 $t_{cyc}$	標準モード	1000		937	750	468	375
		高速モード	300					
1	17.5 $t_{cyc}$	標準モード	1000					875
		高速モード	300					

【注】 \*1 H8S/2239 グループのみです。

\*2 H8S/2258 グループでは動作範囲外です。

- SCL、SDAの立ち上がり、立ち下がり時間は、I<sup>2</sup>Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I<sup>2</sup>CバスインタフェースのSCL、SDA出力タイミングは、表16.7に示すように $t_{cyc}$ によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI<sup>2</sup>Cバスインタフェースの仕様を満足しない場合があります。表16.9は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。表の値はIICX、CKS2～CKS0の設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I<sup>2</sup>Cバスインタフェースの仕様を満足するか検討してください。

$t_{BUFO}$ はどの周波数でもI<sup>2</sup>Cバスインタフェースの仕様を満足しません。これに対しては、

- プログラムで停止条件発行から開始条件の発行まで必要なインターバル（1 $\mu$ s程度）を確保する
- 入力タイミングがこの出力タイミングを許容するスレーブデバイスを選択する

など検討してください。また、高速モード時の $t_{SCLLO}$ 、標準モード時の $t_{STASO}$ では、 $t_{sr} / t_{sf}$ をワーストケースと

して計算した場合にI<sup>2</sup>Cバスインタフェースの仕様を満足しません。これに対しては、

- プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整する
  - 転送レートを下げて仕様を満足するよう調整する
  - 入力タイミングがこの出力タイミングを許容するスレーブデバイスを選択する
- など検討してください。



表 16.9 I<sup>2</sup>C バスタイミング (t<sub>Sr</sub>/t<sub>Sf</sub> 影響最大の場合)

項目	t <sub>cyc</sub> 表示	時間表示 (最大転送レート時) [ns]							
		t <sub>Sr</sub> /t <sub>Sf</sub> 影響 (max)	I <sup>2</sup> C バス 仕様 (min)	φ= 5MHz* <sup>7</sup>	φ= 8MHz* <sup>7</sup>	φ= 10MHz	φ= 16MHz* <sup>3</sup>	φ= 20MHz* <sup>3</sup>	
tsCLHO	0.5tsCLO (-t <sub>Sr</sub> )	標準モード	-1000	4000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950	950
tsCLO	0.5tsCLO (-t <sub>Sf</sub> )	標準モード	-250	4700	4750	4750	4750	4750	4750
		高速モード	-250	1300	1000* <sup>1</sup>	1000* <sup>1</sup>	1000* <sup>1</sup>	1000* <sup>1</sup>	1000* <sup>1</sup>
tBUFO	0.5tsCLO-1t <sub>cyc</sub> (-t <sub>Sr</sub> )	標準モード	-1000	4700	3800* <sup>1</sup>	3875* <sup>1</sup>	3900* <sup>1</sup>	3938* <sup>1</sup>	3950* <sup>1</sup>
		高速モード	-300	1300	750* <sup>1</sup>	825* <sup>1</sup>	850* <sup>1</sup>	888* <sup>1</sup>	900* <sup>1</sup>
tSTAHO	0.5tsCLO-1t <sub>cyc</sub> (-t <sub>Sf</sub> )	標準モード	-250	4000	4550	4625	4650	4688	4700
		高速モード	-250	600	800	875	900	938	950
tSTASO	1tsCLO (-t <sub>Sr</sub> )	標準モード	-1000	4700	9000	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200	2200
tSTOSO	0.5tsCLO + 2t <sub>cyc</sub> (-t <sub>Sr</sub> )	標準モード	-1000	4000	4400	4250	4200	4125	4100
		高速モード	-300	600	1350	1200	1150	1075	1050
tSDASO マスタ時	1tsCLO* <sup>2</sup> - 3t <sub>cyc</sub> (-t <sub>Sr</sub> )	標準モード	-1000	250	3100	3325	3400	3513	3550
		高速モード	-300	100	400	625	700	813	850
tSDASO スレーブ時 * <sup>4</sup>	1tsCLL* <sup>2</sup> - 3t <sub>cyc</sub> (-t <sub>Sr</sub> )	標準モード	-1000	250	3100	3325	3400	3513	3550
		高速モード	-300	100	400	625	700	813	850
tSDASO スレーブ時 * <sup>5</sup>	1tsCLL* <sup>2</sup> - 12t <sub>cyc</sub> * <sup>6</sup> (-t <sub>Sr</sub> )	標準モード	-1000	250	—	—	2500	—	—
		高速モード	-300	100	—	—	-200* <sup>1</sup>	—	—
tSDAHO	3t <sub>cyc</sub>	標準モード	0	0	600	375	300	188	150
		高速モード	0	0	600	375	300	188	150

【注】 \*1 I<sup>2</sup>C バスインタフェースの仕様を満足するために、次の対策を行ってください。

(1) 開始/停止条件発行のインターバルを確保する (2) プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する (3) 転送レートを下げて調整する (4) 入力タイミングを許容するスレーブデバイスを選択する

なお、上記表の値は、IICX ビット、CKS2~CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I<sup>2</sup>C バスインタフェースの仕様を満足するか検討してください。

\*2 I<sup>2</sup>C バス仕様値 (標準モード: 4700ns min、高速モード: 1300ns min) で計算しています。

\*3 H8S/2239 グループのみです。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

- \*4 H8S/2258 グループ以外です。
- \*5 H8S/2258 グループのみです。
- \*6 IICX ビットが1 のときです。IICX ビットを0 に設定すると、6<sub>t<sub>cy</sub></sub>となります。
- \*7 H8S/2258 グループでは動作範囲外です。

### 7. マスタ受信終了時におけるICDRリードの注意事項

マスタ受信モードでの受信動作完了後、受信をやめる場合は、ICCRのTRSビットを1にセットし、ICCRのBBSY=0かつSCP=0をライトします。これにより、SCL端子がHighレベルのとき、SDA端子をLowレベルからHighレベルに変化させて停止条件を生成します。このあとで受信データはICDRをリードすることにより読み出すことができますが、バッファにデータが残っている場合はICDRSの受信データがICDRに転送されないため第2バイト目のデータを読み出すことができなくなります。第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態（TRSビットが0の状態）で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認したあと、TRSが0の状態(ICDRをリードしてください。このとき、停止条件発行のための命令実行 (ICCR のBBSY = 0かつSCP = 0をライト) から実際に停止条件が生成されるまでの期間に受信データ (ICDRのデータ) を読み出すと、次のマスタ送信時に正しくクロックが出力されなくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後のMSTビットのクリアなど、送受信の動作モード、設定変更のためのIIC制御ビットの書き換えについては、必ず図16.21の (a) 期間中 (ICCRレジスタのBBSYビットの0クリア確認) に行ってください。

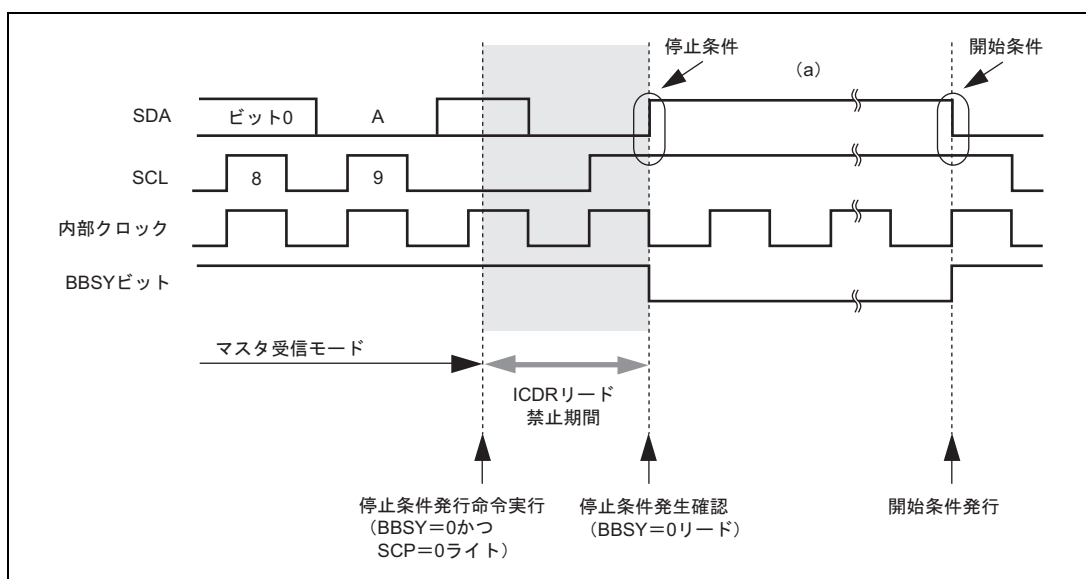


図 16.21 マスタ受信データの読み出しにおける注意

## 8. 再送開始条件発行時の注意事項

再送開始条件発行と次バイト転送命令の実行タイミングにより、再送開始条件生成や再送開始条件生成後のデータ送信が正常に動作しない場合があります。そのため、再送開始条件を発行し、開始条件が生成したあとでICDRに送信データをライトしてください。再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを図16.22に示します。

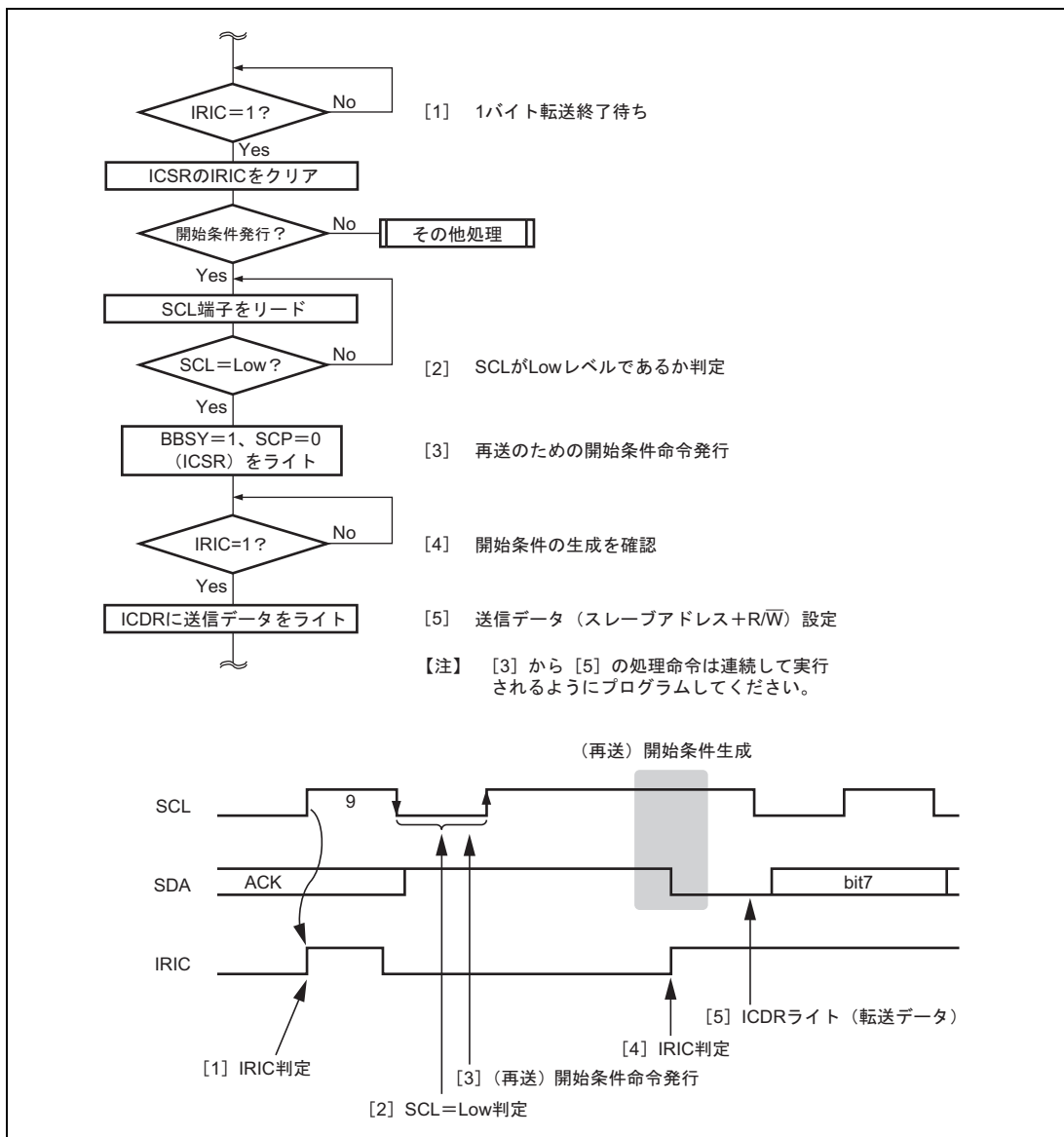


図 16.22 再送のための開始条件命令発行フローチャートおよびタイミング

## 16. I<sup>2</sup>C バスインタフェース (IIC)

### 9. I<sup>2</sup>Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きい場合、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

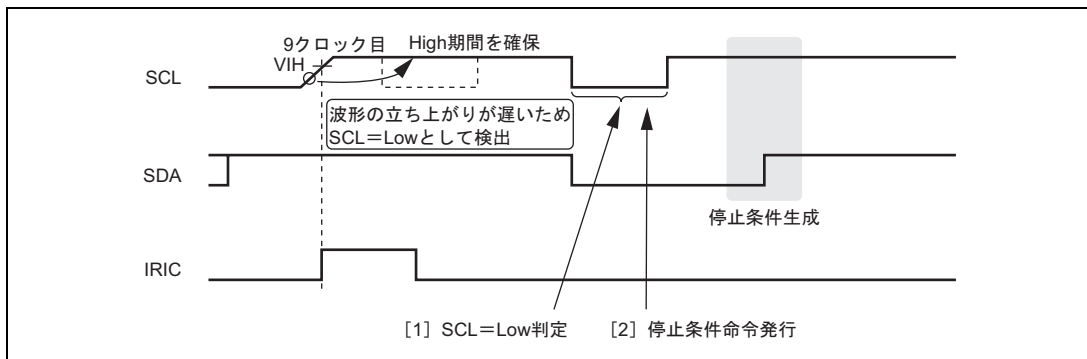


図 16.23 停止条件発行タイミング

### 10. ウェイト機能使用時のIRICフラグクリアの注意事項

I<sup>2</sup>Cバスインタフェースのマスタモードでウェイト機能を使用しているときに、SCLの立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードして、SCLがLowに立ち下がったことを判定してからIRICフラグのクリアをしてください。

SCLがHigh期間を引き延ばしている最中にWAIT=1の状態ではIRICフラグを0にクリアすると、SCLが立ち下がる前にSDAの値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

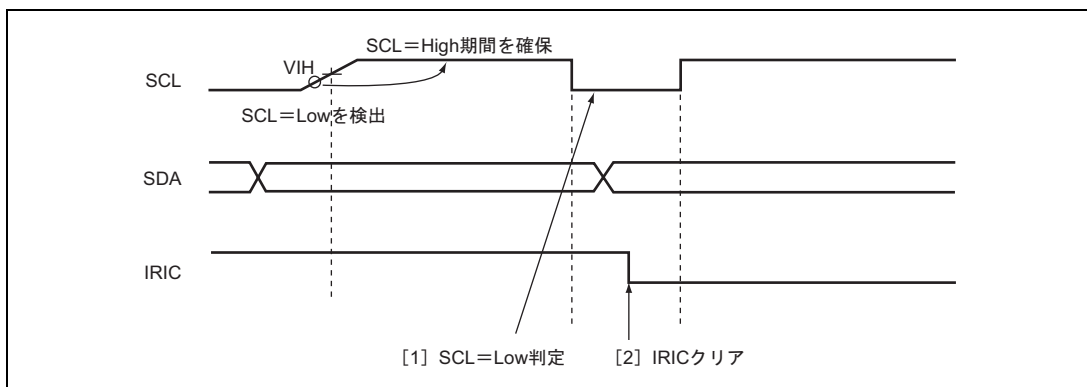


図 16.24 WAIT=1 状態での IRIC フラグクリアタイミング

## 11. スレーブ送信モードでのICDRリードとICCRアクセスの注意事項

I<sup>2</sup>Cバスインタフェースのスレーブモード送信動作では、図16.25の網かけ部の期間中に、ICDRのリードまたはICCRのリード/ライト動作を行わないようにしてください。

通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRのリード動作、およびICCRのリード/ライト動作を完了させるようにしてください。
- ICMRのBC2～BC0ビットカウンタをモニタし、BC2～BC0=000（8クロック目または9クロック目）の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRのリード、またはICCRのリード/ライト動作を行ってください。

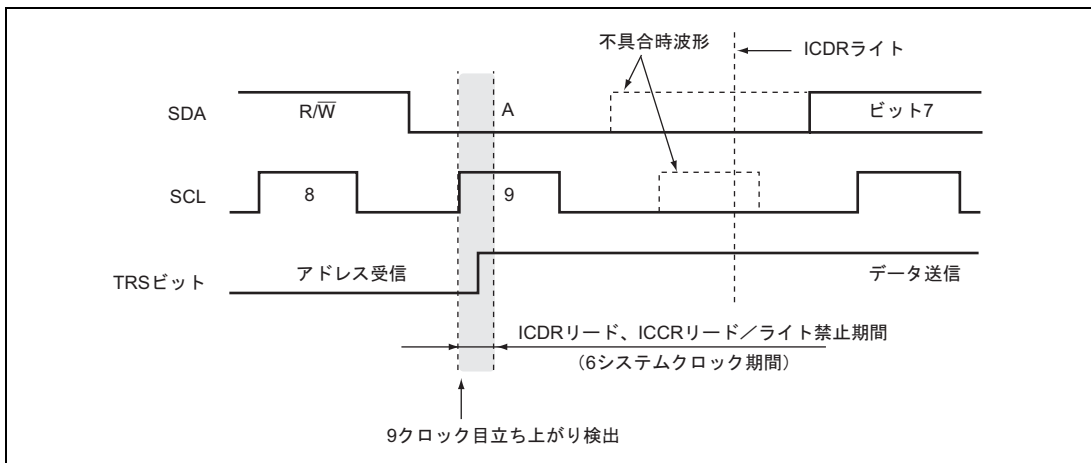


図 16.25 スレーブ送信モードでのICDRリード、ICCRアクセスタイミング

## 12. スレーブモードでのTRSビット設定の注意事項

I<sup>2</sup>Cバスインタフェースのスレーブモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで（図16.26 (a)の期間）は、ICCRのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間（図16.26 (b)の期間）に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。

そのため、停止条件が入らない再送開始条件入力に続くアドレス受信動作時は、内部的なTRSビットの実

## 16. I<sup>2</sup>C バスインタフェース (IIC)

効値は1 (送信モード) のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレーブモードのアドレス受信を行う場合は、図16.26 (a) の期間中に、TRSビットを0クリアしてください。

スレーブモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRのダミーリードにより行います。

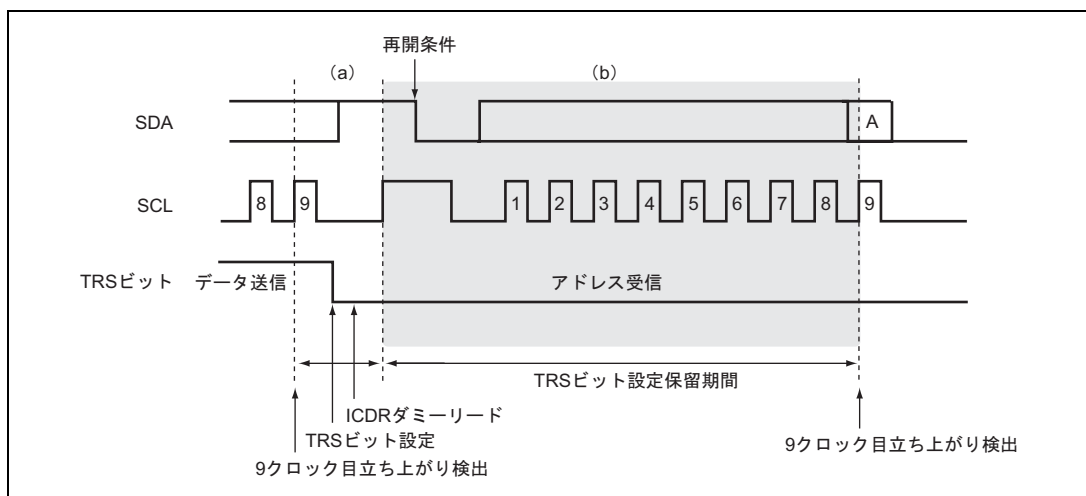


図 16.26 スレーブモードでの TRS ビット設定タイミング

### 13. 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード (TRS=1) でのICDRリード動作または、受信モード (TRS=0) でのICDRライト動作を行った場合、条件によっては送受信動作終了後のSCL端子のLow固定が行われず、正規のICDRのアクセス動作以前にクロックがSCLバスラインに出力される場合があります。

ICDRをアクセスするときは、受信モードに設定したあとにリード動作を行うか、または送信モードに設定したあとにライト動作を行うようにしてください。

### 14. スレーブモードでのACKBビットとTRSビットの注意事項

I<sup>2</sup>Cバスインタフェースにおいて、送信モード (TRS=1) でアクノリッジビットとして1を受信 (ACKB=1) したあとに、その状態のままスレーブモードでアドレスを受信すると、アドレス不一致のときも9クロック目の立ち上がりで、割り込み動作が発生することがあります。

また、スレーブモードで送信モード (TRS=1) の状態でマスタデバイスから開始条件およびアドレスが送信された場合、ICDREフラグセットおよびアクノリッジビットとして1を受信 (ACKB=1) することでIRICフラグがセットされ、アドレス不一致のときも割り込み要因が発生することがあります。

I<sup>2</sup>Cバスインタフェースモジュールでスレーブモード動作を行う際は、下記処置を行ってください。

- 一連の送信動作の終了時、最終送信データに対するアクリリッジビットとして1を受信した場合には、ICCRのACKEビットをいったん0にクリアすることで、ACKBビットを0に初期化してください。
- スレーブモードで次の開始条件が入力される前に受信モード (TRS=0) にセットしてください。  
スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、図16.17に従って送信を終了してください。

#### 15. マスタモードでのアービトレーションロスト発生時の注意事項

I<sup>2</sup>Cバスインタフェースではマスタモードでアービトレーションロストにより、スレーブ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。

そのため、マスタモード第1フレーム送信動作でアービトレーションロストが発生せず、第2フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値としてSAR、SARXの設定値と比較を行います。このとき、受信データがSAR、SARXの値と一致した場合、I<sup>2</sup>Cバスインタフェースに対し、アドレスコールがあったものとして動作してしまいます。(図16.27参照)  
マルチマスタ環境でバス権の競合が起こり得る状況にあって、マスタモードで動作させている場合は、1フレームごとの送受信動作完了時にICSRのALビットの確認を行ってください。

第2フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。

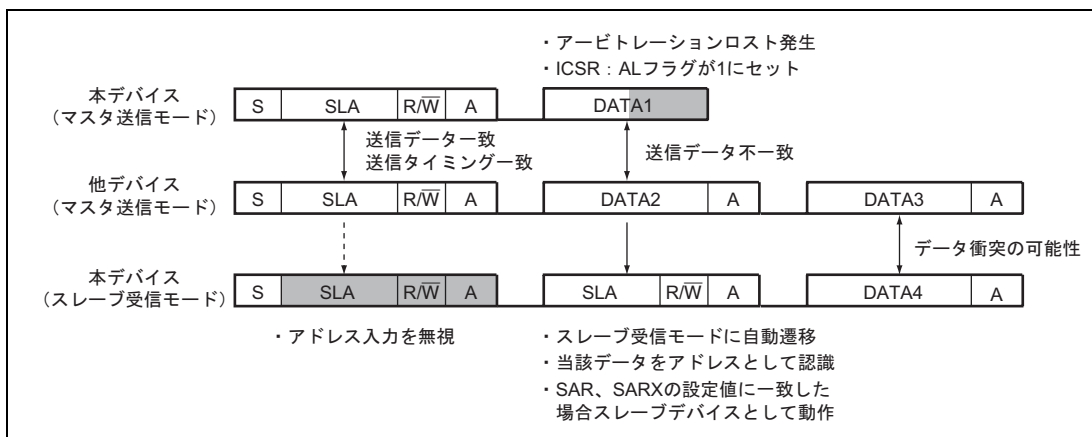


図 16.27 アービトレーションロスト時の動作モード

本来のI<sup>2</sup>Cバスプロトコルでは禁止されている動作ですが、スレーブモードで送受信を行っている最中に誤ってMSTビットを1にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。

マルチマスタ動作でバス権の競合が予想される場合、ICCRのMSTビットに1をセットするときは、以下の

## 16. I<sup>2</sup>C バスインタフェース (IIC)

手順で行ってください。

- (1) MSTビットのセット直前にICCRのBBSYフラグが0であり、バスがフリー状態であることを確認する
- (2) MSTビットに1を設定する
- (3) MSTビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MSTビットのセット直後にも、ICCRのBBSYフラグが0であることを確認する

### 16. マスタモードでのウェイト動作時の注意事項

ウェイト機能を使用したマスタモード動作において割り込みフラグIRICビットを7クロック目の立ち下がりから、8クロック目の立ち下がりまでの期間に1から0にクリアした場合、8クロック目の立ち下がり後にウェイトが入らず、9クロック目のクロックパルスが連続的に出力されることがあります。

ウェイト動作を使用する際はIRICフラグのクリアに関し、以下の点に注意してください。

9クロック目の立ち上がり時にIRICフラグが1にセットされた後、7クロック目が立ち上がる前 (BC2 ~ BC0カウンタの値が2以上のとき) にIRICフラグをクリアしてください。

もし、割り込み処理等でIRICフラグクリアが遅れてBCカウンタの値が1または0になった場合は、BC2 ~ BC0カウンタが0になった後、SCL端子がLになったことを確認してからIRICフラグをクリアしてください。(図16.28参照)

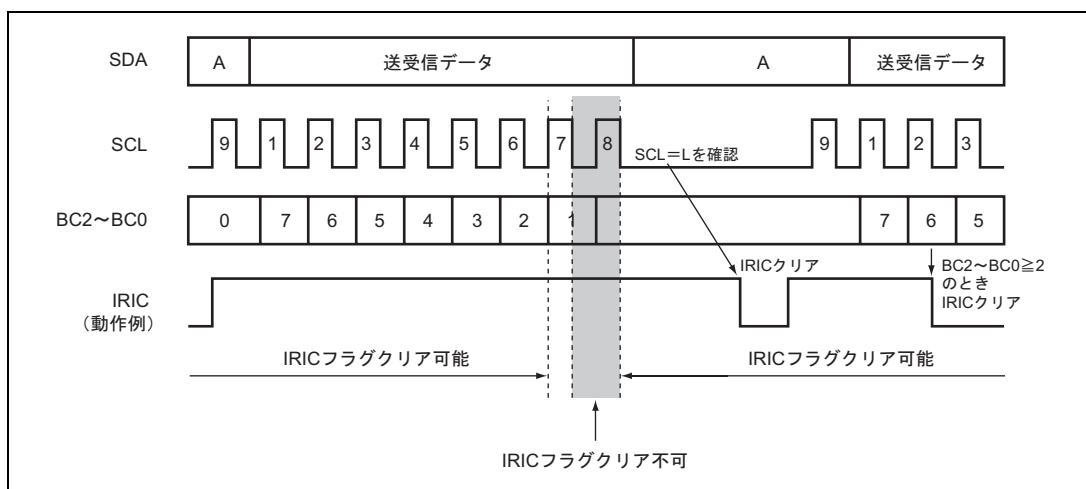


図 16.28 ウェイト動作時の IRIC フラグクリアタイミング

### 17. モジュールストップモード時の割り込み

割り込み要求された状態でモジュールストップするとCPUの割り込み要因、またはDTCの起動要因のクリアができません。事前に割り込みディスエーブルにするなどしてから、モジュールストップモードとしてください。



### 16.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、IIC の動作停止 / 許可を設定することが可能です。初期値では IIC の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

## 16. I<sup>2</sup>C バスインタフェース (IIC)

---

---

## 17. A/D 変換器

---

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 17.1 に示します。

### 17.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネル
- 変換時間：1チャンネル当たり9.6 $\mu$ s（13.5MHz動作時）
- 動作モード：2種類
  - シングルモード：1チャンネルのA/D変換
  - スキャンモード：1～4チャンネルの連続A/D変換
- データレジスタ：4本
  - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
  - ソフトウェア
  - タイマ（TPUまたは8ビットタイマ）の変換開始トリガ
  - 外部トリガ信号
- 割り込み要因
  - A/D変換終了割り込み要求（ADI）を発生
- モジュールストップモードの設定可能
- アナログ変換電圧範囲の設定可能
  - リファレンス電圧端子（Vref）をアナログ基準電圧としてアナログ変換電圧範囲を設定

## 17. A/D 変換器

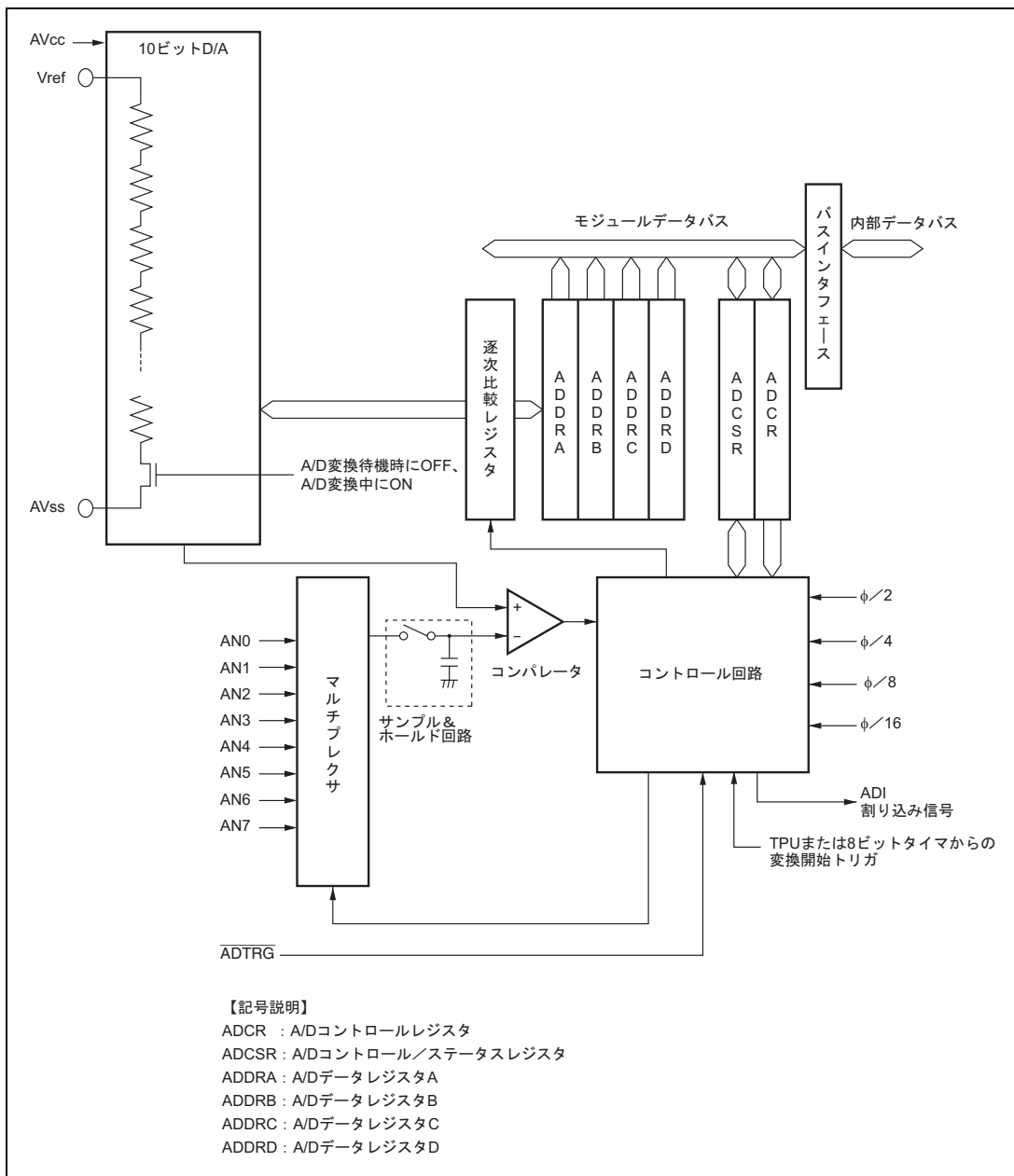


図 17.1 A/D 変換器のブロック図

## 17.2 入出力端子

A/D 変換器で使用する端子を表 17.1 に示します。アナログ入力端子 (AN0 ~ AN7) は 4 チャンネル × 2 グループに分割されています。アナログ入力端子 0 ~ 3 (AN0 ~ AN3) がグループ 0、アナログ入力端子 4 ~ 7 (AN4 ~ AN7) がグループ 1 になっています。AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。Vref は、A/D 変換基準電圧端子です。

表 17.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	Vref	入力	A/D 変換の基準電圧
アナログ入力端子 0	AN0*	入力	グループ 0 のアナログ入力端子
アナログ入力端子 1	AN1*	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力端子

【注】 \* H8S/2239 グループ、H8S/2227 グループ、H8S/2238R、H8S/2236R の AN0、AN1 は Vcc = AVcc 時のみ使用可能です。

### 17.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。モジュールストップコントロールレジスタについては「24.1.2 モジュールストップコントロールレジスタ A～C (MSTPCRA～MSTPCRC)」を参照してください。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

#### 17.3.1 A/D データレジスタ A～D (ADDRA～ADDRD)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 17.2 のとおりです。

10 ビットの変換データは ADDR のビット 15～6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイトのみリードしてください。

表 17.2 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル		変換結果が格納される A/D データレジスタ
グループ 0 (CH2=0)	グループ 1 (CH2=1)	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

## 17.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> <li>• シングルモードで A/D 変換が終了したとき</li> <li>• スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき</li> </ul> [クリア条件] <ul style="list-style-type: none"> <li>• 1 の状態をリードしたあと、0 をライトしたとき</li> <li>• ADI 割り込みによりデータトランスファコントローラ (DTC) が起動され、DTC の DISEL が 0 で、かつ転送カウンタが 0 でないとき</li> </ul>
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、ソフトウェアスタンバイモード、ハードウェアスタンバイモードまたはモジュールストップモードによってクリアされるまで選択されたチャンネルを順次連続変換します。 ソフトウェア、タイマの変換開始トリガ、または外部トリガ入力端子 (ADTRG) によって 1 にセットすることができます。
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。 SCAN ビットの設定は A/D 変換停止中 (ADST = 0) に行ってください。 0 : シングルモード 1 : スキャンモード
3		0	R/W	リザーブビット リードすると 0 が読み出されます。ライトするときは 0 をライトしてください。
2	CH2	0	R/W	チャンネルセレクト 2~0 アナログ入力チャンネルを選択します。 SCAN=0 のとき      SCAN=1 のとき 000 : AN0              000 : AN0 001 : AN1              001 : AN0、AN1 010 : AN2              010 : AN0 ~ AN2 011 : AN3              011 : AN0 ~ AN3 100 : AN4              100 : AN4 101 : AN5              101 : AN4、AN5 110 : AN6              110 : AN4 ~ AN6 111 : AN7              111 : AN4 ~ AN7
1	CH1	0	R/W	
0	CH0	0	R/W	

## 17. A/D 変換器

【注】 \* フラグをクリアするための0ライトのみ可能です。

### 17.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7 6	TRGS1 TRGS0	0 0	R/W R/W	タイマトリガセレクト 1、0 トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時 (ADST=0) に行ってください。 00 : ソフトウェアによる A/D 変換の開始 01 : TPU からの変換トリガによる A/D 変換の開始 10 : 8 ビットタイマの変換開始トリガによる A/D 変換開始 11 : ADTRG による A/D 変換の開始
5、4		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 A/D 変換時間の設定を行います。A/D 変換時間の切り替えは、A/D 変換停止時 (ADST=0) に行ってください。A/D 変換時間は表 27.10 (H8S/2258 グループ)、表 27.23 (H8S/2239 グループ)、表 27.35 (H8S/2238B、H8S/2236B)、表 27.47 (H8S/2238R、H8S/2236R)、表 27.57 (H8S/2237 グループ、H8S/2227 グループ) に示す範囲に設定してください。 00 : 530 ステート (max) 01 : 266 ステート (max) 10 : 134 ステート (max) 11 : 68 ステート (max)
1、0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

## 17.4 バスマスタとのインタフェース

ADDRA ~ ADDRD は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からのデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 17.2 に、ADDR のアクセス時のデータの流れを示します。



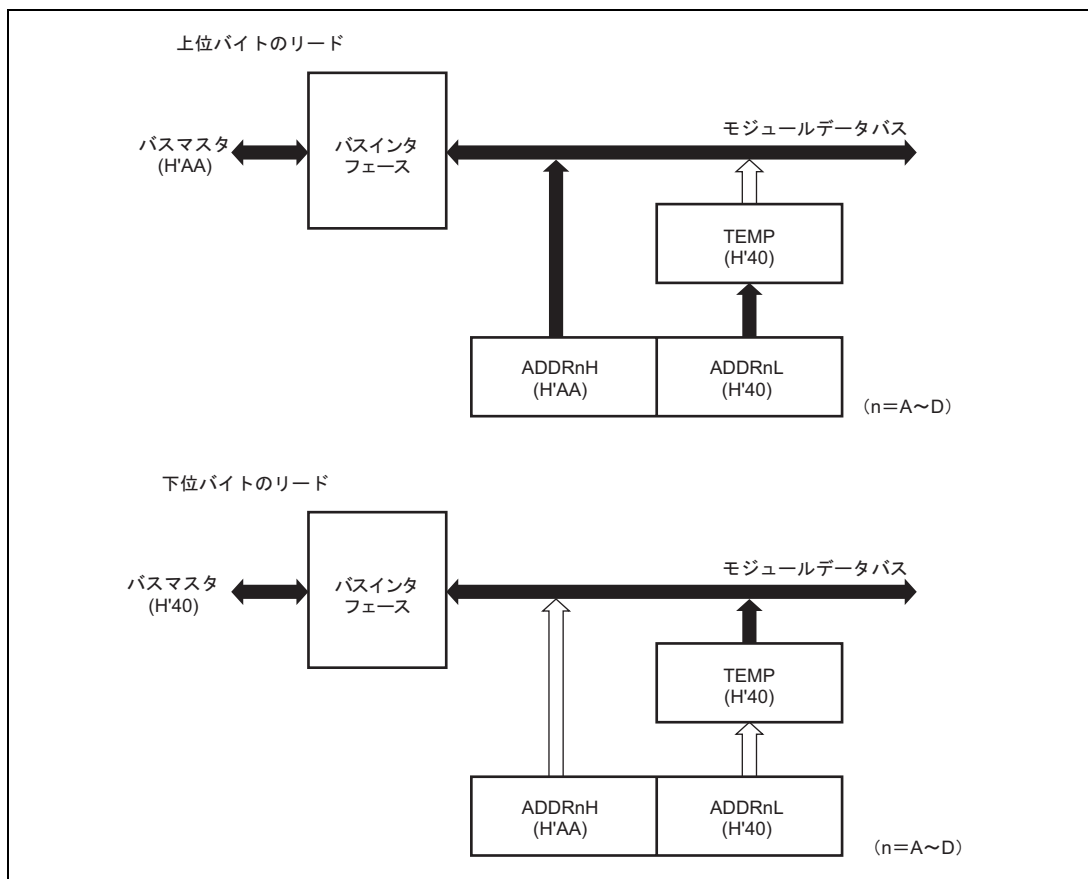


図 17.2 ADDR のアクセス動作 (H'AA40 リード時)

## 17.5 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

## 17.5.1 シングルモード

シングルモードは、指定された1チャンネルのアナログ入力を以下のように1回 A/D 変換します。

1. ソフトウェア、タイマの変換開始トリガ、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。

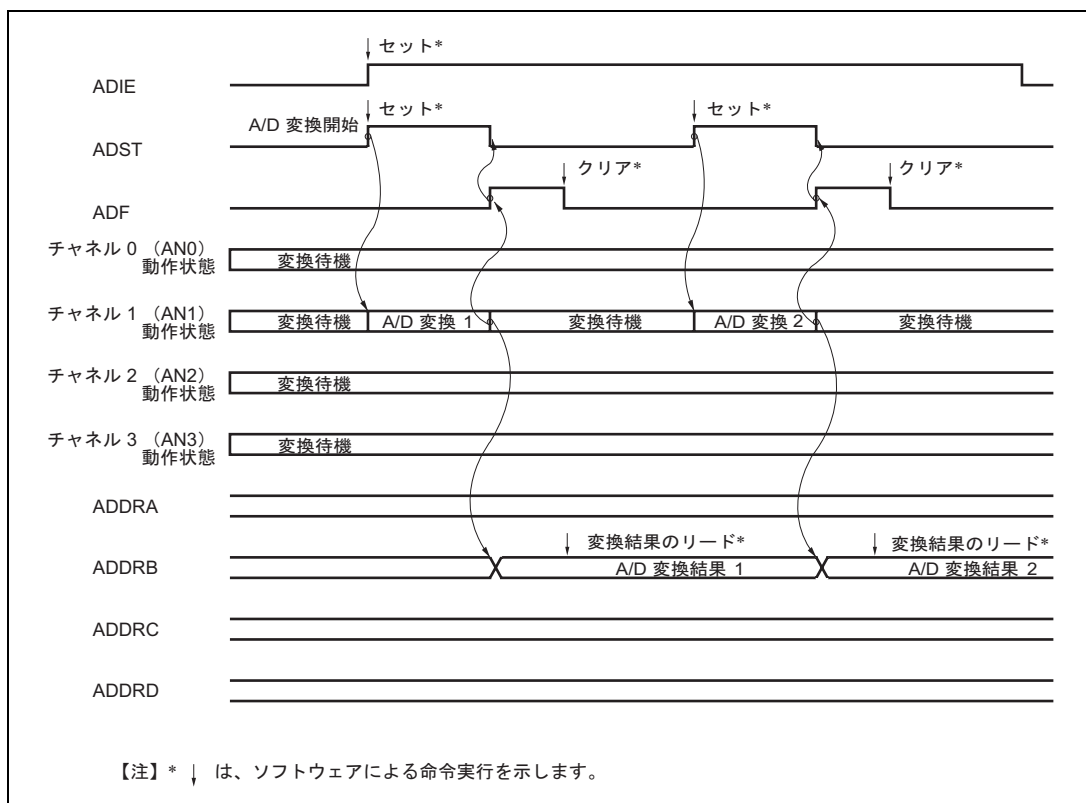


図 17.3 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

## 17.5.2 スキャンモード

スキャンモードは指定された最大 4 チャンネルのアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェア、タイマの変換開始トリガ、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2=0 のとき AN0、CH2=1 のとき AN4) から A/D 変換を開始します。
2. それぞれのチャンネルの A/D 変換が終了すると A/D 変換結果は順次そのチャンネルに対応する A/D レジスタに転送されます。
3. 選択されたすべてのチャンネルの A/D 変換が終了すると ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。A/D 変換器は再びグループの第一チャンネルから A/D 変換を開始します。
4. ADST ビットは自動的にクリアされず、1 にセットされている間は 2.~3. を繰り返します。ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。

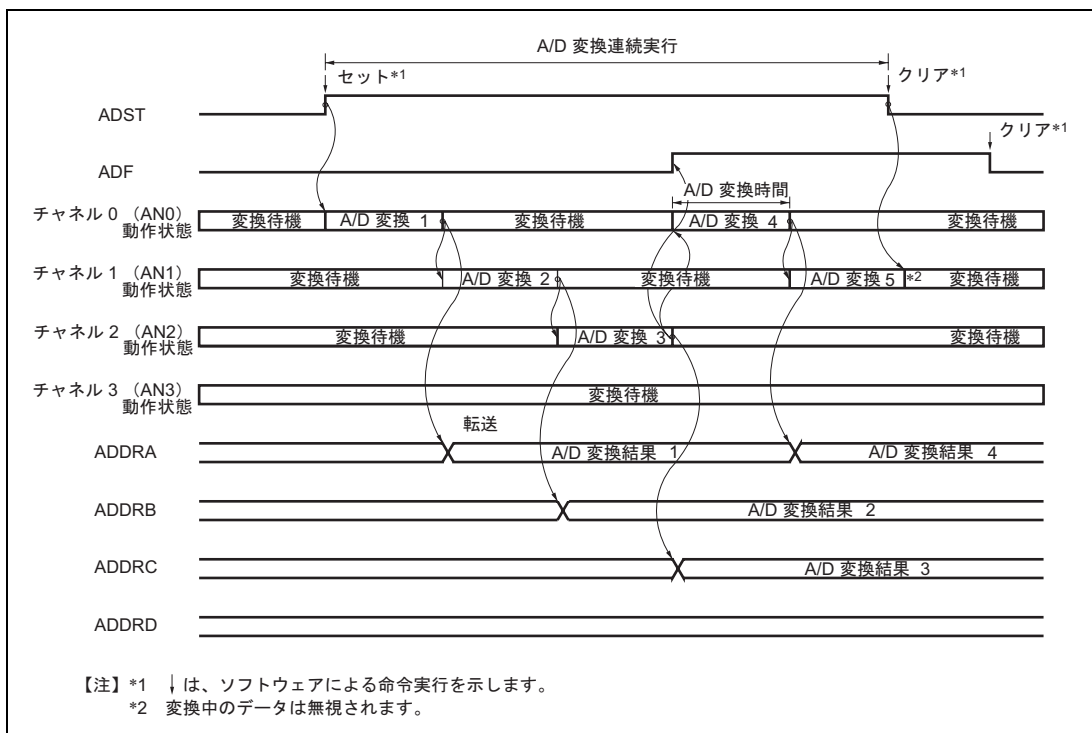


図 17.4 A/D 変換器の動作例 (スキャンモード AN0~AN2 の 3 チャンネル選択時)

### 17.5.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 ( $t_D$ ) 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 17.5 に示します。また、A/D 変換時間を表 17.3 に示します。

A/D 変換時間 ( $t_{CONV}$ ) は、図 17.5 に示すように、 $t_D$  と入力サンプリング時間 ( $t_{SPL}$ ) を含めた時間となります。ここで  $t_D$  は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 17.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 17.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 17.4 に示す値となります。

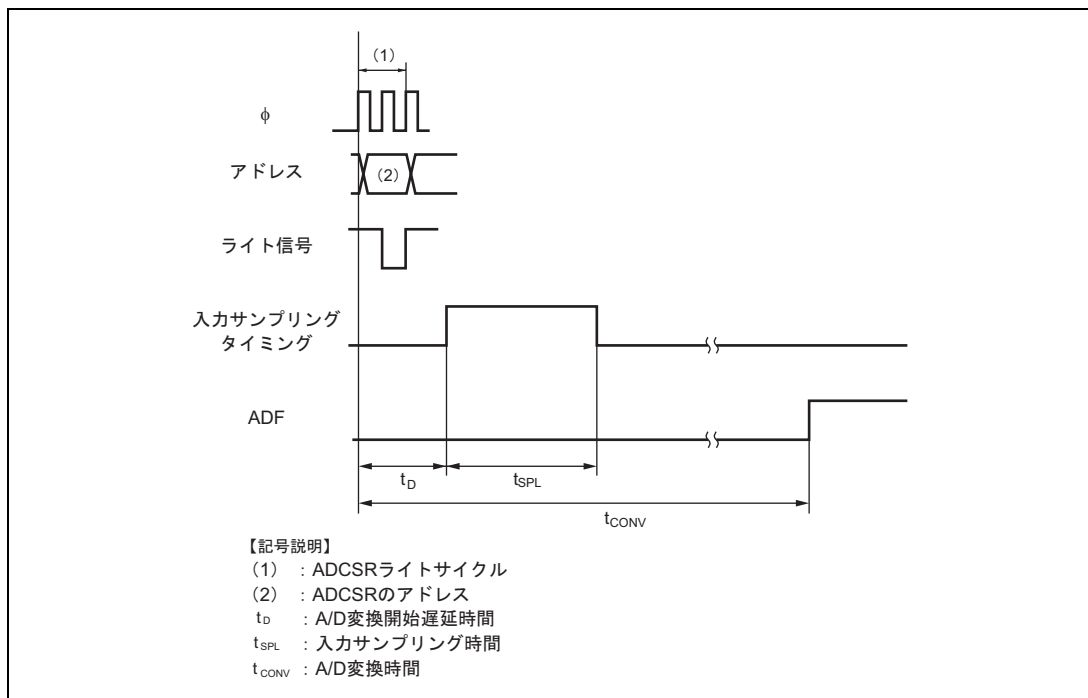


図 17.5 A/D 変換タイミング

表 17.3 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	td	18	-	33	10	-	17	6	-	9	4	-	5
入力サンプリング時間	tsPL	-	127	-	-	63	-	-	31	-	-	15	-
A/D 変換時間	tCONV	515	-	530	259	-	266	131	-	134	67	-	68

【注】 表中の数値の単位はステートです。

表 17.4 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

#### 17.5.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCSR の TRGS1、TRGS0 ビットがそれぞれ 1 にセットされているとき、 $\overline{\text{ADTRG}}$  端子から入力されます。 $\overline{\text{ADTRG}}$  の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 17.6 に示します。

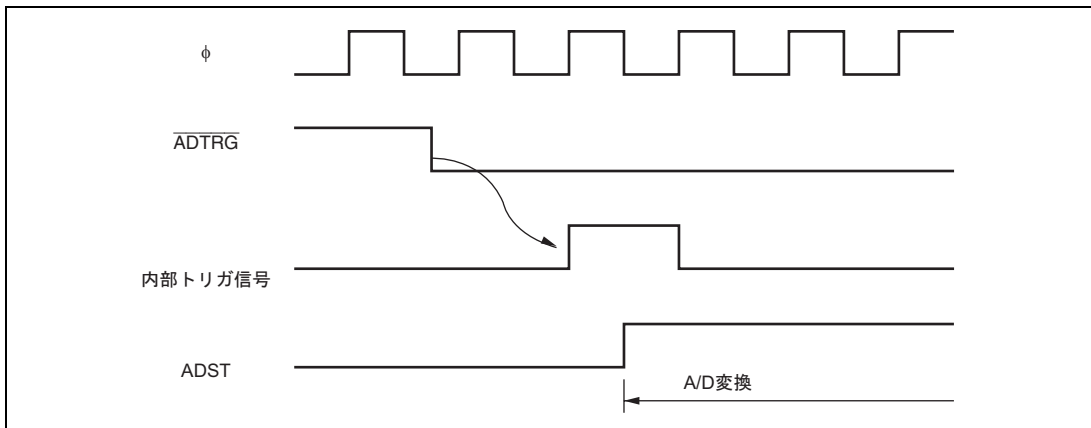


図 17.6 外部トリガ入力タイミング

## 17.6 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みで DMAC\*および DTC の起動ができます。ADI 割り込みで変換されたデータのリードを DMAC\*または DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 17.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC*の起動
ADI	A/D 変換終了	ADF	可	可

【注】 \* H8S/2239 グループのみです。

## 17.7 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能  
A/D変換器のデジタル出力コード数。
- 量子化誤差  
A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図17.7)。
- オフセット誤差  
デジタル出力が最小電圧値B'0000000000 (H'000) からB'0000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図17.8)。
- フルスケール誤差  
デジタル出力がB'1111111110 (H'3FE) からB'1111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図17.8)。
- 非直線性誤差  
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図17.8)。
- 絶対精度  
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

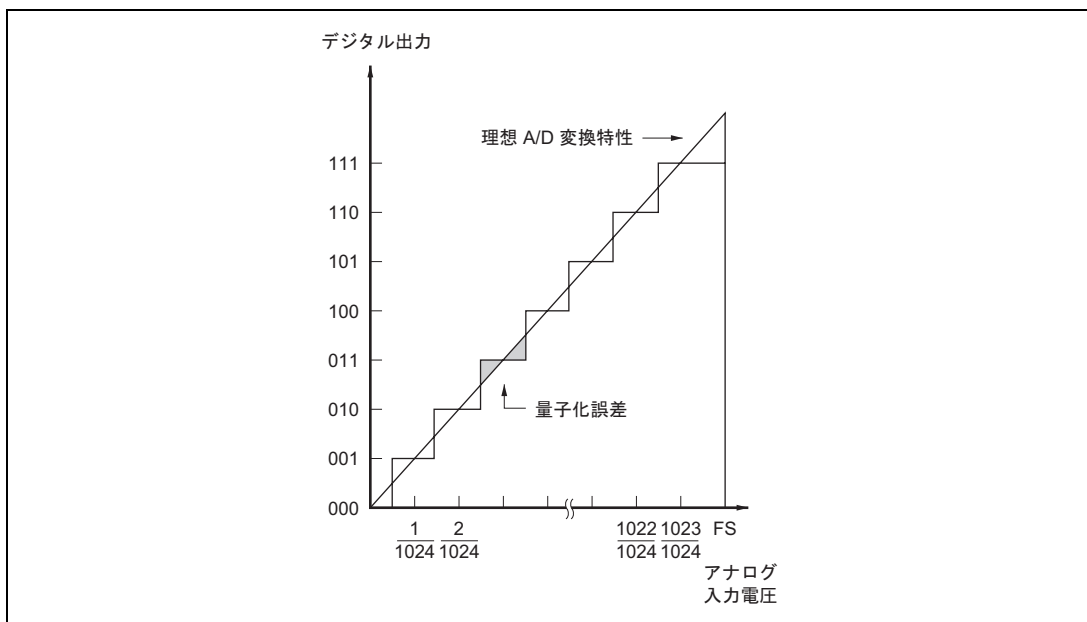


図 17.7 A/D 変換精度の定義

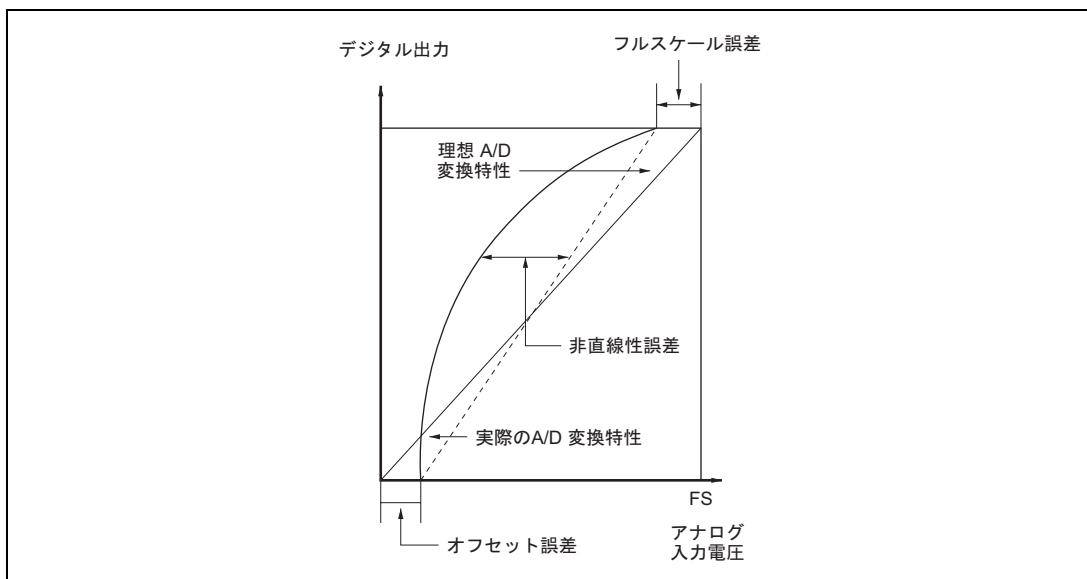


図 17.8 A/D 変換精度の定義

## 17.8 使用上の注意事項

### 17.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D変換器の動作禁止/許可を設定することが可能です。初期値では、A/D変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第24章 低消費電力状態」を参照してください。

### 17.8.2 許容信号源インピーダンスについて

本LSIのアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これはA/D変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合充電不足が生じて、A/D変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号(たとえば $5mV/\mu s$ 以上)には追従できないことがあります(図17.9)。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

### 17.8.3 絶対精度への影響

容量を付加することにより、GNDとのカップリングを受けることとなりますので、GNDにノイズがあると絶対精度が悪化する可能性がありますので、必ず $AV_{SS}$ などの電氣的に安定なGNDに接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

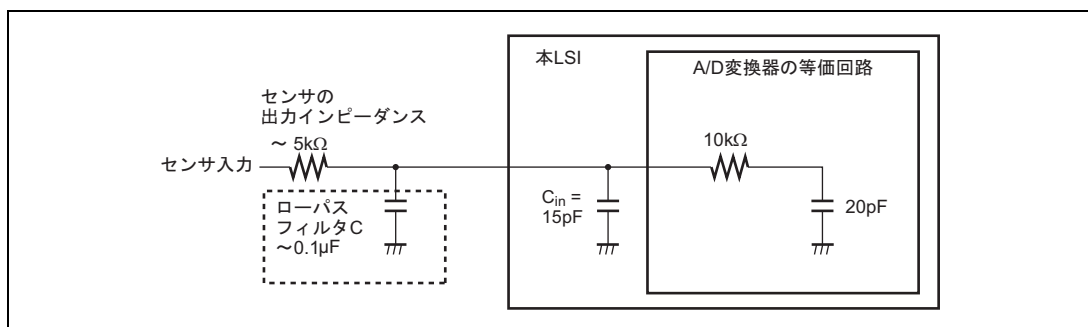


図 17.9 アナログ入力回路の例



#### 17.8.4 アナログ電源端子ほかの設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧はAVss ANn AVccの範囲としてください。

- AVcc、AVssとVcc、Vssの関係

AVcc、AVssとVcc、Vssとの関係はAVss = Vssとし、さらに、A/D変換器を使用しないときもAVcc、AVss端子をオープンにしないでください。また、H8S/2239グループ、H8S/2227グループ、H8S/2238R、H8S/2236Rのアナログ入力端子AN0、AN1はVcc = AVcc時のみ使用可能となります。

- Vrefの設定範囲

Vref端子によるリファレンス電圧の設定範囲はVref AVccにしてください。

#### 17.8.5 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子（AN0～AN7）、アナログ電源電圧（AVcc）は、アナロググランド（AVss）で、デジタル回路と分離してください。さらに、アナロググランド（AVss）は、ボード上の安定したグランド（Vss）に一点接続してください。

## 17.8.6 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN7) の破壊を防ぐために、図 17.10 に示すように AVcc-AVss 間に保護回路を接続してください。AVcc に接続するバイパスコンデンサ、AN0 ~ AN7 に接続するフィルタ用のコンデンサは、必ず AVss に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0 ~ AN7 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス ( $R_{in}$ ) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討のうえ決定してください。

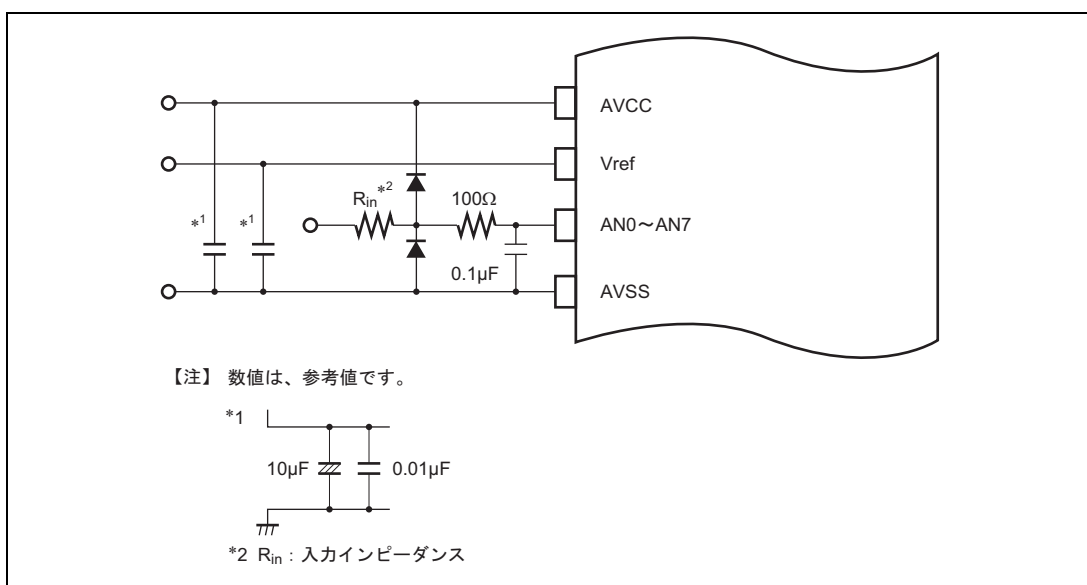


図 17.10 アナログ入力保護回路の例

表 17.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	$\mu$ F
許容信号源インピーダンス	-	5	k $\Omega$





## 18. D/A 変換器

### 18.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大10 $\mu$ s（負荷容量20pF時）
- 出力電圧：0V～Vref
- モジュールストップモードの設定可能

【注】 H8S/2227グループはD/A変換器を内蔵していません。

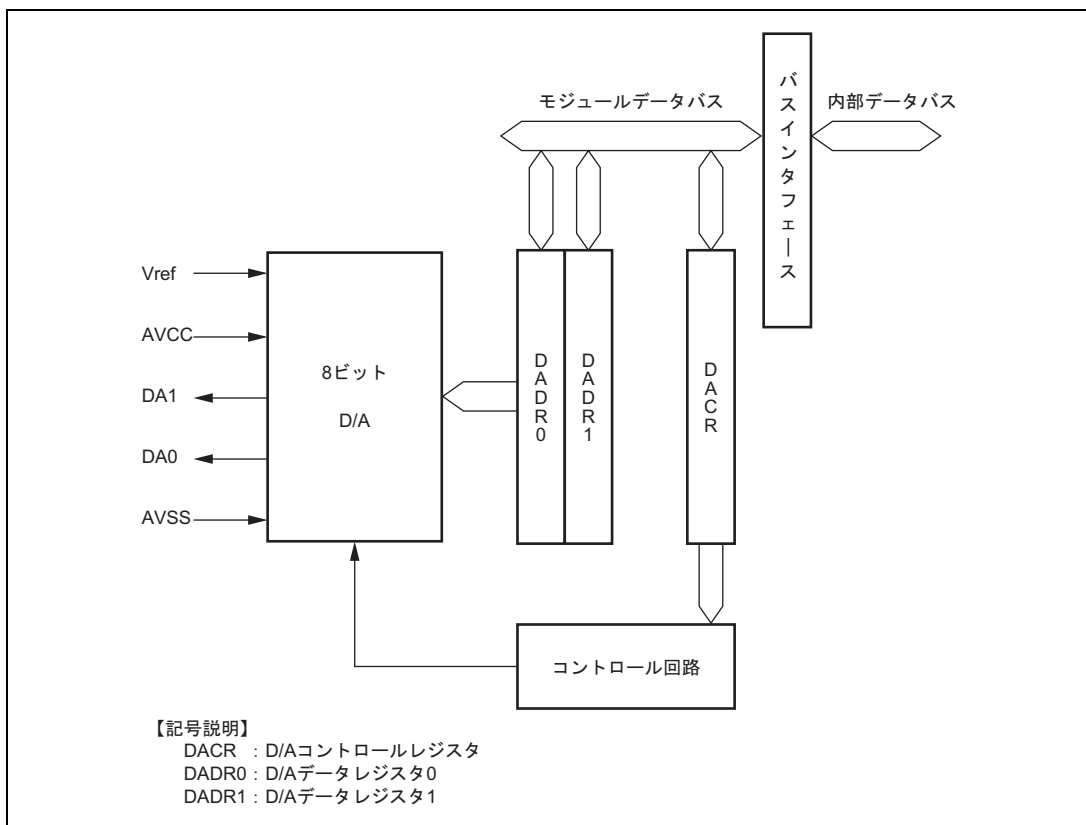


図 18.1 D/A 変換器のブロック図

## 18. D/A 変換器

---

### 18.2 入出力端子

D/A 変換器で使用する入出力端子を表 18.1 に示します。

表 18.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AV <sub>CC</sub>	入力	アナログ部の電源
アナロググランド端子	AV <sub>SS</sub>	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	V <sub>ref</sub>	入力	アナログ部の基準電圧

### 18.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。なお、モジュールストップコントロールレジスタについては「24.1.2 モジュールストップコントロールレジスタ A～C (MSTPCRA～MSTPCRC)」を参照してください。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ (DACR)

#### 18.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

D/A データレジスタは、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、D/A データレジスタの値が変換され、アナログ出力端子に出力されます。

## 18.3.2 D/A コントロールレジスタ (DACR)

DACR は D/A 変換器の動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0: アナログ出力 DA1 を禁止 1: チャネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0: アナログ出力 DA0 を禁止 1: チャネル 0 の D/A 変換を許可。アナログ出力 DA0 を許可
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。DAE ビットが 0 にクリアされているとチャネル 0、1 の D/A 変換は独立に制御されます。DAE ビットが 1 にセットされているとチャネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。詳細は表 18.2 を参照してください。
4~0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 18.2 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャネル 0 の D/A 変換を許可
	1	0	チャネル 1 の D/A 変換を許可
		1	チャネル 0、1 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
	1	0	
		1	

## 18.4 動作説明

2チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。

DACRのDAOEビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図18.2に示します。

1. DADR0に変換データをライトします。
2. DACRのDAOE0ビットを1にセットすると、D/A変換が開始されます。 $t_{DCONV}$ 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。  

$$\frac{\text{DADR0の内容}}{256} \times V_{\text{ref}}$$
3. DADR0を書き換えると、直ちに変換が開始されます。 $t_{DCONV}$ 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアすると、アナログ出力を禁止します。

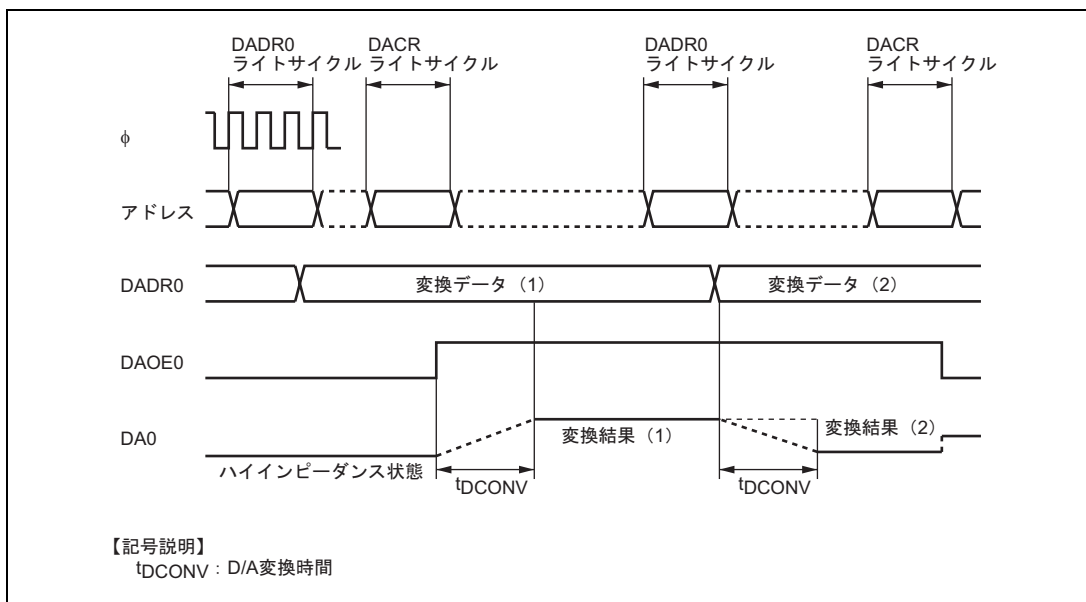


図 18.2 D/A 変換器の動作例



## 18.5 使用上の注意事項

### 18.5.1 低消費電力モード時のアナログ電源電流

D/A 変換を許可した状況で本 LSI がソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモードの低消費電力モードになると、デジタル値は保持されますが、アナログ出力値は規定の D/A 絶対精度を満足できません\*。また、アナログ電源電流は D/A 変換中と同等になります。これらの低消費電力モードでアナログ電源電流を低減する必要がある場合は、各モードへ遷移する前に DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止にしてください。

【注】 \* H8S/2258 グループ、H8S/2238B、H8S/2236B は規定の D/A 絶対精度を満足します。

### 18.5.2 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止 / 許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。



---

## 19. RAM

---

H8S/2239 は 32K バイト、H8S/2258、H8S/2238B、H8S/2238R、H8S/2237、H8S/2227 は 16K バイト、H8S/2256、H8S/2236B、H8S/2236R は 8K バイト、H8S/2235、H8S/2233、H8S/2225、H8S/2224、H8S/2223 は 4K バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。



---

## 20. フラッシュメモリ (F-ZTAT 版)

---

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。フラッシュメモリのブロック図を図 20.1 に示します。

### 20.1 特長

- 容量

H8S/2239 : 384Kバイト

H8S/2258 : 256Kバイト

H8S/2238B : 256Kバイト

H8S/2238R : 256Kバイト

H8S/2227 : 128Kバイト

- 書き込み / 消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは、H8S/2239の場合64Kバイト×5ブロック、32Kバイト×1ブロック、4Kバイト×8ブロックで、H8S/2258、H8S/2238B、およびH8S/2238Rの場合64Kバイト×3ブロック、32Kバイト×1ブロック、4Kバイト×8ブロックで、H8S/2227の場合32Kバイト×2ブロック、28Kバイト×1ブロック、16Kバイト×1ブロック、8Kバイト×2ブロック、1Kバイト×4ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

100回まで書き換え可能です。

- オンボードプログラミングモード : 2種類

ブートモード

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。このほか、通常のユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

## 20. フラッシュメモリ (F-ZTAT 版)

- 書き込み / 消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

- ライターモード

オンボードプログラミングのほかにPROMライターを用いて書き込み / 消去を行うライターモードがあります。

- RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

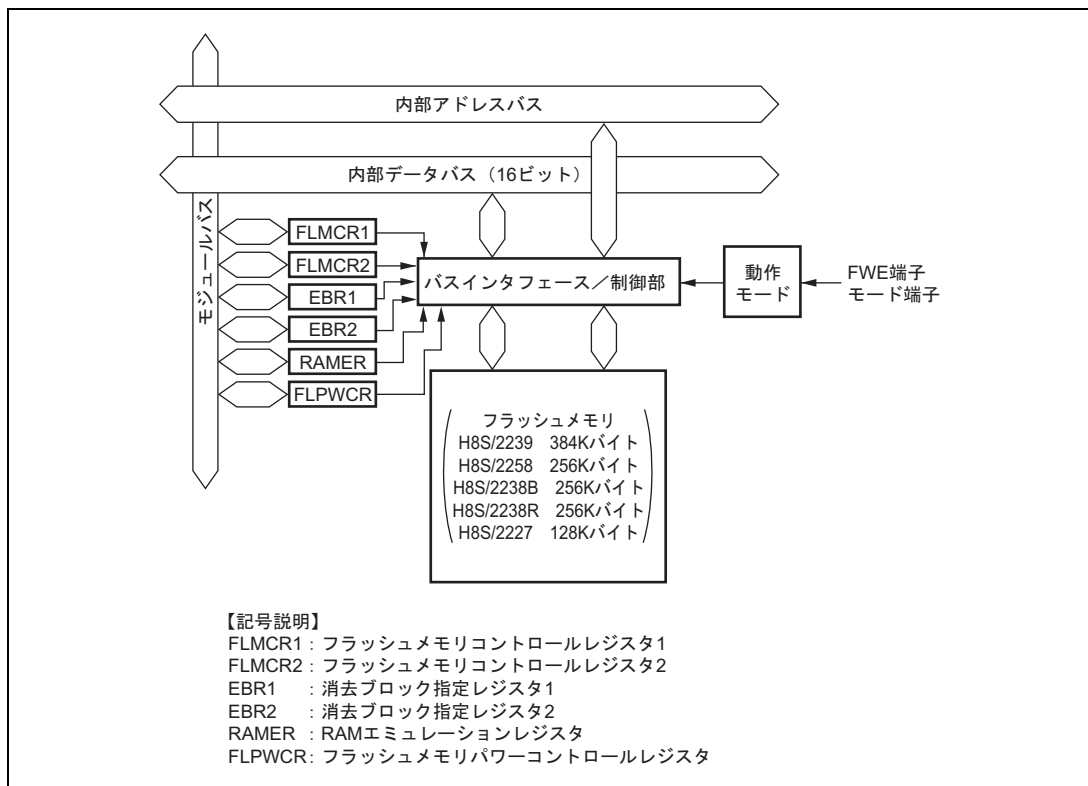


図 20.1 フラッシュメモリのブロック図

## 20.2 モード遷移図

リセット状態でモード端子と FWE 端子を設定しリセットスタートすると、本 LSI は図 20.2 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。フラッシュメモリへの書き込み / 消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

表 20.1 にブートモードとユーザプログラムモードの相違点を示します。図 20.3 にブートモードを、図 20.4 にユーザプログラムモードを示します。

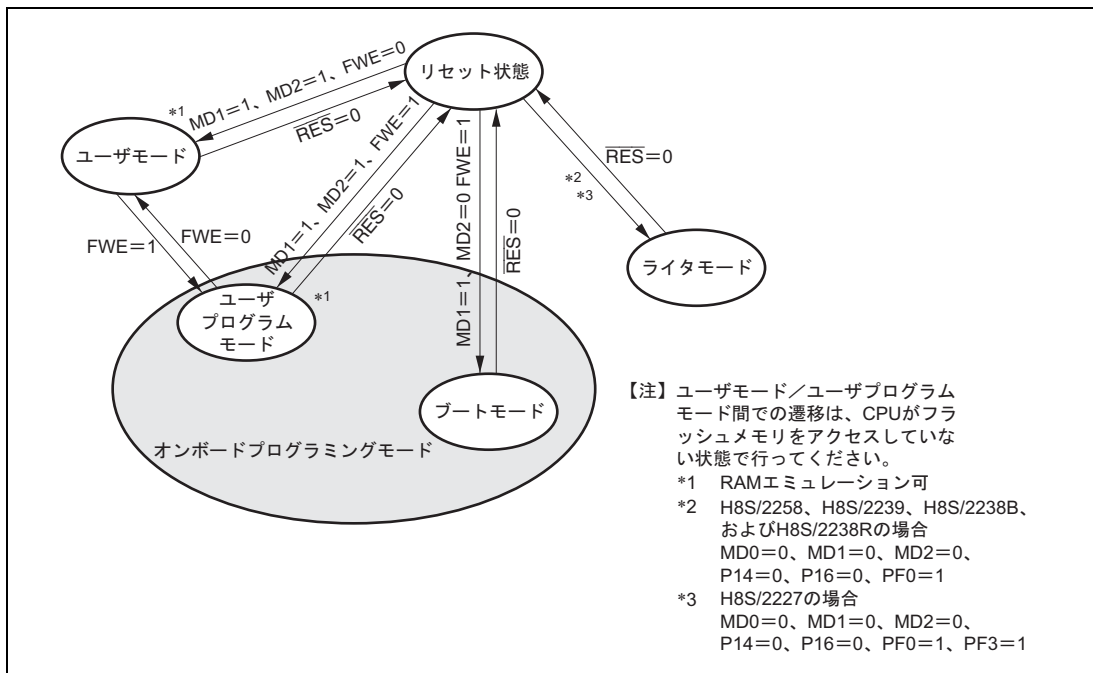


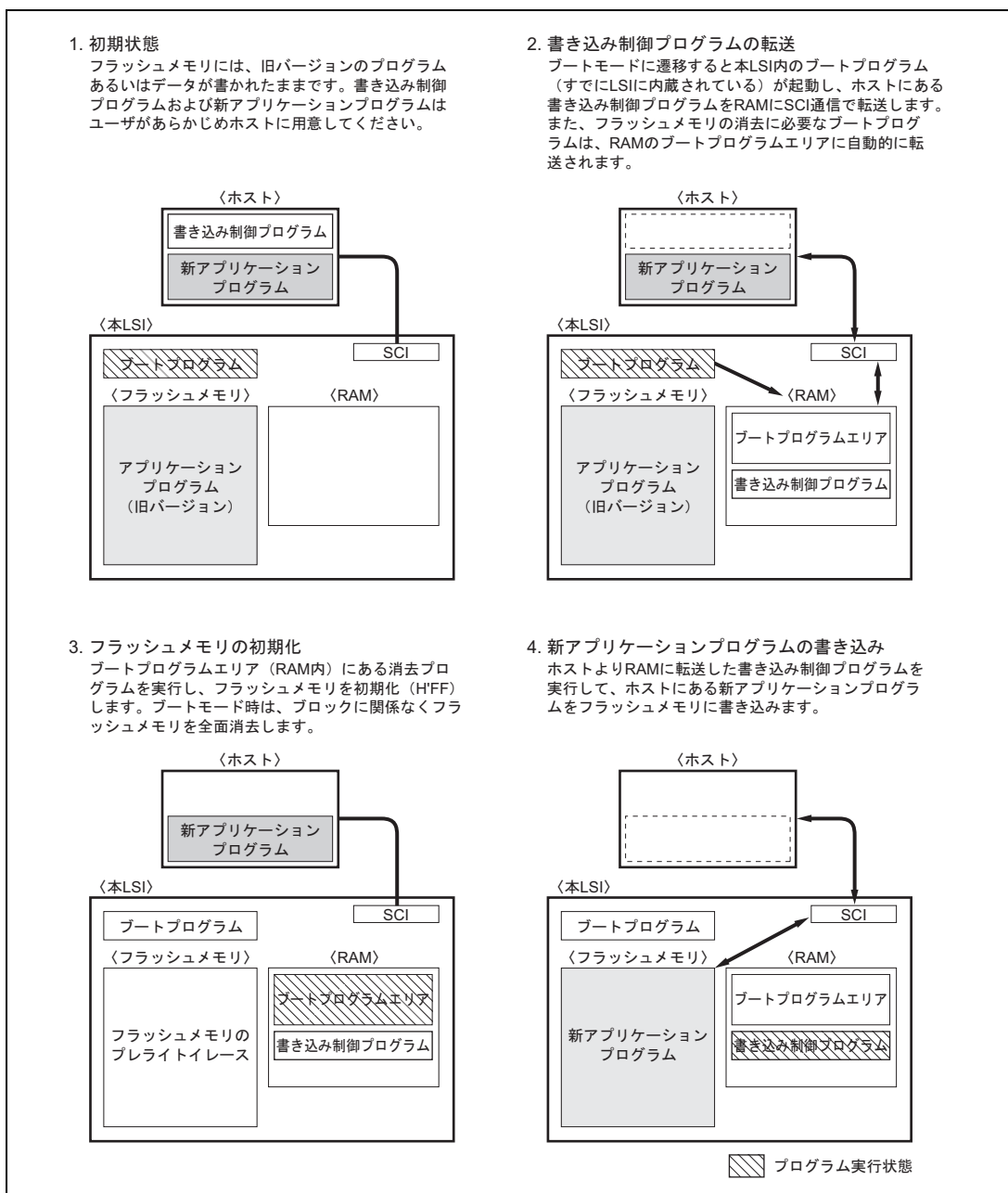
図 20.2 フラッシュメモリに関する状態遷移

表 20.1 ブートモードとユーザプログラムモードの相違点

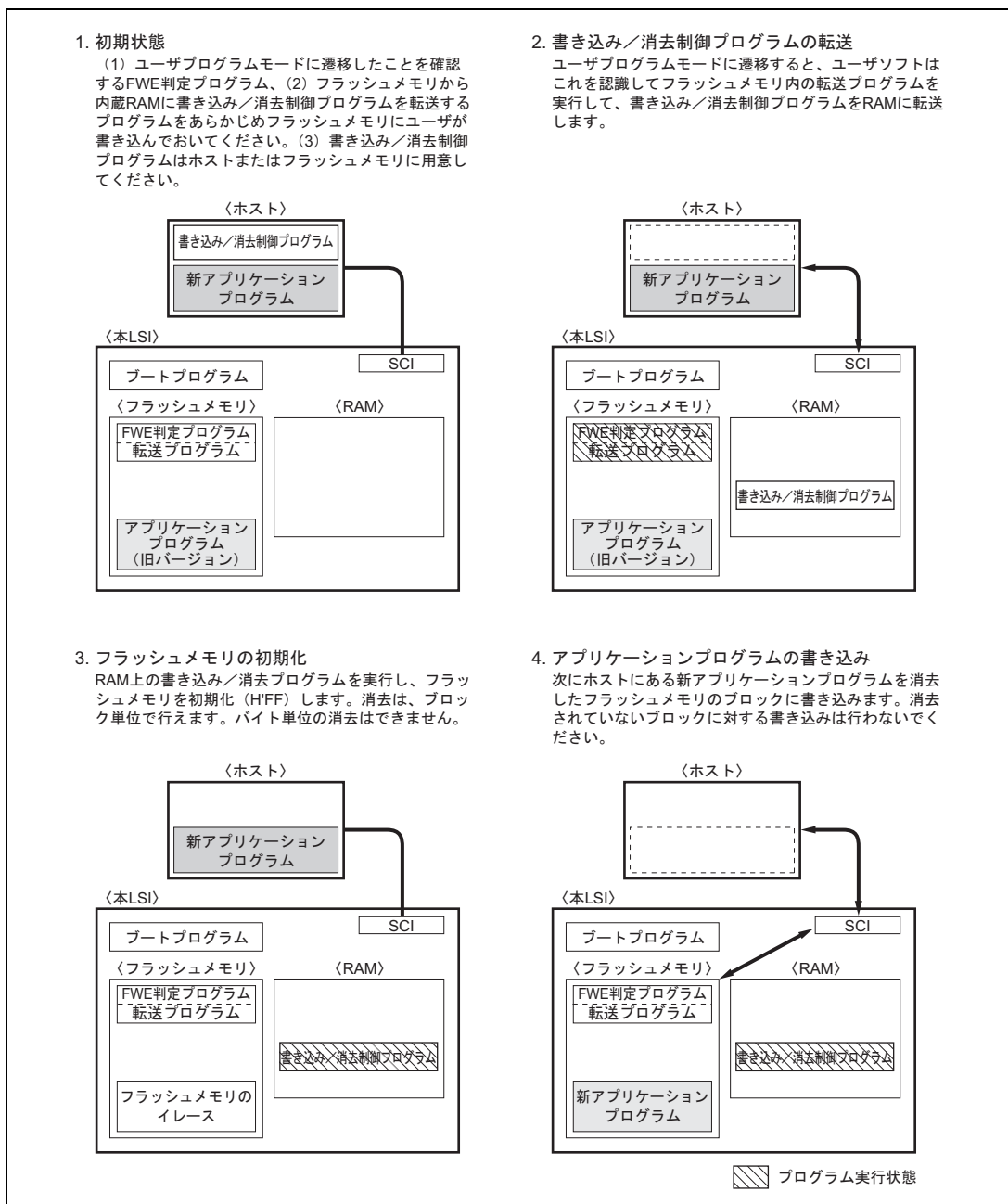
	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム / プログラムベリファイ	プログラム / プログラムベリファイ イレース / イレースベリファイ エミュレーション

【注】\* 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

## 20. フラッシュメモリ (F-ZTAT 版)







### 20.3 ブロック構成

図 20.5 に 384K バイト、図 20.6 に 256K バイト、図 20.7 に 128K バイトのフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。384K バイトのフラッシュメモリは 4K バイト (8 ブロック)、32K バイト (1 ブロック)、64K バイト (5 ブロック) に、256K バイトのフラッシュメモリは 4K バイト (8 ブロック)、32K バイト (1 ブロック)、64K バイト (3 ブロック) に、128K バイトのフラッシュメモリは 1K バイト (4 ブロック)、16K バイト (1 ブロック)、28K バイト (1 ブロック)、8K バイト (2 ブロック)、32K バイト (2 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

▲ EB0 消去単位4Kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
▼				-----	H'000FFF
▲ EB1 消去単位4Kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
▼				-----	H'001FFF
▲ EB2 消去単位4Kバイト	H'002000	H'002001	H'002002	←書き込み単位 128バイト→	H'00207F
▼				-----	H'002FFF
▲ EB3 消去単位4Kバイト	H'003000	H'003001	H'003002	←書き込み単位 128バイト→	H'00307F
▼				-----	H'003FFF
▲ EB4 消去単位4Kバイト	H'004000	H'004001	H'004002	←書き込み単位 128バイト→	H'00407F
▼				-----	H'004FFF
▲ EB5 消去単位4Kバイト	H'005000	H'005001	H'005002	←書き込み単位 128バイト→	H'00507F
▼				-----	H'005FFF
▲ EB6 消去単位4Kバイト	H'006000	H'006001	H'006002	←書き込み単位 128バイト→	H'00607F
▼				-----	H'006FFF
▲ EB7 消去単位4Kバイト	H'007000	H'007001	H'007002	←書き込み単位 128バイト→	H'00707F
▼				-----	H'007FFF
▲ EB8 消去単位32Kバイト	H'008000	H'008001	H'008002	←書き込み単位 128バイト→	H'00807F
▼				-----	H'00FFFF
▲ EB9 消去単位64Kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
▼				-----	H'01FFFF
▲ EB10 消去単位64Kバイト	H'020000	H'020001	H'020002	←書き込み単位 128バイト→	H'02007F
▼				-----	H'02FFFF
▲ EB11 消去単位64Kバイト	H'030000	H'030001	H'030002	←書き込み単位 128バイト→	H'03007F
▼				-----	H'03FFFF
▲ EB12 消去単位64Kバイト	H'040000	H'040001	H'040002	←書き込み単位 128バイト→	H'04007F
▼				-----	H'04FFFF
▲ EB13 消去単位64Kバイト	H'050000	H'050001	H'050002	←書き込み単位 128バイト→	H'05007F
▼				-----	H'05FFFF

図 20.5 384K バイトのフラッシュメモリのブロック構成

## 20. フラッシュメモリ (F-ZTAT 版)

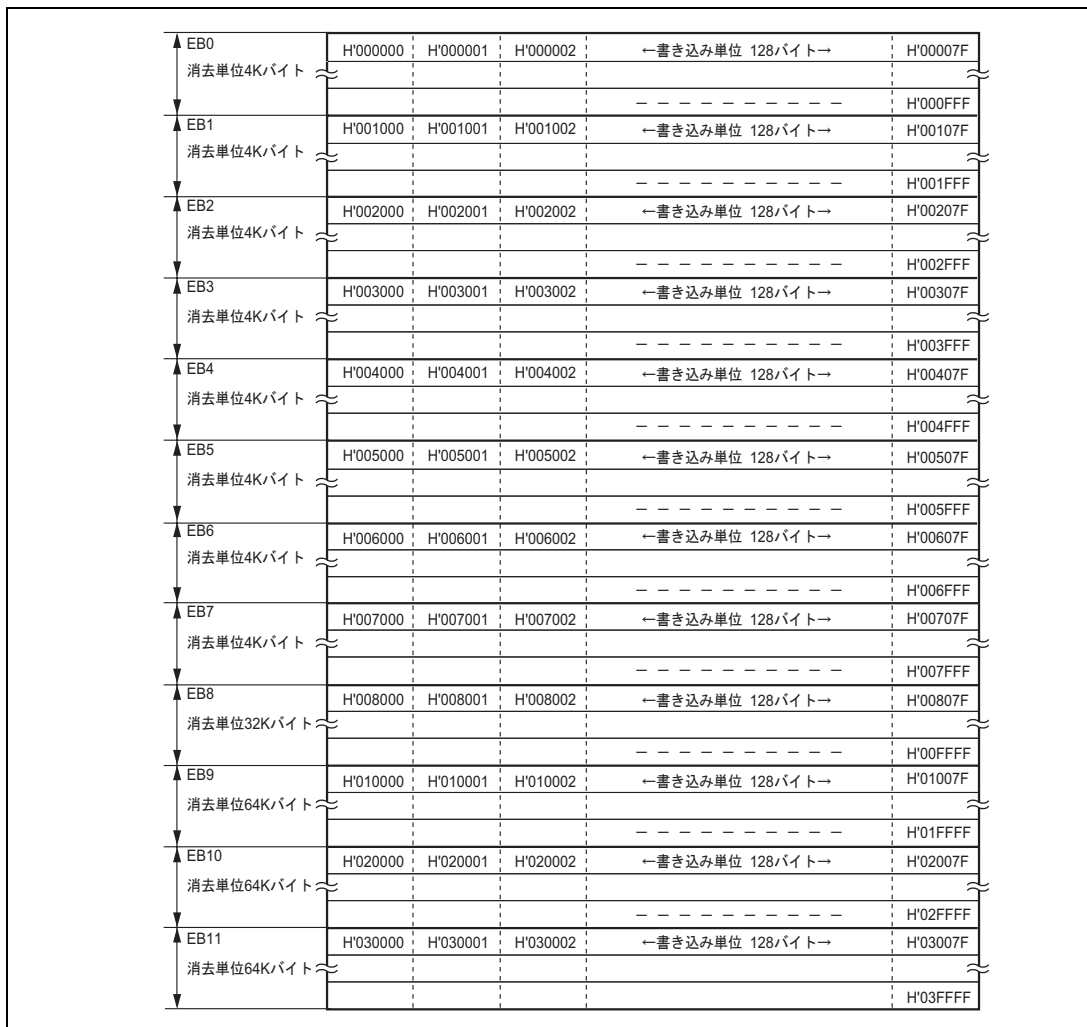


図 20.6 256K バイトのフラッシュメモリのブロック構成

EB0 消去単位1Kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
	H'000380	H'000381	H'000382	-----	H'0003FF
EB1 消去単位1Kバイト	H'000400	H'000401	H'000402	←書き込み単位 128バイト→	H'00047F
	H'000780	H'000781	H'000782	-----	H'0007FF
EB2 消去単位1Kバイト	H'000800	H'000801	H'000802	←書き込み単位 128バイト→	H'00087F
	H'000B80	H'000B81	H'000B82	-----	H'000BFF
EB3 消去単位1Kバイト	H'000C00	H'000C01	H'000C02	←書き込み単位 128バイト→	H'000C7F
	H'000F80	H'000F81	H'000F82	-----	H'000FFF
EB4 消去単位28Kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
	H'007F80	H'007F81	H'007F82	-----	H'007FFF
EB5 消去単位16Kバイト	H'008000	H'008001	H'008002	←書き込み単位 128バイト→	H'00807F
	H'00BF80	H'00BF81	H'00BF82	-----	H'00BFFF
EB6 消去単位8Kバイト	H'00C000	H'00C001	H'00C002	←書き込み単位 128バイト→	H'00C07F
	H'00DF80	H'00DF81	H'00DF82	-----	H'00DFFF
EB7 消去単位8Kバイト	H'00E000	H'00E001	H'00E002	←書き込み単位 128バイト→	H'00E07F
	H'00FF80	H'00FF81	H'00FF82	-----	H'00FFFF
EB8 消去単位32Kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
	H'017F80	H'017F81	H'017F82	-----	H'017FFF
EB9 消去単位32Kバイト	H'018000	H'018001	H'018002	←書き込み単位 128バイト→	H'01807F
	H'01FF80	H'01FF81	H'01FF82	-----	H'01FFFF

図 20.7 128K バイトのフラッシュメモリのブロック構成

### 20.4 入出力端子

フラッシュメモリは表 20.2 に示す端子により制御されます。

表 20.2 端子構成

端子名	入出力	機能
$\overline{\text{RES}}$	入力	リセット
FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
MD2	入力	動作モードを設定
MD1	入力	動作モードを設定
MD0	入力	動作モードを設定
PF0	入力	ライトモードの動作モードを設定
P16	入力	ライトモードの動作モードを設定
P14	入力	ライトモードの動作モードを設定
TxD*	出力	シリアル送信データ出力
RxD*	入力	シリアル受信データ入力

【注】 \* H8S/2258、H8S/2239、H8S/2238B、および H8S/2238R は SCL\_2( TxD2、RxD2 )を使用、H8S/2227 は SCL\_0( TxD0、RxD0 )を使用。

### 20.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)
- RAMエミュレーションレジスタ (RAMER)
- フラッシュメモリパワーコントロールレジスタ (FLPWCR)
- シリアルコントロールレジスタX (SCRX)

マスク ROM 版には上記レジスタは存在しませんので、リードすると不定値が読み出されます。ライトは無効です。

### 20.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「20.8 フラッシュメモリの書き込み / 消去」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	FWE		R	フラッシュライトイネーブル FWE 端子の入力レベルが反映されます。FWE 端子が Low レベルのとき 0、High レベルのとき 1 となります。0 のときハードウェアプロテクト状態になります。
6	SWE1	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み / 消去が可能となります。0 のときこのレジスタの 5-0 ビットと EBR1、EBR2 の各ビットはセットできません。 [セット条件] • FWE=1 のとき
5	ESU1	0	R/W	イレースセットアップ 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。E1 ビットを 1 にセットする前にセットしてください。 [セット条件] • FWE=1、SWE=1 のとき
4	PSU1	0	R/W	プログラムセットアップ 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。P1 ビットを 1 にセットする前にセットしてください。 [セット条件] • FWE=1、SWE1=1 のとき
3	EV1	0	R/W	イレースベリファイ 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。 [セット条件] • FWE=1、SWE1=1 のとき
2	PV1	0	R/W	プログラムベリファイ 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。 [セット条件] • FWE=1、SWE1=1 のとき

## 20. フラッシュメモリ (F-ZTAT 版)

ビット	ビット名	初期値	R/W	説明
1	E1	0	R/W	イレース SWE1=1、ESU1=1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。 [セット条件] • FWE=1、SWE1=1、ESU1=1 のとき
0	P1	0	R/W	プログラム SWE1=1、PSU1=1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。 [セット条件] • FWE=1、SWE1=1、PSU1=1 のとき

### 20.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「20.9.3 エラープロテクト」を参照してください。
6~0		すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。



### 20.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCRI の SWE1 ビットが 0 のときは EBR1 は H'00 に初期化されます。このレジスタは EBR2 と合わせて 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1 と EBR2 は 0 にオートクリアされます。

• 384K バイト、256K バイトフラッシュメモリの場合

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが 1 のとき EB7 (H'007000 ~ H'007FFF) の 4K バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'006000 ~ H'006FFF) の 4K バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'005000 ~ H'005FFF) の 4K バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'004000 ~ H'004FFF) の 4K バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'003000 ~ H'003FFF) の 4K バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'002000 ~ H'002FFF) の 4K バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'001000 ~ H'001FFF) の 4K バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000 ~ H'000FFF) の 4K バイトが消去対象となります。

• 128K バイトフラッシュメモリの場合

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが 1 のとき EB7 (H'00E000 ~ H'00FFFF) の 8K バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'00C000 ~ H'00DFFF) の 8K バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'008000 ~ H'00BFFF) の 16K バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'001000 ~ H'007FFF) の 28K バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'000C00 ~ H'000FFF) の 1K バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'000800 ~ H'000BFF) の 1K バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'000400 ~ H'0007FF) の 1K バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000 ~ H'0003FF) の 1K バイトが消去対象となります。

## 20.5.4 消去ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCRI の SWE1 ビットが 0 のときは EBR2 は H'00 に初期化されます。このレジスタは EBR1 と合わせて 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1 と EBR2 は 0 にオートクリアされます。

- 384K バイトフラッシュメモリの場合

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 0	R/W	リザーブビット ライトするときは、必ず 0 をライトしてください。
5	EB13	0	R/W	このビットが 1 のとき EB13 (H'050000 ~ H'05FFFF) の 64K バイトが消去対象となります。
4	EB12	0	R/W	このビットが 1 のとき EB12 (H'040000 ~ H'04FFFF) の 64K バイトが消去対象となります。
3	EB11	0	R/W	このビットが 1 のとき EB11 (H'030000 ~ H'03FFFF) の 64K バイトが消去対象となります。
2	EB10	0	R/W	このビットが 1 のとき EB10 (H'020000 ~ H'02FFFF) の 64K バイトが消去対象となります。
1	EB9	0	R/W	このビットが 1 のとき EB9 (H'010000 ~ H'01FFFF) の 64K バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB8 (H'008000 ~ H'00FFFF) の 32K バイトが消去対象となります。

- 256K バイトフラッシュメモリの場合

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R(W)	リザーブビット 初期値を変更しないでください。
3	EB11	0	R/W	このビットが 1 のとき EB11 (H'030000 ~ H'03FFFF) の 64K バイトが消去対象となります。
2	EB10	0	R/W	このビットが 1 のとき EB10 (H'020000 ~ H'02FFFF) の 64K バイトが消去対象となります。
1	EB9	0	R/W	このビットが 1 のとき EB9 (H'010000 ~ H'01FFFF) の 64K バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB8 (H'008000 ~ H'00FFFF) の 32K バイトが消去対象となります。

## • 128K バイトフラッシュメモリの場合

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R(W)	リザーブビット 初期値を変更しないでください。
1	EB9	0	R/W	このビットが 1 のとき EB9 (H'018000 ~ H'01FFFF) の 32K バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB8 (H'010000 ~ H'017FFF) の 32K バイトが消去対象となります。



### 20.5.6 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

本 LSI がサブアクティブモードに遷移する際に、フラッシュメモリの低消費電力モードへの遷移の許可 / 禁止を設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	PDWND	0	R/W	パワーダウンスイープル サブアクティブモードに遷移する際に、フラッシュメモリの低消費電力モードへの遷移の許可 / 禁止を設定するビットです。 0 : フラッシュメモリの低消費電力モードへの遷移を許可 1 : フラッシュメモリの低消費電力モードへの遷移を禁止
6~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。

### 20.5.7 シリアルコントロールレジスタ X (SCRX)

SCRX は、レジスタアクセスの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット 0 をライトしてください。
6	IICX1	0	R/W	I <sup>2</sup> C トランスファセレクト 1、0
5	IICX0	0	R/W	詳細は「16.3.5 シリアルコントロールレジスタ X (SCRX)」を参照してください。
4	IICE	0	R/W	I <sup>2</sup> C マスタイネーブル 詳細は「16.3.5 シリアルコントロールレジスタ X (SCRX)」を参照してください。
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2) の CPU アクセスを制御します。FLSHE ビットを 1 にセットすると、フラッシュメモリ制御レジスタをリード / ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。 0 : アドレス H'FFFA8 ~ H'FFFFAC のエリアはフラッシュ制御レジスタを非選択 1 : アドレス H'FFFA8 ~ H'FFFFAC のエリアはフラッシュ制御レジスタを選択
2~0	-	すべて 0	R/W	リザーブビット ライトするときは 0 をライトしてください。

## 20.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ベリファイを行うことができます。本モードには2種類の動作モード（ブートモード、ユーザプログラムモード）があります。各モードの設定方法は、表 20.3 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図は、図 20.2 を参照してください。

表 20.3 オンボードプログラミングモード設定方法

モード設定		FWE	MD2	MD1	MD0
ブートモード	拡張モード	1	0	1	0
	シングルチップモード	1	0	1	1
ユーザプログラムモード	拡張モード	1	1	1	0
	シングルチップモード	1	1	1	1

### 20.6.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 20.4 に示します。

- ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「20.8 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。  
ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいはユーザプログラムモードで起動するプログラムに従って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。
- SCIは調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
- ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCIのビットレートをホストのビットレートに合わせ込みます。リセット解除はRxD端子がHighの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
- ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表20.5の範囲としてください。

5. ブートモードでは内蔵RAMの一部をブートプログラムで使します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'FFC000 ~ H'FFDFFF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使できません。
6. 書き込み制御プログラムに分岐するときSCIは送受信動作を終了 (SCRのRE = 0、TE = 0) しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやバリファイデータの送受信に使できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、FWE端子とMD端子を設定してリセットを解除\*してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

【注】 \* FWE 端子とモード端子の入力はリセット解除時、モードプログラミングセットアップ時間 (  $t_{MDS} = 200ns$  ) を満足する必要があります。

20. フラッシュメモリ (F-ZTAT 版)

表 20.4 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐  
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信  ↓ H'00を正常に受信したらH'55送信  ↓ H'AA受信	H'00、H'00・・・H'00  ← H'00 ← H'55 ← H'AA	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI_2のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信  ↓ H'55を受信したらホストへH'AAを送信
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信  ↓ 書き込み制御プログラムを1バイトごとに送信 (N回繰り返し)	上位バイト、下位バイト  ← エコーバック ← H'XX ← エコーバック	受信した2バイトデータをホストへエコーバック  ↓ 受信したデータをホストへエコーバックすると共にRAMへ転送 (N回繰り返し)
フラッシュメモリ消去	ブートプログラム消去エラー  ↓ H'AA受信	← H'FF  ← H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信 (消去できなかった場合はH'FFを送信して、動作を停止)
書き込み制御プログラムの実行			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始



表 20.5 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲		
	H8S/2258	H8S/2238B、H8S/2238R、H8S/2227	H8S/2239
19200bps	10 ~ 13.5MHz	8 ~ 13.5MHz	8 ~ 20MHz
9600bps		4 ~ 13.5MHz	4 ~ 20MHz
4800bps		2 ~ 13.5MHz	2 ~ 20MHz

## 20.6.2 ユーザプログラムモード

ユーザモードでもユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。あらかじめ基板上的 FWE 制御手段、オンボードでの書き換えデータ供給手段、分岐のための条件設定をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み / 消去プログラムは内蔵 RAM に転送して実行してください。図 20.8 にユーザモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「20.8 フラッシュメモリの書き込み / 消去」に沿ったものを用意してください。

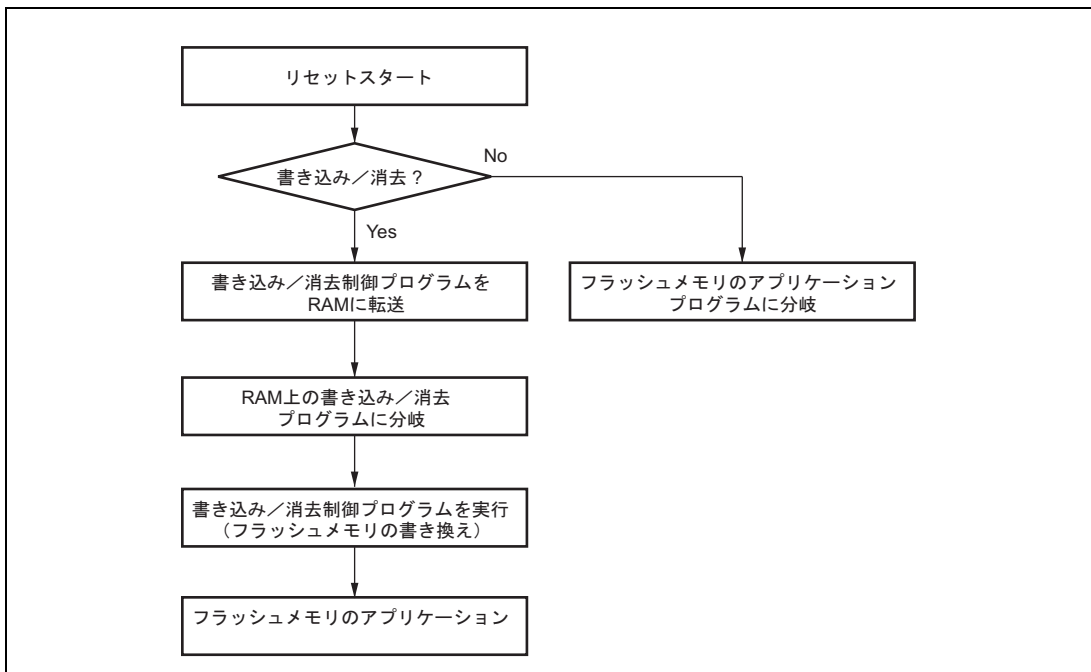


図 20.8 ユーザモードにおける書き込み / 消去例

## 20.7 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるよう、RAM エミュレーションレジスタ (RAMER) によりフラッシュメモリの一部のブロックに RAM をオーバーラップさせて使用することができます。エミュレーション可能なモードはユーザモードおよびユーザプログラムモードです。図 20.9 フラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

1. RAMERを設定してリアルタイムな書き換えを必要とするエリアにRAMをオーバーラップさせます。
2. オーバーラップさせたRAMを使ってエミュレートします。
3. 書き換えデータ確定後、RAMピットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間に書き込みます。

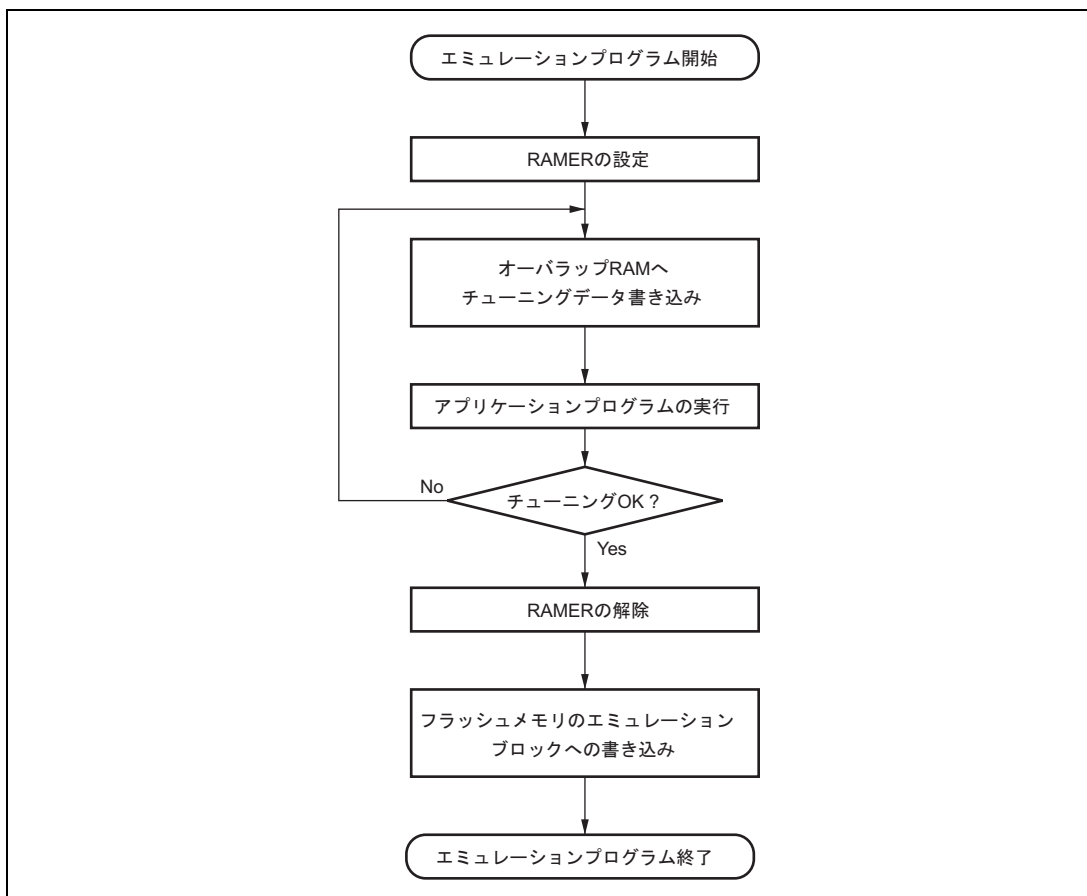


図 20.9 RAM によるエミュレーションフロー

フラッシュメモリのブロックをオーバーラップさせる例を図 20.10 に示します。

1. オーバーラップさせるRAMのエリアは384Kバイトフラッシュメモリおよび256Kバイトフラッシュメモリの場合H'FFD000～H'FFDFFFの4Kバイトに、128Kバイトフラッシュメモリの場合H'FFD000～H'FFD3FFの1Kバイトに固定されています。
2. オーバーラップできるフラッシュメモリのエリアは4KバイトのEB0～EB7のうちの1ブロックで、RAMERにより選択できます。
3. オーバーラップさせたRAMのエリアはフラッシュメモリ内のアドレスと元のRAMのアドレスの両方からアクセスできます。
4. RAMERのRAMSビットが1にセットされている間、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となり(エミュレーションプロテクト)、FLMCR1のP1ビットまたはE1ビットをセットしてもプログラムモード、イレースモードへは遷移しません。
5. RAMエリアは消去アルゴリズムに沿ったプログラムを実行しても消去されません。
6. ブロックEB0はベクタテーブルを含みます。RAMエミュレーションする場合、オーバーラップRAMにはベクタテーブルが必要となります。

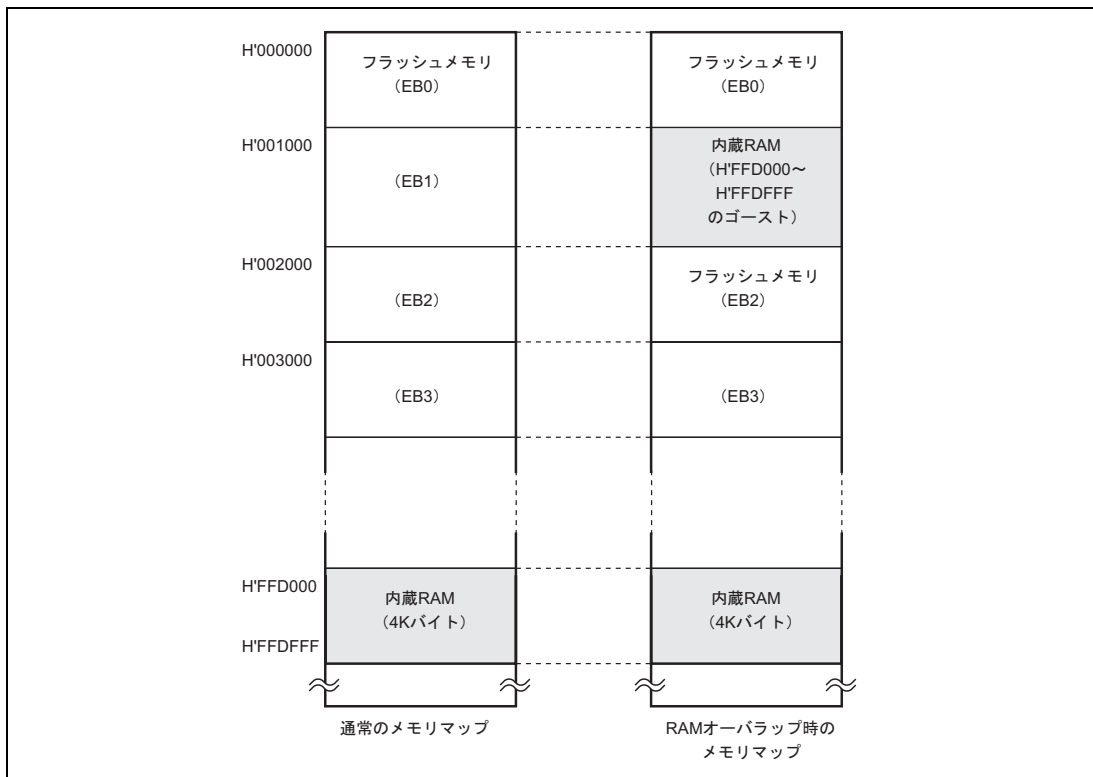


図 20.10 RAM のオーバーラップ例

## 20.8 フラッシュメモリの書き込み / 消去

オンボードでのフラッシュメモリの書き込み / 消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み / 消去プログラムではこれらのモードを組み合わせで書き込み / 消去を行います。フラッシュメモリへの書き込みは「20.8.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「20.8.2 イレース / イレースベリファイ」に沿って行ってください。

### 20.8.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図 20.11 に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、すで書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図20.11に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. P1ビットがセットされている時間が書き込み時間となります。書き込み時間は図20.11に従ってください。
6. ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバフロー周期は  $(t_{\text{spu}} + t_{\text{sp200}} + t_{\text{cp}} + t_{\text{cpu}})$   $\mu\text{s}$ より大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位1ビットがB'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せませす。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、(N)回を超えないようにしてください。



### 20.8.2 イレース / イレースベリファイ

消去は図 20.12 のイレース / イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト (消去するメモリの全データをすべて0にする) を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1、2 (EBR1、EBR2) により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. E1ビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバフロー周期は ( $t_{\text{sesu}} + t_{\text{se}} + t_{\text{ce}} + t_{\text{cesu}}$ ) msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位1ビットがB'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース / イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。

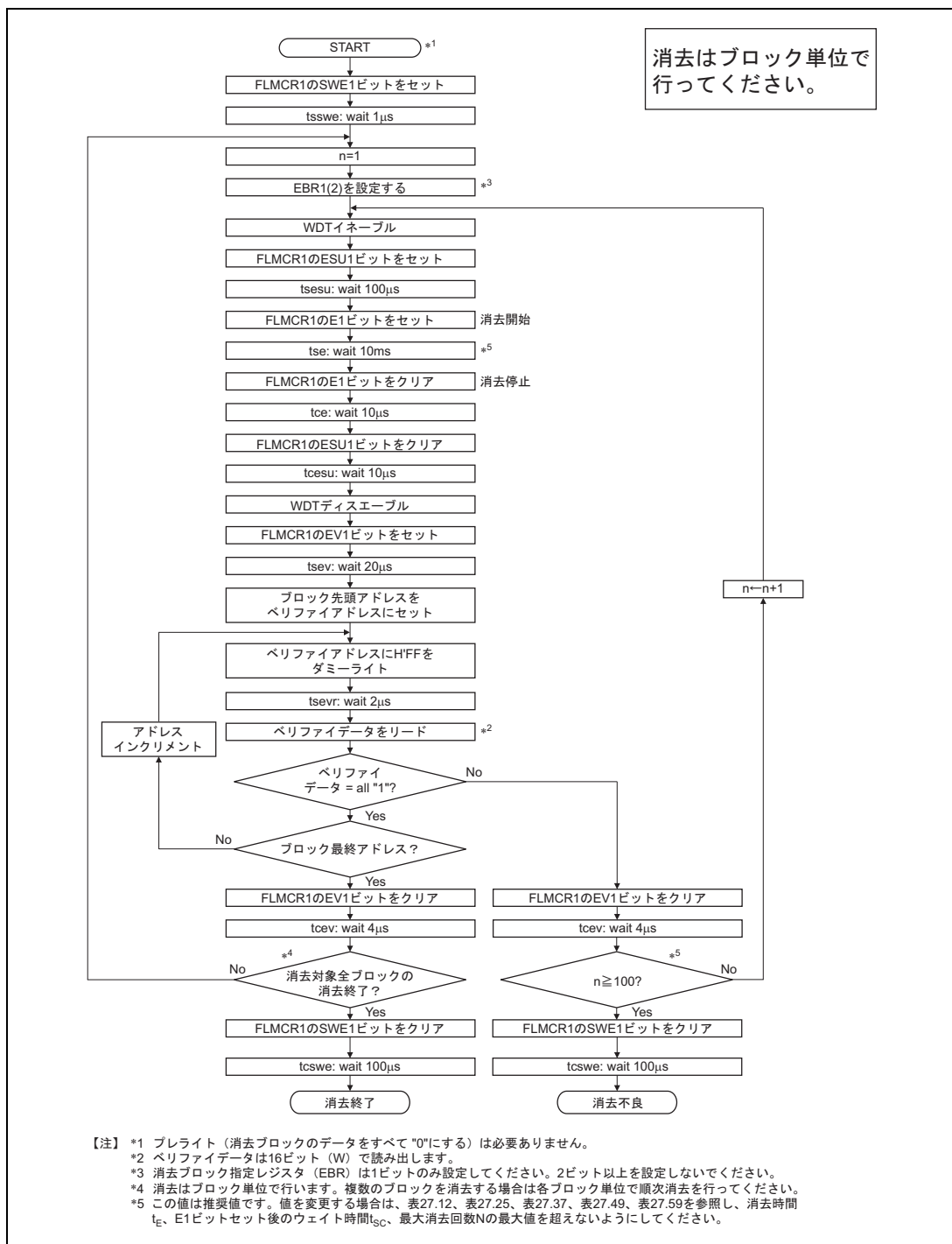


図 20.12 イレース/イレースベリファイフロー

### 20.9 書き込み / 消去プロテクト

フラッシュメモリに対する書き込み / 消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

#### 20.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) が初期化されます。 $\overline{\text{RES}}$  端子によるリセットでは、電源投入後発振が安定するまで  $\overline{\text{RES}}$  端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した  $\overline{\text{RES}}$  パルス幅の間  $\overline{\text{RES}}$  端子を Low レベルに保持してください。

#### 20.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE1 ビットをクリアすることで全ブロック書き込み / 消去プロテクト状態になります。この状態で FLMCR1 の P1 ビットまたは E1 ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ1 (EBR1)、ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。RAMER の RAMS ビットをセットすることで全ブロックの書き込み / 消去プロテクト状態になります。

#### 20.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み / 消去中に CPU の暴走や書き込み / 消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み / 消去動作を中断した状態です。書き込み / 消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み / 消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み / 消去中のリセットを除く例外処理開始
- 書き込み / 消去中の SLEEP 命令実行
- 書き込み / 消去中に CPU が DMAC\* もしくは DTC にバス権を開放

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P1 ビット、E1 ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV1 ビット、EV1 ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、リセットまたハードウェアスタンバイによってのみ解除できます。

【注】 \* H8S/2239 グループのみです。



## 20.10 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビットがセット)、またはブートプログラム実行中\*1 は書き込み、消去動作を最優先とするため、NMI 入力を含むすべての割り込みを禁止してください。

1. 書き込み、消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなる。
2. 書き込み / 消去中の割り込み例外処理では正常なベクタリードができず\*2、CPUが暴走してしまう。
3. ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

【注】 \*1 書き込み制御プログラムによる書き込みが完了するまでは、CPU 内部と外部で割り込み要求を禁止する必要があります。

\*2 以下の2つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中 (FLMCR1 の P1 ビットまたは E1 ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

## 20.11 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス 512K バイト、256K バイト、128K バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているライタを使用してください。12MHz の入力クロックが必要です。

図 20.13 にソケットアダプタの端子対応図を示します。

20. フラッシュメモリ (F-ZTAT 版)

本LSI				ソケットアダプタ (40ピン変換)	HN27C4096HG (40ピン)	
ピン番号			端子名		ピン番号	端子名
FP-100B*3、TFP-100B、TFP-100G*4	FP-100A*1	BP-112A*2、TBP-112A*5				
13	16	F1	A0		21	A0
15	18	G1	A1		22	A1
16	19	G2	A2		23	A2
17	20	G3	A3		24	A3
18	21	H1	A4		25	A4
19	22	G4	A5		26	A5
20	23	H2	A6		27	A6
21	24	J1	A7		28	A7
22	25	H3	A8		29	A8
23	26	J2	A9		31	A9
24	27	K1	A10		32	A10
25	28	J3	A11		33	A11
26	29	K2	A12		34	A12
27	30	L2	A13		35	A13
28	31	H4	A14		36	A14
29	32	K3	A15		37	A15
30	33	L3	A16		38	A16
31	34	J4	A17		39	A17
32	35	K4	A18		10	A18
4	7	C2	D0		19	I/O0
5	8	C1	D1		18	I/O1
6	9	D3	D2		17	I/O2
7	10	D2	D3		16	I/O3
8	11	D1	D4		15	I/O4
9	12	E4	D5		14	I/O5
10	13	E3	D6		13	I/O6
11	14	E1	D7		12	I/O7
3	6	D4	CE		2	CE
1	4	B2	OE		20	OE
2	5	B1	WE		3	WE
66	69	E10	FWE		4	FWE
99、75、72*1、62、61、60、54、53、12	78、75、65、64、57、54、15、2	E2、F3、H8、J10、G9、G11、F9、G10、C9、B3	V <sub>CC</sub>		40、1	V <sub>CC</sub>
100、67、64、58、56、55、42、40、38、14	70、67、61、59、58、45、43、41、17、3	E2、F4、J6、K6、K7、L7、J11、H9、H11、F8、F10、E9、A2	V <sub>SS</sub>		30、11	V <sub>SS</sub>
59	62	G8	RES		7、6、5	NC
63	66	F11	XTAL		8	A20
65	68	E11	EXTAL		9	A19
上記以外	上記以外	上記以外	NC (OPEN)			

パワーオン リセット回路	発振回路
-----------------	------

【記号説明】  
 FWE : フラッシュライト  
 I/O7~0 : イネーブル  
 A18~0 : データ入出力  
 CE : アドレス入力  
 OE : チップイネーブル  
 WE : 出カイネーブル  
 OE : ライトイネーブル

【注】\*1 H8S/2258、H8S/2238Bのみです。  
 \*2 H8S/2238Rのみです。  
 \*3 H8S/2227Iにはありません。  
 \*4 H8S/2258Iにはありません。  
 \*5 H8S/2238R、H8S/2239のみです。

図 20.13 ソケットアダプタの端子対応図

## 20.12 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態  
高速でフラッシュメモリの読み出しが可能です。
- 低消費電力状態  
電源回路の一部を停止して、LSIがサブクロック動作時にフラッシュメモリのリードのみ可能です。
- スタンバイ状態  
フラッシュメモリのすべての回路が停止します。

表 20.6 に本 LSI の動作モードとフラッシュメモリの状態の関係を示します。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰するときは、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 100 $\mu$ s 以上になるよう SBYCR の STS2 ~ STS0 を設定してください。

表 20.6 フラッシュメモリの動作状態

本 LSI の動作モード	フラッシュメモリの状態
アクティブモード	通常動作状態
スリープモード	通常動作状態
ウォッチモード スタンバイモード	スタンバイ状態
サブアクティブモード サブスリープモード	PDWND=0 のとき：低消費電力状態（リードのみ） PDWND=1 のとき：通常動作状態（リードのみ）

## 20.13 フラッシュメモリの書き込み / 消去時の注意事項

オンボードプログラミングモード、RAM エミュレーション機能およびライターモード使用時の注意事項を示します。

### (1) 規定された電圧タイミングで書き込み / 消去を行ってください

定格以上の電圧を印加した場合、製品の永久破壊に至ることがあります。

PROM ライタは、ルネサス テクノロジフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A、FZTAT256V3A、FZTAT128V3A) をサポートしているものを使用してください。ライタの設定を HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊に至ることがあります。

### (2) 電源投入 / 切断時の注意事項 (図 20.14 ~ 図 20.16 参照)

FWE 端子への High レベル印加は VCC 確定後に行ってください。また、VCC を切断する前に FWE 端子を Low レベルにしてください。VCC 電源の印加 / 切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電などによる電源の切

断、再投入時にも満足するようにしてください。

### (3) FWE の印加 / 解除の注意事項 (図 20.14 ~ 図 20.16 参照)

FWE の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。FWE の印加 / 解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

- VCC電圧が定格電圧の範囲で安定している状態でFWEを印加してください。
- ブートモードでは、FWEの印加 / 解除はリセット中に行ってください。
- ユーザプログラムモードでは、リセットの状態にかかわらず、FWE=Highレベル / Lowレベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE入力の切り替えが可能です。
- プログラムが暴走していない状態でFWEを印加してください。
- FWEの解除はFLMCR1のSWE1、ESU1、PSU1、EV1、PV1、P1、E1ビットをクリアした状態で行ってください。FWEの印加 / 解除時に、誤ってSWE1、ESU1、PSU1、EV1、PV1、P1、E1ビットをセットしないでください。

### (4) FWE 端子に常時 High レベルを印加しないでください

FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。また、High レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走などに対応できるようにしてください。

### (5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P1 ビット、E1 ビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。

### (6) SWE1 ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE1 ビットをクリアしたあと 100 $\mu$ s 以上待つから行ってください。

SWE1 ビットをセットするとフラッシュメモリのデータを書き換えできますが、ベリファイ (プログラム / イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム / イレース / ベリファイ中に SWE1 ビットのクリアを行わないでください。FWE 端子に High レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータ読み出しは、SWE1 ビットをクリアしたあとに行ってください。

ただし、フラッシュメモリ空間とオーバーラップした RAM エリアについては、SWE1 ビットのセット / クリアにかかわらずリード / ライト可能です。

### (7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください

FWE 印加状態では書き込み / 消去動作を再優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(8) 追加書き込みは行わないでください。書き換えは消去後に行ってください

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。  
ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは 1 回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(10) 書き込み中はソケットアダプタや製品に手を触れないでください

接触不良などにより、書き込み不良になることがあります。

(11) 電源投入時は、リセット状態にしてください

発振安定期間中に 100 $\mu$ s 以上はリセットを入れてください。

(12) 動作中にリセットを入れる場合は、SWE1 の Low 期間で入れてください

SWE1 ビットクリア後 100 $\mu$ s 以上待ってからリセットを入れてください。

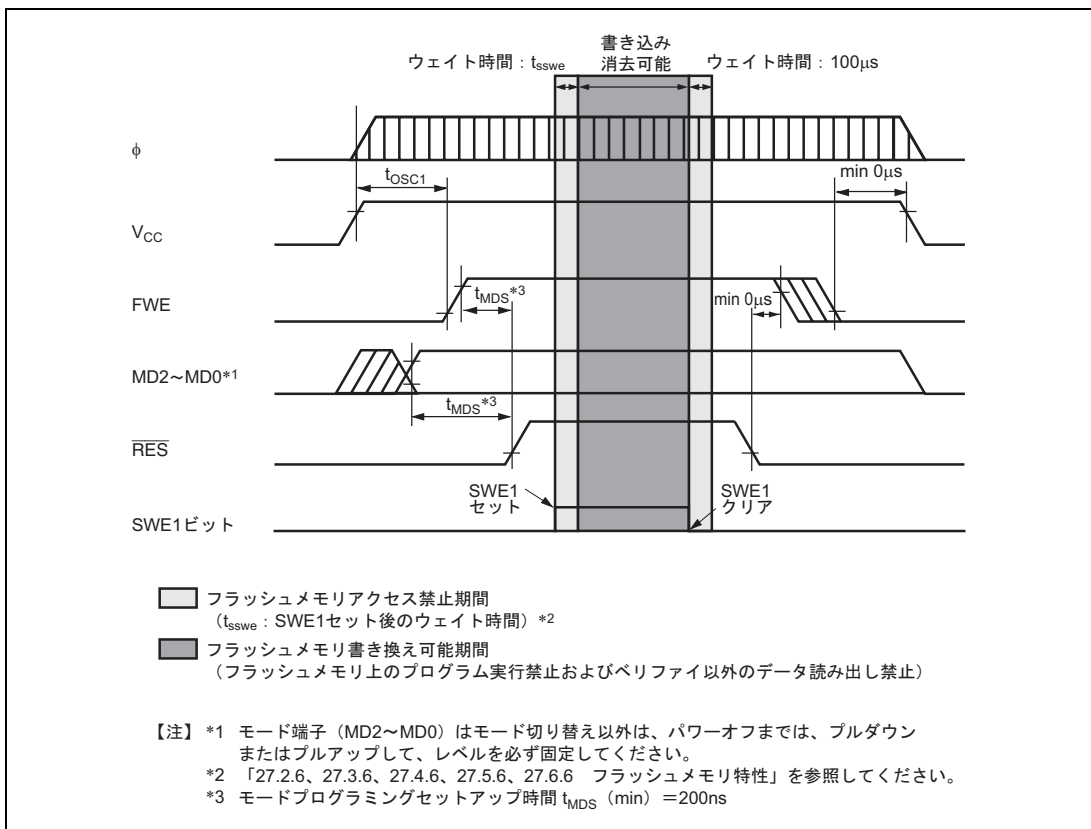


図 20.14 電源投入 / 切断タイミング (ブートモード)

## 20. フラッシュメモリ (F-ZTAT 版)

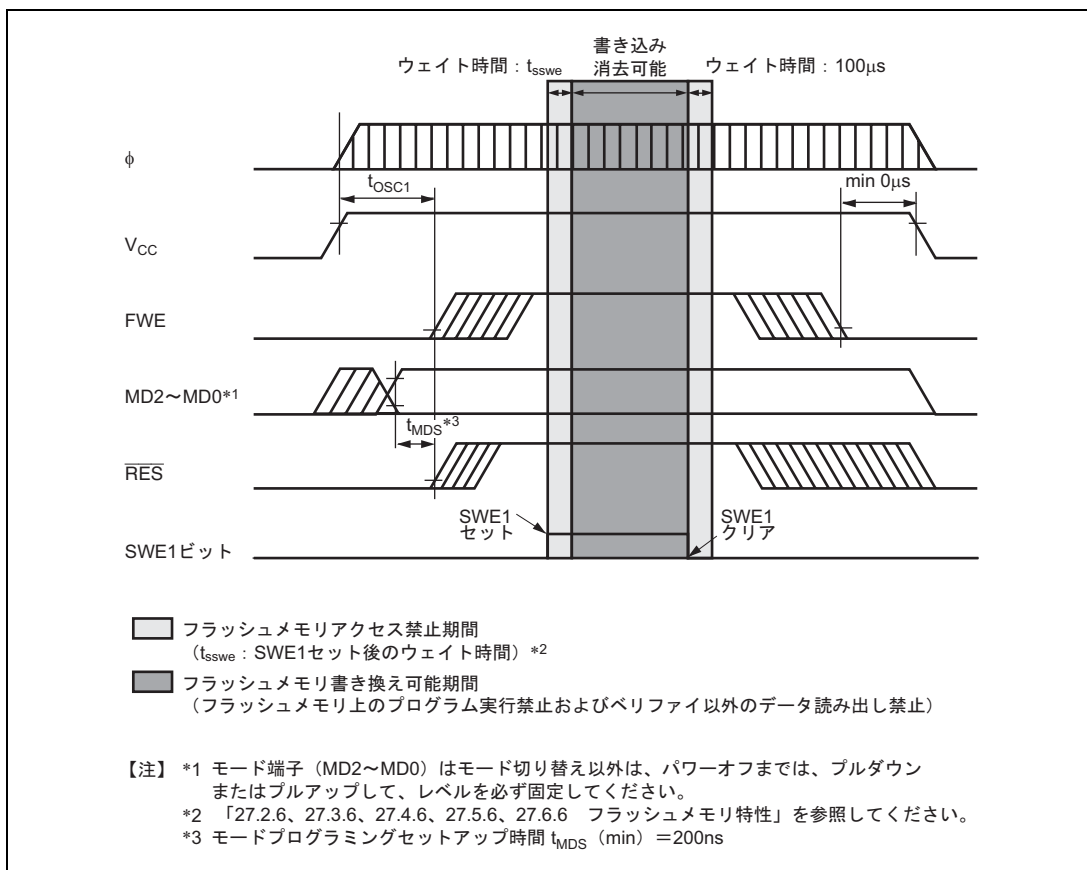


図 20.15 電源投入/切断タイミング (ユーザプログラムモード)



### 20.14 F-ZTAT マイコンのマスク ROM 化時の注意事項

マスク版には、F-ZTAT 版に存在するフラッシュメモリのコントロール用内部レジスタが存在しません。表 20.7 に F-ZTAT 版に存在して、マスク版に存在しないレジスタを示します。表 20.7 に示したレジスタをリードした場合、マスク版では、不定値が読み出されます。このため、F-ZTAT 版で開発したアプリケーションソフトをマスク ROM 版に変更する場合、表 20.7 に示したレジスタの影響がないようアプリケーションソフトを変更してください。

表 20.7 F-ZTAT 版に存在してマスク ROM 版に存在しないレジスタ

レジスタ名称	略称	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2	H'FFA9
消去ブロック指定レジスタ 1	EBR1	H'FFAA
消去ブロック指定レジスタ 2	EBR2	H'FFAB
RAM エミュレーションレジスタ	RAMER	H'FEDB
フラッシュメモリパワーコントロールレジスタ	FLPWCR	H'FFAC
シリアルコントロールレジスタ X (ビット 3 のみ)	SCRX	H'FDB4



---

## 21. マスク ROM

---

マスク ROM の特長は以下のとおりです。

### 21.1 特長

- 容量

製品区分	ROM 容量	ROM アドレス (モード 6、7)
H8S/2258 グループ	HD6432258	256K バイト
	HD6432256	128K バイト
	HD6432258W	256K バイト
	HD6432256W	128K バイト
H8S/2239 グループ	HD6432239	384K バイト
	HD6432239W	384K バイト
H8S/2238 グループ	HD6432238B	256K バイト
	HD6432236B	128K バイト
	HD6432238R	256K バイト
	HD6432236R	128K バイト
	HD6432238BW	256K バイト
	HD6432236BW	128K バイト
	HD6432238RW	256K バイト
	HD6432236RW	128K バイト
H8S/2237 グループ	HD6432237	128K バイト
	HD6432235	128K バイト
	HD6432233	64K バイト
H8S/2227 グループ	HD6432227	128K バイト
	HD6432225	128K バイト
	HD6432224	96K バイト
	HD6432223	64K バイト

- バスマスタと16ビット幅のデータバスで接続  
バイトデータ/ワードデータを1ステースでアクセス可能

## 21. マスク ROM

---

図 21.1 にマスク ROM のブロック図を示します。

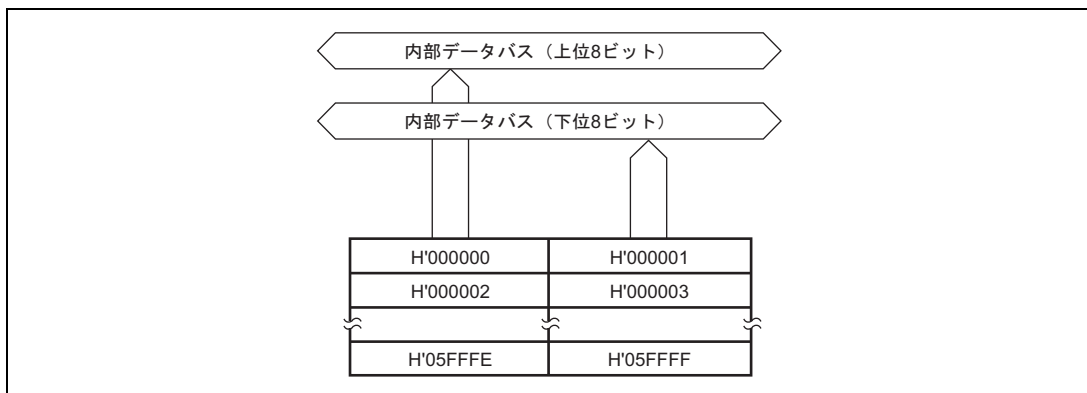


図 21.1 マスク ROM のブロック図 (384K バイトの場合)

---

## 22. PROM

---

PROM 版は、PROM モードに設定することにより、PROM ライタを用いて自由にプログラムの書き込みができます。

### 22.1 PROM モードの設定

PROM 版 (HD6472237) の場合、PROM モードを設定すると、本 LSI はマイクロコンピュータとしての機能が停止し、内蔵 PROM のプログラムを行うことができます。この PROM のプログラムは、EPROM HN27C101 ( $V_{PP} = 12.5V$ ) と同様の仕様で行うことができます。100 ピンから 32 ピンへのピン配置変換ソケットを用いることにより、市販の PROM ライタで簡単に書き込みができます。

ただし、ページプログラミング方式はサポートしていませんので、PROM ライタを選択する場合には注意してください。

PROM モードの設定方法を表 22.1 に示します。

表 22.1 PROM モードの設定方法

端子名	設定
MD2、MD1、MD0 端子	Low レベル
STBY 端子	
PA2、PA1 端子	High レベル

### 22.2 ソケットアダプタの端子対応とメモリマップ

PROM ライタによるプログラムは、100 ピンから 32 ピンへのソケットアダプタを用いて行います。ソケットアダプタの端子対応図を図 22.1 に、ソケットアダプタの型名を表 22.2 に示します。

また、PROM モード時のメモリマップを図 22.2 に示します。

## 22. PROM

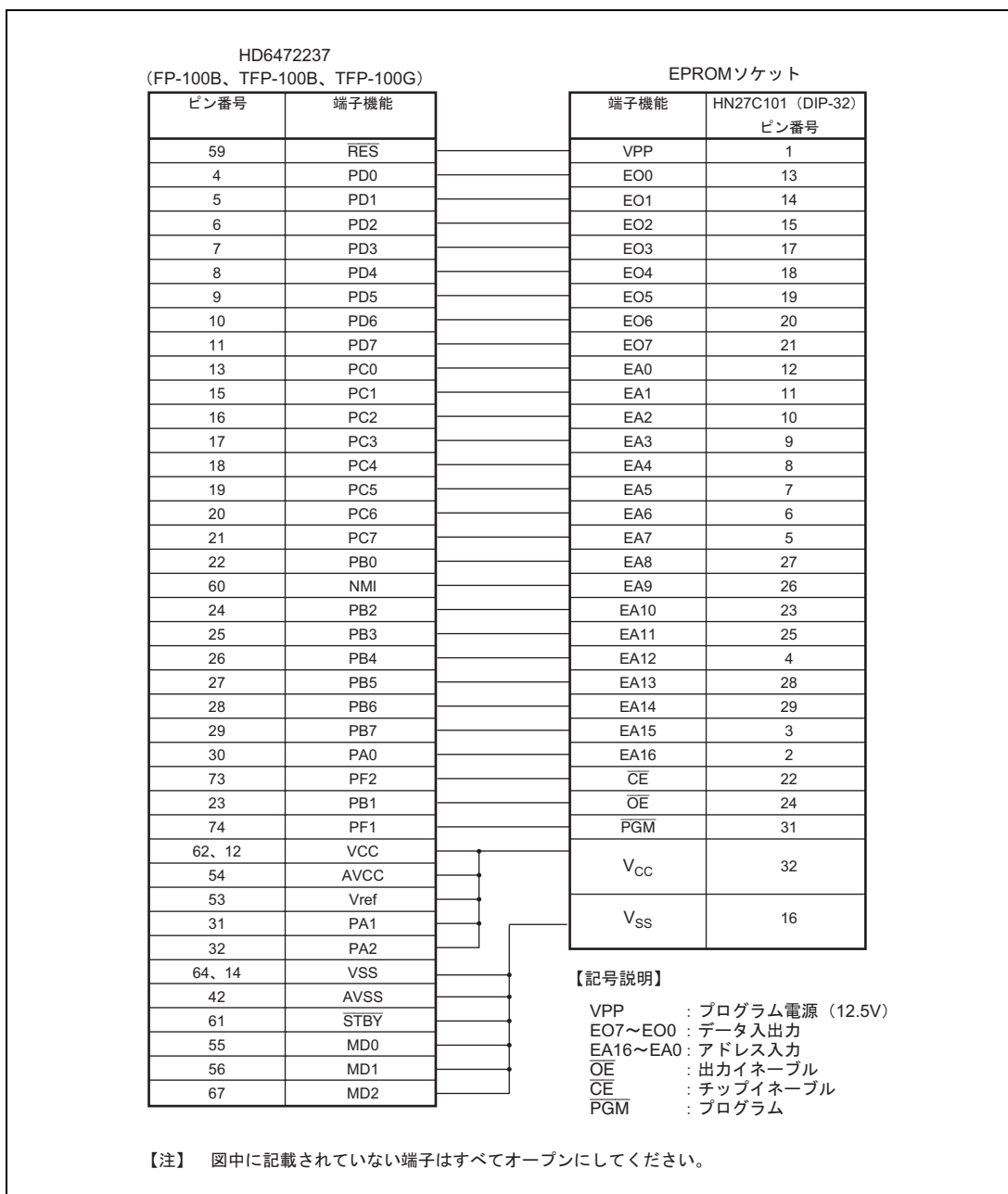


図 22.1 HD6472237 ソケットアダプタの端子対応図 (FP-100B、TFP-100B、TFP-100G)

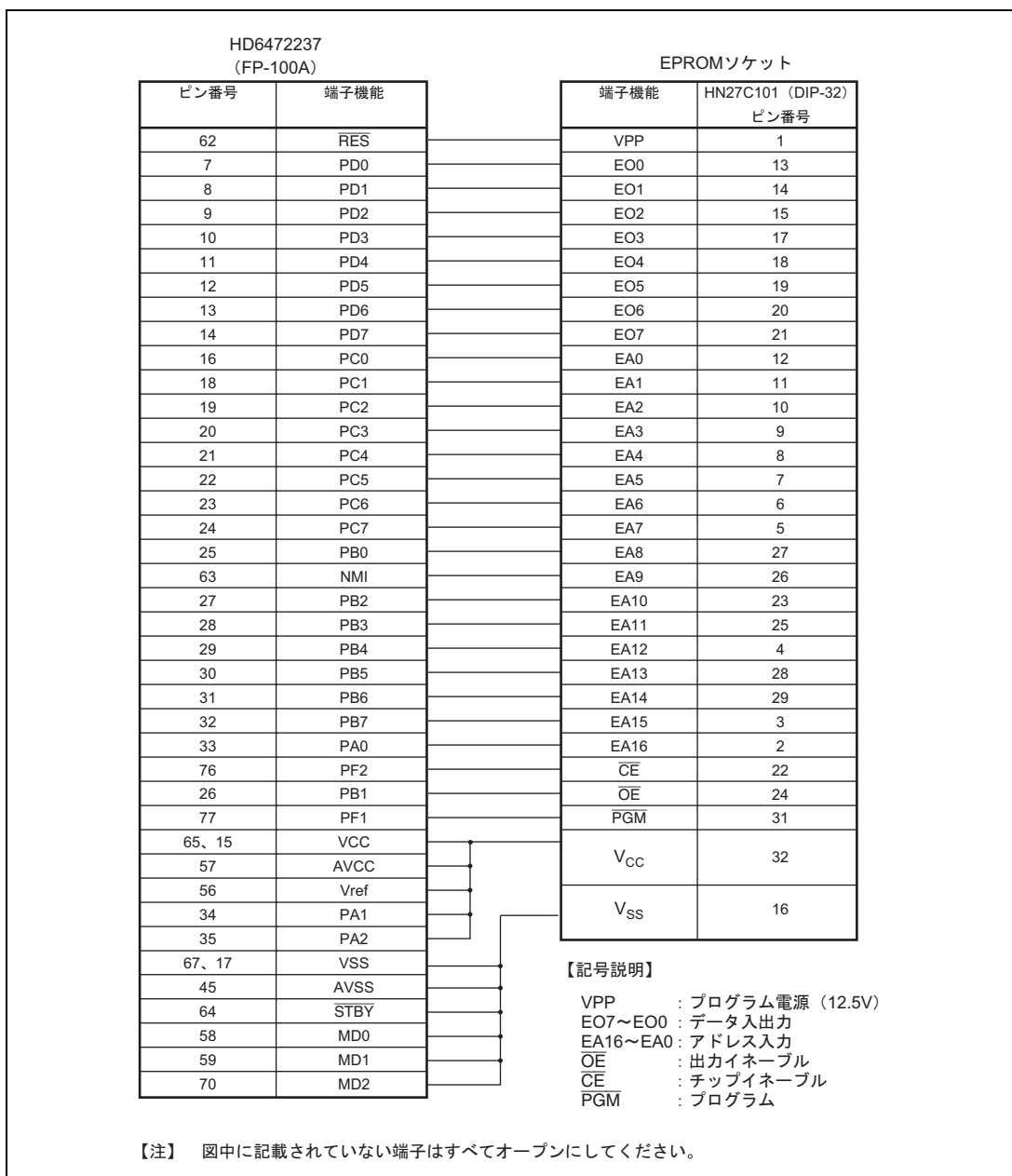


図 22.2 HD6472237 ソケットアダプタの端子対応図 (FP-100A)

表 22.2 ソケットアダプタ

製品名	パッケージ	ソケットアダプタ型名	
		ミナトエレクトロニクス (株)製	データ・アイ・オー・ ジャパン(株)製
H8S/2237	100ピン TQFP (TFP-100B)	ME2237ESNS1H	H7223BT100D3201
	100ピン TQFP (TFP-100G)	ME2237ESMS1H	H7223GT100D3201
	100ピン QFP (FP-100A)	ME2237ESFS1H	H7223AQ100D3201
	100ピン QFP (FP-100B)	ME2237ESHS1H	H7223BQ100D3201

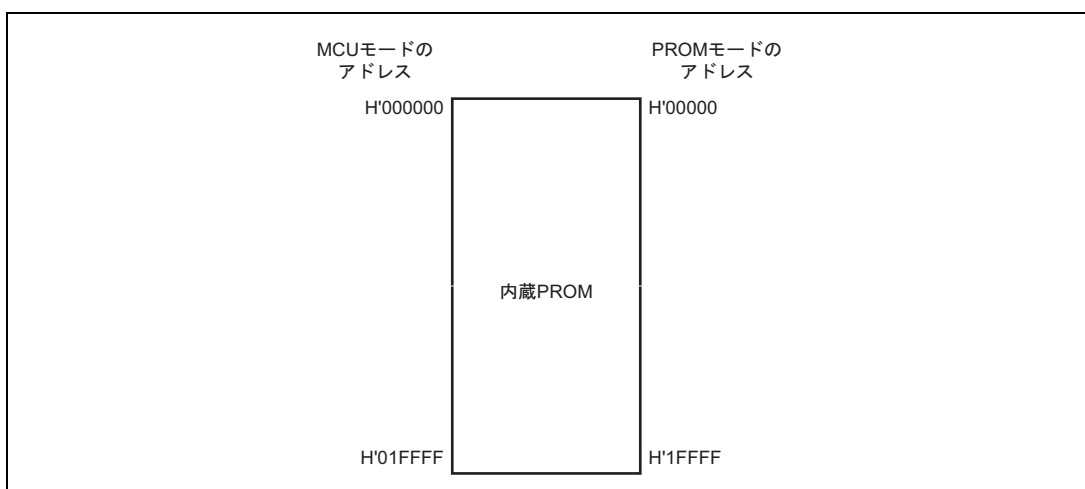


図 22.3 PROM モード時のメモリマップ

## 22.3 プログラミング

PROM 版の PROM モード時の書き込み、ベリファイなどのモード選択は、表 22.3 に示すような設定で行います。

表 22.3 PROM モード時のモード選択

モード	ピン						
	CE	OE	PGM	VPP	VCC	EO7~EO0	EA16~EA0
書き込み	L	H	L	V <sub>PP</sub>	V <sub>CC</sub>	データ入力	アドレス入力
ベリファイ	L	L	H	V <sub>PP</sub>	V <sub>CC</sub>	データ出力	アドレス入力
プログラミング禁止	L	L	L	V <sub>PP</sub>	V <sub>CC</sub>	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

### 【記号説明】

L : Low レベル

H : High レベル

V<sub>PP</sub> : V<sub>PP</sub> レベル

V<sub>CC</sub> : V<sub>CC</sub> レベル

なお、書き込み、読み出し、ベリファイは、標準 EPROM の HN27C101 と同じ仕様になっています。

ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードは設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイト単位の高速プログラミングモードをサポートしていることを確認してください。また、アドレスは必ず H'00000 ~ H'1FFFF に設定してください。

### 22.3.1 書き込み/ベリファイ

書き込み/ベリファイは、効率のよい高速プログラミング方式で行うことができます。この方式はデバイスへの電圧ストレスを与えることなく、また、書き込みデータの信頼性を損なうことなく、高速な書き込みを行うことができます。未使用のアドレスのデータは H'FF です。高速プログラミングの基本的なフローを図 22.4 に示します。また、プログラミング時の電気的特性を表 22.4、表 22.5 に、タイミングを図 22.5 に示します。

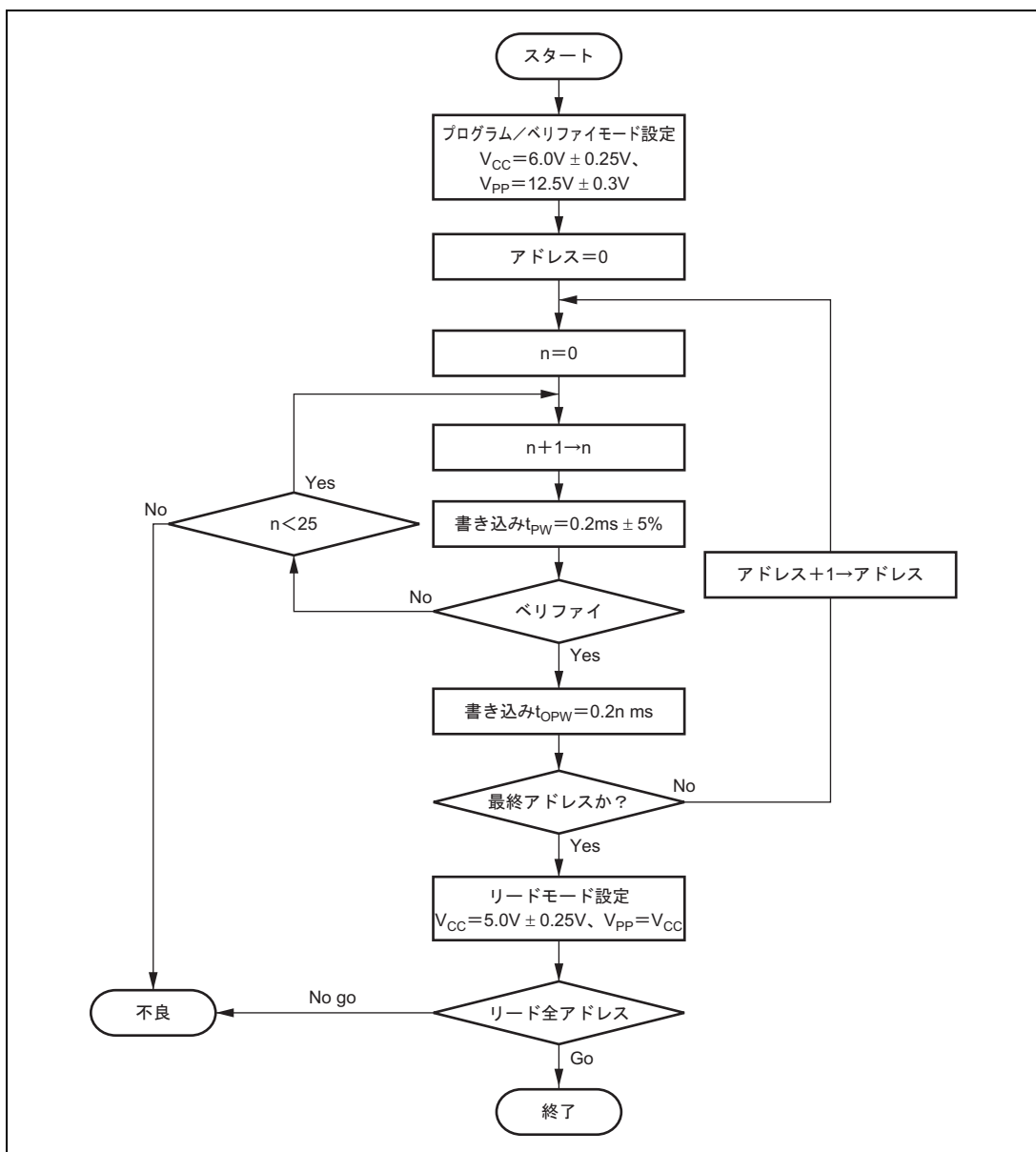


図 22.4 高速プログラミングフローチャート



表 22.4 DC 特性

(条件 :  $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$  )

項目	記号	min	typ	max	単位	測定条件
入力 High レベル電圧	EO7~EO0、EA16~EA0 $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$V_{IH}$	2.4		$V_{CC} + 0.3$	V
入力 Low レベル電圧	EO7~EO0、 EA16~EA0 $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$V_{IL}$	-0.3		0.8	V
出力 High レベル電圧	EO7~EO0	$V_{OH}$	2.4			V $I_{OH} = -200\mu A$
出力 Low レベル電圧	EO7~EO0	$V_{OL}$			0.45	V $I_{OL} = 1.6mA$
入力 リーク電流	EO7~EO0、EA16~EA0 $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$ I_{LI} $			2	$\mu A$ $V_{in} = 5.25V/0.5V$
$V_{CC}$ 電流		$I_{CC}$			40	$mA$
$V_{PP}$ 電流		$I_{PP}$			40	$mA$

表 22.5 AC 特性

(条件 :  $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$  )

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	$t_{AS}$	2			$\mu s$	図 22.5*1
$\overline{OE}$ セットアップ時間	$t_{OES}$	2			$\mu s$	
データセットアップ時間	$t_{DS}$	2			$\mu s$	
アドレスホールド時間	$t_{AH}$	0			$\mu s$	
データホールド時間	$t_{DH}$	2			$\mu s$	
データ出力ディスエーブル時間	$t_{DF}^{*2}$			130	ns	
$V_{PP}$ セットアップ時間	$t_{VPS}$	2			$\mu s$	
プログラムパルス幅	$t_{PW}$	0.19	0.20	0.21	ms	
オーバプログラム時の $\overline{PGM}$ パルス幅	$t_{OPW}^{*3}$	0.19		5.25	ms	
$V_{CC}$ セットアップ時間	$t_{VCS}$	2			$\mu s$	
$\overline{CE}$ セットアップ時間	$t_{CES}$	2			$\mu s$	
データ出力遅延時間	$t_{OE}$	0		150	ns	

【注】 \*1 入力パルスレベル : 0.8~2.2V

入力立ち上がり / 立ち下がり時間 20ns

タイミング参照レベル 入力 : 1.0V、2.0V

出力 : 0.8V、2.0V

\*2  $t_{DF}$  は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。\*3  $t_{OPW}$  はフローチャートに記載した値で定義されます。

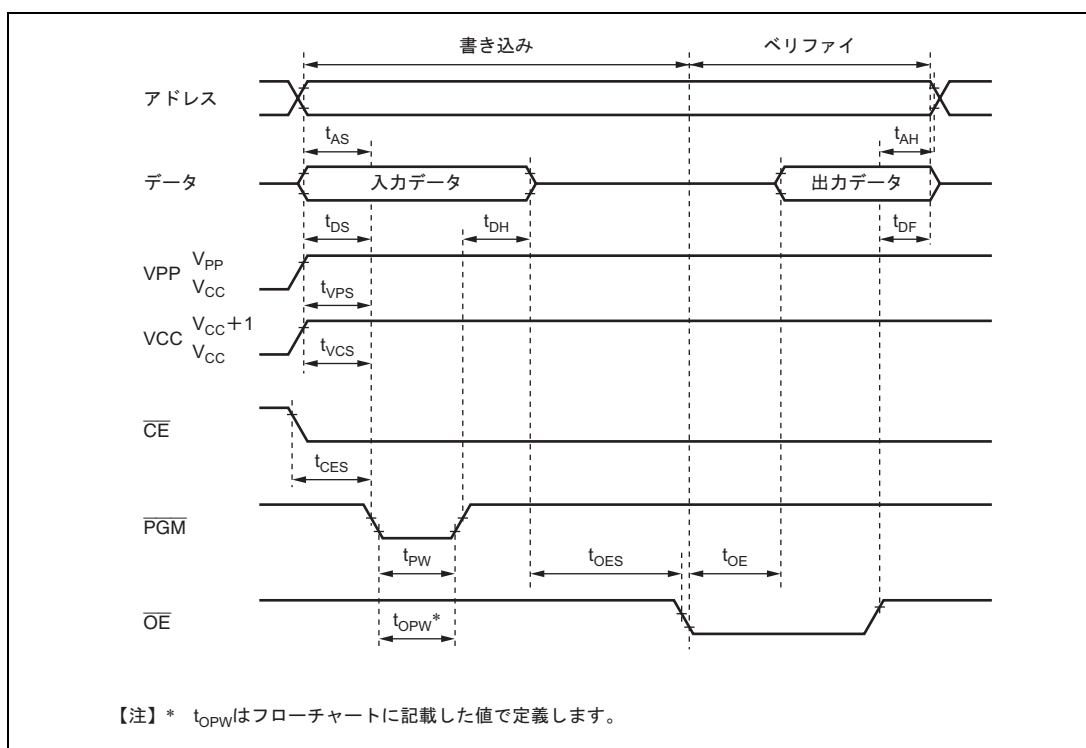


図 22.5 PROM 書き込み / ベリファイタイミング

### 22.3.2 書き込み時の注意事項

- 書き込みは規定された電圧、タイミングで行ってください。  
PROMモード時のプログラム電圧 ( $V_{PP}$ ) は12.5Vです。  
定格以上の電圧を加えると、製品の永久破壊に至りますので注意してください。特にPROMライタのオーバシュートなどには十分注意してください。  
PROMライタのHN27C101のルネサス仕様を設定すると、 $V_{PP}$ は12.5Vになります。
- PROMライタのソケット、ソケットアダプタ、およびMCUそれぞれのインデックスが一致していないと、過剰電流によってMCUが破壊されることがあります。書き込み前に正しくPROMライタに装着されていることを確認してください。
- 書き込み中はソケットアダプタおよびMCUには触れないようにしてください。接触不良により書き込み不良となる場合があります。
- ページプログラミングモードはサポートしていません。PROMライタのプログラミングモードの設定には注意してください。

5. PROMの容量は128Kバイトです。アドレスは必ずH'00000～H'1FFFFに設定してください。プログラミング時には、未使用のアドレス領域のデータはH'FFとしてください。

### 22.3.3 書き込み後の信頼性

PROM への書き込み後、データ保持特性を向上させるために、150 の高温放置を行うと大変有効です。高温放置は、スクリーニングの1つであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 22.6 に推奨するスクリーニングフローを示します。

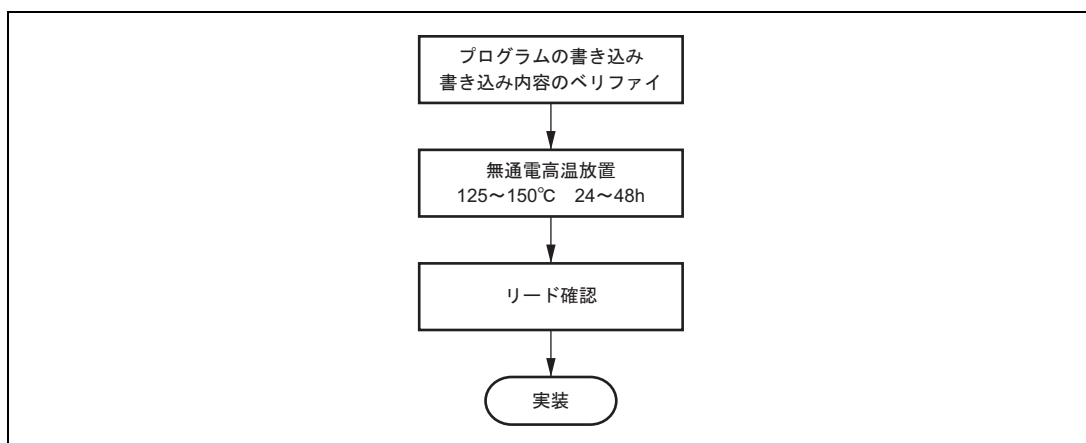


図 22.6 PROM 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中に、書き込み不良が連続して発生した場合には書き込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書き込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。



## 23. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック ( $\phi$ )、バスマスタクロック、内部クロックを生成します。クロック発振器は、システムクロック発振器、デューティ補正回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック発振器、波形成形回路で構成されます。クロック発振器のブロック図を図 23.1 に示します。

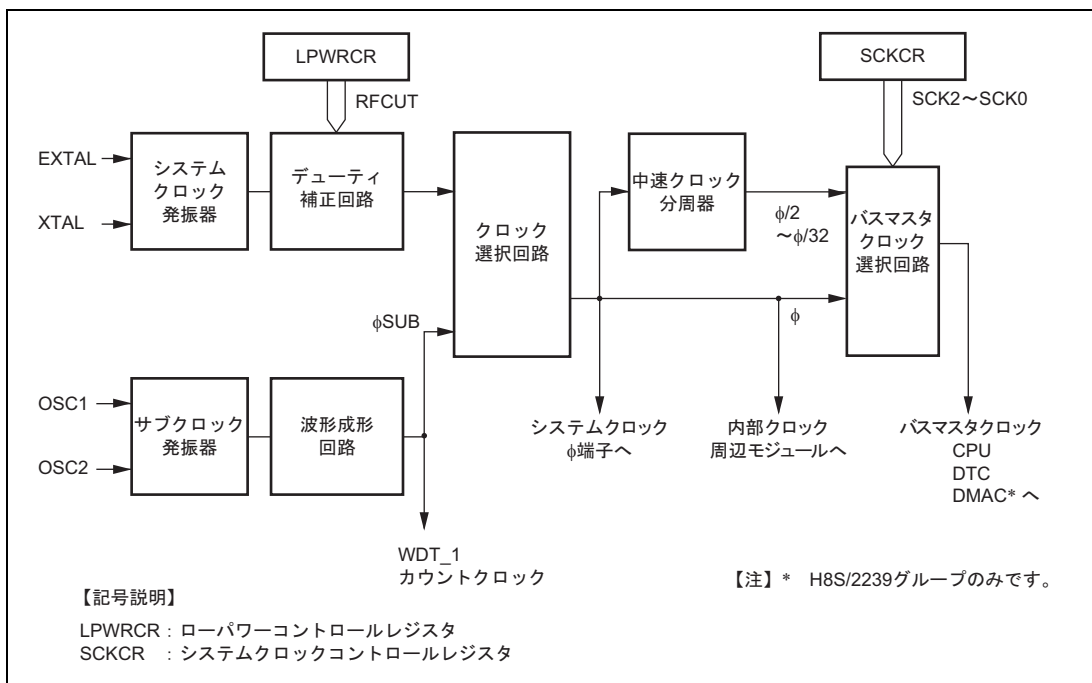


図 23.1 クロック発振器のブロック図

周波数の変更は、ローパワーコントロールレジスタ (LPWRCR) とシステムクロックコントロールレジスタ (SCKCR) の設定によりソフトウェアで行います。

## 23. クロック発振器

### 23.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ (SCKCR)
- ローパワーコントロールレジスタ (LPWRCR)

#### 23.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は、中速モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	PSTOP	0	R/W	φクロック出力禁止 φ出力を制御します。 • 高速モード、中速モード、サブアクティブモード、スリープモード、サブスリープモード 0 : φ出力 1 : High レベル固定 • ソフトウェアスタンバイモード、ウォッチモード、直接遷移 0 : High レベル固定 1 : High レベル固定 • ハードウェアスタンバイモード 0 : ハイインピーダンス 1 : ハイインピーダンス
6		0	R/W	リザーブビット リード/ライト可能ですが、ライト時には0をライトしてください。
5, 4		すべて0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3		0	R/W	リザーブビット リード/ライト可能ですが、ライト時には0をライトしてください。
2	SCK2	0	R/W	システムクロックセレクト 2~0 バスマスタクロックを選択します。 000 : 高速モード 001 : 中速クロックφ/2 010 : 中速クロックφ/4 011 : 中速クロックφ/8 100 : 中速クロックφ/16 101 : 中速クロックφ/32 11x : 設定禁止
1	SCK1	0	R/W	
0	SCK0	0	R/W	

【記号説明】 x : Don't care

## 23.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は低消費モードの制御、ノイズ除去サンプリング周波数の選択、サブクロック発振器の制御、周波数通倍率の設定を行います。

ビット	ビット名	初期値	R/W	説明
7	DTON	0	R/W	<p>ダイレクトトランスファオンフラグ</p> <p>0: 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモードまたはウォッチモードに遷移</p> <p>1: 高速モード、あるいは中速モードで SLEEP 命令実行したとき、サブアクティブモード*に直接遷移、あるいはスリープモード、ソフトウェアスタンバイモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移</p>
6	LSON	0	R/W	<p>ロースピードオンフラグ</p> <p>0: 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード*に遷移、または高速モードに直接遷移 ウォッチモード解除後に高速モードに遷移</p> <p>1: 高速モードで SLEEP 命令を実行したとき、ウォッチモード、またはサブアクティブモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 ウォッチモード解除後にサブアクティブモードに遷移</p>
5	NESEL	0	R/W	<p>ノイズ除去サンプリング周波数選択</p> <p>サブクロック発振器より生成されたサブクロック (<math>\phi_{SUB}</math>) を、システムクロック発振器より生成されたクロック (<math>\phi</math>) により、サンプリングする周波数を決定します。</p> <p><math>\phi=5\text{MHz}</math> 以上のときは、0 をセットしてください。<math>\phi=2.1\text{MHz}</math> 以下のときは、1 をセットしてください。<math>\phi=2.1\text{MHz} \sim 5\text{MHz}</math> のときは、任意の値を設定可能です。</p> <p>0: <math>\phi</math> の 32 分周クロックでサンプリング</p> <p>1: <math>\phi</math> の 4 分周クロックでサンプリング</p>
4	SUBSTP	0	R/W	<p>サブクロック発振器制御</p> <p>サブクロック発振器の動作、停止を制御します。サブクロックを使用しないときは、1 をセットしてください。</p> <p>0: サブクロック発振器を動作</p> <p>1: サブクロック発振器を停止</p>

## 23. クロック発振器

ビット	ビット名	初期値	R/W	説明
3	RFCUT	0	R/W	<p>内蔵帰還抵抗制御</p> <p>外部クロック入力時にシステムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用するか、使用しないかの選択をします。水晶発振子を使用するときは、アクセスしないでください。</p> <p>外部クロック入力状態で本ビットを設定後、いったんソフトウェアスタンバイモード、ウォッチモード、またはサブアクティブモードに遷移してください。ソフトウェアスタンバイモード、ウォッチモード、またはサブアクティブモードに遷移したときに、発振器内蔵帰還抵抗とデューティ補正回路を使用するか、使用しないかを切り替えます。</p> <p>0：システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用する</p> <p>1：システムクロック発振器の内蔵帰還抵抗とデューティ補正回路を使用しない。</p>
2		0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、ライト時には0をライトしてください。</p>
1 0	STC1 STC0	0 0	R/W R/W	<p>周波数通倍率設定</p> <p>エバリュエーションチップに内蔵するPLL回路の周波数通倍率を設定します。指定した周波数通倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードに遷移後、有効となります。本LSIでは必ず11の設定で使用してください。リセット後の値はSTC1=STC0=0となりますので、リセット後は必ずSTC1=STC0=1の設定を行ってください。</p> <p>00：×1</p> <p>01：×2（設定禁止）</p> <p>10：×4（設定禁止）</p> <p>11：PLLはバイパス</p>

【注】 \* ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。



## 23.2 システムクロック発振器

システムクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

### 23.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 23.2 に示します。ダンピング抵抗  $R_d$  は、表 23.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

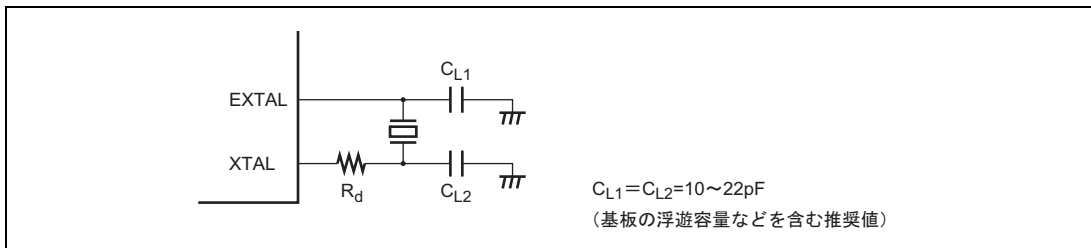


図 23.2 水晶発振子の接続例

表 23.1 ダンピング抵抗値

周波数 (MHz)	2 <sup>*1</sup>	4 <sup>*1</sup>	6 <sup>*1</sup>	8 <sup>*1</sup>	10	12	16 <sup>*2</sup>	20 <sup>*2</sup>
$R_d$ ( $\Omega$ )	1k	500	300	200	100	0	0	0

【注】 \*1 H8S/2258 グループでは動作範囲外です。

\*2 H8S/2239 グループのみです。

水晶発振子の等価回路を図 23.3 に示します。水晶発振子は表 23.2 に示す特性のものを使用してください。

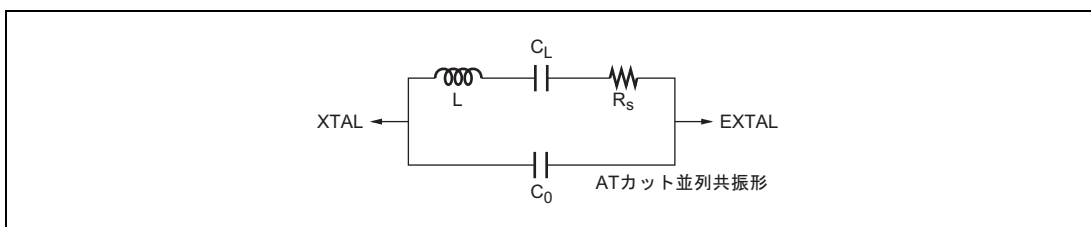


図 23.3 水晶発振子の等価回路

## 23. クロック発振器

表 23.2 水晶発振子の特性

周波数 (MHz)	2* <sup>1</sup>	4* <sup>1</sup>	6* <sup>1</sup>	8* <sup>1</sup>	10	12	16* <sup>2</sup>	20* <sup>2</sup>
R <sub>s</sub> max (Ω)	500	120	100	80	60	60	50	40
C <sub>0</sub> max (pF)	7							

【注】 \*1 H8S/2258 グループでは動作範囲外です。

\*2 H8S/2239 グループのみです。

### 23.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 23.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時は外部クロックを High レベルにしてください。

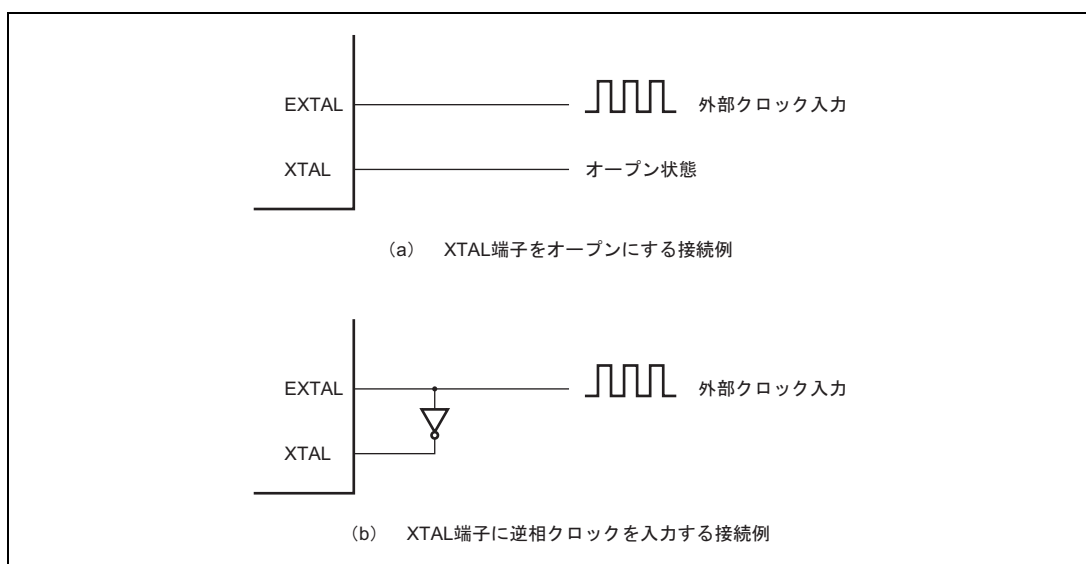


図 23.4 外部クロックの接続例

外部クロックの入力条件を表 23.3 に示します。デューティ補正回路を使用しない場合の外部クロック入力条件を表 23.4 に示します。

表 23.3 外部クロック入力条件 (1) (H8S/2258 グループ)

項 目	記号	Vcc = 4.0 ~ 5.5V		単位	測定条件
		min	max		
外部クロック入力パルス幅 Low レベル	tEXL	30	-	ns	図 23.5
外部クロック入力パルス幅 High レベル	tEXH	30	-	ns	
外部クロック立ち上がり時間	tEXr	-	7	ns	
外部クロック立ち下がり時間	tEXf	-	7	ns	
クロックパルス幅 Low レベル	tCL	0.4	0.6	t <sub>cyc</sub>	図 27.10
クロックパルス幅 High レベル	tCH	0.4	0.6	t <sub>cyc</sub>	

表 23.3 外部クロック入力条件 (2) (H8S/2238B、H8S/2236B)

項 目	記号	F-ZTAT 版		マスク ROM 版		単位	測定条件	
		Vcc = 3.0 ~ 5.5V		Vcc = 2.7 ~ 5.5V				
		min	max	min	max			
外部クロック入力パルス幅 Low レベル	tEXL	30	-	30	-	ns	図 23.5	
外部クロック入力パルス幅 High レベル	tEXH	30	-	30	-	ns		
外部クロック立ち上がり時間	tEXr	-	7	-	7	ns		
外部クロック立ち下がり時間	tEXf	-	7	-	7	ns		
クロックパルス幅 Low レベル	tCL	0.4	0.6	0.4	0.6	t <sub>cyc</sub>	φ 5MHz	図 27.10
		80	-	80	-	ns		
クロックパルス幅 High レベル	tCH	0.4	0.6	0.4	0.6	t <sub>cyc</sub>	φ 5MHz	
		80	-	80	-	ns		

## 23. クロック発振器

表 23.3 外部クロック入力条件 (3) (H8S/2238R、H8S/2236R)

項目	記号	F-ZTAT 版		F-ZTAT 版 マスク ROM 版		単位	測定条件	
		V <sub>CC</sub> = 2.7 ~ 3.6V		V <sub>CC</sub> = 2.2 ~ 3.6V				
		min	max	min	max			
外部クロック入力パルス幅 Low レベル	t <sub>EXL</sub>	30	-	65	-	ns	図 23.5	
外部クロック入力パルス幅 High レベル	t <sub>EXH</sub>	30	-	65	-	ns		
外部クロック立ち上がり時間	t <sub>EXr</sub>	-	7	-	15	ns		
外部クロック立ち下がり時間	t <sub>EXf</sub>	-	7	-	15	ns		
クロックパルス幅 Low レベル	t <sub>CL</sub>	0.4	0.6	0.35	0.65	t <sub>cyC</sub>	φ 5MHz	図 27.10
		80	-	70	-	ns	φ < 5MHz	
クロックパルス幅 High レベル	t <sub>CH</sub>	0.4	0.6	0.35	0.65	t <sub>cyC</sub>	φ 5MHz	
		80	-	70	-	ns	φ < 5MHz	

表 23.3 外部クロック入力条件 (4) (H8S/2237 グループ、H8S/2227 グループ)

項目	記号	F-ZTAT 版 マスク ROM 版		マスク ROM 版		ZTAT 版		単位	測定条件	
		V <sub>CC</sub> = 2.7 ~ 3.6V		V <sub>CC</sub> = 2.2 ~ 3.6V		V <sub>CC</sub> = 2.7 ~ 3.6V				
		min	max	min	max	min	max			
外部クロック入力パルス幅 Low レベル	t <sub>EXL</sub>	30	-	65	-	40	-	ns	図 23.5	
外部クロック入力パルス幅 High レベル	t <sub>EXH</sub>	30	-	65	-	40	-	ns		
外部クロック立ち上がり時間	t <sub>EXr</sub>	-	7	-	15	-	10	ns		
外部クロック立ち下がり時間	t <sub>EXf</sub>	-	7	-	15	-	10	ns		
クロックパルス幅 Low レベル	t <sub>CL</sub>	0.4	0.6	0.35	0.65	0.4	0.6	t <sub>cyC</sub>	φ 5MHz	図 27.10
		80	-	70	-	80	-	ns	φ < 5MHz	
クロックパルス幅 High レベル	t <sub>CH</sub>	0.4	0.6	0.35	0.65	0.4	0.6	t <sub>cyC</sub>	φ 5MHz	
		80	-	70	-	80	-	ns	φ < 5MHz	

表 23.3 外部クロック入力条件 (5) (H8S/2239 グループ)

項目	記号	F-ZTAT 版 マスク ROM 版		F-ZTAT 版 マスク ROM 版		マスク ROM 版		単位	測定条件	
		Vcc = 3.0 ~ 3.6V		Vcc = 2.7 ~ 3.6V		Vcc = 2.2 ~ 3.6V				
		min	max	min	max	min	max			
外部クロック入力パルス幅 Low レベル	tEXL	20	-	25	-	65	-	ns	図 23.5	
外部クロック入力パルス幅 High レベル	tEXH	20	-	25	-	65	-	ns		
外部クロック立ち上がり時間	tEXr	-	5	-	6.25	-	15	ns		
外部クロック立ち下がり時間	tEXf	-	5	-	6.25	-	15	ns		
クロックパルス幅 Low レベル	tCL	0.4	0.6	0.4	0.6	0.35	0.65	t <sub>cyc</sub>	φ	図 27.10
		-	-	80	-	70	-	ns	φ <	
クロックパルス幅 High レベル	tCH	0.4	0.6	0.4	0.6	0.35	0.65	t <sub>cyc</sub>	φ	
		-	-	80	-	70	-	ns	φ <	

表 23.4 外部クロック入力条件 (デューティ補正回路未使用) (1) (H8S/2258 グループ)

項目	記号	Vcc = 4.0 ~ 5.5V		単位	測定条件
		min	max		
外部クロック入力パルス幅 Low レベル	tEXL	37	-	ns	図 23.5
外部クロック入力パルス幅 High レベル	tEXH	37	-	ns	
外部クロック立ち上がり時間	tEXr	-	7	ns	
外部クロック立ち下がり時間	tEXf	-	7	ns	

【注】 デューティ補正回路を使用しない場合、入力波形に応じて最高動作周波数は低下します。

(例 : tEXL = tEXH = 37ns、tEXr = tEXf = 7ns の場合、クロックサイクル = 88ns、したがって最高動作周波数 = 11.3MHz)

## 23. クロック発振器

表 23.4 外部クロック入力条件（デューティ補正回路未使用）（2）（H8S/2238B、H8S/2236B）

項目	記号	F-ZTAT 版		マスク ROM 版		単位	測定条件
		Vcc = 3.0 ~ 5.5V		Vcc = 2.7 ~ 3.5V			
		min	max	min	max		
外部クロック入力パルス幅 Low レベル	tEXL	37	-	37	-	ns	図 23.5
外部クロック入力パルス幅 High レベル	tEXH	37	-	37	-	ns	
外部クロック立ち上がり時間	tEXr	-	7	-	7	ns	
外部クロック立ち下がり時間	tEXf	-	7	-	7	ns	

【注】 デューティ補正回路を使用しない場合、入力波形に応じて最高動作周波数は低下します。

（例：tEXL = tEXH = 37ns、tEXr = tEXf = 7ns の場合、クロックサイクル = 88ns、したがって最高動作周波数 = 11.3MHz）

表 23.4 外部クロック入力条件（デューティ補正回路未使用）（3）（H8S/2238R、H8S/2236R）

項目	記号	F-ZTAT 版		F-ZTAT 版 マスク ROM 版		単位	測定条件
		Vcc = 2.7 ~ 3.6V		Vcc = 2.2 ~ 3.6V			
		min	max	min	max		
外部クロック入力パルス幅 Low レベル	tEXL	37	-	80	-	ns	図 23.5
外部クロック入力パルス幅 High レベル	tEXH	37	-	80	-	ns	
外部クロック立ち上がり時間	tEXr	-	7	-	15	ns	
外部クロック立ち下がり時間	tEXf	-	7	-	15	ns	

【注】 デューティ補正回路を使用しない場合、入力波形に応じて最高動作周波数は低下します。

（例：tEXL = tEXH = 37ns、tEXr = tEXf = 7ns の場合、クロックサイクル = 88ns、したがって最高動作周波数 = 11.3MHz）

表 23.4 外部クロック入力条件（デューティ補正回路未使用）（4）  
（H8S/2237 グループ、H8S/2227 グループ）

項目	記号	F-ZTAT 版 マスク ROM 版		マスク ROM 版		ZTAT 版		単位	測定条件
		V <sub>CC</sub> = 2.7 ~ 3.6V		V <sub>CC</sub> = 2.2 ~ 3.6V		V <sub>CC</sub> = 2.7 ~ 3.6V			
		min	max	min	max	min	max		
外部クロック入力パルス幅 Low レベル	t <sub>EXL</sub>	37	-	80	-	50	-	ns	図 23.5
外部クロック入力パルス幅 High レベル	t <sub>EXH</sub>	37	-	80	-	50	-	ns	
外部クロック立ち上がり時間	t <sub>EXr</sub>	-	7	-	15	-	10	ns	
外部クロック立ち下がり時間	t <sub>EXf</sub>	-	7	-	15	-	10	ns	

【注】 デューティ補正回路を使用しない場合、入力波形に応じて最高動作同波数は低下します。

（例：t<sub>EXL</sub> = t<sub>EXH</sub> = 37ns、t<sub>EXr</sub> = t<sub>EXf</sub> = 7ns の場合、クロックサイクル = 88ns、したがって最高動作周波数 = 11.3MHz）

表 23.4 外部クロック入力条件（デューティ補正回路未使用）（5）（H8S/2239 グループ）

項目	記号	F-ZTAT 版 マスク ROM 版		F-ZTAT 版 マスク ROM 版		マスク ROM 版		単位	測定条件
		V <sub>CC</sub> = 3.0 ~ 3.6V		V <sub>CC</sub> = 2.7 ~ 3.6V		V <sub>CC</sub> = 2.2 ~ 3.6V			
		min	max	min	max	min	max		
外部クロック入力パルス幅 Low レベル	t <sub>EXL</sub>	25	-	31.25	-	80	-	ns	図 23.5
外部クロック入力パルス幅 High レベル	t <sub>EXH</sub>	25	-	31.25	-	80	-	ns	
外部クロック立ち上がり時間	t <sub>EXr</sub>	-	5	-	6.25	-	15	ns	
外部クロック立ち下がり時間	t <sub>EXf</sub>	-	5	-	6.25	-	15	ns	

【注】 デューティ補正回路を使用しない場合、入力波形に応じて最高動作同波数は低下します。

（例：t<sub>EXL</sub> = t<sub>EXH</sub> = 25ns、t<sub>EXr</sub> = t<sub>EXf</sub> = 5ns の場合、クロックサイクル = 60ns、したがって最高動作周波数 = 16.6MHz）

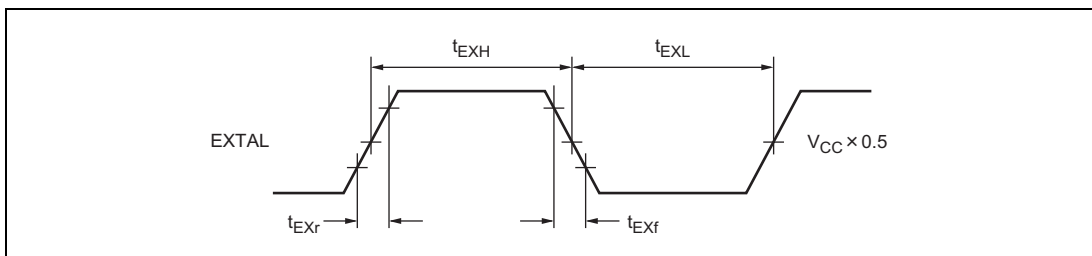


図 23.5 外部クロック入力タイミング

### 23.2.3 外部クロック切り替え時の注意事項

2種類以上の外部クロック（例：10MHzと2MHz）をシステムクロックとして使用し、入力クロックを切り替える場合は、ソフトウェアスタンバイモードで行ってください。

外部クロック切り替え回路例を図 23.6 に、外部クロック切り替えタイミング図を図 23.7 に示します。

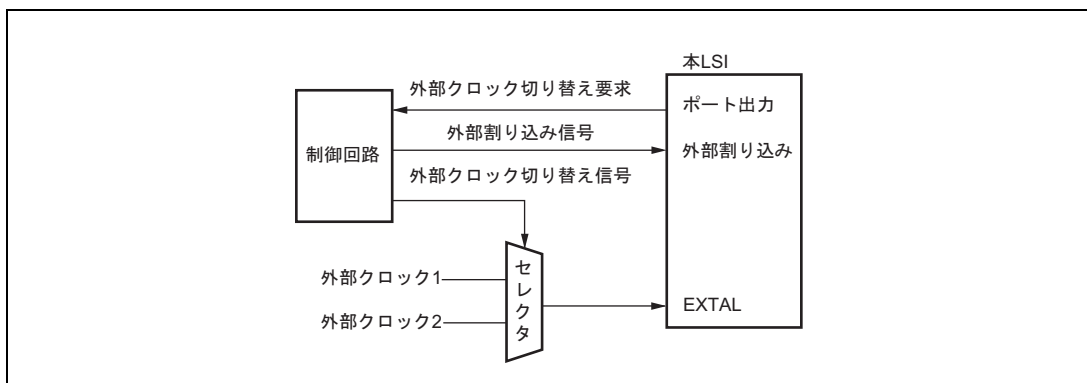


図 23.6 外部クロック切り替え回路例

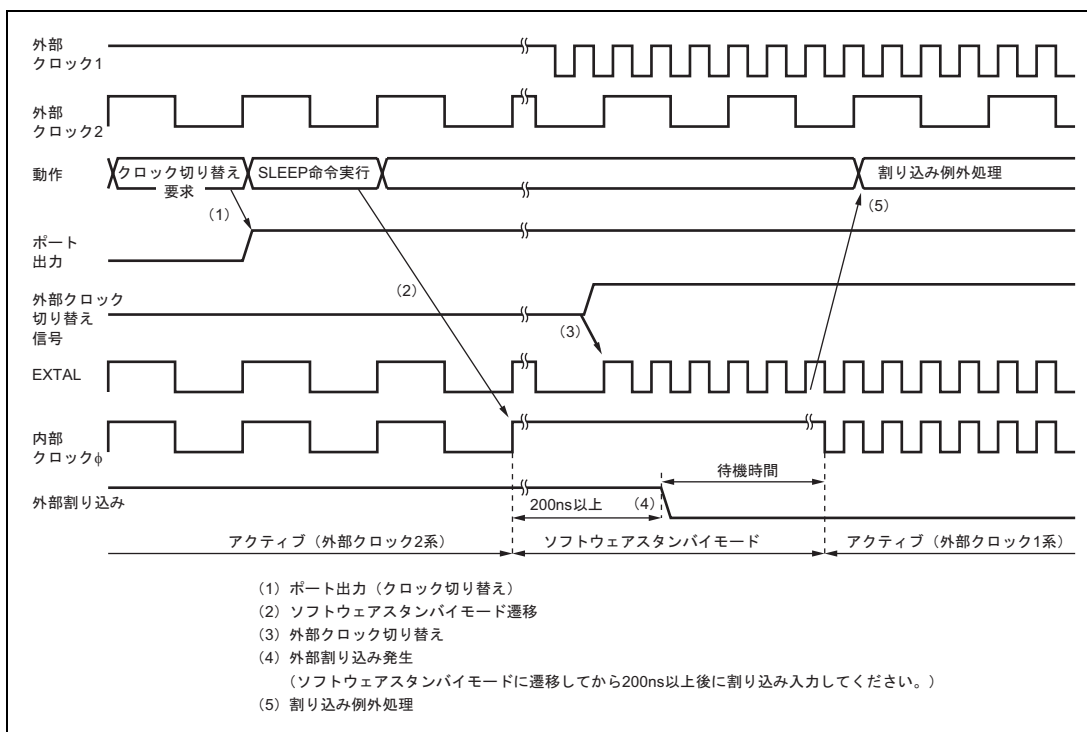


図 23.7 外部クロック切り替えタイミング例



### 23.3 デューティ補正回路

デューティ補正回路は発振周波数 5MHz 以上の場合有効になり、システムクロック発振器の出力するクロックのデューティを補正し、システムクロック ( $\phi$ ) を生成します。

### 23.4 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$  を生成します。

### 23.5 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SCKCR の SCK2 ~ SCK0 ビットによりシステムクロック ( $\phi$ )、または中速クロック ( $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ ) から選択します。

### 23.6 IEBus を使用する場合のシステムクロック

IEBus を使用する場合は、システムクロックは 12MHz、12.58MHz のいずれかを設定してください。

IEBus を使用しない場合は、10MHz ~ 13.5MHz の任意のシステムクロックを使用することができます。

【注】 IEBus は、H8S/2258 グループのみサポートしています。

### 23.7 サブクロック発振器

#### 23.7.1 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには図 23.8 に示すように 32.768kHz の水晶発振子を接続します。

図 23.9 に 32.768kHz 水晶発振子の等価回路を示します。

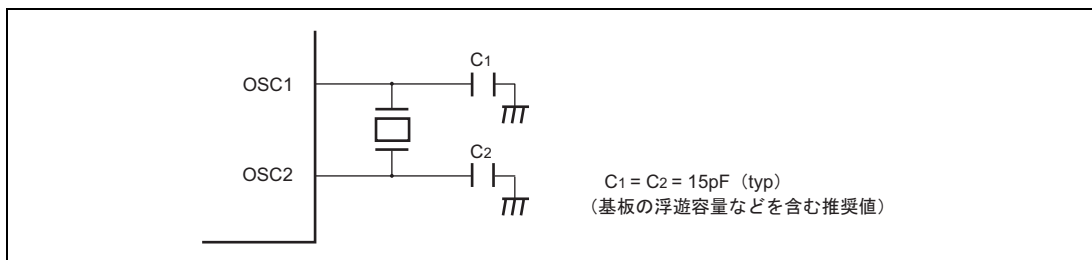


図 23.8 32.768kHz 水晶発振子の接続例

## 23. クロック発振器

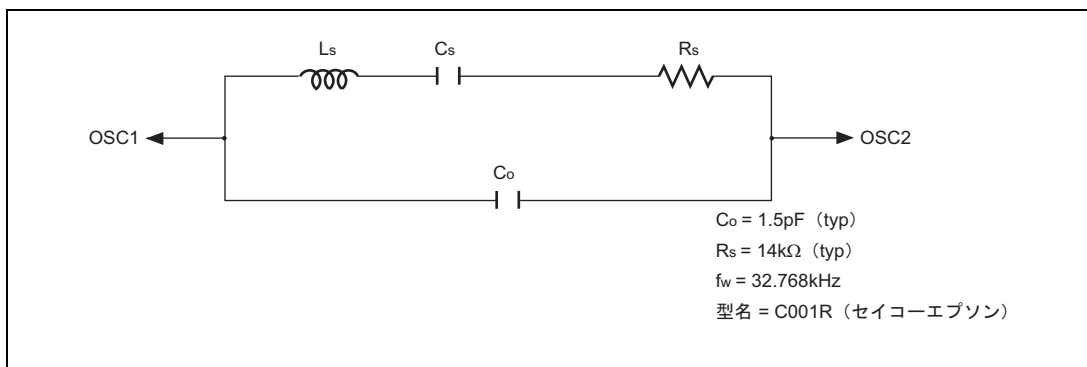


図 23.9 32.768kHz 水晶発振子の等価回路

### 23.7.2 サブクロックを使用しない場合の端子処理

サブクロックを必要としない場合には、図 23.10 に示すように OSC1 端子を  $V_{SS}$  に接続し、OSC2 端子をオープンとして、LPWRCR の SUBSTP ビットを必ず 1 に設定してください。設定しない場合には、低消費電力モードへの遷移が正常に行われなかったことがあります。なお、H8S/2237、H8S/2227 グループは OSC1 端子を  $V_{CC}$  に接続しても問題ありません。

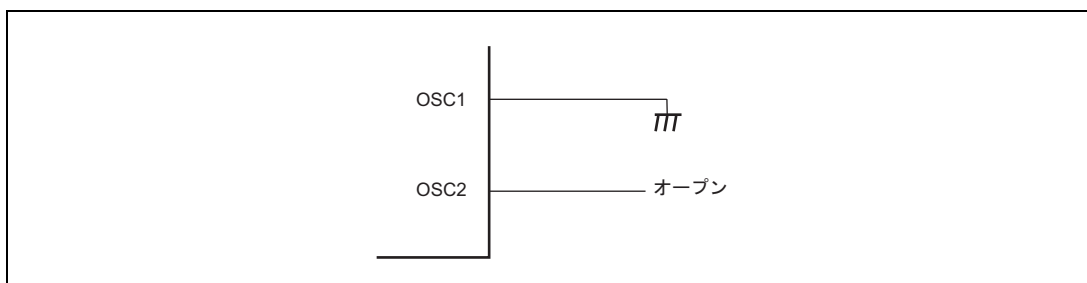


図 23.10 サブクロックを使用しない場合の端子処理

## 23.8 サブクロック波形成形回路

OSC1 端子から入力されたサブクロックのノイズ除去のため、 $\phi$ クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は「23.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

サブアクティブモード、サブスリープモード、およびウォッチモードではサンプリングされません。

## 23.9 使用上の注意事項

### 23.9.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談のうえ決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 23.9.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ EXTAL、XTAL、OSC1、OSC2 端子の近くに配置してください。配線は極力短かくしてください。図 23.11 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

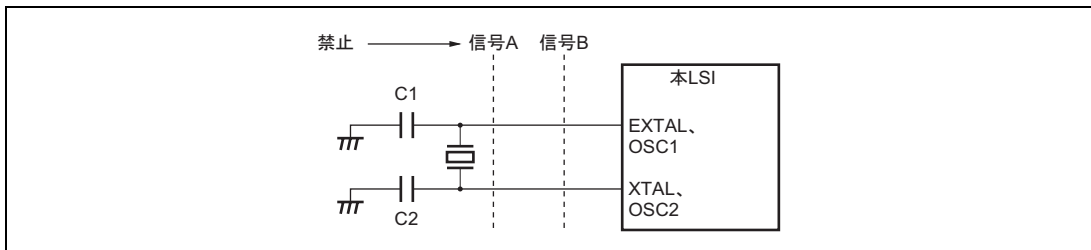


図 23.11 発振回路部のボード設計に関する注意事項



---

## 24. 低消費電力状態

---

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードのほか、

- 中速モード
- サブアクティブモード
- スリープモード
- サブスリープモード
- ウォッチモード
- モジュールストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。

スリープモード、サブスリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、サブアクティブモードは CPU とバスマスタ、内蔵周辺機能の状態、モジュールストップモードは内蔵周辺機能 (CPU 以外のバスマスタも含む) の状態です。

リセット後は、高速モードになっています。

表 24.1 に、各動作状態へ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を示します。

表 24.2 に、低消費電力モードの遷移条件を、図 24.1 にモード遷移図を示します。

## 24. 低消費電力状態

表 24.1 各モードでの本 LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止	
サブクロック 発振器		動作/ 停止	動作/ 停止	動作/ 停止	動作/ 停止	動作	動作	動作	動作/ 停止	停止	
CPU 動作	命令	動作	中速 動作	停止	動作	停止	サブ クロック 動作	停止	停止	停止	
	レジスタ			保持		保持		保持	保持	不定	
RAM		動作	動作	動作 (DTC)	動作	保持	動作	保持	保持	保持	
I/O		動作	動作	動作	動作	保持	動作	動作	保持	ハイインピ ーダンス	
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作	動作	
	IRQn										
周辺機能	PBC	動作	中速 動作	動作	動作/停止 (保持)	停止 (保持)	サブ クロック 動作	停止 (保持)	停止 (保持)	停止 (リセット)	
	DTC	動作	中速 動作	動作	動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)	
	DMAC* <sup>1</sup>										
	WDT_1	動作	動作	動作	動作	サブ クロック 動作	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)	
	WDT_0	動作	動作	動作	動作	停止 (保持)	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)	
	TMR	動作	動作	動作	動作/停止 (保持)	停止 (保持)	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)	
	TPU	動作	動作	動作	動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	SCI										
	I <sup>2</sup> C* <sup>2</sup>										
	D/A* <sup>3,5</sup>										
	A/D	動作	動作	動作	動作/停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
IEB* <sup>4</sup>											

【注】 停止 (保持) は、内部レジスタ値保持。内部状態は動作中断。

停止 (リセット) は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止 (リセットまたは保持)。

\*1 H8S/2239 グループのみです。

\*2 H8S/2237 グループ、H8S/2227 グループには I<sup>2</sup>C バスインタフェースはありません。

- \*3 H8S/2227 グループには D/A はありません。
- \*4 H8S/2258 グループのみです。
- \*5 D/A は停止（保持）の場合、アナログ出力値は規定の D/A 絶対精度を満足できません。ただし、H8S/2258 グループ、H8S/2238B、H8S/2236B は規定の D/A 絶対精度を満足します。

## 24. 低消費電力状態

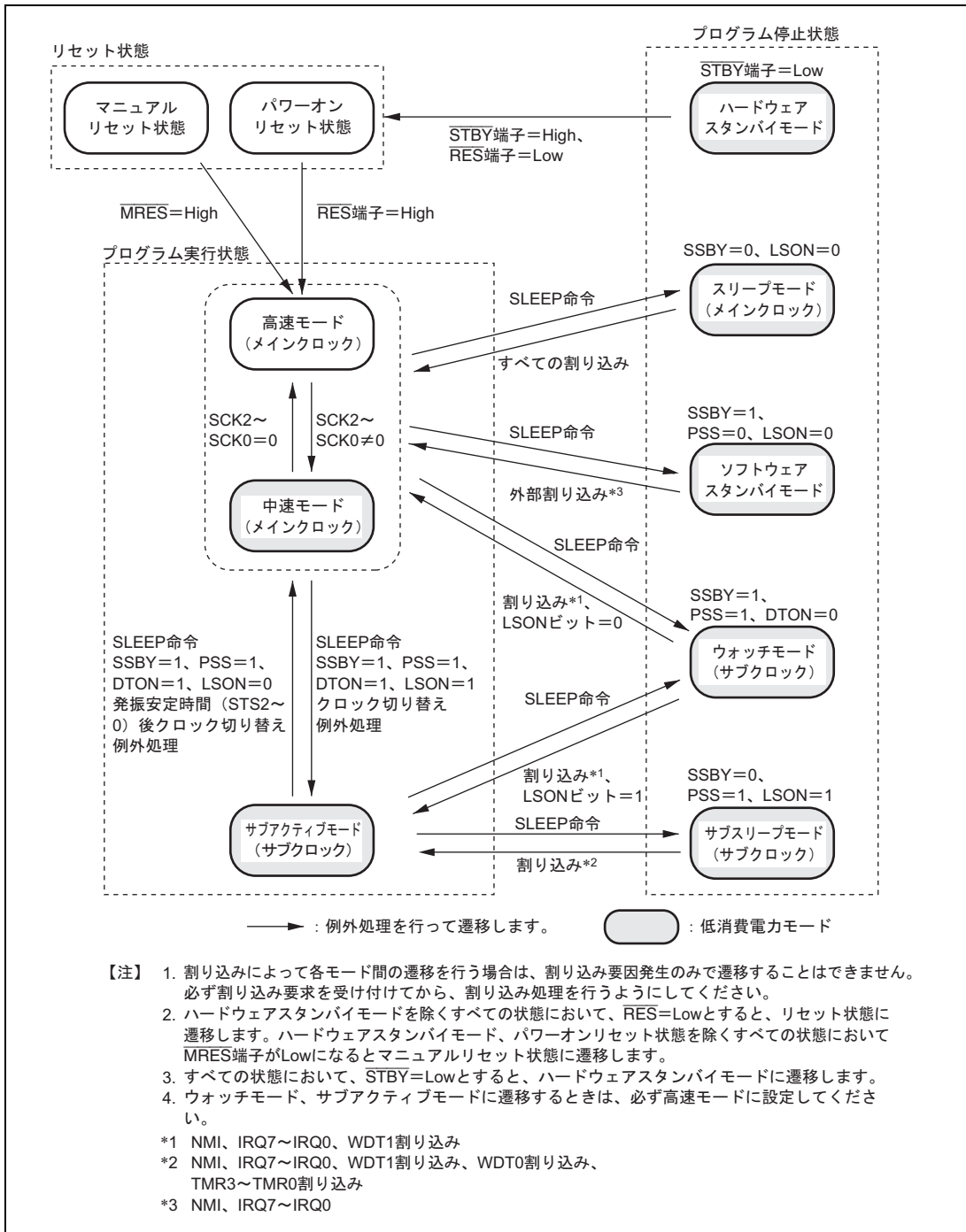


図 24.1 モード遷移図



表 24.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速 / 中速	0	*	0	*	スリープ	高速 / 中速
	0	*	1	*		
	1	0	0	*	ソフトウェアスタンバイ	高速 / 中速
	1	0	1	*		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1		
	1	1	1	1	サブアクティブ	
サブアクティブ	0	0	*	*		
	0	1	0	*		
	0	1	1	*	サブスリープ	サブアクティブ
	1	0	*	*		
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速	
	1	1	1	1		—

【記号説明】 : 設定しないでください

\* : Don't care

## 24.1 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「23.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

また、ローパワーコントロールレジスタ (LPWRCR) については「23.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。タイマコントロール / ステータスレジスタ (TCSR\_1) については「13.3.2 タイマコントロール / ステータスレジスタ (TCSR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)
- ローパワーコントロールレジスタ (LPWRCR)
- システムクロックコントロールレジスタ (SCKCR)
- タイマコントロール / ステータスレジスタ (TCSR\_1)

## 24. 低消費電力状態

### 24.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。  0: 高速モード、中速モードで SLEEP 命令実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令実行後、サブスリープモードに遷移 1: 高速モード、中速モードで SLEEP 命令実行後、ソフトウェアスタンバイ モード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令実行後、ウォッチモード、あるいは 高速モードに遷移  なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常 動作に遷移したときは 1 にセットされたまま値が変わりません。クリアする場 合は 0 をライトしてください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0  外部割り込みによってソフトウェアスタンバイモード、ウォッチモード、サブ アクティブモードを解除する場合に、クロックが安定するまで MCU が待機す る時間を選択します。水晶発振の場合、表 24.3、表 27.5、表 27.17、表 27.30、 表 27.42、表 27.53 を参照し、動作周波数に応じて待機時間が $t_{osc2ms}$ (発振安 定時間) 以上となるように選択してください。外部クロックの場合、任意の選 択が可能です。  000: 待機時間 = 8192 ステート 001: 待機時間 = 16384 ステート 010: 待機時間 = 32768 ステート 011: 待機時間 = 65536 ステート 100: 待機時間 = 131072 ステート 101: 待機時間 = 262144 ステート 110: リザーブ 111: 待機時間 = 16 ステート*
5	STS1	0	R/W	
4	STS0	0	R/W	
3	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレ スバス、バス制御信号 ( $\overline{CS7} \sim \overline{CS0}$ 、 $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ ) の出力を保持す るか、ハイインピーダンスにするかを指定します。  0: ハイインピーダンス 1: 出力状態を保持
2~0		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

【注】 \* F-ZTAT 版では、16 ステートは使用できません。8192 ステート以上を使用してください。

## 24.1.2 モジュールストップコントロールレジスタ A~C (MSTPCRA~MSTPCRC)

MSTPCR は、モジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

## • MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPA7	0	R/W	DMA コントローラ (DMAC) *2
6	MSTPA6	0	R/W	データ転送コントローラ (DTC)
5	MSTPA5	1	R/W	16 ビットタイムパルスユニット (TPU)
4	MSTPA4	1	R/W	8 ビットタイマ (TMR_0、TMR_1)
3	MSTPA3*1	1	R/W	
2	MSTPA2*1	1	R/W	
1	MSTPA1	1	R/W	A/D 変換器
0	MSTPA0	1	R/W	8 ビットタイマ (TMR_2*3、TMR_3*3)

## • MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPB7	1	R/W	シリアルコミュニケーションインタフェース 0 (SCI_0)
6	MSTPB6	1	R/W	シリアルコミュニケーションインタフェース 1 (SCI_1)
5	MSTPB5	1	R/W	シリアルコミュニケーションインタフェース 2 (SCI_2) *4
4	MSTPB4	1	R/W	I <sup>2</sup> C バスインタフェース 0 (IIC_0) (オプション) *3
3	MSTPB3	1	R/W	I <sup>2</sup> C バスインタフェース 1 (IIC_1) (オプション) *3
2	MSTPB2*1	1	R/W	
1	MSTPB1*1	1	R/W	
0	MSTPB0*1	1	R/W	

## • MSTPCRC

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPC7	1	R/W	シリアルコミュニケーションインタフェース 3 (SCI_3)
6	MSTPC6*1	1	R/W	
5	MSTPC5	1	R/W	D/A 変換器*4
4	MSTPC4	1	R/W	PC ブレークコントローラ (PBC)
3	MSTPC3	1	R/W	IEBus コントローラ (IEB) *5
2	MSTPC2*1	1	R/W	
1	MSTPC1*1	1	R/W	
0	MSTPC0*1	1	R/W	

【注】 \*1 MSTPA3、MSTPA2、MSTPB5、MSTPB2~MSTPB0、MSTPC6、MSTPC2~MSTPC0 はリード/ライト可、初期値は 1 です。ライト時は常に 1 としてください。

## 24. 低消費電力状態

\*2 H8S/2239 グループのみです。

\*3 H8S/2237 グループ、H8S/2227 グループにはありません。

\*4 H8S/2227 グループにはありません。

\*5 H8S/2258 グループのみです。

### 24.2 中速モード

SCKCR の SCK2 ~ SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は SCK2 ~ SCK0 ビットで指定した動作クロック ( $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ ) で動作します。CPU 以外のバスマスタ (DMAC\*、DTC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック ( $\phi$ ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして  $\phi/4$  を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2 ~ SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビットと LPWRCR の LSON ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビットを 1 にセット、LSON ビットと TCSR\_1 (WDT\_1) の PSS ビットを 0 にクリアした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

RES 端子、MRES 端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバーフローによるリセットによっても同様です。

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 24.2 に示します。

【注】 \* H8S/2239 グループのみです。

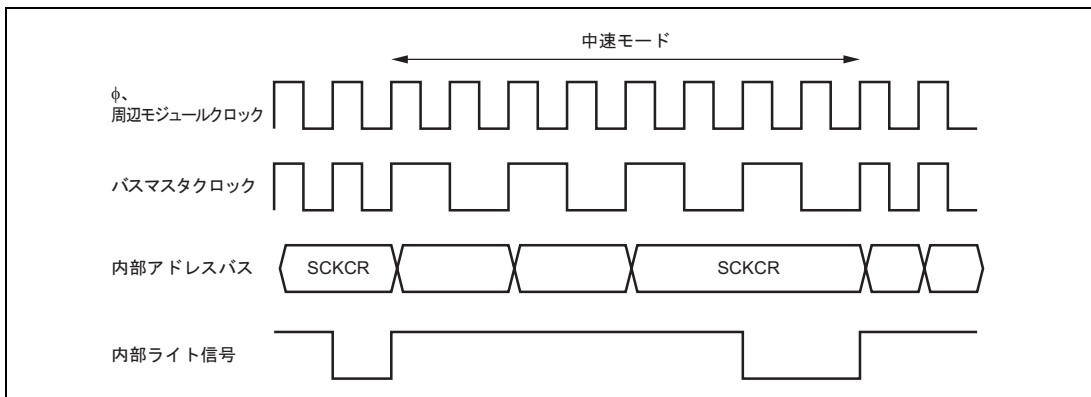


図 24.2 中速モードの遷移・解除タイミング

## 24.3 スリープモード

### 24.3.1 スリープモードへの遷移

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されません。CPU 以外の周辺機能は停止しません。

### 24.3.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$  端子、 $\overline{\text{MRES}}$  端子、または  $\overline{\text{STBY}}$  端子によって行われません。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

### 24.4 ソフトウェアスタンバイモード

#### 24.4.1 ソフトウェアスタンバイモードへの遷移

SBYCRのSSBYビットを1にセット、LPWRCRのLSONビットとTCSR\_1(WDT\_1)のPSSを0クリアした状態でSLEEP命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、およびシステムクロック発振器の機能が停止します。ただし、CPUの内部レジスタの内容と内蔵RAMのデータ、SCIおよびA/D変換器を除く内蔵周辺機能と、I/Oポートの状態は保持されます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

#### 24.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み(NMI端子、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ )、 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

NMI、IRQ7～IRQ0割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS2～STS0ビットによって設定された時間が経過したあと、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ7～IRQ0割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビット/端子機能切り替えビットを1にセットし、かつIRQ7～IRQ0割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU側でマスクした場合、またはDTCの起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

- $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子による解除

$\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

### 24.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

- 水晶発振の場合

待機時間が  $t_{osc2ms}$  (発振安定時間) 以上となるように STS2 ~ STS0 ビットを設定してください。

表24.3に、動作周波数と STS2 ~ STS0 ビットの設定に対する待機時間を示します。


- 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します。

【注】 F-ZTAT 版では待機時間 16 ステートは使用できません。8192 ステート以上を使用してください。

表 24.3 発振安定時間の設定

STS2	STS1	STS0	待機時間	20MHz* <sup>1</sup>	16MHz* <sup>1</sup>	13MHz	10MHz	8MHz* <sup>2</sup>	6MHz* <sup>2</sup>	4MHz* <sup>2</sup>	2MHz* <sup>2</sup>	単位
0	0	0	8192 ステート	0.41	0.51	0.6	0.8	1.0	1.4	2.0	4.1	ms
		1	16384 ステート	0.82	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
	1	0	32768 ステート	1.6	2.0	2.5	3.3	4.1	5.5	8.2	16.4	
		1	65536 ステート	3.3	4.1	5.0	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	6.6	8.2	10.1	13.1	16.4	21.8	32.8	65.5	μs
		1	262144 ステート	13.1	16.4	20.2	26.2	32.8	43.7	65.5	131.1	
	1	0	リザーブ	-	-	-	-	-	-	-	-	
		1	16 ステート	0.8	1.0	1.2	1.6	2.0	2.7	4.0	8.0	

 : 推奨設定時間

【注】 \*1 H8S/2239 グループのみです。

\*2 H8S/2258 グループは動作範囲外です。

## 24.4.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 24.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けたあと、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットしたあと、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

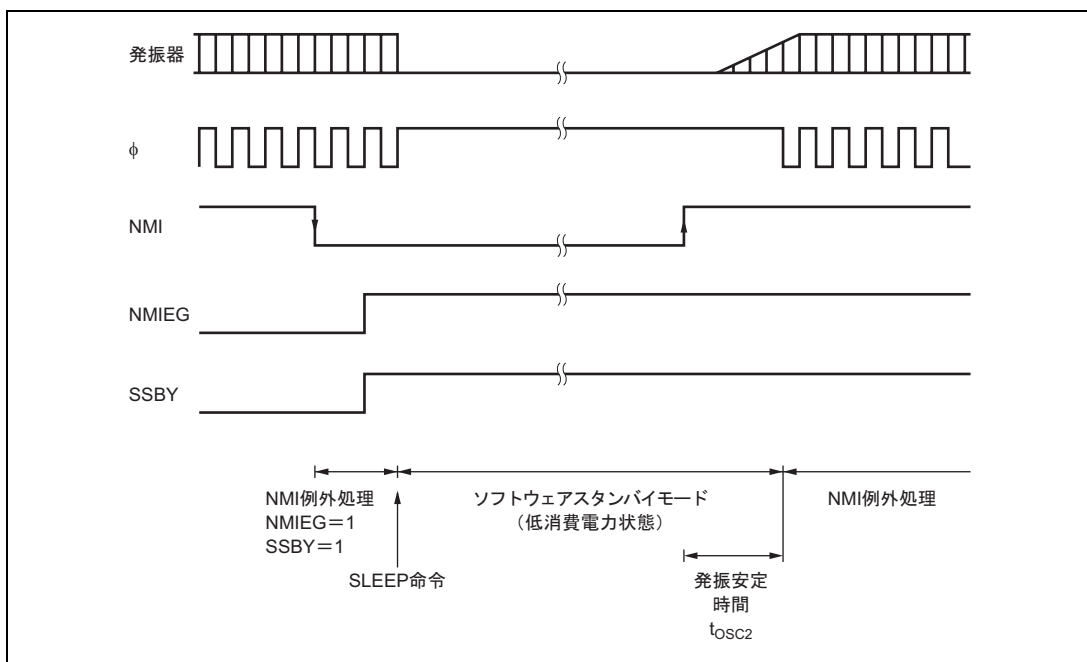


図 24.3 ソフトウェアスタンバイモードの応用例



## 24.5 ハードウェアスタンバイモード

### 24.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$  端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

### 24.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$  端子と  $\overline{\text{RES}}$  端子によって行われます。 $\overline{\text{RES}}$  端子を Low レベルにした状態で、 $\overline{\text{STBY}}$  端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間  $t_{\text{osc1}}$  以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

### 24.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 24.4 に示します。

$\overline{\text{RES}}$  端子を Low レベルにしたあと、 $\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$  端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$  端子を Low レベルから High レベルにすることにより行われます。

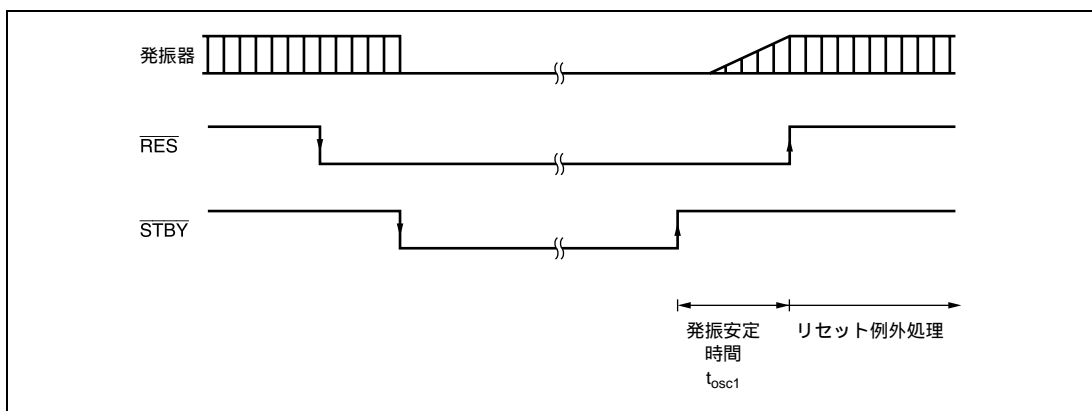


図 24.4 ハードウェアスタンバイモードのタイミング

### 24.6 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI および A/D 変換器を除くモジュールの内部状態が保持されています。

リセット解除後は、DMAC\*、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

また、全モジュールストップ (MSTPCR=H'FFFFFFF) の状態でスリープモードに遷移すると、バスコントローラと I/O ポートも動作を停止しますので、さらに消費電流を低減することができます。

【注】 \* H8S/2239 グループのみです。

### 24.7 ウォッチモード

#### 24.7.1 ウォッチモードへの遷移

高速あるいはサブアクティブモードにおいて、SBYCR の SSBY ビット = 1、LPWRCR の DTON ビット = 0、TCSR\_1(WDT\_1) の PSS ビット = 1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、WDT\_1 以外の周辺機能およびシステムクロック発振器も動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能 (SCI および A/D 変換器を除く) と I/O ポートの状態は保持されます。ウォッチモードに遷移する場合は、SCKCR の SCK2 ~ SCK0 の各ビットを必ず 0 にしてください。

#### 24.7.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み (WOVL\_1 割り込み、NMI 端子、 $\overline{IRQ7} \sim \overline{IRQ0}$ )、 $\overline{RES}$  端子、 $\overline{MRES}$  端子、または  $\overline{STBY}$  端子によって行われます。

- 割り込みによる解除

割り込みが発生するとウォッチモードは解除され、LPWRCR の LSON ビット = 0 のときは高速モードあるいは中速モードに、LSON ビット = 1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2 ~ STS0 により設定された時間が経過したあと、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ7 ~ IRQ0 割り込みについては対応するイネーブルビット / 端子機能切り替えビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、「24.4.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

- $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子による解除  
 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子による解除については、「24.4.2 ソフトウェアスタンバイモードの解除」を参照してください。
- $\overline{\text{STBY}}$ 端子による解除  
 $\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

## 24.8 サブスリープモード

### 24.8.1 サブスリープモードへの遷移

サブアクティブモードにおいて、SBYCRのSSBYビット=0、LPWRCRのLSONビット=1、TCSR\_1(WDT\_1)のPSSビット=1の状態ではSLEEP命令を実行すると、CPUはサブスリープモードに遷移します。

サブスリープモード時、CPUは動作を停止します。また、TMR\_0~TMR\_3、WDT\_0、WDT\_1以外の周辺機能およびシステムクロック発振器は動作を停止します。CPUの内部レジスタの内容RAMのデータ、および内蔵周辺機能（SCIおよびA/D変換器を除く）とI/Oポートの状態は保持されます。

### 24.8.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み（内蔵周辺機能からの割り込み、NMI端子、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ ）、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除  
割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。  
なお、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 割り込みについては、対応するイネーブルビット/端子機能切り替えビットが0にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、またはCPUでマスクされている場合には、サブスリープモードは解除されません。
- $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子による解除  
 $\overline{\text{RES}}$ 端子、 $\overline{\text{MRES}}$ 端子による解除については、「24.4.2 ソフトウェアスタンバイモードの解除」を参照してください。
- $\overline{\text{STBY}}$ 端子による解除  
 $\overline{\text{STBY}}$ 端子、 $\overline{\text{MRES}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

### 24.9 サブアクティブモード

#### 24.9.1 サブアクティブモードへの遷移

高速モードにおいて、SBYCRのSSBYビット=1、LPWRCRのDTONビット=1、LSONビット=1、TCSR\_1(WDT\_1)のPSSビット=1の状態ではSLEEP命令を実行すると、CPUはサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCRのLSONビット=1の状態であれば、サブアクティブモードに遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPUはサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、PBC、TMR\_0~TMR\_3、WDT\_0、WDT\_1以外の周辺機能およびシステムクロック発振器は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SCKCRのSCK2~SCK0の各ビットを必ず0としてください。

#### 24.9.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP命令、RES端子、MRES端子またはSTBY端子によって行われます。

- SLEEP命令による解除

SBYCRのSSBYビット=1、LPWRCRのDTONビット=0、TCSR\_1(WDT\_1)のPSSビット=1の状態ではSLEEP命令を実行すると、ウォッチモードに遷移します。また、SBYCRのSSBYビット=0、LPWRCRのLSONビット=1、TCSR(WDT\_1)のPSSビット=1の状態ではSLEEP命令を実行するとサブスリープモードに遷移します。また、SBYCRのSSBYビット=1、LPWRCRのDTONビット=1、LSONビット=0、TCSR\_1(WDT\_1)のPSSビット=1の状態ではSLEEP命令を実行すると、高速モード(SCK2~SCK0がすべて0)に直接遷移します。

- RES端子、MRES端子による解除

RES端子、MRES端子による解除については、「24.4.2 ソフトウェアスタンバイモードの解除」を参照してください。

- STBY端子による解除

STBY端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

## 24.10 直接遷移

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの3つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移とよびます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。

### 24.10.1 高速モードからサブアクティブモードへの直接遷移

高速モードで SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 1、DTON ビット = 1、TSCR\_1(WDT\_1) の PSS ビット = 1 にセットした状態で SLEEP 命令を実行するとサブアクティブモードに遷移します。

### 24.10.2 サブアクティブモードから高速モードへの直接遷移

サブアクティブモードで SBYCR の SSBY ビット = 1、LPWRCR の LSON ビット = 0、DTON ビット = 1、TSCR\_1(WDT\_1) の PSS ビット = 1 の状態で SLEEP 命令を実行すると、SBYCR の STS2 ~ STS0 により設定された時間を経過したあと、直接高速モードに遷移します。

## 24.11 $\phi$ クロック出力禁止機能

SCKCRのP STOPビット、対応するポートのDDRにより、 $\phi$ クロックの出力を制御することができます。PSTOPビットを1にセットすると、バスサイクルの終了時点で $\phi$ クロックは停止し、 $\phi$ 出力はHighレベルになります。PSTOPを0にクリアした状態では、 $\phi$ クロック出力は許可されます。また、対応するポートのDDRを0にクリアすると、 $\phi$ クロック出力は禁止され、入力ポートになります。表24.4に各処理状態における $\phi$ 端子の状態を示します。

表 24.4 各処理状態における $\phi$ 端子の状態

DDR	0	1	1
PSTOP	-	0	1
ハードウェアスタンバイモード	ハインピーダンス		
ソフトウェアスタンバイモード、 ウォッチモード、 直接遷移	ハインピーダンス	High 固定	
スリープモード、 サブスリープモード	ハインピーダンス	$\phi$ 出力	High 固定
高速モード、 中速モード、 サブアクティブモード	ハインピーダンス	$\phi$ 出力	High 固定

## 24.12 使用上の注意事項

### 24.12.1 I/Oポートの状態

ソフトウェアスタンバイモードおよびウォッチモードでは、I/Oポートの状態が保持されます。したがって、Highレベルを出力している場合、出力電流分の消費電流は低減されません。

### 24.12.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

### 24.12.3 DTC、DMAC\*のモジュールストップ

DTC、DMAC\*の動作状態によっては、MSTPA6ビット、MSTPA7ビットは1にセットされない場合があります。DTC、DMAC\*のモジュールストップモードの設定は、起動されない状態で行ってください。

詳細は「第8章 DMAコントローラ(DMAC)」および「第9章 データトランスファコントローラ(DTC)」を参照してください。

【注】 \* H8S/2239グループのみです。

## 24.12.4 内蔵周辺モジュールの割り込み

- モジュールストップモード

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC\*<sup>1</sup>、DTC の起動要因のクリアができません。

事前に各モジュールの割り込みをディスエーブルにしたあと、モジュールストップモードとしてください。

- サブアクティブモード/ウォッチモード

サブアクティブモードで動作停止する内蔵周辺モジュール (DMAC\*<sup>1</sup>、DTC、TPU、IIC\*<sup>2</sup>) は、当該割り込みをサブアクティブモードでクリアできません。したがって、割り込みが要求された状態でサブアクティブモードに遷移すると、CPU の割り込み要因のクリアができません。

事前に各モジュールの割り込みをディスエーブルにしたあと、SLEEP 命令を実行しサブアクティブモード/ウォッチモードに遷移してください。

【注】 \*1 H8S/2239 グループのみです。

\*2 H8S/2237 グループ、H8S/2227 グループにはありません。

## 24.12.5 MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

## 24.12.6 サブアクティブモード/ウォッチモード遷移と DMAC\*、DTC のモジュールストップ

サブアクティブモード、ウォッチモードに遷移する場合は、DMAC\*、DTC をモジュールストップ (MSTPA6 ビットおよび MSTPA7 ビットに 1 ライト) 設定し、MSTPA6 ビットおよび MSTPA7 ビットの 1 リード確認後、モード遷移してください。サブアクティブモードからアクティブモードに遷移後、モジュールストップ解除してください。

なお、サブアクティブモード中に DMAC\*起動要因もしくは DTC 起動要因が発生した場合、アクティブモードに遷移後モジュールストップ解除時に DMAC\*もしくは DTC が起動されます。

【注】 \* H8S/2239 グループのみです。





## 25. 電源回路

### 25.1 概要

H8S/2258 グループ、H8S/2238B、および H8S/2236B には内部電源降圧回路が内蔵されています。この回路を使用することにより、外部  $V_{CC}$  端子に接続された電源電圧に依存することなく、内部電源電圧を約 3.0V 一定にすることができます。このため、外部電源を 3.0V 以上で使用した場合に消費される電流値は、約 3.0V で使用した場合とほぼ同一の低電流に抑えることができます。外部電源が 3.0V 以下の場合、内部電圧は外部電圧とほぼ同一となります。

H8S/2239 グループ、H8S/2238R、H8S/2236R、H8S/2237 グループ、H8S/2227 グループは内部電源降圧回路を内蔵していません。 $V_{CC}$  端子と  $CV_{CC}$  端子に外部電源を接続してください。

### 25.2 H8S/2258 グループ、H8S/2238B、H8S/2236B (内部電源降圧回路内蔵) の電源接続

図 25.1 に示すように、 $V_{CC}$  端子に外部電源を接続し、 $CV_{CC}$  と  $V_{SS}$  間に約 0.1 $\mu$ F の容量を接続してください。この外部回路を付加するだけで内部降圧回路が有効になります。 $CV_{CC}$  端子に絶対最大定格値 4.3V を超える電源を印加した場合、LSI の永久破壊となることがありますので、 $CV_{CC}$  端子には電源を接続しないでください。

- 【注】
1. 外部回路のインタフェースは  $V_{CC}$  に接続されている外部電源電圧と  $V_{SS}$  に接続されている GND 電位が基準となります。たとえば、ポートの入出力レベルは“H”が  $V_{CC}$  レベル基準、“L”が  $V_{SS}$  レベル基準となります。
  2. A/D 変換器、D/A 変換器のアナログ電源は内部降圧の影響は受けません。

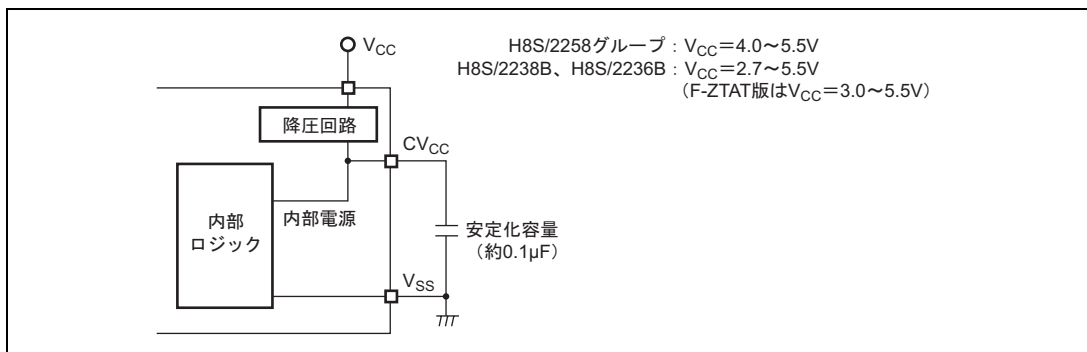


図 25.1 H8S/2258 グループ、H8S/2238B、H8S/2236B (内部電源降圧回路内蔵) の電源接続図

### 25.3 H8S/2239 グループ、H8S/2238R、H8S/2236R、H8S/2237 グループ、H8S/2227 グループ (内部電源降圧回路なし) の電源接続

H8S/2239 グループ、H8S/2238R、H8S/2236R、H8S/2237 グループ、H8S/2227 グループは内部電源降圧回路を内蔵していません。図 25.2 に示すように、 $V_{CC}$  端子と  $CV_{CC}$  端子に外部電源を接続してください。直接外部電源が内部電源に入力されます。

【注】 使用可能な電源電圧は 2.2~3.6V (F-ZTAT 版は 2.7~3.6V) です。この範囲外 (2.2V 未満、3.6V 以上) の電源を入力した場合の動作は保証されません。

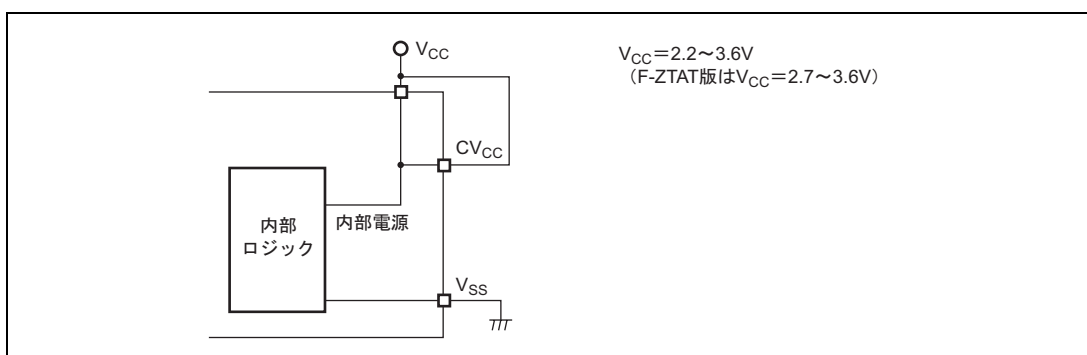


図 25.2 H8S/2239 グループ、H8S/2238R、H8S/2236R、H8S/2237 グループ、H8S/2227 グループ (内部電源降圧回路なし) の電源接続図

### 25.4 バイパスコンデンサについての注意

できるだけ  $V_{SS}$  と  $V_{CC}$  のペアごとに 0.01~0.1 ( $\mu F$ ) の積層セラミックコンデンサをパスコンとして入れてください。

パスコンはできるだけ LSI の電源端子の近くの実装してください。

容量値だけでなく、周波数特性は LSI の動作周波数に合った特性を持つものを使用してください。

---

## 26. レジスタ一覧

---

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

### 1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

### 2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。

### 3. 各動作モード別レジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

## 26. レジスタ一覧

### 26.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データバス幅	アクセスステート数
DTC モードレジスタ A	MRA	8	H'EBC0 -	DTC	16/32*2	2
DTC モードレジスタ B	MRB	8	H'EFBF	DTC	16/32*2	2
DTC ソースアドレスレジスタ	SAR	24		DTC	16/32*2	2
DTC デスティネーションアドレスレジスタ	DAR	24		DTC	16/32*2	2
DTC 転送カウントレジスタ A	CRA	16		DTC	16/32*2	2
DTC 転送カウントレジスタ B	CRB	16		DTC	16/32*2	2
IEBus コントロールレジスタ	IECTR	8	H'F800 -	IEB	8	2
IEBus コマンドレジスタ	IECMR	8	H'F816	IEB	8	2
IEBus マスタコントロールレジスタ	IEMCR	8		IEB	8	2
IEBus 自局アドレスレジスタ 1	IEAR1	8		IEB	8	2
IEBus 自局アドレスレジスタ 2	IEAR2	8		IEB	8	2
IEBus スレーブアドレス設定レジスタ 1	IESA1	8		IEB	8	2
IEBus スレーブアドレス設定レジスタ 2	IESA2	8		IEB	8	2
IEBus 送信電文長レジスタ	IETBFL	8		IEB	8	2
IEBus 送信バッファレジスタ	IETBR	8		IEB	8	2
IEBus 受信マスタアドレスレジスタ 1	IEMA1	8		IEB	8	2
IEBus 受信マスタアドレスレジスタ 2	IEMA2	8		IEB	8	2
IEBus 受信コントロールフィールドレジスタ	IERCTL	8		IEB	8	2
IEBus 受信電文長レジスタ	IERBFL	8		IEB	8	2
IEBus バッファレジスタ	IERBR	8		IEB	8	2
IEBus ロックアドレスレジスタ 1	IELA1	8		IEB	8	2
IEBus ロックアドレスレジスタ 2	IELA2	8		IEB	8	2
IEBus ゼネラルフラグレジスタ	IEFLG	8		IEB	8	2
IEBus 送信 / 暴走ステータスレジスタ	IETSR	8		IEB	8	2
IEBus 送信 / 暴走割り込み許可レジスタ	IEIET	8		IEB	8	2
IEBus 送信エラーフラグレジスタ	IETEF	8		IEB	8	2
IEBus 受信ステータスレジスタ	IERSR	8		IEB	8	2
IEBus 受信割り込み許可レジスタ	IEIER	8		IEB	8	2
IEBus 受信エラーフラグレジスタ	IEREF	8		IEB	8	2

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
D/A データレジスタ_0	DADR_0	8	H'FDAC	D/A 変換器	8	2
D/A データレジスタ_1	DADR_1	8	H'FDAD	D/A 変換器	8	2
D/A コントロールレジスタ	DACR	8	H'FDAE	D/A 変換器	8	2
シリアルコントロールレジスタ X	SCRX	8	H'FDB4	IIC、FLASH	8	2
DDC スイッチレジスタ	DDCSWR	8	H'FDB5	IIC	8	2
タイマコントロールレジスタ_2	TCR_2	8	H'FDC0	TMR_2	8	2
タイマコントロールレジスタ_3	TCR_3	8	H'FDC1	TMR_3	8	2
タイマコントロール / ステータスレジスタ_2	TCSR_2	8	H'FDC2	TMR_2	8	2
タイマコントロール / ステータスレジスタ_3	TCSR_3	8	H'FDC3	TMR_3	8	2
タイムコンスタントレジスタ A_2	TCORA_2	8	H'FDC4	TMR_2	8/16	2
タイムコンスタントレジスタ A_3	TCORA_3	8	H'FDC5	TMR_3	8/16	2
タイムコンスタントレジスタ B_2	TCORB_2	8	H'FDC6	TMR_2	8/16	2
タイムコンスタントレジスタ B_3	TCORB_3	8	H'FDC7	TMR_3	8/16	2
タイマカウンタ_2	TCNT_2	8	H'FDC8	TMR_2	8/16	2
タイマカウンタ_3	TCNT_3	8	H'FDC9	TMR_3	8/16	2
シリアルモードレジスタ_3	SMR_3	8	H'FDD0	SCI_3	8	2
ビットレートレジスタ_3	BRR_3	8	H'FDD1	SCI_3	8	2
シリアルコントロールレジスタ_3	SCR_3	8	H'FDD2	SCI_3	8	2
トランスミットデータレジスタ_3	TDR_3	8	H'FDD3	SCI_3	8	2
シリアルステータスレジスタ_3	SSR_3	8	H'FDD4	SCI_3	8	2
レシーブデータレジスタ_3	RDR_3	8	H'FDD5	SCI_3	8	2
スマートカードモードレジスタ_3	SCMR_3	8	H'FDD6	SCI_3	8	2
スタンバイコントロールレジスタ	SBYCR	8	H'FDE4	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FDE5	SYSTEM	8	2
システムクロックコントロールレジスタ	SCKCR	8	H'FDE6	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FDE7	SYSTEM	8	2
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FDE8	SYSTEM	8	2
モジュールストップコントロールレジスタ B	MSTPCRB	8	H'FDE9	SYSTEM	8	2
モジュールストップコントロールレジスタ C	MSTPCRC	8	H'FDEA	SYSTEM	8	2
端子機能コントロールレジスタ	PFCR	8	H'FDEB	BSC	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FDEC	SYSTEM	8	2
シリアル拡張モードレジスタ_0	SEMR_0	8	H'FDF8	SCI_0	8	2
ブ레이크アドレスレジスタ A	BARA	32	H'FE00	PBC	8/16	2
ブ레이크アドレスレジスタ B	BARB	32	H'FE04	PBC	8/16	2

## 26. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
ブレークコントロールレジスタ A	BCRA	8	H'FE08	PBC	8/16	2
ブレークコントロールレジスタ B	BCRB	8	H'FE09	PBC	8/16	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FE12	INT	8	2
IRQ センスコントロールレジスタ L	ISCR L	8	H'FE13	INT	8	2
IRQ イネーブルレジスタ	IER	8	H'FE14	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FE15	INT	8	2
DTC イネーブルレジスタ A	DTCERA	8	H'FE16	DTC	8	2
DTC イネーブルレジスタ B	DTCERB	8	H'FE17	DTC	8	2
DTC イネーブルレジスタ C	DTCERC	8	H'FE18	DTC	8	2
DTC イネーブルレジスタ D	DTCERD	8	H'FE19	DTC	8	2
DTC イネーブルレジスタ E	DTCERE	8	H'FE1A	DTC	8	2
DTC イネーブルレジスタ F	DTCERF	8	H'FE1B	DTC	8	2
DTC イネーブルレジスタ I	DTCERI	8	H'FE1E	DTC	8	2
DTC ベクタレジスタ	DTVECR	8	H'FE1F	DTC	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FE30	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FE32	PORT	8	2
ポート 7 データディレクションレジスタ	P7DDR	8	H'FE36	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FE39	PORT	8	2
ポート B データディレクションレジスタ	PBDDR	8	H'FE3A	PORT	8	2
ポート C データディレクションレジスタ	PCDDR	8	H'FE3B	PORT	8	2
ポート D データディレクションレジスタ	PDDDR	8	H'FE3C	PORT	8	2
ポート E データディレクションレジスタ	PEDDR	8	H'FE3D	PORT	8	2
ポート F データディレクションレジスタ	PFDDR	8	H'FE3E	PORT	8	2
ポート G データディレクションレジスタ	PGDDR	8	H'FE3F	PORT	8	2
ポート A ブルアップ MOS コントロールレジスタ	PAPCR	8	H'FE40	PORT	8	2
ポート B ブルアップ MOS コントロールレジスタ	PBPCR	8	H'FE41	PORT	8	2
ポート C ブルアップ MOS コントロールレジスタ	PCPCR	8	H'FE42	PORT	8	2
ポート D ブルアップ MOS コントロールレジスタ	PDPCR	8	H'FE43	PORT	8	2
ポート E ブルアップ MOS コントロールレジスタ	PEPCR	8	H'FE44	PORT	8	2
ポート 3 オープンドレインコントロールレジスタ	P3ODR	8	H'FE46	PORT	8	2
ポート A オープンドレインコントロールレジスタ	PAODR	8	H'FE47	PORT	8	2
タイマコントロールレジスタ_3	TCR_3	8	H'FE80	TPU_3	8	2
タイマモードレジスタ_3	TMDR_3	8	H'FE81	TPU_3	8	2
タイマ I/O コントロールレジスタ H_3	TIORH_3	8	H'FE82	TPU_3	8	2

## 26. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
タイマ I/O コントロールレジスタ L_3	TIORL_3	8	H'FE83	TPU_3	8	2
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FE84	TPU_3	8	2
タイマステータスレジスタ_3	TSR_3	8	H'FE85	TPU_3	8	2
タイマカウンタ_3	TCNT_3	16	H'FE86	TPU_3	16	2
タイマジェネラルレジスタ A_3	TGRA_3	16	H'FE88	TPU_3	16	2
タイマジェネラルレジスタ B_3	TGRB_3	16	H'FE8A	TPU_3	16	2
タイマジェネラルレジスタ C_3	TGRC_3	16	H'FE8C	TPU_3	16	2
タイマジェネラルレジスタ D_3	TGRD_3	16	H'FE8E	TPU_3	16	2
タイマコントロールレジスタ_4	TCR_4	8	H'FE90	TPU_4	8	2
タイマモードレジスタ_4	TMDR_4	8	H'FE91	TPU_4	8	2
タイマ I/O コントロールレジスタ_4	TIOR_4	8	H'FE92	TPU_4	8	2
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FE94	TPU_4	8	2
タイマステータスレジスタ_4	TSR_4	8	H'FE95	TPU_4	8	2
タイマカウンタ_4	TCNT_4	16	H'FE96	TPU_4	16	2
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FE98	TPU_4	16	2
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FE9A	TPU_4	16	2
タイマコントロールレジスタ_5	TCR_5	8	H'FEA0	TPU_5	8	2
タイマモードレジスタ_5	TMDR_5	8	H'FEA1	TPU_5	8	2
タイマ I/O コントロールレジスタ_5	TIOR_5	8	H'FEA2	TPU_5	8	2
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FEA4	TPU_5	8	2
タイマステータスレジスタ_5	TSR_5	8	H'FEA5	TPU_5	8	2
タイマカウンタ_5	TCNT_5	16	H'FEA6	TPU_5	16	2
タイマジェネラルレジスタ A_5	TGRA_5	16	H'FEA8	TPU_5	16	2
タイマジェネラルレジスタ B_5	TGRB_5	16	H'FEAA	TPU_5	16	2
タイマスタートレジスタ	TSTR	8	H'FEB0	TPU	8	2
タイマシンクロレジスタ	TSYR	8	H'FEB1	TPU	8	2
インタラプトプライオリティレジスタ A	IPRA	8	H'FEC0	INT	8	2
インタラプトプライオリティレジスタ B	IPRB	8	H'FEC1	INT	8	2
インタラプトプライオリティレジスタ C	IPRC	8	H'FEC2	INT	8	2
インタラプトプライオリティレジスタ D	IPRD	8	H'FEC3	INT	8	2
インタラプトプライオリティレジスタ E	IPRE	8	H'FEC4	INT	8	2
インタラプトプライオリティレジスタ F	IPRF	8	H'FEC5	INT	8	2
インタラプトプライオリティレジスタ G	IPRG	8	H'FEC6	INT	8	2
インタラプトプライオリティレジスタ H	IPRH	8	H'FEC7	INT	8	2

## 26. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
インタラプトプライオリティレジスタ I	IPRI	8	H'FEC8	INT	8	2
インタラプトプライオリティレジスタ J	IPRJ	8	H'FEC9	INT	8	2
インタラプトプライオリティレジスタ K	IPRK	8	H'FECA	INT	8	2
インタラプトプライオリティレジスタ L	IPRL	8	H'FECB	INT	8	2
インタラプトプライオリティレジスタ O	IPRO	8	H'FECE	INT	8	2
バス幅コントロールレジスタ	ABWCR	8	H'FED0	BSC	8	2
アクセスステートコントロールレジスタ	ASTCR	8	H'FED1	BSC	8	2
ウェイトコントロールレジスタ H	WCRH	8	H'FED2	BSC	8	2
ウェイトコントロールレジスタ L	WCRL	8	H'FED3	BSC	8	2
バスコントロールレジスタ H	BCRH	8	H'FED4	BSC	8	2
バスコントロールレジスタ L	BCRL	8	H'FED5	BSC	8	2
RAM エミュレーションレジスタ	RAMER	8	H'FEDB	FLASH	8	2
メモリアドレスレジスタ_0AH	MAR_0AH	16	H'FEE0	DMAC	16	2
メモリアドレスレジスタ_0AL	MAR_0AL	16	H'FEE2	DMAC	16	2
I/O アドレスレジスタ_0A	IOAR_0A	16	H'FEE4	DMAC	16	2
転送カウントレジスタ_0A	ETCR_0A	16	H'FEE6	DMAC	16	2
メモリアドレスレジスタ_0BH	MAR_0BH	16	H'FEE8	DMAC	16	2
メモリアドレスレジスタ_0BL	MAR_0BL	16	H'FEEA	DMAC	16	2
I/O アドレスレジスタ_0B	IOAR_0B	16	H'FEEC	DMAC	16	2
転送カウントレジスタ_0B	ETCR_0B	16	H'FEEE	DMAC	16	2
メモリアドレスレジスタ_1AH	MAR_1AH	16	H'FEF0	DMAC	16	2
メモリアドレスレジスタ_1AL	MAR_1AL	16	H'FEF2	DMAC	16	2
I/O アドレスレジスタ_1A	IOAR_1A	16	H'FEF4	DMAC	16	2
転送カウントレジスタ_1A	ETCR_1A	16	H'FEF6	DMAC	16	2
メモリアドレスレジスタ_1BH	MAR_1BH	16	H'FEF8	DMAC	16	2
メモリアドレスレジスタ_1BL	MAR_1BL	16	H'FEFA	DMAC	16	2
I/O アドレスレジスタ_1B	IOAR_1B	16	H'FEFC	DMAC	16	2
転送カウントレジスタ_1B	ETCR_1B	16	H'FEFE	DMAC	16	2
ポート 1 データレジスタ	P1DR	8	H'FF00	PORT	8	2
ポート 3 データレジスタ	P3DR	8	H'FF02	PORT	8	2
ポート 7 データレジスタ	P7DR	8	H'FF06	PORT	8	2
ポート A データレジスタ	PADR	8	H'FF09	PORT	8	2
ポート B データレジスタ	PBDR	8	H'FF0A	PORT	8	2
ポート C データレジスタ	PCDR	8	H'FF0B	PORT	8	2



レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
ポートDデータレジスタ	PDDR	8	H'FF0C	PORT	8	2
ポートEデータレジスタ	PEDR	8	H'FF0D	PORT	8	2
ポートFデータレジスタ	PFDR	8	H'FF0E	PORT	8	2
ポートGデータレジスタ	PGDR	8	H'FF0F	PORT	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FF10	TPU_0	8	2
タイマモードレジスタ_0	TMDR_0	8	H'FF11	TPU_0	8	2
タイマI/OコントロールレジスタH_0	TIORH_0	8	H'FF12	TPU_0	8	2
タイマI/OコントロールレジスタL_0	TIORL_0	8	H'FF13	TPU_0	8	2
タイマイントラプトイネーブルレジスタ_0	TIER_0	8	H'FF14	TPU_0	8	2
タイマステータスレジスタ_0	TSR_0	8	H'FF15	TPU_0	8	2
タイマカウンタ_0	TCNT_0	16	H'FF16	TPU_0	16	2
タイマジェネラルレジスタA_0	TGRA_0	16	H'FF18	TPU_0	16	2
タイマジェネラルレジスタB_0	TGRB_0	16	H'FF1A	TPU_0	16	2
タイマジェネラルレジスタC_0	TGRC_0	16	H'FF1C	TPU_0	16	2
タイマジェネラルレジスタD_0	TGRD_0	16	H'FF1E	TPU_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FF20	TPU_1	8	2
タイマモードレジスタ_1	TMDR_1	8	H'FF21	TPU_1	8	2
タイマI/Oコントロールレジスタ_1	TIOR_1	8	H'FF22	TPU_1	8	2
タイマイントラプトイネーブルレジスタ_1	TIER_1	8	H'FF24	TPU_1	8	2
タイマステータスレジスタ_1	TSR_1	8	H'FF25	TPU_1	8	2
タイマカウンタ_1	TCNT_1	16	H'FF26	TPU_1	16	2
タイマジェネラルレジスタA_1	TGRA_1	16	H'FF28	TPU_1	16	2
タイマジェネラルレジスタB_1	TGRB_1	16	H'FF2A	TPU_1	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'FF30	TPU_2	8	2
タイマモードレジスタ_2	TMDR_2	8	H'FF31	TPU_2	8	2
タイマI/Oコントロールレジスタ_2	TIOR_2	8	H'FF32	TPU_2	8	2
タイマイントラプトイネーブルレジスタ_2	TIER_2	8	H'FF34	TPU_2	8	2
タイマステータスレジスタ_2	TSR_2	8	H'FF35	TPU_2	8	2
タイマカウンタ_2	TCNT_2	16	H'FF36	TPU_2	16	2
タイマジェネラルレジスタA_2	TGRA_2	16	H'FF38	TPU_2	16	2
タイマジェネラルレジスタB_2	TGRB_2	16	H'FF3A	TPU_2	16	2
DMAライトイネーブルレジスタ	DMAWER	8	H'FF60	DMAC	8	2
DMAターミナルコントロールレジスタ	DMATCR	8	H'FF61	DMAC	8	2
DMAコントロールレジスタ_0A	DMACR_0A	8	H'FF62	DMAC	16	2

## 26. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
DMA コントロールレジスタ_0B	DMACR_0B	8	H'FF63	DMAC	16	2
DMA コントロールレジスタ_1A	DMACR_1A	8	H'FF64	DMAC	16	2
DMA コントロールレジスタ_1B	DMACR_1B	8	H'FF65	DMAC	16	2
DMA バンドコントロールレジスタ H	DMABCRH	8	H'FF66	DMAC	16	2
DMA バンドコントロールレジスタ L	DMABCRL	8	H'FF67	DMAC	16	2
タイマコントロールレジスタ_0	TCR_0	8	H'FF68	TMR_0	8	2
タイマコントロールレジスタ_1	TCR_1	8	H'FF69	TMR_1	8	2
タイマコントロール / ステータスレジスタ_0	TCSR_0	8	H'FF6A	TMR_0	8	2
タイマコントロール / ステータスレジスタ_1	TCSR_1	8	H'FF6B	TMR_1	8	2
タイマコンスタントレジスタ A_0	TCORA_0	8	H'FF6C	TMR_0	8/16	2
タイマコンスタントレジスタ A_1	TCORA_1	8	H'FF6D	TMR_1	8/16	2
タイマコンスタントレジスタ B_0	TCORB_0	8	H'FF6E	TMR_0	8/16	2
タイマコンスタントレジスタ B_1	TCORB_1	8	H'FF6F	TMR_1	8/16	2
タイマカウンタ_0	TCNT_0	8	H'FF70	TMR_0	8/16	2
タイマカウンタ_1	TCNT_1	8	H'FF71	TMR_1	8/16	2
タイマコントロール / ステータスレジスタ_0	TCSR_0	8	H'FF74	WDT_0	16	2
タイマカウンタ_0	TCNT_0	8	H'FF74 (ライト時)	WDT_0	16	2
タイマカウンタ_0	TCNT_0	8	H'FF75 (リード時)	WDT_0	16	2
リセットコントロール / ステータスレジスタ	RSTCSR	8	H'FF76 (ライト時)	WDT_0	16	2
リセットコントロール / ステータスレジスタ	RSTCSR	8	H'FF77 (リード時)	WDT_0	16	2
シリアルモードレジスタ_0	SMR_0	8	H'FF78*3	SCI_0	8	2
I <sup>2</sup> C バスコントロールレジスタ_0	ICCR_0	8	H'FF78*3	IIC_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FF79*3	SCI_0	8	2
I <sup>2</sup> C バスステータスレジスタ_0	ICSR_0	8	H'FF79*3	IIC_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E*3	SCI_0	8	2
I <sup>2</sup> C バスデータレジスタ_0	ICDR_0	8	H'FF7E*3	IIC_0	8	2
第 2 スレーブアドレスレジスタ_0	SARX_0	8	H'FF7E*3	IIC_0	8	2

## 26. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス <sup>*1</sup>	モジュール	データ バス幅	アクセス ステート数
I <sup>2</sup> C バスモードレジスタ_0	ICMR_0	8	H'FF7F	IIC_0	8	2
スレーブアドレスレジスタ_0	SAR_0	8	H'FF7F	IIC_0	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF80 <sup>*3</sup>	SCI_1	8	2
I <sup>2</sup> C バスコントロールレジスタ_1	ICCR_1	8	H'FF80 <sup>*3</sup>	IIC_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF81 <sup>*3</sup>	SCI_1	8	2
I <sup>2</sup> C バスステータスレジスタ_1	ICSR_1	8	H'FF81 <sup>*3</sup>	IIC_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF82	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF83	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF84	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF85	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF86 <sup>*3</sup>	SCI_1	8	2
I <sup>2</sup> C バスデータレジスタ_1	ICDR_1	8	H'FF86 <sup>*3</sup>	IIC_1	8	2
第2スレーブアドレスレジスタ_1	SARX_1	8	H'FF86 <sup>*3</sup>	IIC_1	8	2
I <sup>2</sup> C バスモードレジスタ_1	ICMR_1	8	H'FF87	IIC_1	8	2
スレーブアドレスレジスタ_1	SAR_1	8	H'FF87	IIC_1	8	2
シリアルモードレジスタ_2	SMR_2	8	H'FF88	SCI_2	8	2
ビットレートレジスタ_2	BRR_2	8	H'FF89	SCI_2	8	2
シリアルコントロールレジスタ_1	SCR_2	8	H'FF8A	SCI_2	8	2
トランスミットデータレジスタ_1	TDR_2	8	H'FF8B	SCI_2	8	2
シリアルステータスレジスタ_1	SSR_2	8	H'FF8C	SCI_2	8	2
レシーブデータレジスタ_1	RDR_2	8	H'FF8D	SCI_2	8	2
スマートカードモードレジスタ_1	SCMR_2	8	H'FF8E	SCI_2	8	2
A/D データレジスタ AH	ADDRAH	8	H'FF90	A/D	8	2
A/D データレジスタ AL	ADDRAL	8	H'FF91	A/D	8	2
A/D データレジスタ BH	ADDRBH	8	H'FF92	A/D	8	2
A/D データレジスタ BL	ADDRBL	8	H'FF93	A/D	8	2
A/D データレジスタ CH	ADDRCH	8	H'FF94	A/D	8	2
A/D データレジスタ CL	ADDRCL	8	H'FF95	A/D	8	2
A/D データレジスタ DH	ADDRDH	8	H'FF96	A/D	8	2
A/D データレジスタ DL	ADDRDL	8	H'FF97	A/D	8	2
A/D コントロール / ステータスレジスタ	ADCSR	8	H'FF98	A/D	8	2
A/D コントロールレジスタ	ADCR	8	H'FF99	A/D	8	2
タイマコントロール / ステータスレジスタ_1	TCSR_1	8	H'FFA2	WDT_1	16	2

## 26. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス* <sup>1</sup>	モジュール	データ バス幅	アクセス ステート数
タイマカウンタ_1	TCNT_1	8	H'FFA2 (ライト時)	WDT_1	16	2
タイマカウンタ_1	TCNT_1	8	H'FFA3 (リード時)	WDT_1	16	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FFA8	FLASH	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FFA9	FLASH	8	2
消去ブロック指定レジスタ 1	EBR1	8	H'FFAA	FLASH	8	2
消去ブロック指定レジスタ 2	EBR2	8	H'FFAB	FLASH	8	2
フラッシュメモリパワーコントロールレジスタ	FLPWCR	8	H'FFAC	FLASH	8	2
ポート 1 レジスタ	PORT1	8	H'FFB0	PORT	8	2
ポート 3 レジスタ	PORT3	8	H'FFB2	PORT	8	2
ポート 4 レジスタ	PORT4	8	H'FFB3	PORT	8	2
ポート 7 レジスタ	PORT7	8	H'FFB6	PORT	8	2
ポート 9 レジスタ	PORT9	8	H'FFB8	PORT	8	2
ポート A レジスタ	PORTA	8	H'FFB9	PORT	8	2
ポート B レジスタ	PORTB	8	H'FFBA	PORT	8	2
ポート C レジスタ	PORTC	8	H'FFBB	PORT	8	2
ポート D レジスタ	PORTD	8	H'FFBC	PORT	8	2
ポート E レジスタ	PORTE	8	H'FFBD	PORT	8	2
ポート F レジスタ	PORTF	8	H'FFBE	PORT	8	2
ポート G レジスタ	PORTG	8	H'FFBF	PORT	8	2

【注】 \*1 アドレスの下位 16 ビットを示しています。

\*2 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 16 ビットバスです。

\*3 SCI\_0、SCI\_1 の一部のレジスタと IIC\_0、IIC\_1 の一部のレジスタは同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルコントロールレジスタ X (SCRX) の IICE ビットで行います。

## 26.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビットレジスタは、8 ビットずつ 2 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC
SAR	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
MRB	CHNE	DISEL							
DAR	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
CRA	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
CRB	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
IECTR	IEE	IOL	DEE	CK	RE	LUEE			IEB
IECMR						CMD2	CMD1	CMD0	
IEMCR	SS	RN2	RN1	RN0	CTL3	CTL2	CTL1	CTL0	
IEAR1	IAR3	IAR2	IAR1	IAR0	IMD1	IMD0		STE	
IEAR2	IAR11	IAR10	IAR9	IAR8	IAR7	IAR6	IAR5	IAR4	
IESA1	ISA3	ISA2	ISA1	ISA0					
IESA2	ISA11	ISA10	ISA9	ISA8	ISA7	ISA6	ISA5	ISA4	
IETBFL	TBFL7	TBFL6	TBFL5	TBFL4	TBFL3	TBFL2	TBFL1	TBFL0	
IETBR	TBR7	TBR6	TBR5	TBR4	TBR3	TBR2	TBR1	TBR0	
IEMA1	IMA3	IMA2	IMA1	IMA0					
IEMA2	IMA11	IMA10	IMA9	IMA8	IMA7	IMA6	IMA5	IMA4	
IERCTL					RCTL3	RCTL2	RCTL1	RCTL0	
IERBFL	RBFL7	RBFL6	RBFL5	RBFL4	RBFL3	RBFL2	RBFL1	RBFL0	
IERBR	RBR7	RBR6	RBR5	RBR4	RBR3	RBR2	RBR1	RBR0	
IELA1	ILA7	ILA6	ILA5	ILA4	ILA3	ILA2	ILA1	ILA0	
IELA2					ILA11	ILA10	ILA9	ILA8	
IEFLG	CMX	MRQ	SRQ	SRE	LCK		RSS	GG	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
IETSR	TxRDY				IRA	TxS	TxF	TxE	IEB
IEIET	TxRDYE				IRAE	TxSE	TxFE	RxEE	
IETEF			AL	UE	TTME	RO	ACK		
IERSR	RxRDY					RxS	RxF	RxE	
IEIER	RxRDYE					RxSE	RxFE	RxEE	
IEREF				OVE	RTME	DLE	PE		
DADR_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	D/A 変換器
DADR_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
DACR	DAOE1	DAOE0	DAE						
SCRX		IICX1	IICX0	IICE	FLSHE				IIC、FLASH
DDCSWR					CLR3	CLR2	CLR1	CLR0	IIC
TCR_2	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_2
TCR_3	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_3
TCSR_2	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0	TMR_2
TCSR_3	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0	TMR_3
TCORA_2	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_2
TCORA_3	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_3
TCORB_2	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_2
TCORB_3	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_3
TCNT_2	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_2
TCNT_3	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_3
SMR_3*1	C/A (GM)	CHR (BLK)	PE (PE)	O/E (O/E)	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_3
BRR_3	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCR_3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_3	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SSR_3*1	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_3	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCMR_3					SDIR	SINV		SMIF	
SBYCR	SSBY	STS2	STS1	STS0	OPE				SYSTEM
SYSCR			INTM1	INTM0	NMIEG	MRESE		RAME	
SCKCR	PSTOP					SCK2	SCK1	SCK0	
MDCR						MDS2	MDS1	MDS0	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	SYSTEM
MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	
MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0	
PFCR			BUZZE		AE3	AE2	AE1	AE0	BSC
LPWRCR	DTON	LSON	NESEL	SUBSTP	RFCUT		STC1	STC0	SYSTEM
SEMR_0	SSE				ABCS	ACS2	ACS1	ACS0	SCI_0
BARA									PBC
	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	
	BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8	
	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0	
BARB									
	BAB23	BAB22	BAB21	BAB20	BAB19	BAB18	BAB17	BAB16	
	BAB15	BAB14	BAB13	BAB12	BAB11	BAB10	BAB9	BAB8	
	BAB7	BAB6	BAB5	BAB4	BAB3	BAB2	BAB1	BAB0	
BCRA	CMFA	CDA	BAMRA2	BAMRA1	BAMRA0	CSELA1	CSELA0	BIEA	
BCRB	CMFB	CDB	BAMRB2	BAMRB1	BAMRB0	CSELB1	CSELB0	BIEB	
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	INT
ISCR_L	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC
DTCERB		DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCERC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0	
DTCERD			DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	
DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTCERF	DTCEF7	DTCEF6	DTCEF5	DTCEF4	DTCEF3	DTCEF2	DTCEF1	DTCEF0	
DTCERI	DTCEI7	DTCEI6							
DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT
P3DDR		P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P7DDR	P77DDR	P76DDR	P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR	
PADDR					PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	PORT	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR		
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR		
PGDDR				PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR		
PAPCR					PA3PCR	PA2PCR	PA1PCR	PA0PCR		
PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR		
PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR		
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR		
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR		
P3ODR		P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR		
PAODR					PA3ODR	PA2ODR	PA1ODR	PA0ODR		
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		TPU_3
TMDR_3			BFB	BFA	MD3	MD2	MD1	MD0		
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIER_3	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TSR_3				TCFV	TGFD	TGFC	TGFB	TGFA		
TCNT_3	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TGRA_3	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TGRB_3	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TGR_3	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TGRD_3	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TCR_4		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_4	
TMDR_4					MD3	MD2	MD1	MD0		
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_4	TTGE		TCIEU	TCIEV			TGIEB	TGIEA		
TSR_4	TCFD		TCFU	TCFV			TGFB	TGFA		
TCNT_4	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		



## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TGRA_4	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	TPU_4
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRB_4	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TCR_5		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5
TMDR_5					MD3	MD2	MD1	MD0	
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_5	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
TSR_5	TCFD		TCFU	TCFV			TGFB	TGFA	
TCNT_5	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRA_5	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TGRB_5	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
TSTR			CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYR			SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
IPRA		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	INT
IPRB		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRC		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRD		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRE		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRF		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRG		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRH		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRI		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRJ		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRK		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRL		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
IPRO		IPR6	IPR5	IPR4		IPR2	IPR1	IPR0	
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
WCRH	W71	W70	W61	W60	W51	W50	W41	W40	
WCRL	W31	W30	W21	W20	W11	W10	W01	W00	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0				BSC
BCRL	BRLE							WAITE	
RAMER					RAMS	RAM2	RAM1	RAM0	FLASH
MAR_0A									DMAC
	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
IOAR_0A	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
ETCR_0A	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
MAR_0B									
	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
IOAR_0B	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
ETCR_0B	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
MAR_1A									
	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
IOAR_1A	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
ETCR_1A	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
MAR_1B									
	Bit 23	Bit 22	Bit 21	Bit 20	Bit 19	Bit 18	Bit 17	Bit 16	
	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
IOAR_1B	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
ETCR_1B	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	PORT	
P3DR		P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
P7DR	P77DR	P76DR	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR		
PADR					PA3DR	PA2DR	PA1DR	PA0DR		
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		
PGDR				PG4DR	PG3DR	PG2DR	PG1DR	PG0DR		
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0		TPU_0
TMDR_0			BFB	BFA	MD3	MD2	MD1	MD0		
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIER_0	TTGE			TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TSR_0				TCFV	TGFD	TGFC	TGFB	TGFA		
TCNT_0	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TGRA_0	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TGRB_0	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TGRC_0	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TGRD_0	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TCR_1		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1	
TMDR_1					MD3	MD2	MD1	MD0		
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_1	TTGE		TCIEU	TCIEV			TGIEB	TGIEA		
TSR_1	TCFD		TCFU	TCFV			TGFB	TGFA		
TCNT_1	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
TGRA_1	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8		
	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TGRB_1	Bit 15 Bit 7	Bit 14 Bit 6	Bit 13 Bit 5	Bit 12 Bit 4	Bit 11 Bit 3	Bit 10 Bit 2	Bit 9 Bit 1	Bit 8 Bit 0	TPU_1
TCR_2		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
TMDR_2					MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE		TCIEU	TCIEV			TGIEB	TGIEA	
TSR_2	TCFD		TCFU	TCFV			TGFB	TGFA	
TCNT_2	Bit 15 Bit 7	Bit 14 Bit 6	Bit 13 Bit 5	Bit 12 Bit 4	Bit 11 Bit 3	Bit 10 Bit 2	Bit 9 Bit 1	Bit 8 Bit 0	
TGRA_2	Bit 15 Bit 7	Bit 14 Bit 6	Bit 13 Bit 5	Bit 12 Bit 4	Bit 11 Bit 3	Bit 10 Bit 2	Bit 9 Bit 1	Bit 8 Bit 0	
TGRB_2	Bit 15 Bit 7	Bit 14 Bit 6	Bit 13 Bit 5	Bit 12 Bit 4	Bit 11 Bit 3	Bit 10 Bit 2	Bit 9 Bit 1	Bit 8 Bit 0	
DMAWER					WE1B	WE1A	WE0B	WE0A	DMAC
DMATCR			TEE1	TEE0					
DMACR_0A <sup>+2</sup>	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_0A <sup>+3</sup>	DTSZ	SAID	SAIDE	BLKDIR	BLKE				
DMACR_0B <sup>+2</sup>	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_0B <sup>+3</sup>		DAID	DAIDE		DTF3	DTF2	DTF1	DTF0	
DMACR_1A <sup>+2</sup>	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_1A <sup>+3</sup>	DTSZ	SAID	SAIDE	BLKDIR	BLKE				
DMACR_1B <sup>+2</sup>	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_1B <sup>+3</sup>		DAID	DAIDE		DTF3	DTF2	DTF1	DTF0	
DMABCRH <sup>+2</sup>	FAE1	FAE0	SAE1	SAE0	DTA1B	DTA1A	DTA0B	DTA0A	
DMABCRH <sup>+3</sup>	FAE1	FAE0			DTA1		DTA0		
DMABCRL <sup>+2</sup>	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A	
DMABCRL <sup>+3</sup>	DTME1	DTE1	DTME0	DTE0	DTIE1B	DTIE1A	DTIE0B	DTIE0A	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_0
TCSR_1	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0	TMR_1
TCORA_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_0
TCORA_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_1
TCORB_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_0

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCORB_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_1
TCNT_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_0
TCNT_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	TMR_1
TCSR_0	OVF	WT / $\bar{I}\bar{T}$	TME			CKS2	CKS1	CKS0	WDT_0
TCNT_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
RSTCSR	WOVF	RSTE	RSTS						
SMR_0* <sup>1</sup>	C/ $\bar{A}$ (GM)	CHR (BLK)	PE (PE)	O/ $\bar{E}$ (O/ $\bar{E}$ )	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_0
ICCR_0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_0
BRR_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	SCI_0
ICSR_0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_0
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_0
TDR_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SSR_0* <sup>1</sup>	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_0	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCMR_0					SDIR	SINV		SMIF	
ICDR_0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	IIC_0
SARX_0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
SMR_1* <sup>1</sup>	C/ $\bar{A}$ (GM)	CHR (BLK)	PE (PE)	O/ $\bar{E}$ (O/ $\bar{E}$ )	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_1
ICCR_1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_1
BRR_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	SCI_1
ICSR_1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_1
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_1
TDR_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SSR_1* <sup>1</sup>	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCMR_1					SDIR	SINV		SMIF	
ICDR_1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	IIC_1
SARX_1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	IIC_1
SMR_2*1	C/ $\bar{A}$ (GM)	CHR (BLK)	PE (PE)	O/ $\bar{E}$ (O/ $\bar{E}$ )	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_2
BRR_2	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SSR_2*1	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_2	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
SCMR_2					SDIR	SINV		SMIF	
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
ADDRAL	AD1	AD0							
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRBL	AD1	AD0							
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRCL	AD1	AD0							
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRDL	AD1	AD0							
ADCSR	ADF	ADIE	ADST	SCAN		CH2	CH1	CH0	
ADCR	TRGS1	TRGS0			CKS1	CKS0			
TCSR_1	OVF	WT / $\bar{I}\bar{T}$	TME	PSS	RST / $\bar{NMI}$	CKS2	CKS1	CKS0	WDT_1
TCNT_1	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
FLMCR1	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1	FLASH
FLMCR2	FLER								
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
EBR2			EB13	EB12	EB11	EB10	EB9	EB8	
FLPWCR	PDWND								
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT3		P36	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORT7	P77	P76	P75	P74	P73	P72	P71	P70	
PORT9	P97	P96							
PORTA					PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	PORT
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
PORTG				PG4	PG3	PG2	PG1	PG0	

【注】 \*1 通常モードとスマートカードインタフェースモードで一部ビット名が異なります。

( ) : スマートカードインタフェースモード時のビット名を示します。

\*2 ショートアドレスモード

\*3 フルアドレスモード

## 26. レジスタ一覧

### 26.3 各動作モードにおけるレジスタの状態

レジスタ略称	リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
MRA	初期化	初期化									初期化	DTC
SAR	初期化	初期化									初期化	
MRB	初期化	初期化									初期化	
DAR	初期化	初期化									初期化	
CRA	初期化	初期化									初期化	
CRB	初期化	初期化									初期化	
IECTR	初期化	初期化									初期化	IEB
IECMR	初期化	初期化									初期化	
IEMCR	初期化	初期化									初期化	
IEAR1	初期化	初期化									初期化	
IEAR2	初期化	初期化									初期化	
IESA1	初期化	初期化									初期化	
IESA2	初期化	初期化									初期化	
IETBFL	初期化	初期化									初期化	
IETBR	初期化	初期化									初期化	
IEMA1	初期化	初期化									初期化	
IEMA2	初期化	初期化									初期化	
IERCTL	初期化	初期化									初期化	
IERBFL	初期化	初期化									初期化	
IERBR	初期化	初期化									初期化	
IELA1	初期化	初期化									初期化	
IELA2	初期化	初期化									初期化	
IEFLG	初期化	初期化									初期化	
IETSR	初期化	初期化									初期化	
IEIET	初期化	初期化									初期化	
IETEF	初期化	初期化									初期化	
IERSR	初期化	初期化									初期化	
IEIER	初期化	初期化									初期化	
IEREF	初期化	初期化									初期化	



## 26. レジスタ一覧

レジスタ略称	リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
DADR_0	初期化	初期化									初期化	D/A
DADR_1	初期化	初期化									初期化	
DACR	初期化	初期化									初期化	
SCRX	初期化	初期化									初期化	IIC
DCSWR	初期化	初期化									初期化	
TCR_2	初期化	初期化									初期化	TMR_2
TCR_3	初期化	初期化									初期化	TMR_3
TCSR_2	初期化	初期化									初期化	TMR_2
TCSR_3	初期化	初期化									初期化	TMR_3
TCORA_2	初期化	初期化									初期化	TMR_2
TCORA_3	初期化	初期化									初期化	TMR_3
TCORB_2	初期化	初期化									初期化	TMR_2
TCORB_3	初期化	初期化									初期化	TMR_3
TCNT_2	初期化	初期化									初期化	TMR_2
TCNT_3	初期化	初期化									初期化	TMR_3
SMR_3	初期化	初期化									初期化	SCI_3
BRR_3	初期化	初期化									初期化	
SCR_3	初期化	初期化									初期化	
TDR_3	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
SSR_3	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
RDR_3	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
SCMR_3	初期化	初期化									初期化	
SBYCR	初期化	初期化									初期化	SYSTEM
SYSCR	初期化										初期化	
SCKCR	初期化	初期化									初期化	
MDCR	初期化										初期化	
MSTPCRA	初期化	初期化									初期化	
MSTPCRB	初期化	初期化									初期化	
MSTPCRC	初期化	初期化									初期化	
PFCR	初期化										初期化	BSC
LPWRCR	初期化										初期化	SYSTEM
SEMR_0	初期化	初期化									初期化	SCI_0

## 26. レジスタ一覧

レジスタ略称	リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
BARA	初期化	初期化									初期化	PBC
BARB	初期化	初期化									初期化	
BCRA	初期化	初期化									初期化	
BCRB	初期化	初期化									初期化	
ISCRH	初期化	初期化									初期化	INT
ISCRL	初期化	初期化									初期化	
IER	初期化	初期化									初期化	
ISR	初期化	初期化									初期化	
DTCERA	初期化	初期化									初期化	DTC
DTCERB	初期化	初期化									初期化	
DTCERC	初期化	初期化									初期化	
DTCERD	初期化	初期化									初期化	
DTCERE	初期化	初期化									初期化	
DTCERF	初期化	初期化									初期化	
DTCERI	初期化	初期化									初期化	
DTVECR	初期化	初期化									初期化	
P1DDR	初期化										初期化	PORT
P3DDR	初期化										初期化	
P7DDR	初期化										初期化	
PADDR	初期化										初期化	
PBDDR	初期化										初期化	
PCDDR	初期化										初期化	
PDDDR	初期化										初期化	
PEDDR	初期化										初期化	
PFDDR	初期化										初期化	
PGDDR	初期化										初期化	
PAPCR	初期化										初期化	
PBPCR	初期化										初期化	
PCPCR	初期化										初期化	
PDPCR	初期化										初期化	
PEPCR	初期化										初期化	
P3ODR	初期化										初期化	
PAODR	初期化										初期化	

## 26. レジスタ一覧

レジスタ略称	リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
TCR_3	初期化	初期化									初期化	TPU_3
TMDR_3	初期化	初期化									初期化	
TIORH_3	初期化	初期化									初期化	
TIORL_3	初期化	初期化									初期化	
TIER_3	初期化	初期化									初期化	
TSR_3	初期化	初期化									初期化	
TCNT_3	初期化	初期化									初期化	
TGRA_3	初期化	初期化									初期化	
TGRB_3	初期化	初期化									初期化	
TGRC_3	初期化	初期化									初期化	
TGRD_3	初期化	初期化									初期化	
TCR_4	初期化	初期化									初期化	TPU_4
TMDR_4	初期化	初期化									初期化	
TIOR_4	初期化	初期化									初期化	
TIER_4	初期化	初期化									初期化	
TSR_4	初期化	初期化									初期化	
TCNT_4	初期化	初期化									初期化	
TGRA_4	初期化	初期化									初期化	
TGRB_4	初期化	初期化									初期化	
TCR_5	初期化	初期化									初期化	TPU_5
TMDR_5	初期化	初期化									初期化	
TIOR_5	初期化	初期化									初期化	
TIER_5	初期化	初期化									初期化	
TSR_5	初期化	初期化									初期化	
TCNT_5	初期化	初期化									初期化	
TGRA_5	初期化	初期化									初期化	
TGRB_5	初期化	初期化									初期化	
TSTR	初期化	初期化									初期化	TPU
TSYR	初期化	初期化									初期化	
IPRA	初期化	初期化									初期化	INT
IPRB	初期化	初期化									初期化	
IPRC	初期化	初期化									初期化	
IPRD	初期化	初期化									初期化	

## 26. レジスタ一覧

レジスタ略称	リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
IPRE	初期化	初期化									初期化	INT
IPRF	初期化	初期化									初期化	
IPRG	初期化	初期化									初期化	
IPRH	初期化	初期化									初期化	
IPRI	初期化	初期化									初期化	
IPRJ	初期化	初期化									初期化	
IPRK	初期化	初期化									初期化	
IPRL	初期化	初期化									初期化	
IPRO	初期化	初期化									初期化	
ABWCR	初期化										初期化	BSC
ASTCR	初期化										初期化	
WCRH	初期化										初期化	
WCRL	初期化										初期化	
BCRH	初期化										初期化	
BCRL	初期化										初期化	
RAMER	初期化										初期化	FLASH
MAR_0A												DMAC
IOAR_0A												
ETCR_0A												
MAR_0B												
IOAR_0B												
ETCR_0B												
MAR_1A												
IOAR_1A												
ETCR_1A												
MAR_1B												
IOAR_1B												
ETCR_1B												
P1DR	初期化										初期化	PORT
P3DR	初期化										初期化	
P7DR	初期化										初期化	
PADR	初期化										初期化	
PBDR	初期化										初期化	

## 26. レジスタ一覧

レジスタ略称	リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PCDR	初期化										初期化	PORT
PDDR	初期化										初期化	
PEDR	初期化										初期化	
PFDR	初期化										初期化	
PGDR	初期化										初期化	
TCR_0	初期化	初期化									初期化	TPU_0
TMDR_0	初期化	初期化									初期化	
TIORH_0	初期化	初期化									初期化	
TIORL_0	初期化	初期化									初期化	
TIER_0	初期化	初期化									初期化	
TSR_0	初期化	初期化									初期化	
TCNT_0	初期化	初期化									初期化	
TGRA_0	初期化	初期化									初期化	
TGRB_0	初期化	初期化									初期化	
TGRC_0	初期化	初期化									初期化	
TGRD_0	初期化	初期化									初期化	
TCR_1	初期化	初期化									初期化	TPU_1
TMDR_1	初期化	初期化									初期化	
TIOR_1	初期化	初期化									初期化	
TIER_1	初期化	初期化									初期化	
TSR_1	初期化	初期化									初期化	
TCNT_1	初期化	初期化									初期化	
TGRA_1	初期化	初期化									初期化	
TGRB_1	初期化	初期化									初期化	
TCR_2	初期化	初期化									初期化	TPU_2
TMDR_2	初期化	初期化									初期化	
TIOR_2	初期化	初期化									初期化	
TIER_2	初期化	初期化									初期化	
TSR_2	初期化	初期化									初期化	
TCNT_2	初期化	初期化									初期化	
TGRA_2	初期化	初期化									初期化	
TGRB_2	初期化	初期化									初期化	

## 26. レジスタ一覧

レジスタ略称	リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
DMAWER	初期化	初期化									初期化	DMAC
DMATCR	初期化	初期化									初期化	
DMACR_0A	初期化	初期化									初期化	
DMACR_0B	初期化	初期化									初期化	
DMACR_1A	初期化	初期化									初期化	
DMACR_1B	初期化	初期化									初期化	
DMABCRH	初期化	初期化									初期化	
DMABCR_L	初期化	初期化									初期化	
TCR_0	初期化	初期化									初期化	TMR_0
TCR_1	初期化	初期化									初期化	TMR_1
TCSR_0	初期化	初期化									初期化	TMR_0
TCSR_1	初期化	初期化									初期化	TMR_1
TCORA_0	初期化	初期化									初期化	TMR_0
TCORA_1	初期化	初期化									初期化	TMR_1
TCORB_0	初期化	初期化									初期化	TMR_0
TCORB_1	初期化	初期化									初期化	TMR_1
TCNT_0	初期化	初期化									初期化	TMR_0
TCNT_1	初期化	初期化									初期化	TMR_1
TCSR_0	初期化	初期化									初期化	WDT_0
TCNT_0	初期化	初期化									初期化	
RSTCSR	初期化	初期化									初期化	
SMR_0	初期化	初期化									初期化	SCI_0
ICCR_0	初期化	初期化									初期化	IIC_0
BRR_0	初期化	初期化									初期化	SCI_0
ICSR_0	初期化	初期化									初期化	IIC_0
SCR_0	初期化	初期化									初期化	SCI_0
TDR_0	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
SSR_0	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
RDR_0	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
SCMR_0	初期化	初期化									初期化	
ICDR_0	初期化	初期化									初期化	IIC_0
SARX_0	初期化	初期化									初期化	
ICMR_0	初期化	初期化									初期化	
SAR_0	初期化	初期化									初期化	

## 26. レジスタ一覧

レジスタ略称	リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
SMR_1	初期化	初期化									初期化	SCI_1
ICCR_1	初期化	初期化									初期化	IIC_1
BRR_1	初期化	初期化									初期化	SCI_1
ICSR_1	初期化	初期化									初期化	IIC_1
SCR_1	初期化	初期化									初期化	SCI_1
TDR_1	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
SSR_1	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
RDR_1	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
SCMR_1	初期化	初期化									初期化	
ICDR_1	初期化	初期化									初期化	IIC_1
SARX_1	初期化	初期化									初期化	
ICMR_1	初期化	初期化									初期化	
SAR_1	初期化	初期化									初期化	
SMR_2	初期化	初期化									初期化	SCI_2
BRR_2	初期化	初期化									初期化	
SCR_2	初期化	初期化									初期化	
TDR_2	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
SSR_2	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
RDR_2	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
SCMR_2	初期化	初期化									初期化	
ADDRAH	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	A/D
ADDRAL	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
ADDRBH	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
ADDRBL	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
ADDRCH	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
ADDRCL	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
ADDRDH	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
ADDRDL	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
ADCSR	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
ADCR	初期化	初期化				初期化	初期化	初期化	初期化	初期化	初期化	
TCSR_1	初期化	初期化									初期化	WDT_1
TCNT_1	初期化	初期化									初期化	

## 26. レジスタ一覧

レジスタ略称	リセット	マニュアル リセット	高速	中速	スリープ	モジュール ストップ	ウォッチ ドッグ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
FLMCR1	初期化									初期化	初期化	FLASH
FLMCR2	初期化									初期化	初期化	
EBR1	初期化									初期化	初期化	
EBR2	初期化									初期化	初期化	
FLPWCR	初期化									初期化	初期化	
PORT1	初期化										初期化	PORT
PORT3	初期化										初期化	
PORT4	初期化										初期化	
PORT7	初期化										初期化	
PORT9	初期化										初期化	
PORTA	初期化										初期化	
PORTB	初期化										初期化	
PORTC	初期化										初期化	
PORTD	初期化										初期化	
PORTE	初期化										初期化	
PORTF	初期化										初期化	
PORTG	初期化										初期化	

【注】 - は初期化されません。



## 27. 電気的特性

### 27.1 電源電圧と動作周波数範囲

H8S/2258 グループの電源電圧と動作範囲（網かけ部）を図 27.1 に、H8S/2239 グループの電源電圧と動作範囲（網かけ部）を図 27.2 に、H8S/2238B、H8S/2236B の電源電圧と動作範囲（網かけ部）を図 27.3 に、H8S/2238R、H8S/2236R の電源電圧と動作範囲（網かけ部）を図 27.4 に、H8S/2237 グループ、H8S/2227 グループの電源電圧と動作範囲（網かけ部）を図 27.5 に示します。

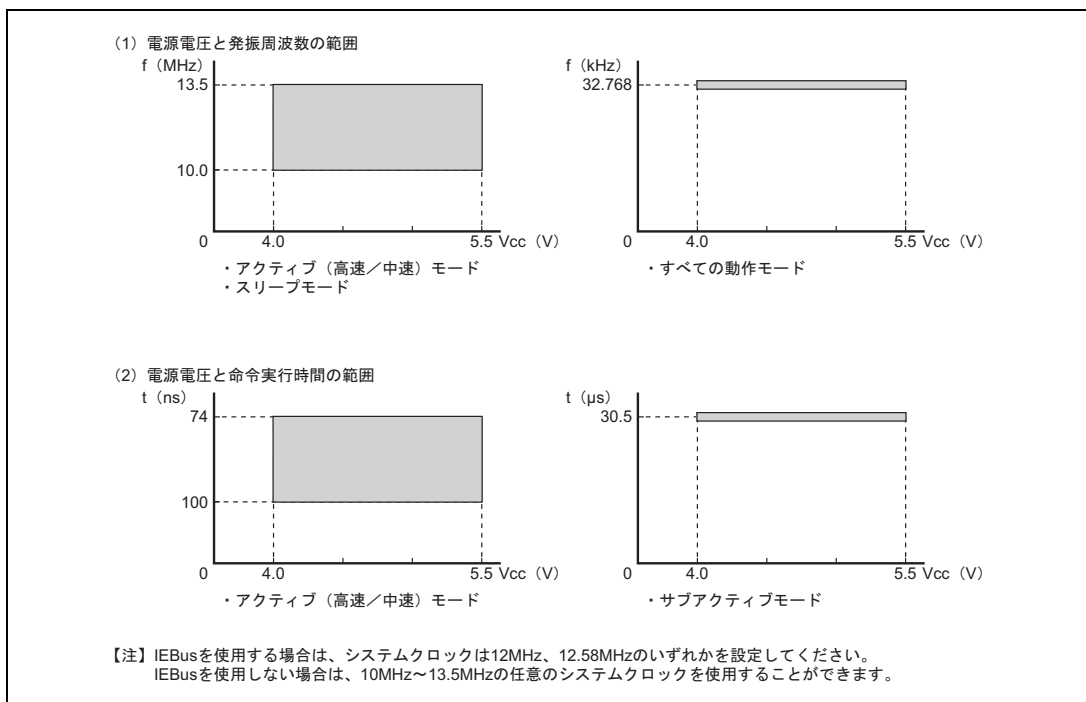


図 27.1 電源電圧と動作範囲（H8S/2258 グループ）

## 27. 電气的特性

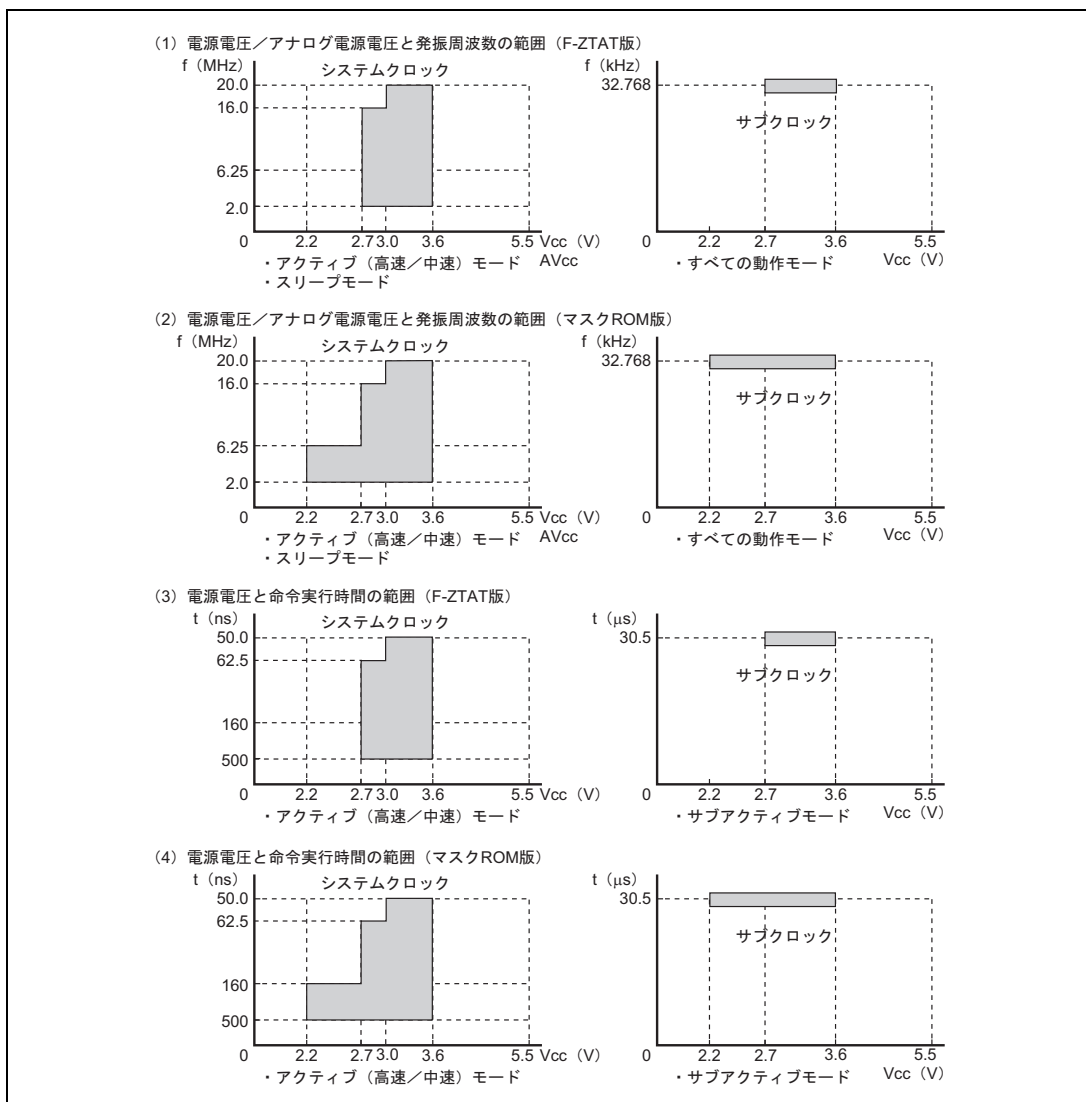


図 27.2 電源電圧と動作範囲 (H8S/2239 グループ)

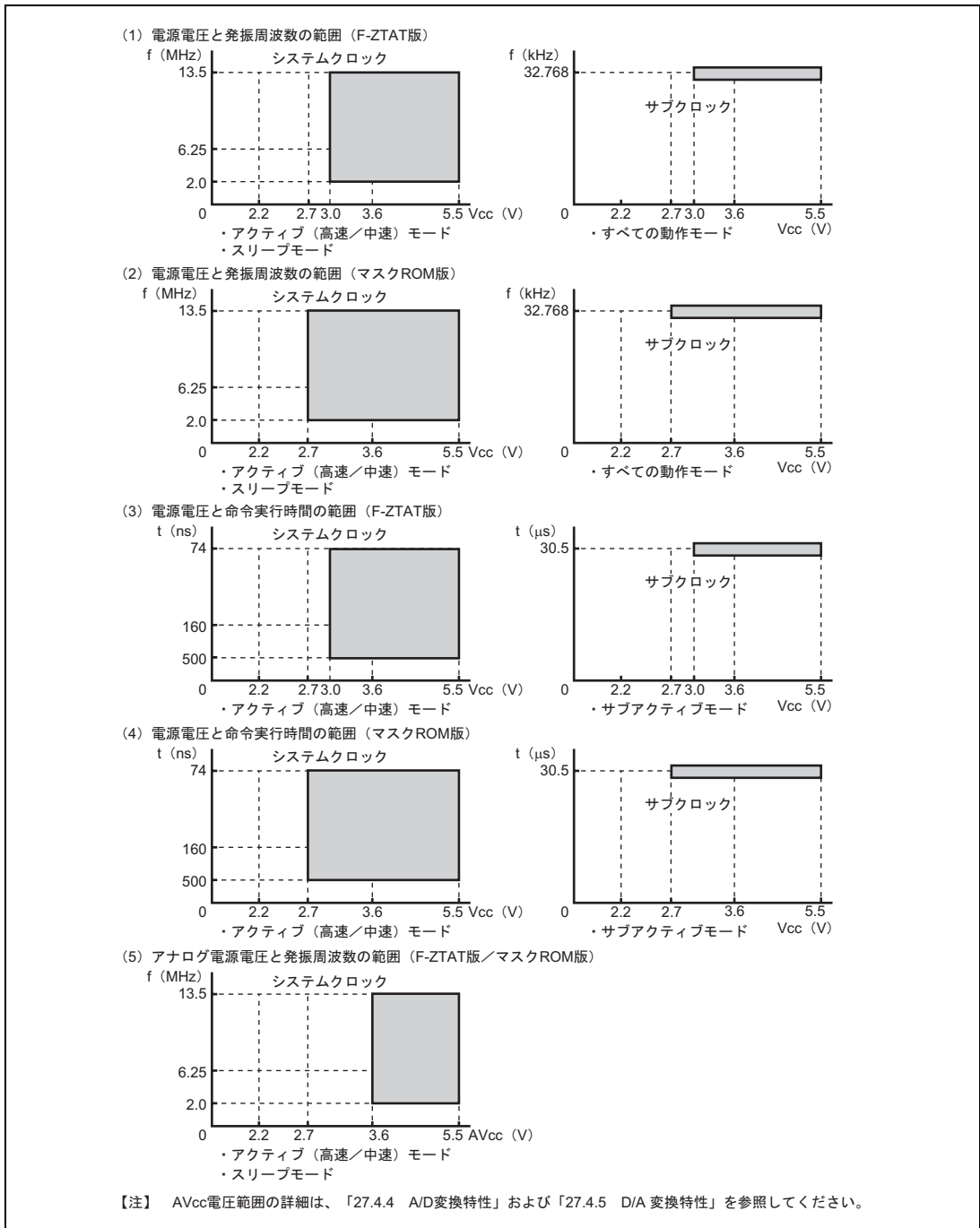


図 27.3 電源電圧と動作範囲 (H8S/2238B、H8S/2236B)

## 27. 電气的特性

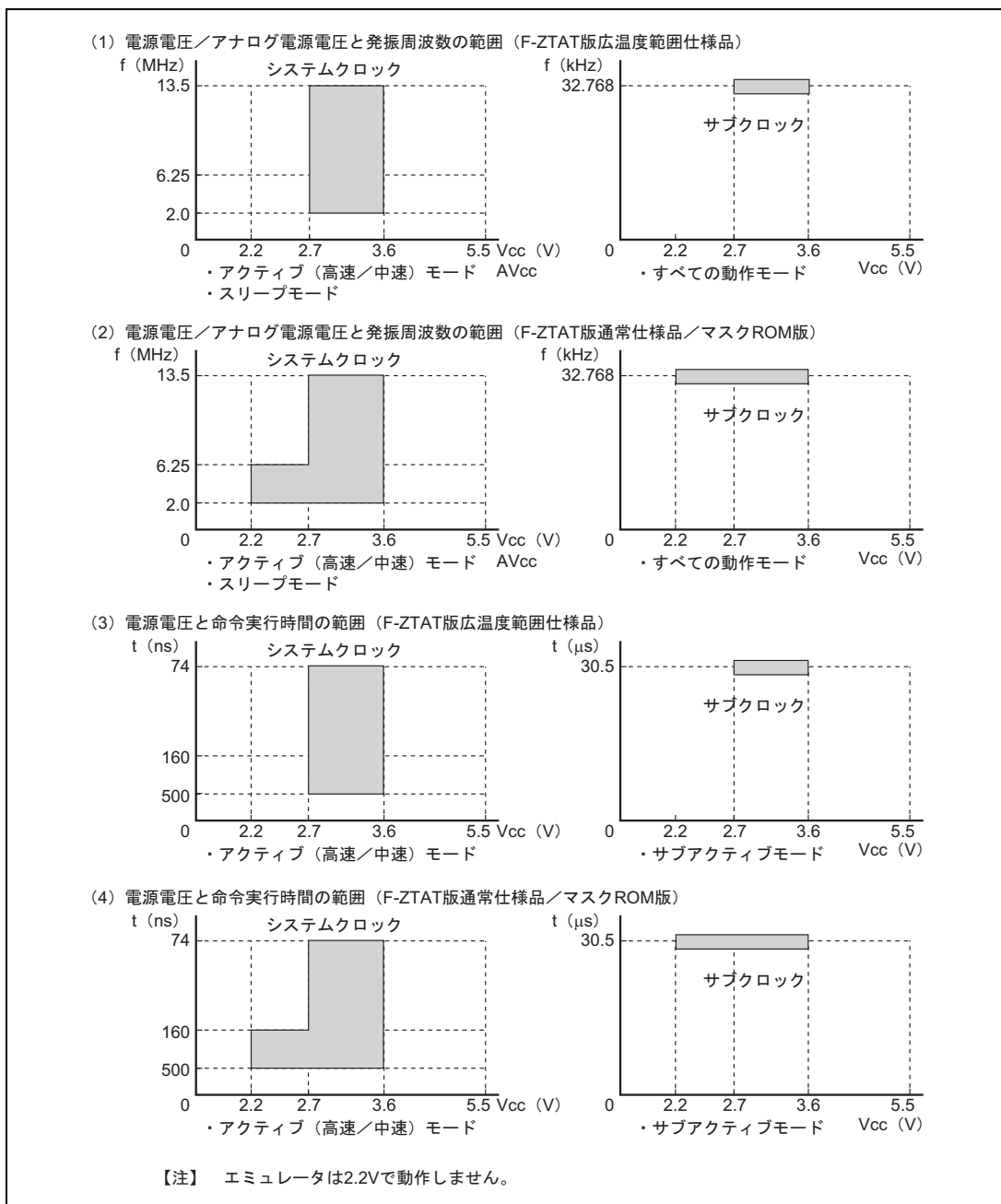


図 27.4 電源電圧と動作範囲 (H8S/2238R、H8S/2236R)

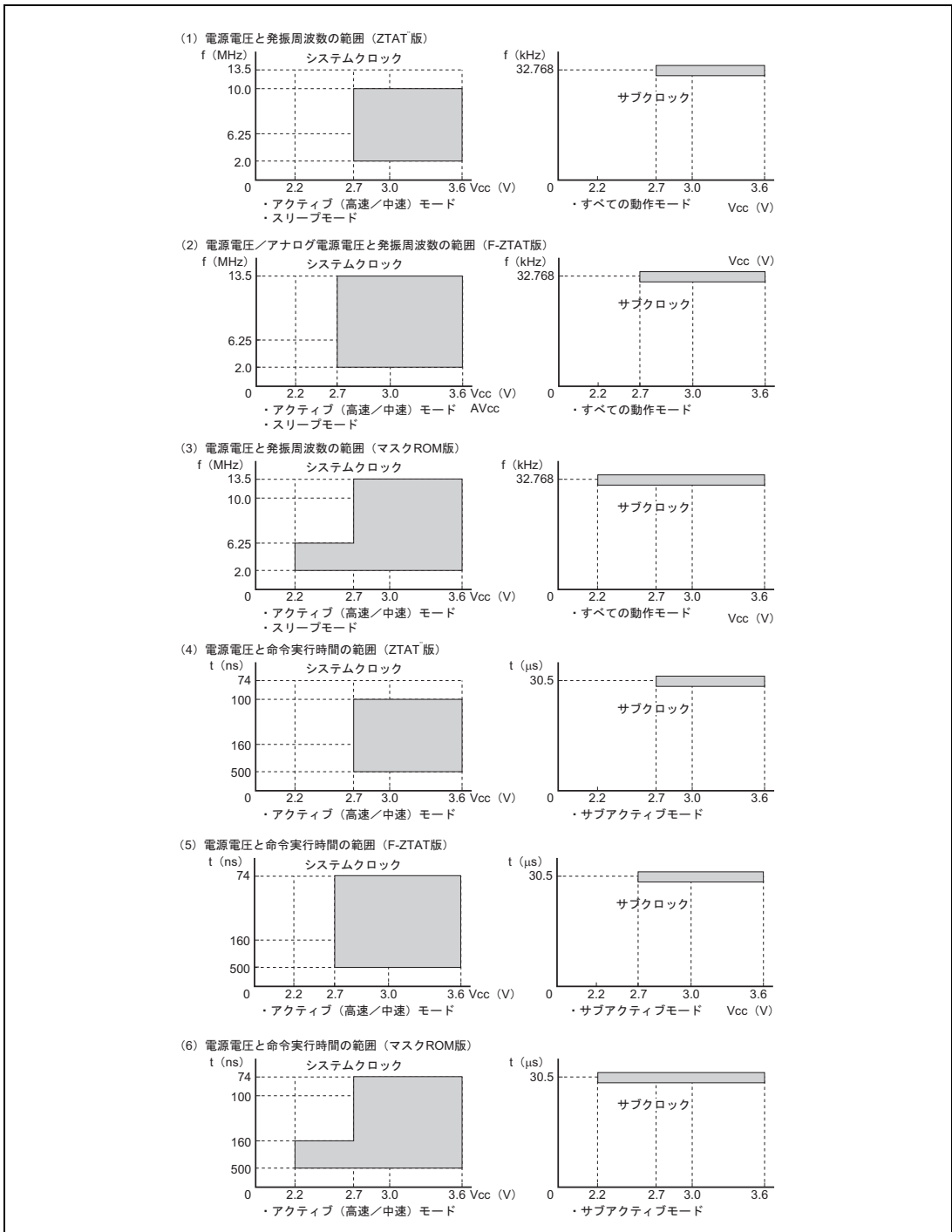


図 27.5 電源電圧と動作範囲 (H8S/2237 グループ、H8S/2227 グループ)

## 27. 電気的特性

---

### 27.2 H8S/2258 グループの電気的特性

#### 27.2.1 絶対最大定格

表 27.1 に絶対最大定格を示します。

表 27.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V
	$CV_{CC}$	-0.3 ~ +4.3	V
入力電圧 (ポート 4、9 以外)	$V_{in}$	-0.3 ~ $V_{CC}+0.3$	V
入力電圧 (ポート 4、9)	$V_{in}$	-0.3 ~ $AV_{CC}+0.3$	V
リファレンス電源電圧	$V_{ref}$	-0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	$AV_{CC}$	-0.3 ~ +7.0	V
アナログ入力電圧	$V_{AN}$	-0.3 ~ $AV_{CC}+0.3$	V
動作温度	$T_{opr}$	通常仕様品 : -20 ~ +75*	
		広温度範囲仕様品 : -40 ~ +85*	
保存温度	$T_{stg}$	-55 ~ +125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 \* フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = -20 \sim +75$  です。

## 27.2.2 DC 特性

表 27.2 に DC 特性を、表 27.3 に出力許容電流を、表 27.4 にバス駆動特性を示します。

表 27.2 DC 特性 (1)

条件 :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、  
 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min.	typ.	max.	単位	測定条件
シュミット トリガ入力 電圧	$\overline{IRQ0} \sim \overline{IRQ7}$	$VT^-$	$V_{CC} \times 0.2$		V	
		$VT^+$		$V_{CC} \times 0.8$	V	
		$VT^+ - VT^-$	$V_{CC} \times 0.05$		V	
入力 High レベル電圧	RES、STBY、NMI、 MD2 ~ MD0、FWE	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V
	EXTAL ポート 1、3、7、A ~ G		$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V
	ポート 4、9		$V_{CC} \times 0.8$		$AV_{CC} + 0.3$	V
入力 Low レベル電圧	RES、STBY、MD2 ~ MD0、 FWE	$V_{IL}$	-0.3		$V_{CC} \times 0.1$	V
	NMI、EXTAL、 ポート 1、3、4、7、9、A ~ G		-0.3		$V_{CC} \times 0.2$	V
出力 High レベル電圧	P34、P35 を除く 全出力端子* <sup>3</sup>	$V_{OH}$	$V_{CC} - 0.5$		V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$		V	$I_{OH} = -1mA$
	P34、P35* <sup>2</sup>		$V_{CC} - 2.7$		V	$I_{OH} = -100\mu A$
出力 Low レベル電圧	全出力端子* <sup>3</sup>	$V_{OL}$		0.4	V	$I_{OL} = 0.4mA$
				0.4	V	$I_{OL} = 0.8mA$
入力リーク 電流	RES	$ I_{in} $		1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、MD2 ~ MD0、 FWE			1.0	$\mu A$	
	ポート 4、9			1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープステート リーク電流 (オフ状態)	ポート 1、3、7、A ~ G	$ I_{TSI} $		1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート A ~ E	$-I_p$	10	300	$\mu A$	$V_{in} = 0V$

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、Vref、AVSS 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、Vref 端子は  $V_{CC}$  に接続するなどの方法で、4.0 ~ 5.5V の電圧を印加してください。このとき、 $V_{ref} = AV_{CC}$  としてください。

## 27. 電気的特性

---

- \*2 P35/SCK1/SCL0、P34/SDA0 は NMOS プッシュプル出力です。  
SCL0、SDA0 (ICE = 1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。  
P35/SCK1、P34 (ICE = 0) の High レベルは NMOS で駆動されます。
- \*3 IICS = 0 および ICE = 0 の場合です。バス駆動機能を選択した場合の SCL1、SCL0、SDA1、SDA0 の Low レベル出力は表 27.4 で定めます。



表 27.2 DC 特性 (2)

条件 : F-ZTAT 版 :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、  
 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min.	typ.	max.	単位	測定条件	
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI				30	pF	
	P32 ~ P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		28	40	mA	$f = 13.5MHz$
	スリープ時			22	30	mA	$f = 13.5MHz$
	全モジュールストップ時			14		mA	$f = 13.5MHz$ 、 $V_{CC} = 5.0V$ (参考値)
	中速モード ( $\phi 32$ ) 時			17		mA	$f = 13.5MHz$ 、 $V_{CC} = 5.0V$ (参考値)
	サブアクティブモード時			90	180	$\mu A$	32.768kHz 水晶発振子使用時、 $V_{CC} = 5.0V$
	サブスリープモード時			70	140	$\mu A$	32.768kHz 水晶発振子使用時、 $V_{CC} = 5.0V$
	ウォッチモード時			8	40	$\mu A$	32.768kHz 水晶発振子使用時、 $V_{CC} = 5.0V$
	スタンバイ時* <sup>3</sup>			1.5	10	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時
アナログ電源電流	A/D、D/A 変換中	$AI_{CC}$		0.4	1.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
リファレンス電源電流	A/D、D/A 変換中	$AI_{CC}$		2.1	3.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
RAM スタンバイ電圧	$V_{RAM}$	2.0			V		

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、 $4.0 \sim 5.5V$  の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM}$   $V_{CC} < 4.0V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

## 27. 電気的特性

---

\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。

$$I_{CC \text{ max.}} = 2.0 \text{ (mA)} + 0.7 \text{ (mA/V)} \times V_{CC} + 1.4 \text{ (mA/MHz)} \times f + 0.20 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC \text{ max.}} = 1.5 \text{ (mA)} + 0.6 \text{ (mA/V)} \times V_{CC} + 1.1 \text{ (mA/MHz)} \times f + 0.15 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

表 27.2 DC 特性 (3)

条件：マスク ROM 版： $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目		記号	min.	typ.	max.	単位	測定条件
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI				30	pF	
	P32 ~ P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		25 $V_{CC} = 5.0V$	40 $V_{CC} = 5.5V$	mA	$f = 13.5MHz$
	スリープ時			20 $V_{CC} = 5.0V$	30 $V_{CC} = 5.5V$	mA	$f = 13.5MHz$
	全モジュールストップ時			13		mA	$f = 13.5MHz$ 、 $V_{CC} = 5.0V$ (参考値)
	中速モード ( $\phi/32$ ) 時			15		mA	$f = 13.5MHz$ 、 $V_{CC} = 5.0V$ (参考値)
	サブアクティブモード時			70	180	$\mu A$	32.768kHz 水晶発振子使用時、 $V_{CC} = 5.0V$
	サブスリープモード時			50	100	$\mu A$	32.768kHz 水晶発振子使用時、 $V_{CC} = 5.0V$
	ウォッチモード時			8	40	$\mu A$	32.768kHz 水晶発振子使用時、 $V_{CC} = 5.0V$
	スタンバイ時* <sup>3</sup>			1.0	10	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時
				50	$50 < T_a$ 、 32.768kHz 未使用時		
アナログ電源電流	A/D、D/A 変換中	$AI_{CC}$		0.4	1.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
リファレンス電源電流	A/D、D/A 変換中	$AI_{CC}$		2.1	3.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、 $4.0 \sim 5.5V$  の電圧を印加してください。このとき、 $V_{ref} = AV_{CC}$  としてください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM} = V_{CC} < 4.0V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

## 27. 電気的特性

\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。

$$I_{CC \text{ max.}} = 2.0 \text{ (mA)} + 0.7 \text{ (mA/V)} \times V_{CC} + 1.4 \text{ (mA/MHz)} \times f + 0.20 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC \text{ max.}} = 1.5 \text{ (mA)} + 0.6 \text{ (mA/V)} \times V_{CC} + 1.1 \text{ (mA/MHz)} \times f + 0.15 \text{ (mA/(MHz} \cdot \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

表 27.3 出力許容電流

条件 :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min.	typ.	max.	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1、SCL0、 SDA1、SDA0	$V_{CC} = 4.0 \sim 5.5V$	$I_{OL}$		10	mA
	上記以外の全 出力端子				1.0	
出力 Low レベル許容電流 (総和)	全出力端子の総和*	$V_{CC} = 4.0 \sim 5.5V$	$I_{OL}$		60	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$V_{CC} = 4.0 \sim 5.5V$	$-I_{OH}$		1.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$V_{CC} = 4.0 \sim 5.5V$	$-I_{OH}$		30	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 27.3 の値を超えないようにしてください。

表 27.4 バス駆動特性

条件： $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ （通常仕様品）、 $T_a = -40 \sim +85$ （広温度範囲仕様品）\*1、対象端子：SCL1、SCL0、SDA1、SDA0

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	$VT^-$	$V_{CC} \times 0.3$			V	$V_{CC} = 4.0V \sim 5.5V$
	$VT^+$			$V_{CC} \times 0.7$		$V_{CC} = 4.0V \sim 5.5V$
	$VT^+ - VT^-$	0.4				$V_{CC} = 4.0V \sim 5.5V$
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$		$V_{CC} + 0.5$	V	$V_{CC} = 4.0V \sim 5.5V$
入力 Low レベル電圧	$V_{IL}$	-0.5		$V_{CC} \times 0.3$	V	$V_{CC} = 4.0V \sim 5.5V$
出力 Low レベル電圧	$V_{OL}$			0.5	V	$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$
入力容量	$C_{in}$			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステートリーク 電流（オフ状態）	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力 立ち下がり時間	$t_{of}$	$20 + 0.1Cb$		250	ns	$V_{CC} = 4.0V \sim 5.5V$

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、4.0 ~ 5.5V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

### 27.2.3 AC 特性

図 27.6 に AC 測定条件を示します。

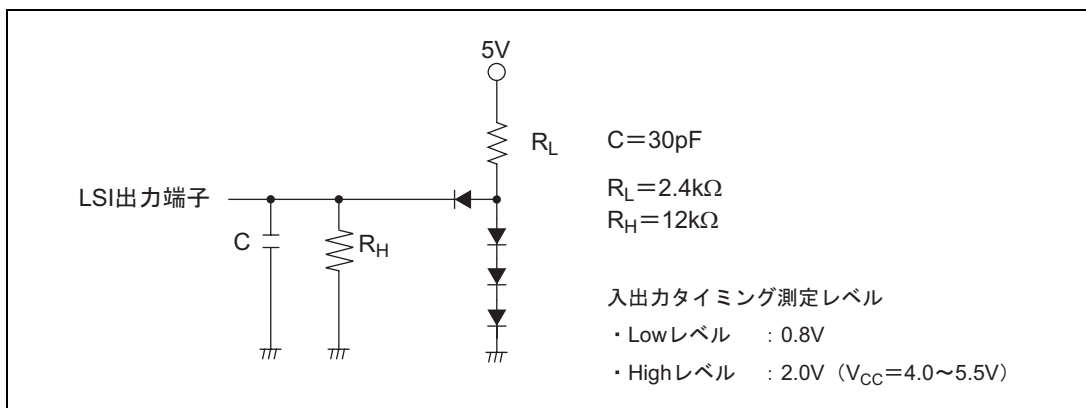


図 27.6 出力負荷回路

## (1) クロックタイミング

表 27.5 にクロックタイミングを示します。

表 27.5 クロックタイミング

条件 A :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $10 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		単位	測定条件
		min.	max.		
クロックサイクル時間	$t_{cyc}$	74	100	ns	図 27.10
クロックハイレベルパルス幅	$t_{CH}$	25		ns	
クロックローレベルパルス幅	$t_{CL}$	25		ns	
クロック立ち上がり時間	$t_{Cr}$		10	ns	
クロック立ち下がり時間	$t_{Cr}$		10	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	20		ms	図 27.11
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8		ms	
外部クロック出力安定遅延時間	$t_{DEXT}$	500		$\mu s$	図 27.11
32kHz クロック発振安定時間	$t_{OSC3}$		2	s	
サブクロック発振器発振周波数	$f_{SUB}$	32.768		kHz	
サブクロック ( $\phi_{SUB}$ ) サイクル時間	$f_{SUB}$	30.5		$\mu s$	

## 27. 電氣的特性

### (2) 制御信号タイミング

表 27.6 に制御信号タイミングを示します。

表 27.6 制御信号タイミング

条件 A :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $10 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		単位	測定 条件
		min.	max.		
$\overline{RES}$ セットアップ時間	$t_{RESS}$	250		ns	図 27.12
RES パルス幅	$t_{RESW}$	20		$t_{cyc}$	
$\overline{MRES}$ セットアップ時間	$t_{MRESS}$	250		ns	
$\overline{MRES}$ パルス幅	$t_{MRESW}$	20		$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	250		ns	図 27.13
NMI ホールド時間	$t_{NMIH}$	10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		ns	
$\overline{IRQ}$ セットアップ時間	$t_{IRQS}$	250		ns	
$\overline{IRQ}$ ホールド時間	$t_{IRQH}$	10		ns	
$\overline{IRQ}$ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		ns	



## (3) バスタイミング

表 27.7 にバスタイミングを示します。

表 27.7 バスタイミング

条件 A :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 10 \sim 13.5MHz$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		単位	測定条件
		min.	max.		
アドレス遅延時間	$t_{AD}$		50	ns	図 27.14 ~ 図 27.18
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 15$		ns	
CS 遅延時間	$t_{CSD}$		50	ns	
AS 遅延時間	$t_{ASD}$		50	ns	
RD 遅延時間 1	$t_{RSD1}$		50	ns	
RD 遅延時間 2	$t_{RSD2}$		50	ns	
リードデータセットアップ時間	$t_{RDS}$	30		ns	
リードデータホールド時間	$t_{RDH}$	0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 65$	ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 65$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 65$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 65$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 65$	ns	
WR 遅延時間 1	$t_{WRD1}$		50	ns	
WR 遅延時間 2	$t_{WRD2}$		50	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 30$		ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 30$		ns	
ライトデータ遅延時間	$t_{WDD}$		70	ns	
ライトデータセットアップ時間	$t_{WDS}$	$0.5t_{cyc} - 37$		ns	
ライトデータホールド時間	$t_{WDH}$	$0.5t_{cyc} - 15$		ns	
WAIT セットアップ時間	$t_{WTS}$	50		ns	図 27.16
WAIT ホールド時間	$t_{WTH}$	10		ns	
BREQ セットアップ時間	$t_{BRQS}$	50		ns	図 27.19
BACK 遅延時間	$t_{BACD}$		50	ns	
バスフローティング時間	$t_{BZD}$		80	ns	

## 27. 電気的特性

### (4) 内蔵周辺モジュールタイミング

表 27.8 に内蔵周辺タイミングを示します。

表 27.8 内蔵周辺タイミング

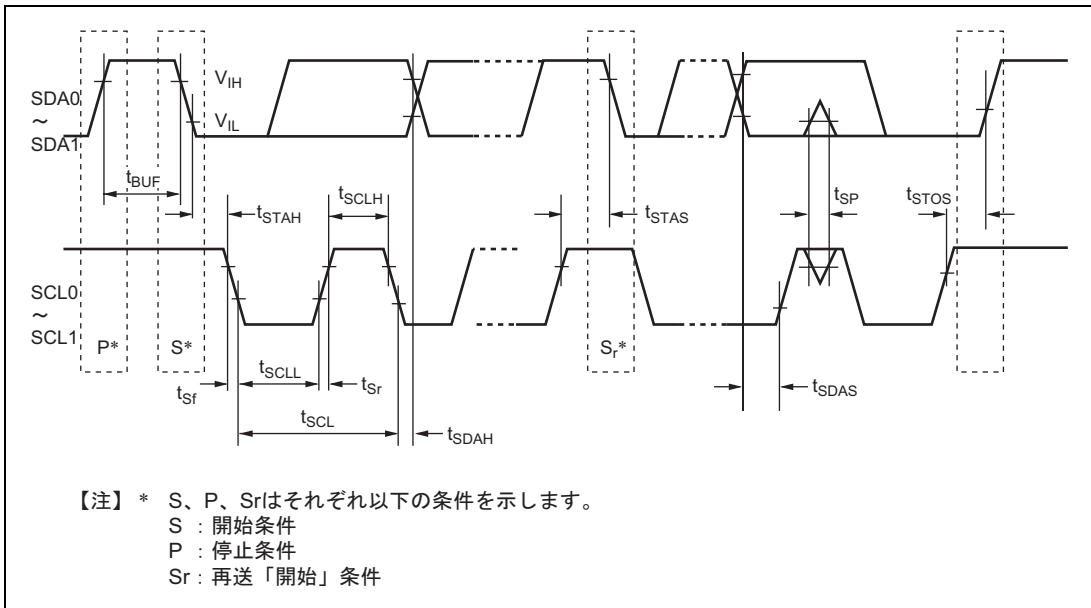
条件 A :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $10 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	条件 A		単位	測定条件	
			min.	max.			
I/O ポート	出力データ遅延時間	$t_{PWD}$		100	ns	図 27.24	
	入力データセットアップ時間	$t_{PRS}$	50				
	入力データホールド時間	$t_{PRH}$	50				
TPU	タイマ出力遅延時間	$t_{TOCD}$		100	ns	図 27.25	
	タイマ入力セットアップ時間	$t_{TICS}$	40				
	タイマクロック入力セットアップ時間	$t_{TCKS}$	40		ns	図 27.26	
	タイマクロック パルス幅	単エッジ指定	$t_{TCKWH}$	1.5			$t_{cyc}$
		両エッジ指定	$t_{TCKWL}$	2.5			
TMR	タイマ出力遅延時間	$t_{TMOD}$		100	ns	図 27.27	
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50				ns
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50		ns	図 27.28	
	タイマクロック パルス幅	単エッジ指定	$t_{TMCWH}$	1.5			$t_{cyc}$
		両エッジ指定	$t_{TMCWL}$	2.5			
WDT1	BUZZ 出力遅延時間	$t_{BUZD}$		100	ns	図 27.30	
SCI	入カクロック サイクル	調歩同期	$t_{Scyc}$	4	$t_{cyc}$	図 27.31	
		クロック同期		6			
	入カクロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$	
	入カクロック立ち上がり時間		$t_{SCKr}$		1.5	$t_{cyc}$	
	入カクロック立ち下がり時間		$t_{SCKf}$		1.5		
	送信データ遅延時間		$t_{TXD}$		100	ns	図 27.32
	受信データセットアップ時間 (クロック同期)		$t_{RXS}$	75		ns	
	受信データホールド時間 (クロック同期)		$t_{RXH}$	75		ns	
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	40		ns	図 27.33	

表 27.9 I<sup>2</sup>C バスタイミング条件：V<sub>CC</sub> = 4.0 ~ 5.5V、V<sub>SS</sub> = 0V、φ = 5MHz ~ 最大動作周波数、T<sub>a</sub> = -20 ~ +75

項目	記号	規格値			単位	測定条件
		min	typ	max		
SCL 入力サイクル時間	t <sub>SCL</sub>	12			t <sub>cyt</sub>	図 27.7
SCL 入力 High パルス幅	t <sub>SCLH</sub>	3			t <sub>cyt</sub>	
SCL 入力 Low パルス幅	t <sub>SCLL</sub>	5			t <sub>cyt</sub>	
SCL、SDA 入力立ち上がり時間	t <sub>sr</sub>			7.5* <sup>1</sup>	t <sub>cyt</sub>	
SCL、SDA 入力立ち下がり時間	t <sub>sf</sub>			300	ns	
SCL、SDA 入カスパイクパルス除去時間	t <sub>SP</sub>			1	t <sub>cyt</sub>	
SDA 入力バスフリー時間	t <sub>BUF</sub>	5			t <sub>cyt</sub>	
開始条件入力ホールド時間	t <sub>STAH</sub>	3			t <sub>cyt</sub>	
再送開始条件入力セットアップ時間	t <sub>STAS</sub>	3			t <sub>cyt</sub>	
停止条件入力セットアップ時間	t <sub>STOS</sub>	3			t <sub>cyt</sub>	
データ入力セットアップ時間	t <sub>SDAS</sub>	0.5			t <sub>cyt</sub>	
データ入力ホールド時間	t <sub>SDAH</sub>	0			ns	
SCL、SDA の容量性負荷	C <sub>b</sub>			400	pF	

【注】 \*1 I<sup>2</sup>C モジュールで使用するクロックの選択により、7.5t<sub>cyt</sub>、17.5t<sub>cyt</sub> とすることが可能です。詳細は「16.6 使用上の注意事項」を参照してください。

図 27.7 I<sup>2</sup>C バスインタフェース入出力タイミング【オプション】

## 27. 電氣的特性

### 27.2.4 A/D 変換特性

表 27.10 に A/D 変換特性を示します。

表 27.10 A/D 変換特性

条件 A :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 10 \sim 13.5MHz$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A			単位
	min.	typ.	max.	
分解能	10	10	10	ビット
変換時間	9.6			$\mu s$
アナログ入力容量			20	pF
許容信号源インピーダンス			5	k $\Omega$
非直線性誤差			$\pm 6.0$	LSB
オフセット誤差			$\pm 4.0$	LSB
フルスケール誤差			$\pm 4.0$	LSB
量子化誤差			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$	LSB

### 27.2.5 D/A 変換特性

表 27.11 に D/A 変換特性を示します。

表 27.11 D/A 変換特性

条件 A :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 10 \sim 13.5MHz$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A			単位	測定条件
	min.	typ.	max.		
分解能	8	8	8	ビット	
変換時間			10	$\mu s$	負荷容量 20pF
絶対精度		$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M $\Omega$
			$\pm 2.0$	LSB	負荷抵抗 4M $\Omega$

## 27.2.6 フラッシュメモリ特性

表 27.12 フラッシュメモリ特性

条件 :  $V_{CC} = 4.0 \sim 5.5V$ 、 $AV_{CC} = 4.0 \sim 5.5V$ 、 $V_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
 $T_a = -20 \sim +75$  (書き込み / 消去時の動作温度範囲)

項目		記号	min.	typ.	max.	単位	測定条件
書き込み時間 <sup>*1*2*4</sup>		$t_p$		40	200	ms/128 バイト	
消去時間 <sup>*1*3*5</sup>		$t_E$		20	1000	ms/ ブロック	
書き換え回数		NWEC	100 <sup>*6</sup>	10000 <sup>*7</sup>		回	
データ保持時間 <sup>*8</sup>		$t_{DRP}$	10			年	
書き込み時	SWE1 ビットセット後のウェイト時間 <sup>*1</sup>	tsswe	1	1		$\mu$ s	
	PSU1 ビットセット後のウェイト時間 <sup>*1</sup>	tspsu	50	50		$\mu$ s	
	P1 ビットセット後のウェイト時間 <sup>*1*4</sup>	tsp10	8	10	12	$\mu$ s	
		tsp30	28	30	32	$\mu$ s	1 n 6
		tsp200	198	200	202	$\mu$ s	7 n 1000
	P1 ビットクリア後のウェイト時間 <sup>*1</sup>	tcp	5	5		$\mu$ s	
	PSU1 ビットクリア後のウェイト時間 <sup>*1</sup>	tcpsu	5	5		$\mu$ s	
	PV1 ビットセット後のウェイト時間 <sup>*1</sup>	tspv	4	4		$\mu$ s	
	H'FF ダミーライト後のウェイト時間 <sup>*1</sup>	tspvr	2	2		$\mu$ s	
	PV1 ビットクリア後のウェイト時間 <sup>*1</sup>	tcpv	2	2		$\mu$ s	
	SWE1 ビットクリア後のウェイト時間	tcswe	100	100		$\mu$ s	
	最大書き込み回数 <sup>*1*4</sup>	N1			6 <sup>*4</sup>	回	
		N2			994 <sup>*4</sup>		
消去時	SWE1 ビットセット後のウェイト時間 <sup>*1</sup>	tsswe	1	1		$\mu$ s	
	ESU1 ビットセット後のウェイト時間 <sup>*1</sup>	tsesu	100	100		$\mu$ s	
	E1 ビットセット後のウェイト時間 <sup>*1*5</sup>	tse	10	10	100	ms	
	E1 ビットクリア後のウェイト時間 <sup>*1</sup>	tce	10	10		$\mu$ s	
	ESU1 ビットクリア後のウェイト時間 <sup>*1</sup>	tcesu	10	10		$\mu$ s	
	EV1 ビットセット後のウェイト時間 <sup>*1</sup>	tsev	20	20		$\mu$ s	
	H'FF ダミーライト後のウェイト時間 <sup>*1</sup>	tsevr	2	2		$\mu$ s	
	EV1 ビットクリア後のウェイト時間 <sup>*1</sup>	tcev	4	4		$\mu$ s	
	SWE1 ビットクリア後のウェイト時間	tcswe	100	100		$\mu$ s	
	最大消去回数 <sup>*1*5</sup>	N			100	回	

【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

\*2 128 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません。)

## 27. 電気的特性

---

- \*3 1ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません。)
- \*4 書き込み時間の最大値  
( $t_p(\max) = P1$  ビットセット後のウェイト時間 (tsp) × 最大書き込み回数 (N))  
(tsp30 + tsp10) × 6 + (tsp200) × 994
- \*5 消去時間の最大値 ( $t_e(\max)$ ) に対して、E1 ビットセット後のウェイト時間 (z) と最大消去回数 (N) は以下の関係にあります。  
 $t_e(\max) = E1$  ビットセット後のウェイト時間 (tse) × 最大消去回数 (N)
- \*6 書き換え後のすべての特性を保証する min 回数です。(保証は 1 ~ min 値の範囲です)
- \*7 25 のときの参考値。(通常この値まで書き換えは機能するという目安です)
- \*8 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

## 27.3 H8S/2239 グループの電气的特性

### 27.3.1 絶対最大定格

表 27.13 に絶対最大定格を示します。

表 27.13 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$	- 0.3 ~ +4.3	V
	$CV_{CC}$	- 0.3 ~ +4.3	V
入力電圧 (ポート 4、9 以外)	$V_{in}$	- 0.3 ~ $V_{CC}+0.3$	V
入力電圧 (ポート 4、9)	$V_{in}$	- 0.3 ~ $AV_{CC}+0.3$	V
リファレンス電源電圧	$V_{ref}$	- 0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	$AV_{CC}$	- 0.3 ~ +4.3	V
アナログ入力電圧	$V_{AN}$	- 0.3 ~ $AV_{CC}+0.3$	V
動作温度	$T_{opr}$	通常仕様品 : - 20 ~ +75*	
		広温度範囲仕様品 : - 40 ~ +85*	
保存温度	$T_{stg}$	- 55 ~ +125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 \* フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = -20 \sim +50$  (通常仕様品) です。

### 27.3.2 DC 特性

表 27.14 に DC 特性を、表 27.15 に出力許容電流を、表 27.16 にバス駆動特性を示します。

## 27. 電気的特性

表 27.14 DC 特性 (1)

条件 A (F-ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,

$T_a = -20 \sim +75$  (通常仕様品)\*<sup>1</sup>

条件 B (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

条件 C (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $T_a = -20$

$\sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件				
シュミット トリガ入力 電圧	IRQ0 ~ IRQ7	VT <sup>-</sup> VT <sup>+</sup> VT <sup>+</sup> -VT <sup>-</sup>			V					
							$V_{CC} \times 0.2$	$V_{CC} \times 0.8$	$V_{CC} \times 0.05$	
入力 High レベル電圧	RES、STBY、NMI、FWE MD2 ~ MD0	V <sub>IH</sub>			V					
	EXTAL、ポート 1、3、 7、A ~ G						$V_{CC} \times 0.9$	$V_{CC} + 0.3$	$V_{CC} \times 0.8$	$V_{CC} + 0.3$
	ポート 4* <sup>5</sup> 、9						$V_{CC} \times 0.8$	$V_{CC} + 0.3$	$AV_{CC} + 0.3$ * <sup>5</sup>	$V_{CC} + 0.3$
入力 Low レベル電圧	RES、STBY、FWE MD2 ~ MD0	V <sub>IL</sub>			V					
	NMI、EXTAL、ポート 1、 3、4、7、9、A ~ G						- 0.3	$V_{CC} \times 0.1$	- 0.3	$V_{CC} \times 0.2$
出力 High レベル電圧	P34、P35 を除く 全出力端子* <sup>4</sup>	V <sub>OH</sub>			V	I <sub>OH</sub> = - 200μA				
	P34、P35* <sup>3</sup>						$V_{CC} - 0.5$	$V_{CC} - 1.0$	$V_{CC} - 2.0$	I <sub>OH</sub> = - 1mA* <sup>2</sup>
										I <sub>OH</sub> = - 100μA (参考値)
出力 Low レベル電圧	全出力端子* <sup>4</sup>	V <sub>OL</sub>			V	I <sub>OL</sub> = 0.4mA				
								0.4	0.4	I <sub>OL</sub> = 0.8mA* <sup>2</sup>
入力リーク 電流	RES	I <sub>in</sub>			μA	V <sub>in</sub> = 0.2 ~ V <sub>CC</sub> - 0.2V				
	STBY、NMI、FWE、 MD2 ~ MD0						1.0	1.0	1.0	
	ポート 4、9								1.0	V <sub>in</sub> = 0.2 ~ AV <sub>CC</sub> - 0.2V
スリーステ ートリーク電 流 (オフ状態)	ポート 1、3、7、A ~ G	I <sub>TSI</sub>			μA	V <sub>in</sub> = 0.2 ~ V <sub>CC</sub> - 0.2V				
入力プルアッ プ MOS 電流	ポート A ~ E	- I <sub>p</sub>	10		μA	V <sub>in</sub> = 0V				

【注】 \*<sup>1</sup> A/D 変換器、D/A 変換器を使用しない場合でも、AV<sub>CC</sub>、V<sub>ref</sub>、AV<sub>SS</sub> 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AV<sub>CC</sub>、V<sub>ref</sub> 端子は V<sub>CC</sub> に接続するなどの方法で、2.0 ~ 3.6V の電圧を印加してください。このとき、V<sub>ref</sub> AV<sub>CC</sub> としてください。

\*<sup>2</sup> V<sub>CC</sub> = 2.7 ~ 3.6V

\*<sup>3</sup> P35/SCK1、P34 は NMOS プッシュプル出力です。High レベル出力するためにはプルアップ抵抗を外付けする必要があります。

\*<sup>4</sup> ICE = 0 の場合です。バス駆動機能を選択した場合の Low レベル出力は表 27.16 で定めます。

\*<sup>5</sup> V<sub>CC</sub> < AV<sub>CC</sub> のとき、P40、P41 の max は V<sub>CC</sub> + 0.3V になります。



表 27.14 DC 特性 (2)

条件 A (F-ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)\*<sup>1</sup>条件 C (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI				30	pF	
	P32 ~ P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		29	55	mA	$f = 20.0MHz$
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
	スリープ時			19	43	mA	$f = 20.0MHz$
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
	全モジュール ストップ時			16		mA	$f = 20.0MHz$ 、 $V_{CC} = 3.0V$ (参考値)
				15			
	中速モード ( $\phi/32$ ) 時			15		mA	$f = 20.0MHz$ 、 $V_{CC} = 3.0V$ (参考値)
				13			
	サブアクティブ モード時			70	180	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	サブスリープ モード時			50	130	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	ウォッチモード時			8	40	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	スタンバイ時* <sup>3</sup>			1.0	10	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
			50	$\mu A$	$50 < T_a$ 、 32.768kHz 未使用時		
			$V_{CC} = 3.6V$				
アナログ 電源電流	A/D、D/A 変換中	$AI_{CC}$		0.5	1.5	mA	
	A/D、D/A 変換待機時			0.01	5.0		

## 27. 電氣的特性

項目		記号	min	typ	max	単位	測定条件
リファレンス 電源電流	A/D、D/A 変換中	I <sub>CC</sub>		1.3	2.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	μA	
RAM スタンバイ電圧		V <sub>RAM</sub>	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AV<sub>CC</sub>、V<sub>ref</sub>、AV<sub>SS</sub> 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AV<sub>CC</sub>、V<sub>ref</sub> 端子は V<sub>CC</sub> に接続するなどの方法で、2.0~3.6V の電圧を印加してください。このとき、V<sub>ref</sub> AV<sub>CC</sub> としてください。

\*2 消費電流値は、V<sub>IH</sub> min = V<sub>CC</sub> - 0.2V、V<sub>IL</sub> max = 0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3 V<sub>RAM</sub> V<sub>CC</sub> < 2.7V のとき、V<sub>IH</sub> min = V<sub>CC</sub> - 0.2、V<sub>IL</sub> max = 0.2V とした場合の値です。

\*4 I<sub>CC</sub> は下記の式に従って V<sub>CC</sub> と f に依存します。

$$I_{CC \max} = 1.0 \text{ (mA)} + 0.74 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC \max} = 1.0 \text{ (mA)} + 0.58 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

表 27.14 DC 特性 (3)

条件 B (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

条件 C (マスク ROM 版) :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI				30	pF	
	P32 ~ P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		29	55	mA	$f = 20.0MHz$
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
				25	42	mA	$f = 16.0MHz$
			$V_{CC} = 3.0V$	$V_{CC} = 3.6V$			
			10	18	mA	$f = 6.25MHz$	
			$V_{CC} = 3.0V$	$V_{CC} = 3.6V$			
	スリープ時			19	43	mA	$f = 20.0MHz$
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
				17	32	mA	$f = 16.0MHz$
			$V_{CC} = 3.0V$	$V_{CC} = 3.6V$			
			7.5	14	mA	$f = 6.25MHz$	
			$V_{CC} = 3.0V$	$V_{CC} = 3.6V$			
	全モジュール ストップ時			16		mA	$f = 20.0MHz$ 、 $V_{CC} = 3.0V$ (参考値)
		15		mA	$f = 16.0MHz$ 、 $V_{CC} = 3.0V$ (参考値)		
中速モード ( $\phi/32$ ) 時		15		mA	$f = 20.0MHz$ 、 $V_{CC} = 3.0V$ (参考値)		
		13		mA	$f = 16.0MHz$ 、 $V_{CC} = 3.0V$ (参考値)		
サブアクティブ モード時		45	180	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$		
サブスリープ モード時		30	100	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$		
ウォッチモード時		8	40	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$		

## 27. 電氣的特性

項目		記号	min	typ	max	単位	測定条件
消費電流*2	スタンバイ時*3	I <sub>CC</sub> *4		0.5 V <sub>CC</sub> = 3.0V	10 V <sub>CC</sub> = 3.6V	μA	T <sub>a</sub> 50、 32.768kHz 未使用時
					50 V <sub>CC</sub> = 3.6V		50 < T <sub>a</sub> 、 32.768kHz 未使用時
アナログ 電源電流	A/D、D/A 変換中	I <sub>lcc</sub>		0.5	1.5	mA	
	A/D、D/A 変換待機時			0.01	5.0		μA
リファレンス 電源電流	A/D、D/A 変換中	I <sub>lcc</sub>		1.3	2.5	mA	
	A/D、D/A 変換待機時			0.01	5.0		μA
RAM スタンバイ電圧		V <sub>RAM</sub>	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AV<sub>CC</sub>、V<sub>ref</sub>、AV<sub>SS</sub> 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AV<sub>CC</sub>、V<sub>ref</sub> 端子は V<sub>CC</sub> に接続するなどの方法で、2.0 ~ 3.6V の電圧を印加してください。このとき、V<sub>ref</sub> AV<sub>CC</sub>としてください。

\*2 消費電流値は、V<sub>IH</sub> min = V<sub>CC</sub> - 0.2V、V<sub>IL</sub> max = 0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3 V<sub>RAM</sub> V<sub>CC</sub> < 2.2V のとき、V<sub>IH</sub> min = V<sub>CC</sub> - 0.2、V<sub>IL</sub> max = 0.2V とした場合の値です。

\*4 I<sub>CC</sub> は下記の式に従って V<sub>CC</sub> と f に依存します。

$$I_{CC \max} = 1.0 \text{ (mA)} + 0.74 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC \max} = 1.0 \text{ (mA)} + 0.58 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

表 27.15 出力許容電流

条件 A (F-ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項 目		記号	min	typ	max	単位	
出力 (1 端子当たり) Low レベル許容電流	SCL1、SCL0、SDA1、SDA0	$V_{CC} = 2.7 \sim 3.6V$	$I_{OL}$	-	-	10	mA
	上記以外の出力端子	$V_{CC} = 2.2 \sim 3.6V$	$I_{OL}$	-	-	0.5	
		$V_{CC} = 2.7 \sim 3.6V$		-	-	1.0	
出力 Low レベル許容電流 (総和)	全出力端子の総和	$V_{CC} = 2.2 \sim 3.6V$	$\Sigma I_{OL}$	-	-	30	mA
		$V_{CC} = 2.7 \sim 3.6V$		-	-	60	
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$V_{CC} = 2.2 \sim 3.6V$	$-I_{OH}$	-	-	0.5	mA
		$V_{CC} = 2.7 \sim 3.6V$		-	-	1.0	
出力 High レベル許容電流 (総和)	全出力端子の総和	$V_{CC} = 2.2 \sim 3.6V$	$\Sigma - I_{OH}$	-	-	15	mA
		$V_{CC} = 2.7 \sim 3.6V$		-	-	30	

【注】 LSI の信頼性を確保するため、出力電流値は表 27.15 の値を超えないようにしてください。

表 27.16 バス駆動特性

条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*、対象端子 : SCL1、SCL0、SDA1、SDA0

項 目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	$VT^-$	$V_{CC} \times 0.3$	-	-	V	$V_{CC} = 2.7 \sim 3.6V$
	$VT^+$	-	-	$V_{CC} \times 0.7$		$V_{CC} = 2.7 \sim 3.6V$
	$VT^+ - VT^-$	$V_{CC} \times 0.05$	-	-		$V_{CC} = 2.7 \sim 3.6V$
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$	-	$V_{CC} + 0.5$	V	$V_{CC} = 2.7 \sim 3.6V$
入力 Low レベル電圧	$V_{IL}$	-0.5	-	$V_{CC} \times 0.3$	V	$V_{CC} = 2.7 \sim 3.6V$
出力 Low レベル電圧	$V_{OL}$	-	-	0.5	V	$I_{OL} = 6mA$ 、 $V_{CC} = 3.0 \sim 3.6V$
		-	-	0.4		$I_{OL} = 3mA$
入力容量	$C_{in}$	-	-	20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステートリーク電流 (オフ状態)	$ I_{STT} $	-	-	1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5$
SCL、SDA 出力立ち下がり時間	$t_{of}$	$20 + 0.1Cb$	-	250	ns	$V_{CC} = 2.7 \sim 3.6V$

【注】 \* A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、2.0~3.6V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

## 27. 電気的特性

### 27.3.3 AC 特性

図 27.8 に AC 測定条件を示します。

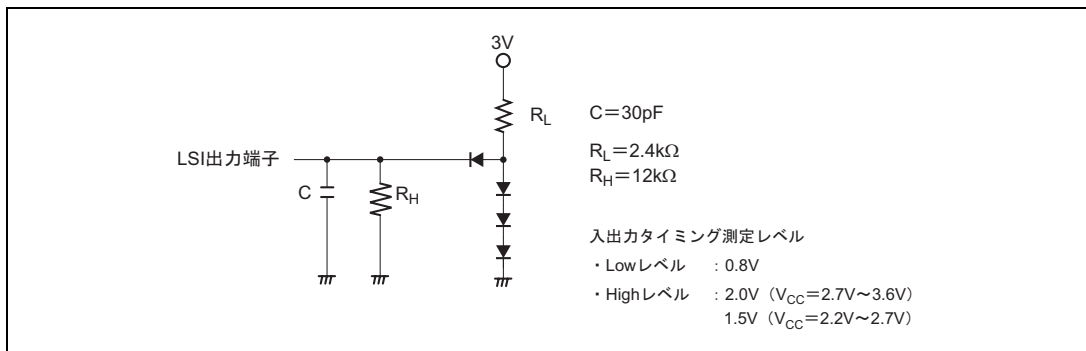


図 27.8 出力負荷回路

#### (1) クロックタイミング

表 27.17 にクロックタイミングを示します。

表 27.17 クロックタイミング

条件 A (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6\text{V}$ 、 $AV_{CC} = 2.7 \sim 3.6\text{V}$ 、 $V_{ref} = 2.7\text{V} \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{V}$ 、 $\phi = 32.768\text{kHz}$ 、 $2 \sim 16.0\text{MHz}$ 、 $T_a = -20 \sim +75$  (通常仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6\text{V}$ 、 $AV_{CC} = 2.2 \sim 3.6\text{V}$ 、 $V_{ref} = 2.2\text{V} \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{V}$ 、 $\phi = 32.768\text{kHz}$ 、 $2 \sim 6.25\text{MHz}$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 3.0 \sim 3.6\text{V}$ 、 $AV_{CC} = 3.0 \sim 3.6\text{V}$ 、 $V_{ref} = 3.0\text{V} \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{V}$ 、 $\phi = 32.768\text{kHz}$ 、 $10.0 \sim 20.0\text{MHz}$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A			条件 B			条件 C			単位	測定条件
		min	typ	max	min	typ	max	min	typ	max		
クロックサイクル時間	$t_{cyc}$	62.5		500	160		500	50		100	ns	図 27.10
クロックハイレベルパルス幅	$t_{CH}$	20			50			17			ns	
クロックローレベルパルス幅	$t_{CL}$	20			50			17			ns	
クロック立ち上がり時間	$t_{Cr}$			10			25			10	ns	
クロック立ち下がり時間	$t_{Cf}$			10			25			10	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	20			40			20			ms	図 27.11
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8			16			8			ms	

項目	記号	条件 A			条件 B			条件 C			単位	測定条件
		min	typ	max	min	typ	max	min	typ	max		
外部クロック出力安定遅延時間	$t_{DEXT}$	500			1000			500			$\mu\text{s}$	図 27.11
サブクロック発振安定時間	$t_{OSC3}$			2			4			2	S	
サブクロック発振器発振周波数	$f_{SUB}$		32.768			32.768			32.768		kHz	
サブクロック ( $\phi_{SUB}$ ) サイクル時間	$t_{SUB}$		30.5			30.5			30.5		$\mu\text{s}$	

## (2) 制御信号タイミング

表 27.18 に制御信号タイミングを示します。

表 27.18 制御信号タイミング

条件 A (F-ZTAT 版、マスク ROM 版):  $V_{CC} = 2.7 \sim 3.6\text{V}$ ,  $AV_{CC} = 2.7 \sim 3.6\text{V}$ ,  $V_{ref} = 2.7\text{V} \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0\text{V}$ ,  $\phi = 32.768\text{kHz}$ ,  
 $2 \sim 16.0\text{MHz}$ ,  $T_a = -20 \sim +75$  (通常仕様品)

条件 B (マスク ROM 版):  $V_{CC} = 2.2 \sim 3.6\text{V}$ ,  $AV_{CC} = 2.2 \sim 3.6\text{V}$ ,  $V_{ref} = 2.2\text{V} \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0\text{V}$ ,  $\phi = 32.768\text{kHz}$ ,  $2 \sim 6.25\text{MHz}$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版、マスク ROM 版):  $V_{CC} = 3.0 \sim 3.6\text{V}$ ,  $AV_{CC} = 3.0 \sim 3.6\text{V}$ ,  $V_{ref} = 3.0\text{V} \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0\text{V}$ ,  $\phi = 32.768\text{kHz}$ ,  
 $10.0 \sim 20.0\text{MHz}$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A、C		条件 B		単位	測定条件
		min	max	min	max		
RES セットアップ時間	$t_{RESS}$	250		350		ns	図 27.12
RES パルス幅	$t_{RESW}$	20		20		$t_{cyc}$	
MRES セットアップ時間	$t_{MRESS}$	250		350		ns	
MRES パルス幅	$t_{MRESW}$	20		20		$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	250		350		ns	図 27.13
NMI ホールド時間	$t_{NMIH}$	10		10		ns	
NMI パルス幅 (ソフトウェアスタンバイ モードからの復帰時)	$t_{NMIW}$	200		300		ns	
$\overline{\text{IRQ}}$ セットアップ時間	$t_{\overline{\text{IRQS}}}$	250		350		ns	
$\overline{\text{IRQ}}$ ホールド時間	$t_{\overline{\text{IRQH}}}$	10		10		ns	
$\overline{\text{IRQ}}$ パルス幅 (ソフトウェアスタンバイ モードからの復帰時)	$t_{\overline{\text{IRQW}}}$	200		300		ns	

## 27. 電気的特性

### (3) バスタイミング

表 27.19 にバスタイミングを示します。

表 27.19 バスタイミング

条件 A (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V - AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 2 \sim 16.0MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V - AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 2 \sim 6.25MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V - AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 10.0 \sim 20.0MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
アドレス遅延時間	$t_{AD}$		40		90		35	ns	図 27.14 ~ 図 27.18
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 42$		$0.5 \times t_{cyc} - 60$		$0.5 \times t_{cyc} - 35$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 10$		$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 5$		ns	
CS 遅延時間	$t_{CSD}$		40		90		35	ns	
AS 遅延時間	$t_{ASD}$		40		90		25	ns	
RD 遅延時間 1	$t_{RSD1}$		40		90		25	ns	
RD 遅延時間 2	$t_{RSD2}$		40		90		25	ns	
リードデータセットアップ時間	$t_{rDS}$	30		50		15		ns	
リードデータホールド時間	$t_{rDH}$	0		0		0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 55$		$1.0 \times t_{cyc} - 90$			ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 90$		$1.5 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 55$		$2.0 \times t_{cyc} - 90$		$2.0 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 90$		$2.5 \times t_{cyc} - 40$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 55$		$3.0 \times t_{cyc} - 90$		$3.0 \times t_{cyc} - 50$	ns	
WR 遅延時間 1	$t_{WRD1}$		40		90		25	ns	
WR 遅延時間 2	$t_{WRD2}$		40		90		25	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 20$		$1.0 \times t_{cyc} - 60$		$1.0 \times t_{cyc} - 20$		ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 20$		$1.5 \times t_{cyc} - 60$		$1.5 \times t_{cyc} - 20$		ns	
ライトデータ遅延時間	$t_{WDD}$		60		100		40	ns	
ライトデータセットアップ時間	$t_{WDS}$	$0.5 \times t_{cyc} - 57$		$0.5 \times t_{cyc} - 80$		$0.5 \times t_{cyc} - 65$		ns	
ライトデータホールド時間	$t_{WDH}$	$0.5 \times t_{cyc} - 27$		$0.5 \times t_{cyc} - 60$		$0.5 \times t_{cyc} - 20$		ns	
WAIT セットアップ時間	$t_{WTS}$	40		90		25		ns	図 27.16
WAIT ホールド時間	$t_{WTH}$	10		10		10		ns	



項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
BREQ セットアップ時間	t <sub>BRQS</sub>	40		90		25		ns	図 27.19
BACK 遅延時間	t <sub>BACD</sub>		40		90		40	ns	
バスフローティング時間	t <sub>BZD</sub>		60		160		50	ns	

## (4) DMAC タイミング

表 27.20 に DMAC タイミングを示します。

表 27.20 DMAC タイミング

条件 A (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 16.0MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 10.0 \sim 20.0MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
DREQ セットアップ時間	t <sub>DRQS</sub>	40		60		30		ns	図 27.23
DREQ ホールド時間	t <sub>DRQH</sub>	10		20		10		ns	
TEND 遅延時間	t <sub>TED</sub>		30		50		30	ns	図 27.22
DACK 遅延時間 1	t <sub>DACD1</sub>		30		50		30	ns	図 27.20
DACK 遅延時間 2	t <sub>DACD2</sub>		30		50		30	ns	図 27.21

## 27. 電気的特性

### (5) 内蔵周辺モジュールタイミング

表 27.21 に内蔵周辺タイミングを、表 27.22 に I<sup>2</sup>C バスタイミングを示します。

表 27.21 内蔵周辺タイミング

条件 A (F-ZTAT 版、マスク ROM 版):  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  
2 ~ 16.0MHz,  $T_a = -20 \sim +75$  (通常仕様品)

条件 B (マスク ROM 版):  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ , 2 ~ 6.25MHz,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版、マスク ROM 版):  $V_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  
10.0 ~ 20.0MHz,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	条件 A		条件 B		条件 C		単位	測定条件			
			min	max	min	max	min	max					
I/O ポート*	出力データ遅延時間	$t_{PWD}$		70		150		50	ns	図 27.24			
	入力データセットアップ時間	$t_{PRS}$	50		80		30						
	入力データセットアップ時間	$t_{PRH}$	50		80		30						
TPU	タイマ出力遅延時間	$t_{TOCD}$		70		150		50	ns	図 27.25			
	タイマ入力セットアップ時間	$t_{TICS}$	40		60		30						
	タイマクロック入力セットアップ時間	$t_{TCKS}$	40		60		30	ns	図 27.26				
	タイマクロック	単エッジ指定	$t_{TCKWH}$	1.5		1.5				1.5	$t_{cyc}$		
パルス幅	両エッジ指定	$t_{TCKWL}$	2.5		2.5		2.5						
TMR	タイマ出力遅延時間	$t_{TMOD}$		70		150		50	ns	図 27.27			
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50		80		30						
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50		80		30	ns	図 27.28				
	タイマクロック	単エッジ指定	$t_{TMCWH}$	1.5		1.5				1.5	$t_{cyc}$		
	パルス幅	両エッジ指定	$t_{TMCWL}$	2.5		2.5				2.5			
WDT_1	BUZZ 出力遅延時間	$t_{BUZD}$		70		150		50	ns	図 27.30			
SCI*	入力クロック サイクル	調歩同期	$t_{Syc}$	4	4	4	4	$t_{cyc}$	ns	図 27.31			
		クロック同期		6	6	6							
	入力クロックパルス幅		$t_{SCKW}$	0.4	0.6	0.4	0.6	0.4			0.6	$t_{Syc}$	
	入力クロック立ち上がり時間		$t_{SCKr}$		1.5		1.5				1.5	$t_{cyc}$	
	入力クロック立ち下がり時間		$t_{SCKf}$		1.5		1.5				1.5		
	送信データ遅延時間		$t_{TXD}$		75		150				50	ns	図 27.32
	受信データセットアップ時間 (クロック同期)		$t_{RXS}$	75		150		50					
	受信データホールド時間 (クロック同期)		$t_{RXH}$	75		150		50					
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	40		60		30	ns	図 27.33				

【注】 \* P35/SCK1、P34 の High レベルは NMOS で駆動されます。High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。

表 27.22 I<sup>2</sup>C バスタイミング

条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $\phi = 5MHz$  - 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位	測定条件
SCL 入力サイクル時間	$t_{SCL}$	$12t_{cyc}$			ns	図 27.34
SCL 入力 High パルス幅	$t_{SCLH}$	$3t_{cyc}$			ns	
SCL 入力 Low パルス幅	$t_{SCLL}$	$5t_{cyc}$			ns	
SCL、SDA 入力立ち上がり時間	$t_{Sr}$			$7.5t_{cyc}^*$	ns	
SCL、SDA 入力立ち下がり時間	$t_{Sf}$			300	ns	
SCL、SDA 入カスパイクパルス除去時間	$t_{SP}$			$1t_{cyc}$	ns	
SDA 入力バスフリー時間	$t_{BUF}$	$5t_{cyc}$			ns	
開始条件入力ホールド時間	$t_{STAH}$	$3t_{cyc}$			ns	
再送開始条件入力セットアップ時間	$t_{STAS}$	$3t_{cyc}$			ns	
停止条件入力セットアップ時間	$t_{STOS}$	$3t_{cyc}$			ns	
データ入力セットアップ時間	$t_{SDAS}$	$0.5t_{cyc}$			ns	
データ入力ホールド時間	$t_{SDAH}$	0			ns	
SCL、SDA の容量性負荷	$C_b$			400	pF	

【注】 \* I<sup>2</sup>C モジュールで使用するクロックの選択により、 $7.5t_{cyc}$ 、 $17.5t_{cyc}$  とすることが可能です。詳細は「16.6 使用上の注意事項」を参照してください。

## 27. 電氣的特性

### 27.3.4 A/D 変換特性

表 27.23 に A/D 変換特性を示します。

表 27.23 A/D 変換特性

条件 A (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V^*$ 、 $AV_{CC} = 2.7 \sim 3.6V^*$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 16.0MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V^*$ 、 $AV_{CC} = 2.2 \sim 3.6V^*$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 3.0 \sim 3.6V^*$ 、 $AV_{CC} = 3.0 \sim 3.6V^*$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 10.0 \sim 20.0MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A、C			条件 B			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
変換時間	8.1			20.9			$\mu s$
アナログ入力容量			20			20	pF
許容信号源インピーダンス			5			5	k $\Omega$
非直線性誤差			$\pm 6.0$			$\pm 6.0$	LSB
オフセット誤差			$\pm 4.0$			$\pm 4.0$	LSB
フルスケール誤差			$\pm 4.0$			$\pm 4.0$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$			$\pm 8.0$	LSB

【注】 \* AN0、AN1 は  $V_{CC} = AV_{CC}$  時のみ使用可能です。

## 27.3.5 D/A 変換特性

表 27.24 に D/A 変換特性を示します。

表 27.24 D/A 変換特性

条件 A (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 2 \sim 16.0MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 2 \sim 6.25MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 3.0 \sim 3.6V$ ,  $AV_{CC} = 3.0 \sim 3.6V$ ,  $V_{ref} = 3.0V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 10.0 \sim 20.0MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A、C			条件 B			単位	測定条件
	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	ビット	
変換時間			10			10	$\mu s$	負荷容量 20pF
絶対精度*		$\pm 2.0$	$\pm 3.0$		$\pm 3.0$	$\pm 4.0$	LSB	負荷抵抗 2M $\Omega$
			$\pm 2.0$			$\pm 3.0$	LSB	負荷抵抗 4M $\Omega$

【注】 \* モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、およびサプスリープモード時は除きます。

## 27.3.6 フラッシュメモリ特性

表 27.25 にフラッシュメモリ特性を示します。

表 27.25 フラッシュメモリ特性

条件 :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  
 $V_{CC} = 3.0 \sim 3.6V$  (書き込み / 消去時の動作電圧範囲)  
 $T_a = -20 \sim +50$  (書き込み / 消去時の動作温度範囲 ; 通常仕様品、広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
書き込み時間*1*2*4	$t_p$	-	10	200	ms/128 バイト		
消去時間*1*3*5	$t_E$	-	100	1200	ms/ブロック		
書き換え回数	$N_{WEC}$	100*6	10000*7	-	回数		
データ保持時間*8	$t_{DRP}$	10	-	-	年		
書き込み時	SWE1 ビットセット後のウェイト時間*1	$t_{sswe}$	1	1	-	$\mu s$	
	PSU1 ビットセット後のウェイト時間*1	$t_{spsu}$	50	50	-	$\mu s$	
	P1 ビットセット後のウェイト時間*1*4	$t_{sp10}$	8	10	12	$\mu s$	
		$t_{sp30}$	28	30	32	$\mu s$	1 n 6
$t_{sp200}$		198	200	202	$\mu s$	7 n 1000	

## 27. 電気的特性

項目	記号	min	typ	max	単位	測定条件
書き込み時	P1 ビットクリア後のウェイト時間*1	$t_{cp}$	5	5	-	$\mu\text{s}$
	PSU1 ビットクリア後のウェイト時間*1	$t_{cpsu}$	5	5	-	$\mu\text{s}$
	PV1 ビットセット後のウェイト時間*1	$t_{spv}$	4	4	-	$\mu\text{s}$
	H'FF ダミーライト後のウェイト時間*1	$t_{spvr}$	2	2	-	$\mu\text{s}$
	PV1 ビットクリア後のウェイト時間*1	$t_{cpv}$	2	2	-	$\mu\text{s}$
	SWE1 ビットクリア後のウェイト時間	$t_{cswe}$	100	100	-	$\mu\text{s}$
	最大書き込み回数*1*4	N1	-	-	6*4	回
N2		-	-	994*4		
消去時	SWE1 ビットセット後のウェイト時間*1	$t_{sswe}$	1	1	-	$\mu\text{s}$
	ESU1 ビットセット後のウェイト時間*1	$t_{sesu}$	100	100	-	$\mu\text{s}$
	E1 ビットセット後のウェイト時間*1*5	$t_{se}$	10	10	100	ms
	E1 ビットクリア後のウェイト時間*1	$t_{ce}$	10	10	-	$\mu\text{s}$
	ESU1 ビットクリア後のウェイト時間*1	$t_{cesu}$	10	10	-	$\mu\text{s}$
	EV1 ビットセット後のウェイト時間*1	$t_{sev}$	20	20	-	$\mu\text{s}$
	H'FF ダミーライト後のウェイト時間*1	$t_{sevr}$	2	2	-	$\mu\text{s}$
	EV1 ビットクリア後のウェイト時間*1	$t_{cev}$	4	4	-	$\mu\text{s}$
	SWE1 ビットクリア後のウェイト時間	$t_{cswe}$	100	100	-	$\mu\text{s}$
	最大消去回数*1*5	N	-	-	100	回

【注】 \*1 各時間の設定は、書き込み/消去のアルゴリズムに従い、行ってください。

\*2 128 バイト当たりの書き込み時間（フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません）

\*3 1 ブロックを消去する時間（FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません）

\*4 書き込み時間の最大値

$$(t_p(\text{max}) = \text{P1 ビットセット後のウェイト時間} (t_{sp}) \times \text{最大書き込み回数} (N))$$

$$(t_{sp30} + t_{sp10}) \times 6 + (t_{sp200}) \times 994$$

- \*5 消去時間の最大値 ( $t_E(\max)$ ) に対して、E1 ビットセット後のウェイト時間 ( $t_{se}$ ) と最大消去回数 ( $N$ ) は以下の関係にあります。

$$t_E(\max) = E1 \text{ ビットセット後のウェイト時間 } (t_{se}) \times \text{最大消去回数 } (N)$$

- \*6 書き換え後のすべての特性を保証する min 回数です。(保証は 1 ~ min 値の範囲です)
- \*7 25 のときの参考値。(通常この値まで書き換えは機能するという目安です)
- \*8 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

## 27. 電気的特性

### 27.4 H8S/2238B、H8S/2236B の電気的特性

#### 27.4.1 絶対最大定格

表 27.26 に絶対最大定格を示します。

表 27.26 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V
	$CV_{CC}$	-0.3 ~ +4.3	V
入力電圧 (ポート 4、9 以外)	$V_{in}$	-0.3 ~ $V_{CC}+0.3$	V
入力電圧 (ポート 4、9)	$V_{in}$	-0.3 ~ $AV_{CC}+0.3$	V
リファレンス電源電圧	$V_{ref}$	-0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	$AV_{CC}$	-0.3 ~ +7.0	V
アナログ入力電圧	$V_{AN}$	-0.3 ~ $AV_{CC}+0.3$	V
動作温度	$T_{opr}$	通常仕様品 : -20 ~ +75*	
		広温度範囲仕様品 : -40 ~ +85*	
保存温度	$T_{stg}$	-55 ~ +125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】\* フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = -20 \sim +75$  です。



## 27.4.2 DC 特性

表 27.27 に DC 特性を、表 27.28 に出力許容電流を、表 27.29 にバス駆動特性を示します。

表 27.27 DC 特性 (1)

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力 電圧	$\overline{IRQ7} \sim \overline{IRQ0}$	$VT^-$	$V_{CC} \times 0.2$			V		
		$VT^+$			$V_{CC} \times 0.8$	V		
		$VT^{+-}$	$V_{CC} \times 0.05$			V		$V_{CC} = 4.0 \sim 5.5V$
		$VT^-$	$V_{CC} \times 0.04$			V		$V_{CC} = 2.7 \sim 4.0V$
入力 High レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 MD2 ~ MD0、FWE	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V		
	EXTAL		$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V		
	ポート 1、3、7、A ~ G ポート 4、9		$V_{CC} \times 0.8$		$AV_{CC} + 0.3$	V		
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 MD2 ~ MD0、FWE	$V_{IL}$	- 0.3		$V_{CC} \times 0.1$	V		
	NMI、EXTAL ポート 1、3、4、7、9、A ~ G		- 0.3		$V_{CC} \times 0.2$	V		
出力 High レベル電圧	P34、P35 を除く 全出力端子* <sup>3</sup>	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$	
			$V_{CC} - 1.0$			V	$I_{OH} = -1mA$	
	P34、P35* <sup>2</sup>		$V_{CC} - 2.7$			V	$I_{OH} = -100\mu A$ 、 $V_{CC} = 4.5 \sim 5.5V$	
出力 Low レベル電圧	全出力端子* <sup>3</sup>	$V_{OL}$			0.4	V	$I_{OL} = 0.4mA$	
						0.4	V	$I_{OL} = 0.8mA$
入力リーク 電流	$\overline{RES}$	$ I_{in} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	$\overline{STBY}$ 、NMI、 MD2 ~ MD0、FWE				1.0	$\mu A$		
	ポート 4、9				1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$	

## 27. 電氣的特性

項目		記号	min	typ	max	単位	測定条件
スリーステートリーク電流 (オフ状態)	ポート 1、3、7、A~G	$ I_{TSI} $			1.0	$\mu\text{A}$	$V_{in} = 0.5 \sim V_{CC} - 0.5\text{V}$
入力プルアップMOS電流	ポート A~E	$-I_P$	10		300	$\mu\text{A}$	$V_{in} = 0\text{V}$

- 【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、2.0 ~ 5.5V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。
- \*2 P35/SCK1/SCL0、P34/SDA0 は NMOS プッシュプル出力です。  
SCL0、SDA0 (ICE = 1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。  
P35/SCK1、P34 (ICE = 0) の High レベルは NMOS で駆動されます。High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。
- \*3 IICE = 0 および ICE = 0 の場合です。バス駆動機能を選択した場合の Low レベル出力は表 27.29 で定めます。

表 27.27 DC 特性 (2)

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ ,  $AV_{CC} = 3.6 \sim 5.5V$ ,  $V_{ref} = 3.6V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目		記号	min	typ	max	単位	測定条件
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0V$ , $f = 1MHz$ , $T_a = 25$
	NMI				30	pF	
	P32 ~ P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		23	40	mA	$f = 13.5MHz$
			$V_{CC} = 3.0V$	$V_{CC} = 5.5V$			
	スリープ時			18	30	mA	$f = 13.5MHz$
			$V_{CC} = 3.0V$	$V_{CC} = 5.5V$			
	全モジュール ストップ時			13		mA	$f = 13.5MHz$ , $V_{CC} = 3.0V$ (参考値)
	中速モード ( $\phi/32$ ) 時			13		mA	$f = 13.5MHz$ , $V_{CC} = 3.0V$ (参考値)
	サブアクティブ モード時			80	180	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	サブスリープ モード時			60	130	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
ウォッチモード時		8	40	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$		
スタンバイ時* <sup>3</sup>			1.0	10	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時	
		$V_{CC} = 3.0V$	$V_{CC} = 5.5V$	50		$50 < T_a$ , 32.768kHz 未使用時	
アナログ 電源電流	A/D、D/A 変換中	$AI_{CC}$		0.3	1.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
リファレンス 電源電流	A/D、D/A 変換中	$AI_{CC}$		1.3	3.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$ M	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、2.0 ~ 5.5V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM} V_{CC} < 3.0V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

## 27. 電気的特性

\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。

$$I_{CC \max} = 2.0 \text{ (mA)} + 0.7 \text{ (mA/V)} \times V_{CC} + 1.4 \text{ (mA/MHz)} \times f + 0.20 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC \max} = 1.5 \text{ (mA)} + 0.6 \text{ (mA/V)} \times V_{CC} + 1.1 \text{ (mA/MHz)} \times f + 0.15 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

表 27.27 DC 特性 (3)

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5\text{V}$ 、 $AV_{CC} = 3.6 \sim 5.5\text{V}$ 、 $V_{ref} = 3.6\text{V} \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{V}$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min	typ	max	単位	測定条件	
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0\text{V}$ 、 $f = 1\text{MHz}$ 、 $T_a = 25$
	NMI				30	pF	
	P32 ~ P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		22	40	mA	$f = 13.5\text{MHz}$
			$V_{CC} = 3.0\text{V}$	$V_{CC} = 5.5\text{V}$			
	スリープ時			16	30	mA	$f = 13.5\text{MHz}$
			$V_{CC} = 3.0\text{V}$	$V_{CC} = 5.5\text{V}$			
	全モジュール ストップ時			13		mA	$f = 13.5\text{MHz}$ 、 $V_{CC} = 3.0\text{V}$ (参考値)
	中速モード ( $\phi/32$ ) 時			13		mA	$f = 13.5\text{MHz}$ 、 $V_{CC} = 3.0\text{V}$ (参考値)
	サブアクティブ モード時			60	180	$\mu\text{A}$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0\text{V}$
	サブスリープ モード時			35	100	$\mu\text{A}$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0\text{V}$
ウォッチモード時		8	40	$\mu\text{A}$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0\text{V}$		
スタンバイ時* <sup>3</sup>			0.5	10	$\mu\text{A}$	$T_a = 50$ 、 32.768kHz 未使用時	
		$V_{CC} = 3.0\text{V}$	$V_{CC} = 5.5\text{V}$				
				50	$\mu\text{A}$	$50 < T_a$ 、 32.768kHz 未使用時	
	$V_{CC} = 5.5\text{V}$						
アナログ 電源電流	A/D、D/A 変換中	$AI_{CC}$		0.3	1.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu\text{A}$	
リファレンス 電源電流	A/D、D/A 変換中	$AI_{CC}$		1.3	3.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu\text{A}$	
RAM スタンバイ電圧	$V_{RAM}$	2.0			V		

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、2.0 ~ 5.5V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

- \*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- \*3  $V_{RAM} \quad V_{CC} < 2.7V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。
- \*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。
- $$I_{CC} \max = 2.0 \text{ (mA)} + 0.7 \text{ (mA/V)} \times V_{CC} + 1.4 \text{ (mA/MHz)} \times f + 0.20 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f \text{ (通常動作時)}$$
- $$I_{CC} \max = 1.5 \text{ (mA)} + 0.6 \text{ (mA/V)} \times V_{CC} + 1.1 \text{ (mA/MHz)} \times f + 0.15 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f \text{ (スリープ時)}$$

表 27.28 出力許容電流

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目		記号	min	typ	max	単位
出力 (1 端子当たり) Low レベル許容電流	SCL1、SCL0、SDA1、SDA0	$I_{OL}$			10	mA
	上記以外の出力端子				1.0	
出力 Low レベル許容電流 (総和)	全出力端子の総和	$I_{OL}$			60	mA
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$-I_{OH}$			1.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$			30	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 27.28 の値を超えないようにしてください。

## 27. 電気的特性

表 27.29 バス駆動特性

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*

対象端子 : SCL1~0、SDA1~0

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	$VT^-$	$V_{CC} \times 0.3$			V	$V_{CC} = 2.7 \sim 5.5V$
	$VT^+$			$V_{CC} \times 0.7$		$V_{CC} = 2.7 \sim 5.5V$
	$VT^+ - VT^-$	0.4				$V_{CC} = 4.0 \sim 5.5V$
		$V_{CC} \times 0.05$				$V_{CC} = 2.7 \sim 4.0V$
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$		$V_{CC} + 0.5$	V	$V_{CC} = 2.7 \sim 5.5V$
入力 Low レベル電圧	$V_{IL}$	-0.5		$V_{CC} \times 0.3$	V	$V_{CC} = 2.7 \sim 5.5V$
出力 Low レベル電圧	$V_{OL}$			0.5	V	$I_{OL} = 8mA$ $V_{CC} = 4.0 \sim 5.5V$
				0.4		$I_{OL} = 3mA$
入力容量	$C_{in}$			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステートリーク電流 (オフ状態)	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力立ち下がり時間	$t_{of}$	$20 + 0.1Cb$		250	ns	$V_{CC} = 2.7 \sim 5.5V$

【注】 \* A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、2.0 ~ 5.5V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

### 27.4.3 AC 特性

図 27.9 に AC 測定条件を示します。

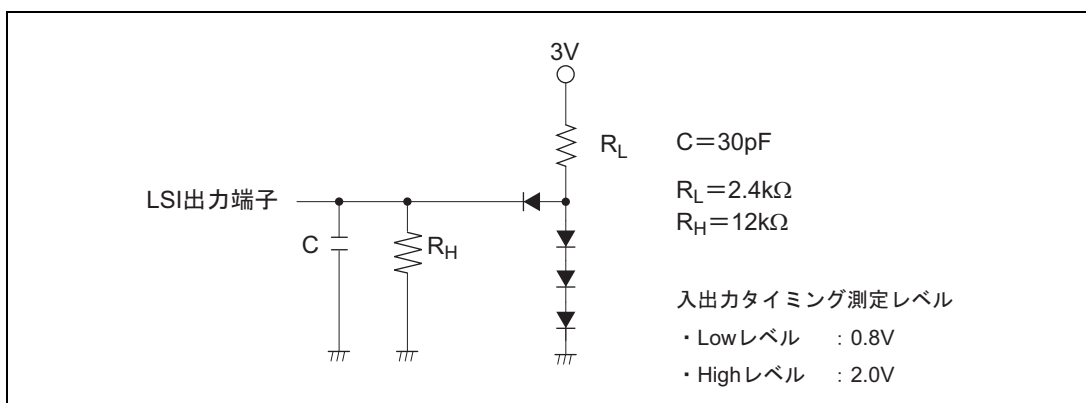


図 27.9 出力負荷回路

## (1) クロックタイミング

表 27.30 にクロックタイミングを示します。

表 27.30 クロックタイミング

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $2 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $2 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A、B			単位	測定条件
		min	typ	max		
クロックサイクル時間	$t_{cyc}$	74		500	ns	図 27.10
クロックハイレベルパルス幅	$t_{CH}$	25			ns	
クロックローレベルパルス幅	$t_{CL}$	25			ns	
クロック立ち上がり時間	$t_{Cr}$			10	ns	
クロック立ち下がり時間	$t_{Cl}$			10	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	20			ms	図 27.11
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8			ms	
外部クロック出力安定遅延時間	$t_{DEXT}$	500			$\mu s$	図 27.11
サブクロック発振安定時間	$t_{OSC3}$			2	s	
サブクロック発振器発振周波数	$f_{SUB}$		32.768		kHz	
サブクロック ( $\phi_{SUB}$ ) サイクル時間	$t_{SUB}$		30.5		$\mu s$	

## 27. 電氣的特性

### (2) 制御信号タイミング

表 27.31 に制御信号タイミングを示します。

表 27.31 制御信号タイミング

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $2 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $2 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A、B		単位	測定条件
		min	max		
RES セットアップ時間	$t_{RESS}$	250		ns	図 27.12
RES パルス幅	$t_{RESW}$	20		$t_{cyc}$	
MRES セットアップ時間	$t_{MRESS}$	250		ns	
MRES パルス幅	$t_{MRESW}$	20		$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	250		ns	図 27.13
NMI ホールド時間	$t_{NMIH}$	10		ns	
NMI パルス幅(ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		ns	
$\overline{IRQ}$ セットアップ時間	$t_{IRQS}$	250		ns	
$\overline{IRQ}$ ホールド時間	$t_{IRQH}$	10		ns	
$\overline{IRQ}$ パルス幅(ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		ns	



## (3) バスタイミング

表 27.32 にバスタイミングを示します。

表 27.32 バスタイミング

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A、B		単位	測定条件
		min	max		
アドレス遅延時間	$t_{AD}$		50	ns	図 27.14 ~ 図 27.18
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 15$		ns	
CS 遅延時間	$t_{CSD}$		50	ns	
AS 遅延時間	$t_{ASD}$		50	ns	
RD 遅延時間 1	$t_{RSD1}$		50	ns	
RD 遅延時間 2	$t_{RSD2}$		50	ns	
リードデータセットアップ時間	$t_{RDS}$	30		ns	
リードデータホールド時間	$t_{RDH}$	0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 65$	ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 65$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 65$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 65$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 65$	ns	
WR 遅延時間 1	$t_{WRD1}$		50	ns	
WR 遅延時間 2	$t_{WRD2}$		50	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 30$		ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 30$		ns	
ライトデータ遅延時間	$t_{WDD}$		70	ns	
ライトデータセットアップ時間	$t_{WDS}$	$0.5 \times t_{cyc} - 37$		ns	
ライトデータホールド時間	$t_{WDH}$	$0.5 \times t_{cyc} - 15$		ns	
WAIT セットアップ時間	$t_{WTS}$	50		ns	図 27.16
WAIT ホールド時間	$t_{WTH}$	10		ns	
BREQ セットアップ時間	$t_{BRQS}$	50		ns	図 27.19
BACK 遅延時間	$t_{BACD}$		50	ns	
バスフローティング時間	$t_{BZD}$		80	ns	

## 27. 電氣的特性

### (4) 内蔵周辺モジュールタイミング

表 27.33 に内蔵周辺タイミングを、表 27.34 に I<sup>2</sup>C バスタイミングを示します。

表 27.33 内蔵周辺タイミング

条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ ,  $AV_{CC} = 3.6 \sim 5.5V$ ,  $V_{ref} = 3.6V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 13.5MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品),  $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ ,  $AV_{CC} = 3.6 \sim 5.5V$ ,  $V_{ref} = 3.6V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 13.5MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品),  $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	条件 A, B		単位	測定条件		
			min	max				
I/O ポート*	出力データ遅延時間	$t_{PWD}$		100	ns	図 27.24		
	入力データセットアップ時間	$t_{PRS}$	50					
	入力データホールド時間	$t_{PRH}$	50					
TPU	タイマ出力遅延時間	$t_{TODD}$		100	ns	図 27.25		
	タイマ入力セットアップ時間	$t_{TICS}$	40					
	タイマクロック入力セットアップ時間	$t_{TCKS}$	40		ns	図 27.26		
	タイマクロック パルス幅	単エッジ指定 $t_{TCKWH}$ 両エッジ指定 $t_{TCKWL}$	1.5 2.5					
TMR	タイマ出力遅延時間	$t_{TMOD}$		100	ns	図 27.27		
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50					
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50		ns	図 27.28		
	タイマクロック パルス幅	単エッジ指定 $t_{TMCWH}$ 両エッジ指定 $t_{TMCWL}$	1.5 2.5					
WDT1	BUZZ 出力遅延時間	$t_{BUZD}$		100	ns	図 27.30		
SCI*	入カクロック サイクル	調歩同期	$t_{Syc}$	4	t <sub>cyc</sub>	図 27.31		
		クロック同期		6				
	入カクロックパルス幅		$t_{SCKW}$	0.4	0.6		t <sub>Syc</sub>	
	入カクロック立ち上がり時間		$t_{SCKr}$		1.5		t <sub>cyc</sub>	
	入カクロック立ち下がり時間		$t_{SCKf}$		1.5			
	送信データ遅延時間		$t_{TXD}$		100		ns	図 27.32
	受信データセットアップ時間 (クロック同期)		$t_{RXS}$	75			ns	
受信データホールド時間 (クロック同期)		$t_{RXH}$	75		ns			
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	40		ns	図 27.33		

【注】 \* P35/SCK1、P34 の High レベルは、NMOS で駆動されます。 $V_{CC} = 4.5V$  以下で High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。

表 27.34 I<sup>2</sup>C バスタイミング条件 A (F-ZTAT 版) :  $V_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 5MHz$  ~ 最大動作周波数、 $T_a = -20 \sim +75$ 条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 5MHz$  ~ 最大動作周波数、 $T_a = -20 \sim +75$ 

項目	記号	条件 A、B			単位	測定条件
		min	typ	max		
SCL 入力サイクル時間	$t_{SCL}$	$12t_{cyc}$			ns	図 27.34
SCL 入力 High パルス幅	$t_{SCLH}$	$3t_{cyc}$			ns	
SCL 入力 Low パルス幅	$t_{SCLL}$	$5t_{cyc}$			ns	
SCL、SDA 入力立ち上がり時間	$t_{Sr}$			$7.5t_{cyc}^*$	ns	
SCL、SDA 入力立ち下がり時間	$t_{Sf}$			300	ns	
SCL、SDA 入力 スパイクパルス除去時間	$t_{SP}$			$1t_{cyc}$	ns	
SDA 入力バスフリー時間	$t_{BUF}$	$5t_{cyc}$			ns	
開始条件入力ホールド時間	$t_{STAH}$	$3t_{cyc}$			ns	
再送開始条件入力セットアップ時間	$t_{STAS}$	$3t_{cyc}$			ns	
停止条件入力セットアップ時間	$t_{STOS}$	$3t_{cyc}$			ns	
データ入力セットアップ時間	$t_{SDAS}$	$0.5t_{cyc}$			ns	
データ入力ホールド時間	$t_{SDAH}$	0			ns	
SCL、SDA の容量性負荷	$C_b$			400	pF	

【注】 \* I<sup>2</sup>C モジュールで使用するクロックの選択により、 $7.5t_{cyc}$ 、 $17.5t_{cyc}$  とすることが可能です。詳細は「16.6 使用上の注意事項」を参照してください。

## 27. 電気的特性

### 27.4.4 A/D 変換特性

表 27.35 に A/D 変換特性 (F-ZTAT 版、マスク ROM 版) を示します。

表 27.35 A/D 変換特性 (F-ZTAT 版、マスク ROM 版)

条件 :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2MHz \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件			単位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	9.6			$\mu s$
アナログ入力容量			20	pF
許容信号源 インピーダンス			5	k $\Omega$
非直線性誤差			$\pm 6.0$	LSB
オフセット誤差			$\pm 4.0$	LSB
フルスケール誤差			$\pm 4.0$	LSB
量子化誤差			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$	LSB

### 27.4.5 D/A 変換特性

表 27.36 に D/A 変換特性を示します。

表 27.36 D/A 変換特性 (F-ZTAT 版、マスク ROM 版)

条件 :  $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{ref} = 3.6V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2MHz \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件			単位	測定条件
	min	typ	max		
分解能	8	8	8	ビット	
変換時間			10	$\mu s$	負荷容量 20pF
絶対精度		$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M $\Omega$
			$\pm 2.0$	LSB	負荷抵抗 4M $\Omega$

## 27.4.6 フラッシュメモリ特性

表 27.37 にフラッシュメモリ特性を示します。

表 27.37 フラッシュメモリ特性

条件：V<sub>CC</sub> = 3.0 ~ 5.5V、AV<sub>CC</sub> = 3.0 ~ 5.5V、V<sub>ref</sub> = 3.0V ~ AV<sub>CC</sub>、V<sub>SS</sub> = AV<sub>SS</sub> = 0V、T<sub>a</sub> = -20 ~ +75（書き込み / 消去時の動作温度範囲；通常仕様品）T<sub>a</sub> = -20 ~ +75（書き込み / 消去時の動作温度範囲；広温度範囲仕様品）

項目		記号	min	typ	max	単位	測定条件
書き込み時間*1*2*4		t <sub>P</sub>	-	10	200	ms/128 バイト	
消去時間*1*3*5		t <sub>E</sub>	-	100	1200	ms/ブロック	
書き換え回数		N <sub>WEC</sub>	100*6	10000*7	-	回数	
データ保持時間*8		t <sub>DRP</sub>	10	-	-	年	
書き込み時	SWE1 ビットセット後のウェイト時間*1	t <sub>sswe</sub>	1	1	-	μs	
	PSU1 ビットセット後のウェイト時間*1	t <sub>spsu</sub>	50	50	-	μs	
	P1 ビットセット後のウェイト時間*1*4	t <sub>sp10</sub>	8	10	12	μs	
		t <sub>sp30</sub>	28	30	32	μs	1 n 6
		t <sub>sp200</sub>	198	200	202	μs	7 n 1000
	P1 ビットクリア後のウェイト時間*1	t <sub>cp</sub>	5	5	-	μs	
	PSU1 ビットクリア後のウェイト時間*1	t <sub>cpsu</sub>	5	5	-	μs	
	PV1 ビットセット後のウェイト時間*1	t <sub>spv</sub>	4	4	-	μs	
	H'FF ダミーライト後のウェイト時間*1	t <sub>spvr</sub>	2	2	-	μs	
	PV1 ビットクリア後のウェイト時間*1	t <sub>cpv</sub>	2	2	-	μs	
	SWE1 ビットクリア後のウェイト時間	t <sub>cswe</sub>	100	100	-	μs	
最大書き込み回数*1*4	N1	-	-	6*4	回		
	N2	-	-	994*4			
消去時	SWE1 ビットセット後のウェイト時間*1	t <sub>sswe</sub>	1	1	-	μs	
	ESU1 ビットセット後のウェイト時間*1	t <sub>sesu</sub>	100	100	-	μs	
	E1 ビットセット後のウェイト時間*1*5	t <sub>se</sub>	10	10	100	ms	
	E1 ビットクリア後のウェイト時間*1	t <sub>ce</sub>	10	10	-	μs	
	ESU1 ビットクリア後のウェイト時間*1	t <sub>cesu</sub>	10	10	-	μs	
	EV1 ビットセット後のウェイト時間*1	t <sub>sev</sub>	20	20	-	μs	
	H'FF ダミーライト後のウェイト時間*1	t <sub>sevr</sub>	2	2	-	μs	
	EV1 ビットクリア後のウェイト時間*1	t <sub>cev</sub>	4	4	-	μs	
	SWE1 ビットクリア後のウェイト時間	t <sub>cswe</sub>	100	100	-	μs	
	最大消去回数*1*5	N	-	-	100	回	

【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

\*2 128 バイト当たりの書き込み時間（フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P1 ビットをセットしているトータル期間を示します。書き込みペリファイ時間は含まれません）

## 27. 電気的特性

---

- \*3 1ブロックを消去する時間 (FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません)
- \*4 書き込み時間の最大値  
( $t_p(\max) = P1$  ビットセット後のウェイト時間 ( $t_{sp}$ )  $\times$  最大書き込み回数 ( $N$ ))  
( $t_{sp30} + t_{sp10}$ )  $\times 6 + (t_{sp200}) \times 994$
- \*5 消去時間の最大値 ( $t_E(\max)$ ) に対して、E1 ビットセット後のウェイト時間 ( $t_{se}$ ) と最大消去回数 ( $N$ ) は以下の関係にあります。  
 $t_E(\max) = E1$  ビットセット後のウェイト時間 ( $t_{se}$ )  $\times$  最大消去回数 ( $N$ )
- \*6 書き換え後のすべての特性を保証する min 回数です。(保証は 1 ~ min 値の範囲です)
- \*7 25 のときの参考値。(通常この値まで書き換えは機能するという目安です)
- \*8 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

## 27.5 H8S/2238R、H8S/2236R の電氣的特性

### 27.5.1 絶対最大定格

表 27.38 に絶対最大定格を示します。

表 27.38 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$	- 0.3 ~ +4.3	V
	$CV_{CC}$	- 0.3 ~ +4.3	V
入力電圧 (ポート 4、9 以外)	$V_{in}$	- 0.3 ~ $V_{CC}+0.3$	V
入力電圧 (ポート 4、9)	$V_{in}$	- 0.3 ~ $AV_{CC}+0.3$	V
リファレンス電源電圧	$V_{ref}$	- 0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	$AV_{CC}$	- 0.3 ~ +4.3	V
アナログ入力電圧	$V_{AN}$	- 0.3 ~ $AV_{CC}+0.3$	V
動作温度	$T_{opr}$	通常仕様品 : - 20 ~ +75* <sup>1</sup>	
		広温度範囲仕様品 : - 40 ~ +85* <sup>2</sup>	
保存温度	$T_{stg}$	- 55 ~ +125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 \*1 フラッシュメモリの書き込み / 消去時の動作温度範囲は、読み出し時動作電圧が  $V_{CC}=2.7 \sim 3.6V$  の場合、 $T_a = -20 \sim +75$ 、読み出し時動作電圧が  $V_{CC}=2.2 \sim 3.6V$  の場合、 $T_a = -20 \sim +50$  です。

\*2 フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = -40 \sim +80$  です。

### 27.5.2 DC 特性

表 27.39 に DC 特性を、表 27.40 に出力許容電流を、表 27.41 にバス駆動特性を示します。

## 27. 電気的特性

表 27.39 DC 特性 (1)

条件 A (F-ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

条件 B (F-ZTAT 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	IRQ0 ~ IRQ7	VT <sup>-</sup>	$V_{CC} \times 0.2$			V	
		VT <sup>+</sup>			$V_{CC} \times 0.8$	V	
		VT <sup>+</sup> -VT <sup>-</sup>	$V_{CC} \times 0.05$			V	
入力 High レベル電圧	RES、STBY、NMI、 FWE、MD2 ~ MD0	V <sub>IH</sub>	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL、ポート 1、3、 7、A ~ G		$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
	ポート 4* <sup>5</sup> 、9		$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ * <sup>5</sup>	V	
入力 Low レベル電圧	RES、STBY、FWE、 MD2 ~ MD0	V <sub>IL</sub>	-0.3		$V_{CC} \times 0.1$	V	
	NMI、EXTAL、ポート 1、 3、4、7、9、A ~ G		-0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	P34、P35 を除く 全出力端子* <sup>4</sup>	V <sub>OH</sub>	$V_{CC} - 0.5$			V	lo <sub>H</sub> = -200μA
			$V_{CC} - 1.0$			V	lo <sub>H</sub> = -1mA* <sup>2</sup>
	P34、P35* <sup>3</sup>		$V_{CC} - 2.0$			V	lo <sub>H</sub> = -100μA、(参考 値)
出力 Low レベル電圧	全出力端子* <sup>4</sup>	V <sub>OL</sub>			0.4	V	lo <sub>L</sub> = 0.4mA
					0.4	V	lo <sub>L</sub> = 0.8mA* <sup>2</sup>
入力リーク 電流	RES	I <sub>in</sub>			1.0	μA	V <sub>in</sub> = 0.2 ~ V <sub>CC</sub> - 0.2V
	STBY、NMI、FWE、 MD2 ~ MD0				1.0	μA	
	ポート 4、9				1.0	μA	
スリーステ ートリーク電流 (オフ状態)	ポート 1、3、7、A ~ G	I <sub>TSI</sub>			1.0	μA	V <sub>in</sub> = 0.2 ~ V <sub>CC</sub> - 0.2V
入力プルアッ プ MOS 電流	ポート A ~ E	-I <sub>p</sub>	10		300	μA	V <sub>in</sub> = 0V

【注】 \*<sup>1</sup> A/D 変換器、D/A 変換器を使用しない場合でも、AV<sub>CC</sub>、V<sub>ref</sub>、AV<sub>SS</sub> 端子を開放しないでください。A/D 変換器、  
D/A 変換器を使用しない場合でも、AV<sub>CC</sub>、V<sub>ref</sub> 端子は V<sub>CC</sub> に接続するなどの方法で、2.0 ~ 3.6V の電圧を印加して  
ください。このとき、V<sub>ref</sub> AV<sub>CC</sub> としてください。

\*<sup>2</sup> V<sub>CC</sub> = 2.7 ~ 3.6V

\*<sup>3</sup> P35/SCK1、P34 は NMOS プッシュプル出力です。High レベル出力するためにはプルアップ抵抗を外付けする  
必要があります。

\*<sup>4</sup> ICE = 0 の場合です。バス駆動機能を選択した場合の Low レベル出力は表 27.41 で定めます。

\*<sup>5</sup> V<sub>CC</sub> < AV<sub>CC</sub> のとき、P40、P41 の max は V<sub>CC</sub> + 0.3V になります。



表 27.39 DC 特性 (2)

条件 A (F-ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

条件 B (F-ZTAT 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)

項目		記号	min	typ	max	単位	測定条件
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI				30	pF	
	P32 ~ P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		20 $V_{CC} = 3.0V$	37 $V_{CC} = 3.6V$	mA	$f = 13.5MHz$
				10 $V_{CC} = 3.0V$	18 $V_{CC} = 3.0V$	mA	$f = 6.25MHz$
	スリープ時			15 $V_{CC} = 3.0V$	29 $V_{CC} = 3.6V$	mA	$f = 13.5MHz$
				7.5 $V_{CC} = 3.0V$	14 $V_{CC} = 3.0V$	mA	$f = 6.25MHz$
	全モジュール ストップ時			15		mA	$f = 13.5MHz$ 、 $V_{CC} = 3.0V$ (参考値)
	中速モード ( $\phi 32$ ) 時			13		mA	$f = 13.5MHz$ 、 $V_{CC} = 3.0V$ (参考値)
	サブアクティブ モード時			70	180	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	サブスリープ モード時			50	130	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	ウォッチモード時			8	40	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	スタンバイ時* <sup>3</sup>			1.0 $V_{CC} = 3.0V$	10 $V_{CC} = 3.6V$	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時
			50 $V_{CC} = 3.6V$	$\mu A$	$50 < T_a$ 、 32.768kHz 未使用時		
アナログ 電源電流	A/D、D/A 変換中	$I_{CC}$		0.5	1.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
リファレンス 電源電流	A/D、D/A 変換中	$I_{CC}$		1.3	2.5	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

## 27. 電気的特性

---

- 【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AVcc、Vref、AVss 端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、AVcc、Vref 端子は Vcc に接続するなどの方法で、2.0 ~ 3.6V の電圧を印加してください。このとき、Vref = AVcc としてください。
- \*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- \*3  $V_{RAM} < V_{CC} < 2.2V$  のとき、 $V_{IH} \min = V_{CC} - 0.2$ 、 $V_{IL} \max = 0.2V$  とした場合の値です。
- \*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。
- $I_{CC} \max = 1.0 \text{ (mA)} + 0.74 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f \text{ (通常動作時)}$
- $I_{CC} \max = 1.0 \text{ (mA)} + 0.58 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f \text{ (スリープ時)}$

表 27.39 DC 特性 (3)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)<sup>\*1</sup>

項目		記号	min	typ	max	単位	測定条件
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI				30	pF	
	P32 ~ P35				20	pF	
	上記以外の全入力端子				15	pF	
消費電流 <sup>*2</sup>	通常動作時	$I_{CC}^{*4}$		20	37	mA	$f = 13.5MHz$
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
	スリープ時			10	18	mA	$f = 13.5MHz$
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
	全モジュール ストップ時			15	29	mA	$f = 13.5MHz$
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
	中速モード ( $\phi/32$ )時			7.5	14	mA	$f = 13.5MHz$ 、 $V_{CC} = 3.0V$ (参考値)
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
	サブアクティブ モード時			45	180	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	サブスリープ モード時			30	100	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
ウォッチモード時		8	40	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$		
スタンバイ時 <sup>*3</sup>		0.5	10	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時		
		$V_{CC} = 3.0V$	$V_{CC} = 3.6V$				$50 < T_a$ 、 32.768kHz 未使用時
アナログ 電源電流	A/D、D/A 変換中	$AI_{CC}$		0.5	1.5	mA	
	A/D、D/A 変換待機時			0.01	5.0		
リファレンス 電源電流	A/D、D/A 変換中	$AI_{CC}$		1.3	2.5	mA	
	A/D、D/A 変換待機時			0.01	5.0		
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、2.0 ~ 3.6V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM}$   $V_{CC} < 2.2V$  のとき、 $V_{IH} \min = V_{CC} - 0.2$ 、 $V_{IL} \max = 0.2V$  とした場合の値です。

## 27. 電氣的特性

\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。

$$I_{CC \max} = 1.0 \text{ (mA)} + 0.74 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC \max} = 1.0 \text{ (mA)} + 0.58 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

表 27.40 出力許容電流

条件 A (F-ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6\text{V}$ 、 $AV_{CC} = 2.7 \sim 3.6\text{V}$ 、 $V_{ref} = 2.7\text{V} \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{V}$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版) :  $V_{CC} = 2.2 \sim 3.6\text{V}$ 、 $AV_{CC} = 2.2 \sim 3.6\text{V}$ 、 $V_{ref} = 2.2\text{V} \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{V}$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6\text{V}$ 、 $AV_{CC} = 2.2 \sim 3.6\text{V}$ 、 $V_{ref} = 2.2\text{V} \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{V}$ 、  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	
出力 (1 端子当たり) Low レベル許容電流	SCL1、SCL0、 SDA1、SDA0	$V_{CC} = 2.7 \sim 3.6\text{V}$	$I_{OL}$	-	-	10	mA
	上記以外の出力端子	$V_{CC} = 2.2 \sim 3.6\text{V}$	$I_{OL}$	-	-	0.5	
		$V_{CC} = 2.7 \sim 3.6\text{V}$		-	-	1.0	
出力 Low レベル許容電流 (総和)	全出力端子の総和	$V_{CC} = 2.2 \sim 3.6\text{V}$	$\Sigma I_{OL}$	-	-	30	mA
		$V_{CC} = 2.7 \sim 3.6\text{V}$		-	-	60	
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$V_{CC} = 2.2 \sim 3.6\text{V}$	$-I_{OH}$	-	-	0.5	mA
		$V_{CC} = 2.7 \sim 3.6\text{V}$		-	-	1.0	
出力 High レベル許容電流 (総和)	全出力端子の総和	$V_{CC} = 2.2 \sim 3.6\text{V}$	$\Sigma - I_{OH}$	-	-	15	mA
		$V_{CC} = 2.7 \sim 3.6\text{V}$		-	-	30	

【注】 LSI の信頼性を確保するため、出力電流値は表 27.40 の値を超えないようにしてください。

表 27.41 バス駆動特性

条件：  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ （通常仕様品）、  
 $T_a = -40 \sim +85$ （広温度範囲仕様品）\*、対象端子：SCL1~0、SDA1~0

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	$VT^-$	$V_{CC} \times 0.3$	-	-	V	$V_{CC} = 2.7 \sim 3.6V$
	$VT^+$	-	-	$V_{CC} \times 0.7$		$V_{CC} = 2.7 \sim 3.6V$
	$VT^+ - VT^-$	$V_{CC} \times 0.05$	-	-		$V_{CC} = 2.7 \sim 3.6V$
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$	-	$V_{CC} + 0.5$	V	$V_{CC} = 2.7 \sim 3.6V$
入力 Low レベル電圧	$V_{IL}$	-0.5	-	$V_{CC} \times 0.3$	V	$V_{CC} = 2.7 \sim 3.6V$
出力 Low レベル電圧	$V_{OL}$	-	-	0.5	V	$I_{OL} = 6mA$ 、 $V_{CC} = 3.0 \sim 3.6V$
				0.4		$I_{OL} = 3mA$
入力容量	$C_{in}$	-	-	20	pF	$V_{IN} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステートリーク電流 (オフ状態)	$ I_{TSI} $	-	-	1.0	$\mu A$	$V_{IN} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力 立ち下がり時間	$t_{of}$	$20 + 0.1Cb$	-	250	ns	$V_{CC} = 2.7 \sim 3.6V$

【注】 \* A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、2.0~3.6V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

## 27. 電気的特性

### 27.5.3 AC 特性

AC 測定条件を図 27.8 に示します。

#### (1) クロックタイミング

表 27.42 にクロックタイミングを示します。

表 27.42 クロックタイミング

条件 A (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  
 $2 \sim 13.5MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 6.25MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 6.25MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項 目	記号	条件 A			条件 B、C			単位	測定条件
		min	typ	max	min	typ	max		
クロックサイクル時間	$t_{cyc}$	74		500	160		500	ns	図 27.10
クロックハイレベルパルス幅	$t_{CH}$	25			50			ns	
クロックローレベルパルス幅	$t_{CL}$	25			50			ns	
クロック立ち上がり時間	$t_{Cr}$			10			25	ns	
クロック立ち下がり時間	$t_{Cf}$			10			25	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	20			40			ms	図 27.11
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8			16			ms	
外部クロック出力安定遅延時間	$t_{DEXT}$	500			1000			$\mu s$	図 27.11
サブクロック発振安定時間	$t_{OSC3}$			2			4	s	
サブクロック発振器発振周波数	$f_{SUB}$		32.768			32.768		kHz	
サブクロック ( $\phi_{SUB}$ ) サイクル時間	$t_{SUB}$		30.5			30.5		$\mu s$	

## (2) 制御信号タイミング

表 27.43 に制御信号タイミングを示します。

表 27.43 制御信号タイミング

条件 A (F-ZTAT 版、マスク ROM 版):  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  
 $2 \sim 13.5MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版):  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 6.25MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)

条件 C (マスク ROM 版):  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 6.25MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B、C		単位	測定条件
		min	max	min	max		
RES セットアップ時間	$t_{RESS}$	250		350		ns	図 27.12
RES パルス幅	$t_{RESW}$	20		20		$t_{cyc}$	
MRES セットアップ時間	$t_{MRESS}$	250		350		ns	
MRES パルス幅	$t_{MRESW}$	20		20		$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	250		350		ns	図 27.13
NMI ホールド時間	$t_{NMIH}$	10		10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		300		ns	
$\overline{IRQ}$ セットアップ時間	$t_{IRQS}$	250		350		ns	
$\overline{IRQ}$ ホールド時間	$t_{IRQH}$	10		10		ns	
$\overline{IRQ}$ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		300		ns	

## 27. 電気的特性

### (3) バスタイミング

表 27.44 にバスタイミングを示します。

表 27.44 バスタイミング

条件 A (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13.5MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B、C		単位	測定条件
		min	max	min	max		
アドレス遅延時間	$t_{AD}$		50		90	ns	図 27.14 ~ 図 27.18
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 60$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 30$		ns	
CS 遅延時間	$t_{CSD}$		50		90	ns	
AS 遅延時間	$t_{ASD}$		50		90	ns	
RD 遅延時間 1	$t_{RSD1}$		50		90	ns	
RD 遅延時間 2	$t_{RSD2}$		50		90	ns	
リードデータセットアップ時間	$t_{RDS}$	30		50		ns	
リードデータホールド時間	$t_{RDH}$	0		0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 65$		$1.0 \times t_{cyc} - 90$	ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 65$		$1.5 \times t_{cyc} - 90$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 65$		$2.0 \times t_{cyc} - 90$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 65$		$2.5 \times t_{cyc} - 90$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 65$		$3.0 \times t_{cyc} - 90$	ns	
WR 遅延時間 1	$t_{WRD1}$		50		90	ns	
WR 遅延時間 2	$t_{WRD2}$		50		90	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 60$		ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 60$		ns	
ライトデータ遅延時間	$t_{WDD}$		70		100	ns	
ライトデータセットアップ時間	$t_{WDS}$	$0.5 \times t_{cyc} - 37$		$0.5 \times t_{cyc} - 80$		ns	
ライトデータホールド時間	$t_{WDH}$	$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 60$		ns	
WAIT セットアップ時間	$t_{WTS}$	50		90		ns	図 27.16
WAIT ホールド時間	$t_{WTH}$	10		10		ns	
BREQ セットアップ時間	$t_{BROS}$	50		90		ns	図 27.19
BACK 遅延時間	$t_{BACD}$		50		90	ns	
バスフローティング時間	$t_{BZD}$		80		160	ns	



## (4) 内蔵周辺モジュールタイミング

表 27.45 に内蔵周辺タイミングを、表 27.46 に I<sup>2</sup>C バスタイミングを示します。

表 27.45 内蔵周辺タイミング

条件 A (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  
 $2 \sim 13.5MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 6.25MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 6.25MHz$ ,  
 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	条件 A		条件 B、C		単位	測定条件
			min	max	min	max		
I/O ポート*	出力データ遅延時間	$t_{PWD}$		100		150	ns	図 27.24
	入力データセットアップ時間	$t_{PRS}$	50		80			
	入力データセットアップ時間	$t_{PRH}$	50		80			
TPU	タイマ出力遅延時間	$t_{TOCD}$		100		150	ns	図 27.25
	タイマ入力セットアップ時間	$t_{TICS}$	40		60			
	タイマクロック入力セットアップ時間	$t_{TCKS}$	40		60		ns	図 27.26
	タイマクロック パルス幅	単エッジ指定 $t_{TCKWH}$	1.5		1.5		$t_{cyc}$	
	両エッジ指定 $t_{TCKWL}$	2.5		2.5				
TMR	タイマ出力遅延時間	$t_{TMOD}$		100		150	ns	図 27.27
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50		80			
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50		80		ns	図 27.28
	タイマクロック パルス幅	単エッジ指定 $t_{TMCWH}$	1.5		1.5		$t_{cyc}$	
	両エッジ指定 $t_{TMCWL}$	2.5		2.5				
WDT_1	BUZZ 出力遅延時間	$t_{BUZD}$		100		150	ns	図 27.30
SCI*	入カクロック サイクル	調歩同期	$t_{Syc}$	4		4	$t_{cyc}$	図 27.31
		クロック同期		6		6		
	入カクロックパルス幅	$t_{SCKW}$	0.4	0.6	0.4	0.6	$t_{Syc}$	
	入カクロック立ち上がり時間	$t_{SCKr}$		1.5		1.5	$t_{cyc}$	
	入カクロック立ち下がり時間	$t_{SCKf}$		1.5		1.5	$t_{cyc}$	
	送信データ遅延時間	$t_{TXD}$		100		150	ns	図 27.32
受信データセットアップ時間 (クロック同期)	$t_{RXS}$	75		150		ns		
受信データホールド時間 (クロック同期)	$t_{RXH}$	75		150		ns		
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	40		60		ns	図 27.33

【注】 \* P35/SCK1、P34 の High レベルは NMOS で駆動されます。High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。

## 27. 電気的特性

表 27.46 I<sup>2</sup>C バスタイミング

条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $\phi = 5MHz$  - 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位	測定条件
SCL 入力サイクル時間	$t_{SCL}$	$12t_{cyc}$			ns	図 27.34
SCL 入力 High パルス幅	$t_{SCLH}$	$3t_{cyc}$			ns	
SCL 入力 Low パルス幅	$t_{SCLL}$	$5t_{cyc}$			ns	
SCL、SDA 入力立ち上がり時間	$t_{sr}$			$7.5t_{cyc}^*$	ns	
SCL、SDA 入力立ち下がり時間	$t_{sf}$			300	ns	
SCL、SDA 入カスパイクパルス除去時間	$t_{SP}$			$1t_{cyc}$	ns	
SDA 入力バスフリー時間	$t_{BUF}$	$5t_{cyc}$			ns	
開始条件入力ホールド時間	$t_{STAH}$	$3t_{cyc}$			ns	
再送開始条件入力セットアップ時間	$t_{STAS}$	$3t_{cyc}$			ns	
停止条件入力セットアップ時間	$t_{STOS}$	$3t_{cyc}$			ns	
データ入力セットアップ時間	$t_{SDAS}$	$0.5t_{cyc}$			ns	
データ入力ホールド時間	$t_{SDAH}$	0			ns	
SCL、SDA の容量性負荷	$C_b$			400	pF	

【注】 \* I<sup>2</sup>C モジュールで使用するクロックの選択により、 $7.5t_{cyc}$ 、 $17.5t_{cyc}$  とすることが可能です。詳細は「16.6 使用上の注意事項」を参照してください。

## 27.5.4 A/D 変換特性

表 27.47 に A/D 変換特性を示します。

表 27.47 A/D 変換特性

条件 A (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V^*$ 、 $AV_{CC} = 2.7 \sim 3.6V^*$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版) :  $V_{CC} = 2.2 \sim 3.6V^*$ 、 $AV_{CC} = 2.2 \sim 3.6V^*$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V^*$ 、 $AV_{CC} = 2.2 \sim 3.6V^*$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A			条件 B、C			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
変換時間	9.6			20.9			$\mu s$
アナログ入力容量			20			20	pF
許容信号源インピーダンス			5			5	k $\Omega$
非直線性誤差			$\pm 6.0$			$\pm 6.0$	LSB
オフセット誤差			$\pm 4.0$			$\pm 4.0$	LSB
フルスケール誤差			$\pm 4.0$			$\pm 4.0$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$			$\pm 8.0$	LSB

【注】 \* AN0、AN1 は  $V_{CC} = AV_{CC}$  時のみ使用可能です。

## 27.5.5 D/A 変換特性

表 27.48 に D/A 変換特性を示します。

表 27.48 D/A 変換特性

条件 A (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A			条件 B、C			単位	測定条件
	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	ビット	
変換時間			10			10	$\mu s$	負荷容量 20pF
絶対精度*		$\pm 2.0$	$\pm 3.0$		$\pm 3.0$	$\pm 4.0$	LSB	負荷抵抗 2M $\Omega$
			$\pm 2.0$			$\pm 3.0$	LSB	負荷抵抗 4M $\Omega$

## 27. 電氣的特性

【注】 \* モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、およびサプスリープモード時は除きます。

### 27.5.6 フラッシュメモリ特性

表 27.49 にフラッシュメモリ特性を示します。

表 27.49 フラッシュメモリ特性

条件 A :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$V_{CC} = 3.0 \sim 3.6V$  (書き込み / 消去時の動作電圧範囲)、

$T_a = -20 \sim +75$  (書き込み / 消去時の動作温度範囲; 通常仕様品)、

$T_a = -40 \sim +85$  (書き込み / 消去時の動作温度範囲; 広温度範囲仕様品)

条件 B :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V - AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$V_{CC} = 3.0 \sim 3.6V$  (書き込み / 消去時の動作電圧範囲)、

$T_a = -20 \sim +50$  (書き込み / 消去時の動作温度範囲; 通常仕様品)

項目		記号	min	typ	max	単位	測定条件
書き込み時間* <sup>1</sup> * <sup>2</sup> * <sup>4</sup>		$t_p$	-	10	200	ms/128 バイト	
消去時間* <sup>1</sup> * <sup>3</sup> * <sup>5</sup>		$t_E$	-	100	1200	ms/ブロック	
書き換え回数		$N_{WEC}$	100* <sup>6</sup>	10000* <sup>7</sup>	-	回数	
データ保持時間* <sup>8</sup>		$t_{DRP}$	10	-	-	年	
書き込み時	SWE1 ビットセット後のウェイト時間* <sup>1</sup>	$t_{sswe}$	1	1	-	$\mu s$	
	PSU1 ビットセット後のウェイト時間* <sup>1</sup>	$t_{spsu}$	50	50	-	$\mu s$	
	P1 ビットセット後のウェイト時間* <sup>1</sup> * <sup>4</sup>	$t_{sp10}$	8	10	12	$\mu s$	
		$t_{sp30}$	28	30	32	$\mu s$	1 n 6
		$t_{sp200}$	198	200	202	$\mu s$	7 n 1000
	P1 ビットクリア後のウェイト時間* <sup>1</sup>	$t_{cp}$	5	5	-	$\mu s$	
	PSU1 ビットクリア後のウェイト時間* <sup>1</sup>	$t_{cpsu}$	5	5	-	$\mu s$	
	PV1 ビットセット後のウェイト時間* <sup>1</sup>	$t_{spv}$	4	4	-	$\mu s$	
	H'FF ダミーライト後のウェイト時間* <sup>1</sup>	$t_{spvr}$	2	2	-	$\mu s$	
	PV1 ビットクリア後のウェイト時間* <sup>1</sup>	$t_{cpv}$	2	2	-	$\mu s$	
	SWE1 ビットクリア後のウェイト時間	$t_{cswe}$	100	100	-	$\mu s$	
	最大書き込み回数* <sup>1</sup> * <sup>4</sup>	N1	-	-	6* <sup>4</sup>	回	
N2		-	-	994* <sup>4</sup>			

項目	記号	min	typ	max	単位	測定条件
消去時	SWE1 ビットセット後の ウェイト時間* <sup>1</sup>	t <sub>sswe</sub>	1	1	-	μs
	ESU1 ビットセット後の ウェイト時間* <sup>1</sup>	t <sub>sesu</sub>	100	100	-	μs
	E1 ビットセット後の ウェイト時間* <sup>1,3,5</sup>	t <sub>se</sub>	10	10	100	ms
	E1 ビットクリア後の ウェイト時間* <sup>1</sup>	t <sub>ce</sub>	10	10	-	μs
	ESU1 ビットクリア後の ウェイト時間* <sup>1</sup>	t <sub>cesu</sub>	10	10	-	μs
	EV1 ビットセット後の ウェイト時間* <sup>1</sup>	t <sub>sev</sub>	20	20	-	μs
	HFF ダミーライト後の ウェイト時間* <sup>1</sup>	t <sub>sevr</sub>	2	2	-	μs
	EV1 ビットクリア後の ウェイト時間* <sup>1</sup>	t <sub>cev</sub>	4	4	-	μs
	SWE1 ビットクリア後の ウェイト時間	t <sub>cswe</sub>	100	100	-	μs
	最大消去回数* <sup>1,5</sup>	N	-	-	100	回

- 【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。
- \*2 128 バイト当たりの書き込み時間（フラッシュメモリコントロールレジスタ 1（FLMCR1）の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません）
- \*3 1 ブロックを消去する時間（FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません）
- \*4 書き込み時間の最大値  

$$(t_p(\max) = P1 \text{ ビットセット後のウェイト時間 } (t_{sp}) \times \text{最大書き込み回数 } (N) )$$

$$(t_{sp30} + t_{sp10}) \times 6 + (t_{sp200}) \times 994$$
- \*5 消去時間の最大値（ $t_e(\max)$ ）に対して、E1 ビットセット後のウェイト時間（ $t_{se}$ ）と最大消去回数（N）は以下の関係にあります。  

$$t_e(\max) = E1 \text{ ビットセット後のウェイト時間 } (t_{se}) \times \text{最大消去回数 } (N)$$
- \*6 書き換え後のすべての特性を保証する min 回数です。（保証は 1 ~ min 値の範囲です）
- \*7 25 のときの参考値。（通常この値まで書き換えは機能するという目安です）
- \*8 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

## 27. 電気的特性

### 27.6 H8S/2237 グループ、H8S/2227 グループの電気的特性

#### 27.6.1 絶対最大定格

表 27.50 に絶対最大定格を示します。

表 27.50 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$	- 0.3 ~ +4.3	V
プログラム電圧*	$V_{PP}$	- 0.3 ~ +13.5	V
入力電圧 (ポート 4、9 以外)	$V_{in}$	- 0.3 ~ $V_{CC}+0.3$	V
入力電圧 (ポート 4、9)	$V_{in}$	- 0.3 ~ $AV_{CC}+0.3$	V
リファレンス電源電圧	$V_{ref}$	- 0.3 ~ $AV_{CC}+0.3$	V
アナログ電源電圧	$AV_{CC}$	- 0.3 ~ +4.3	V
アナログ入力電圧	$V_{AN}$	- 0.3 ~ $AV_{CC}+0.3$	V
動作温度	$T_{opr}$	通常仕様品 : - 20 ~ +75	
		広温度範囲仕様品 : - 40 ~ +85	
保存温度	$T_{stg}$	- 55 ~ +125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

#### 【注】 フラッシュメモリの書き込み / 消去時の動作温度範囲

$T_a = -20 \sim +75$  (通常仕様品)

$T_a = -40 \sim +85$  (広温度範囲仕様品)

\* HD6472237 に適用します。

#### 27.6.2 DC 特性

表 27.51 に DC 特性を、表 27.52 に出力許容電流を示します。

表 27.51 DC 特性 (1)

条件 (ZTAT 版、F-ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

条件 (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	IRQ0 ~ IRQ7	VT <sup>-</sup>	$V_{CC} \times 0.2$			V	
		VT <sup>+</sup>			$V_{CC} \times 0.8$	V	
		VT <sup>+</sup> -VT <sup>-</sup>	$V_{CC} \times 0.07$			V	ZTAT 版、マスク ROM 版
		VT <sup>+</sup> -VT <sup>-</sup>	$V_{CC} \times 0.05$			V	F-ZTAT 版
入力 High レベル電圧	RES、STBY、NMI、 MD2 ~ MD0、FWE	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL、ポート 1、3、 7、A ~ G		$V_{CC} \times 0.8$		$V_{CC} + 0.3$	V	
	ポート 4* <sup>5</sup> 、9		$V_{CC} \times 0.8$		$AV_{CC} + 0.3$ * <sup>5</sup>	V	
入力 Low レベル電圧	RES、STBY、FWE、 MD2 ~ MD0	$V_{IL}$	- 0.3		$V_{CC} \times 0.1$	V	
	NMI、EXTAL、ポート 1、 3、4、7、9、A ~ G		- 0.3		$V_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$			V	$I_{OH} = -1mA$ * <sup>2</sup>
出力 Low レベル電圧	全出力端子	$V_{OL}$			0.4	V	$I_{OL} = 0.4mA$
					0.4	V	$I_{OL} = 0.8mA$ * <sup>2</sup>
入力リーク 電流	RES	$ I_{in} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ * <sup>3</sup>
	STBY、NMI、FWE MD2 ~ MD0				1.0	$\mu A$	$V_{in} = 0.2 \sim V_{CC} - 0.2V$ * <sup>4</sup>
	ポート 4、9				1.0	$\mu A$	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$ * <sup>3</sup> $V_{in} = 0.2 \sim AV_{CC} - 0.2V$ * <sup>4</sup>
スリーステート トリーク電流 (オフ状態)	ポート 1、3、7、A ~ G	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ * <sup>3</sup> $V_{in} = 0.2 \sim V_{CC} - 0.2V$ * <sup>4</sup>
入力プルアッ プ MOS 電流	ポート A ~ E	$-I_p$	10		300	$\mu A$	$V_{in} = 0V$

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、2.0 ~ 3.6V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

\*2  $V_{CC} = 2.7 \sim 3.6V$

\*3 ZTAT 版、マスク ROM 版

\*4 F-ZTAT 版

\*5  $V_{CC} < AV_{CC}$  のとき、P40、P41 の max は  $V_{CC} + 0.3V$  になります。

## 27. 電氣的特性

表 27.51 DC 特性 (2)

条件 (F-ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品) \*<sup>1</sup>

項目		記号	min	typ	max	単位	測定条件
入力容量	RES	$C_{in}$			30	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI				30	pF	
	上記以外の全入力端子				15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		20 $V_{CC} = 3.0V$	37 $V_{CC} = 3.6V$	mA	$f = 13.5MHz$
	スリープ時			15 $V_{CC} = 3.0V$	29 $V_{CC} = 3.6V$	mA	$f = 13.5MHz$
	全モジュール ストップ時			15		mA	$f = 13.5MHz$ 、 $V_{CC} = 3.0V$ (参考値)
	中速モード ( $\phi 32$ ) 時			11		mA	$f = 13.5MHz$ 、 $V_{CC} = 3.0V$ (参考値)
	サブアクティブ モード時			60	160	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	サブスリープ モード時			35	90	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	ウォッチモード時			8	40	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	スタンバイ時* <sup>3</sup>			1.0 $V_{CC} = 3.0V$	10 $V_{CC} = 3.6V$	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時
アナログ 電源電流	A/D、D/A 変換中	$I_{CC}$		0.8	1.5	mA	$AV_{CC} = 3.0V$
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
リファレンス 電源電流	A/D、D/A 変換中	$I_{CC}$		1.3	2.5	mA	$V_{ref} = 3.0V$
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

【注】 \*<sup>1</sup> A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、 $2.0 \sim 3.6V$  の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

\*<sup>2</sup> 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{IL} \max = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*<sup>3</sup>  $V_{RAM}$   $V_{CC} < 2.7V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

\*<sup>4</sup>  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。

$$I_{CC} \max = 1.0 \text{ (mA)} + 0.74 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC} \max = 1.0 \text{ (mA)} + 0.58 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f \text{ (スリープ時)}$$



表 27.51 DC 特性 (3)

条件 (ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目	記号	min	typ	max	単位	測定条件	
入力容量	RES	$C_{in}$		80	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$	
	NMI			50	pF		
	上記以外の全入力端子			15	pF		
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		16 $V_{CC} = 3.0V$	28 $V_{CC} = 3.6V$	mA	$f = 10MHz$
	スリープ時			12 $V_{CC} = 3.0V$	22 $V_{CC} = 3.6V$	mA	$f = 10MHz$
	全モジュール ストップ時			12		mA	$f = 10MHz$ 、 $V_{CC} = 3.0V$ (参考値)
	中速モード ( $\phi/32$ ) 時			8.5		mA	$f = 10MHz$ 、 $V_{CC} = 3.0V$ (参考値)
	サブアクティブ モード時			80	120	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	サブスリープ モード時			60	90	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	ウォッチモード時			8	12	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$
	スタンバイ時* <sup>3</sup>			0.01	5.0	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時
				20.0	$50 < T_a$ 、 32.768kHz 未使用時		
アナログ 電源電流	A/D、D/A 変換中	$AI_{CC}$		0.2	1.0	mA	$AV_{CC} = 3.0V$
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
リファレンス 電源電流	A/D、D/A 変換中	$AI_{CC}$		1.3	2.5	mA	$V_{ref} = 3.0V$
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
RAM スタンバイ電圧	$V_{RAM}$	2.0			V		

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、2.0 ~ 3.6V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM} V_{CC} < 2.7V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。

$$I_{CC} \max = 1.0 \text{ (mA)} + 0.74 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC} \max = 1.0 \text{ (mA)} + 0.58 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f \text{ (スリープ時)}$$

## 27. 電気的特性

表 27.51 DC 特性 (4)

条件 (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)\*<sup>1</sup>

項目		記号	min	typ	max	単位	測定条件
入力容量	RES	$C_{in}$			80	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI				50	pF	
	上記以外の全入力端子				15	pF	
消費電流* <sup>2</sup>	通常動作時	$I_{CC}$ * <sup>4</sup>		20	37	mA	$f = 13.5MHz$
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
			10	18	mA	$f = 6.25MHz$	
			$V_{CC} = 3.0V$	$V_{CC} = 3.6V$			
	スリープ時			15	29	mA	$f = 13.5MHz$
				$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		
			7.5	14	mA	$f = 6.25MHz$	
			$V_{CC} = 3.0V$	$V_{CC} = 3.6V$			
	全モジュール ストップ時			15		mA	$f = 13.5MHz$ 、 $V_{CC} = 3.0V$ (参考値)
	中速モード ( $\phi/32$ ) 時			11		mA	$f = 13.5MHz$ 、 $V_{CC} = 3.0V$ (参考値)
サブアクティブ モード時		60	160	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$		
サブスリープ モード時		35	90	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$		
ウォッチモード時		8	40	$\mu A$	32.768kHz 水晶発振子 使用時、 $V_{CC} = 3.0V$		
スタンバイ時* <sup>3</sup>			0.01	10	$\mu A$	$T_a = 50$ 、 32.768kHz 未使用時	
			$V_{CC} = 3.0V$	$V_{CC} = 3.6V$		$50 < T_a$ 、 32.768kHz 未使用時	
				50		$V_{CC} = 3.6V$	
アナログ 電源電流	A/D、D/A 変換中	$I_{lCC}$		0.8	1.5	mA	$AV_{CC} = 3.0V$
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
リファレンス 電源電流	A/D、D/A 変換中	$I_{lCC}$		1.3	2.5	mA	$V_{ref} = 3.0V$
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.0			V	

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に接続するなどの方法で、2.0 ~ 3.6V の電圧を印加してください。このとき、 $V_{ref}$   $AV_{CC}$  としてください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM}$   $V_{CC} < 2.2V$  のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$  とした場合の値です。

\*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。

$$I_{CC \max} = 1.0 \text{ (mA)} + 0.74 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC \max} = 1.0 \text{ (mA)} + 0.58 \text{ (mA/(MHz} \times \text{V))} \times V_{CC} \times f \text{ (スリープ時)}$$

表 27.52 出力許容電流

条件 (ZTAT 版、F-ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6\text{V}$ 、 $AV_{CC} = 2.7 \sim 3.6\text{V}$ 、 $V_{ref} = 2.7\text{V} \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{V}$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6\text{V}$ 、 $AV_{CC} = 2.2 \sim 3.6\text{V}$ 、 $V_{ref} = 2.2\text{V} \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{V}$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目			記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子当たり)	全出力端子	$V_{CC} = 2.2 \sim 3.6\text{V}$	$I_{OL}$	-	-	0.5	mA
		$V_{CC} = 2.7 \sim 3.6\text{V}$		-	-	1.0	
出力 Low レベル許容電流 (総和)	全出力端子の総和	$V_{CC} = 2.2 \sim 3.6\text{V}$	$\Sigma I_{OL}$	-	-	30	mA
		$V_{CC} = 2.7 \sim 3.6\text{V}$		-	-	60	
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$V_{CC} = 2.2 \sim 3.6\text{V}$	$-I_{OH}$	-	-	0.5	mA
		$V_{CC} = 2.7 \sim 3.6\text{V}$		-	-	1.0	
出力 High レベル許容電流 (総和)	全出力端子の総和	$V_{CC} = 2.2 \sim 3.6\text{V}$	$\Sigma - I_{OH}$	-	-	15	mA
		$V_{CC} = 2.7 \sim 3.6\text{V}$		-	-	30	

【注】 LSI の信頼性を確保するため、出力電流値は表 27.52 の値を超えないようにしてください。

## 27. 電気的特性

### 27.6.3 AC 特性

AC 測定条件を図 27.9 に示します。

#### (1) クロックタイミング

表 27.53 にクロックタイミングを示します。

表 27.53 クロックタイミング

条件 A (ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 10MHz$ ,

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,

$2 \sim 13.5MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 6.25MHz$ ,

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B、		条件 C		単位	測定条件
		min	max	min	max	min	max		
クロックサイクル時間	$t_{cyc}$	100	500	74	500	160	500	ns	図 27.10
クロックハイレベルパルス幅	$t_{CH}$	35		25		50		ns	
クロックローレベルパルス幅	$t_{CL}$	35		25		50		ns	
クロック立ち上がり時間	$t_{Cr}$		15		10		25	ns	
クロック立ち下がり時間	$t_{Cf}$		15		10		25	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	20		20		40		ms	図 27.11
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8		8		16		ms	
外部クロック出力安定遅延時間	$t_{DEXT}$	500		500		1000		$\mu s$	図 27.11
サブクロック発振安定時間	$t_{OSC3}$		2		2		3	s	
サブクロック発振器発振周波数	$f_{SUB}$	32.768		32.768		32.768		kHz	
サブクロック ( $\phi_{SUB}$ ) サイクル時間	$t_{SUB}$	30.5		30.5		30.5		$\mu s$	

## (2) 制御信号タイミング

表 27.54 に制御信号タイミングを示します。

表 27.54 制御信号タイミング

条件 A (ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,

$\phi = 32.768kHz$ ,  $2 \sim 10MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品),  $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ ,  $AV_{CC} = 2.7 \sim 3.6V$ ,  $V_{ref} = 2.7V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,

$2 \sim 13.5MHz$ ,  $T_a = -20 \sim +75$  (通常仕様品),  $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ ,  $AV_{CC} = 2.2 \sim 3.6V$ ,  $V_{ref} = 2.2V \sim AV_{CC}$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $\phi = 32.768kHz$ ,  $2 \sim 6.25MHz$ ,

$T_a = -20 \sim +75$  (通常仕様品),  $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
RES セットアップ時間	$t_{RESS}$	250		250		350		ns	図 27.12
RES パルス幅	$t_{RESW}$	20		20		20		$t_{cyc}$	
MRES セットアップ時間	$t_{MRESS}$	250		250		350		ns	
MRES パルス幅	$t_{MRESW}$	20		20		20		$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	250		250		350		ns	図 27.13
NMI ホールド時間	$t_{NMIH}$	10		10		10		ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		200		300		ns	
$\overline{IRQ}$ セットアップ時間	$t_{IRQS}$	250		250		350		ns	
$\overline{IRQ}$ ホールド時間	$t_{IRQH}$	10		10		10		ns	
$\overline{IRQ}$ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		200		300		ns	

## 27. 電気的特性

### (3) バスタイミング

表 27.55 にバスタイミングを示します。

表 27.55 バスタイミング

条件 A (ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2 \sim 10MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13.5MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
アドレス遅延時間	$t_{AD}$		60		50		90	ns	図 27.14 ~ 図 27.18
アドレス セットアップ時間	$t_{AS}$	$0.5 \times t_{cyc}-40$		$0.5 \times t_{cyc}-30$		$0.5 \times t_{cyc}-60$		ns	
アドレス ホールド時間	$t_{AH}$	$0.5 \times t_{cyc}-20$		$0.5 \times t_{cyc}-15$		$0.5 \times t_{cyc}-30$		ns	
CS 遅延時間	$t_{CSD}$		60		50		90	ns	
AS 遅延時間	$t_{ASD}$		60		50		90	ns	
RD 遅延時間 1	$t_{RSD1}$		60		50		90	ns	
RD 遅延時間 2	$t_{RSD2}$		60		50		90	ns	
リードデータ セットアップ時間	$t_{RDS}$	30		30		50		ns	
リードデータ ホールド時間	$t_{RDH}$	0		0		0		ns	
リードデータ アクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc}-65$		$1.0 \times t_{cyc}-65$		$1.0 \times t_{cyc}-90$	ns	
リードデータ アクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc}-65$		$1.5 \times t_{cyc}-65$		$1.5 \times t_{cyc}-90$	ns	
リードデータ アクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc}-65$		$2.0 \times t_{cyc}-65$		$2.0 \times t_{cyc}-90$	ns	
リードデータ アクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc}-65$		$2.5 \times t_{cyc}-65$		$2.5 \times t_{cyc}-90$	ns	
リードデータ アクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc}-65$		$3.0 \times t_{cyc}-65$		$3.0 \times t_{cyc}-90$	ns	
WR 遅延時間 1	$t_{WRD1}$		60		50		90	ns	
WR 遅延時間 2	$t_{WRD2}$		60		50		90	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc}-40$		$1.0 \times t_{cyc}-30$		$1.0 \times t_{cyc}-60$		ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc}-40$		$1.5 \times t_{cyc}-30$		$1.5 \times t_{cyc}-60$		ns	

## 27. 電氣的特性

項目	記号	条件 A		条件 B		条件 C		単位	測定条件
		min	max	min	max	min	max		
ライトデータ 遅延時間	$t_{WDD}$		80		70		100	ns	図 27.14 ~ 図 27.18
ライトデータ セットアップ時間	$t_{WDS}$	$0.5 \times t_{cyc}-50$		$0.5 \times t_{cyc}-37$		$0.5 \times t_{cyc}-80$		ns	
ライトデータ ホールド時間	$t_{WDH}$	$0.5 \times t_{cyc}-30$		$0.5 \times t_{cyc}-15$		$0.5 \times t_{cyc}-60$		ns	
WAIT セットアップ時間	$t_{WTS}$	60		50		90		ns	図 27.16
WAIT ホールド時間	$t_{WTH}$	10		10		10		ns	
BREQ セットアップ時間	$t_{BRQS}$	60		50		90		ns	図 27.19
BACK 遅延時間	$t_{BACD}$		60		50		90	ns	
バスフローティング 時間	$t_{BZD}$		100		80		160	ns	

## 27. 電気的特性

### (4) 内蔵周辺モジュールタイミング

表 27.56 に内蔵周辺タイミングを示します。

表 27.56 内蔵周辺タイミング

条件 A (ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 32.768kHz$ 、 $2 \sim 10MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、

$2 \sim 13.5MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 32.768kHz$ 、 $2 \sim 6.25MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	条件 A		条件 B		条件 C		単位	測定条件	
			min	max	min	max	min	max			
I/O ポート	出力データ遅延時間	$t_{PWD}$		100		100		150	ns	図 27.24	
	入力データセットアップ時間	$t_{PRS}$	50		50		80				
	入力データセットアップ時間	$t_{PRH}$	50		50		80				
TPU	タイマ出力遅延時間	$t_{TOCD}$		100		100		150	ns	図 27.25	
	タイマ入力セットアップ時間	$t_{TICS}$	50		40		60				
	タイマクロック入力セットアップ時間	$t_{TCKS}$	50		40		60		ns	図 27.26	
	タイマクロック パルス幅	単エッジ指定	$t_{TCKWH}$	1.5		1.5		1.5			$t_{cyc}$
		両エッジ指定	$t_{TCKWL}$	2.5		2.5		2.5			
TMR	タイマ出力遅延時間	$t_{TMOD}$		100		100		150	ns	図 27.27	
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50		50		80		ns		図 27.29
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50		50		80		ns		
	タイマクロック パルス幅	単エッジ指定	$t_{TMCWH}$	1.5		1.5		1.5		$t_{cyc}$	
		両エッジ指定	$t_{TMCWL}$	2.5		2.5		2.5			
WDT_1	BUZZ 出力遅延時間	$t_{BUZD}$		100		100		150	ns	図 27.30	
SCI	入力クロック サイクル	調歩同期	$t_{Soyc}$	4		4		4	$t_{cyc}$	図 27.31	
		クロック同期		6		6		6			
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	0.4	0.6	0.4	0.6	$t_{Soyc}$		
	入力クロック立ち上がり時間	$t_{SCKr}$		1.5		1.5		1.5	$t_{cyc}$		
	入力クロック立ち下がり時間	$t_{SCKf}$		1.5		1.5		1.5			
	送信データ遅延時間	$t_{TXD}$		100		100		150	ns		図 27.32
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	100		75		150		ns		
受信データホールド時間 (クロック同期)	$t_{RXH}$	100		75		150		ns			
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	50		40		60		ns	図 27.33	



## 27.6.4 A/D 変換特性

表 27.57 に A/D 変換特性を示します。

表 27.57 A/D 変換特性

条件 A (ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2 \sim 10MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (F-ZTAT 版、マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V^*$ 、 $AV_{CC} = 2.7 \sim 3.6V^*$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13.5MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V^*$ 、 $AV_{CC} = 2.2 \sim 3.6V^*$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A			条件 B			条件 C			単位
	min	typ	max	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	10	10	10	ビット
変換時間	13.1			9.6			20.9			$\mu s$
アナログ入力容量			20			20			20	pF
許容信号源インピーダンス			5			5			5	k $\Omega$
非直線性誤差			$\pm 6.0$			$\pm 6.0$			$\pm 6.0$	LSB
オフセット誤差			$\pm 4.0$			$\pm 4.0$			$\pm 4.0$	LSB
フルスケール誤差			$\pm 4.0$			$\pm 4.0$			$\pm 4.0$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$			$\pm 8.0$			$\pm 8.0$	LSB

【注】 \* AN0、AN1 は  $V_{CC} = AV_{CC}$  時のみ使用可能です。

## 27.6.5 D/A 変換特性

表 27.58 に D/A 変換特性を示します。

表 27.58 D/A 変換特性

条件 A (ZTAT 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2 \sim 10MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B (マスク ROM 版) :  $V_{CC} = 2.7 \sim 3.6V$ 、 $AV_{CC} = 2.7 \sim 3.6V$ 、 $V_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 13.5MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)

条件 C (マスク ROM 版) :  $V_{CC} = 2.2 \sim 3.6V$ 、 $AV_{CC} = 2.2 \sim 3.6V$ 、 $V_{ref} = 2.2V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 6.25MHz$ 、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	条件 A			条件 B			条件 C			単位	測定条件
	min	typ	max	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	8	8	8	ビット	
変換時間			10			10			10	$\mu s$	負荷容量 20pF
絶対精度*		$\pm 2.0$	$\pm 3.0$		$\pm 2.0$	$\pm 3.0$		$\pm 3.0$	$\pm 4.0$	LSB	負荷抵抗 2M $\Omega$
			$\pm 2.0$		$\pm 2.0$			$\pm 3.0$		LSB	負荷抵抗 4M $\Omega$

## 27. 電気的特性

【注】 \* モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、およびサプスリープモード時は除きます。

### 27.6.6 フラッシュメモリ特性

表 27.59 にフラッシュメモリ特性を示します。

表 27.59 フラッシュメモリ特性

条件：V<sub>CC</sub> = 2.7 ~ 3.6V、AV<sub>CC</sub> = 2.7 ~ 3.6V、V<sub>ref</sub> = 2.7V ~ AV<sub>CC</sub>、V<sub>SS</sub> = AV<sub>SS</sub> = 0V、

V<sub>CC</sub> = 3.0 ~ 3.6V（書き込み / 消去時の動作電圧範囲）

T<sub>a</sub> = -20 ~ +50（書き込み / 消去時の動作温度範囲；通常仕様品）

項目		記号	min	typ	max	単位	測定条件
書き込み時間* <sup>1</sup> * <sup>2</sup> * <sup>4</sup>		t <sub>P</sub>	-	10	200	ms/128 バイト	
消去時間* <sup>1</sup> * <sup>3</sup> * <sup>5</sup>		t <sub>E</sub>	-	100	1200	ms/ブロック	
書き換え回数		N <sub>WEC</sub>	100* <sup>6</sup>	10000* <sup>7</sup>	-	回数	
データ保持時間* <sup>8</sup>		t <sub>DRP</sub>	10	-	-	年	
書き込み時	SWE1 ビットセット後のウェイト時間* <sup>1</sup>	t <sub>sswe</sub>	1	1	-	μs	
	PSU1 ビットセット後のウェイト時間* <sup>1</sup>	t <sub>spsu</sub>	50	50	-	μs	
	P1 ビットセット後のウェイト時間* <sup>1</sup> * <sup>4</sup>	t <sub>sp10</sub>	8	10	12	μs	
		t <sub>sp30</sub>	28	30	32	μs	1 n 6
		t <sub>sp200</sub>	198	200	202	μs	7 n 1000
	P1 ビットクリア後のウェイト時間* <sup>1</sup>	t <sub>cp</sub>	5	5	-	μs	
	PSU1 ビットクリア後のウェイト時間* <sup>1</sup>	t <sub>cpsu</sub>	5	5	-	μs	
	PV1 ビットセット後のウェイト時間* <sup>1</sup>	t <sub>spv</sub>	4	4	-	μs	
	HFF ダミーライト後のウェイト時間* <sup>1</sup>	t <sub>spvr</sub>	2	2	-	μs	
	PV1 ビットクリア後のウェイト時間* <sup>1</sup>	t <sub>cpv</sub>	2	2	-	μs	
	SWE1 ビットクリア後のウェイト時間	t <sub>cswe</sub>	100	100	-	μs	
	最大書き込み回数* <sup>1</sup> * <sup>4</sup>	N1	-	-	6* <sup>4</sup>	回	
		N2	-	-	994* <sup>4</sup>		

項目	記号	min	typ	max	単位	測定条件
消去時	SWE1 ビットセット後のウェイト時間* <sup>1</sup>	t <sub>sswe</sub>	1	1	-	μs
	ESU1 ビットセット後のウェイト時間* <sup>1</sup>	t <sub>sesu</sub>	100	100	-	μs
	E1 ビットセット後のウェイト時間* <sup>1,3,5</sup>	t <sub>se</sub>	10	10	100	ms
	E1 ビットクリア後のウェイト時間* <sup>1</sup>	t <sub>ce</sub>	10	10	-	μs
	ESU1 ビットクリア後のウェイト時間* <sup>1</sup>	t <sub>cesu</sub>	10	10	-	μs
	EV1 ビットセット後のウェイト時間* <sup>1</sup>	t <sub>sev</sub>	20	20	-	μs
	HFF ダミーライト後のウェイト時間* <sup>1</sup>	t <sub>sevr</sub>	2	2	-	μs
	EV1 ビットクリア後のウェイト時間* <sup>1</sup>	t <sub>cev</sub>	4	4	-	μs
	SWE1 ビットクリア後のウェイト時間	t <sub>cswe</sub>	100	100	-	μs
	最大消去回数* <sup>1,5</sup>	N	-	-	100	回

- 【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。
- \*2 128 バイト当たりの書き込み時間（フラッシュメモリコントロールレジスタ 1（FLMCR1）の P1 ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません）
- \*3 1 ブロックを消去する時間（FLMCR1 の E1 ビットをセットしている期間を示します。消去ベリファイ時間は含まれません）
- \*4 書き込み時間の最大値  
 $(t_p(\max) = P1 \text{ ビットセット後のウェイト時間}(t_{sp}) \times \text{最大書き込み回数}(N))$   
 $(t_{sp30} + t_{sp10}) \times 6 + (t_{sp200}) \times 994$
- \*5 消去時間の最大値（ $t_e(\max)$ ）に対して、E1 ビットセット後のウェイト時間（ $t_{se}$ ）と最大消去回数（N）は以下の関係にあります。  
 $t_e(\max) = E1 \text{ ビットセット後のウェイト時間}(t_{se}) \times \text{最大消去回数}(N)$
- \*6 書き換え後のすべての特性を保証する min 回数です。（保証は 1 ~ min 値の範囲です）
- \*7 25 のときの参考値。（通常この値まで書き換えは機能するという目安です）
- \*8 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

## 27.7 動作タイミング

### 27.7.1 クロックタイミング

クロックタイミングを以下に示します。

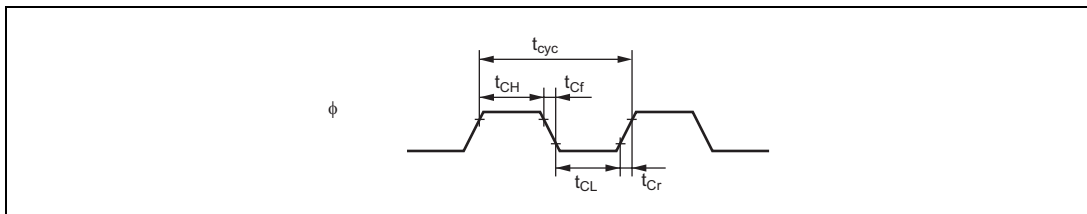


図 27.10 システムクロックタイミング

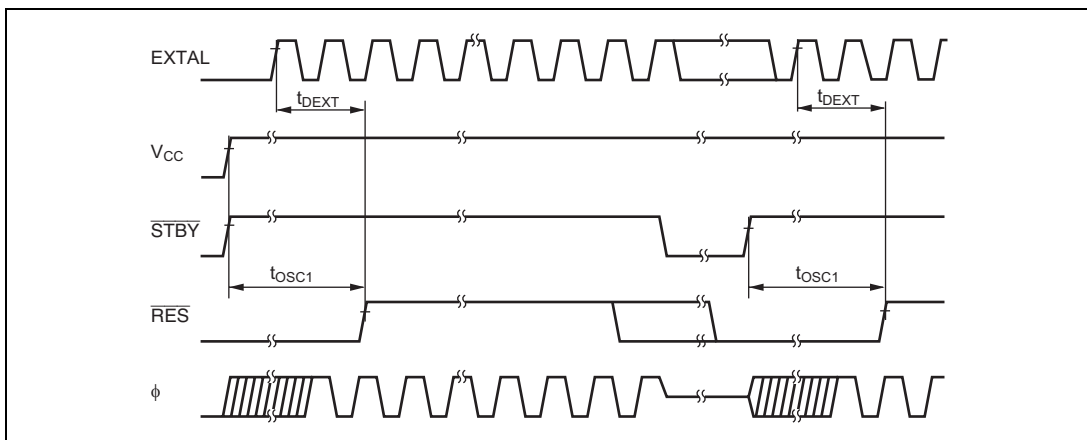


図 27.11 発振安定時間タイミング

## 27.7.2 制御信号タイミング

制御信号タイミングを以下に示します。

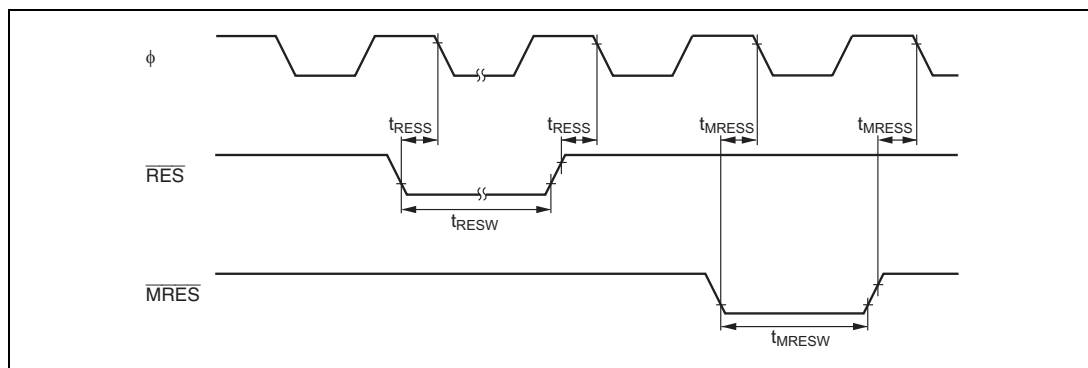


図 27.12 リセット入力タイミング

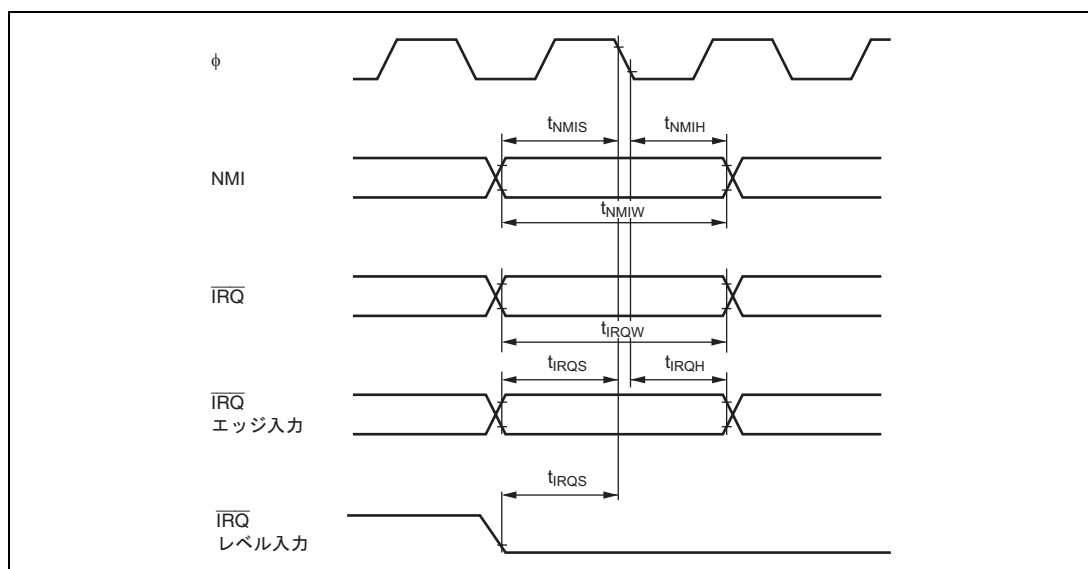


図 27.13 割り込み入力タイミング

### 27.7.3 バスタイミング

図 27.14～図 27.19 にバスタイミングを示します。

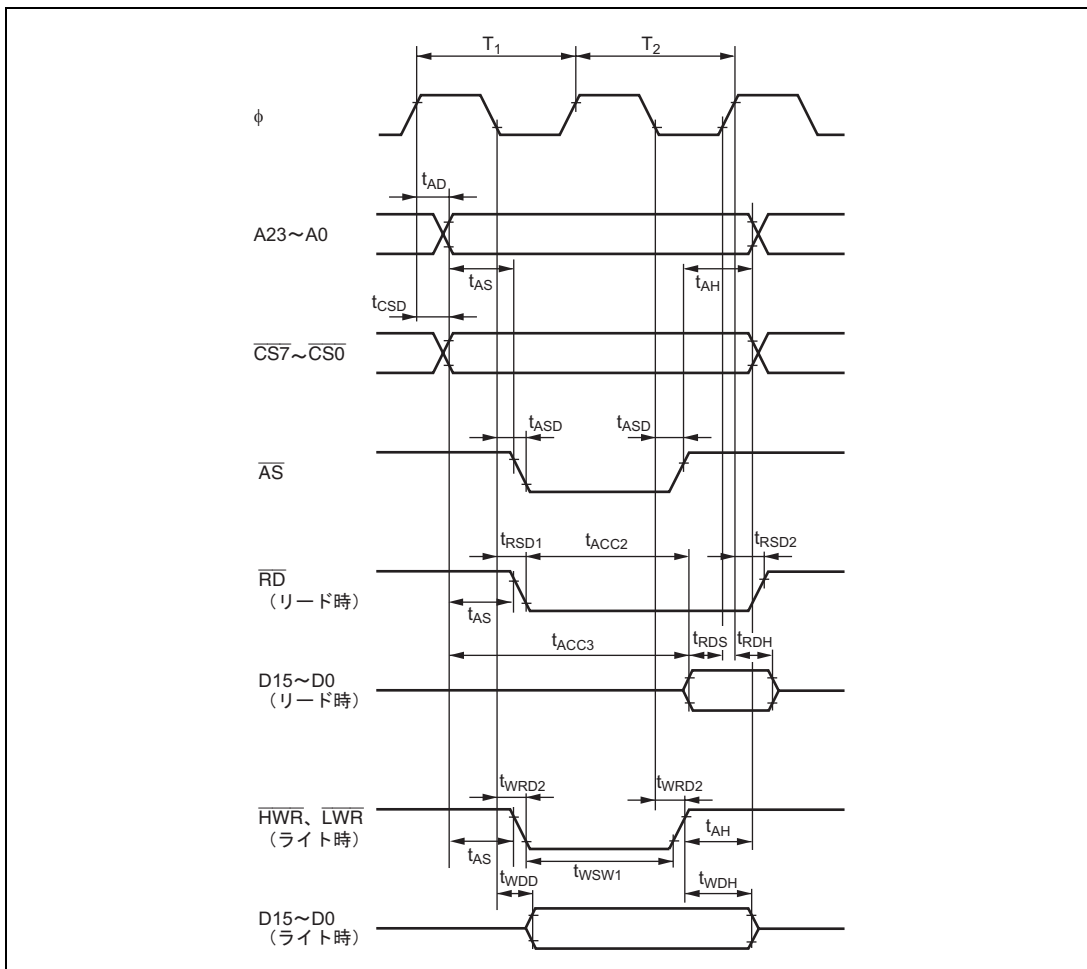


図 27.14 基本バスタイミング / 2 ステートアクセス

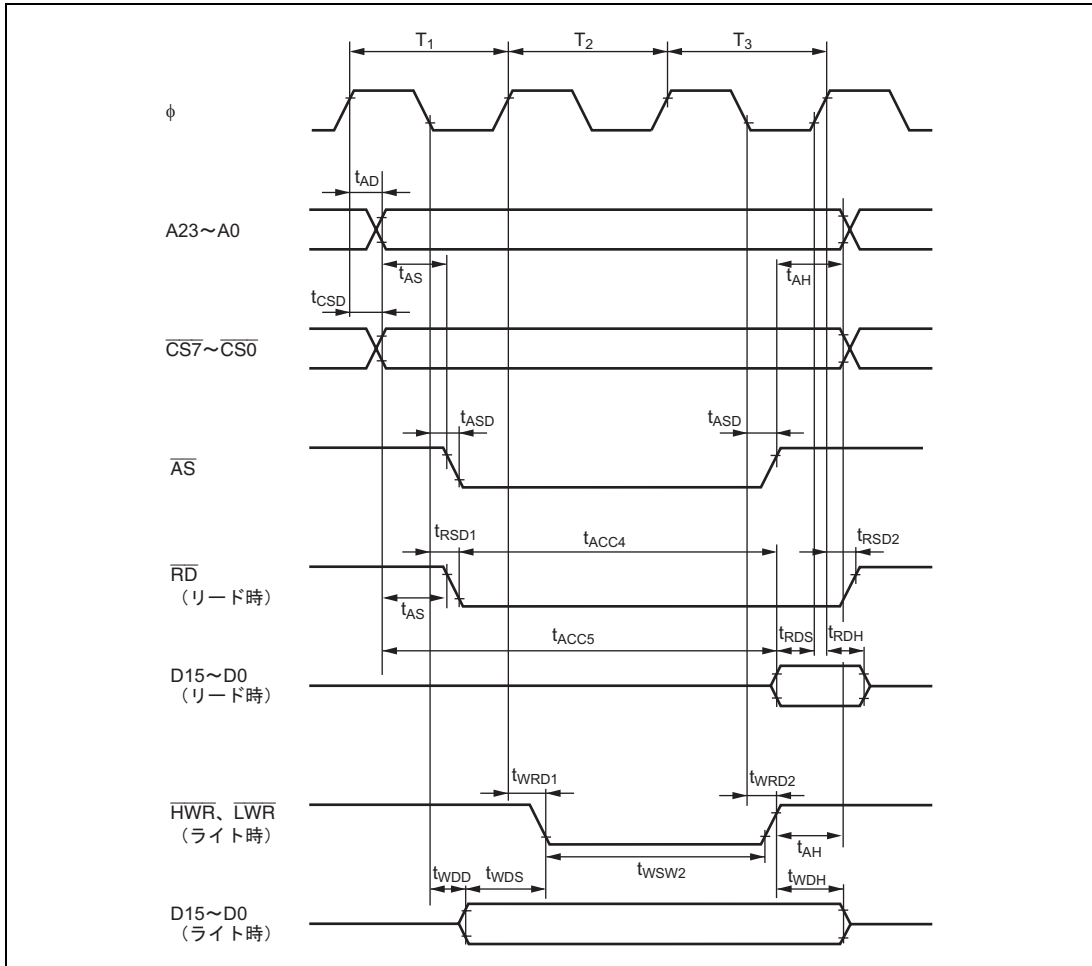


図 27.15 基本バスタイミング / 3 ステートアクセス

## 27. 電気的特性

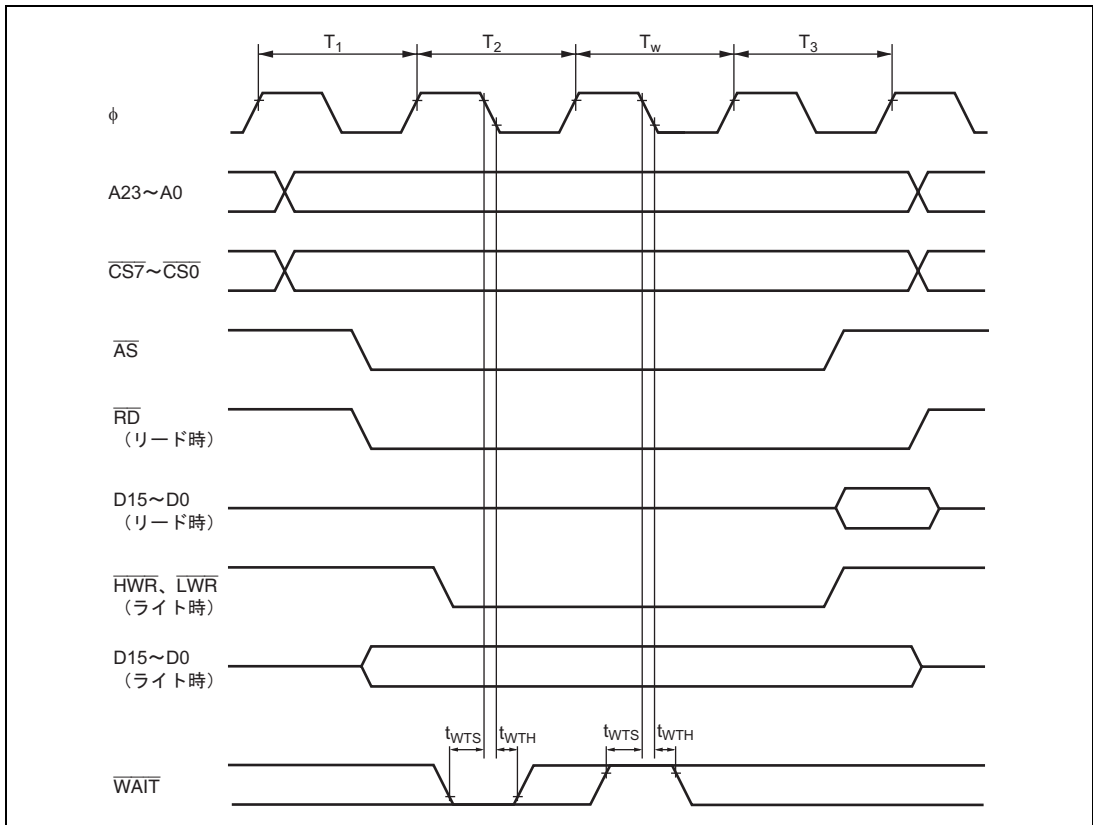


図 27.16 基本バスタイミング / 3 ステートアクセス 1 ウェイト



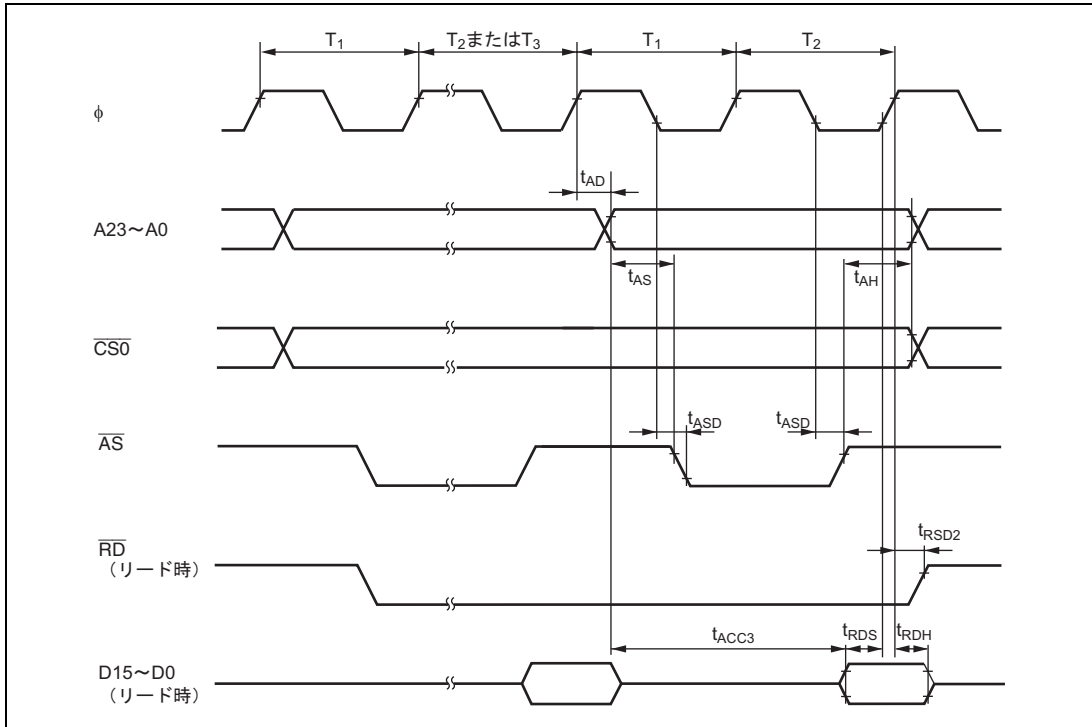


図 27.17 パースト ROM アクセスタイミング / 2 ステートアクセス

## 27. 電気的特性

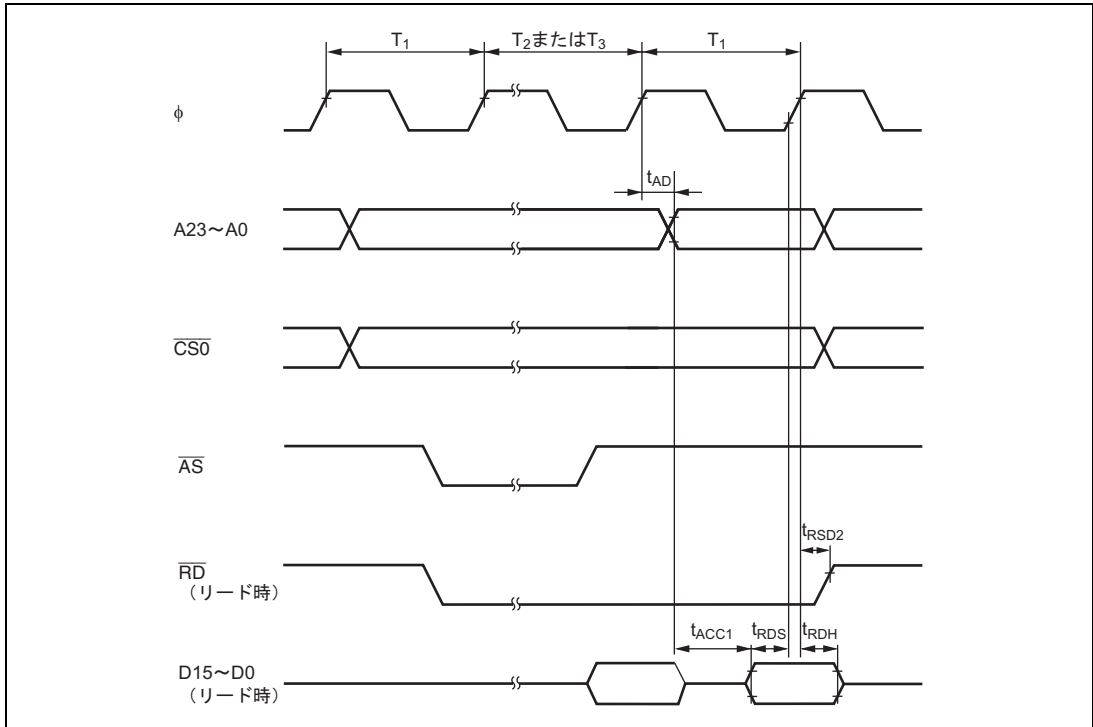


図 27.18 パラレル ROM アクセスタイミング / 1 ステートアクセス

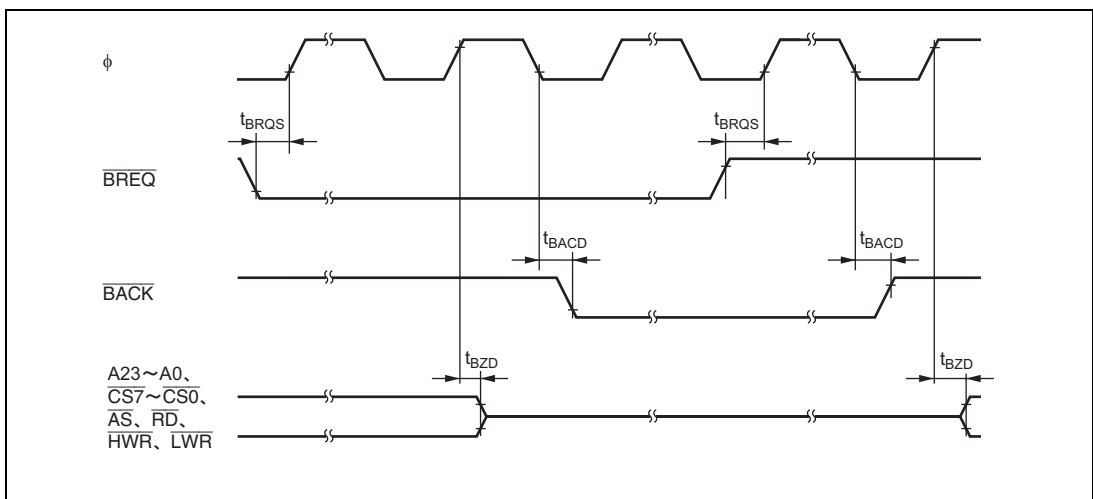


図 27.19 外部バス権解放タイミング

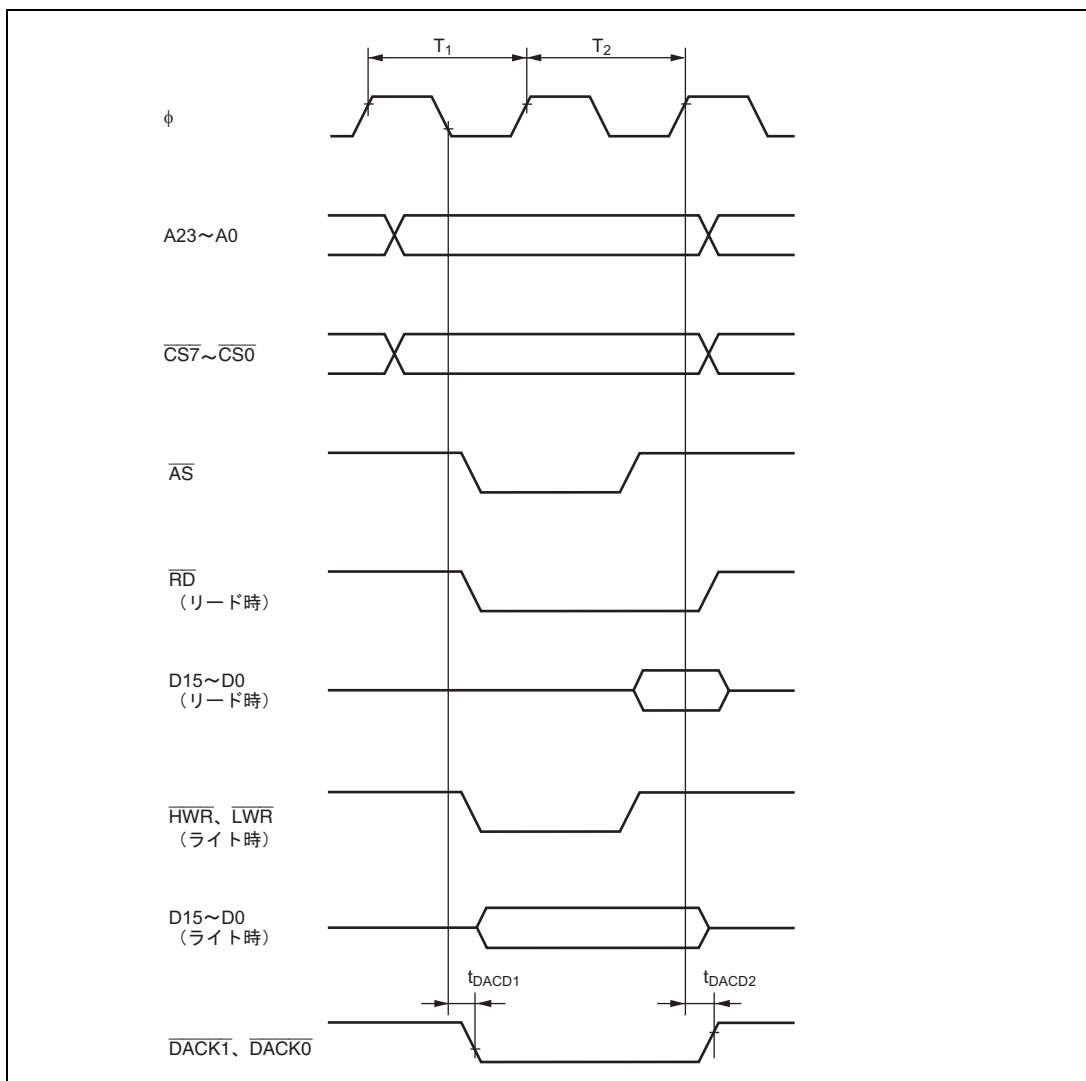


図 27.20 DMAC シングルアドレス転送タイミング / 2 ステートアクセス

27. 電気的特性

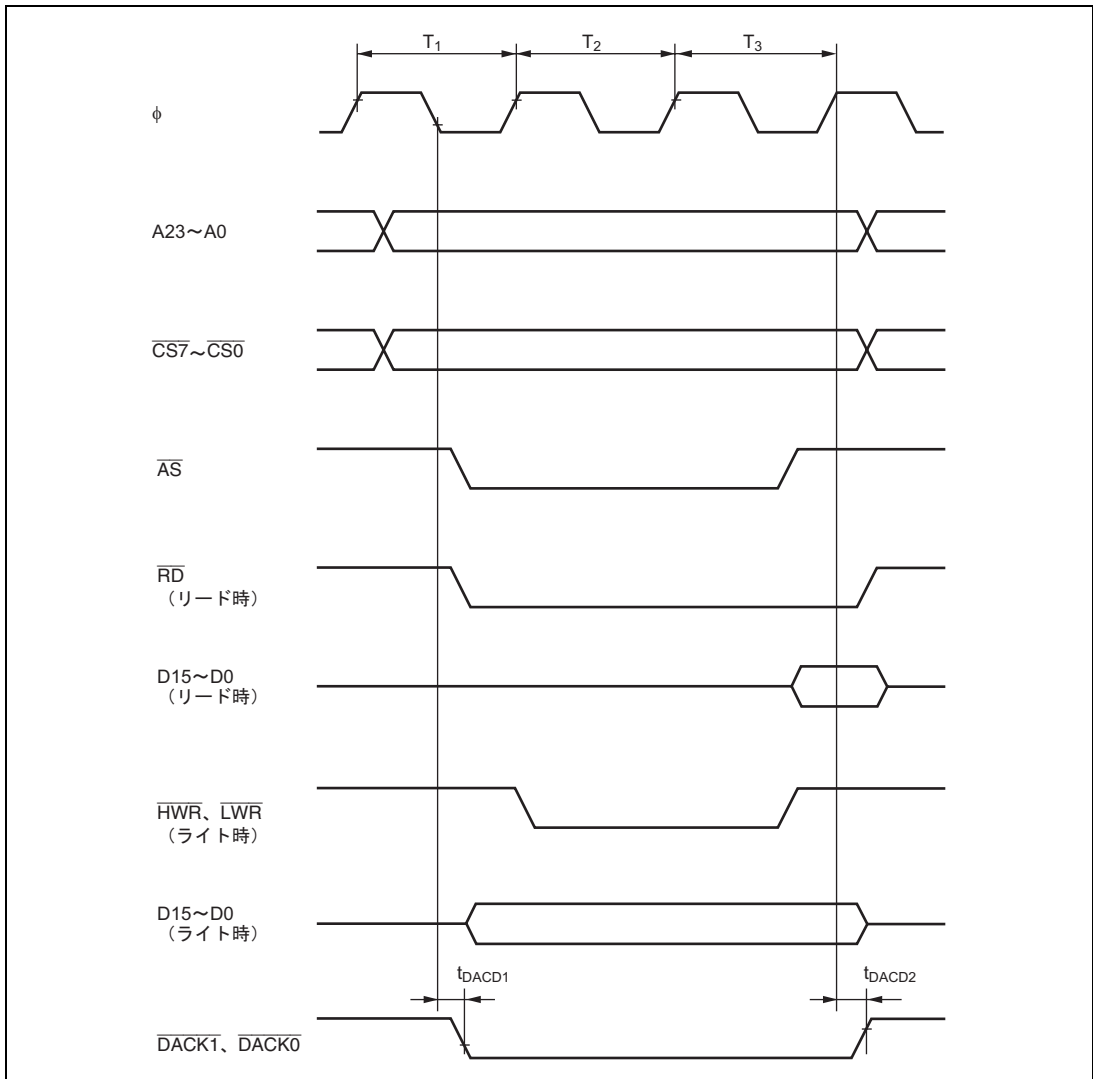
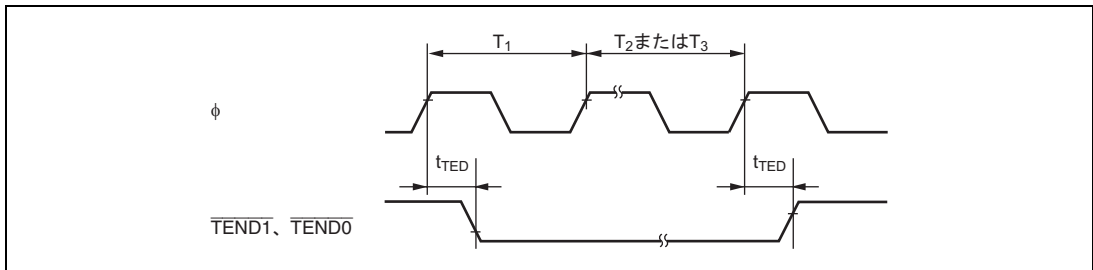
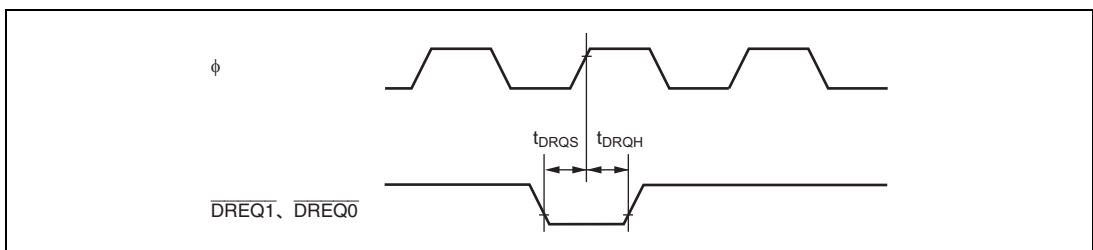


図 27.21 DMAC シングルアドレス転送タイミング / 3 ステートアクセス

図 27.22 DMAC  $\overline{TEND}$  出力タイミング図 27.23 DMAC  $\overline{DREQ}$  入力タイミング

#### 27.7.4 内蔵周辺モジュールタイミング

図 27.24 ~ 図 27.34 に内蔵周辺モジュールタイミングを示します。

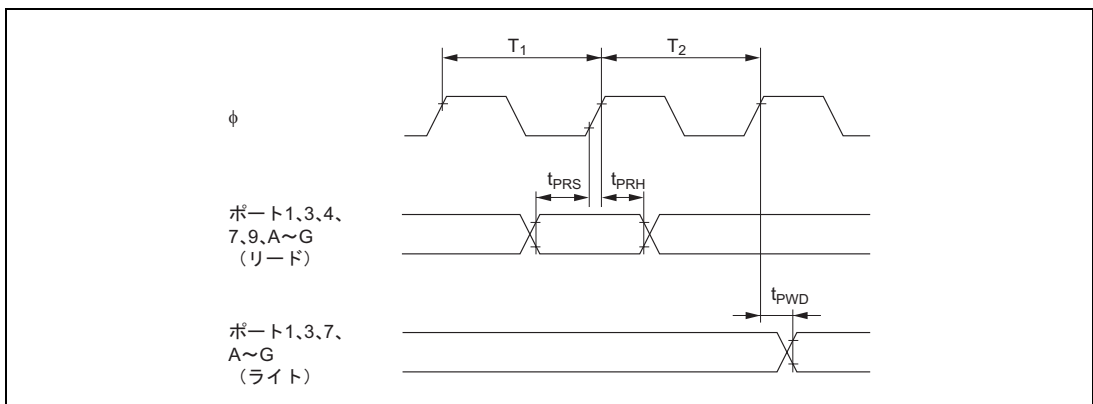


図 27.24 I/O ポート入出力タイミング

## 27. 電気的特性

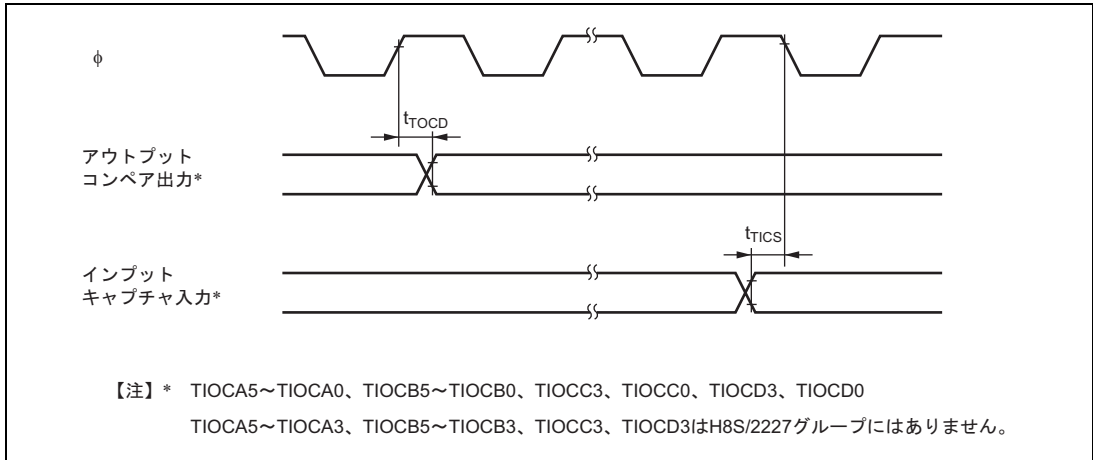


図 27.25 TPU 入出力タイミング

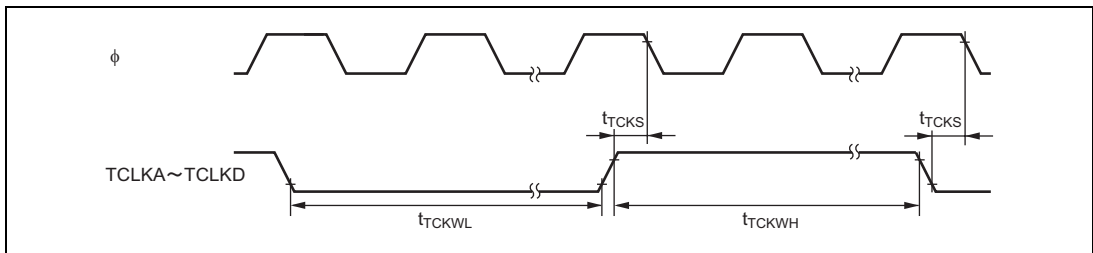


図 27.26 TPU クロック入力タイミング

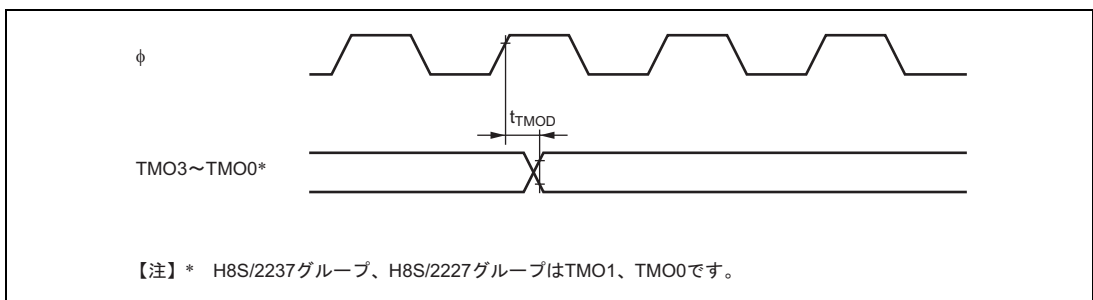


図 27.27 8ビットタイマ出力タイミング

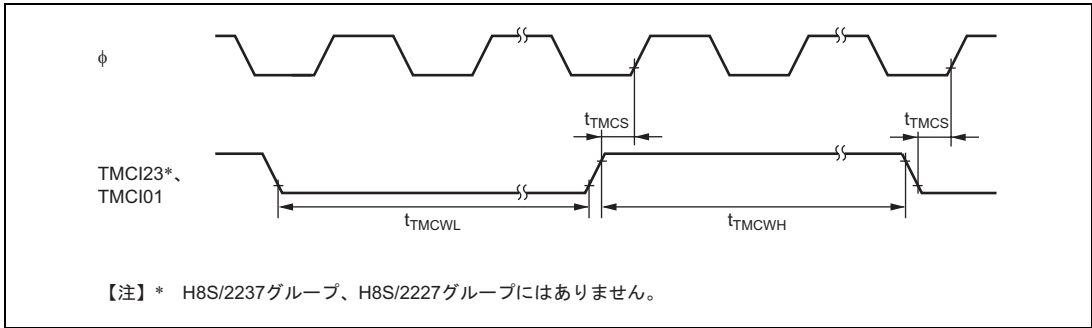


図 27.28 8ビットタイマクロック入力タイミング

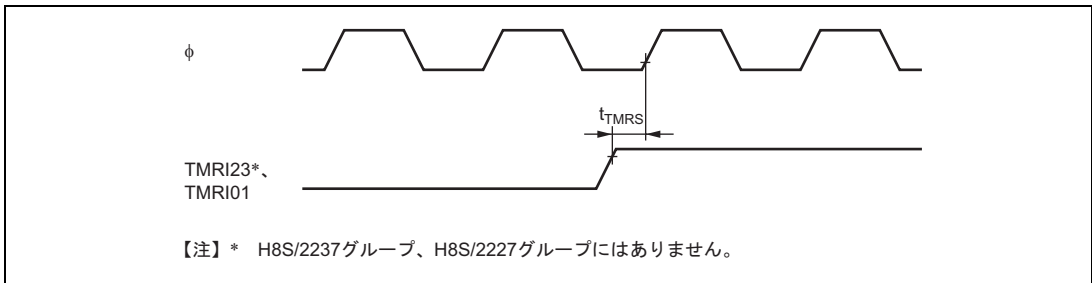


図 27.29 8ビットタイマリセット入力タイミング

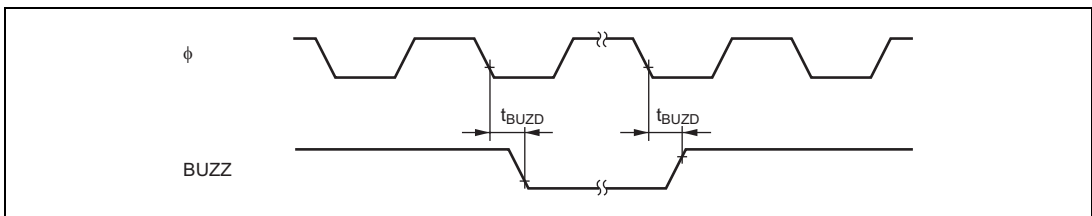


図 27.30 WDT\_1 出力タイミング

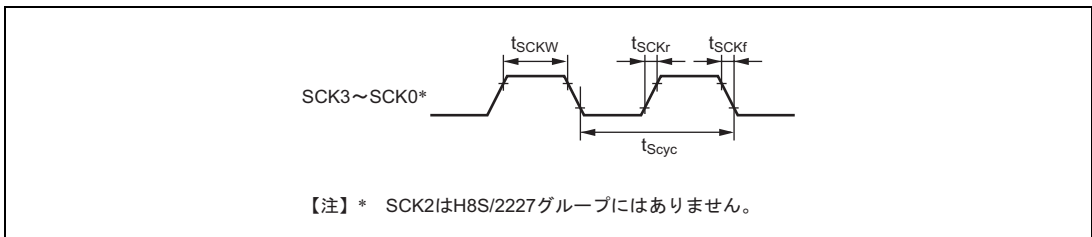


図 27.31 SCK クロック入力タイミング

## 27. 電気的特性

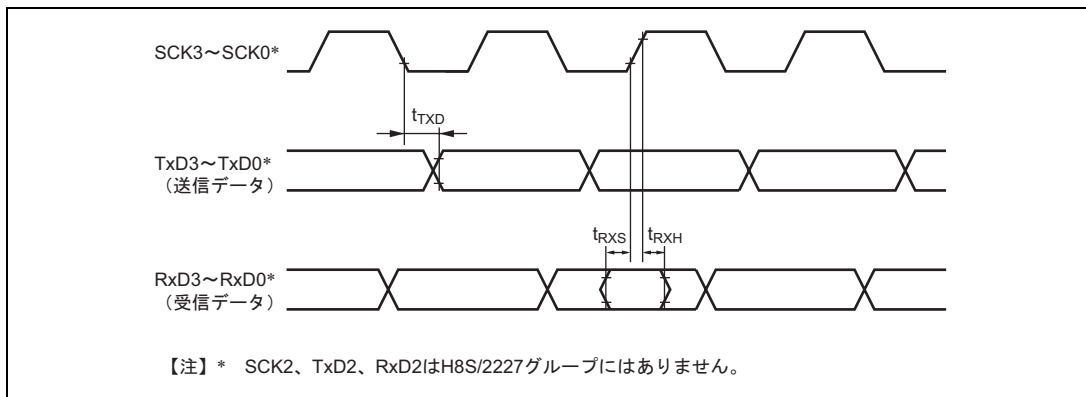


図 27.32 SCI 入出力タイミング/クロック同期式モード

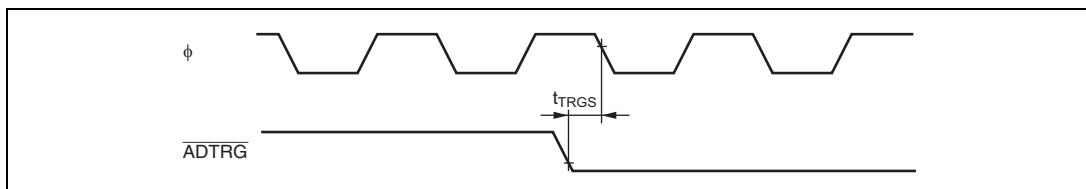


図 27.33 A/D 変換器外部トリガ入力タイミング

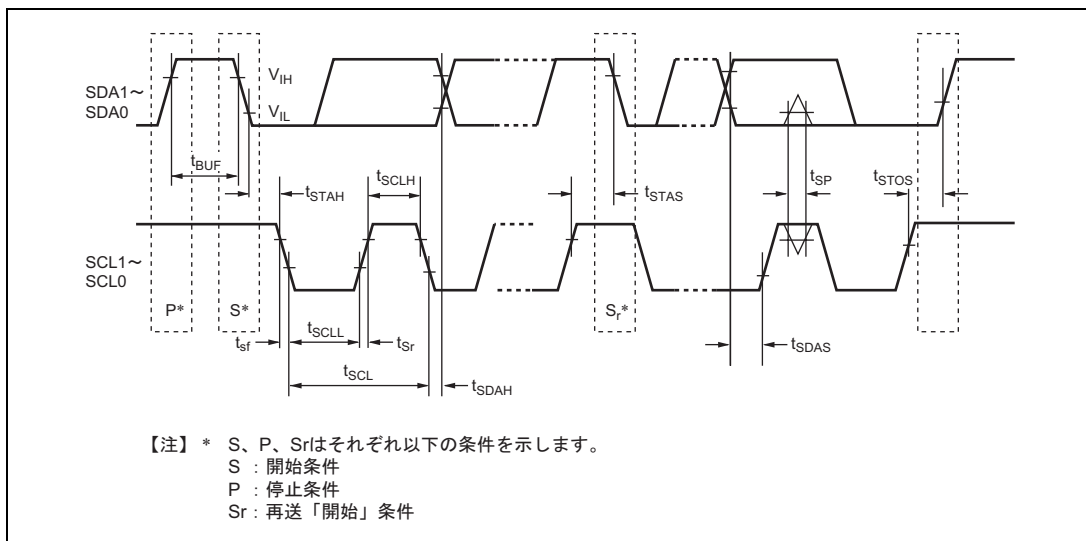


図 27.34 I<sup>2</sup>C バスインタフェース入出力タイミング【オプション】



## 27.8 使用上の注意事項

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。



# 付録

## A. 各端子状態における I/O ポートの状態

ポート名 端子名	MCU 動作 モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス権 解放状態	プログラム 実行状態、 スリープモード、 サブスリープ モード
P17 ~ P14	4 ~ 7	T	keep	T	keep	keep	入出力ポート
P13/TIOCD0/ TCLKB/A23 P12/ TIOCC0/ TCLKA/A22 P11/TIOCB0/A21	7	T	keep	T	keep	keep	入出力ポート
AE <sub>n</sub> ビットでアド レス出力選択	4 ~ 6	T	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
ポート選択	4 ~ 6	T	keep	T	keep	keep	入出力ポート
P10/TIOCA0/ DACK0 <sup>*3</sup> /A20	7	T	keep	T	keep	keep	入出力ポート
AE <sub>n</sub> ビットでアド レス出力選択	4、5 6	L T	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力
ポート選択	4 ~ 6	T <sup>*1</sup>	keep	T	keep	keep	入出力ポート
ポート 3	4 ~ 7	T	keep	T	keep	keep	入出力ポート
ポート 4	4 ~ 7	T	T	T	T	T	入力ポート
P77 ~ P74	4 ~ 7	T	keep	T	keep	keep	入出力ポート
P73/TMO1/TEND1 <sup>*3</sup> /CS7 P72/TMO0/TEND0 <sup>*3</sup> /CS6 P71/TMRI23 <sup>*2</sup> /TMCI23 <sup>*2</sup> / DREQ1 <sup>*3</sup> /CS5 P70/TMRI01/ TMCI01/DREQ0 <sup>*3</sup> /CS4	7 4 ~ 6	T T	keep keep	T T	keep [DDR・OPE = 0] T [DDR・OPE = 1] H	keep T	入出力ポート [DDR = 0] 入力ポート [DDR = 1] CS7 ~ CS4

付録

ポート名 端子名	MCU 動作 モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス種 解放状態	プログラム 実行状態、 スリープモード、 サブスリープ モード	
P97/DA1* <sup>4</sup> P96/DA0* <sup>4</sup>	4-7	T	T	T	[DAOEn = 1] keep [DAOEn = 0] T	keep	入力ポート	
ポート A	7	T	keep	T	keep	keep	入出力ポート	
AEn ビットでアド レス出力選択	4, 5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力	
	6	T						
ポート選択	4-6	T* <sup>1</sup>	keep	T	keep	keep	入出力ポート	
ポート B	7	T	keep	T	keep	keep	入出力ポート	
AEn ビットでアド レス出力選択	4, 5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力	
	6	T						
ポート選択	4-6	T* <sup>1</sup>	keep	T	keep	keep	入出力ポート	
ポート C	4, 5	L	keep	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力	
	6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] keep	T	[DDR = 0] 入力ポート [DDR = 1] アドレス出力	
	7	T	keep	T	keep	keep	入出力ポート	
ポート D	4-6	T	T	T	T	T	データバス	
	7	T	keep	T	keep	keep	入出力ポート	
ポート E	8 ビッ トバス	4-6	T	keep	T	keep	keep	入出力ポート
		16 ビッ トバス	4-6	T	T	T	T	データバス
	7	T	keep	T	keep	keep	入出力ポート	

ポート名 端子名	MCU 動作 モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス種 解放状態	プログラム 実行状態、 スリープモード、 サブスリープ モード
PF7/ $\phi$	4-6	クロック 出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力
	7	T	keep	T	[DDR = 0] 入力ポート [DDR = 1] H	[DDR = 0] 入力ポート [DDR = 1] クロック出力	[DDR = 0] 入力ポート [DDR = 1] クロック出力
PF6/ $\overline{\text{AS}}$ PF5/ $\overline{\text{RD}}$ PF4/ $\overline{\text{HWR}}$	4-6	H	H	T	[OPE = 0] T [OPE = 1] H	T	$\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$
	7	T	keep	T	keep	keep	入出力ポート
PF3/ $\overline{\text{LWR}}$ / $\overline{\text{ADTRG}}$ / $\overline{\text{IRQ3}}$	7	T	keep	T	keep	keep	入出力ポート
8ビットバス	4-6	(モード4) H	keep	T	keep	keep	入出力ポート
16ビットバス	4-6	(モード5、 6) T	H	T	[OPE = 0] T [OPE = 1] H	T	$\overline{\text{LWR}}$
PF2/ $\overline{\text{WAIT}}$	4-6	T	keep	T	[WAITE = 0] keep [WAITE = 1] T	[WAITE = 0] keep [WAITE = 1] T	[WAITE = 0] 入出力ポート [WAITE = 1] $\overline{\text{WAIT}}$
	7	T	keep	T	keep	keep	入出力ポート
PF1/ $\overline{\text{BACK}}$ / $\overline{\text{BUZZ}}$	4-6	T	keep	T	[BRLE = 0] keep [BRLE = 1] H	L	[BRLE = 0] 入出力ポート [BRLE = 1] $\overline{\text{BACK}}$
	7	T	keep	T	keep	keep	入出力ポート
PF0/ $\overline{\text{BREQ}}$ / $\overline{\text{IRQ2}}$	4-6	T	keep	T	[BRLE = 0] keep [BRLE = 1] T	T	[BRLE = 0] 入出力ポート [BRLE = 1] $\overline{\text{BREQ}}$
	7	T	keep	T	keep	keep	入出力ポート

付録

ポート名 端子名	MCU 動作 モード	パワーオン リセット	マニュアル リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード、 ウォッチモード	バス種 解放状態	プログラム 実行状態、 スリープモード、 サブスリープ モード
PG4/ $\overline{CS0}$	4, 5	H	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] $\overline{CS0}$ (スリープモード、サブスリープ モード時H)
	6	T					
	7	T	keep	T	keep	keep	入出力ポート
PG3/ $\overline{CS1}$ PG2/ $\overline{CS2}$ PG1/ $\overline{CS3}/\overline{IRQ7}$	4-6	T	keep	T	[DDR・OPE = 0] T [DDR・OPE = 1] H	T	[DDR = 0] 入力ポート [DDR = 1] $\overline{CS1} - \overline{CS3}$
	7	T	keep	T	keep	keep	入出力ポート
PG0/ $\overline{IRQ6}$	4-7	T	keep	T	keep	keep	入出力ポート

【記号説明】

- H : High レベル
- L : Low レベル
- T : ハイインピーダンス
- keep : 入力ポートはハイインピーダンス、出力ポートは保持
- DDR : データディレクションレジスタ
- OPE : 出力ポートイネーブル
- WAITE : ウェイト入力イネーブル
- BRLE : バスリリースイネーブル

- 【注】
- \*1 モード 4、5 では L (アドレス入力)
  - \*2 H8S/2237 グループ、H8S/2227 グループにはありません。
  - \*3 H8S/2239 グループのみです。
  - \*4 H8S/2227 グループにはありません。

## B. 型名一覧

表 B.1 H8S/2258 グループ型名一覧

製品分類			製品型名	マーク型名	パッケージ
H8S/2258	フラッシュ メモリ版	標準品	HD64F2258	HD64F2258TE13	100 ピン TQFP (TFP-100B)
				HD64F2258F13	100 ピン QFP (FP-100A)
				HD64F2258FA13	100 ピン QFP (FP-100B)
	マスク ROM 版	標準品	HD6432258	HD6432258(***)TE	100 ピン TQFP (TFP-100B)
				HD6432258(***)F	100 ピン QFP (FP-100A)
				HD6432258(***)FA	100 ピン QFP (FP-100B)
			HD6432256	HD6432256(***)TE	100 ピン TQFP (TFP-100B)
				HD6432256(***)F	100 ピン QFP (FP-100A)
				HD6432256(***)FA	100 ピン QFP (FP-100B)
		I <sup>2</sup> C バスイン タフェース 内蔵品	HD6432258W	HD6432258W(***)TE	100 ピン TQFP (TFP-100B)
				HD6432258W(***)F	100 ピン QFP (FP-100A)
				HD6432258W(***)FA	100 ピン QFP (FP-100B)
	HD6432256W	HD6432256W(***)TE	100 ピン TQFP (TFP-100B)		
		HD6432256W(***)F	100 ピン QFP (FP-100A)		
		HD6432256W(***)FA	100 ピン QFP (FP-100B)		

【記号説明】 (\*\*\*)は ROM コードです。

【注】 F-ZTAT 版標準品には I<sup>2</sup>C バスインタフェースを標準で内蔵しています。  
各製品の状況につきましては、当社営業担当者に確認してください。

表 B.2 H8S/2239 グループ型名一覧

製品分類		製品型名	マーク型名	パッケージ	
H8S/2239	フラッシュ メモリ版	標準品	HD64F2239	HD64F2239TE20	100 ピン TQFP (TFP-100B)
				HD64F2239TF20	100 ピン TQFP (TFP-100G)
				HD64F2239FA20	100 ピン QFP (FP-100B)
				HD64F2239BQ20	112 ピン TFBGA (TBP-112A)
				HD64F2239TE16	100 ピン TQFP (TFP-100B)
				HD64F2239TF16	100 ピン TQFP (TFP-100G)
				HD64F2239FA16	100 ピン QFP (FP-100B)
				HD64F2239BQ16	112 ピン TFBGA (TBP-112A)
	マスク ROM 版	標準品	HD6432239	HD6432239(***)TE	100 ピン TQFP (TFP-100B)
				HD6432239(***)TF	100 ピン TQFP (TFP-100G)
				HD6432239(***)FA	100 ピン QFP (FP-100B)
		I <sup>2</sup> C バスイン タフェース 内蔵品	HD6432239W	HD6432239W(***)TE	100 ピン TQFP (TFP-100B)
				HD6432239W(***)TF	100 ピン TQFP (TFP-100G)
				HD6432239W(***)FA	100 ピン QFP (FP-100B)

【記号説明】 (\*\*\*)は ROM コードです。

【注】 F-ZTAT 版標準品には I<sup>2</sup>C バスインタフェースを標準で内蔵しています。  
各製品の状況につきましては、当社営業担当者に確認してください。



表 B.3 H8S/2238 グループ型名一覧

製品分類		製品型名	マーク型名	パッケージ (コード)		
H8S/2238B	フラッシュ メモリ版	5V 品	HD64F2238B	HD64F2238BTE13	100 ピン TQFP (TFP-100B)	
				HD64F2238BTF13	100 ピン TQFP (TFP-100G)	
				HD64F2238BF13	100 ピン QFP (FP-100A)	
				HD64F2238BFA13	100 ピン QFP (FP-100B)	
	マスク ROM 版	5V 品	HD6432238B	HD6432238B(***)TE	100 ピン TQFP (TFP-100B)	
				HD6432238B(***)TF	100 ピン TQFP (TFP-100G)	
				HD6432238B(***)F	100 ピン QFP (FP-100A)	
				HD6432238B(***)FA	100 ピン QFP (FP-100B)	
		I <sup>2</sup> C バスインタ フェース 内蔵品 (5V 品)	HD6432238BW	HD6432238BW(***)TE	100 ピン TQFP (TFP-100B)	
				HD6432238BW(***)TF	100 ピン TQFP (TFP-100G)	
				HD6432238BW(***)F	100 ピン QFP (FP-100A)	
				HD6432238BW(***)FA	100 ピン QFP (FP-100B)	
	H8S/2238R	フラッシュ メモリ版	3V 品	HD64F2238R	HD64F2238RTE13	100 ピン TQFP (TFP-100B)
					HD64F2238RTE13	100 ピン TQFP (TFP-100G)
					HD64F2238RFA13	100 ピン QFP (FP-100B)
					HD64F2238RBQ13	112 ピン TFBGA (TBP-112A)
HD64F2238RBR13					112 ピン LFBGA (BP-112)	
2.2V 品			HD64F2238R	HD64F2238RTE6	100 ピン TQFP (TFP-100B)	
				HD64F2238RTE6	100 ピン TQFP (TFP-100G)	
				HD64F2238RFA6	100 ピン QFP (FP-100B)	
				HD64F2238RBQ6	112 ピン TFBGA (TBP-112A)	
				HD64F2238RBR6	112 ピン LFBGA (BP-112)	
マスク ROM 版		3.0V 品 2.2V 品	HD6432238R	HD6432238R(***)TE	100 ピン TQFP (TFP-100B)	
				HD6432238R(***)TF	100 ピン TQFP (TFP-100G)	
				HD6432238R(***)FA	100 ピン QFP (FP-100B)	
		I <sup>2</sup> C バスインタ フェース 内蔵品 (3V 品)	HD6432238RW	HD6432238RW(***)TE	100 ピン TQFP (TFP-100B)	
				HD6432238RW(***)TF	100 ピン TQFP (TFP-100G)	
				HD6432238RW(***)FA	100 ピン QFP (FP-100B)	

付録

製品分類			製品型名	マーク型名	パッケージ(コード)
H8S/2236B	マスク ROM 版	5V 品	HD6432236B	HD6432236B(***)TE	100 ピン TQFP (TFP-100B)
				HD6432236B(***)TF	100 ピン TQFP (TFP-100G)
				HD6432236B(***)F	100 ピン QFP (FP-100A)
				HD6432236B(***)FA	100 ピン QFP (FP-100B)
	I <sup>2</sup> C バスインタ フェース 内蔵品 (5V 品)	HD6432236BW	HD6432236BW(***)TE	100 ピン TQFP (TFP-100B)	
			HD6432236BW(***)TF	100 ピン TQFP (TFP-100G)	
			HD6432236BW(***)F	100 ピン QFP (FP-100A)	
			HD6432236BW(***)FA	100 ピン QFP (FP-100B)	
H8S/2236R	マスク ROM 版	3.0V 品、 2.2V 品	HD6432236R	HD6432236R(***)TE	100 ピン TQFP (TFP-100B)
				HD6432236R(***)TF	100 ピン TQFP (TFP-100G)
				HD6432236R(***)FA	100 ピン QFP (FP-100B)
	I <sup>2</sup> C バスインタ フェース 内蔵品 (3V 品)	HD6432236RW	HD6432236RW(***)TE	100 ピン TQFP (TFP-100B)	
			HD6432236RW(***)TF	100 ピン TQFP (TFP-100G)	
			HD6432236RW(***)FA	100 ピン QFP (FP-100B)	

【記号説明】 (\*\*\*)は ROM コードです。

【注】 各製品の状況につきましては、当社営業担当者に確認してください。

表 B.4 H8S/2237 グループ、H8S/2227 グループ型名一覧

製品分類		製品型名	マーク型名	パッケージ(コード)	
H8S/2237	PROM 版	HD6472237	HD6472237TE10	100 ピン TQFP (TFP-100B)	
			HD6472237TF10	100 ピン TQFP (TFP-100G)	
			HD6472237F10	100 ピン QFP (FP-100A)	
			HD6472237FA10	100 ピン QFP (FP-100B)	
	マスク ROM 版	HD6432237	HD6432237(***)TE	100 ピン TQFP (TFP-100B)	
			HD6432237(***)TF	100 ピン TQFP (TFP-100G)	
			HD6432237(***)F	100 ピン QFP (FP-100A)	
			HD6432237(***)FA	100 ピン QFP (FP-100B)	
H8S/2235	マスク ROM 版	HD6432235	HD6432235(***)TE	100 ピン TQFP (TFP-100B)	
			HD6432235(***)TF	100 ピン TQFP (TFP-100G)	
			HD6432235(***)F	100 ピン QFP (FP-100A)	
			HD6432235(***)FA	100 ピン QFP (FP-100B)	
H8S/2233	マスク ROM 版	HD6432233	HD6432233(***)TE	100 ピン TQFP (TFP-100B)	
			HD6432233(***)TF	100 ピン TQFP (TFP-100G)	
			HD6432233(***)F	100 ピン QFP (FP-100A)	
			HD6432233(***)FA	100 ピン QFP (FP-100B)	
H8S/2227	フラッシュメモリ版	HD64F2227	HD64F2227TE13	100 ピン TQFP (TFP-100B)	
			HD64F2227TF13	100 ピン TQFP (TFP-100G)	
	マスク ROM 版	HD6432227	HD6432227(***)TE	100 ピン TQFP (TFP-100B)	
			HD6432227(***)TF	100 ピン TQFP (TFP-100G)	
			HD6432227(***)F	100 ピン QFP (FP-100A)	
			HD6432227(***)FA	100 ピン QFP (FP-100B)	
	H8S/2225*	マスク ROM 版	HD6432225	HD6432225(***)TE	100 ピン TQFP (TFP-100B)
				HD6432225(***)TF	100 ピン TQFP (TFP-100G)
HD6432225(***)FA				100 ピン QFP (FP-100B)	
H8S/2224*	マスク ROM 版	HD6432224	HD6432224(***)TE	100 ピン TQFP (TFP-100B)	
			HD6432224(***)TF	100 ピン TQFP (TFP-100G)	
			HD6432224(***)FA	100 ピン QFP (FP-100B)	
H8S/2223*	マスク ROM 版	HD6432223	HD6432223(***)TE	100 ピン TQFP (TFP-100B)	
			HD6432223(***)TF	100 ピン TQFP (TFP-100G)	
			HD6432223(***)FA	100 ピン QFP (FP-100B)	

【記号説明】 (\*\*\*)は ROM コードです。

【注】 \* HD6432225、HD6432224、HD6432223 には、100 ピン QFP (FP-100A) はありません。100 ピン QFP (FP-100A) をご使用の場合は、HD6432235(\*\*\*)F、HD6432233(\*\*\*)F、HD6432227(\*\*\*)F をご使用ください。

C. 外形寸法図

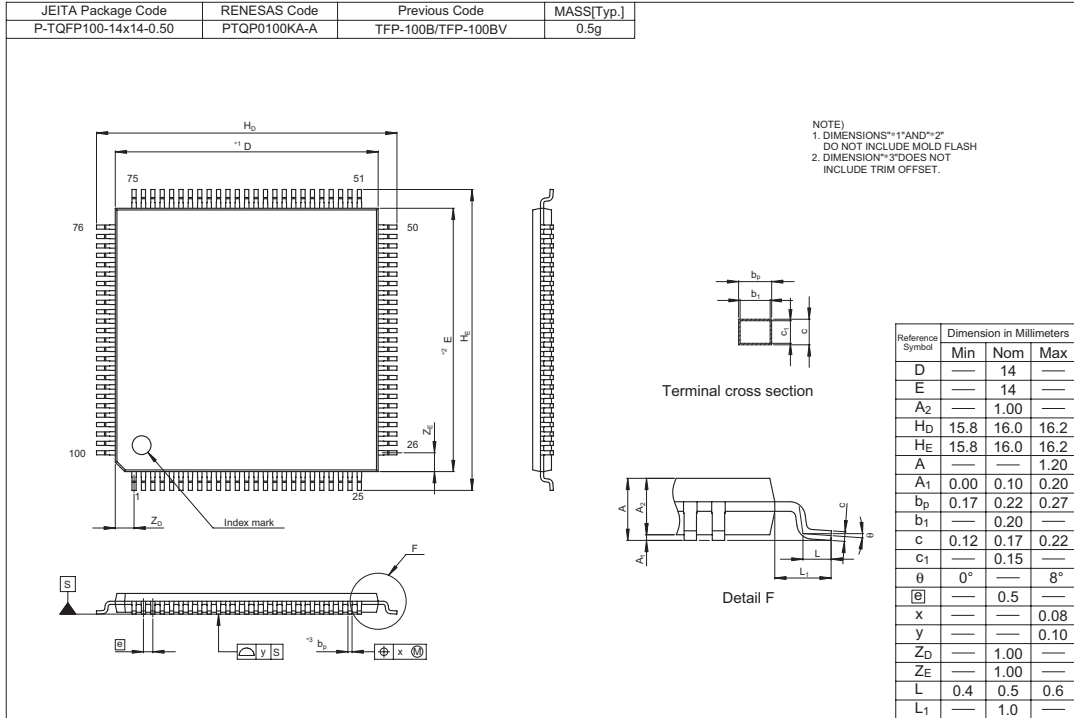


図 C.1 外形寸法図 (TFP-100B)

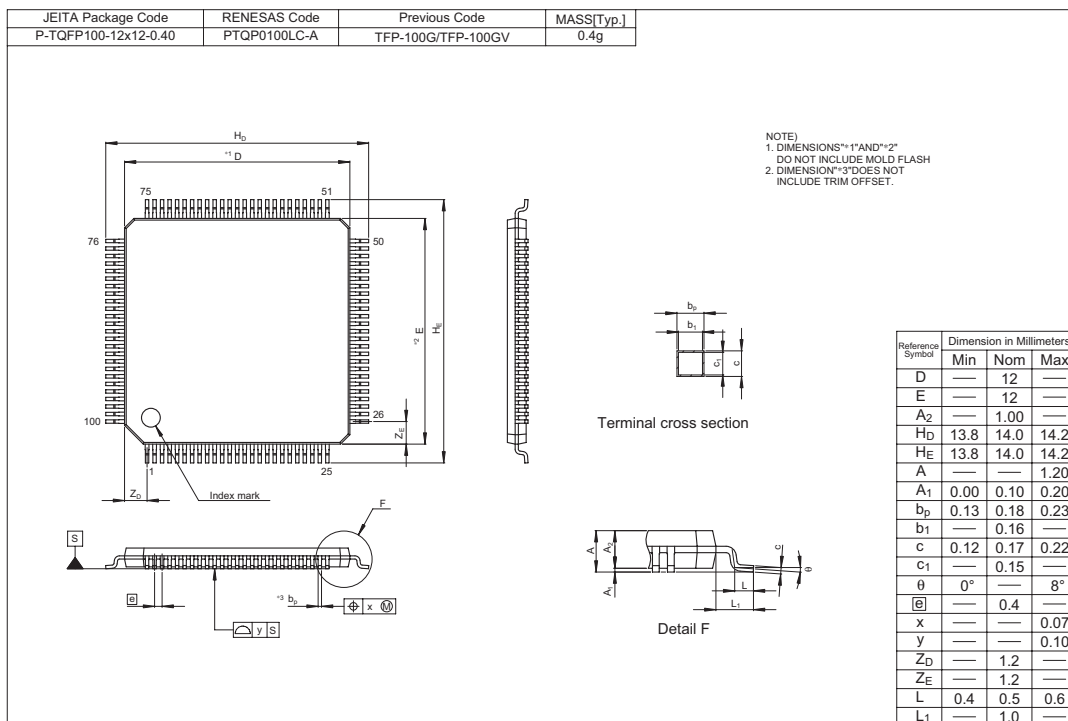


図 C.2 外形寸法図 (TFP-100G)

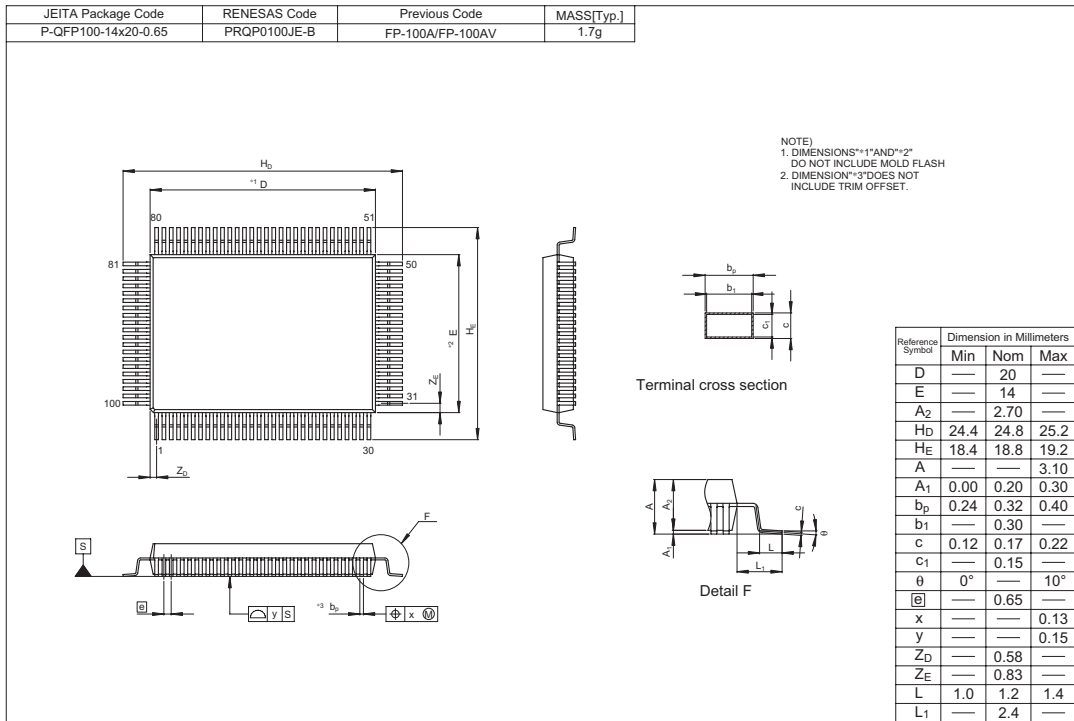


図 C.3 外形寸法図 (FP-100A)

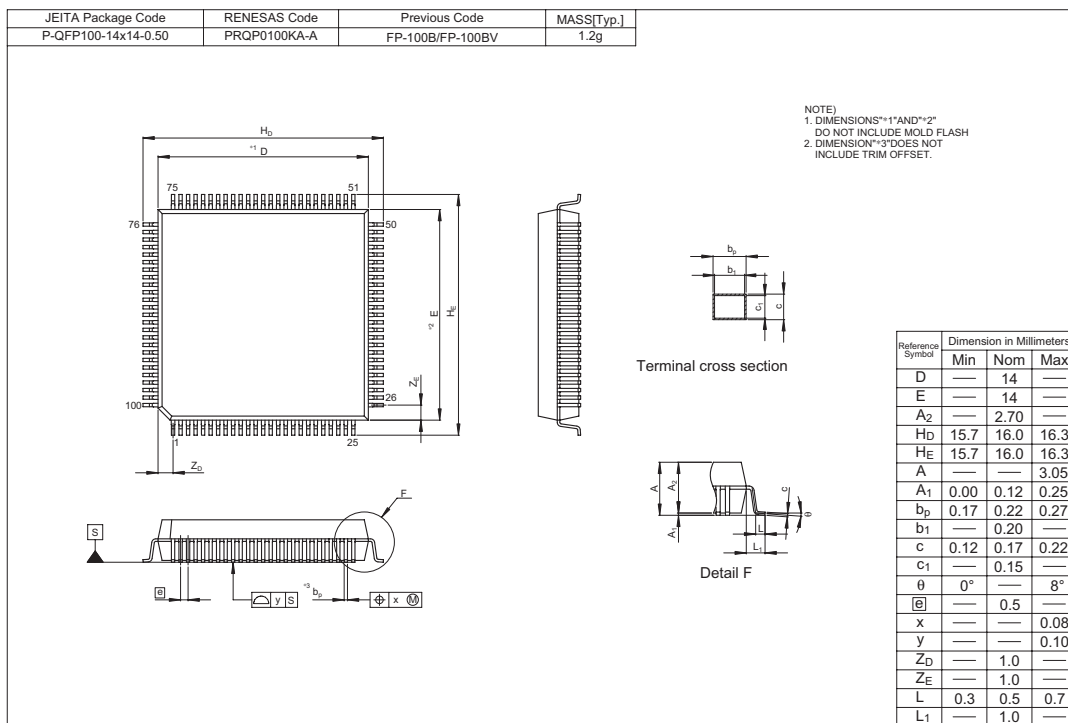


図 C.4 外形寸法図 (FP-100B)

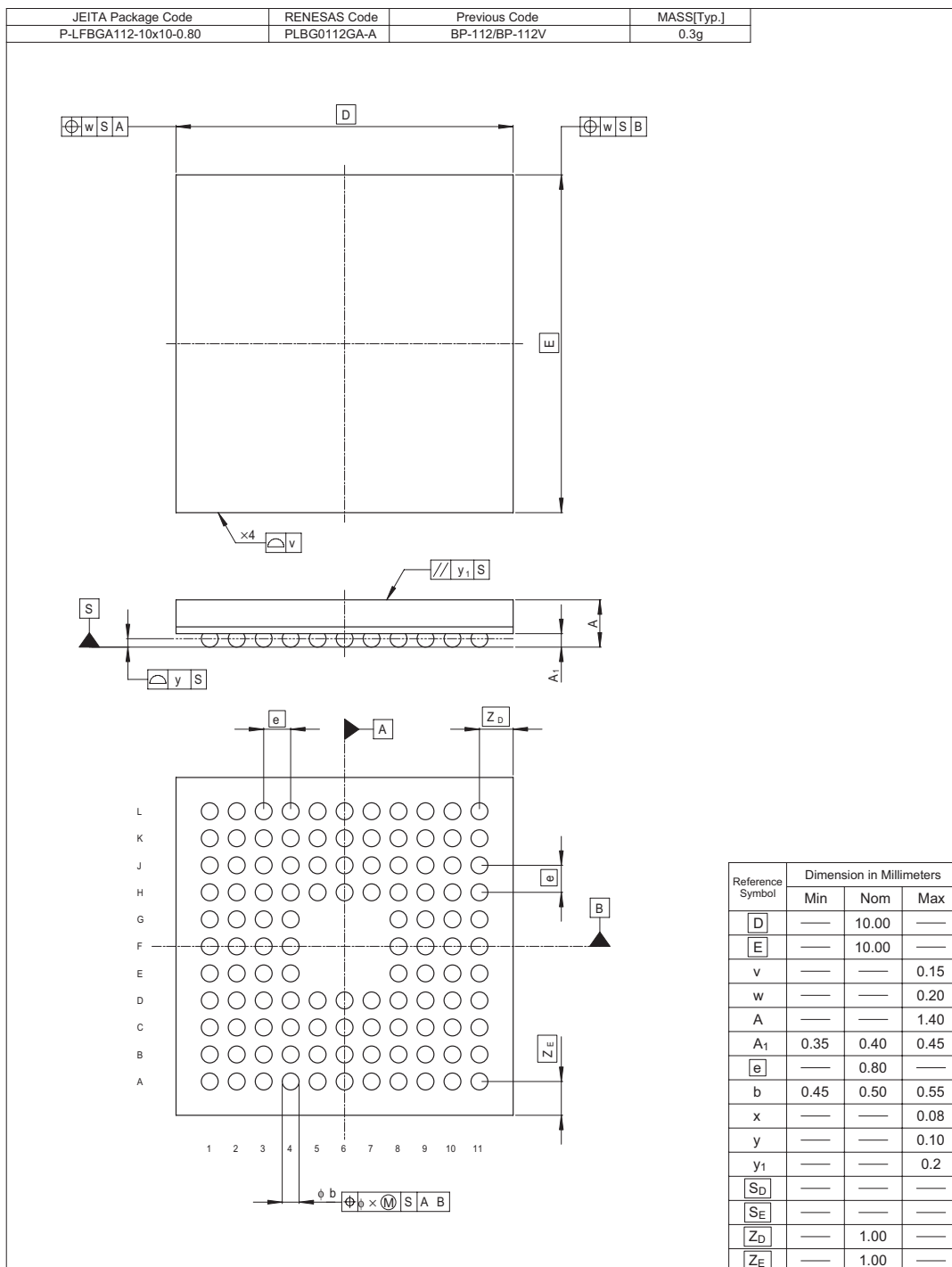


図 C.5 外形寸法図 (BP-112)



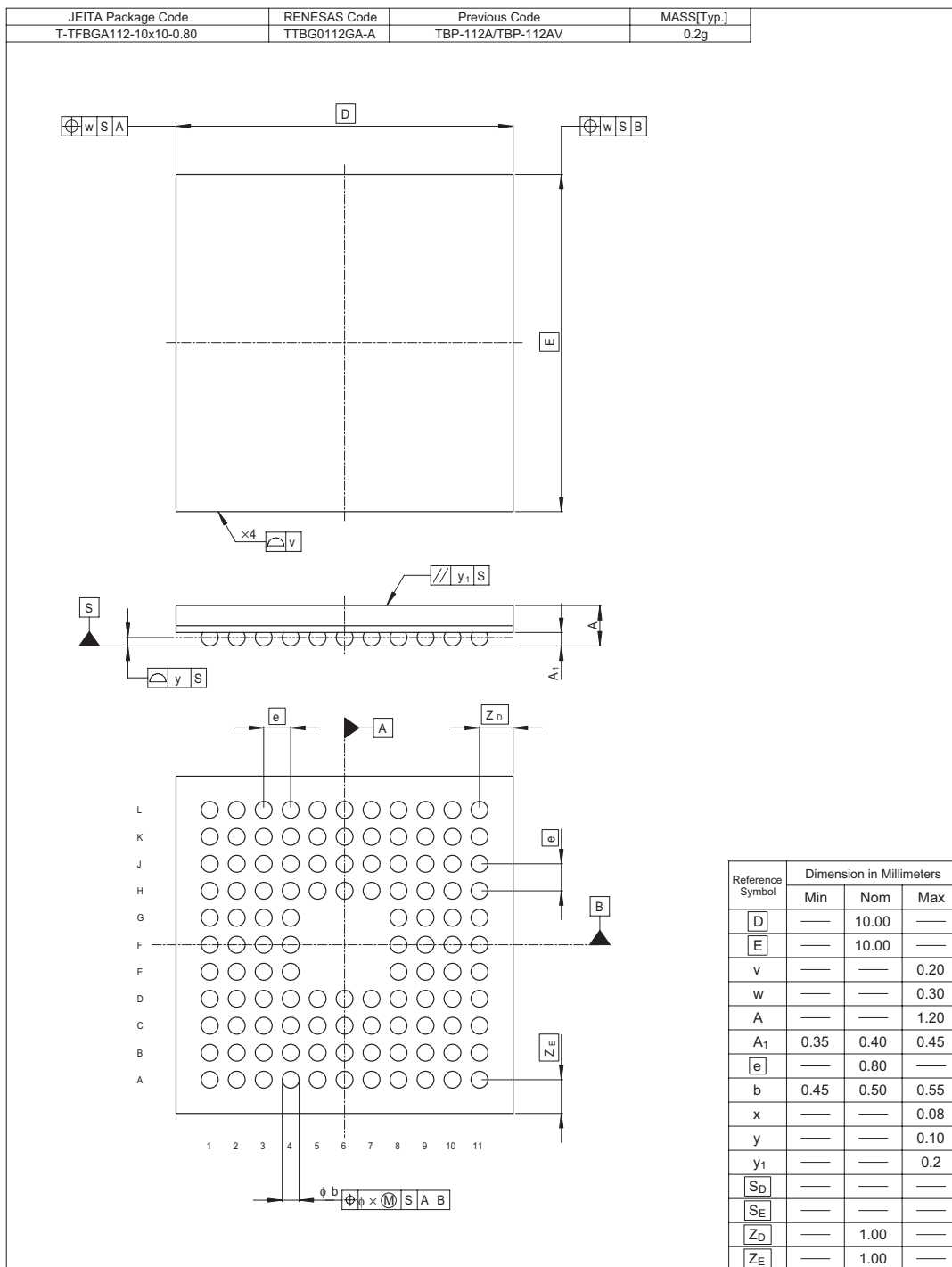


図 C.6 外形寸法図 (TBP-112A、TBP-112AV)



---

# 索引

---

16 ビットアクセス空間 .....	7-16	DMATCR .....	8-22, 26-7, 26-18, 26-28
16 ビットカウントモード .....	12-14	DMAWER .....	8-20, 26-7, 26-18, 26-28
16 ビットタイマパルスユニット .....	11-1	DMA コントローラ (DMAC) .....	8-1
8 ビットアクセス空間 .....	7-15	DTCER .....	26-4, 26-13, 26-24
8 ビットタイマ .....	12-1	DTC ベクタテーブル .....	9-8
A/D 変換器 .....	17-1	DTVECR .....	9-6, 26-4, 26-13, 26-24
A/D 変換時間 .....	17-10	EA 拡張部 .....	2-28
ABWCR .....	7-4, 26-6, 26-15, 26-26	EBR1 .....	20-13, 26-10, 26-20, 26-30
ADCR .....	17-6, 26-9, 26-20, 26-29	EBR2 .....	20-14, 26-10, 26-20, 26-30
ADCSR .....	17-5, 26-9, 26-20, 26-29	ERI .....	15-68
ADDR .....	17-4, 26-9, 26-20, 26-29	ETCR .....	8-6, 26-6, 26-16, 26-26
ADI .....	17-12	FLMCR1 .....	20-11, 26-10, 26-20, 26-30
ASTCR .....	7-4, 26-6, 26-15, 26-26	FLMCR2 .....	20-12, 26-10, 26-20, 26-30
BARA .....	6-2, 26-3, 26-13, 26-24	FLPWCR .....	20-17, 26-10, 26-20, 26-30
BARB .....	6-2, 26-3, 26-13, 26-24	I <sup>2</sup> C バスインタフェース .....	16-1
Bcc .....	2-25	I <sup>2</sup> C バスフォーマット .....	16-19
BCRA .....	6-3, 26-4, 26-13, 26-24	ICCR .....	26-8, 26-19, 26-28
BCRB .....	6-3, 26-4, 26-13, 26-24	ICDR .....	16-5, 26-8, 26-19, 26-28
BCRH .....	7-7, 26-6, 26-16, 26-26	ICMR .....	16-8, 26-9, 26-19, 26-28
BCRL .....	26-6, 26-16, 26-26	ICSR .....	16-15, 26-8, 26-19, 26-28
BRR .....	15-20, 26-8, 26-19, 26-28	IER .....	5-5, 26-4, 26-13, 26-24
CMIA .....	12-15	IOAR .....	8-5, 26-6, 26-16, 26-26
CMIB .....	12-15	IPR .....	5-4, 26-5, 26-15, 26-25
CPU .....	2-1	ISCR .....	5-5, 26-4, 26-13, 26-24
CRA .....	9-4, 26-2, 26-11, 26-22	ISR .....	5-7, 26-4, 26-13, 26-24
CRB .....	9-5, 26-2, 26-11, 26-22	LPWRCR .....	23-3, 26-3, 26-13, 26-23
D/A 変換器 .....	18-1	MAR .....	8-5, 26-6, 26-16, 26-26
DACR .....	18-3, 26-3, 26-12, 26-23	MDCR .....	3-2, 26-3, 26-12, 26-23
DADR .....	18-2, 26-3, 26-12, 26-23	MRA .....	9-3, 26-2, 26-11, 26-22
DAR .....	9-4, 26-2, 26-11, 26-22	MRB .....	9-4, 26-2, 26-11, 26-22
DDCSWR .....	16-18, 26-3, 26-12, 26-23	MSTPCR .....	24-7, 26-3, 26-13, 26-23
DEND0A .....	8-61	NMI 割り込み .....	5-7
DEND0B .....	8-61	OVI .....	12-15
DEND1A .....	8-61	P1DDR .....	10-4, 26-4, 26-13, 26-24
DEND1B .....	8-61	P1DR .....	10-5, 26-6, 26-17, 26-26
DMABCR .....	8-12, 26-8, 26-18, 26-28	P3DDR .....	10-10, 26-4, 26-13, 26-24
DMACR .....	8-6, 26-7, 26-18, 26-28	P3DR .....	10-11, 26-6, 26-17, 26-26

---

P3ODR .....	10-12, 26-4, 26-14, 26-24	RSTCSR.....	13-7, 26-8, 26-19, 26-28
P7DDR.....	10-17, 26-4, 26-13, 26-24	RXI.....	15-68
P7DR .....	10-17, 26-6, 26-17, 26-26	SAR .....	9-4, 26-2, 26-9, 26-11, 26-19, 26-22, 26-28
PADDR .....	10-21, 26-4, 26-13, 26-24	SARX.....	16-7, 26-8, 26-19, 26-28
PADR.....	10-22, 26-6, 26-17, 26-26	SBYCR .....	24-6, 26-3, 26-12, 26-23
PAODR.....	10-23, 26-4, 26-14, 26-24	SCKCR.....	23-2, 26-3, 26-12, 26-23
PAPCR .....	10-22, 26-4, 26-14, 26-24	SCMR .....	15-19, 26-8, 26-19, 26-28
PBDDR .....	10-25, 26-4, 26-13, 26-24	SCR .....	15-10, 26-8, 26-19, 26-28
PBDR.....	10-26, 26-6, 26-17, 26-26	SCRX.....	16-10, 26-3, 26-12, 26-23
PBPCR .....	10-27, 26-4, 26-14, 26-24	SEMR_0 .....	15-27, 26-3, 26-13, 26-23
PCDDR .....	10-32, 26-4, 26-13, 26-24	SMR.....	15-7, 26-8, 26-19, 26-28
PCDR.....	10-32, 26-6, 26-17, 26-27	SSR .....	15-14, 26-8, 26-19, 26-28
PCPCR .....	10-33, 26-4, 26-14, 26-24	SWDTEND .....	9-16
PC ブレークコントローラ.....	6-1	SYSCR .....	3-3, 26-3, 26-12, 26-23
PDDDR.....	10-35, 26-4, 26-14, 26-24	TCI0V .....	11-63
PDDR.....	10-35, 26-7, 26-17, 26-27	TCI1U .....	11-63
PDPCR .....	10-36, 26-4, 26-14, 26-24	TCI1V .....	11-63
PEDDR .....	10-38, 26-4, 26-14, 26-24	TCI2U .....	11-63
PEDR.....	10-38, 26-7, 26-17, 26-27	TCI2V .....	11-63
PEPCR .....	10-39, 26-4, 26-14, 26-24	TCI3V .....	11-63
PFDR.....	7-9, 26-3, 26-13, 26-23	TCI4U .....	11-63
PFDDR .....	10-41, 26-4, 26-14, 26-24	TCI4V .....	11-63
PFDR .....	10-41, 26-7, 26-17, 26-27	TCI5U .....	11-63
PGDDR.....	10-44, 26-4, 26-14, 26-24	TCI5V .....	11-63
PGDR .....	10-45, 26-7, 26-17, 26-27	TCNT .....	11-35, 13-3, 26-7, 26-8, 26-17, 26-19, 26-27, 26-28
PORT1 .....	10-5, 26-10, 26-20, 26-30	TCNT のカウントタイミング.....	12-10
PORT3.....	10-11, 26-10, 26-20, 26-30	TCORA .....	12-4, 26-8, 26-18, 26-28
PORT4.....	10-16, 26-10, 26-20, 26-30	TCORB.....	12-4, 26-8, 26-18, 26-28
PORT7.....	10-18, 26-10, 26-20, 26-30	TCR .....	11-9, 12-4, 26-7, 26-8, 26-17, 26-18, 26-27, 26-28
PORT9.....	10-21, 26-10, 26-20, 26-30	TCSR.....	12-6, 13-3, 26-8, 26-18, 26-28
PORTA .....	10-22, 26-10, 26-20, 26-30	TDR .....	15-6, 26-8, 26-19, 26-28
PORTB .....	10-26, 26-10, 26-20, 26-30	TEI .....	15-68
PORTC .....	10-33, 26-10, 26-21, 26-30	TGI0A .....	11-63
PORTD .....	10-36, 26-10, 26-21, 26-30	TGI0B .....	11-63
PORTE .....	10-39, 26-10, 26-21, 26-30	TGI0C .....	11-63
PORTF.....	10-42, 26-10, 26-21, 26-30	TGI0D .....	11-63
PORTG.....	10-45, 26-10, 26-21, 26-30	TGI1A .....	11-63
PROM.....	22-1	TGI1B .....	11-63
RAM.....	19-1	TGI2A .....	11-63
RAMER.....	20-16, 26-6, 26-16, 26-26	TGI2B .....	11-63
RDR .....	15-6, 26-8, 26-19, 26-28	TGI3A .....	11-63
ROM.....	20-1	TGI3B .....	11-63
RSR .....	15-6		

TGI3C .....	11-63	クロック発振器 .....	23-1
TGI3D .....	11-63	コンディションコードレジスタ .....	2-12
TGI4A .....	11-63	コンディションフィールド .....	2-28
TGI4B .....	11-63	コンペアマッチカウントモード .....	12-14
TGI5A .....	11-63	コンペアマッチによる波形出力 .....	11-40
TGI5B .....	11-63	サイクルスチールモード .....	8-47
TGR .....	11-36, 26-7, 26-17, 26-27	サブアクティブモード .....	24-16
TIER .....	11-32, 26-7, 26-17, 26-27	サブスリープモード .....	24-15, 24-16
TIOR .....	11-15, 26-7, 26-17, 26-27	シーケンシャルモード .....	8-26
TMDR .....	11-14, 26-7, 26-17, 26-27	システム制御命令 .....	2-26
TSR .....	11-33, 26-7, 26-17, 26-27	シフト命令 .....	2-22
TSTR .....	11-36, 26-5, 26-15, 26-25	シリアルコミュニケーションインタフェース .....	15-1
TSYR .....	11-37, 26-5, 26-15, 26-25	シリアルフォーマット .....	16-19
TXI .....	15-68	シングルアドレスモード .....	8-34, 8-54
WCRH .....	7-5, 26-6, 26-15, 26-26	シングルモード .....	17-8
WCRL .....	7-5, 26-6, 26-15, 26-26	スキャンモード .....	17-9
WOVI .....	13-11	スタックの状態 .....	4-7
アイドルサイクル .....	7-29	スタックポインタ (SP) .....	2-10
アイドルモード .....	8-29	スタック構造 .....	2-4, 2-7
アドバンスモード .....	2-6	スマートカード .....	15-1
アドレスマップ .....	3-6	スマートカードインタフェース .....	15-55
アドレス空間 .....	2-8	スリープモード .....	24-9
アドレッシングモード .....	2-29	ソフトウェアスタンバイモード .....	24-10
アナログ入力チャネル .....	17-4	ソフトウェアによる起動 .....	9-19
イミディエイト .....	2-31	ソフトウェアプロテクト .....	20-28
イレース/イレースベリファイ .....	20-26	ソフトウェア起動 .....	9-20
インターバルタイマモード .....	13-9	ソフトウェア起動割り込み用ベクタ番号 .....	9-6
インプットキャプチャ機能 .....	11-42	チェイン転送 .....	9-15
ウェイト制御 .....	7-26	ディスプレースメント付きレジスタ間接 .....	2-29
ウォッチドッグタイマ .....	13-1	データディレクションレジスタ .....	10-1
ウォッチドッグタイマモード .....	13-8	データトランスファコントローラ .....	9-1
ウォッチモード .....	24-14, 24-15, 24-16	データレジスタ .....	10-1
エクステンドレジスタ .....	2-11	データ転送命令 .....	2-19
エミュレーション .....	20-22	デュアルアドレスモード .....	8-46
エラープロテクト .....	20-28	トグル出力 .....	11-40
オートリクエストによる起動 .....	8-24	トラップ命令例外処理 .....	4-6
オーバフロー .....	13-9	トレース例外処理 .....	4-5
オーバランエラー .....	15-38	ノイズ除去回路 .....	16-40
オープンドレインコントロールレジスタ .....	10-1	ノーマルモード .....	8-38, 9-12
オペレーションフィールド .....	2-28	バーストROMインタフェース .....	7-27
オンボードプログラミング .....	20-18	バーストモード .....	8-48
カスケード接続 .....	12-14	ハードウェアスタンバイモード .....	24-13
クロック同期式モード .....	15-47	ハードウェアプロテクト .....	20-28

バスアービトレーション .....	7-34	レジスタ間接 .....	2-29
バスコントローラ .....	7-1	レジスタ情報 .....	9-8
バスサイクル .....	7-13	レジスタ直接 .....	2-29
バス制御 .....	7-10	外部トリガ .....	17-11
パリティエラー .....	15-38	外部リクエストによる起動 .....	8-24
パルス出力 .....	12-9	各動作モードにおけるレジスタの状態 .....	26-22
ビットレート .....	15-20	割り込みコントローラ .....	5-1
ビット操作命令 .....	2-23	割り込みマスクビット .....	2-12
ブートモード .....	20-18	割り込み制御モード .....	5-12
フラッシュメモリ .....	20-1	割り込み例外処理 .....	4-5
フリーランニングカウンタ動作 .....	11-39	割り込み例外処理シーケンス .....	5-19
プリデクリメントレジスタ間接 .....	2-30	割り込み例外処理ベクタテーブル .....	5-9
ブレーク .....	15-70	基本バスインタフェース .....	7-15
ブレークアドレス .....	6-4	算術演算命令 .....	2-20
ブレーク条件 .....	6-4	実効アドレス .....	2-32
フレーミングエラー .....	15-38	周期カウンタ動作 .....	11-39
プログラム / プログラムベリファイ .....	20-24	書き込み / 消去プロテクト .....	20-28
プログラムカウンタ .....	2-11	消去ブロック .....	20-6
プログラムカウンタ相対 .....	2-31	絶対アドレス .....	2-30
ブロック転送モード .....	8-41, 9-14	端子機能 .....	1-42
ブロック転送命令 .....	2-27	中速モード .....	24-8
ポートレジスタ .....	10-1	調歩同期式モード .....	15-31
ポストインクリメントレジスタ間接 .....	2-30	直接遷移 .....	24-17
マーク状態 .....	15-70	低消費電力状態 .....	24-1
マスク ROM .....	21-1	転送モード .....	8-25
マルチプロセッサ通信機能 .....	15-42	動作モードの選択 .....	3-1
メモリサイクル .....	7-13	動作モード別ピン配置一覧 .....	1-20
メモリ間接 .....	2-31	内部バスマスタ .....	7-1
モジュールストップモード .....	24-14	内部ブロック図 .....	1-4
ユーザプログラムモード .....	20-21	入力プルアップ MOS .....	10-1
ライターモード .....	20-29	汎用レジスタ .....	2-10
リセット .....	4-3	複数チャネルの動作 .....	8-58
リセット例外処理 .....	4-3	分岐命令 .....	2-25
リピートモード .....	8-31, 9-13	命令セット .....	2-17
レジスタアドレス一覧 (アドレス順) .....	26-2	有効ストロープ .....	7-17
レジスタの構成 .....	2-9	例外処理 .....	4-1
レジスタビット一覧 .....	26-11	例外処理ベクタテーブル .....	4-2
レジスタフィールド .....	2-28	論理演算命令 .....	2-22
レジスタ一覧 .....	26-1		

---

ルネサス16ビットシングルチップマイクロコンピュータ  
ハードウェアマニュアル  
H8S/2258グループ、H8S/2239グループ、H8S/2238グループ、  
H8S/2237グループ、H8S/2227グループ

発行年月 2002年8月 第1版  
2010年3月18日 Rev.6.00  
発行 株式会社ルネサス テクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町 2-6-2  
編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口  
株式会社ルネサス販売

# RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：コンタクトセンタ E-Mail: [csc@renesas.com](mailto:csc@renesas.com)





H8S/2258 グループ、H8S/2239 グループ、  
H8S/2238 グループ、H8S/2237 グループ、  
H8S/2227 グループ  
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0171-0600